



Analog Dialogue

2021年第55卷第1期

获取工学新动态, 激发设计新思路

- 5 多倍频程宽带数字接收器的SFDR考量
- 15 一个简单的三角形符号到底意味着什么?
- 19 传导辐射测试中分离共模和差模辐射的实用方法
- 28 直流电能计量应用
- 43 使用半自动化工具改进电源设计—实现快速高效设计的五个步骤
- 52 提高迟滞, 实现平稳的欠压和过压闭锁
- 55 CTSD精密ADC—第2部分: 为信号链设计人员介绍CTSD架构
- 61 优化信号链的电源系统 — 第1部分: 多少电源噪声可以接受?

36 CTSD精密ADC—第1部分: 如何改进精密ADC信号链设计时间

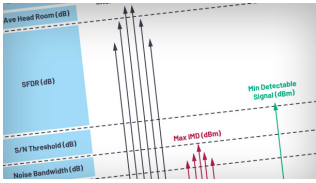


请访问analog.com/cn/analogdialogue

 **ANALOG
DEVICES**

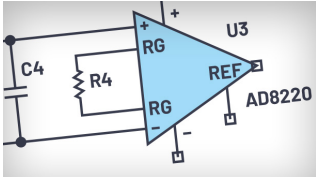
超越一切可能™

本期介绍



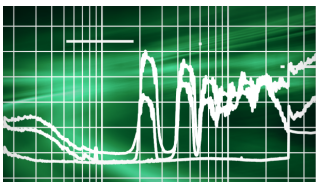
5 多倍频程宽带数字接收器的SFDR考量

未来几年内，高采样速率模数转换器(ADC)和数模转换器(DAC)技术将引领宽带数字接收器架构的发展。这些新器件将保持传统低速率数字转换器的出色线性度、噪声性能和动态范围。展望即将到来的具有多倍频程带宽的数字接收器时代，本文讨论设计出出色动态范围时面临的新挑战和考虑因素。



15 一个简单的三角形符号到底意味着什么？

每个电子工程师都熟悉这个三角形。这个符号代表模拟域中最常用的器件之一：运算放大器。但是，等一下，比较器和仪表放大器不是也用这个符号来表示吗？正确。那么，它们有何区别，在原理图中如何识别呢？本文将探讨这个三角形符号，以及选择合适的部件时需要注意的事项。



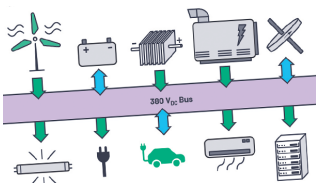
19 传导辐射测试中分离共模和差模辐射的实用方法

开关稳压器的EMI分为电磁辐射和传导辐射(CE)。传导辐射可进一步分为两类：共模噪声(CM)和差模噪声(DM)。本文介绍一种将CM辐射和DM辐射从总传导辐射中分离出来的实用方法。了解CM噪声和DM噪声在CE频谱中的位置，可以使电源设计人员有效地运用EMI抑制技术。



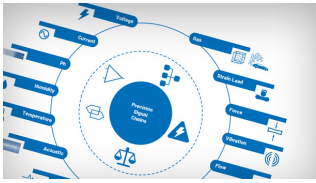
23 常见问题解答—第185期：从传感器到ADC的危途：工程师应如何做？

在无数的工业、汽车、仪器仪表和其他应用中，普遍存在一项挑战，就是如何将微小的传感器信号正确连接到ADC，以实现数字化和数据采集。传感器信号通常很微弱、脆弱，有时有噪声，可能看上去像是一个很高的阻抗源，位于大共模电压之上。本文提出一种新的集成解决方案并详细介绍了设计步骤，以便配置一个完整的传感器接口仪表放大器来驱动ADC输入。



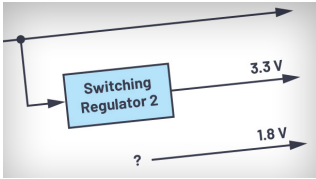
28 直流电能计量应用

如今，对更高效、更环保的能源的需求与日俱增。仅去年一年，全球就使用了近18万亿千瓦时，而这一需求还在继续增长。事实上，在过去的15年里，消耗了超过一半的现有能源。好消息是，基于GaN和SiC器件等新功率转换技术，许多应用可以从交流转换为直流电能交换，从而显著提高效率。因此，精确的直流电能计量变得越来越重要。



36 CTSD精密ADC—第1部分：如何改进精密ADC信号链设计时间

由于数字处理和软件算法的增强，对更高分辨率和精密ADC的需求在过去20年来已有所增加。在ADC可与输入信号交互前涉及到几个信号调理阶段。具有严格要求的信号调理电路必须围绕特定和单独的ADC技术进行设计和定制，以实现数据手册性能。如今，连续时间 Σ - Δ (CTSD) ADC提供了新的设计方法，我们将在一系列文章中予以介绍。



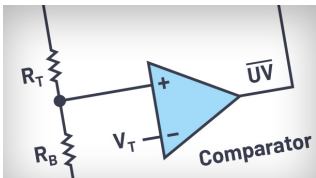
43 使用半自动化工具改进电源设计—实现快速高效设计的五个步骤

由于没有典型的应用，设计正确的电源既重要又复杂。虽然尚未完全实现电源设计过程的自动化，但目前已存在一系列半自动化工具。本文介绍了如何通过五个步骤，使用可协助新手和专业电源设计工程师的现成半自动化工具，设计出可靠且经过优化的定制电源。



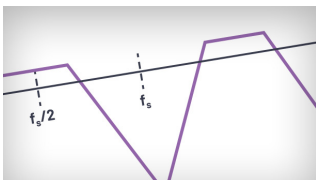
50 非常见问题解答—第186期：添加灵活的限流功能

在一些电源管理应用中，需要精确地限制电流。在寻找合适的DC-DC负载点稳压器时，目前只能找到一些具有可调节限流值的电压转换器。我们将讨论通过LTC7003等组件添加灵活的限流值来解决此问题的方案。精度可达到15%左右，具体因应用而异。



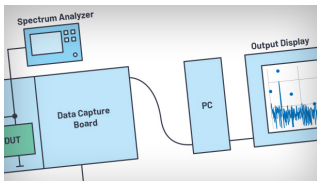
52 提高迟滞，实现平稳的欠压和过压闭锁

欠压闭锁(UVLO)可以防止电子系统在异常低的电源电压下运行，从而导致系统故障。过压闭锁(OVLO)保护系统避免因为高电源电压受到损坏。我们需要利用阈值迟滞来获得平滑、无抖动的闭锁功能，即使是在存在电源噪声或电阻时也是如此。在讨论了简单的UVLO/OVLO电路后，我们将介绍一些添加阈值迟滞的简单方法，当默认值不足时，添加阈值迟滞尤其必要。



55 CTSD精密ADC—第2部分：为信号链设计人员介绍CTSD架构

一种新的技术方法让我们能够将连续时间 Σ - Δ (CTSD)架构用于精密应用。在尝试以最低的功耗实现最佳带宽时，CTSD ADC一直是首选的ADC。现在推出了一款新的CTSD ADC，具有精密性和易用性，同时可以保持连续时间的完整性。在第1部分，我们着重介绍精密CTSD如何简化现有信号链设计中的关键挑战。在第2部分，我们将解密这个问题，了解是什么在背后支持CTSD架构，使其具有这些优势？



61 优化信号链的电源系统 — 第1部分：多少电源噪声可以接受？

本文概述如何量化信号处理链中负载的电源噪声灵敏度以及如何计算最大可接受电源噪声。此外，还讨论了测量设置，以及如何基于真实的电源噪声要求来满足功率域灵敏度的一些策略。本系列的下一篇文章将深入探讨如何优化ADC、DAC和RF收发器的功率分配网络。



67 非常见问题解答—第187期：如何选择合适的电路保护

随着不同应用中使用的电子器件的数量不断增加，且由价格高昂的FPGA或微控制器来控制这些功能融合，保护这些器件不受严苛的使用环境损坏变得前所未有的重要。但是器件种类繁多，所以，设计人员面临的最困难的问题就是选择合适的解决方案。我们将探讨应用面临的挑战，以及为何需要保护；并比较传统的保护方法和更新的可替代解决方案，后者具有更高的精度、可靠性和设计灵活性。



Bernhard Siegel, 主编

2017年3月，Bernhard成为了《模拟对话》的主编。他从ADI德国慕尼黑办公室开始自己在ADI公司的工作历程，至今已逾30年。作为主编，他负责ADI公司的全球技术文章编辑工作。

他曾担任过销售、现场应用和产品工程等工程职位，同时还从事过技术支持和市场营销工作。

Bernhard住在德国慕尼黑附近，喜欢与家人共度休闲时光，并加入了铜管乐队和交响乐团，擅于吹长号和尤风宁号。

您可以发送电子邮件至 bernhard.siegel@analog.com 联系他。



《模拟对话》是ADI公司创办和出版的技术杂志。刊载模拟、数字和混合信号处理产品、应用、技术、软件和系统解决方案设计的相关文章。该杂志于1967年创办，至今已经连续出版50多年，它作为在线版每月发行一期，印刷版(“集锦”栏目)每年发行四期。感兴趣的读者也可以至《模拟对话》档案库查阅自第1卷第1期创刊至今的每期存档，包括四期纪念特刊。如需获取文章、档案、杂志、设计资源并订阅，请访问《模拟对话》主页 analogdialogue.com。

多倍频程宽带数字接收器的SFDR考量

Benjamin Annino, 应用总监

简介

通信和雷达接收器可以采用动态范围和灵敏度增强技术，而电子战(EW)接收器必须在没有这些技术可利用的情况下，在多个干扰信号拥塞的宽带频谱中拦截并识别未知的敌方信号。通信接收器中采用的入射射频限带技术对于电子战接收器而言是得不偿失，因为后者希望在更短的时间内处理越来越宽的瞬时带宽。在雷达领域，匹配滤波对接收器动态范围有利，接收到的雷达回波因此与发射信号的副本相关。遗憾的是，电子战接收器事先不知道要拦截什么信号，因此没有东西可以关联！这就像在人群中寻找一个您从未谋面的陌生人一样……更糟糕的是，他还躲着，甚至可能根本不在那里！

不过有一些好消息：未来几年内，高采样速率模数转换器(ADC)和数模转换器(DAC)技术将引领宽带数字接收器架构的发展。最重要的是，ADI公司的转换器将保持传统低速率数字转换器的出色线性度、噪声性能和动态范围。作为主力的超外差式调频器将让位于直接采样和直接变频架构¹。自适应频谱调谐将继续从射频转向数字信号处理领域。

宽带射频检测的这种巨大转变将带来尺寸、重量、功耗与成本(SWaP-C)优势：以较低的低每通道成本提供更高的接收和发射通道数，外形尺寸则与当今相同或更小。

展望即将到来的具有多倍频程带宽的数字电子战接收器时代，本文讨论设计出色动态范围时面临的新挑战和考虑因素。在本文中，动态范围指瞬时无杂散动态范围，这是负责在拥挤的较大阻塞频谱中检测小信号的接收器的关键品质因数。

新一代ADC性能

受老一代数据转换器的限制，当今许多电子战接收器的瞬时带宽(IBW)在倍频程以下。未来，这些接收器将被IBW有几GHz的多倍频程宽带数字接收器所取代。例如，在未来几年，越来越多的检测平台将采用具有ADC和DAC的ADI转换器芯片，这些芯片能够处理大于4 GHz的IBW，同时保持70 dB以上的SFDR^{2,3,4}。

一种受欢迎的低SWaP宽带数字接收器ADC使用案例可能是：

- ▶ ADC采样速率约为15 GSPS
- ▶ 对第一奈奎斯特区(即DC到6 GHz)直接采样
- ▶ 对第二奈奎斯特区(即8 GHz到14 GHz)直接采样
- ▶ 射频模块转换中频段(6 GHz至8 GHz)和更高频率(>14 GHz)

电子战接收器需要覆盖越来越高的频谱，从18 GHz到50 GHz甚至更高范围。ADC较高的第二奈奎斯特区可简化频率规划，从而允许使用简单的射频前端模块转换器和要求放宽且SWaP更小的射频滤波器。以下讨论考虑射频前端与高采样速率的ADC级联，这与前面的例子相似。

宽带数字接收器的动态范围

优化动态范围的接收器设计人员必须在灵敏度(NF)与线性度(IP2、IP3)之间取得平衡，因为这些射频器件特性通常相互制约。在较低射频级别时，动态范围受灵敏度限制；在较高射频级别时，动态范围受线性度限制。根据经验，允许的接收器最大工作电平应如此设置，即其应使得多信号交调失真(IMD)杂散水平等于噪声功率，如图1所示。现代系统使用自适应瞬时带宽通道化和处理带宽(B_p)，本底噪声因此上下移动 $10\text{Log}(B_p)$ 。处理带宽的细微差别至关重要，值得在后面单独讨论。

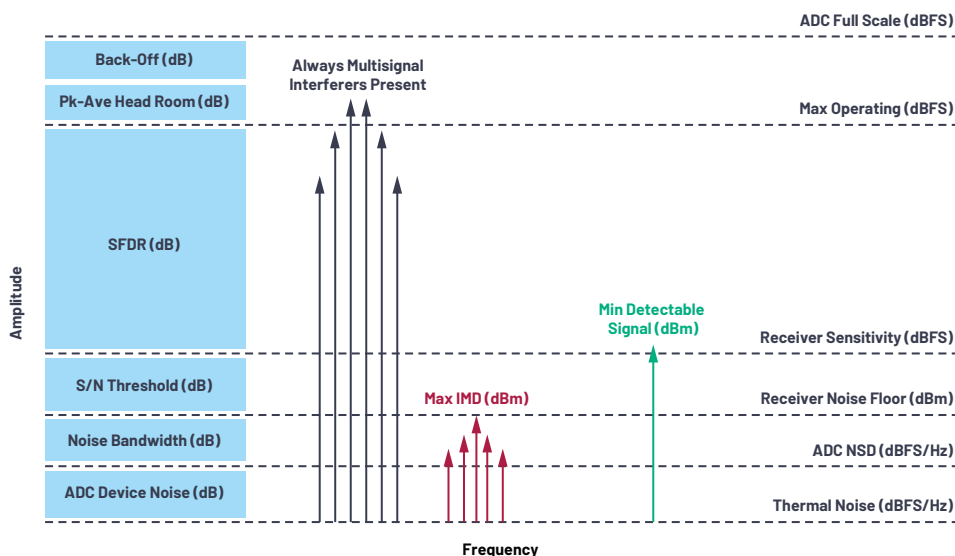


图1. SFDR与ADC工作范围、噪声、IMD杂散和检测阈值有关。

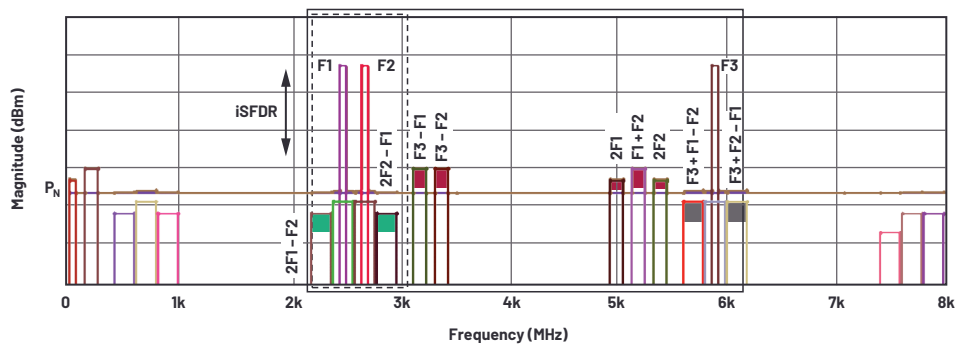


图2. 多信号F1、F2和F3(每个均为60 MHz)引起二次谐波、IMD2(红色)、IMD3(绿色)和IMD2/3组合(灰色)杂散的示例。本底噪声(棕色)标记为 P_N 。

宽带数字接收器的多倍频程IMD2挑战

宽带数字接收器的发展带来了新的射频挑战。在多倍频程宽带数字接收器中，多信号二阶交调失真(IMD2)杂散是一个问题，会损害动态范围。虽然IIP3在射频器件数据手册中一直是一个关键品质因数(FOM)，但IIP2更难追踪，对电子战设计人员而言可能更棘手。IMD2杂散的问题在于，入射双音信号功率每降低1dB，IMD2杂散只会降低1dBc，而三阶交调失真(IMD3)杂散则降低2dBc。

当然，多倍频程直接射频采样在ADC第一奈奎斯特区的较低部分进行并不是什么新鲜事。例如，一个较旧的系统可能以500 MSPS采样，并观测第一奈奎斯特区中的DC至200 MHz范围，不会有IMD2问题。这是因为在这些较低频率(即不到几百MSPS)，ADC特性是高度线性的，ADC的有效IIP2和IIP3非常高，导致良性IMD2产物消失在本底噪声以下。就像宽带射频器件一样，多GHz、多倍频程ADC的线性度会随着频率的提高而降低，而在较高工作频率时，IMD2产物常常位于本底噪声之上。展望未来，我们需要处理IMD2。

拓宽带宽数字接收器的SFDR定义

不请自来的IMD2要求重新定义流行的接收器FOM瞬时无杂散动态范围(SFDR)。SFDR指当有多个较大信号产生IMD杂散时，接收器可以检测到多大的信号。相对于大信号，SFDR以dB为单位指定。

传统上，SFDR是根据IMD3产物、NF和处理带宽来定义的。许多文章中对基于IMD3的SFDR进行了推导，其有时也被称为瞬时SFDR，这也是本文中的意思^{5,6}。我们将其称为SFDR3：

$$SFDR3 \text{ dB} = 2/3 [IIP3 \text{ dBm} - P_N \text{ dBm}] - [S/N \text{ 阈值 dB}]$$

$$P_N = -174 \text{ dBm/Hz} + NF \text{ dB} + 10 \text{Log}_{10}[B_w/\text{Hz}] \text{ dB}$$

B_w = 处理带宽 Hz

如今，基于IMD2的SFDR较少受到关注，但它作为一个重大威胁已经迫在眉睫，需要予以解决。它可以采用与SFDR3相同的方式推导出来，这里将其称为SFDR2：

$$SFDR2 \text{ dB} = 1/2 [IIP2 \text{ dBm} - P_N \text{ dBm}] - [S/N \text{ 阈值 dB}]$$

图2显示了一种射频前端频谱情况，三个同步信号(F1、F2和F3)造成交调产物，动态范围的下限由此决定。低于此水平时，宽带数字接收器便无法轻易分辨出目标是真实的还是虚假的IMD杂散。

当今的倍频程以下IBW接收器(如图2虚线框所示)仅担心IMD3, 因为其位于带内, 无法滤除。它不用担心IP2, 因为IMD2及其引起的信号处于很容易滤除的位置。使用输入射频滤波可以轻松将F3斩波, 从而使F3-F1和F3-F2降至本底噪声以下。与F1和F2的二次谐波非常相似, F1+F2 IMD2可以通过输出滤波轻松衰减。当然, 必须考虑ADC相对于奈奎斯特折叠杂散的二阶性能, 但前端IMD2性能很容易处理。

进入多倍频程IBW接收器(如图2实线框所示)后, 情况开始改变。与IMD3相比, IMD2是更大的问题。IMD2杂散及其引起的干扰现已在带内。带通滤波会破坏多倍频程IBW的作用。这就是为什么可调陷波滤波尽管有其局限性, 但作为前端干扰缓解措施却越来越受到关注。它不会让多倍频程频谱损失太多。

图3显示了一个示例多倍频程宽带数字接收器的基波多音大信号、IMD2和IMD3水平、本底噪声以及相应的SFDR之间的关系。该例使用ADC的实际噪声和线性度特性, 该ADC对第一奈奎斯特区进行采样, IBW为4 GHz(从2 GHz到6 GHz)。假定处理带宽为469 kHz。

最佳SFDR2和SFDR3出现在不同的 P_{in} 工作点, 在这些工作点, 相应的IMD水平与噪声功率相交。如果假装这是一个采用前端射频频带技术的倍频程以下接收器, 则SFDR3决定总体SFDR, 我们可以预期最佳情况SFDR为79 dB, 这非常不错。但是, 由于电子战接收器需要多倍频程IBW, 因此SFDR2决定总体SFDR。在最佳SFDR3输入水平($P_{in} = -20$ dBm)时, IMD2杂散使SFDR降低24 dB, 导致SFDR为55 dB。结果很公平, 但令人失望。

一个有用的经验法则是, 对于特定射频输出水平 $= P_{RF,0}$, 要获得同等的IMD2和IMD3水平, 必须满足以下条件:

$$OIP2 \text{ dBm} = 2OIP3 \text{ dBm} - P_{RF,0} \text{ dBm} \quad (3)$$

换句话说, 此条件将使SFDR2和SFDR3线在同一点与本底噪声相交, 因此SFDR2不会限制性能。

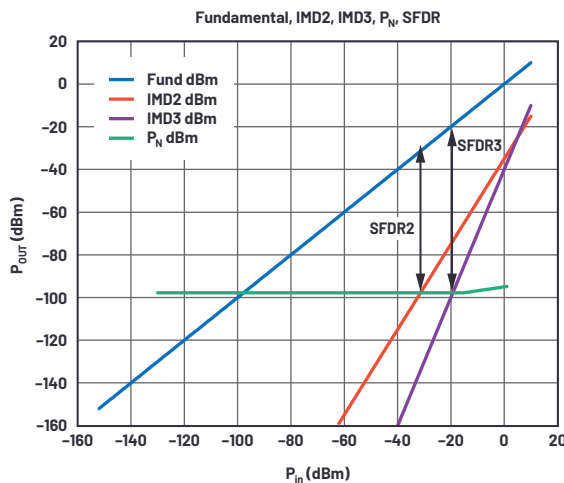


图3. SFDR2和SFDR3反映在最大信号(基波)以下多远, 您可以轻松检测到较小信号。由于变化很大, 此处的检测阈值为零。实践中, 应从SFDR中减去检测阈值。

对于之前的SFDR示例情况, 射频前端向ADC馈送-20 dBm, OIP3为20 dBm。要获得相同水平的IMD2和IMD3杂散(从而不限制性能), 所需的OIP2为:

$$OIP2 \text{ dBm} = 2(20 \text{ dBm}) - (-20 \text{ dBm}) = 60 \text{ dBm} \quad (4)$$

考虑到与其他特性(如频率、带宽、噪声和直流功率)的平衡, 目前无法获得这样的器件原始OIP2性能。因此, 业界对新一代自适应前端干扰缓解技术的兴趣日益浓厚。

为了减小IMD2, 接收器必须将最大输入工作电平从-20 dBm降至-32 dBm, 然后才能将SFDR2改进到66 dB的最佳情况。在图3中, 此最佳SFDR2是IMD2迹线与本底噪声相交的位置。遗憾的是, 在 $P_{in} = -32$ dBm时的最佳情况SFDR2仍比在-20 dBm时的最佳情况SFDR3差13 dB。现在我们已经降低了最大工作电平, 因此问题的焦点转移到噪声功率(灵敏度)限制上, 这将在以下部分进行讨论。

是什么决定了宽带数字接收器的处理带宽?

当处理带宽变窄时, 电子战接收器的灵敏度或噪声功率会变得更好。但是, 通常情况下需要权衡取舍: 不能只将带宽降低到任意小的值就认为天下大吉。有哪些竞争因素需要考虑? 要回答这个问题, 我们需要讨论抽取、快速傅立叶变换(FFT)及其关系。首先定义几个变量:

$$M \text{ 为数字数据流的ADC抽取系数} \quad (5)$$

$$N \text{ 为FFT长度, 与采样持续时间成比例}$$

ADI公司的高采样速率ADC采用片内数字信号处理器(DSP)模块, 可对原始数据流进行可配置的滤波和抽取, 以将最小有效载荷发送至下游FPGA。ADI公司的相关文献对此过程进行了详细讨论³。抽取的明显好处是减少了必须通过JESD204B/JESD204C传递给FPGA的数字有效载荷。另一个好处是, 与在FPGA架构中实现相同操作相比, 使用本地片内抽取专用电路(即ASIC)可以节省功耗。但是, 本地片内抽取不仅仅有益于简化数据流和节省功耗。我们会在后面谈到这个问题。

Parameter	Value	Units
f_s	15.36	GSPS
IIP3	20	dBm
IIP2	35	dBm
Full scale	-6.5	dBm
NSD	-148	dBFS/Hz
BW_proc	469	kHz
P_N	-98	dBm
iSFDR3	79	dB
iSFDR2	66	dB

图4显示了现代宽带数字转换中使用的模块(与本讨论相关)。该流程包括对数据流进行采样、数字下变频、数字滤波、抽取和快速傅立叶变换。

首先,使用微调NCO将在 f_s 处采样的数据数字下变频到基带(复数I/Q)。然后,使用可编程低通数字滤波器对数据流进行滤波。此预抽取数字滤波设置中频带宽,并且是设置接收器本底噪声 P_N 的两个不同操作中的第一个。随着中频带宽变小,并且滤波使宽带噪声衰减,带内积分噪声功率会降低。

$$\text{中频(噪声)通道带宽} = f_s/2M \quad (6)$$

接下来,以M进行抽取会将有效采样速率降至 f_s/M ,保留第M个样本,并将其间的样本丢弃。

因此,下游FFT处理获得速率为 f_s/M 且带宽为 $f_s/2M$ 的数据流。最后,FFT长度N设置窗口宽度和捕获时间,这是设置本底噪声的第二步。

$$\text{FFT窗口} = [\text{中频通道带宽}] / [N/2] \text{ Hz} = f_s/[MN] \text{ Hz} \quad (7)$$

抽取和FFT对宽带数字接收器本底噪声的影响

图5将宽带数字接收器的处理本底噪声(K)与ADC的噪声谱密度(L)关联起来,后者是ADC加性噪声的FOM,可在数据手册上轻松获得。现有ADI文献很好地解释了处理增益、NSD、SNR和量化噪声⁷。

图5中最有用的关系是:

或者换言之

$$\text{处理本底噪声 (dBFS)} = \text{NSD (dBFS/Hz)} + 10\text{Log}_{10}[f_s/(MN)/\text{Hz}] \text{ (dB)} \quad (8)$$

处理本底噪声(图5中的K)与 P_N 相同,可以放入式1和式2中。注意,设计人员基于下一部分中讨论的设计权衡和约束条件仔细选择M和N。

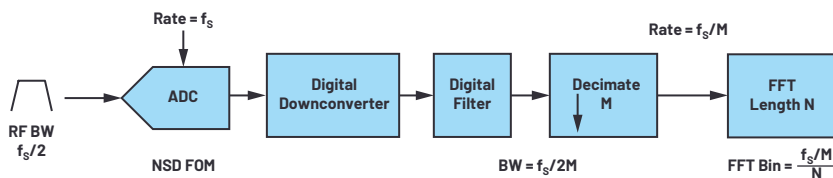


图4. ADC数据抽取和FFT的简单框图。

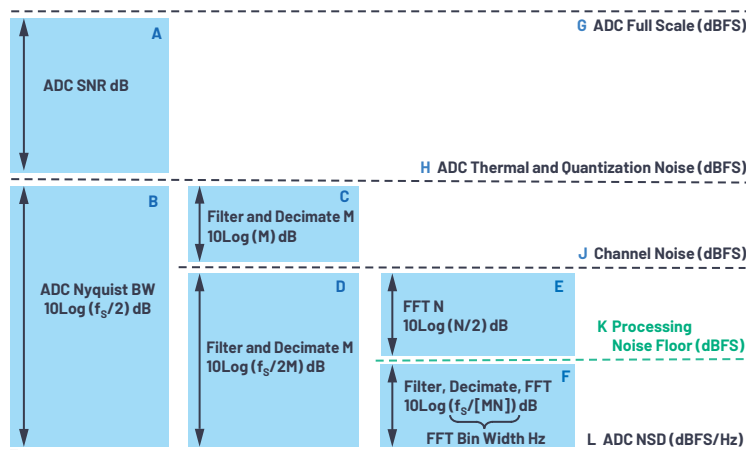


图5. 抽取和FFT增益运算与通常参考的噪声水平的关系。

尽管提高抽取系数M与减小FFT长度N(图5中的E)对降低本底噪声(图5中的C)具有相同的比例效应,但必须注意二者的机制完全不同。抽取步骤涉及使用数字滤波对通道进行限带。由此设定的有效噪声带宽决定了通道中的总积分噪声(图5中的D)。它还设置了可检测信号的最大瞬时频谱带宽。与之相比,FFT步骤本身并不进行滤波,而是将通道中的整个积分噪声扩展到N/2个窗口中,并且决定了频谱线分辨率。N越高,则窗口越多,每个窗口的噪声含量就越低⁸。抽取增益M和FFT增益N共同定义了FFT窗口的宽度,在讨论处理带宽时常常将它们合并在一起(图5中的F),但其值必须根据各自对信号带宽、频谱分辨率、灵敏度、延迟要求的微妙影响来平衡,详见下一部分的讨论。

处理带宽和系统性能的权衡

反过来将抽取M和FFT N与高优先级性能关联起来:

延迟是检测和处理连续频谱捕获的时间,必须尽可能短。许多系统需要近乎实时的操作,这就要求 $M \times N$ 尽可能小。随着FFT大小的增加,频谱分辨率会提高,而本底噪声会降低,因为积分噪声会分布在更多窗口上。需要权衡的是采集时间,后者很重要,计算公式如下:

$$\text{时间} = N \times M \times t_s(\text{秒}) \quad (9)$$

当较短时间脉冲的频谱内容扩展到相对较宽的频带时,最小可检测脉冲宽度(PW)设置最小容许中频通道带宽。如果中频通道带宽太窄,则信号频谱内容将被截断,较短时间脉冲将得不到正确检测。设置最大容许M的最小中频带宽必须满足以下条件:

$$f_s/[2M] > [1/PW] \text{ Hz} \quad (10)$$

频谱分辨率和灵敏度随着FFT窗口变窄(需要增加N)而提高。更长的脉冲宽度和PRI需要更高的分辨率才能分辨出更近的频谱线,这意味着需要更大的N才能正确检测。N的增加会改善频谱线分辨率,但只能在M所定义的中频带宽内。如果使用过高的抽取, N的增加会改善M所设置的中频带宽内的频谱分辨率,但无法恢复丢失的信号带宽。例如,脉冲宽度低于接收器最小脉冲宽度的脉冲序列将有一个频域sinc函数,其主瓣超过抽取带宽。增加N将有助于解析序列的PRF,但无助于解析脉冲宽度,该信息会丢失。唯一的解决办法是减小抽取M,增加中频带宽。

抽取、FFT和脉冲序列检测

电子战宽带数字接收器的大部分工作是解交织、识别、跟踪同时入射的雷达脉冲序列。载波频率、脉冲宽度和脉冲重复间隔(PRI)是雷达的标签,对于确定谁是谁至关重要。检测方案中同时使用时域和频域⁹。总体目标是在尽可能短的持续时间内检测、处理和响应脉冲序列。动态范围至关重要,因为电子战接收器需要同时跟踪多个远距离目标,并且同时受到高能干扰脉冲的轰炸。

脉冲序列FFT示例

这里给出了两个脉冲序列示例。第一个代表脉冲多普勒雷达,其在10%的占空比时显示出非常短的PW(100 ns),导致PRF非常高。第二个模拟脉冲雷达,其PW和PRI相对较长(占空比较低,PRF较低)。下面的图像和表格说明了抽取M和FFT长度N对时间、灵敏度(本底噪声)和频谱分辨率的影响。表1汇总了这些参数以便于比较。虚构的值并不代表具体的雷达,但仍有实际意义¹⁰。

表1. 示例脉冲多普勒雷达和脉冲雷达特性的比较

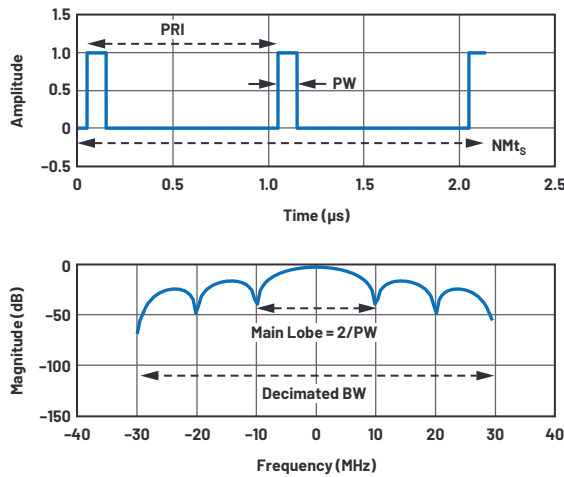
参数	脉冲多普勒雷达		脉冲雷达	
PW	短	100 ns	较长	10 μ s
PRI	短	1 μ s	较长	1 ms
PRF	高	1 MHz	低	1 kHz
占空比	中/高	10%	中/低	1%
抽取M	低	256	高	1536
FFT长度N	低	128至512	高	16,384至65,536
时间	快	2 μ s至9 μ s	较长	2 ms至7 ms
灵敏度	较低	-91 dBFS	较高	-120 dBFS

要点是, M和N并没有一个适合一切情况的值,任何具体电子战接收器中的复杂检测算法和并行通道化方案都可能采用广泛的值。电子战接收器必须能够检测两个信号,可能是同时进行(此处未显示),这就是为什么快速、适应性配置能力很重要的原因。动态范围和灵敏度直接取决于必须检测的脉冲特性。

示例: 宽带数字接收器检测脉冲多普勒雷达

以下两个FFT捕获脉冲多普勒情形。

图6所示的第一个FFT仅需要2个以上的脉冲周期,便能从FFT主瓣的宽度确定信号的脉冲宽度。抽取值M的设置使得中频带宽足够宽,能够捕获主瓣及一些旁瓣。响应时间非常快。快速响应时间的不利一面是导致本底噪声和频谱分辨率较差。注意,由于缺乏频谱分辨率,FFT中没有可用的PRI信息。



Parameter	Value	Units
F_{SAMPLE}	15.36	GSPS
N	128	
M	256	
$M \times N$	32,768	
FFT Bin	469	kHz
Time ($NMts$)	2	μ s
PW	100	ns
Duty	10	%
PRF	1	MHz
PRI	1	μ s
Noise Floor	-91	dBFS

图6. 快速捕获脉冲多普勒雷达的典型窄脉冲宽度、高PRF脉冲序列。

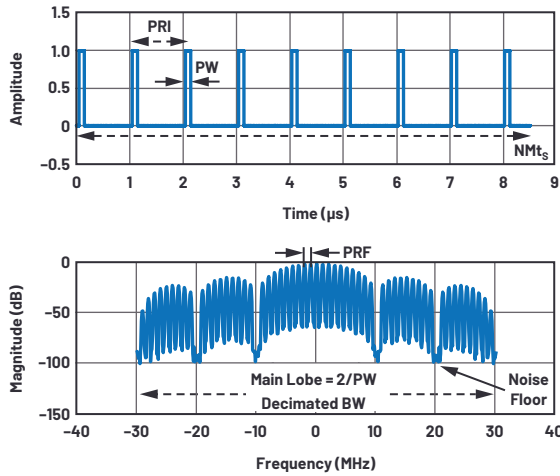
图7中的第二个FFT显示，因为采样长度N(和时间)增加，本底噪声和频谱分辨率得到了改善。M保持不变。经过大约九个脉冲周期，频谱分辨率提高到足以从FFT确定PRI (1/PRF)的程度。旁瓣之间可以看到本底噪声。

示例：宽带数字接收器检测脉冲雷达

以下两个FFT捕获更宽的脉冲情形。

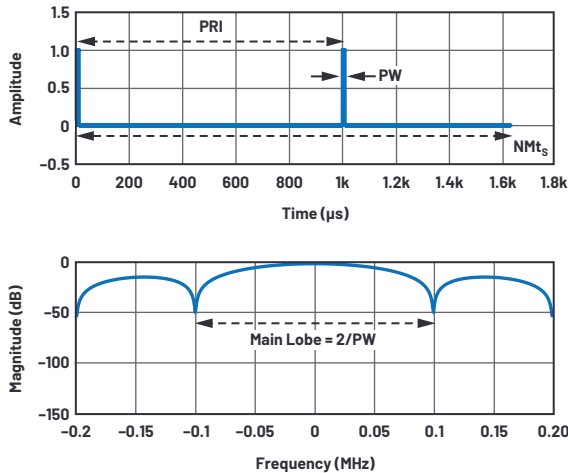
在图8的脉冲雷达示例中，宽得多的PRI或更低的脉冲密度需要高得多的N。调整M完全取决于系统。如果必须在同一中频

通道中同时检测到短脉冲和长脉冲，则M的设置必须适应短脉冲频谱带宽，并且不能增加。单独考虑时，长脉冲需要较低的中频带宽，因此可以将M设置得较高以改善通道噪声和灵敏度。但是，所需的捕获时间或FFT长度N要长得多。因此，当系统获得足够高的N来解析长脉冲时，检测算法可能会对短脉冲情况做出中间决策。



Parameter	Value	Units
F _{SAMPLE}	15.36	GSPS
N	512	
M	256	
M × N	131,072	
FFT Bin	117	kHz
Time (NMt _s)	8.5	μs
PW	100	ns
Duty	10	%
PRF	1	MHz
PRI	1	μs
Noise Floor	-97	dBFS

图7. 脉冲多普勒示例使用较长FFT解析谱线。



Parameter	Value	Units
F _{SAMPLE}	15.36	GSPS
N	16,384	
M	1536	
M × N	25.2M	
FFT Bin	0.6	kHz
Time (NMt _s)	1.6	ms
PW	10	μs
Duty	1	%
PRF	1	kHz
PRI	1	ms
Noise Floor	-120	dBFS

图8. 快速捕获脉冲雷达的典型较长脉冲、较低PRF脉冲序列。

图9中的第二个长脉冲FFT示例说明了长PRI(低PRF)如何产生非常接近的频谱线,这需要非常低的FFT窗口大小或分辨率带宽。缺点是需更多时间(FFT N)。好处是灵敏度更高。

使用级联ADC的宽带数字接收器射频前端设计

确立了动态范围和灵敏度目标之后,射频前端与数字数据转换器必须匹配。最佳射频前端设置接收器灵敏度(NF),并以足够好的线性裕量执行所需的频谱信号调理,使得ADC性能可以设置接收器IP3和IP2。通常将前端射频增益设置为足以建立所需级联NF的水平,因为超出该增益一般会损害动态范围,应避免这种情况。如果前端成为动态范围的瓶颈,ADC的能力将被浪费,这会非常可惜!

一个有用的技巧是将ADC的品质因数转换为等效的射频级联参数,并将ADC视为射频黑匣子。一些经验法则:

$$\begin{aligned} ADC\ NF\ dB &= ADC\ NSD\ (dBm/Hz) + 174\ (dBm/Hz) \\ ADC\ IIP2\ dBm &= 2P_{RF}\ (dBm) - IMD2\ (dBm) \\ ADC\ IIP3\ dBm &= [3P_{RF}\ (dBm) - IMD3\ (dBm)]/2 \end{aligned} \quad (11)$$

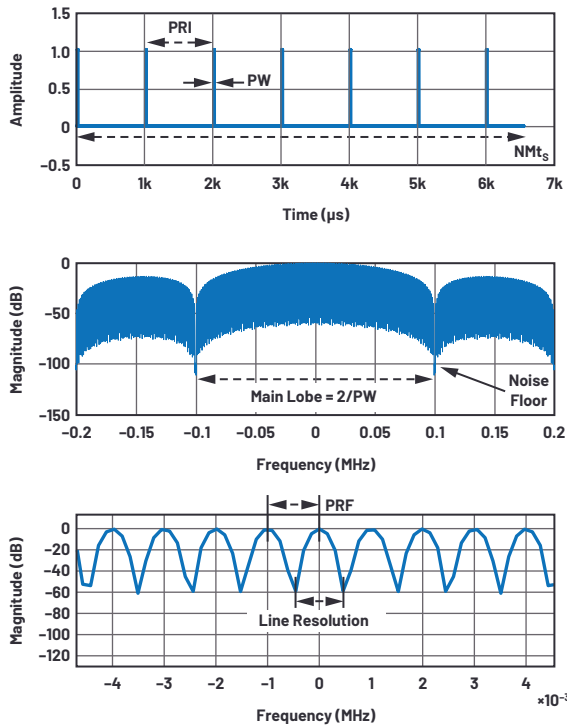


图9. 脉冲示例使用较长FFT解析谱线。

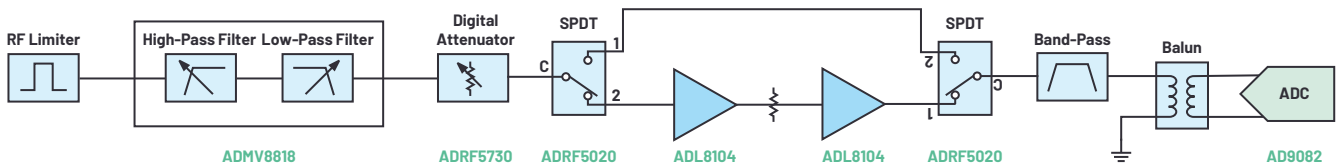


图10. 切换高灵敏度模式和旁路模式的射频前端示例。

其中PRF (dBm)是测量IMD3和IMD2水平的ADC输入射频水平。

注意,在针对处理增益进行调整之前,组合前端和ADC的级联系统NF是宽带噪声。

前端与ADC级联的设计示例

下面是使用图10所示前端进行级联分析的例子。此链受益于ADI最新发布的射频目录产品,包括:

- ▶ ADMV8818宽带可编程高通/低通可调谐滤波器。
- ▶ ADRF5730宽带射频SOI数字衰减器。
- ▶ ADRF5020宽带射频SOI SPDT。
- ▶ ADL8104超高IP2宽带射频放大器。
- ▶ AD9082 MxFE 4x DAC (12 GSPS) + 2x ADC (6 GSPS)

此外,该链具有ADI开发的宽带200 W射频限幅器和小尺寸高Q的固定滤波器。

保护动态范围的一种古老技术是在针对较低输入信号的高检测模式与针对较高输入信号的旁路模式之间进行切换。如表2所示,高检测路径有利于NF性能,而旁路路径则牺牲较高NF以有利于提高线性度(IP2和IP3)。性能表说明了这种好处。

Parameter	Value	Units
F _{SAMPLE}	15.36	GSPS
N	65,536	
M	1536	
M × N	101M	
FFT Bin	0.153	kHz
Time (NMT _s)	6.6	ms
PW	10	μs
Duty	1	%
PRF	1	kHz
PRI	1	ms
Noise Floor	-126	dBFS

表2. 两种模式的射频前端黑匣子参数示例

模式	G(dB)	NF(dB)	IIP2(dBm)	IIP3(dBm)	IP1dB(dBm)
高检测	10	15	31	17	5
旁路	-14	14	75	40	25

表3比较了前端和ADC黑盒参数以及所得到的整体级联性能。

在高检测模式下，动态范围的限制因素是本底噪声，因此优先考虑级联NF。前端噪声系数主要取决于减轻干扰所需的前端滤波的插入损耗(本示例预算为6 dB损耗)。这种预选滤波必须放在放大器之前才能有效，因为放大器会产生多信号IMD产物。

在旁路模式下，SOI技术的极高线性度非常有利。这里没有什么技巧，因为放大器有限的线性度换得了较高的线性度、较低的增益和较高的NF。

表3. 高检测(顶部)和旁路(底部)级联性能示例；“总体”列是级联射频前端加上ADC的全部性能

	射频前端	ADC	总体	单位
满量程		-6.5		dBm
NSD		-148		dBFS/Hz
		-154.5		dBFS/Hz
增益	10	0		dB
NF	15	19.5	16.1	dB
IIP2	31	35	21.5	dBm
IIP3	17	20	9.2	dBm
Pi	-40	-30		dBm
P _N			-91.2	dBm
	射频前端	ADC	总体	单位
满量程		-6.5		dBm
NSD		-148		dBFS/Hz
		-154.5		dBFS/Hz
增益	-14	0		dB
NF	14	19.5	33.5	dB
IIP2	75	35	48.6	dBm
IIP3	40	20	33.0	dBm
Pi	-15	-29		dBm
P _N			-97.8	dBm

宽带数字接收器设计结果和优化

以下性能热度图是灵敏度分析，显示了改变以下条件时获得的瞬时无杂散动态范围(DR, dB)：

- ▶ 处理带宽和射频输入水平
- ▶ 射频前端IIP2和射频输入水平
- ▶ 射频前端NF和射频输入水平

每种情况均针对高灵敏度和旁路路径运行。方框标出了有利的工作区域。表格列出了给定最大输入信号水平P_{in}下的动态范围(SFDR)，即到本底噪声或最高IMD杂散的距离。对于任何给定表格，静态变量都是根据前面的链参数设置的。

如之前所讨论的，图11中选择的B_v取决于波形检测目标。较低的B_v会降低本底噪声，改善较低P_{in}下的动态范围，但FFT时间会变慢。相反，较高的B_v会增加本底噪声，而较差的灵敏度会限制动态范围。可能的工作区域位于二者的平衡点。

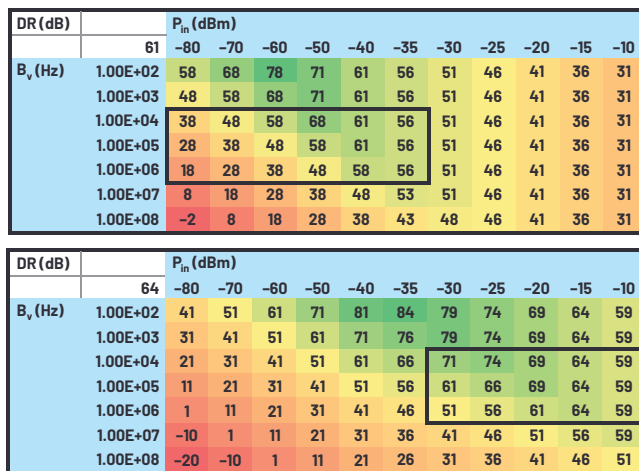


图11. 瞬时无杂散动态范围(DR)与射频输入水平(P_{in})和处理带宽(B_v)的关系；高灵敏度模式(顶部)和旁路模式(底部)。

图12说明，在低P_{in}水平下，由于灵敏度设置动态范围，因此IIP2不相关。中等性能对IIP2最敏感。中等输入功率水平可能包含大多数使用场景，随着P_{in}的增加，高检测模式趋于向旁路模式切换，放大器的线性度(尤其是IP2)至关重要。ADL8104的出色IP2在这一重要的中端输入范围的应用中中脱颖而出，保持了高动态范围性能。

旁路模式下较高的IIP2允许工作区域框向下移动以获得最佳动态范围。

DR (dB)	P _{in} (dBm)											
	61	-80	-70	-60	-50	-40	-35	-30	-25	-20	-15	-10
IIP2 (FE, dBm)	20	21	31	41	51	56	51	46	41	36	31	26
	30	21	31	41	51	61	56	51	46	41	36	31
	40	21	31	41	51	61	59	54	49	44	39	34
	50	21	31	41	51	61	60	55	50	45	40	35
	60	21	31	41	51	61	60	55	50	45	40	35
	70	21	31	41	51	61	60	55	50	45	40	35
	80	21	31	41	51	61	60	55	50	45	40	35

DR (dB)	P _{in} (dBm)											
	64	-80	-70	-60	-50	-40	-35	-30	-25	-20	-15	-10
IIP2 (FE, dBm)	20	4	14	24	34	44	49	50	45	40	35	30
	30	4	14	24	34	44	49	54	54	49	44	39
	40	4	14	24	34	44	49	54	59	57	52	47
	50	4	14	24	34	44	49	54	59	63	58	53
	60	4	14	24	34	44	49	54	59	64	62	57
	70	4	14	24	34	44	49	54	59	64	63	58
	80	4	14	24	34	44	49	54	59	64	64	59

图12. 瞬时无杂散动态范围(DR)与射频输入水平(P_{in})和射频前端IIP2(折合到输入端)的关系; 高灵敏度模式(顶部)和旁路模式(底部)。

图13显示, 若大幅改进NF(对于SWaP-C和线性度非常不利), 使用中等B_v的动态范围所获得的好处会递减。为了降低NF, B_v需要随之降低, 并且必须接受相关的损失。高检测模式适用于10 dB至15 dB的NF。对于旁路模式, 考虑到线性度的优势, 高NF被证明是一个很好的折衷。理想情况下, 对于旁路模式, NF可以保持在20 dB至25 dB的范围内。由于受到IMD的限制, 旁路模式下更好的NF对动态范围没有帮助。

DR (dB)	NF (dB)	P _{in} (dBm)										
		61	-80	-70	-60	-50	-40	-35	-30	-25	-20	-15
NF (dB)	5	27	37	47	57	61	56	51	46	41	36	31
	10	25	35	45	55	61	56	51	46	41	36	31
	15	21	31	41	51	61	56	51	46	41	36	31
	20	17	27	37	47	57	56	51	46	41	36	31
	25	12	22	32	42	52	56	51	46	41	36	31
	30	7	17	27	37	47	52	51	46	41	36	31
	35	2	12	22	32	42	47	51	46	41	36	31

DR (dB)	NF (dB)	P _{in} (dBm)										
		64	-80	-70	-60	-50	-40	-35	-30	-25	-20	-15
NF (dB)	5	4	14	24	34	44	49	54	59	64	64	59
	10	4	14	24	34	44	49	54	59	64	64	59
	15	4	14	24	34	44	49	54	59	64	64	59
	20	4	14	24	34	44	49	54	59	64	64	59
	25	3	13	23	33	43	48	53	58	63	64	59
	30	2	12	22	32	42	47	52	57	62	64	59
	35	0	10	20	30	40	45	50	55	60	64	59

图13. 瞬时无杂散动态范围(DR)与射频输入水平(P_{in})和射频前端噪声系数(NF)的关系; 高灵敏度模式(顶部)和旁路模式(右侧)。

总结

电子战即将向多倍频程、多GHz瞬时带宽射频调谐器和宽带数字接收器发展, 这使得IMD2效应成为挑战动态范围的因素。当今基于IMD3的SFDR考量将扩大到包括IMD2, 设计人员将同时使用SFDR2和SFDR3公式。系统本底噪声是动态的, 因为处理带宽会根据波形检测和时要求而随时变化。在设计最佳本底噪声时, 抽取M和FFT深度N共同定义了FFT窗口宽度, 但它们各自都有重要影响需要考虑。本文提供了不同M和N的脉冲序列FFT示例。随着ADC性能的提高, 前端将继续依赖具有可调谐特性和频率选择性的高线性度宽带射频器件。前端应与ADC的射频属性进行级联设计。

MATLAB®代码

```
clear all; clc; %close all;
% sampling parameters
fs = 15.36e9; %sampling frequency
ts = 1/fs; % time step
N = 2^9; %FFT bins
m = 2^8; %decimation 1536 max
MN=N*m;
fs_dec=fs/m;
bin = fs_dec/N;
capture_time= N*m*ts; % radar waveform
tau = 100e-9; % pulse width
duty = 0.1;
PRI = tau/duty;
PRF = 1/PRI; % Hz
NSD=-148; %dBFS/Hz
floor=NSD+10*log10(2*fs_dec/N);
mainlobe=2/tau;
line_spacing= PRF;
num_cycles = N*m*ts/PRI;
t = 0:ts:(N*m*ts - ts);
d = tau/PRI:(PRI*(num_cycles));
y = pulstran(t,d,@rectpuls,tau); %pulse train
y=awgn(y, 50);
%plot pulse train in time domain
subplot(2,1,1)
plot(t/1e-6,y)
xlabel('Time (us)'); ylabel('Amplitude')
ylim([-0.5,1.5]);
%filter and decimate data stream
ydec=decimate(y,m);
%window
win = blackman(length(ydec)); % blackman window...
use yup for zero pad
ywin=win'.*ydec;
% FFT
Y = abs(fft(ywin,N));
f = -fs_dec/2:fs_dec/N:(fs_dec/2-fs_dec/N);
%normalize and convert to dB
Y_db = mag2db(Y./max(Y));
%plot FFT
subplot(2,1,2)
plot(f/1e6,fftshift(Y_db));
xlabel('Frequency (MHz)'); ylabel('Magnitude (dB)');
xlim([-4/tau/1e6 4/tau/1e6]);
ylim([-150,0]);
```

参考文献

- ¹Peter Delos。 “宽带射频接收器架构选项综述”。ADI公司，2017年2月。
- ² Ahmed Ali、Huseyin Dinc、Paritosh Boraskar、Scott Bardsley、Chris Dillon、Mohit Kumar、Matthew McShea、Ryan Bunch、Joel Prabhakar和Scott Puckett。 “集成宽带采样保持放大器和背景校准功能的12位18GS/s射频采样ADC”。2020年IEEE国际固态电路会议，2020年2月。
- ³ AD9213数据手册。ADI公司，2020年3月。
- ⁴ AD9174数据手册。ADI公司，2019年7月。
- ⁵ William F. Egan。实用射频系统设计。John Wiley & Sons，2003年4月。
- ⁶ James Bao-Yen Tsui。微波接收器和相关器件。Peninsula，1983年。
- ⁷ Ian Beavers。 “噪声频谱密度：一个新ADC指标？” ADI公司，2017年12月。

- ⁸ Travis F. Collins、Robin Getz、Di Pu和Alexander M. Wyglinski。 [面向工程师的软件定义无线电](#)。Artech House，2018年。
- ⁹ James Tsui和Chi-Hao Cheng。宽带接收器的数字技术。SciTech，2015年。
- ¹⁰ 占空比。 [电子战和雷达系统工程手册](#)。美国海军航空系统司令部，1997年4月。

致谢

将本文中的概念整合在一起是团队的努力，我得到了同事们的重要帮助。感谢Nate Turner、Brad Hall、Wyatt Taylor、Frank Murden、Pete Delos、Ed Woertz、Robin Getz和Travis Collins。James Tsui博士的宽带接收器的数字技术对本文的很大一部分内容有启发性，强烈建议有兴趣了解细节的人阅读此文。



作者简介

Benjamin Annino是ADI公司航空航天与防务事业部的应用总监。他于2011年加入Hittite Microwave，然后于2014年转入ADI公司。在此之前，他在Raytheon从事各种雷达技术工作。他拥有达特茅斯学院电气工程学士学位、马萨诸塞大学洛厄尔分校电气工程硕士学位以及马萨诸塞大学安姆斯特分校M.B.A.学位。联系方式：benjamin.annino@analog.com。

一个简单的三角形符号到底意味着什么？

Harry Holt, 应用工程师
Mike Skroch, 应用工程师

符号是有助于还是妨碍我们思考设计？

符号很重要，但如果一个符号可以表示多种东西呢？

正如我们将看到的那样，这可能会造成问题。在模拟世界中，三角形可以表示运算放大器、比较器或仪表放大器。您可以使用其中之一实现另一个的功能，但系统性能将不是最佳的。本文将讨论其区别以及需要注意的地方，以便我们设计的时候能绕开麻烦。我们将看到，在某些情况下，您根本不想尝试使用错误类型的器件进行设计。

查看图1，哪个三角形表示运算放大器？哪个三角形表示比较器？哪个三角形表示仪表放大器？答案：

它们都是！

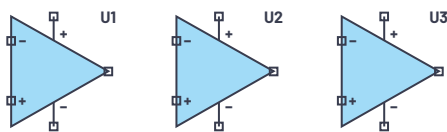


图1 运算放大器、仪表放大器和比较器。

那么，它们有何区别，我们为什么要关注？从表1可知，某些特性有很大差别，但它们对电路和系统意味着什么？

表1. 运算放大器、比较器和仪表放大器的比较

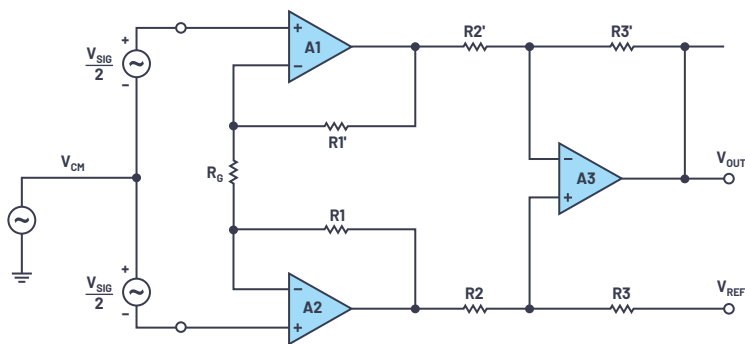
	运算放大器	比较器	仪表放大器
反馈	负	无/正	内部
开环增益	5k至1000万	3k至50k	固定在0.2至10k
闭环增益	通常 < 10,000		固定在0.2至10k
输入电容	无	可能有	良好
输出	模拟/线性	数字	模拟/线性
重要规格	V_{OS} , GBW/PM	传输延迟	CMRR
编程	R 或 C	无	R、SPI、跳线

我们来看看大家是如何陷入困境的……

反馈

运算放大器具有巨大的增益。学校老师教导我们，开始分析时，两个输入之差等于零。但在现实生活中，这是不可能的。如果开环增益为一百万，那么要在输出上获得5 V，输入上须有5 μ V。为使电路可用，我们需要施加反馈，当输出要变得过高时，控制信号会反馈到输入，抵消原始激励—例如负反馈。当用作比较器时，如果没有反馈，输出将直接冲到一个轨或另一个轨。如果是正反馈，输出将在同一方向上被驱动到更远。因此，运算放大器需要负反馈。实际上，当某些运算放大器用作无反馈的比较器时，电源电流可能比数据手册上的最大值高5至10倍¹。

但是，对于比较器来说，正反馈才是我们需要的。在没有反馈的情况下，如果比较器的一个输入缓慢超过另一输入的电平，输出将开始缓慢变化。如果系统中存在噪声，例如接地反弹，输出可能会反转，这在控制系统中当然是不希望发生的。但随后它开始回头，产生振荡行为，有时称之为震颤(参见 MT-083²中的图5)。Reza Moghimi的文章“通过迟滞根除比较器的不稳定性”充分介绍了添加正反馈(也称为迟滞)的好处³。



$$CMR \leq 20 \log \left[\frac{\text{Gain} \times 100}{\% \text{ Mismatch}} \right]$$

$$\text{If } R2 = R3, G = 1 + \frac{2R1}{R0}$$

$$V_{OUT} = V_{SIG} \times \frac{R3}{R2} \left[1 + \frac{2R1}{R0} \right] + V_{REF}$$

图2 经典三运放仪表放大器。

对于仪表放大器，反馈已在内部，添加反馈只会产生不精确的增益。图2显示了一种利用运算放大器构建仪表放大器的典型方法。

注意：每个运放都有反馈。我们从使用标准负反馈图(见图3)开始，仪表放大器为G，期望增益为10，这意味着反馈系数为0.1。接下来，选择仪表放大器固定增益为100。使用式1，实际的闭环增益将为9.09，几乎有10%的误差。因此，将仪表放大器用作运算放大器并为其添加反馈是没有意义的。

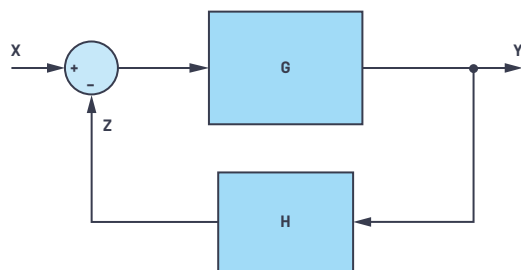


图3 经典反馈原理图。

$$A_{CL} = \frac{1}{\beta} \times \frac{1}{1 + 1/A_{VOL} \times \beta} \quad (1)$$

运算放大器需要负反馈；比较器需要正反馈；仪表放大器不需要任何反馈。

开环和闭环增益

对于运算放大器，参见式1，开环增益(A_{VOL})越高，闭环增益将越精确。大多数运算放大器的开环增益在100,000至1000万之间，但某些较早的高速运算放大器可能低至3000。如前所述，开环增益越高，闭环增益误差越小。

对于比较器，如果输出的逻辑摆幅为3V，并且您需要1 mV阈值，则最小增益须为3000。较高的增益将使不确定性窗口变小，但如果增益过高，微伏级的噪声就会触发比较器。

对于仪表放大器，开环增益的概念并不适用。

输入电容

电路中常常会添加电容以限制带宽。检查图4，乍看之下R1和C1似乎构成了一个低通滤波器。这行不通，可能导致振荡。反相放大器的反馈系数为R2/R1，但在图4中，反馈系数为R2/(R1 // X_c)。随着频率提高，反馈系数也会提高，因此噪声增益以+20 dB/10倍频程的速率上升，而运算放大器开环增益以-20 dB/10倍频程的速率下降。它们在40 dB处交叉，根据控制系统理论，这肯定会产生振荡。限制电路带宽的正确方法是在R2两端放置电容。

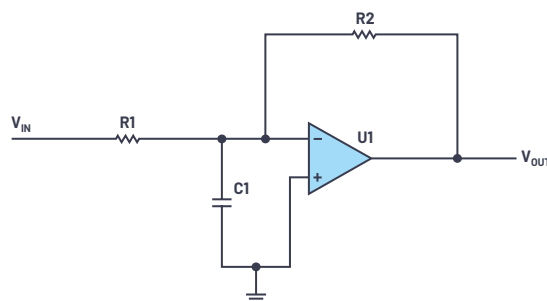


图4 尝试减少运算放大器带宽。

比较器通常没有负反馈网络，因此图5中比较器前面的简单R和C构成的低通滤波器效果很好。R_{HYS} 应比R7大得多，两者分割输出摆幅以提供少量的正反馈(迟滞)。如果比较器有内置迟滞，例如LTC6752或ADCMP391，则不使用R7和R_{HYS}。

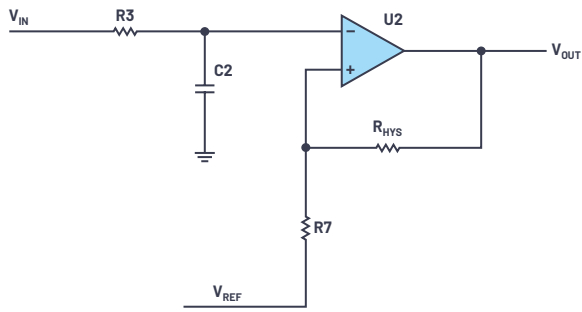


图5. 具有LPF和迟滞的比较器。

对于仪表放大器，输入端放置电容是完全可以接受的，如图6中的C4所示。ADI公司仪器仪表指南“第5章中的图形显示了每次使用仪表放大器时都要做的一件好事情。如果用适当的走线和焊盘对印刷电路板进行布局，以允许添加两个电阻和三个电容，那么可以从0Ω电阻和无电容开始，测量系统性能。通过调整五个元件的值，可以单独设置共模滚降和正常模式滚降(详情参见指南)。

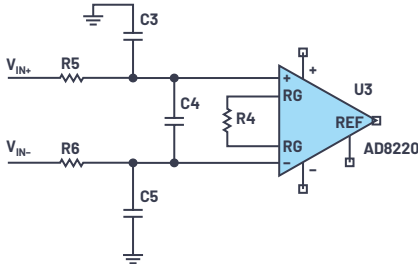


图6. RFI滤波器前置于仪表放大器。

输出

运算放大器或仪表放大器的输出会从接近一个轨摆动到另一个轨。根据输出级是使用共射极还是共源极配置，输出可能达到任一供电轨的25 mV至200 mV范围内。这被视为轨到轨输出。如果运算放大器由+15 V和-15 V供电，则不便于与数字电路接口。一种糟糕的解决方案是在输出端放置二极管箝位，以保护数字输入免受损坏。但取而代之的是，运算放大器因电流过高而损坏。运算放大器与数字逻辑接口有更复杂的方法，但何必那么麻烦？只需使用比较器即可。

比较器可以有CMOS图腾柱输出，或者有NPN或NMOS开集或开漏输出。虽然开集或开漏输出需要一个上拉电阻，导致上升和下降时间不等，但它有如下优点：比较器采用一个电压(如5 V)供电，并在其他电压(如3.3 V)下与逻辑接口。

重要规格

运算放大器需要一个高于最高信号频率的增益带宽，以使闭环误差保持较低水平。查看式1，我们知道增益带宽应为最高信号频率的10至100倍。如前所述，从式1中可以看出， A_{VOL} 是频率的函数，会影响闭环精度。相位裕量也很重要，它会随容性负载而变化，因此规格表应清楚说明测试条件。为了确保直流精度，失调电压应较低。对于经过调整的双极性运算放大器，25 μV至100 μV比较好；对于FET输入运算放大器，200 μV至500 μV比较好。自稳零/斩波/零漂移运算放大器几乎总是低于20 μV(最大值)，这是就整个温度范围而言的。请查阅一些典型运算放大器的数据手册，如ADA4077、ADA4084、ADA4622或ADA4522。

传输延迟是比较器的关键规格。运算放大器在过驱时会变慢，比较器与之不同，当过驱时会变快。规格表有时会提供少量过驱(例如5 mV)下的传输延迟，以及50 mV甚至100 mV的较大过驱下的不同传输延迟。

仪表放大器最重要的指标是共模抑制比(CMRR)，因为应用需要提取一个位于大共模电压之上的非常小的差模信号。像许多规格一样，此规格随频率而变化，有时还会列出直流CMRR或非常低频率下的CMRR。通常会提供CMRR与频率的关系图。例如，当检测H桥电机驱动器中的电流时，此图将非常重要，如图7所示。

这可能是仪表放大器最困难的应用，因为共模电压从一个轨附近变到接近另一个轨，并且电流迅速反向。增益带宽和压摆率都很重要。

编程

这里的编程并不意味着编写代码，它是指配置器件以满足系统要求(尽管某些仪表放大器确实有通过SPI端口和寄存器进行传统软件编程的功能)。

运算放大器需配置为负反馈。这可以是纯阻性元件，但通常将电阻与电容并联使用以限制带宽。这样有助于提高信噪比，因

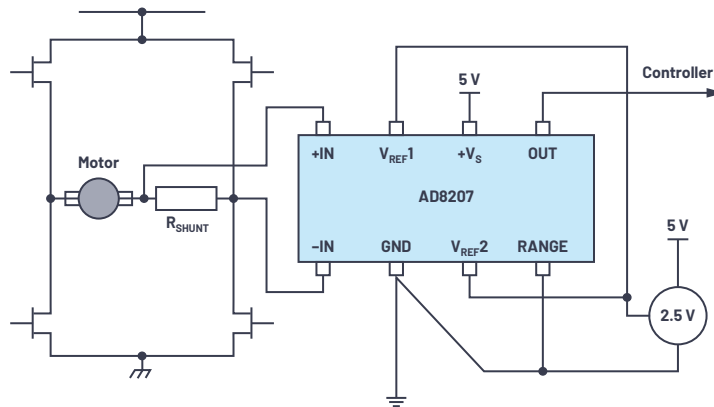


图7. 具有高共模摆幅的双向电流检测。

为噪声会在整个范围内积分，哪怕我们仅使用其中一部分。也可以只使用电容，获得一个积分器或微分器。

比较器应始终有一点正反馈，以确保一旦输入迫使输出移动，输出就会强化移动(参见图4和图5)。图片和计算参见MT-083。一些比较器具有内部迟滞，但如果需要，通常可以增加更多迟滞。一些具有内部迟滞的比较器有一个引脚用来添加一个电阻，以改变其迟滞量。

运算放大器可以用作比较器，但这并不理想，有一些事项要注意。您必须是一个很好的模拟设计人员才能很好地做到这一点。MT-083介绍了一些注意事项，讨论其利弊的相关文章有很多。如果您不惧危险，可以查阅参考资料。

比较器几乎总是用电阻进行编程。您可以添加一个高阻值电阻来提供一点正反馈，也可以使用一个电容来提供交流反馈以避免增加直流迟滞。一些比较器具有内置迟滞，但这同样可以通过增加少量正反馈来提高。

最后注意事项

尝试将运算放大器用作比较器时，会有微妙的事情发生。有不少低噪声双极性运算放大器的输入之间具有反并联二极管。大多数比较器的输入共模范围占总范围的80%或更多。但是，某些低噪声双极性运算放大器的输入之间有一个或两个串联二极管。这是为了防止输入级与发射极基极结之一形成齐纳效应，导致噪声性能随时间推移而降低。

在一个3.3 V系统中，如果将5 V运算放大器用作比较器，电源良好指示器的阈值电平为3 V，那么会出现一个输入为3 V而另一个输入为0 V的问题，因为这些二极管限制了运算放大器输入端允许的最大差分电压。

总结

对于许多应用，运算放大器的选择取决于用户是注重直流精度、交流精度、输入失调电压、增益带宽还是电源电压。到2020年，有超过700款器件可供选择。比较器的关键参数通常是传输延迟和电源电压。选择起来比较容易，共有122款器件可供选择。仪表放大器的主要标准是CMRR与频率的关系，但在DC附近，失调电压和增益精度也很重要。由于仪表放大器是专用的器件，因此“只有”63款可供选择。

只有选择正确的器件，才能实现未来若干年内无故障且可以大批量生产的产品和设计。

参考文献

- ¹ Harry Holt。“运算放大器的“最大电源电流”规格”。ADI公司，2011年11月。
- ² MT-083教程：“比较器”。ADI公司，2009年。
- ³ Reza Moghimi。“通过迟滞根除比较器的不稳定性”。《模拟对话》，第34卷第7期，2000年11月。
- ⁴ 《仪表放大器应用工程师指南》，第3版。ADI公司，2006年。



作者简介

Harry Holt曾是ADI公司(美国加利福尼亚州圣何塞)应用工程师，任职14年，最后任职部门是核心应用部。之前他曾在美国国家半导体公司工作了27年，从事各种产品的现场和工厂应用，包括数据转换器、运算放大器、基准源、音频编解码器和FPGA。他拥有圣何塞州立大学电气工程学士学位(BSEE)，并且是国家工程荣誉协会(Tau Beta Pi)终身会员和IEEE高级终身会员。Harry于2017年8月退休。



作者简介

Mike Skroch是一名应用工程师，负责为美国东部销售部门在中部和大湖区的FAE团队提供支持。他于2014年加入凌力尔特公司，然后于2017年成为ADI公司的一名成员。进入半导体行业之前，他在电信行业工作了16年，担任过各种角色，为制造、测试开发、退货和维修以及研发提供支持。联系方式：mike.skroch@analog.com。

传导辐射测试中分离共模和差模辐射的实用方法

Ling Jiang, 应用工程师; Frank Wang, EMI工程师;
Keith Szolusha, 应用总监; Kurk Mathews, 高级应用经理

开关稳压器的EMI分为电磁辐射和传导辐射(CE)。本文重点讨论传导辐射,其可进一步分为两类:共模(CM)噪声和差模(DM)噪声。为什么要区分CM-DM?对CM噪声有效的EMI抑制技术不一定对DM噪声有效,反之亦然,因此,确定传导辐射的来源可以节省花在抑制噪声上的时间和金钱。本文介绍一种将CM辐射和DM辐射从LTC7818控制的开关稳压器中分离出来的实用方法。知道CM噪声和DM噪声在CE频谱中出现的位置,电源设计人员便可有效应用EMI抑制技术,这从长远来看可以节省设计时间和BOM成本。

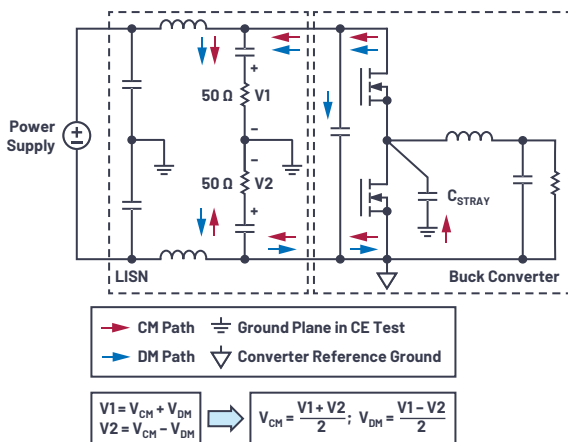


图1. 降压转换器中的CM噪声路径和DM噪声路径。

图1显示了典型降压转换器的CM噪声和DM噪声路径。DM噪声在电源线和返回线之间产生,而CM噪声是通过杂散电容 C_{STRAY} 在电源线和接地层(例如铜测试台)之间产生。用于CE测量的LISN位于电源和降压转换器之间。LISN本身不能用于直接测量CM和

DM噪声,但它确实能测量电源和返回电源线噪声—分别为图1中的V1和V2。这些电压是在50Ω电阻上测得的。根据CM和DM噪声的定义,如图1所示,V1和V2可以分别表示为CM电压(V_{CM})和DM电压(V_{DM})的和与差。因此,V1和V2的平均值就是 V_{CM} ,而V1和V2之差的一半就是 V_{DM} 。

测量CM噪声和DM噪声

T型功率合成器是一种无源器件,可将两个输入信号合成为一个端口输出。 0° 合成器在输出端口产生输入信号的矢量和,而 180° 合成器产生输入信号的矢量差¹。因此, 0° 合成器可用于产生 V_{CM} , 180° 合成器产生 V_{DM} 。

图2所示的两个合成器ZFSC-2-1W+(0°)和ZFSCJ-2-1+(180°)来自Mini-Circuits,用于测量1 MHz至108 MHz的 V_{CM} 和 V_{DM} 。对于这些器件,频率低于1 MHz时测量误差会增大。对于较低频率的测量,应使用其他合成器,例如ZMSC-2-1+ (0°)和ZMSCJ-2-2 (180°)。

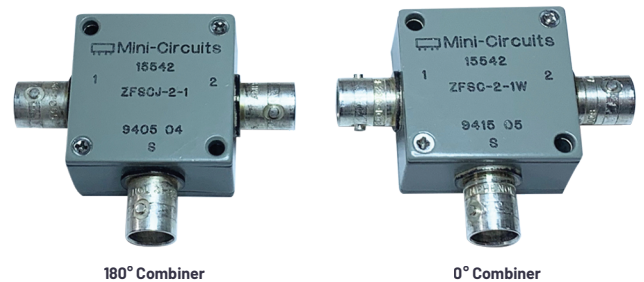


图2. 0° 和 180° 合成器。

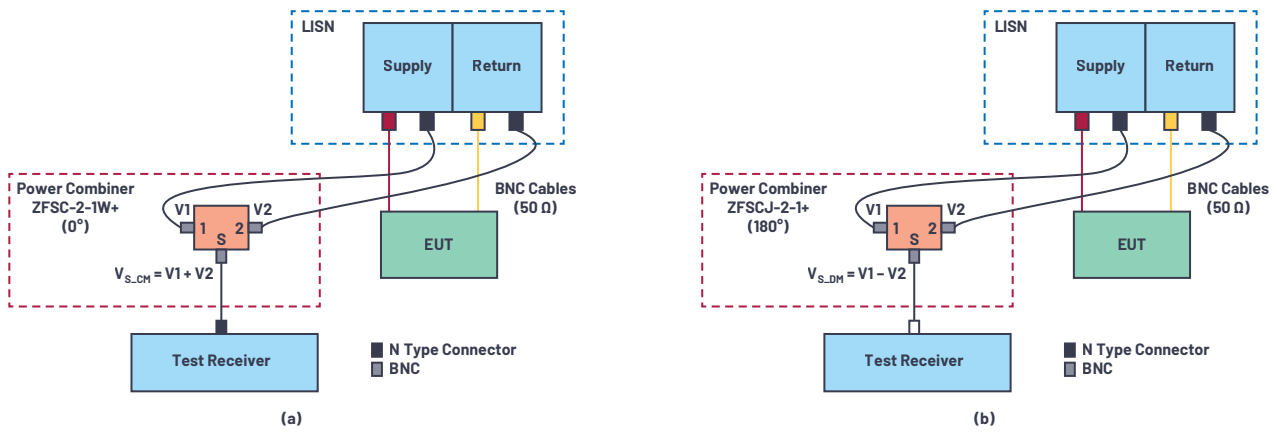


图3. 用于测量(a) V_{CM} 和(b) V_{DM} 的实验装置。

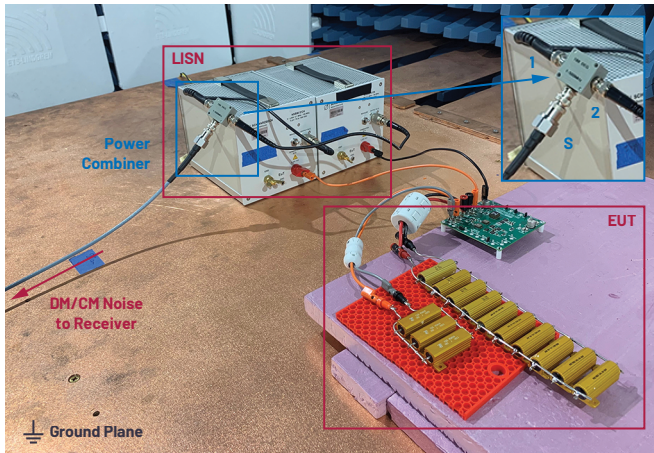


图4. 用于测量CM噪声和DM噪声的测试设置。

测试设置如图3所示。功率合成器已添加到标准CE测试设置中。LISN针对电源线和返回线的输出分别连接到合成器的输入端口1和输入端口2。 0° 合成器的输出电压为 $V_{S,CM} = V1 + V2$ ； 180° 合成器的输出电压为 $V_{S,DM} = V1 - V2$ 。

合成器的输出信号 $V_{S,CM}$ 和 $V_{S,DM}$ 必须在测试接收器中处理，以产生 V_{CM} 和 V_{DM} 。首先，功率合成器已指定接收器中补偿的插入损耗。其次，由于 $V_{CM} = 0.5 V_{S,CM}$ 且 $V_{DM} = 0.5 V_{S,DM}$ ，因此测试接收器从接收到的信号中再减去6 dB μ V。补偿这两个因素之后，在测试接收器中读出测得的CM噪声和DM噪声。

CM噪声和DM噪声测量的实验验证

使用一个装有双降压转换器的标准演示板来验证此方法。演示板的开关频率为2.2 MHz， $V_{IN} = 12V$ ， $V_{OUT1} = 3.3V$ ， $I_{OUT1} = 10A$ ， $V_{OUT2} = 5V$ ， $I_{OUT2} = 10A$ 。图4显示了EMI室中的测试设置。

图5和图6显示了测试结果。在图5中，较高EMI曲线表示使用标准CISPR 25设置测得的总电压法CE，而较低辐射曲线表示添加 0° 合成器后测得的分离CM噪声。在图6中，较高辐射曲线表示总CE，而较低EMI曲线表示添加 180° 合成器后测得的分离DM噪声。

这些测试结果符合理论分析，表明DM噪声在较低频率范围内占主导地位，而CM噪声在较高频率范围内占主导地位。

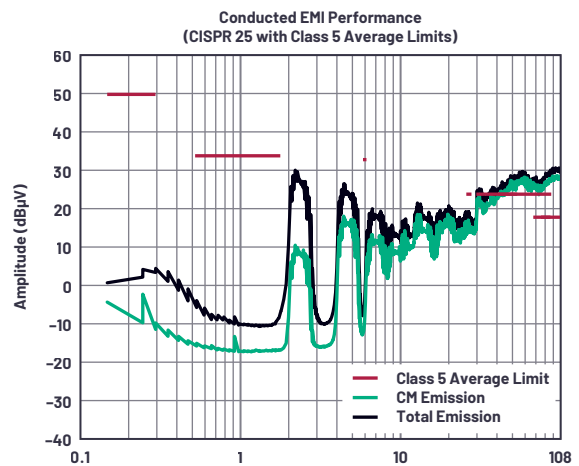


图5. 测得的CM噪声与总噪声的关系。

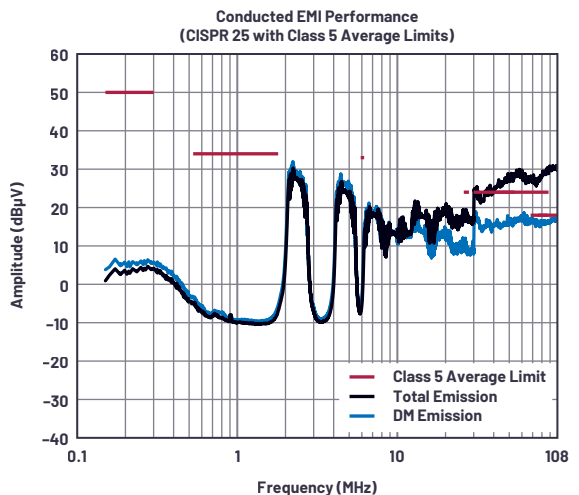


图6. 测得的DM噪声与总噪声的关系。

调整后的演示板符合CISPR 25 Class 5标准

根据测量结果，在30 MHz至108 MHz范围，总辐射噪声超过了CISPR 25 Class 5的限值。通过分离CM和DM噪声测量，发现此范围内的高传导辐射似乎是由CM噪声引起的。添加或增强DM EMI滤波器或以其他方式降低输入纹波几乎没有意义，因为这些抑制技术不会降低该范围内引发问题的CM噪声。

因此，该演示板展示了专门解决CM噪声的办法。CM噪声的来源之一是开关电路中的高dV/dt信号。通过增加栅极电阻来降低dV/dt，可以降低该噪声电平。如前所述，CM噪声通过杂散电容 C_{STRAY} 穿过LISN。 C_{STRAY} 越小，在LISN中检测到的CM噪声就越低。为了减小 C_{STRAY} ，应减少此演示板上开关节点的覆铜面积。此外，转换器输入端添加了一个CM EMI滤波器，以获得高CM阻抗，从而降低进入LISN的CM噪声。通过实施这些办法，30 MHz至108 MHz范围的噪声得以充分降低，从而符合CISPR 25 Class 5标准，如图7所示。

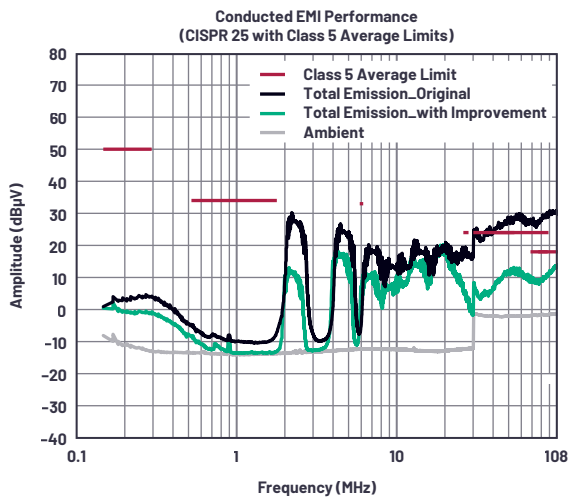


图7. 总噪声得到改善。

结论

本文介绍了一种用于测量和分离总传导辐射中的CM噪声和DM噪声的实用方法，并通过测试结果进行了验证。如果设计人员能够分离CM和DM噪声，便可实施专门针对CM或DM的减轻解决方案来有效抑制噪声。总之，这种方法有助于快速找到EMI故障的根本原因，节省EMI设计的时间。

参考文献

“AN-10-006: 了解功率分路器”。Mini-Circuits, 2015年4月。



作者简介

Ling Jiang于2018年毕业于田纳西州诺克斯维尔大学，获电气工程博士学位。毕业后，她加入ADI公司电源产品部，工作地点位于美国加利福尼亚州圣克拉拉。Ling是一名应用工程师，负责为汽车、数据中心、工业和其他应用的控制器和 μ Module器件提供支持。联系方式：ling.jiang@analog.com。



作者简介

Frank Wang获得德克萨斯大学达拉斯分校电气工程硕士学位，在加入ADI公司之前，曾在一家独立认证的合规实验室工作。他曾担任EMC/EMI测试工程师和项目负责人，拥有四年相关工作经验。Frank在标准测试、时间表安排、工程调试、测试仪器校准和烟室维护方面拥有丰富的经验。联系方式：frank.wang@analog.com。



作者简介

Keith Szolusha是ADI公司应用总监，工作地点位于美国加利福尼亚州圣克拉拉。Keith在BBI电源产品部工作，重点关注升压、降压-升压和LED驱动器产品，同时还管理电源产品部的EMI室。他毕业于马萨诸塞州剑桥市麻省理工学院(MIT)，1997年获电气工程学士学位，1998年获电气工程硕士学位，专攻技术写作。联系方式：keith.szolusha@analog.com。



作者简介

Kurk Mathews是ADI公司电源产品部高级应用经理，工作地点位于加利福尼亚。Kurk于1994年加入凌力尔特(现为ADI公司一部分)并担任应用工程师，为隔离转换器和高功率产品提供支持。其所在部门支持电源应用和新型控制器、单芯片转换器、栅极驱动器的开发。他喜欢使用各种新旧测试设备进行模拟电路设计和故障排除。Kurk毕业于亚利桑那大学，获得电气工程学士学位。联系方式：kurk.mathews@analog.com。

非常见问题第185期： 从传感器到ADC的危途： 工程师应如何做？

Hooman Hashemi, 产品应用工程师

问题：

有没有一个模块能让我直接将微小的传感器输出信号转换为ADC输入电压？



答案：

有的，ADI公司最新仪表放大器系列可以一举完成如下任务：抑制共模信号，放大差模信号，将电压转换为符合要求的ADC输入电压，并且保护ADC免受过压影响！

在无数的工业、汽车、仪器仪表和众多其他应用中，普遍存在一项挑战，就是如何将微小的传感器信号正确连接到ADC，以实现数字化和数据采集。传感器信号通常很微弱，可能有很高噪声，看上去像是一个非常高的阻抗源，位于大共模(CM)电压之上。这些都是ADC输入所不乐见的。本文将介绍最新集成解决方案，可以彻底解决工程师提出的超出当前能力范围的问题。本文还会详细介绍设计步骤，以便配置一个完整的传感器接口仪表放大器来驱动ADC输入。

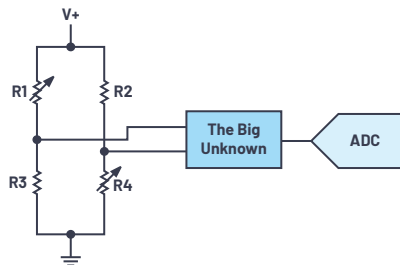


图1 从传感器到达ADC的挑战。

什么适合传感器及为何有问题？

这个问题的简短答案是仪表放大器。传感器适合连接的对象是仪表放大器。

仪表放大器具有高精度(低失调)和低噪声特性，不会破坏小输入信号。其差分输入适合于许多传感器信号(如应变计、压力传感器等)，并且能够抑制任何存在的共模信号，仅留下我们感兴趣的原始小电压，而不会留下不需要的共模信号。仪表放大器具有很大的输入阻抗，不会给传感器带来负载，确保脆弱的信号不受信号处理的影响。此外，仪表放大器通常使用单个外部电阻即可提供很大的增益和可选增益范围，因而非常灵活，可让目标小信号适应远高于信号路径噪声电平的电压和ADC模拟输入。仪表放大器是针对精密性能而设计的，内部进行了调整，能够在很宽的工作温度范围内保持其性能，并且不受电源电压变化的影响。仪表放大器还具有极低的增益误差，这也有助于其维持精度，并限制摆幅变化所造成的测量或信号误差。

ADC输入乐见什么?

驱动ADC输入可不是那么容易。前端的内部电容(图2中的 C_{DAC})开关操作会引起电荷注入,这使得传输高线性度的稳定信号以供ADC量化成为一项艰巨的任务。驱动ADC输入的驱动器必须能够处理这些大的电荷注入,并在下一个转换周期之前迅速稳定下来。此外,根据ADC分辨率(位数),驱动器的噪声和失真不应成为限制因素。

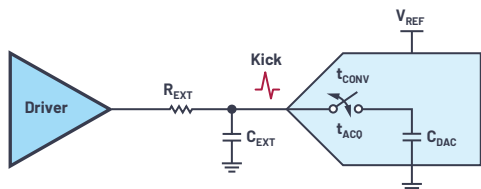


图2. ADC输入驱动具有挑战性。

要达到上述要求绝非易事,特别是对于低功耗驱动器而言。另外,由于半导体工艺的现代化,ADC工作电源电压日渐下降。这种趋势的不良副作用之一是,ADC输入变得更容易受输入过压的影响,并可能造成伤害或损坏。这就需要外部电路来防范这种过压。此类外部电路不仅不能将任何可测量噪声加入信号,而且不应限制带宽或引起任何形式的失真。另外还非常希望整个电路能快速反应,并能从过压事件中迅速地恢复。

偏移输入信号以符合ADC模拟输入电压范围也存在挑战。为执行此任务而添加的任何电路元件都必须遵守前面列出的所有限制条件(即低失真、低噪声、足够的带宽等)。

问题: 如果仪表放大器能够直接驱动ADC就好了!

市面上的所有仪表放大器都存在一些缺点,因此需要更多电路元件才能完成从物理世界(传感器)到数字世界(ADC)的路径。传统上,仪表放大器不是驱动ADC的首选电路元件(某些ADC比其他ADC更精密)。仪表放大器所做的事情已经够多了,希望它做得更多似乎不公平!

克服ADC驱动器的谐波失真(HD)是一项困难的挑战。下面是ADC驱动器必须满足或超过的失真性能的表达式,其是ADC分辨率的函数:

$$SINAD = 6.02 \times ENOB + 1.76 \text{ dB} \quad (1)$$

SINAD: SNR + 失真

ENOB: 有效位数

因此,对于16位ENOB, $SINAD \geq 98 \text{ dB}$

当前市场上的仪表放大器通常不是为驱动ADC输入而设计的。造成这种情况的最常见原因是这些器件缺乏高分辨率ADC所需的线性度。线性度或谐波失真(也称为THD,即总谐波失真)是最有可能的限制因素,仪表放大器因此而无法直接驱动ADC。当复杂波形被数字化后,一旦其被失真项干扰,信号便无法与此类干扰区分开来,数据采集将被破坏!驱动器还应能够从之前解释的ADC输入电荷注入瞬态中快速稳定下来。

改进当前解决方案

现在,新的仪表放大器系列不仅能够完成仪表放大器传统上所做的所有事情,而且能非常好地直接驱动ADC并保护ADC输入!LT6372-1(支持0 dB到60 dB的增益)和LT6372-0.2(支持-14 dB到+46 dB的增益/衰减)可以帮助完成精密传感器接口的任务,直接驱动ADC输入。

使用诸如LT6372系列的高精度、低噪声仪表放大器来直接驱动ADC模拟输入具有明显的优势,无需再增加一个放大或缓冲级。其中的一些好处包括:减少元件数量,降低功耗和成本,缩小电路板面积,提供高CMR、出色的直流精度、低1/f噪声,通过单个元件选择增益。

许多被选作ADC驱动器的高速运算放大器可能没有LT6372系列所具有的低1/f噪声特性,原因是后者采用专有工艺制造。此外,可能需要添加额外的缓冲和增益级以放大微小的传感器信号。采用仪表放大器直接驱动ADC时,放大器级或基准电压源都没有与之相当的额外噪声源或直流偏移项。

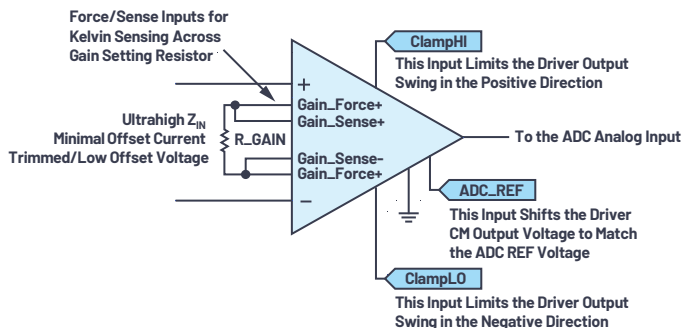


图3. 理想的传感器放大器/ADC驱动器。

LT6372-1和LT6372-0.2具有极高的输入阻抗，可以与传感器或类似信号输入接口，并提供大增益(LT6372-1)或衰减(LT6372-0.2)而不会引起负载效应，同时其低失真和低噪声可确保精确转换而不会降低性能，支持16位和更低分辨率ADC以高达150 kSPS的速率运行。图4显示了在给定增益设置下每个器件可以实现的带宽。

LT6372-1失真与频率的关系参见图5，应确保失真项不会影响ADC在最高目标频率的THD性能。以ADC LTC2367-16为例，其SINAD规格为94.7 dB。为确保驱动器不是主要因素，图5显示LT6372-1是小于约5kHz频率的合适选择。

LT6372-1用作ADC驱动器的精妙之处

除前面提到的优点之外，LT6372系列的分离基准电压架构(在图6中显示为分开的RF1和RF2引脚)允许以将信号直接有效地平移到ADC FS电压范围内，而无需使用额外的基准电压源和其他外部电路来达到相同目的，从而降低成本和复杂性。对于大多数ADC，REF2(此处显示与 V_{OCM} 直流电压相连)将与ADC V_{REF} 电压相连，这将确保ADC模拟输入中间电平为 $V_{REF}/2$ 。

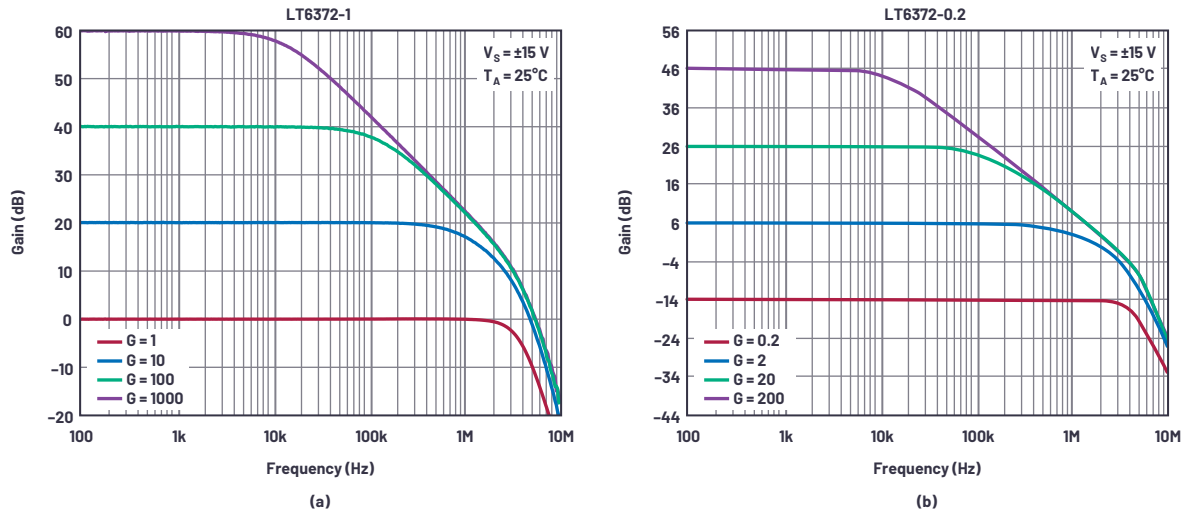


图4. LT6372-1和LT6372-0.2在各种增益下的频率响应。

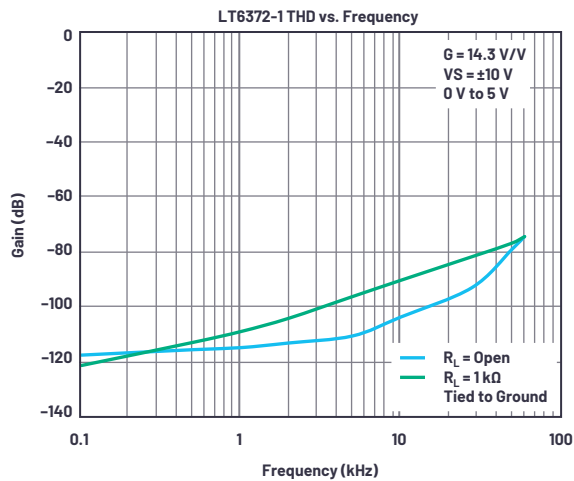


图5. LT6372-1 THD与频率的关系。

LT6372系列的内置输出箝位(CLHI和CLLO)确保ADC的敏感输入不会受到正向或负向瞬变的破坏或可能的损害。该系列支持无失真的输出摆幅达到箝位电压,并能够快速响应和恢复,从而在可能的瞬变触发任一箝位之后保护ADC并使之迅速恢复正常工作。

有些SAR ADC的模拟输入给放大器驱动带来了具挑战性的负载。放大器需要有低噪声和快速建立特性,并具备高直流精度,以将干扰信号的扰动保持在一个LSB或更小。更高的采样速率和更高阶的ADC对放大器的要求也更高。图7显示了典型SAR ADC的输入。

图7所示的开关位置对应于采样或采集模式,在该模式下,模拟输入连接到采样电容 C_{DAC} ,然后在下一工作阶段开始转换。

在此阶段开始之前,开关S2已将 C_{DAC} 电压放电至0 V或其他偏置点,例如 $F_s/2$ 。在采样周期开始时,S1闭合且S2断开,VSH和模拟输入的电压差导致瞬态电流流动,使得 C_{DAC} 可以充电达到模拟输入电压。对于较高采样速率的ADC,该电流可能高达50 mA。电容 C_{EXT} 有助于缓解该电流阶跃引起的放大器输出电压的阶跃变化,但放大器仍会受到其干扰,需要在采集周期结束之前及时建立。电阻 R_{EXT} 将驱动器与 C_{EXT} 隔开,并且在驱动大电容时还能降低其对稳定性的影响。关于 R_{EXT} 和 C_{EXT} 值的选择,需要

权衡这种电流注入造成的更大隔离与以这种方式形成的低通滤波器所导致的建立时间性能下降。此滤波器也有助于减小带外噪声并改善SNR,不过这不是其主要功能。

ADC前端RC元件值设计

选择 R_{EXT} 和 C_{EXT} 的值时要考虑很多因素。以下是影响FFT或其他方式测得的ADC动态响应的因素总结:

- ▶ C_{EXT} : 充当输入电荷反冲的电荷桶,使电压阶跃最小,从而改善建立时间。
 - 太大: 可能会影响放大器稳定性,并可能将LPF滚降频率降得太低而无法让信号通过。
 - 太小: ADC输入的电荷反冲太大,无法及时建立。
- ▶ R_{EXT} : 在放大器输出和 C_{EXT} 之间提供隔离,以确保稳定性。
 - 太大: 可能会使建立时间常数过长。当计入ADC输入非线性阻抗时,也可能导致THD升高¹。可能会增加IR压降误差。
 - 太小: 由于 C_{EXT} ,放大器可能变得不稳定或其正向路径建立可能会受到影响。

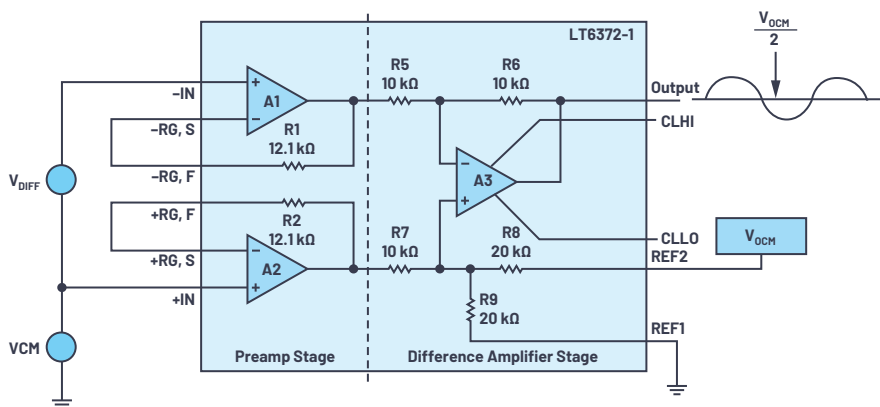


图6. LT6372分离基准电压用于将信号移至ADC模拟输入信号范围内。

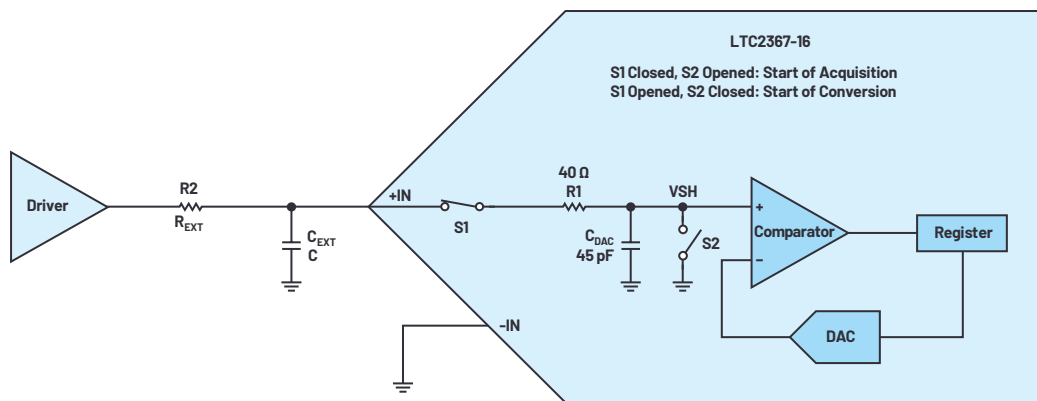


图7. 采集/采样模式下的SAR ADC输入。

下面是设计 R_{EXT} 和 C_{EXT} 值的一些设计步骤，以LT2367-16 ADC为例，其由LT6372-1驱动，最大输入频率 f_{IN} 为2kHz，采样速率为150 kSPS(下面某些公式的完整推导参见参考文献1)：

选择足够大的 C_{EXT} 充当电荷桶，最大程度减少电荷反冲：

$$C_{EXT} > 100 \times C_{DAC} \quad (2)$$

其中：

C_{DAC} ：ADC输入电容 = 45 pF (LTC2367-16)

→ $C_{EXT} = 10$ nF(选定值)

使用下式计算ADC输入电压阶跃 V_{STEP} ：

$$V_{STEP} = \frac{V_{REF} \times C_{DAC}}{C_{EXT} + C_{DAC}} \quad (3)$$

其中：

$V_{REF} = 5$ V (LTC2367-16)

C_{DAC} ：ADC输入电容 = 45 pF (LTC2367-16)

$C_{EXT} = 10$ nF(之前)

→ $V_{STEP} = 22$ mV(计算值)

注意：此 V_{STEP} 函数假定 C_{DAC} 在每个采样周期结束时都放电至地，LTC2367-16也是如此。参考文献1中的 V_{STEP} 公式使用了不同的假设，因为它是针对ADC架构的， C_{DAC} 电压对于每个样本保持不变。

假设阶跃输入以指数方式建立，计算需要多少个输入 $R_{EXT} \times C_{EXT}$ 时间常数 N_{TC} 才能建立：

$$N_{TC} = \text{LN} \left(\frac{V_{STEP}}{V_{half_lsb}} \right) \quad (4)$$

其中：

V_{STEP} ：之前计算的ADC输入电压阶跃

V_{HALF_LSB} ：LSB/2，单位为伏特。对于5 V FS和16位，其为 $38\mu\text{V} (= 5 \text{ V}/2^{17})$

→ $N_{TC} = 6.4$ 个时间常数

计算时间常数 τ ：

$$\tau \leq \frac{t_{ACQ}}{N_{TC}} \quad (5)$$

其中：

t_{ACQ} ：ADC采集时间； $t_{ACQ} = t_{CYC} - t_{HOLD}$

假设采样率为150 kSPS：

$$t_{CYC} = 6.67 \mu\text{s} (= 1/150 \text{ kHz})$$

$$t_{HOLD} = 0.54 \mu\text{s} (\text{LTC2367-16})$$

因此： $t_{ACQ} = 6.13\mu\text{s}$

$$\rightarrow \tau \leq 0.96 \mu\text{s}$$

在已知 τ 和 C_{EXT} 的情况下，可以计算 R_{EXT} ：

$$R_{EXT} \leq \tau / C_{EXT} \quad (6)$$

$$\rightarrow R_{EXT} \leq 96 \Omega$$

现在我们有外部RC值，所选ADC可以适当地建立。如果计算出的 R_{EXT} 过高，可以增加 C_{EXT} 并重新计算 R_{EXT} 以减小其值，反之亦然。图8显示了 C_{EXT} 的选定值和对应的 R_{EXT} 值，用以简化本例工作条件下的计算任务。

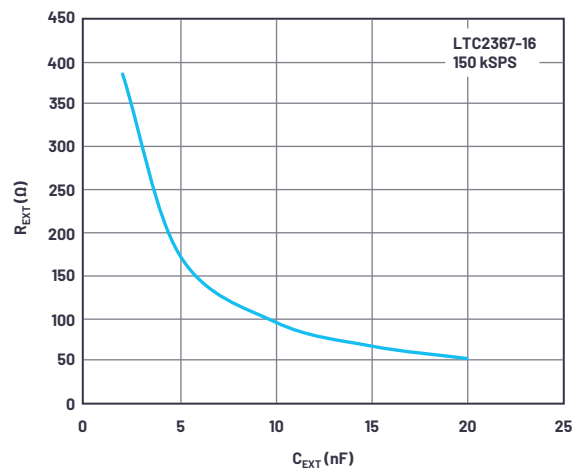


图8. ADC正确建立对应的外部输入RC关系。

使用前面的步骤找到合适的 R_{EXT} 和 C_{EXT} 起始值。应执行基准测试和评估，并根据需要优化这些值，同时牢记此类变动对性能的影响。

总结

本文介绍了一个新的仪表放大器系列，它能帮助连通传感器与数据采集器件。本文详细探讨了这些器件的特性，并通过一个实际例子说明了如何设计ADC前端元件以确保驱动器与ADC的组合能够提供预期的分辨率。

参考文献

¹ Alan Walsh, “面向精密SAR模数转换器的前端放大器和RC滤波器设计”。《模拟对话》，2012年12月。



作者简介

Hooman Hashemi于2018年3月加入ADI公司，从事新产品指标测试和展示产品特性与用途的应用开发工作。Hooman此前曾在Texas Instruments工作了22年，担任应用工程师，专注于高速产品系列。他于1989年8月毕业于圣克拉拉大学，获电气工程硕士学位；1983年12月毕业于圣何塞州立大学，获电气工程学士学位。联系方式：hooman.hashemi@analog.com。

直流电能计量应用

Luca Martini, 系统工程师

为什么直流电能计量很重要？

21世纪，世界各国政府都在制定行动计划，以应对长期复杂的减少CO₂排放的挑战。CO₂排放已证实是造成气候变化严重后果的原因，同时对新型高效能源转换技术和改进电池化学组成的需求也在迅速增长。

包括可再生和不可再生能源在内，仅去年一年，世界人口就消耗了近18万亿千瓦时，而这一需求还在继续增长；事实上，在过去的15年里，消耗了超过一半的现有能源。

为此，我们的电网和发电机还在不断地增长；如今，对更高效、更环保的能源的需求与日俱增。由于更容易使用，早期的电网开发人员使用交流电(ac)向世界供电，但在许多地区，直流电(dc)可显著提高效率。

在基于宽带隙半导体(例如GaN和SiC器件)的高效经济型功率转换技术发展的推动下，许多应用现在都看到了转换为直流电能的好处。因此，精确的直流电能计量变得越来越重要，特别是涉及到电能计费的地方。本文将讨论直流计量在电动汽车充电站、可再生能源发电、服务器场、微电网和点对点能源共享方面的发展机会，并介绍一种直流电表设计。

直流电能计量应用

电动汽车直流充电站

预计到2018年¹，插电式电动汽车(EV)的复合年均增长率为+70%，并且预计2017至2024年将以+25%的复合年均增长率增长。²充电站市场从2018至2023年将以41.8%的复合年均增长率增长。³然而，为了加速减少私人交通造成的二氧化碳排放，电动汽车需求成为汽车市场的首选。

近年来，人们在提高电池容量和使用寿命方面做了大量工作，但同时必须提供广泛的电动汽车充电网络，这样才能无需担心行驶里程或充电时间问题，从容实现长途旅行。许多能源供应商和私营企业都在部署高达150 kW的快速充电器，并且每个充电桩功率高达500 kW的超快充电器也引发了公众的兴趣。考虑到局部充电峰值功率高达兆瓦的超快充电站和相关的快速充电能源溢价率，电动汽车充电将成为一个巨大的电能交换市场，随之需要进行准确的电能计费。

目前，标准电动汽车充电器在交流侧计量，缺点是无法测量交流-直流转换过程中损失的电能，因此，对最终客户来说，计费不准确。自2019年以来，新的欧盟法规要求能源供应商只能向客户收取传输到电动汽车的电能费用，使得电源转换和分配损失都由能源供应商来承担。

虽然先进的SiC电动汽车转换器可达到97%以上的效率，但快速和超快充电器直接连接到汽车电池时，电能以直流方式传输，在这种情况下，显然需要在直流侧实现准确计费。除了涉及电动汽车充电计量公共利益外，私人住宅点对点电动汽车充电计划可能对于直流侧进行精确的电能计费具有更大的激励作用。

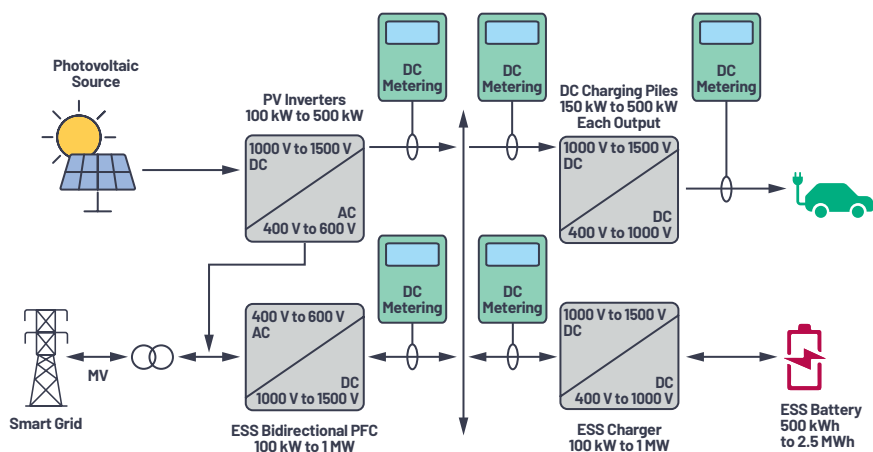


图1. 未来电动汽车充电站的直流电能计量。

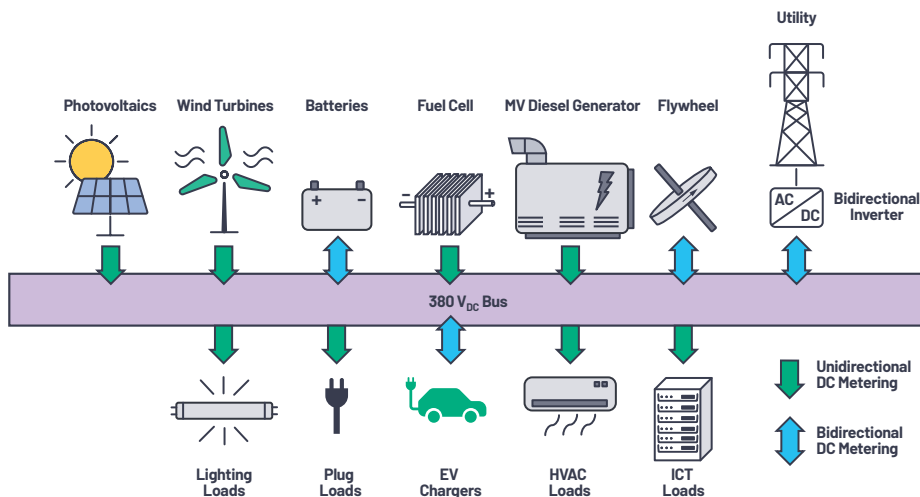


图2. 可持续微电网基础设施的直流电能计量。

直流配电—微电网

什么是微电网？从本质上讲，微电网是更小版本的公用电力系统。因此，需要安全、可靠、高效的电源。医院、军事基地都可能使用微电网，微电网甚至会作为公用系统的一部分，其中可再生能源发电、燃料发电机和储能共同作用形成一个可靠的能源分配系统。

楼宇建筑中也会使用微电网。随着可再生能源发电机的广泛使用，建筑物甚至可以自行供电，屋顶太阳能电池板和小型风力涡轮机产生的电能足够使用，独立运行但仍提供公共电网支持。

此外，建筑物多达50%的电力负载是直流电。目前，每台电子设备都必须将交流电转换为直流电，在这个过程中会损失高达20%的电能，与传统交流配电相比，估计总能耗可节省多达28%。⁴

在部署直流电的建筑物中，可以通过将交流电一次转换为直流电，并将直流电直接馈入所需设备(如LED灯和电脑)来降低能耗。

随着大家对直流微电网日益关注，对标准化的需求也在增加。

IEC 62053-41是一个即将推出的标准，将规定住宅直流系统和封闭式电表(类似于直流电能计量的等效交流计量)的要求和标称水平。

截止2017年⁵，直流微电网领域价值约为70亿美元，并且随着新兴直流配电的发展趋势将会进一步增长。

直流供电数据中心

数据中心运营商正在积极考虑使用不同的技术和解决方案来提高设施的电力效率，因为电力是其最大的成本之一。

数据中心运营商看到了直流配电的相关好处，不仅可减少交流和直流之间需要进行的的最少转换次数，而且与可再生能源的整合也更轻松、更高效。转换级数的减少按下式估计：

- ▶ 节能5%至25%：提高传输和转换效率，并减少热量产生
- ▶ 双倍可靠性和可用性
- ▶ 占地面积减少33%

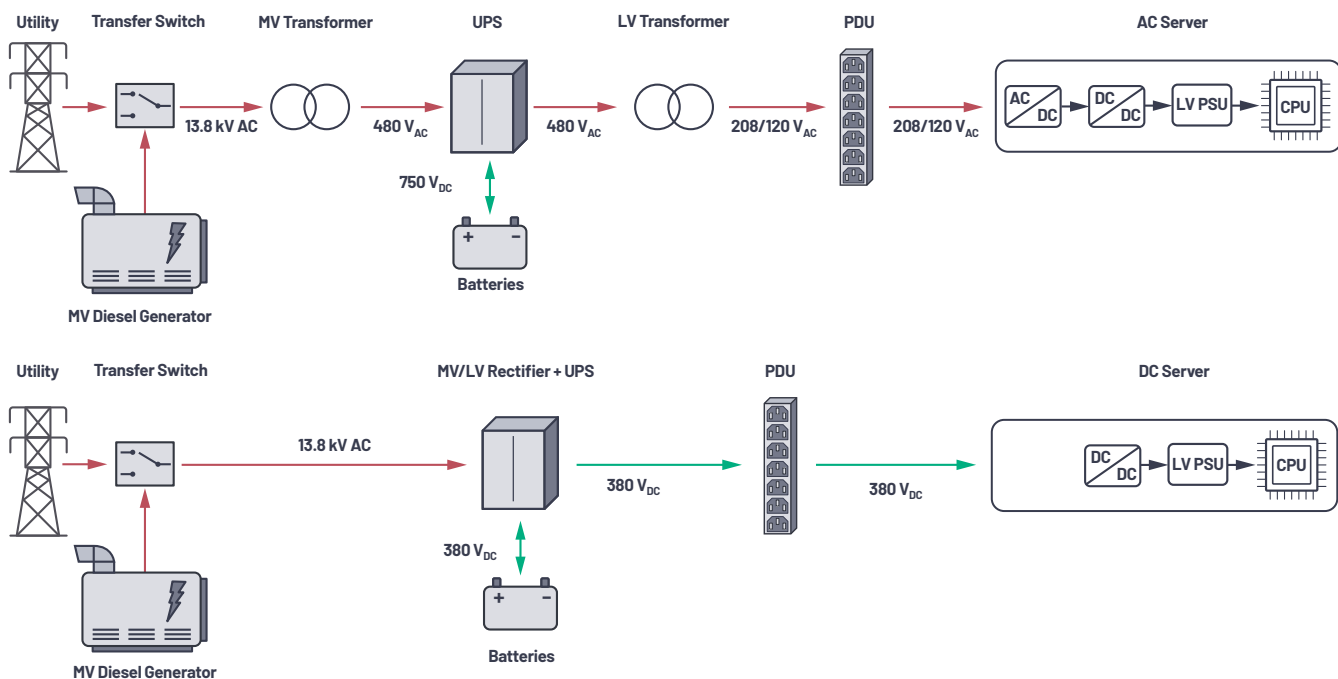


图3. 与传统交流配电相比，数据中心直流供电需要的组件更少，损耗也更低。

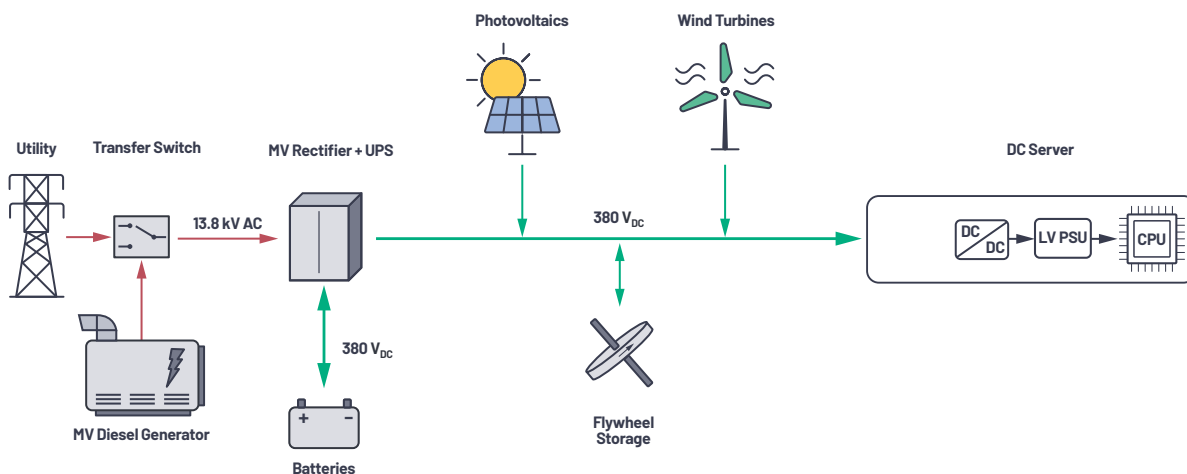


图4. 直流供电数据中心的可再生能源整合。

配电总线电压范围高达380 V_{DC}左右，由于许多运营商开始采用按用电量向托管客户收费的测量方法，因此精确的直流电能计量越来越倍受关注。

向托管客户收取电费的两种常用方式：

- ▶ 每次(每个出口固定费用)
- ▶ 消耗的电能(计量出口一对所消耗的每千瓦时收取电费)

为了鼓励提高电源效率，计量输出方法越来越受欢迎，客户定价涉及以下几部分：

经常性费用 = 空间费用 + (IT设备抄表 × PUE)

- ▶ 空间费用：固定，包括安全保障和所有建筑物运营成本
- ▶ IT设备抄表：IT设备消耗的千瓦时数乘以电能成本
- ▶ 电源使用效率(PUE)：考虑IT背后基础设施的效率，例如散热冷却

一个典型的现代机架会消耗高达40 kW的直流电。因此，需要使用计费级直流电表来监测高达100 A的电流。

精密直流电能计量挑战

20世纪初，传统交流电表完全是机电式。使用电压和电流线圈的组合在旋转铝盘中感应涡流。铝盘上产生的转矩与电压和电流线圈产生的磁通量的乘积成正比。最后，在铝盘上添加一个破碎磁铁，使转速与负载消耗的实际功率成正比。此时，只需计算一段时间内的旋转次数即可计量耗电量。

现代交流电表则更复杂，也更准确，并可防止窃电。现在，先进的智能电表甚至可以监测其绝对精度，并且安装在现场时可全天候检测是否存在窃电迹象。ADI公司的ADE9153B 计量IC就具有此功能，它采用mSure[®]技术。

无论是现代电表、传统电表、交流电表还是直流电表，都是根据其每千瓦时脉冲常数和百分比等级精度进行分类的。每千瓦时脉冲数表示电能更新率，即分辨率。等级精度表示电能的 最大计量误差 。

与老式机械电表类似，给定时间间隔内的电能也是通过计算这些脉冲数进行计量；脉冲频率越高，瞬时功率也越高，反之亦然。

直流电表架构

直流电表的基本架构如图5所示。要测量负载所消耗的功率($P = V \times I$)，至少需要一个电流传感器和一个电压传感器。当低电压侧为地电位时，流过电表的电流通常在高电压侧测量，以便尽量减少未计量漏电流的风险，但电流也可在低电压侧测量，如果设计架构需要，也可以在两侧测量。通常使用测量和比较负载两侧电流的技术，使电表具有故障和窃电检测能力。但是，在测量两侧的电流时，至少需要隔离一个电流传感器，以便处理导体间的高电位。

电压测量

电压通常用电阻分压器来测量，其中使用阶梯电阻将电位以一定比例降低到与系统ADC输入兼容的电平。

由于输入信号的幅度很大，使用标准组件可轻松实现精确的电压测量。但是，必须注意所选组件的温度系数和电压系数，以确保在整个温度范围内具有所需的精度。

如前所述，用于电动汽车充电站等应用的直流电表有时需要专门对传输到车辆的电能计费。为了满足测量要求，电动汽车充电器的直流电表可能需要有多个电压通道，使电表也能在车辆的入口点检测电压(4线测量)。采用4线配置的直流电能计量方式，就可以将充电桩和电缆的所有电阻损耗从总电能账单中扣除。

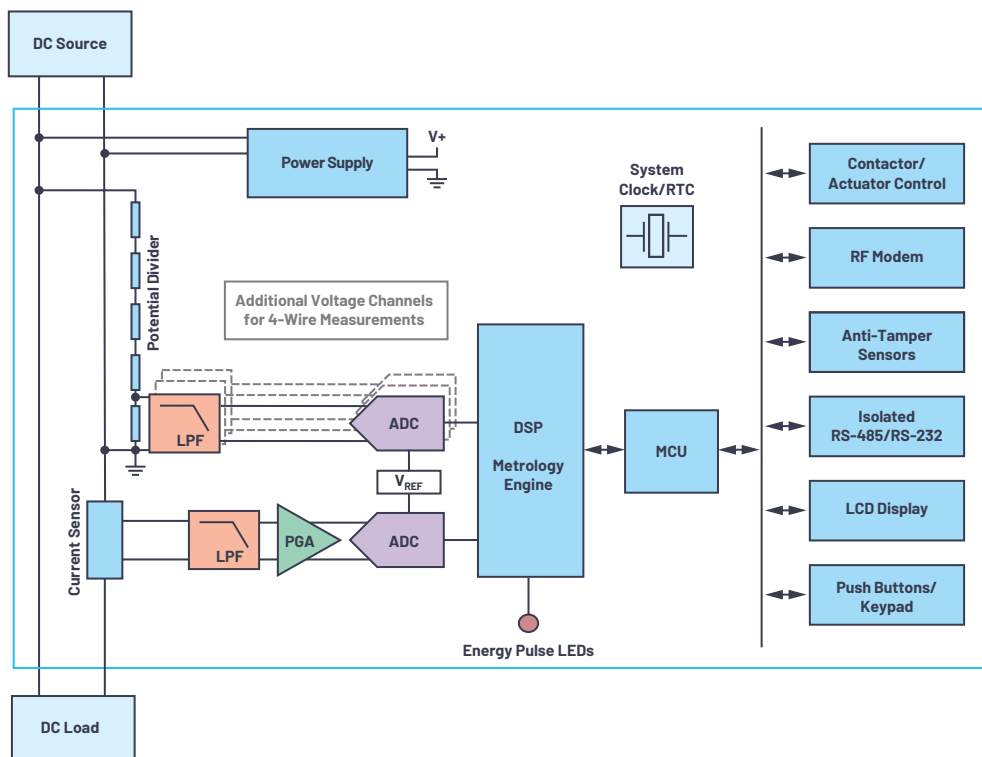


图5. 直流电表系统架构。

直流电能计量的电流测量

电流可通过直接连接测量，也可通过感应电荷载体流动所产生的磁场来间接测量。下一节将讨论最常用的直流电流测量传感器。

分流电阻

直接连接电流检测是一种成熟可靠的交流和直流电流测量方法。电流流过一个已知阻值的分流电阻。根据欧姆定律($V = R \times I$)，分流电阻两端的压降与流经电阻的电流成正比，将压降放大和进行数字化处理，就可以精确地得出电路中的电流。

分流电阻检测是适合测量mA至kA电流的准确高效的低成本方法，理论上具有无限的带宽。但是，这种方法有一些缺点。

当电流流过电阻时，产生的焦耳热与电流的平方成比例。这不仅会造成效率损失，而且自热效应还会影响分流电阻值，从而导致精度下降。为了限制自热效应，可使用低值电阻。但是，使用小电阻时，通过传感元件的电压也很小，有时会与系统的直流偏移相当。在这些情况下，要在动态范围的低端实现所需精度并不容易。可使用具有超低直流偏移和超低温漂的先进模拟前端，来克服低值分流电阻的限制。但是，由于运算放大器具有恒定增益-带宽乘积，高增益将会限制可用带宽。

低值电流检测分流器通常由特定的金属合金制成，如锰铜或镍铬，这些金属合金可以抵消其各成分的反向温度漂移，从而导致总漂移约为数十ppm/ $^{\circ}\text{C}$ 。

直接连接直流测量中的另一个误差因素是热电动势(EMF)现象，也称为塞贝克效应。在塞贝克效应这种现象中，在形成结的至少两个不同电导体或半导体之间的温差会在两者之间产生电位差。塞贝克效应是一种众所周知的现象，广泛用于检测热电偶的温度。

在4线连接的分流器中，焦耳热会在电阻合金元件的中心形成，与铜传感导线一起传播，铜传感导线可能连接到PCB(或其他介质)，也可能有不同的温度。

传感电路将形成不同材料的对称分布；因此，将大致抵消正负极传感导线上的结电势。但是，热容量的任何差异，如连接到更大铜块(接地层)的负极传感导线，会导致温度分布不匹配，从而产生由热电动势效应引起的测量误差。

因此，必须注意分流器的连接和所产生热量的分布情况。

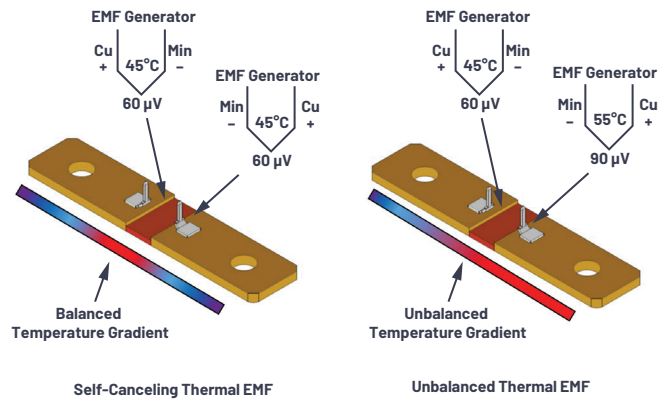


图6. 由温度梯度引起的分流器中的热电动势。

磁场感应—间接电流测量

开环霍尔效应

传感器由一个高磁导率环构成，感应电流导线通过该环。这会将被测导体周围的磁力线集中到一个霍尔效应传感器上，该传感器插在磁芯的横截面内。该传感器的输出经过预先处理，通常有不同的配置可供选择。最常见的有：0 V至5 V、4 mA至20 mA或数字接口。以相对低成本提供隔离和高电流范围的同时，绝对精度通常不低于1%。

闭环霍尔效应

由电流放大器驱动的磁通磁芯上的多匝次级绕组提供负反馈，以实现总磁通量为零的情况。通过测量补偿电流，线性度得到了提高，不存在磁芯磁滞，总体上具有出色的温漂，并且精度比开环解决方案更高。典型误差范围下降到0.5%，但是额外的补偿电路使传感器成本更高，有时带宽也受到限制。

磁通门

是一个复杂的开环或闭环系统，通过监测有意饱和磁芯的磁通量变化来测量电流。线圈绕在高磁导率铁磁芯上，磁芯由对称方波电压驱动的二次线圈有意饱和。每当磁芯接近正负饱和时，线圈的电感就会崩溃，其电流变化率也会增加。线圈的电流波形保持对称，除非外加一个外部磁场，这样波形就会变得不对称。通过测量这种不对称性的大小，就可以估算出外部磁场的强度，以及由此产生的电流。它可以提供良好的温度稳定性和0.1%的精度。但是，传感器中复杂的电子器件使其成为一种昂贵的解决方案，其价格比其他隔离式解决方案高10倍。

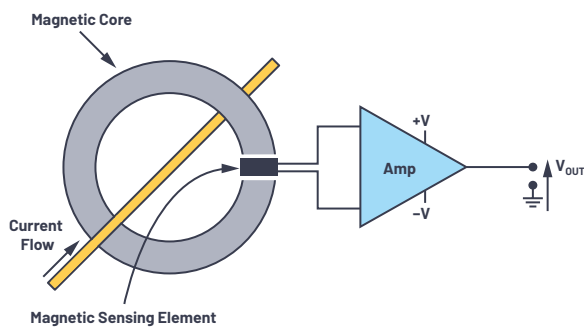


图7. 基于通量集中器和磁性传感器的开环电流传感器。

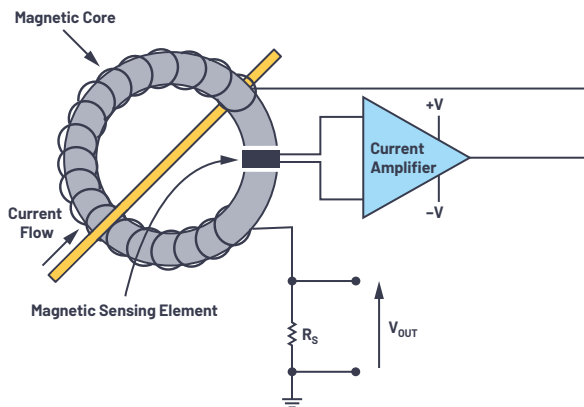


图8. 闭环电流传感器的工作原理示例。

直流电能计量：要求和标准化

虽然与现有交流计量标准生态系统相比，直流电能计量的标准化似乎不难实现，但行业利益相关者仍在讨论不同应用的要求，这就需要更多的时间来敲定直流计量的具体细节。

IEC正在制定IEC 62053-41，以定义精度等级为0.5%和1%的有功电能直流静电电表的具体要求。

该标准提出了一个标称电压和电流的范围，并对电表的电压和电流通道的最大功耗进行了限制。此外，与交流计量要求一样，定义了动态范围内的具体精度，以及空载条件下的电流阈值。

草案中对系统带宽没有具体要求，但要求成功完成快速负载变化测试，并对系统最小带宽定义了隐含要求。

电动汽车充电应用中的直流计量有时符合德国标准VDE-AR-E2418或旧铁路标准EN 50463-2。根据EN 50463-2，对每个传感器都指定了精度，组合电能误差是电压、电流和计算误差的正交和：

$$\epsilon = \sqrt{\epsilon_V^2 + \epsilon_I^2 + \epsilon_{calc}^2} \quad (1)$$

表1. 根据EN 50463-2标准确定的最大电流误差百分比

电流范围	0.2R级	0.5R级	1R级
1% 至 5% I_N	1%	2.5%	5%
5% 至 10% I_N	0.4%	1%	1.5%
10% 至 120% I_N	0.2%	0.5%	1%

表2. 根据EN 50463-2标准确定的最大电压误差百分比

电压范围	0.2R级	0.5R级	1R级
<66% V_N	0.4%	1%	2%
66% 至 130% V_N	0.2%	0.5%	1%

结语：符合概念验证标准的直流电表

ADI公司是精密传感技术的行业领导者，为精密电流和电压测量提供完整信号链，以满足严格的标准要求。下一节将介绍符合即将推出的专用标准IEC 62053-41要求的直流电表的概念验证。

考虑到微电网和数据中心计费级直流电能计量的空间，我们可以假设表3中所示的需求。

表3. 直流电表规格—概念验证

额定值	标称值	动态范围	测量 (最大范围)
电压	$\pm 400 V_{DC}$	100:1	$\pm 600 V$
电流	$\pm 80 A$	100:1	$\pm 240 A$
精度	1% 至 5% I_{NOM}	1%	
	5% 至 120% I_{NOM}	0.5%	
温度	$-25^\circ C$ 至 $+55^\circ C$		$-40^\circ C$ 至 $+70^\circ C$ 储存
电表常数	1000 imp/kWh		
电压和电流带宽	2.5 kHz		

使用低值和低电动势分流器可以实现准确的低成本电流检测(<1 $\mu V_{EMF/^\circ C}$)。采用低值分流电阻对于减少自热效应并使功率电平低于标准要求的限值至关重要。

商用75 $\mu\Omega$ 分流器将会使功耗保持在0.5 W以下。

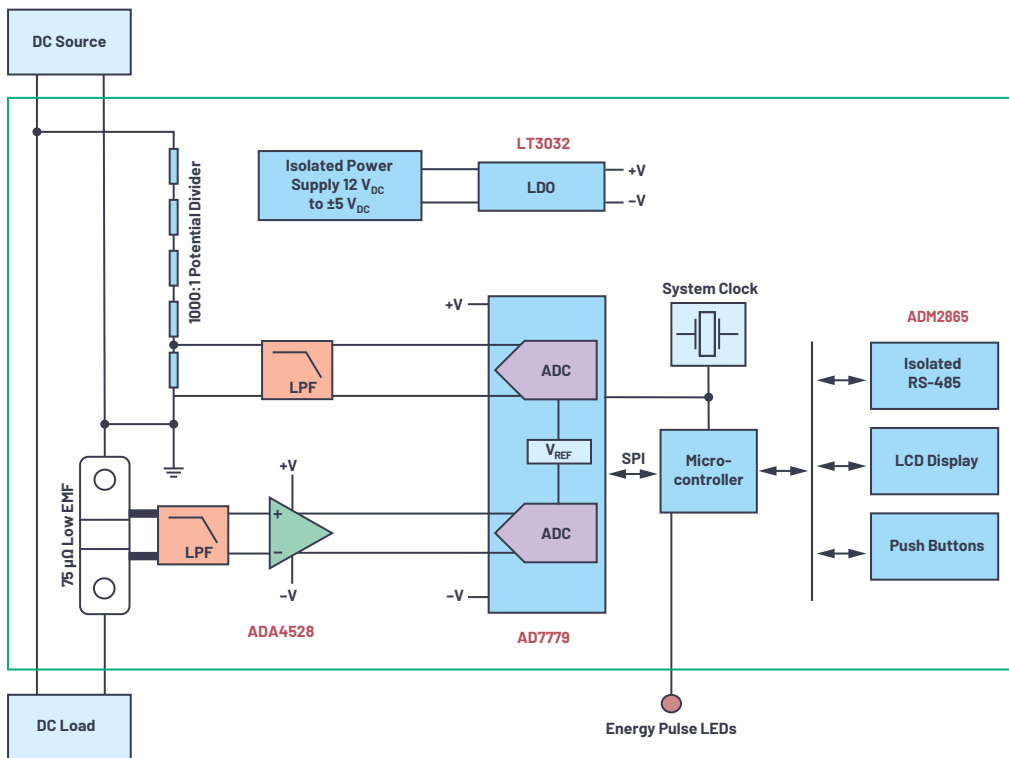


图9. 直流电表系统架构。

但是，在75 μΩ分流器上，80 A标称电流的1%会产生60 μV的小信号，需要使用在亚微伏的失调漂移性能范围内的信号链。

ADA4528的最大失调电压为2.5 μV，最大失调电压漂移为0.015 μV/°C，非常适合为小分流信号提供超低漂移、100 V/V放大。因此，同步采样、24位ADC AD7779可直接连接到放大级，具有5 nV/°C输入参考失调漂移量。

通过直接与AD7779 ADC输入端相连的1000:1比率的电阻电位分压器，可以精确测量高直流电压。

最后，利用微控制器实现简单的逐样本、中断驱动计量功能，其中对于每个ADC样本，中断例程为：

- ▶ 读取电压和电流样本
- ▶ 计算瞬时功率($P = I \times V$)
- ▶ 在电能累加器中累加瞬时功率
- ▶ 检查电能累加器是否超过电能阈值以产生电能脉冲，并清除电能累加寄存器

此外，除了计量功能，微控制器还支持系统级接口，如RS-485、LCD显示和按钮。



图10. 概念验证—原型制作。

参考资料

- ¹ Tom Turrentine, Scott Hardman和Dahlia Garas。 “[引导电动汽车向可持续发展过渡。](#)” 国家可持续交通中心, 加州大学戴维斯分校, 2018年7月。
- ² “[按类型\(纯电动汽车、混合动力电动汽车、插电式混合动力电动汽车\)、车辆类型\(两轮车、客车、商务车\)和地区划分的全球电动汽车市场报告—行业趋势、规模、份额、增长、估计和预测, 2017-2024。](#)” Value Market Research。
- ³ [按充电站\(交流充电站、直流充电站\)、安装类型\(住宅、商业\)和地区\(北美、欧洲、亚太地区和世界其它地区\)划分的电动汽车充电站市场—到2023年的全球预测。](#) Research and Markets, 2018年4月。
- ⁴ Venkata Anand Prabhala, Bhanu Prashant Baddipadiga, Poria Fajri和Mehdi Ferdowsi。 “[直流配电系统架构及优势概述。](#)” MDPI, 2018年9月。
- ⁵ “[按类型\(交流微电网、直流微电网、混合\)、连接\(并网、远程/孤岛\)、产品\(硬件、服务、软件\)、电源\(天然气、太阳能、燃料电池、热电联产、柴油等\)、应用\(医疗健康、工业、军事、公用电力事业和教育机构\)、地区\(北美、欧洲、亚太地区、南美以及中东和非洲地区\)划分的全球微电网市场、全球行业分析、市场规模、份额、增长、趋势和预测, 2018-2025。](#)” Researchstore.biz。



作者简介

Luca Martini于2016年获得意大利博洛尼亚大学能源电子及通信工程硕士学位。在攻读硕士学位期间,他在德国纽伦堡弗劳恩霍夫集成电路研究所(Fraunhofer IIS)工作了7个月,开发了用于表征压电能量收集器的精密实时控制系统。从2006至2016年, Luca从事生物医学领域的系统和硬件开发工作。2016年, Luca加入英国爱丁堡ADI公司的能源和工业系统事业部。联系方式: luca.martini@analog.com。

CTSD ADC—第1部分： 如何改进精密ADC信号链设计

Abhilasha Kawle, 高级模拟设计工程师
Wasim Shaikh, 应用工程师

摘要

精密信号链设计人员面临着满足中等带宽应用中噪声性能要求的挑战，最后往往要在噪声性能和精度之间做出权衡。缩短上市时间并在第一时间完成正确的设计则进一步增加了压力。持续时间 Σ - Δ (CTSD) ADC本身具有架构优势，简化了信号链设计，从而缩减了解决方案尺寸，有助于客户缩短终端产品的上市时间。为了说明CTSD ADC本身的架构优势及其如何适用于各种精密中等带宽应用，我们将深入分析信号链设计，让设计人员了解CTSD技术的关键优势，并探索AD4134精密ADC易于设计的特性。

简介

在许多数字处理应用和算法中，在过去的20年里，日益要求所有转换器技术都具有更高的分辨率和精度。通过使用外部数字控制器，借助平均和优化的滤波方案等软件技术可提取并提供更精确的结果，从而提高ADC受限的分辨率/精度。为了减少数字微控制器或DSP的大量后处理工作，设计人员可使用高性能精密ADC。这将减少数字方面的优化时间，也可以考虑使用成本较低的低微控制器或DSP。精密ADC的应用和市场很广泛：

- ▶ 工业仪器仪表：振动分析、温度/压力/应力/流量测量、动态信号分析、声学分析

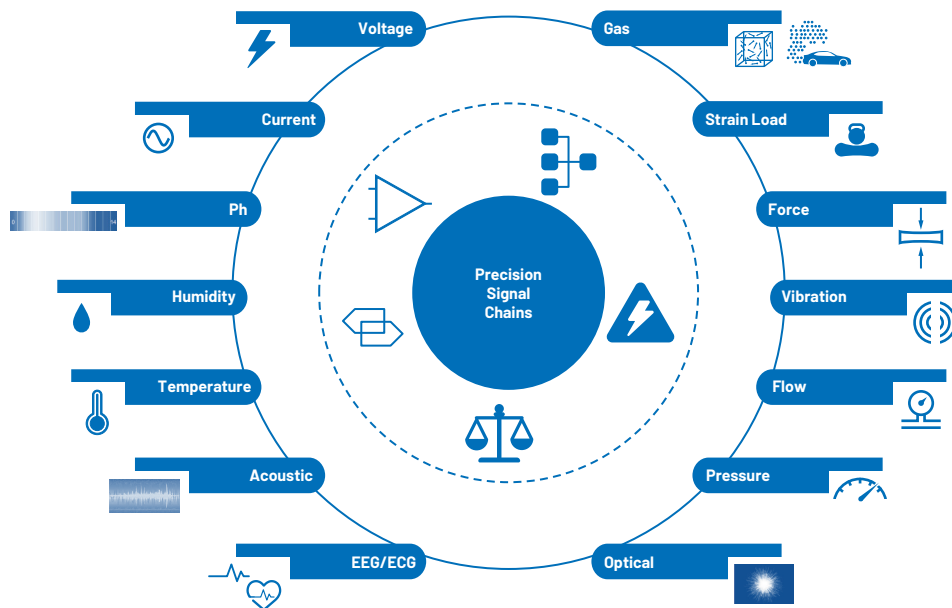


图1. 精密ADC信号链示例。

- ▶ 医疗仪器仪表：电生理学、血液分析、心电图(EKG/ECG)
- ▶ 防务应用：声纳、遥测
- ▶ 测试和测量：音频测试、硬件循环、电能质量分析

由ADC处理的模拟输入信号可以是带有电压、电流输出的传感器信号，也可以是带宽范围从直流到几百kHz的反馈控制环路信号。ADC数字输出格式和速率取决于以下数字控制器所需的应用和后处理。一般而言，信号链设计人员遵循奈奎斯特采样准则，将数字控制器的ADC输出数据速率(ODR)设置为至少是输入频率的两倍。大多数ADC允许基于相关信号频带灵活地调整输出数据速率。

对于目前可用的ADC，在ADC可与输入信号交互前涉及到几个信号调理阶段。具有严格要求的信号调理电路需要围绕特定和单独的ADC技术进行设计和定制，确保能够实现ADC数据手册的性能。选择ADC后，信号链设计人员的工作并没有结束。通常花费大量时间和精力来设计外设并进行调整。ADI公司的设计仿真工具和模型库可为设计人员提供技术支持，帮助他们应对设计挑战。

新方法：利用CTSD架构简化设计之旅

CTSD架构主要用于音频和高速ADC，现在针对精密应用量身定制，可实现高精度，同时利用其独特信号链简化特性。利用此架构可以减轻设计外设的工作量。图2显示了如何通过使用这种新的解决方案来实现高通量密度，将当前ADC信号链简化并缩减56%，图中只是其中的一小部分。

为了说明CTSD ADC技术如何简化信号链设计，本文重点介绍一般应用的现有信号链中涉及的一些关键挑战，并演示了CTSD ADC如何缓解这些挑战。

因此，我们首先介绍现有信号链中涉及的几个设计步骤，第一个任务是选择适合目标应用的正确ADC。

第1步：选择ADC

除了应用所需的最终数字输出的分辨率和精度外，从广泛的可用范围中选择合适的ADC时，信号带宽、ODR、信号类型和要处理的范围也是重要考虑因素。一般而言，在大多数应用中，数字控制器要求使用算法来处理输入信号的幅度、相位或频率。

为了准确地测量前面的任何一个因素，需要尽量减小数字化过程中增加的误差。表1中详细列出了主要误差及其相应的测量术语，[数据转换基本指南](#)中提供了进一步详细说明。

表1. ADC误差和性能指标

ADC误差	数据手册中的相关测量
1 热和量化噪声	信噪比(SNR)、动态范围(DR)
2 失真	总谐波失真(THD)、交调失真(IMD)
3 干扰	串扰、混叠抑制、电源电压抑制比(PSRR)、共模抑制比(CMRR)
4 幅度和相位误差	目标频率下的增益误差、幅度和相位下降
5 从ADC输入到最终数字输出的延迟	延迟、建立时间

表1中的性能指标与信号幅度和频率有关，通常称为交流性能参数。

对于直流或近直流应用，如处理50 Hz至60 Hz输入信号的功率计量，必须考虑偏置、增益、INL和闪烁噪声等ADC误差。这些直流性能参数也需要针对应用预期用途具有一定的温度稳定性。

ADI提供各种行业领先的高性能ADC，以满足多个应用的系统需求，例如基于精度、速度或有限功耗预算的应用。仅比较两组ADC规格不足以正确选择ADC。还必须考虑整体系统性能和设计挑战，这才是选择ADC技术或架构的关键所在。传统上首选两大类ADC架构。常用的是逐次逼近寄存器(SAR) ADC，其遵循简单的奈奎斯特准则。它指出，如果以其频率的两倍采样，可重构信号。SAR ADC的优势在于出色的直流性能、小尺寸、低延迟以及通过ODR进行功耗调节。

第二种技术选项是离散时间 Σ - Δ (DTSD) ADC，其工作原理是样本数目越大，丢失的信息就越少。因此，采样频率远高于规定的奈奎斯特频率，这种方案称为过采样。此架构还有一个优势是，由于采样而增加的误差可在目标频带内最小化。因此，DTSD ADC兼具出色的直流和交流性能，但延迟较高。

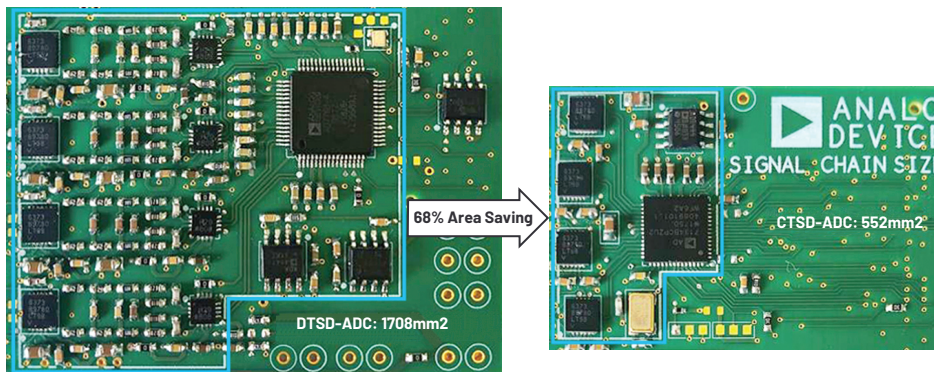


图2. 具有ADI易于使用的新CTSD ADC的小尺寸解决方案。

图3展示了SAR和DTSD ADC的典型模拟输入带宽，以及一些不同速度和分辨率的常用产品选择。也可使用[精密快速搜索功能](#)帮助您选择ADC。

此外，现在还有一种新型精密ADC可用。这些ADC基于DTSD ADC，与DTSD ADC性能相当，但在简化整个信号链设计过程方面具有独特的优势。这个全新的ADC系列可以解决现有信号链后续几个设计步骤中比较突出的挑战。

第2步：输入与ADC接口

由ADC处理其输出的传感器可能具有非常高的灵敏度。设计人员必须清楚地知道传感器将与之接口的ADC输入结构，确保ADC误差不会影响实际传感器信号或使其失真。

在传统SAR、DTSD ADC中，输入结构称为开关电容采样保持电路，如图4所示。在每个采样时钟边缘，当采样开关改变其ON/OFF状态时，需要支持有限电流需求，以便将保持电容充放电至一个新的采样输入值。此电流需要通过输入源提供，在我们讨论的示例中，这个输入源是传感器。此外，开关本身有一些片内寄生电容，会将一些电荷注入电源，称为电荷注入反冲。由此增加的误差源也需要由传感器吸收，以免对传感器信号造成不利影响。

大多数传感器无法提供这种电流幅度，表明它们不能直接驱动开关电路。在另一种情况下，即使传感器能够支持这些电流需求，传感器的有限阻抗也会在ADC输入端增加误差。电荷注入

电流与输入成函数关系，此电流将会在传感器阻抗上引起与输入相关的压降。如图4a所示，ADC的输入错误。在传感器和ADC之间放置一个驱动放大器可以解决这个问题，如图4b所示。

现在我们需要为此放大器设定标准。首先，放大器应支持充电电流并能够吸收电荷注入反冲。其次，该放大器的输出需要在采样边缘的末端完全稳定，使得对ADC输入采样时不会增加误差。这意味着放大器应能提供瞬时电流阶跃，映射为具有高压摆率，并对这些瞬态事件提供快速建立响应，映射为具有高带宽。随着ADC的采样频率和分辨率的增加，能否满足这些需求变得至关重要。

设计人员，特别是处理中等带宽应用的设计人员所面临的一大挑战是为ADC确定合适的放大器。如前所述，ADI提供了一组仿真模型和[精密ADC驱动器工具](#)来简化此步骤，但对于设计人员来说，这是实现ADC数据手册性能的额外设计步骤。一些新时代的SAR和DTSD ADC通过使用新颖的采样技术来完全降低瞬态电流需求，或采用集成放大器应对这一挑战。但这两种解决方案都限制了信号带宽的范围或削弱了ADC的性能。

CTSD ADC的优势：CTSD ADC通过为易于驱动的电阻输入而非开关电容输入提供新的选项，来解决这个问题。这表明对高带宽、高压摆率的放大器没有硬性要求。如果传感器可直接驱动此阻性负载，则可直接与CTSD ADC接口；否则可在传感器和CTSD ADC之间连接任何低带宽、低噪声放大器。

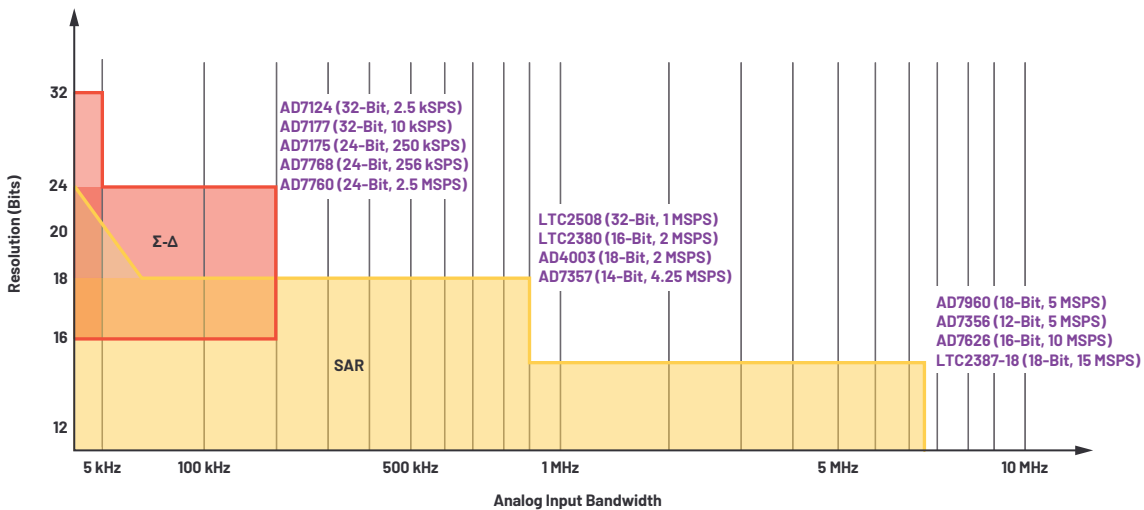


图3. 精密ADC架构定位。

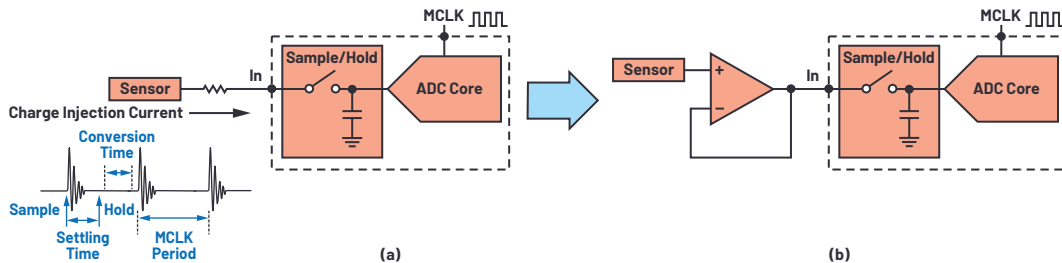


图4. (a) 开关电容电荷注入反冲到传感器，(b) 使用输入缓冲器隔离反冲效应。

第三步：基准电压源与ADC接口

与基准电压源接口涉及的挑战与输入接口类似。传统ADC的基准电压源输入也是开关电容。在每个采样时钟边缘，基准电压源需要对内部电容充电，因此需要具有良好建立时间的大开关电流。

可用的基准电压源IC不支持大开关电流需求，并且带宽有限。第二个接口挑战是来自这些基准电压源的噪声比ADC的噪声大。为了滤除这种噪声，使用了一阶RC电路。一方面，我们限制基准电压源的带宽以减少噪声，另一方面，我们需要快速建立时间。这是两个需要同时满足的相反要求。因此，使用低噪声缓冲器来驱动ADC基准引脚，如图5b所示。此缓冲器的压摆率和带宽基于ADC的采样频率和分辨率来决定。

同样，与我们的精密输入驱动器工具一样，ADI也提供针对ADC仿真和选择正确的基准电压源缓冲区的工具。与输入一样，一些新时代的SAR和DTSD ADC也提供集成基准电压源缓冲区选项，但具有性能和带宽限制。

CTSD ADC的优势：使用CTSD ADC可完全跳过此设计步骤，因为它为驱动阻性负载提供一种新的简便选项，而不需要此类高带宽、大压摆率的缓冲器。具有低通滤波器的基准电压源IC可直接与基准引脚接口。

第四步：使信号链不受干扰影响

对连续信号进行采样和数字化处理会导致信息丢失，这称为量化噪声。采样频率和位数决定了ADC架构的性能限制。解决基准电压源和输入的性能和接口挑战之后，下一个难题是解决高频(HF)干扰源/噪声折叠到目标低频带宽的问题。这称为混叠或折回。这些进入目标带宽的高频或带外干扰源的反射图像导致信噪比(SNR)降低。根据采样准则，采样频率周围的任何信号音都会在带内折回，如图6所示，在目标频带内产生不必要的信息或错误。有关混叠的更多详细信息参见教程MT-002: [奈奎斯特准则对数据采样系统设计有何意义](#)。

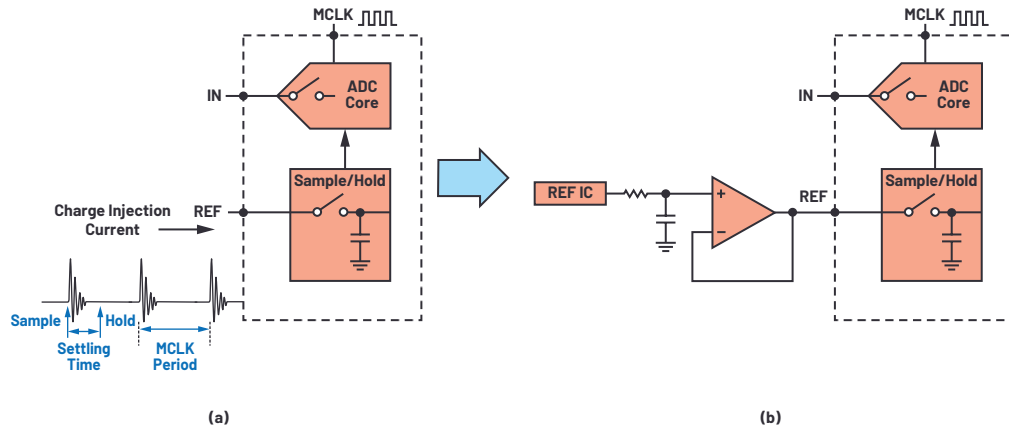


图5. (a)开关电容电荷注入反冲到基准电压源IC (b)使用基准电压源缓冲区隔离反冲效应。

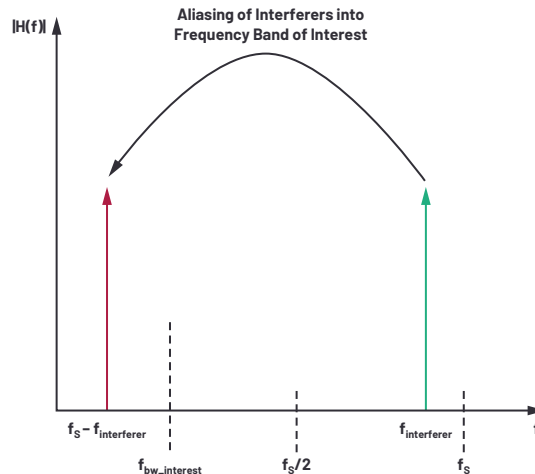


图6. 由于采样使带外干扰源混叠/折回进入目标频带。

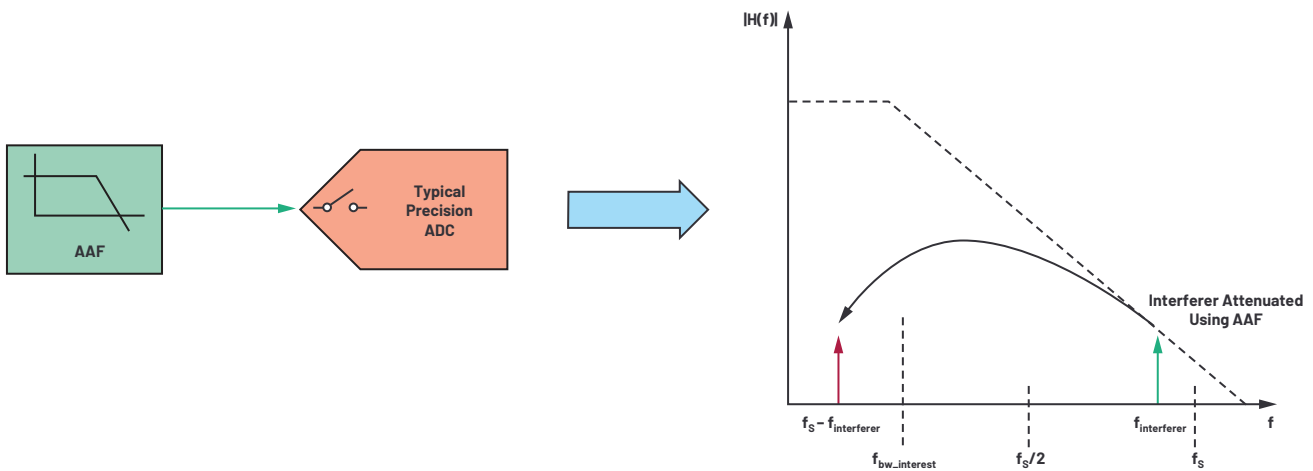


图7. 使用抗混叠滤波器缓解对带内性能造成的混叠效应。

缓解折回效应的一种解决方案是使用一种称为抗混叠滤波器(AAF)的低通滤波器来衰减不必要的干扰源幅度, 这样当衰减后的干扰源折回带内时, 可以保持所需的信噪比。该低通滤波器通常集成有驱动器放大器, 如图7所示。

设计此放大器时, 最大的挑战是在快速建立和低通滤波要求之间寻求平衡。另一个挑战是该解决方案需要针对每个应用需求进行微调, 这就对各个应用采用单个平台设计造成了限制。ADI有很多抗混叠滤波器工具设计, 可帮助设计人员克服此挑战。

CTSD ADC的优势: 这种抗扰性可由CTSD ADC本身具有的混叠抑制特性解决, 这是CTSD ADC独有的特性。采用这种技术的ADC不需要AAF。因此, 我们有望直接将CTSD ADC轻松地连接到传感器, 向这个目标又近了一步。

第五步: 选择ADC时钟频率和输出数据速率

接下来, 我们来讨论两种传统ADC类型的时钟要求。DTSD是过采样的ADC, 这是指ADC以高于奈奎斯特采样速率进行采样的ADC。但是, 将ADC过采样数据直接提供给外部数字控制器, 大量的冗余信息会使其过载。在过采样系统中, 核心ADC输出使用片内数字滤波器进行抽取, 使最终ADC数字输出的数据速率更低, 通常是信号频率的两倍。

对于DTSD ADC, 设计人员需要计划为核心ADC提供高频采样时钟, 并设定所需的输出数据速率。ADC将在这个所需的ODR和ODR时钟上提供最终数字输出。数字控制器使用此ODR时钟输入数据。

接下来, 我们解决SAR ADC的时钟要求, 通常遵循奈奎斯特准则。这里, ADC的采样时钟由数字控制器提供, 时钟也充当ODR。但是, 由于需要有效地控制采样保持时序才能获得ADC的出色性能, 因此该时钟的时序灵活性较低, 这也表明数字输出时序需要尽可能与这些要求保持一致。

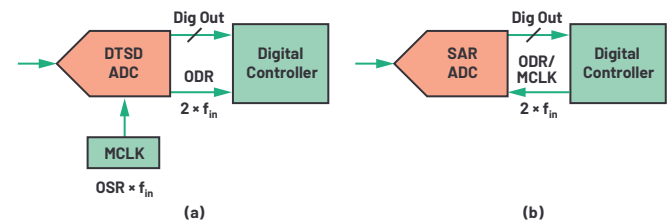


图8. (a) DTSD ADC和(b) SAR ADC的时钟要求。

了解这两种架构的时钟要求后, 可以看到ODR耦合到ADC的采样时钟, 这在ODR可以动态漂移或改变或需要调谐为模拟输入信号频率的许多系统中都是一个限制因素。

CTSD ADC的优势: CTSD ADC可与新型异步采样速率转换器(ASRC)耦合, 能够以任何所需的ODR对核心ADC进行重新采样。ASRC还使设计人员能够将ODR精确地设置为任意频率, 并突破了将ODR限制为采样频率倍数的旧限制。ODR的频率和时序要求现在完全属于数字接口的功能范围, 并且与ADC采样频率无关。该特性为信号链设计人员简化了数字隔离设计。

第六步：与外部数字控制器接口

传统上，ADC与数字控制器通信有两种类型的数据接口模式。一种类型将ADC用作主机，提供数字/ODR时钟，并决定数字控制器的时钟边缘，以便输入ADC数据。另一种类型为托管模式(接收器模式)，其中数字控制器是主机，提供ODR时钟，并决定输入ADC数据的时钟边缘。

从第5步开始，如果设计人员选择DTSD ADC，该ADC将提供ODR时钟，因此充当后接的数字控制器的宿主。如果选择了SAR ADC，则数字控制器需要提供ODR时钟，这意味着SAR ADC将始终配置为托管外设。因此，存在明显的限制：一旦选择ADC架构，数字接口就限制为宿主模式或托管模式。目前，无论ADC架构如何，都无法灵活地选择接口。

CTSD ADC的优势：与CTSD ADC结合的新型ASRC使设计人员能够独立配置ADC数据接口模式。这为一些应用开启了全新的机会，在这些应用中，无论ADC架构如何，都可在适合数字控制器应用的任何模式中配置高性能ADC。

将器件连接起来

图9显示了传统信号链的构建模块，其模拟前端(AFE)包含一个ADC输入驱动器、一个混叠抑制滤波器和一个可通过CTSD ADC极大简化的基准电压源缓冲区。图10a显示了一个采用DTSD ADC的示例信号链，该信号链需要大量的设计工作来微调 and 确定ADC的数据手册性能。为了简化客户流程，ADI提供了[参考设计](#)，可针对这些ADC的各种应用重新使用或重新调整。

图10b显示了具有CTSD ADC及其简化模拟输入前端(AFE)的信号链，因为其ADC核心在输入和基准电压源端没有开关电容采样器。开关采样器移至ADC核心的后一级，使信号输入和基准电压源输入为纯阻性。由此得出了几乎无采样混叠的ADC，使其自成其类。此外，这类ADC的信号转换函数模拟抗混叠滤波器响应，这意味着它本身就能衰减噪声干扰源。利用CTSD技术，ADC可简化为一个简单的即插即用组件。

总之，CTSD ADC简化了信号链设计，同时实现了与传统ADC信号链具有相同性能水平的系统解决方案，并具有以下优势：

- ▶ 提供了具有出色通道间相位匹配的无混叠、低延迟信号链
- ▶ 简化了模拟前端，无需选择并微调高带宽输入和基准电压源驱动缓冲区的额外步骤，可实现更高的通道密度
- ▶ 打破了ODR与采样时钟成函数关系的障碍
- ▶ 独立控制与外部数字控制器的接口
- ▶ 提高了信号链可靠性评级，这是外设组件减少带来的好处
- ▶ 减小了尺寸，BOM减少56%，为客户缩短了产品上市时间

本系列的下一篇文章将探讨CTSD ADC和ASRC如何帮助简化信号链设计。本系列接下来的几篇文章将更详细地介绍CTSD ADC和ASRC的概念，重点说明信号链的优势，最后介绍如何利用新产品AD4134的特性。敬请持续关注，进一步了解有助于简化设计的突破性CTSD和ASRC技术的更多信息！

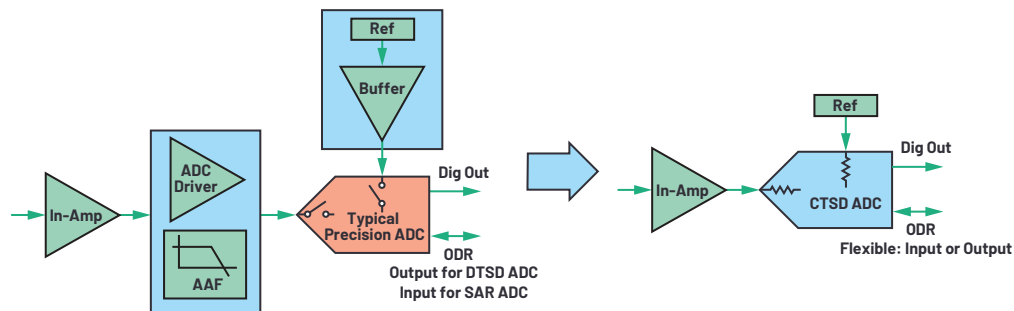


图9. 分别采用传统精密ADC与CTSD ADC的信号链构建模块。

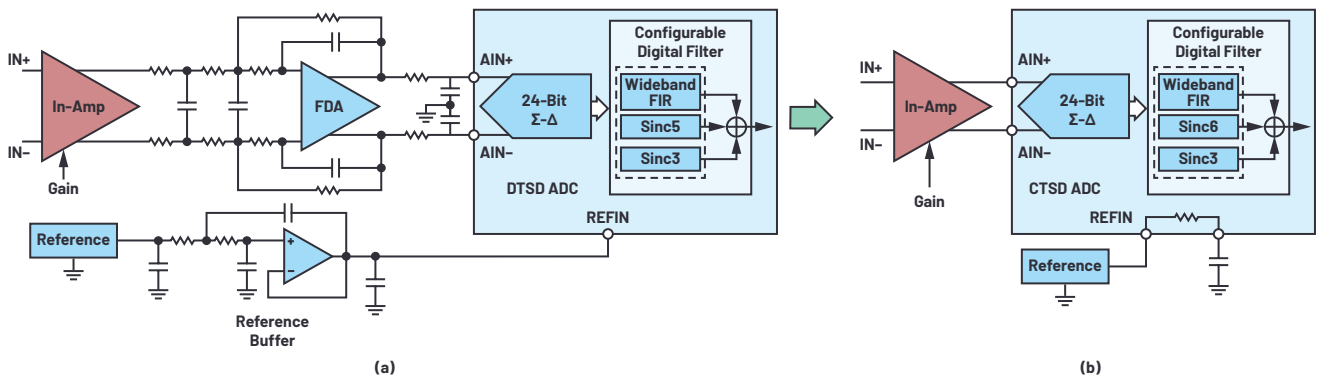


图10. 使用(a) DTSD技术与(b) CTSD技术的示例信号链。

致谢

作者感谢Naiqian Ren和Mark Murphy在撰写本文时提供的有用见解。

参考资料

“应用笔记AN-282：采样数据系统基本原理。” ADI公司

驱动精密转换器：选择基准电压源和放大器。ADI公司

Kester, Walt. “MT-021教程：ADC架构II：逐次逼近型ADC。” ADI公司，2009年。

$\Sigma\Delta$ ADC指南。ADI公司

Shaikh、Wasim和Srikanth Nittala. “轻松构建交流和直流数据采集信号链。” 模拟对话，第54卷第3期，2020年8月。



作者简介

Abhilasha Kawle是ADI公司线性和精密技术部的高级模拟设计工程师，工作地点在印度班加罗尔。她于2007年毕业于班加罗尔的印度理工学院，获得电子设计与技术硕士学位。联系方式：abhilasha.kawle@analog.com。



作者简介

Wasim Shaikh于2015年加入ADI公司，在精密转换器部门担任应用工程师，工作地点在印度班加罗尔。Wasim于2003年获得普纳大学学士学位。联系方式：wasim.shaikh@analog.com。

使用半自动化工具改进电源设计—实现快速高效设计的五个步骤

Frederik Dostal, 电源管理高级现场应用工程师

简介

由于没有典型的应用,设计正确的电源既重要又复杂。虽然尚未完全实现电源设计的自动化,但目前已存在一系列半自动化工具。本文通过电源设计过程的五个关键步骤详细介绍如何使用半自动化设计工具。这些工具对于电源设计工程师新手和专家都很有价值。

电源设计第1步:创建电源架构

创建合适的电源架构是电源设计的决定性步骤。此步骤通过增加所需电压轨的数量而变得更加复杂。此时决定是否创建中间电路电压以及创建多少。图1所示为电源的典型方框图。左侧显示工业应用的24 V电源电压。此电压现在必须转换为5 V、3.3 V、1.8 V、1.2 V和0.9 V,并提供相应的电流。生成单个电压的最佳方法是什么?要从24 V转换为5 V,最好选择经典的降压开关转换器。但是,如何生成其他电压呢?从已创建的5 V生成3.3 V合理吗,或者我们是否应直接从24 V转换为3.3 V?回答这些问题需要进一步分析。由于电源的一个重要特性是转换效率,在选择架构时尽可能保持高效率非常重要。

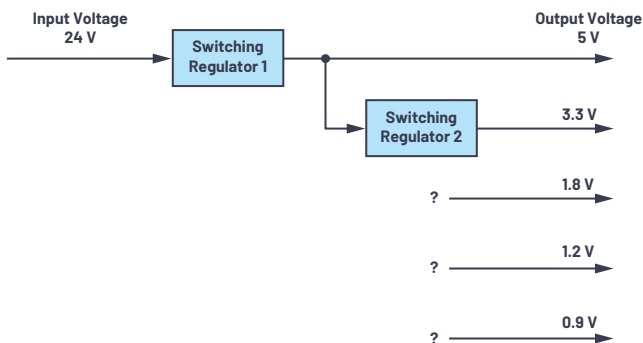


图1 创建电源架构。

如果中间电压(如图1示例中的5 V)用于生成其他电压,则用于3.3 V的电必须已经通过了两个转换级。每个转换级都只能实现有限的效率。例如,假设每个转换级的转换效率为90%,则

已通过两个转换级的3.3 V电能的效率仅为81% ($0.9 \times 0.9 = 0.81$)。系统能否承受这样低的效率?这取决于该3.3 V供电轨所需的电流。如果只需要几mA的电流,则效率低可能根本不是问题。但是,对于更高的电流,这种较低的效率可能对整体系统效率的影响更大,因此是一个很大的劣势。

然而,从上述考虑来看,并不能由此得出结论:直接一步从较高的电源电压转换为较低的输出电压始终更好。可处理较高输入电压的电压转换器通常更昂贵,当输入电压和输出电压之间的压差很大时,效率也会降低。

在电源设计中,可以使用LTpowerPlanner[®]等架构工具来寻找最佳架构。此工具可从ADI公司免费获取,它属于LTpowerCAD[®]开发环境的一部分,可以安装在您的计算机上。利用LTpowerPlanner工具,可快速轻松地评估不同的电源架构。

确定最终规格

确定最终规格在电源设计中极其重要。所有其他开发步骤都取决于这个规格。通常,在电子系统的其余部分设计完成之前,电源的精度要求是未知的。这通常会给电源设计开发又增加了一层时间限制。规格在开发阶段后期也经常会发生改变。例如,如果在最终编程设计时发现FPGA需要额外的功率,则必须降低DSP的电压以节省能量,或者必须避免原定的1 MHz开关频率,因为它会耦合到信号路径中。这种更改会对架构产生非常严重的影响,特别是对电源电路设计。

规格通常在早期阶段采用。此规格应设计得尽可能灵活,这样更改起来会相对容易。在这一方面,选择多功能集成电路很有帮助,使用开发工具尤其有用。这样可以在短时间内重新计算电源。通过这种方式,可更轻松,最重要的是可更快速地地完成规格更改。

规格包括可用能源、输入电压、最大输入电流以及要生成的电压和电流。其他考虑因素包括尺寸、财务预算、散热、EMC

要求(包括传导和辐射行为)、预期负载瞬态、电源电压变化和安全性。

LTpowerPlanner作为优化辅助工具

LTpowerPlanner提供创建电源系统架构所需的所有必要功能。它操作非常简单,因此可以快速进行概念开发。

先定义输入能源,再添加单个负载或用电设备。然后添加单个DC-DC转换器模块。可以是开关稳压器或低压差(LDO)线性稳压器。所有组件均可指定自己的名称。存储预期转换效率用于计算整体效率。

使用LTpowerPlanner有两大优势。首先,通过简单的架构计算,可以确定对整体效率有利的各个转换级的配置。图2所示为相同电压轨的两个不同架构。底部架构的整体效率略高于顶部架构。不进行详细计算的话,这一点并不明显。而使用LTpowerPlanner时,立即会显现这种差异。

LTpowerPlanner的第二个优势是提供条理清晰的文档。图形用户界面可提供清晰的架构草图,这一可视化工具在与同事讨论和记录开发工作时非常有用。文档可以存储为纸质拷贝或数字文件。

电源设计第2步:为每个DC-DC转换器选择集成电路

如今在设计电源时,都使用集成电路而非具有很多独立组件的分立电路。市场上有许多不同的开关稳压器IC和线性稳压器。它们都针对某一种特定的特性进行优化。有趣的是,所有集成电路都各不相同,并且只有在极少数情况下才可以互换。因此,选择集成电路是非常重要的。一旦选定了集成电路,在后续设计过程中,该电路的特性固定不变。如果后面发现其

他IC更适合,则需要重新开始整合新的IC。这种开发工作可能非常耗时,但使用设计工具可以减轻一些工作量。

使用工具对于有效选择集成电路至关重要。在analog.com上进行参数搜索就可以使用这种工具。在LTpowerCAD中搜索组件的效率甚至更高。图3所示为搜索窗口。

要使用此搜索工具,只需输入一些规格。例如,可输入输入电压、输出电压和所需的负载电流。根据这些规格,LTpowerCAD生成建议解决方案列表。输入额外条件可进一步缩小搜索范围。例如,在“Optional Features”类别中,可从使能引脚或电气隔离等特性中进行选择,查找合适的DC-DC转换器。

电源设计第3步:单个DC-DC转换器的电路设计

第3步是电路设计。需要为所选的开关稳压器IC选择外部无源元件。在此步骤中对电路进行优化。这通常需要仔细研究数据手册,并进行所有必需的计算。使用综合设计工具LTpowerCAD可极大地简化电源设计的这一步骤,并可进一步优化结果。

LTpowerCAD作为强大的计算工具

LTpowerCAD由ADI公司开发,旨在简化电路设计。它不是仿真工具,而是计算工具。它可以根据输入的规格,在很短的时间内提供有关优化的外部元件的建议。可优化转换效率。也可计算控制环路的传递函数。这有助于轻松地有效控制带宽和稳定性。

在LTpowerCAD中打开开关稳压器IC后,主屏幕将会显示具有所有必需外部元件的典型电路。图4显示了以LTC3310S为例的主屏幕。此降压开关稳压器的输出电流高达10 A,开关频率高达5 MHz。

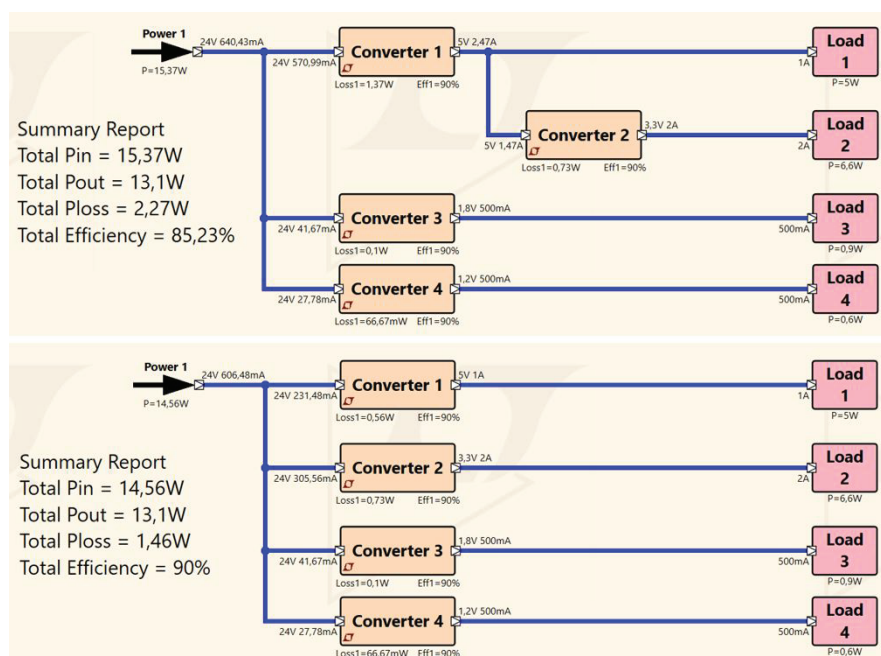


图2. 两个均具有效率计算功能的竞争架构。

屏幕上的黄色字段显示计算值或指定值。用户可使用蓝色字段配置设置。

选择外部元件

LTpowerCAD基于详细的外部元件模型，而不只是理想值计算，因此能够可靠地仿真实际电路的行为。Ltpower包括一个大型数据库，其中包含多个制造商的集成电路模型。例如，电容的等效串联电阻(ESR)和线圈的磁芯损耗都会考虑在内。要选择外部元件，可点击图4所示的蓝色外部元件。将打开一个新窗口，显示一长串可能适用的元件。例如，图5所示为推荐的输出电容列表。此示例显示了来自不同制造商的88种不同电容。也可退出推荐元件列表并选择Show all(显示全部)选项，从4660多种电容中进行选择。

此列表还在不断扩大和更新。尽管LTpowerCAD是一个离线工具，不需要连接互联网，但定期更新软件(使用更新功能)将确保集成开关稳压器IC和外部元件数据库始终保持最新。

检查转换效率

选择最优外部元件后，可使用Loss Estimate & Break Down(损耗估计和分解)按钮检查开关稳压器的转换效率。

然后会显示效率和损耗的精确图表。此外，还可基于外壳的热阻计算IC中达到的结温。图6所示为转换效率和热行为的计算页面。

对电路响应满意后，可进行下一组计算。如果效率不理想，可更改开关稳压器的开关频率(见图6左侧)，或更改所选的外部线圈。然后会重新计算效率，直至获得满意的结果。

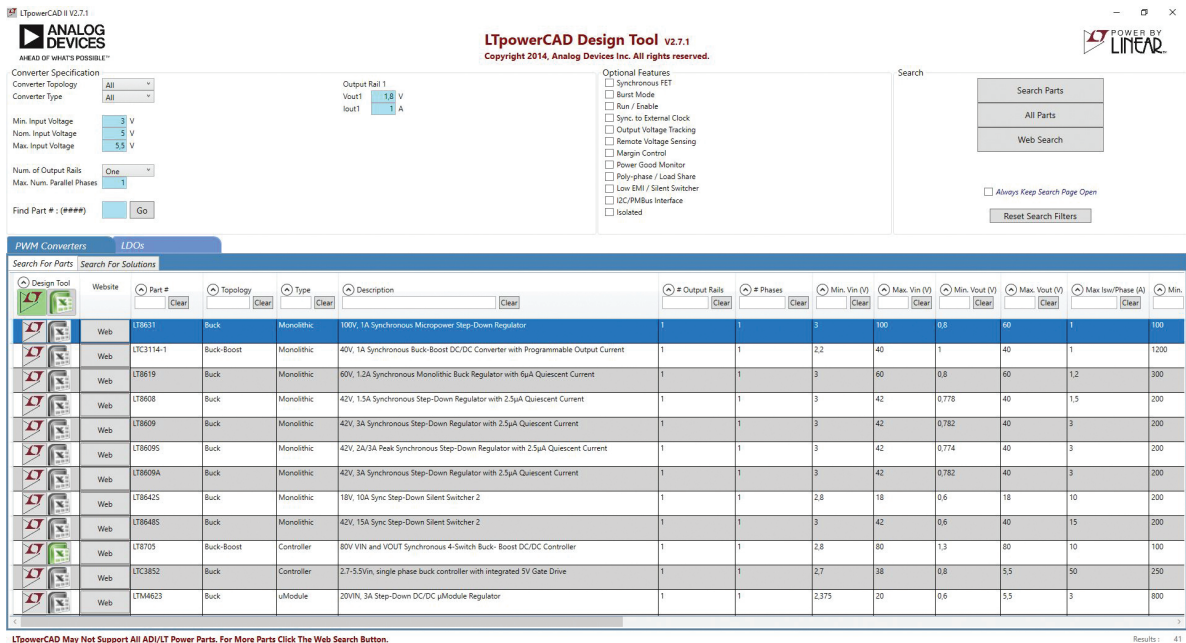


图3. 使用LTpowerCAD搜索合适的开关稳压器IC。

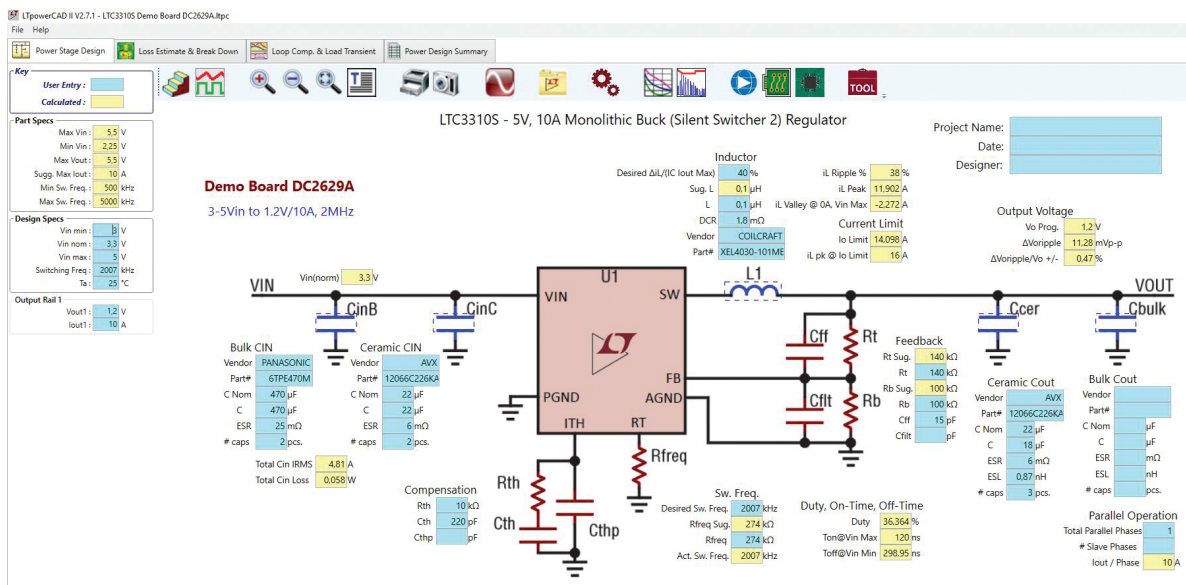


图4. LTpowerCAD电源计算工具。

Capacitor Library

Show All Show Supplimented

Key: Built-in Parts: User Parts:

Show Only AEC-Q Parts Clear Search Entries

All Parts	User Parts	Vendor	Part Name	Case	Capacitance (µF)	ESR (mΩ)	ESL (nH)	ESR (mΩ)	Vin (V)	Vout (V)	Type	Case	Dim (mm)	Dim (mm)	Dim (mm)	AEC
KEMET	C1206C226K9AC	22	21.7	1.01	5.12	5.2	1.06309574	1.13	9.759008	6.3	CERAMIC XSR	1206	3.2	1.6	1.6	
KEMET	C06090C226K79AC	22	20.8	1.06	2.5	2.7	1.074111053	0.85	14.35046	4	CERAMIC XSR	805	2	1.25	1.25	
TDK	TC6311V00226M90K012	22	21.9	1	5.12	5.2	1.074111053	0.85	14.35046	6.3	CERAMIC XSR	805	2	1.25	1.25	
AVX	060302026M47A2	22	20.9	1.05	1.28	1.3	2	0.44	3.5	6.3	CERAMIC XSR	603	1.6	0.8	0.95	False
TAIYO YUDEN	AMK1078B1226M48T	22	18.3	1.2	1.28	1.5	2.23882508	0.4887904	2.19	4	CERAMIC XSR	0603	1.6	0.8	1	False
TAIYO YUDEN	AMK1078B1226M47T	22	20.6	1.07	1.28	1.4	2.23882508	0.4887904	2.06	6.3	CERAMIC XSR	0603	1.6	0.8	1	False
TAIYO YUDEN	AMK1078B1226M48T	22	18.3	1.2	1.28	1.5	2.23882508	0.4887904	2.19	4	CERAMIC XSR	0603	1.6	0.8	1	True
TAIYO YUDEN	AMK2128C9226M4D-T	22	18.8	1.17	2.5	2.9	2.25001313	0.5260605	2.67	4	CERAMIC XSR	0805	2	1.25	0.95	False
TAIYO YUDEN	AMK2128C9226M4G-T	22	21.1	1.04	2.5	2.6	2.20259469	0.5026297	3.32	6.3	CERAMIC XSR	0805	2	1.25	1.45	False
TAIYO YUDEN	AMK2128C9226M4H-T	22	21.1	1.04	2.5	2.6	2.20259469	0.5026297	3.32	6.3	CERAMIC XSR	0805	2	1.25	1.45	False
TAIYO YUDEN	AMK2128C9226M4J-T	22	21.1	1.04	2.5	2.6	2.20259469	0.5026297	3.32	6.3	CERAMIC XSR	0805	2	1.25	1.45	False
MURATA	GRM319R60C226M46E	22	18.7	1.18	2.5	2.9	2.4	0.2462	5.1	4	CERAMIC XSR	805	2	1.25	0.95	False
MURATA	GRM319R60C226M46A	22	21.1	1.04	2.5	2.6	2.4	0.2462	5.1	4	CERAMIC XSR	805	2	1.25	0.95	False
MURATA	GRM319D70J226M444	22	21.1	1.04	2.5	2.6	2.4	0.2462	5.1	4	CERAMIC XSR	805	2	1.25	1.45	False
TAIYO YUDEN	AMK329F7226M4HPR	22	22	1	8	8	2.428134698	0.4120332	3.29	6.3	CERAMIC XSR	1210	3.2	2.5	2.7	True
TAIYO YUDEN	AMK329F7226M4HPR	22	22	1	8	8	2.428134698	0.4120332	3.29	6.3	CERAMIC XSR	1210	3.2	2.5	2.7	True
TAIYO YUDEN	AMK329F7226M4M-T	22	20.6	1.07	1.28	1.4	2.430581189	0.4222294	2.08	6.3	CERAMIC XSR	0603	1.6	0.8	1	True
TAIYO YUDEN	AMK316AB1226K4HT	22	21.6	1.02	5.12	5.2	2.559828991	0.6437712	2.98	6.3	CERAMIC XSR	1206	3.2	1.6	1.8	True
TAIYO YUDEN	AMK316AB1226K4LHT	22	21.6	1.02	5.12	5.2	2.559828991	0.6437712	2.98	6.3	CERAMIC XSR	1206	3.2	1.6	1.8	True
MURATA	GRM322R60C226M4D1	22	21.8	1.01	8	8.1	2.6	0.4189	9	6.3	CERAMIC XSR	1210	3.2	2.5	2.2	False
MURATA	GRM322R60C226M4D1	22	21.8	1.01	8	8.1	2.6	0.4189	9	6.3	CERAMIC XSR	1210	3.2	2.5	2.2	True
TAIYO YUDEN	AMK2128B1226M4GHT	22	18.6	1.12	2.5	2.8	2.675209314	0.5559932	2.73	4	CERAMIC XSR	0805	2	1.25	1.4	True
TDK	C3012XSR0226M8SAB	22	20.4	1.08	2.5	2.7	2.8	0.67	2.83	6.3	CERAMIC XSR	805	2	1.25	1	False
MURATA	GRM329D70J226M4E19	22	21.7	1.01	8	8.1	2.8	0.3992	4.8	6.3	CERAMIC XSR	1210	3.2	2.5	1.5	False
TDK	C3012XSR0226M8SAC	22	20.6	1.06	2.5	2.7	3	0.67	2.8	6.3	CERAMIC XSR	805	2	1.25	1.45	False
AVX	120602026K47A2	22	21.4	1.03	5.12	5.3	3	0.87	3.5	6.3	CERAMIC XSR	1206	3.2	1.6	1.7	False
MURATA	GRM31CC10G226K9E01	22	21.7	1.01	5.12	5.2	3	0.4112	4.5	4	CERAMIC XSR	1206	3.2	1.6	1.8	False
AVX	120602026K47A2	22	21.6	1.02	5.12	5.2	3	0.87	3.5	6.3	CERAMIC XSR	1206	3.2	1.6	1.8	False
TAIYO YUDEN	AMK2128B1226M4E19	22	20.6	1.07	2.5	2.7	3.022947785	0.5501983	2.87	6.3	CERAMIC XSR	805	2	1.25	0.95	False
MURATA	SCM31CR70J226M4E23	22	21.8	1.01	5.12	5.2	3.1	0.446	4.4	6.3	CERAMIC XSR	1206	3.2	1.6	1.6	True
MURATA	GRM31CR70J226K9E19	22	21.7	1.01	5.12	5.2	3.1	0.4174	4.5	6.3	CERAMIC XSR	1206	3.2	1.6	1.9	False

Supplimented Parts: 88 # Parts in Library: 90

Vendor Links: Panasonic, muRata, KEMET, NIPPON CHEM-CON, TAIYO YUDEN, TDK, AVX, SUNCON

图5. LTC3310S不同输出电容的列表框。

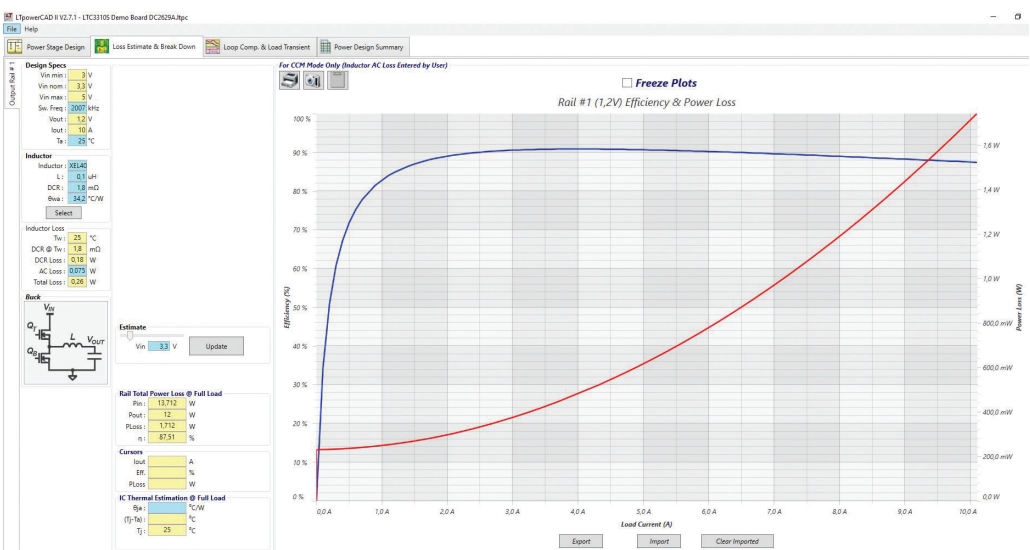


图6. 电路的效率计算和热响应。



图7. 在LTpowerCAD中设置控制环路。

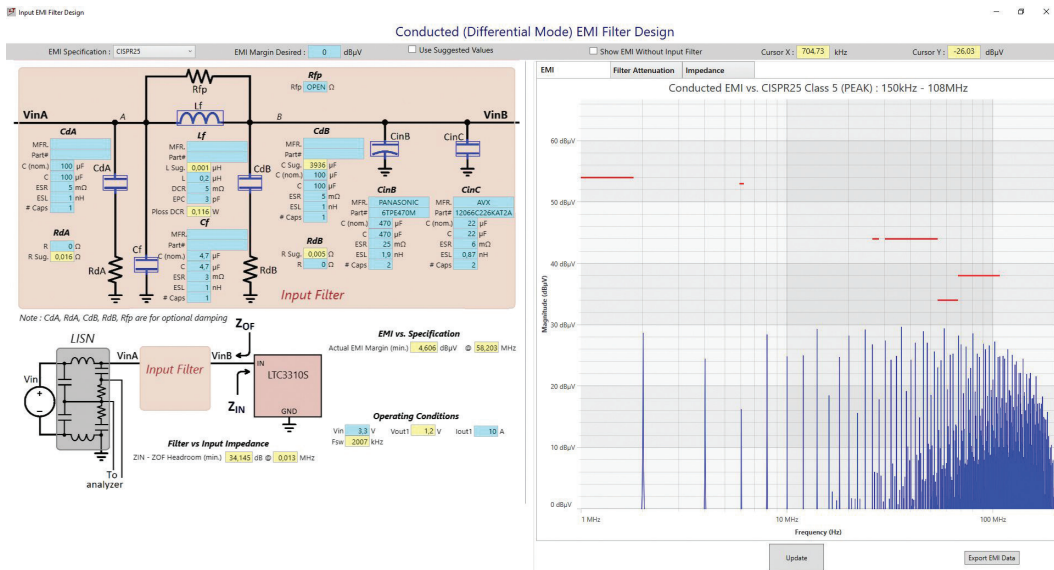


图8. LTpowerCAD中用于最大限度地减少开关稳压器输入端传导干扰的滤波器设计工具。

优化控制带宽并检查稳定性

选择外部元件并计算效率后，控制环路得到优化。必须通过环路设置确保电路可靠稳定，在提供高带宽时不会出现振荡甚至不稳定的情况，也就是说，能够对输入电压变化做出响应，特别是对负载瞬态做出响应。在LTpowerCAD中，可通过Loop Comp.& Load Transient(环路补偿和负载瞬态)选项卡考虑稳定性因素。除了波特图和负载瞬态后的输出电压响应曲线外，还有许多设置选项。

Use Suggested Compensation(使用建议补偿)按钮最重要。在这种情况下，可使用优化补偿，用户无需深入了解控制工程即可调整任何参数。图7显示设置控制环路时的LTpowerCAD屏幕。

在LTpowerCAD中执行稳定性计算是此架构的一个亮点。计算在频域中执行，速度很快，比时域仿真快得多。因此，可以在试验基础上更改参数，并在几秒钟内提供更新的波特图。而时域仿真通常需要很多分钟甚至数小时。

检查EMC响应并添加滤波器

根据规格，在开关稳压器的输入或输出端可能需要额外的滤波器。尤其是缺乏经验的电源开发人员将会面临巨大挑战。他们需要解决以下问题：必须如何选择滤波器元件，才能确保输出端有一定的电压纹波？是否需要输入滤波器，如果需要，必须如何设计该滤波器，才能使传导辐射低于一定的EMC限制？在这方面，在任何情况下都不允许滤波器和开关稳压器之间的交互导致不稳定。

图8所示为Input EMI Filter Design，这是LTpowerCAD中的一个子工具。可从优化外部无源元件的第一个页面访问此工具。启动此滤波器设计工具将显示使用无源IC和EMC图的滤波器设计。该图绘制了具有或没有输入滤波器的情况下的传导干扰，并且都在各种EMC规范(如CISPR 25、CISPR 22或MIL-STD-461G)的适当限制范围内。

频域中的滤波器特性和滤波器阻抗也可在输入传导EMC响应的图示旁边以图形方式显示。这对于确保滤波器的总谐波失真不会太高，以及滤波器阻抗与开关稳压器阻抗相匹配是很重要的。阻抗匹配问题会导致滤波器和电压转换器之间不稳定。

LTpowerCAD中会考虑这些具体因素，不需要深入了解这些知识。使用Use Suggested Values(使用建议值)按钮，可自动提供滤波器设计。

当然，LTpowerCAD也支持在开关稳压器的输出端使用滤波器。此滤波器通常用于输出电压只允许有非常低的输出电压纹波的应用。要在输出电压路径中添加滤波器，可单击Loop Comp.& Load Transient(环路补偿和负载瞬态)页面上的LC滤波器图标。单击此图标后，将通过新窗口显示一个滤波器，如图9所示。可在此处轻松选择该滤波器的参数。反馈环路既可连接在此附加滤波器的前面，也可连接在其后面。在这里，尽管输出电压具有很好的直流精度，但在所有工作模式下都能保证电路的稳定响应。

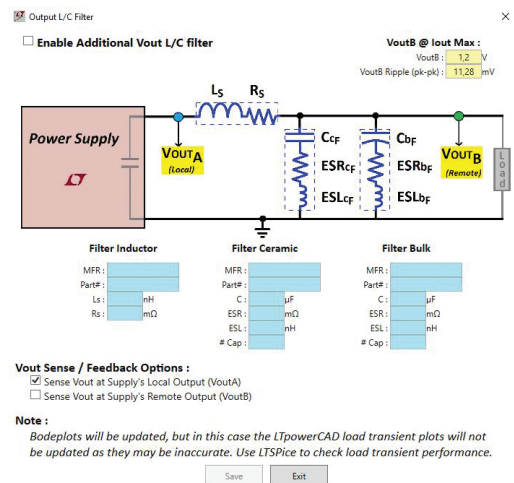


图9. 在开关控制器的输出端选择LC滤波器以减少电压纹波。

电源设计第4步：在时域中仿真电路

使用LTpowerCAD完成电路设计后，接下来的仿真极其重要。通常在时域中进行仿真。根据时间检查各个信号。也可在印刷电路板上测试不同电路的交互。还可将寄生效应集成到仿真中。这样，仿真结果变得非常准确，但仿真时间更长。

一般而言，仿真适合在实施真实硬件之前收集额外的信息。了解电路仿真的电位和限值很重要。仅通过仿真可能无法找到最优电路。在仿真过程中，可修改参数并重新启动仿真。但是，如果用户不是电路设计专家，则很难确定正确的参数，再进行优化。因此，仿真用户未必始终清楚电路是否已经达到了最佳状态。LTpowerCAD等计算工具更适合达成此目的。

使用LTspice仿真电源

ADI公司的LTspice[®]是一款功能强大的电路仿真程序。它易于使用，具有扩展的用户支持网络、优化选项，并可提供优质可靠的仿真结果，因而在全球范围内被硬件开发人员广泛使用。此外，LTspice是免费的，并可轻松安装在个人计算机上。

LTspice基于SPICE程序，该程序诞生于加州大学伯克利分校的电气工程与计算机科学系。SPICE是集成电路仿真程序的首字母缩写。该程序的许多商业版本都是可用的。虽然最初基于伯克利分校的SPICE，但LTspice在电路的收敛性和仿真速度方面进行了相当大的改进。LTspice的其他功能包括电路图编辑器和波形查看器。这两种工具的操作都很直观，即使对初学者也是如此。这些功能也为经验丰富的用户提供了很大的灵活性。

LTspice设计简单，易于使用。该程序可在 analog.com 上下载，其中的大型数据库包含ADI公司几乎所有电源IC的仿真模型以及外部无源元件。如前所述，LTspice安装后即可离线使用。但是，定期更新可确保加载开关稳压器和外部元件的最新模型。

要启动初始仿真，可在analog.com上的电源产品文件夹中选择一个LTspice电路(例如，[LT8650S评估板](#))。这些通常是适合可用评估板的电路。在analog.com上的特定产品文件夹中，双击相关LTspice链接，LTspice将在您的PC上本地启动完整电路。其中包括运行仿真所需的所有外部元件和预设。然后，单击图10所示的运行程序图标以启动仿真。

仿真后，可使用波形查看器访问电路的所有电压和电流。图11显示了电路上升时输出电压和输入电压的典型示意图。

SPICE仿真主要适用于详细了解电源电路，这样在构建硬件时就不会出现意外。也可使用LTspice更改和优化电路。此外，还可仿真开关稳压器与印刷电路板上其他电路部件的交互。这对发现相互依赖关系特别有用。例如，一次可同时仿真多个开关稳压器。这会延长仿真时间，但也可以检查某些交互作用。

最后，LTspice是目前IC开发人员所使用的功能极其强大且可靠的工具。ADI公司的很多IC都是借助此工具开发出来的。

电源设计第5步：硬件测试

虽然自动化工具在电源设计中很有用，但下一步是执行基本硬件评估。开关稳压器以非常高的速率开关电流。由于电路(特别是印刷电路板布局)的寄生效应，这些开关电流引起的电压偏置会产生辐射。可使用LTspice对此类效应进行仿真。但是，要做到这一点，需要有关寄生特性的精确信息。大多数情况下无法获取这些信息。您必须做出许多假设，这些假设会降低仿真结果的值。因此，必须完成全面硬件评估。

印刷电路板布局—重要元件

印刷电路板布局通常称为一种元件。它很重要，例如，它无法像试验板一样，通过跳线来操作开关稳压器进行测试。主要是因为开关电流的路径中的寄生电感会导致电压偏置，从而无法这样操作。有些电路也可能因电压过高而损坏。

LTspice支持创建最佳印刷电路板布局。开关稳压器IC数据手册通常提供有关参考印刷电路板布局的信息。对于大多数应用，可使用这个建议的布局。

在指定温度范围内评估硬件

在电源设计过程中，可通过转换效率来确定开关稳压器IC是否在允许的温度范围内工作。但是，在预期的温度限制下测试硬件很重要。开关稳压器IC甚至外部元件的额定值在允许的温度范围内会发生变化。在使用LTspice进行仿真的过程中，可以轻松考虑这些温度影响。但是，这样的仿真与给定参数一样好。如果这些参数具有实际值，LTspice就可以执行蒙特卡罗分析，从而得到想要的结果。在很多情况下，通过物理测试评估硬件仍更具实用性。

EMI和EMC考量

在系统设计的后期阶段，硬件必须通过电磁干扰和兼容性(EMI和EMC)测试。虽然这些测试必须使用真实硬件进行，但仿真和计算工具对于收集见解信息非常有用。可以在硬件测试之前评估不同的方案。当然，涉及的有些寄生因素通常不会在仿真中建模，但可以获取与这些测试参数相关的一般性能趋势。此外，从这类仿真中获得的数据可提供必要的见解，以便在初始EMC测试未通过的情况下，快速对硬件进行修改。由于EMC测试成本高、时间长，在早期设计阶段使用LTspice或LTpowerCAD等软件有助于在测试前获得更准确的结果，从而加快整个电源设计过程并降低成本。

总结

适用于电源设计的工具已变得非常复杂且强大，足以满足复杂系统的需求。LTpowerCAD和LTspice是具有简单易用界面的高性能工具。因此，这些工具对于任何专业水平的设计人员都会大有帮助。不管是经验丰富的开发人员，还是经验不足的新手都可以使用这些程序进行日常电源开发。

仿真功能的发展程度令人震惊。使用适当的工具可以帮助您更快地构建先进可靠的电源。

ADI的免费电源工具

点击以下链接获取：

- ▶ 优化帮助[LTpowerPlanner](#)
- ▶ 计算工具[LTpowerCAD](#)
- ▶ 仿真工具[LTspice](#)

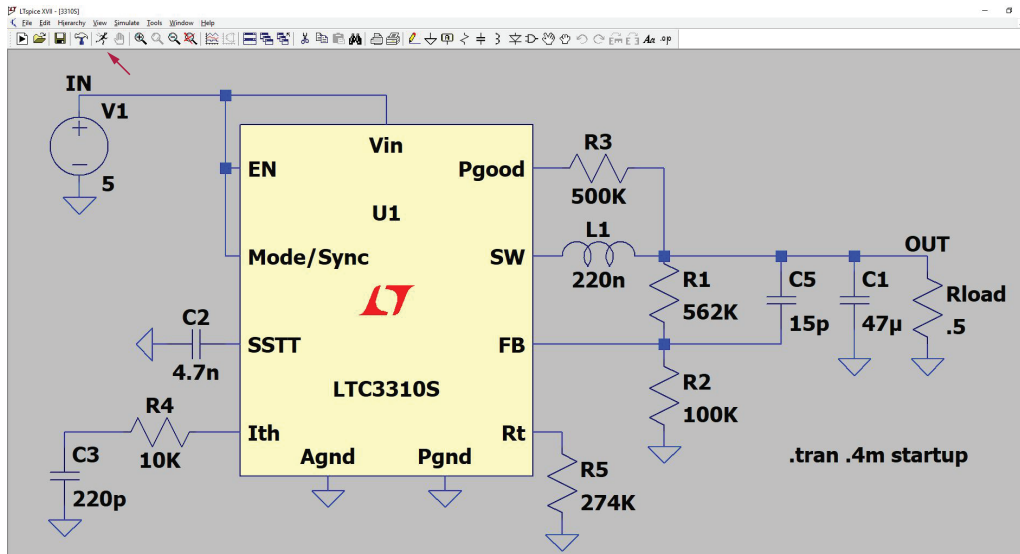


图10. 使用LTspice生成的LTC3310S仿真电路。

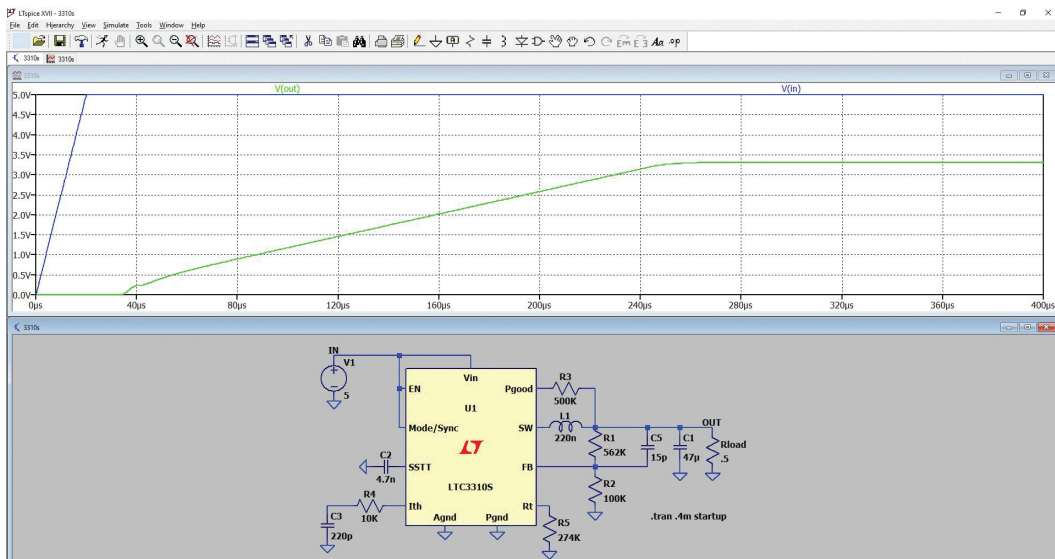


图11. 使用LTspice得到的LTC3310S电路仿真结果。



作者简介

Frederik Dostal曾就读于德国埃尔兰根大学微电子学专业。他于2001年开始工作，涉足电源管理业务，曾担任各种应用工程师职位，并在亚利桑那州凤凰城工作了4年，负责开关模式电源。他于2009年加入ADI公司，并在慕尼黑ADI公司担任电源管理现场应用工程师。联系方式：frederik.dostal@analog.com。

非常见问题第186期： 添加灵活的限流功能

Frederik Dostal, 现场应用工程师

问题：

我可以根据负载轻松而精确地进行限流吗？



答案：

可以使用限流IC进行限流。

在一些电源管理应用中，需要精确地限制电流。无论是要保护电源(例如，中间电路电压需要过载保护以便能够可靠地为其他系统部件提供电能)，还是在故障情况下保护可能由于过流而造成损坏的负载，都需要精确地限制电流。

在寻找合适的DC-DC负载点稳压器来满足此要求时，我们发现市面上具有可调限流功能的电压转换器很少见。可调限流功能在采用外部电源开关的控制器设计中更加常见，而所有的集成解决方案很少提供此类功能。而且，可调限流功能的精度通常不是很高。以外，DC-DC转换器IC中的电流限制器一般只限制电源的电感电流，不会限制输入或输出电流。此类集成式限流功能只是设计用来在故障条件下保护开关稳压器本身不受损。限流值高于额定最大输出电流，有时候精度相对较低，这足以保护开关稳压器，但是通常不足以用作可调电流限制器。

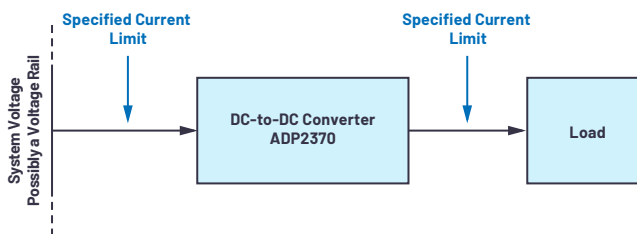


图1 需要对流入/流出开关稳压器的电流进行限制的系统。

要灵活地解决此问题，可以通过一个附加组件(例如LTC7003)来添加可调的限流功能。精度可达到15%左右，具体因应用而异。LTC7003是一款高端N沟道MOSFET静态开关驱动器。因其具有可调限流功能和电流监控功能，所以非常适合为常见的DC-DC转换器添加限流功能。图2所示为使用LTC7003电流限制器来监控ADP2370的输出电流。ADP2370是一款降压型DC-DC转换器。

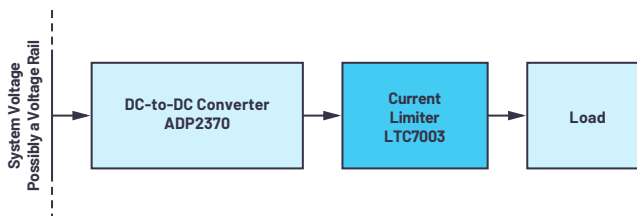


图2 通过LTC7003驱动器组件添加的限流功能。

一般来说，高端电流检测放大器也可用于通过电源路径中的电流检测电阻测量小压降。它们可以非常准确地测量电流。但是，对于其中大部分，两个电流检测连接之间的允许电压差都非常小。如果电源可能因为负载而发生短路，那么在使用这种通用的电流检测放大器时，检测电阻上的电压可能很快就会超出允许范围。在这种情况下，最好选择获准在电源中使用的解决方案，例如LTC7003。根据设计，LTC7003允许SENS输入端出现较大电压差。当电流达到设置的阈值时，LTC7003还支持通过可选的N沟道MOSFET Q1来中断电源路径。图3所示为带有外

部N沟道MOSFET的LTC7003解决方案在电流达到设置的阈值时中断电源路径。

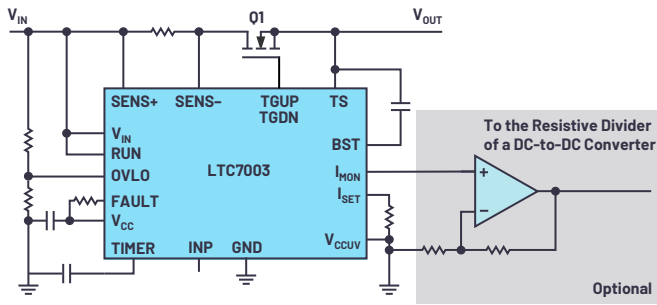


图3. 使用LTC7003来限流的电路。

通过 I_{MON} 输出，可提供与流经检测电阻的电流成比例的电压。此电压是就系统接地而言，相当于检测电阻上的电压乘以20倍。电压值在0 V至1.5 V之间。此电压可以与附加的外部运算放大器搭配使用，以馈入至开关稳压器的反馈电路。这样一来，DC-DC转换器的输出电压可以根据LTC7003检测到的电流电平成比例降低。图3的灰色部分电路中显示了此选项。

凭借其有意义的功能，LTC7003非常适合在大量不同的系统中用于监测、限制和断开电源线路。



作者简介

Frederik Dostal曾就读于德国埃尔兰根大学微电子学专业。他于2001年开始工作，涉足电源管理业务，曾担任各种应用工程师职位，并在亚利桑那州凤凰城工作了4年，负责开关模式电源。他于2009年加入ADI公司，并在慕尼黑ADI公司担任电源管理现场应用工程师。联系方式：frederik.dostal@analog.com。

提高迟滞，实现平稳的欠压和过压闭锁

高级应用工程师，Pinkesh Sachdev

电阻分压器可将高电压衰减至低压电路能够承受的电平，且低压电路不会出现过载或损坏。在功率路径控制电路中，电阻分压器有助于设置电源欠压和过压闭锁阈值。这种电源电压验证电路常见于汽车系统、便携式电池供电仪器仪表以及数据处理和通信板中。

欠压闭锁(UVLO)可防止下游电子系统在异常低的电源电压下工作，避免导致系统故障。例如，当电源电压低于规格要求时，数字系统可能性能不稳定，甚至死机。当电源为可充电电池时，欠压闭锁可防止电池因深度放电而受损。过压闭锁(OVLO)可保护系统免受极高电源电压的影响。由于欠压和过压阈值取决于系统的有效工作范围，因此电阻分压器可用于通过相同的控制电路设置自定义阈值。为了能够在存在电源噪声或电阻的情况下实现平稳无颤振闭锁功能，需要利用阈值迟滞。在讨论了简单的UVLO/OVLO电路后，本文将介绍一些添加阈值迟滞的简单方法，当默认值不足时，有必要添加阈值迟滞。

欠压和过压闭锁电路

图1所示为欠压闭锁电路(目前无迟滞)。它有一个比较器，其负输入端具有正基准电压(V_T)。比较器控制一个电源开关，用于打开或闭合电源输入和下游电子系统之间的路径。比较器的正输入连接至电阻分压器。如果电源接通，并从0 V开始上升，比较器输出起初较低，电源开关保持关闭状态。当比较器正输入达到 V_T 时，比较器输出断路。此时，底部电阻中的电流为 V_T/R_B 。如果比较器无任何输入偏置电流，该电流会流入 R_T 。因此，当比较器断路时，电源电压为 $V_T + R_T \times V_T/R_B = V_T \times (R_B + R_T)/R_B$ 。这就是

通过电阻分压器设置的电源UVLO阈值。例如，如果 V_T 为1 V，且 $R_T = 10 \times R_B$ ，则UVLO阈值为11 V。低于该阈值时，比较器输出低电平，将打开电源开关；高于该UVLO阈值时，开关闭合，电源为系统上电。通过更改 R_B 和 R_T 的比值就可以轻松调整阈值。绝对电阻值由预计的分压器偏置电流设定(本文稍后将详细介绍)。要设置OVLO阈值，只需交换比较器的两个输入(例如，图2中的下方比较器)，这样高电平输入就会迫使比较器输出低电平，并打开开关。

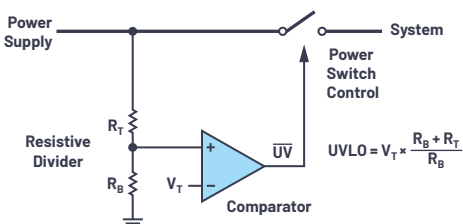


图1 采用电阻分压器、比较器和电源开关的电源欠压闭锁电路。

电源开关也可通过N沟道或P沟道电源MOSFET来实现，不过这部分内容不是本文讨论的重点。之前的讨论假设N沟道MOSFET开关在栅极电压为低电平(例如：0 V)时打开(高电阻)。为了完全闭合(低电阻)N沟道MOSFET，栅极电压必须比电源电压至少高出MOSFET阈值电压，这需要使用电荷泵。保护控制器(LTC4365、LTC4367和LTC4368)集成了比较器和电荷泵，可驱动N沟道MOSFET，同时静态功耗较低。P沟道MOSFET不需要使用电荷泵，但栅极电压极性相反；也就是说，低电压闭合开关，而高电压打开P沟道MOSFET开关。

再来看电阻分压器：与使用两个单独的2电阻串相比，3电阻串可设置欠压和过压闭锁阈值(图2)，同时一个分压器无需提供偏置电流。UVLO阈值为： $V_T \times (R_B + R_M + R_T)/(R_B + R_M)$ ，而OVLO阈值为： $V_T \times (R_B + R_M + R_T)/R_B$ 。AND栅极将两个比较器的输出合并，然后连接至电源开关。因此，当输入电压介于欠压和过压阈值之间时，电源开关闭合，为系统供电；否则，开关打开，断开系统供电。如果不需要考虑分压器功耗，则采用单独的欠压和过压分压器，分别独立调整阈值会更灵活。

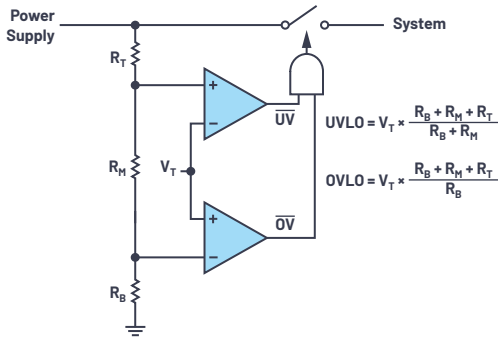


图2 采用单个电阻分压器的欠压和过压闭锁电路。

具有迟滞功能的欠压和过压闭锁电路

在图1中，如果电源电压上升缓慢并且有噪声，或者如果电源本身具有电阻(如电池中的电阻)，导致电压随负载电流下降，那么当比较器输入超过其UVLO阈值时，比较器的输出将在高电平和低电平之间反复切换。这是因为，比较器的正输入因输入噪声或负载电流通过电源电阻导致的压降而反复高于和低于 V_T 阈值。对于电池供电电路，这可能会导致永无休止的振荡。使用具有迟滞功能的比较器可消除这种颤振，从而使开关切换更顺畅。如图3所示，迟滞比较器会对上升(例如： $V_T + 100\text{ mV}$)和下降输入(例如： $V_T - 100\text{ mV}$)提供不同的阈值。比较器迟滞会随 R_B 和 R_T 放大，使电源电平为 $200\text{ mV} \times (R_B + R_T)/R_B$ 。如果电源输入的噪声或压降低于该迟滞，就可以消除颤振。如果比较器不存在迟滞或迟滞较低，则有许多方法可以增加或提高迟滞。所有这些方法均在分压器接头处采用正反馈，例如：当比较器断路时，正在上升的比较器输入电平会更高。为简单起见，以下等式假设比较器本身没有迟滞。

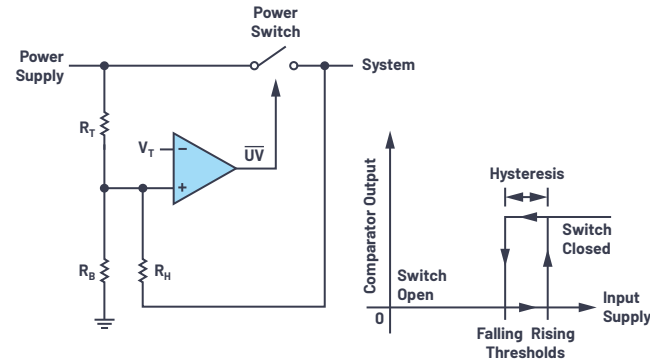


图3 通过在分压器接头与电源开关输出之间连接一个电阻来增加欠压闭锁阈值迟滞。

分压器与输出之间的电阻(图3)：

在分压器接头(比较器的正输入)与电源开关输出之间增加一个电阻(R_H)。当电源电压从0 V开始上升时，比较器的正输入低于 V_T ，比较器输出低电平，电源开关保持关闭状态。假设由于系统负载，开关输出为0 V。因此，将 R_H 与 R_B 并联，用于计算输入阈值。上升输入欠压阈值为 $V_T \times ((R_B \parallel R_H) + R_T)/(R_B \parallel R_H)$ ，其中： $R_B \parallel R_H = R_B \times R_H/(R_B + R_H)$ 。高于此阈值时，开关打开，接通系统电源。为了计算下降输入欠压阈值，由于开关闭合， R_H 与 R_T 并联，下降输入欠压阈值为： $V_T \times (R_B + (R_T \parallel R_H))/R_B$ ，其中： $R_T \parallel R_H = R_T \times R_H/(R_T + R_H)$ 。如果比较器本身存在一定迟滞，则使用上一个等式中的上升或下降比较器阈值代替 V_T 。回想一下图1中的示例， $V_T = 1\text{ V}$ 且 $R_T = 10 \times R_B$ ，如果不存在比较器迟滞或 R_H ，则上升和下降阈值为11 V。如图3所示，增加 $R_H = 100 \times R_B$ ，则上升输入阈值为11.1 V，下降阈值为10.09 V；也就是说，迟滞为1.01 V。该方法对OVLO无效，因为输入电平上升会关闭电源开关，从而导致 R_H 将比较器输入电平拉低(这样会再次打开开关)而不是拉高。

连接开关电阻(图4)：

增加迟滞的另一个方法就是连接可以改变底部电阻有效值的开关电阻。开关电阻可以并联(图4a)，也可以串联(图4b)。我们来看看图4a：当 V_{IN} 为低电平(比如说为0 V)时，比较器的输出(UV或OV节点)为高电平，从而打开N沟道MOSFET M1，并将 R_H 与 R_B 并联连接。假设M1的导通电阻与 R_H 相比可以忽略不计，或可以包含在 R_H 的值中。上升输入阈值与图3中的相同： $V_T \times ((R_B \parallel R_H) + R_T)/(R_B \parallel R_H)$ 。一旦 V_{IN} 高于该阈值，比较器输出就会变为低电平，从而关闭M1，并断开 R_H 与分压器的连接。因此，下降输入阈值与图1中的相同： $V_T \times (R_B + R_T)/R_B$ 。继续我们的示例， $V_T = 1\text{ V}$ ， $R_T = 10 \times R_B$ 且 $R_H = 100 \times R_B$ ，上升输入阈值为11.1 V，下降阈值为11 V；也就是说， R_H 产生了100 mV的迟滞。该方法和下述方法均可用于欠压或过压闭锁，因为其用途取决于比较器输出打开电源开关的方式(未显示)。

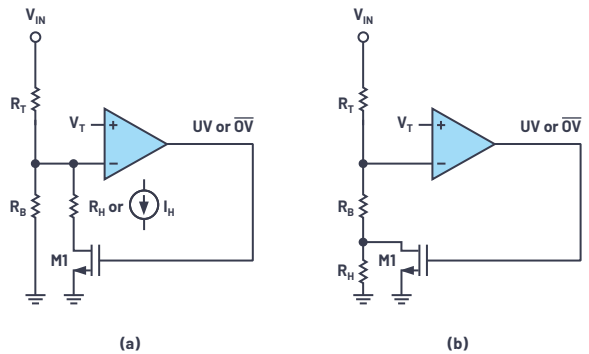


图4 使用开关(a)分流电阻或电流和(b)串联电阻增加欠压或过压闭锁阈值迟滞。

图4b的配置可得出上升输入阈值为： $V_T \times (R_B + R_T)/R_B$ ，下降输入阈值为： $V_T \times (R_B + R_H + R_T)/(R_B + R_H)$ 。图4中的 $R_H = R_B/10$ ，因此上升输入阈值为11 V，下降阈值为10.091 V，也就是说，迟滞为909 mV。这表明，图4b配置需要一个更小的 R_H 才能产生更大的迟滞。

连接电流源(图4a):

图4a的电阻 R_{in} 可以使用电流源 I_H 代替。该方法适用于LTC4417和LTC4418优先级控制器。当 V_{IN} 为低电平时,比较器的高电平输出使能 I_H 。输入阈值上升时,比较器的负输入为 V_T 。因此, R_T 中的电流为 $I_H + V_T/R_B$,得出的上升阈值为: $V_T + (I_H + V_T/R_B) \times R_T = V_T \times (R_B + R_T)/R_B$ 。一旦 V_{IN} 高于该阈值,比较器的低电平输出就会关闭 I_H 。因此,下降阈值与图1中的相同: $V_T \times (R_B + R_T)/R_B$,且输入阈值迟滞为: $I_H \times R_T$ 。

电阻分压器偏置电流

之前的等式假设比较器输入端的输入偏置电流为0,而示例只考虑了电阻比,而未考虑绝对值。比较器输入同时具有输入失调电压(V_{OS})、参考误差(也可以与 V_{OS} 合并),以及输入偏置电流或漏电流(I_{LK})。如果分压器偏置电流(图1跳变点处的 V_T/R_B)明显大于输入漏电流,则零泄漏假设成立。例如,如果分压器电流是输入漏电流的100倍时,漏电流引起的输入阈值误差将保持在1%以下。另一种方法是比较漏电流引起的阈值误差与失调电压引起的阈值误差。考虑比较器的非理想因素,图1输入欠压阈值等式变为: $(V_T \pm V_{OS}) \times (R_B + R_T)/R_B \pm I_{LK} \times R_T$ (类似于之前的迟滞电流等式),可重写为: $(V_T \pm V_{OS} \pm I_{LK} \times R_B \times R_T/(R_B + R_T)) \times (R_B + R_T)/R_B$ 。输入漏电流表现为比较器阈值电压误差,通过选择适当的电阻,可以尽可能降低该误差(相对于失调电压),也就是, $I_{LK} \times (R_B \parallel R_T) < V_{OS}$ 。

举个例子,LTC4367欠压和过压保护控制器UV和OV引脚的最大漏电流为 ± 10 nA,而UV/OV引脚比较器的500 mV阈值失调电压为 ± 7.5 mV(500 mV的 $\pm 1.5\%$)。根据预算, ± 3 mV(500 mV的 $\pm 0.6\%$,或小于7.5 mV失调电压的一半)漏电流产生的阈值误差为: $R_B \parallel R_T < 3$ mV/10 nA = 300 k Ω 。要使用0.5 V比较器阈值设置11 V输入欠压阈值,则要求: $R_T = R_B \times 10.5$ V/0.5 V = 21 \times R_B 。因此, $R_B \parallel R_T = 21 \times R_B/22 < 300$ k Ω ,则 $R_B < 315.7$ k Ω 。对于 R_B 来说,最接近1%的标准值为309 k Ω ,得出的 R_T 为6.49 M Ω 。跳变点处的分压器偏置电流为0.5 V/309 k Ω = 1.62 μ A,是10 nA漏电流的162倍。为了在不增加比较器输入漏电流导致的阈值误差的情况下尽可能降低分压器电流,这种分析至关重要。

结论

在基于比较器的相同控制电路中,利用电阻分压器可轻松调整电源欠压和过压闭锁阈值。电源噪声或电阻需要阈值迟滞,以防止电源超过阈值时出现电源开关打开和关闭颤振。本文介绍了实现欠压和过压闭锁迟滞的一些不同方法。基本原理是比较器断路时,在分压器接头处会产生一些正反馈。增加或提高保护控制器IC迟滞时,有些方法取决于比较器输出或IC输出引脚的类似信号的可用性。选择电阻值时,应注意避免使比较器的输入漏电流成为阈值误差的主要来源。通过电子数据表提供所有相关等式(包括本文中介绍的等式),可供下载。



关于作者

Pinkesh Sachdev是ADI公司电源系统管理高级应用工程师。他拥有印度理工学院(印度孟买)电气工程学士学位以及斯坦福大学电气工程硕士学位。联系方式: pinkesh.sachdev@analog.com。

CTSD精密ADC — 第2部分： 为信号链设计人员介绍 CTSD架构

Abhilasha Kawle, 模拟设计经理

本文将采用一种与传统方法不同的方式介绍连续时间 Σ - Δ (CTSD) ADC技术, 以便信号链设计人员了解这种简单易用的新型精密ADC技术, 将其想像成一个连接了某些已知组件的简单系统。在**第1部分**, 我们主要介绍了现有信号链设计的关键挑战, 利用精密CTSD ADC, 在实现高精度的同时还可保持连续时间信号完整性, 从而可以显著简化这些设计。现在的问题是CTSD架构背后是什么使其能够实现这些优势?

采用传统方法解释CTSD技术概念时, 都是先理解离散时间 Σ - Δ (DTSD)调制器环路的基本原理, 然后用等效的连续时间元件来替换离散时间环路元件。虽然通过这种方法可以深入了解 Σ - Δ 功能, 但我们的目标是更直观地了解精密CTSD ADC内在优势的背后原因。首先, 我们将概述一种逐步构建CTSD调制器环路的方法, 首先采用常见的闭环反相放大器配置, 然后与ADC和DAC组合在一起。最后, 我们将评估所构建电路的基本 Σ - Δ 功能。

第1步: 回顾闭环反相放大器配置

CTSD ADC的一个关键优势是它提供一个易于驱动连续电阻输入, 而非传统的前置开关电容采样器。反相放大器电路具有类似的输入阻抗概念, 我们将其用作构建CTSD调制器环路的起始模块。

闭环运算放大器配置一直是以高保真度复制模拟输入的首选方法, 图1所示为其中一种常见的运算放大器配置, 称为反相放大器配置。¹衡量保真度的一个指标是输出与输入增益的比值, 采用 Σ - Δ 术语表示, 也称为信号传递函数(STF)。确定影响STF的参数需要进行电路分析。

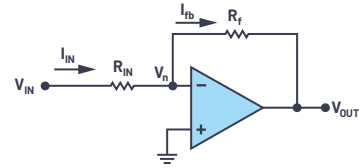


图1 采用反相放大器配置的闭环运算放大器。

为了巩固我们的数学知识, 我们来回顾一下著名 V_{OUT}/V_{IN} 的由来。首先, 我们假设运算放大器A的开环增益无穷大。根据这一假设, 运算放大器的负输入 V_{in} 将处于地电位。在这里应用基尔霍夫定律

$$I_{IN} = \frac{V_{IN}}{R_{IN}}, I_{fb} = -\frac{V_{OUT}}{R_f} \quad (1)$$

将其映射到 V_{OUT} 和 V_{IN} , 我们得到增益或STF为

$$STF = \frac{V_{OUT}}{V_{IN}} = -\frac{R_f}{R_{IN}} \quad (2)$$

接下来, 我们放弃不切实际的无限增益假设, 在运算放大器的有限增益A下重新推导STF, 则STF如下式所示

$$STF = -\frac{R_f}{R_{IN}} \times \left(\frac{A}{\left(1 + \frac{R_f}{R_{IN}}\right) + A} \right) \quad (3)$$

在这里, 教科书通常会描述每个参数 R_{IN} 、 R_f 和A的灵敏度。在本示例中, 我们继续构建CTSD环路。

第2步: 将离散部件引入放大器

我们的ADC信号链需要数字版本的 V_{IN} 。下一步, 我们要在此电路中引入数字部件。我们没有按传统方式直接在输入信号端放置一个采样ADC, 而是尝试其他方法, 在放大器输出之后放置一个典型ADC器件来获取数字信号数据。但是, ADC的输出不能直接用作反馈, 因为它必须是模拟电压。因此, 我们需要在ADC之后放置一个电压数模转换器(DAC), 如图2所示。

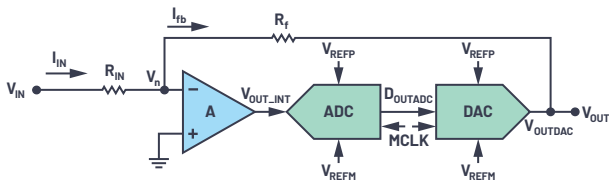


图2. 在反相放大器配置中引入ADC和DAC。

采用ADC和DAC后， V_{OUT} 仍能表示 V_{IN} ，但由于增加了数字部件，因此存在量化误差。所以，从 V_{IN} 到 V_{OUT} 的信号流没有变化。这里要注意的一点是，为了使环路功能相对于0 V保持对称，并简化数学推导，我们这样选择ADC和DAC的基准电压，如下所示

$$V_{REFP} = V_{REF}/2, \text{ and } V_{REFM} = -V_{REF}/2 \quad (4)$$

第三步：引入模拟累加器 — 积分器

图2中的闭环配置是否稳定？ADC和DAC均为在采样时钟MCLK下工作的离散元件。设计无延迟ADC或DAC一直是转换器专家无法实现的梦想。由于这些环路元件采用时序控制，通常在一个时钟沿进行输入采样，在另一个时钟沿进行处理。因此，ADC和DAC组合输出 V_{OUT} （即图2中的反馈）需要延迟1个时钟周期后才可用。

这种反馈延迟对稳定性有影响吗？我们来看看 V_{IN} 是如何传输的。为简化起见，我们假设 $V_{IN} = 1$ ， $R_{IN} = 1$ ， $R_f = 1$ ，运算放大器A的增益为100。在第一个时钟周期，输入电压为1，DAC输出反馈 V_{OUT} 或 V_{OUTDAC} 为0，并且在下一个时钟沿前不可用。当我们跟踪放大器和ADC的输入和输出反馈之间的误差时，可以看到输出一直呈指数增长，这在技术上称为失控问题。

表1. 时钟沿采样

	V_{IN}	$V_{OUT} = V_{OUTDAC}$	$V_n = (V_{OUT} + V_{IN})/2$	$V_{OUT_INT} = -A \times (V_n)$	D_{OUTADC}
第一个采样沿	1	0	0.5	-50	-50
第二个采样沿	1	-50	~-25	~2500	2500
第三个采样沿	1	2500	~-1250	~12,500	-12,500

这是因为ADC输入对放大器获得的瞬时误差产生的影响；也就是说，甚至在获得反馈之前，就能确定ADC会产生这种影响，而这是我们不希望的。如果ADC影响累积的平均误差数据，使得由于1个时钟周期延迟反馈导致的误差达到平均值，系统的输出将受限。

积分器是平均累加器的等效模拟器件。环路增益仍然很高，但仅在低频下很高，或者说在目标频率带宽下很高。这确保ADC不会出现任何可能导致失控情况的瞬时误差。因此，现在将环路中的放大器改为积分器后接ADC和DAC，如图3a所示。

第四步：简化反馈电阻

这里的目标元件是 D_{OUTADC} ，我们来重新布局环路元件，重点是让 D_{OUTADC} 作为系统的输出，如图3b所示。接下来，我们来考虑DAC和 R_f 路径的简化。为此，我们先深入了解一下DAC。DAC的作用是将 D_{IN} 数字信号转换为与基准电压成比例的等效模拟电流或电压。为了进一步扩大基准电压源连续性的优势，我们考虑采用一个基于梯形电阻的通用DAC架构，该电阻对于基准电压源没有开关负载。我们来看测温电阻DAC，²根据等式5，它将 D_{IN} 转换为DAC电流。

$$I_{DAC} = \frac{V_{REF}}{R_f} \times \frac{D_{IN}}{2^N} \quad (5)$$

其中 $V_{REF} = V_{REFP} - V_{REFM}$ ，即DAC的总基准电压。

D_{IN} = 测温代码中的数字输入

R_f = 反馈电阻；拆分为每个单位元件

N = 位数

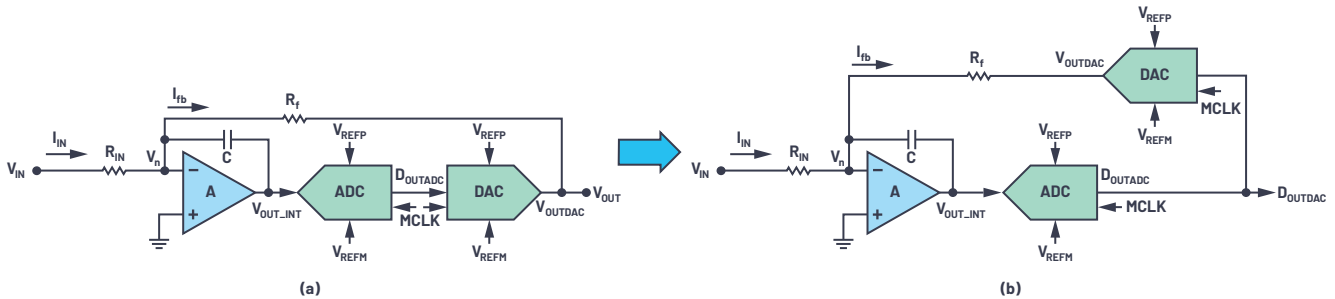


图3. (a) 将积分器引入环路。(b) 重新布局环路，重点将 D_{OUTADC} 作为输出。

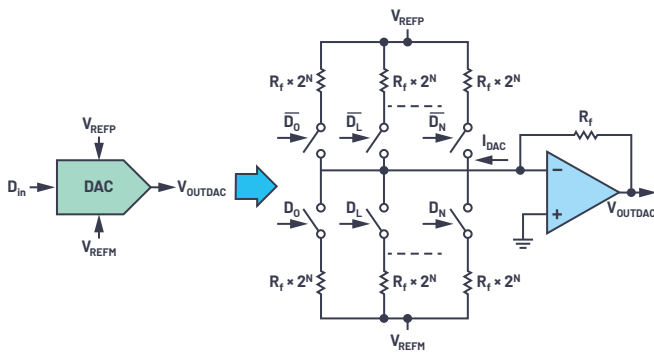


图4. 通用测温电阻DAC。

为了获得电压输出，使用跨阻配置的运算放大器进行I至V转换，³如图4所示。因此，

$$V_{OUTDAC} = I_{DAC} \times R_f \quad (6)$$

回到图3b的离散环路，此 V_{OUTDAC} 再次通过反相放大器的反馈电阻被转换回电流 I_{fb} ，即信号流为 $I_{DAC} \rightarrow V_{OUTDAC} \rightarrow I_{fb}$ 。通过数学式表示为：

$$I_{fb} = \frac{V_{OUTDAC}}{R_f} = I_{DAC} \quad (7)$$

从上面的信号流和公式可以看出，将 V_{OUTDAC} 转换为 I_{fb} 是一个冗余步骤，可以绕过。删除冗余元件，并且为了简单起见，将 $(V_{REFP} - V_{REFM})$ 表示为 V_{REF} ，我们来重新绘制环路，如图5所示。

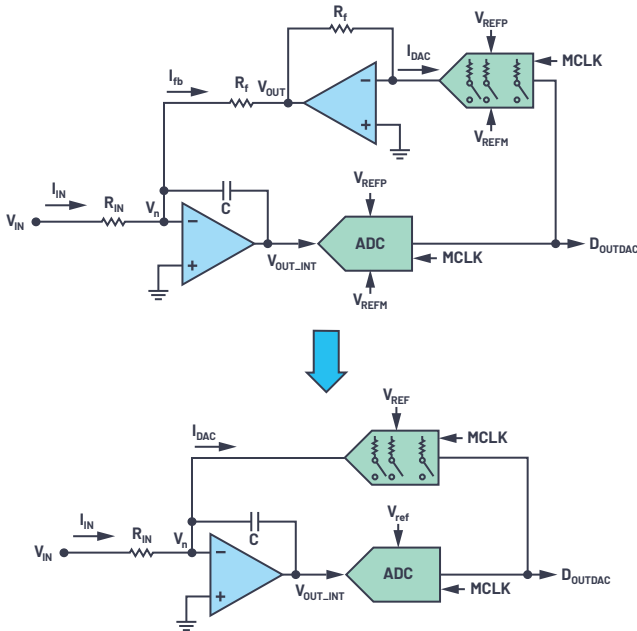


图5. 删除冗余I至V转换部分和反馈电阻。

瞧！我们构建了一个一阶 Σ - Δ 环路！将所有已知元件即反相放大器、ADC和DAC接在一起。

第5步：了解过采样

至此我们掌握了CTSD环路的构建，但尚未认识到这个特殊环路的独特之处。首先来了解过采样。ADC数据仅在有足够的采样和数字化数据点来提取或解读模拟信号信息时才有用。奈奎斯特准则建议，为了忠实地重构输入信号，ADC的采样频率至少应该是信号频率的两倍。如果我们在这个最低要求基础上继续增加更多的数据点，将会进一步减少解读误差。遵循这一思路，在 Σ - Δ 中选择的采样频率要比建议的奈奎斯特频率高得多，这称为过采样。过采样⁴将总噪声分散到更高的频率范围，有助于减少目标频带中的量化噪声，如图6所示。

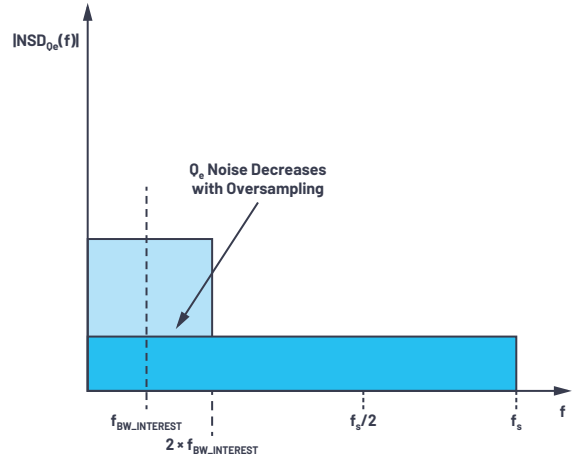


图6. 奈奎斯特采样和过采样之间的噪声谱密度比较。

第6步：了解噪声整形

当 Σ - Δ 专家使用噪声传递函数(NTF)或噪声整形等术语时，信号链设计人员不应该感到迷茫，⁴我们的下一步将帮助他们直观地了解 Σ - Δ 转换器特有的这些术语。我们来回顾一下简单的反相放大器配置以及放大器输出端产生的误差 Q_e ，如图7所示。

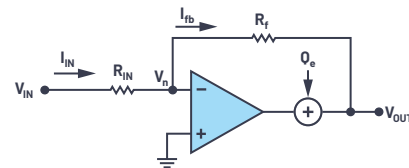


图7. 反相放大器配置中产生误差。

此误差在输出端的贡献因素可量化为

$$V_{OUT} = \frac{Q_e}{A \left(1 + \frac{R_f}{R_{IN}} \right)} \quad (8)$$

从数学公式可以看出，误差 Q_e 由放大器的开环增益衰减，这再次表明了闭环的优势。

这种对闭环优势的理解可以延伸到CTSD环路中ADC的量化误差 Q_e ，此误差是由于积分器输出端连续信号的数字化引起的，如图8所示。

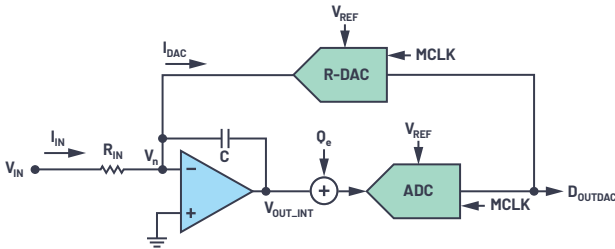


图8. Σ - Δ 环路中产生量化误差 Q_e 。

我们现在可以直观地得出结论，此 Q_e 可通过积分器衰减。积分器TF为 $H_{INTEG}(f) = 1/s \times RC = 1/2\pi fRC$ ，其相应的频域表示如图9所示。其曲线等同于在低频下具有高增益的低通滤波器曲线，增益随频率的增加呈线性减小。相应地， Q_e 的衰减变化与高通滤波器的表现类似。

此衰减因数的数学表示是噪声传递函数。让我们暂时忽略ADC中的采样器和DAC中的开关。NTF即 V_{OUTADC} / Q_e 可通过与反相放大器配置一样的方式来评估，其在频域中的变化曲线与高通滤波器曲线类似，如图10所示。

$$NTF_{int} = \frac{V_{OUTADC}}{Q_e} = \frac{sR_fC}{(1 + sR_fC)} \quad (9)$$

在目标频带中，量化噪声被完全衰减并推至“与我们无关”的高频。这就是所谓的噪声整形。

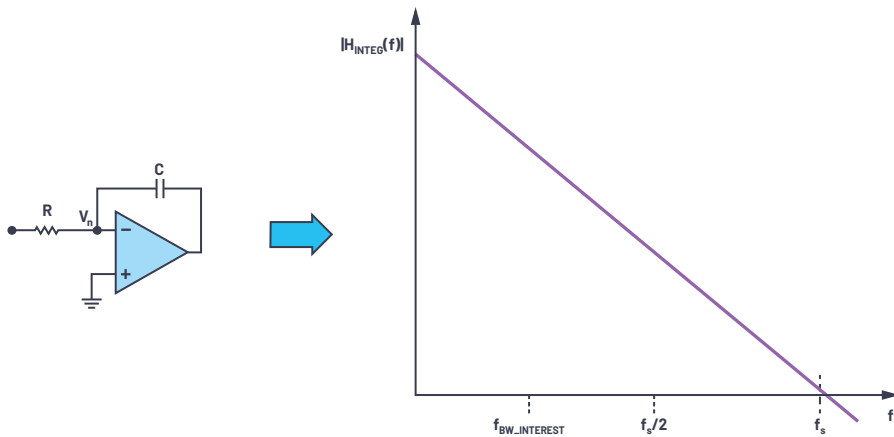


图9. 积分器传递函数。

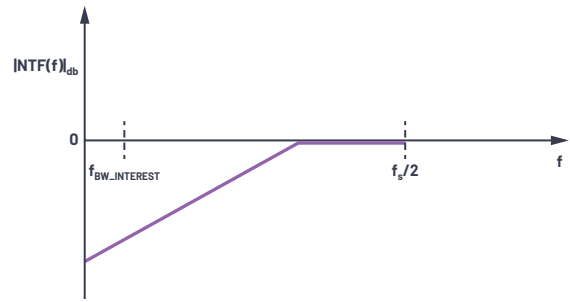


图10. 没有采样器时的噪声传递函数—具有高通滤波器曲线。

由于环路中有采样器，量化噪声整形类比保持不变。不同的是，NTF频率响应将在每个 f_s 倍数处复制图像，如图10所示，从而在采样频率的每个整数倍处产生陷波。

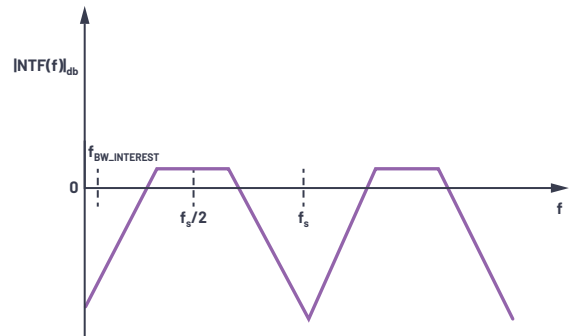


图11. CTSD ADC的噪声传递函数。

Σ - Δ 架构的独特之处在于，它将一个积分器和一个DAC环路放置在一个原始ADC(例如，4位ADC)周围，通过过采样和噪声整形大幅减少目标频率带宽中的量化噪声，使这个原始ADC变成一个16位或24位精密ADC。

这些一阶CTSD ADC的基本原理现在可以扩展到任意阶的调制器环路。采样频率、原始ADC规格和环路阶数是受ADC性能要求驱动的主要设计决策因素。

第7步：利用数字滤波器完成CTSD调制器

一般来讲，在ADC信号链中，数字化数据由外部数字控制器进行后处理，以提取任何信号信息。我们现在知道，在 $\Sigma\text{-}\Delta$ 架构中，将对信号进行过采样。如果将此过采样数字数据直接提供给外部控制器，就需要处理大量冗余数据。这会导致数字控制器设计中的功率和电路板空间成本开销过大。因此，在数据提供给数字控制器之前，在不影响性能的情况下，应有效地降低数据采样。此过程称为抽取，由数字抽取滤波器完成。图11所示为具有片内数字抽取滤波器的典型CTSD调制器。

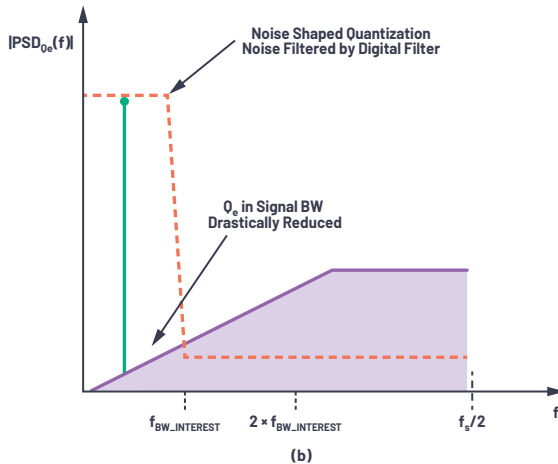
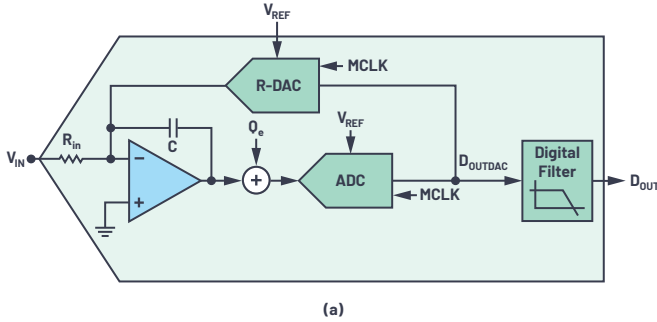


图12. (a) 从模拟输入到数字输出的CTSD ADC调制器环路的方框图。(b) 调制器输出端和数字滤波器输出端的输入信号的频谱表示。

图12b所示为带内模拟输入信号的频率响应。在调制器的输出端，我们看到对量化噪声进行噪声整形后，目标频带中的量化噪声大幅降低。数字滤波器有助于衰减超出此目标频率带宽的整形后噪声，这样最终的数字输出 D_{OUT} 将处于奈奎斯特采样速率。

第8步：了解CTSD ADC的时钟灵敏度

现在，我们知道CTSD ADC如何保持输入信号的连续完整性，这大大简化了信号链的设计。此架构也有一些限制，主要是处理采样时钟MCLK。CTSD调制器环路的工作原理是累积 I_{IN} 和 I_{DAC} 之间的误差电流。此积分值中的任何误差都会导致环路中的ADC对此误差进行采样，并在输出中反映出来。对于我们的一阶积分器环路，在恒定 I_{IN} 和 I_{DAC} 的 T_s 采样时间段的积分值表示为

$$\delta V_{out_{integ}} = \frac{T_s}{RC} \times (I_{IN} - I_{DAC}) \quad (10)$$

对于0输入，会影响此积分误差的参数包括

- ▶ MCLK频率：如等式10所示，如果MCLK频率缩放，控制积分斜率的RC系数也需要重新调整以得到相同的积分值。这意味着CTSD调制器针对固定的MCLK时钟频率进行调谐，无法支持变化的MCLK。
- ▶ MCLK抖动：DAC代码以及 I_{DAC} 会改变每个时钟时间段 T_s 。如果 I_{DAC} 时间段随机改变，平均积分值就会不断变化，如图13所示。因此，采样时钟时间段中以抖动形式出现的任何误差都会影响调制器环路的性能。

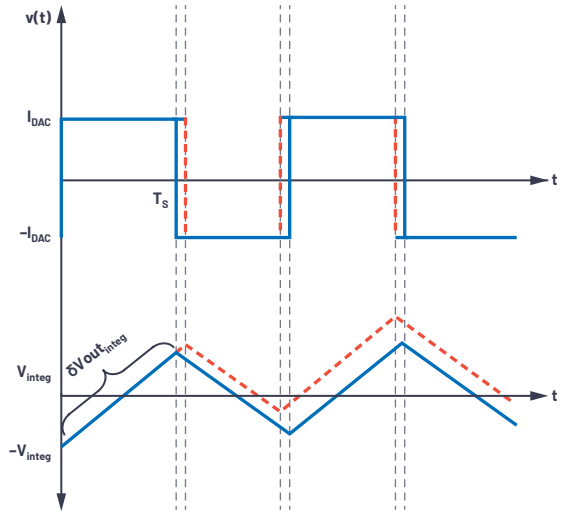


图13. CTSD调制器的时钟灵敏度。

出于上述原因，CTSD ADC对MCLK的频率和抖动敏感。⁵但是，ADI已经找到了解决这些误差问题的方法。例如，生成精确的低抖动MCLK并在系统中传送到ADC的挑战，可以通过在ADC附近使用一个低成本的本地晶体振荡器来解决。固定采样频率周围的误差问题已通过使用创新的异步采样速率转换(ASRC)解决，该转换无需考虑固定采样MCLK，可以为数字控制器提供独立可变的数字输出数据速率。本系列后续文章将详细介绍更多相关信息。

第9步：瞧！一切准备就绪，可以向伙伴们解释CTSD概念了！

第1部分强调了CTSD ADC的某些信号链优势，而第2部分重点介绍从第1步到第6步使用闭环运算放大器配置概念构建调制器环路的见解。图11a也有助于我们看清这些优势。

CTSD ADC的输入阻抗等同于反相放大器的输入阻抗，它是电阻性的，且易于驱动。通过使用创新技术，使得调制器环路的DAC所使用的基准电压源也成为电阻性。ADC的采样器位于积分器之后，并非直接放在输入端，从而可实现对目标频带之外干扰源的固有混叠抑制。在本系列接下来的几篇文章中，我们将深入探讨这些优势及其对信号链的影响。在下一篇文章中，我们将首先介绍最独特的优势：固有混叠抑制。敬请关注第3部分，了解固有混叠抑制及其使用一组新的测量和性能参数实现量化的详细信息，这些参数首次通过基于CTSD架构的AD4134引入。

致谢

作者在此向Praveen Varma和Roberto Maurino致谢，感谢他们在以简化方式解释CTSD ADC技术方面提供的有益见解。



作者简介

Abhilasha Kawle是ADI公司线性和精密技术部模拟设计经理，工作地点位于印度班加罗尔。她于2007年毕业于班加罗尔印度科学理工学院，获电子设计和技术硕士学位。联系方式：abhilasha.kawle@analog.com。

参考资料

- ¹ Hank Zumbahlen. “微型教程MT-213：反相放大器。” ADI公司，2013年2月。
 - ² Walt Kester. “MT-014教程：基本DAC架构I：DAC串和温度计(完全解码)DAC。” ADI公司，2009年。
 - ³ Luis Orozco. “可编程增益跨阻放大器使光谱系统的动态范围达到最大。” 《模拟对话》，第47卷第2期，2013年5月。
 - ⁴ Walt Kester. “MT-022教程：ADC架构III： Σ - Δ 型ADC基础。” ADI公司，2009年。
 - ⁵ Pawel Czapor. “ Σ - Δ ADC时钟—不只是抖动。” 《模拟对话》，第53卷第3期，2019年4月。
- Pavan、Shanthi、Richard Schreier和Gabor C. Temes。了解 Σ - Δ 数据转换器，第2版。Wiley，2017年1月。

优化信号链的电源系统 — 第1部分：多少电源噪声可以接受？

Patrick Errgy Pasaquian, 高级应用工程师;
Pablo Perez, Jr.高级应用工程师

简介

从5G到工业应用，随着收集、传送和存储的数据越来越多，也在不断扩大模拟信号处理器件的性能极限，有些甚至达到每秒千兆采样。由于创新的步伐从未放缓，下一代电子解决方案将使解决方案体积进一步减少，电源效率持续提高，并对噪声性能提出更高的要求。

人们可能认为应当最大限度地减少或隔离各电源域(模拟、数字、串行数字和数字输入输出(I/O))中产生的噪声，以实现出色的动态性能，但追求绝对最小噪声可能会使研究的收益递减。设计人员如何知道电源的噪声性能是否足够？首先要量化器件的灵敏度，使电源频谱输出与该电源域要求匹配。知识就是力量：通过避免过度设计来节约设计时间，对设计会有很大的帮助。

本文概述如何量化信号处理链中负载的电源噪声灵敏度以及如何计算最大可接受电源噪声。还会讨论测量设置。最后，我们将讨论一些满足电源域灵敏度和现实电源噪声需求的策略。本系列的后续文章将深入详细探讨如何优化ADC、DAC和RF收发器的配电网络(PDN)。

了解并量化信号处理负载对电源噪声的灵敏度

电源优化的第一步是研究分析模拟信号处理器件对电源噪声的真正灵敏度。其中包括了解电源噪声对关键动态性能规格的影响，以及电源噪声灵敏度的表征 — 即，电源调制比(PSMR)和电源抑制比(PSRR)。

PSMR和PSRR表明是否具有好的电源抑制特性，但仅凭它们并不足以确定纹波应有多低。本文介绍如何利用PSMR和PSRR确定纹波容限阈值或最大允许电源噪声。只有确定与电源频谱输出相匹配的阈值才可能实现优化电源系统设计。如果确保电源噪声低于其最大规格值，则优化电源不会降低每个模拟信号处理器件的动态性能。

电源噪声对模拟信号处理器件的影响

应了解电源噪声对模拟信号处理器件的影响。这些影响可通过三个测量参数进行量化：

- ▶ 无杂散动态范围(SFDR)
- ▶ 信噪比(SNR)
- ▶ 相位噪声(PN)

了解电源噪声对这些参数的影响是优化电源噪声规格的第一步。

无杂散动态范围(SFDR)

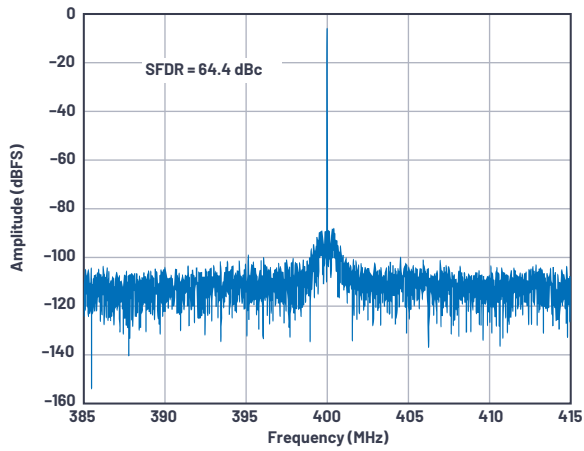
电源噪声可耦合到任何模拟信号处理系统的载波信号中。电源噪声的影响取决于其相对于频域中载波信号的强度。一种测量方法是SFDR，它代表能与大干扰信号区分开来的最小信号 — 具体来讲，就是载波信号的幅度与最高杂散信号幅度的比值，不管它在频谱的哪个位置，都得出下式：

$$SFDR = 20 \times \log \left[\frac{\text{载波信号}}{\text{杂散信号}} \right] \quad (1)$$

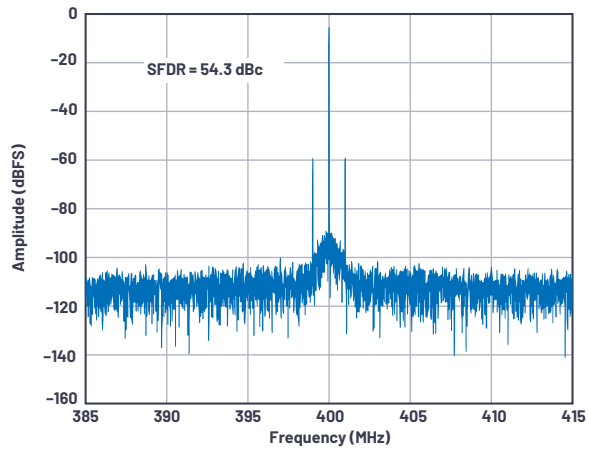
SFDR = 无杂散动态范围(dB)

载波信号 = 载波信号幅度的均方根值(峰值或满量程)

杂散信号 = 频谱中最高杂散幅度的均方根值



(a)



(b)

图1. 使用(a)干净电源和(b)噪声电源两种情况下, AD9208高速ADC的SFDR。

SFDR可以相对于满量程(dBFS)或载波信号(dBc)来指定。电源纹波耦合到载波信号可产生干扰杂散信号, 这会降低SFDR。图1比较了采用干净电源和噪声电源供电两种情况下, AD9208高速ADC的SFDR性能。在这种情况下, 当1 MHz电源纹波作为调制杂散出现在ADC的快速傅立叶变换(FFT)频谱输出的载波频率附近时, 电源噪声会使SFDR降低约10 dB。

信噪比(SNR)

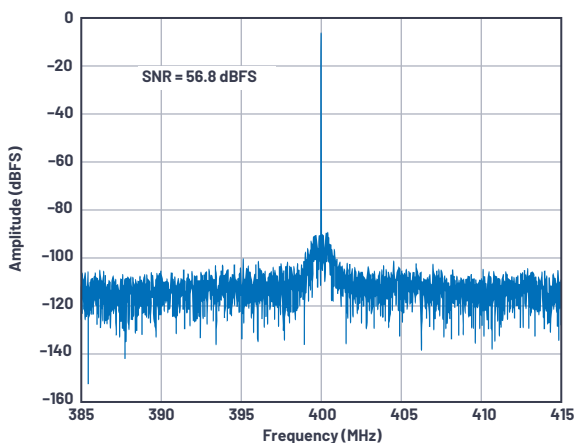
SFDR取决于频谱中的最高杂散, 而SNR则取决于频谱内的总噪声。SNR限制模拟信号处理系统识别低振幅信号的能力, 并且理论上受系统中转换器分辨率的限制。SNR在数学上定义为载波信号电平与所有噪声频谱分量(前五次谐波和直流除外)之和的比值, 其中:

$$SNR = 20 \times \log \left[\frac{\text{载波信号}}{\text{杂散信号}} \right] \quad (2)$$

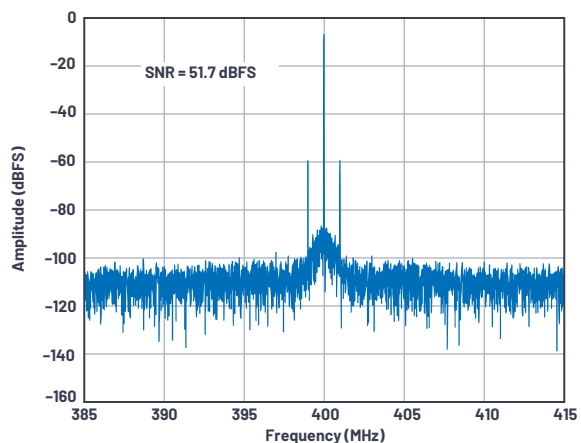
SNR = 信噪比(dB)

载波信号 = 载波信号的均方根值(峰值或满量程)

频谱噪声 = 除前五次谐波之外的所有噪声频谱分量的均方根和



(a)



(b)

图2. 使用(a)干净电源和(b)噪声电源两种情况下, AD9208高速ADC的SNR。

噪声电源通过在载波信号中耦合并在输出频谱中添加噪声频谱分量, 可降低SNR。如图2所示, 当1 MHz电源纹波在FFT输出频谱中产生频谱噪声分量时, AD9208高速ADC的SNR从56.8 dBFS降低到51.7 dBFS。

相位噪声(PN)

相位噪声是衡量信号频率稳定性的参数。理想情况下, 振荡器应能够在一定时间段内产生一组特定的稳定频率。但是在现实世界中, 信号中总是存在一些小的干扰幅度和相位波动。这些相位波动或抖动分布在频谱中的信号两侧。

相位噪声可采用多种方式定义。在本文中, 相位噪声定义为单边带(SSB)相位噪声, 这是一种常用定义, 其使用载波信号偏移频率的功率密度与载波信号总功率的比值, 其中:

$$SSB PN = 10 \times \log \left[\frac{\text{边带功率密度}}{\text{载波功率}} \right] \quad (3)$$

SSB PN = 单边带相位噪声(dBc/Hz)

边带功率密度 = 载波信号偏移频率下每1 Hz带宽的噪声功率(W/Hz)

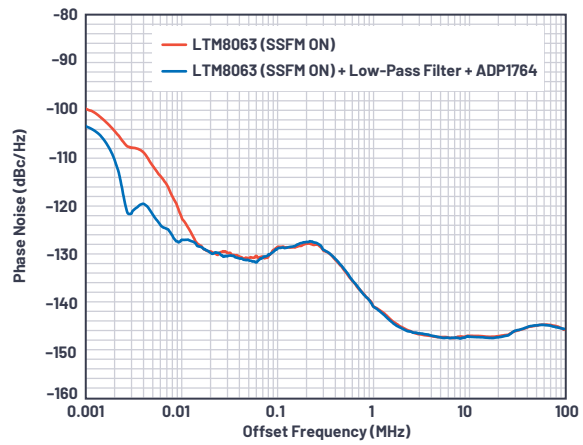
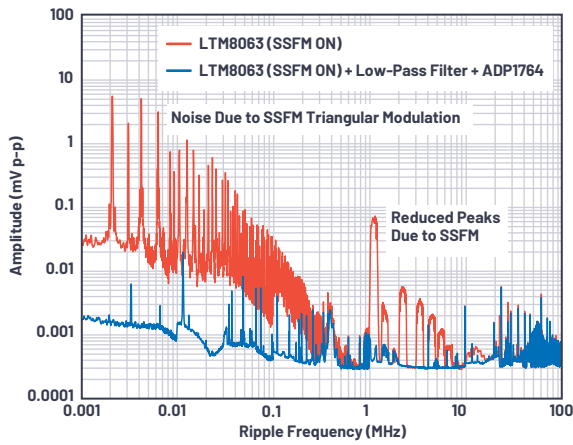


图3. (a) 输出噪声量有显著差异的两个不同电源。(b) 分别由这两个电源供电时, ADR9009产生的相位噪声性能。

载波功率 = 总载波功率(W)

对于模拟信号处理器件, 通过时钟电源电压耦合到器件时钟中的电压噪声会产生相位噪声, 进而影响内部本振(LO)的频率稳定性。这扩大了频谱中LO频率的范围, 增加了与载波相对应的偏移频率下的功率密度, 从而增加了相位噪声。

图3比较了由两个不同电源供电时ADRV9009收发器的相位噪声性能。图3a显示两个电源的噪声频谱, 图3b显示产生的相位噪声。两个电源都基于采用展频(SSFM)的LTM8063 μ Module[®] 稳压器。SSFM的优势在于, 通过将基频分布在一定范围内, 可改善转换器的基波开关频率及其谐波的噪声性能。从图3a中可以看出这一点 — 注意在1 MHz及其谐波处具有相对较宽的噪声峰值。需要权衡考量的一点是, SSFM的三角波调制频率会产生低于100 kHz的噪声 — 注意峰值从2 kHz左右开始。

备用电源添加一个低通滤波器以抑制高于1 MHz的噪声, 添加一个ADP1764低压差(LDO)后置稳压器以减少整体本底噪声, 特别是低于10 kHz的噪声(主要是SSFM产生的噪声)。由于额外滤波, 整体电源噪声获得改善, 从而增强了10 kHz偏移频率以下的相位噪声性能, 如图3b所示。

模拟信号处理器件的电源噪声灵敏度

负载对电源纹波的灵敏度可以通过两个参数来量化:

- ▶ 电源抑制比(PSRR)
- ▶ 电源调制比(PSMR)

电源抑制比(PSRR)

PSRR表示器件在一定频率范围内衰减电源引脚噪声的能力。通常, 有两种类型的PSRR: 静态(直流)PSRR和动态(交流)PSRR。直流PSRR用于衡量直流电源电压变化引起的输出失调变化。这一点几乎无需关注, 因为电源系统应该会为负载提供稳定调节的直流电压。另一方面, 交流PSRR表示器件在一定频率范围内抑制直流电源中交流信号的能力。

交流PSRR通过在器件的电源引脚注入正弦波信号, 并观察在注入频率下出现在数据转换器/收发器输出频谱本底噪声上的误差杂散来确定(图4)。交流PSRR定义为测得的注入信号幅度与输出频谱上相应的误差杂散幅度之比, 其中:

$$AC_{PSRR}(dB) = 20 \log \left[\frac{\text{注入纹波}}{\text{误差杂散}} \right] \quad (4)$$

误差杂散 = 注入纹波引起的输出频谱中的杂散幅度

注入纹波 = 在输入电源引脚处耦合并测量的正弦波幅度

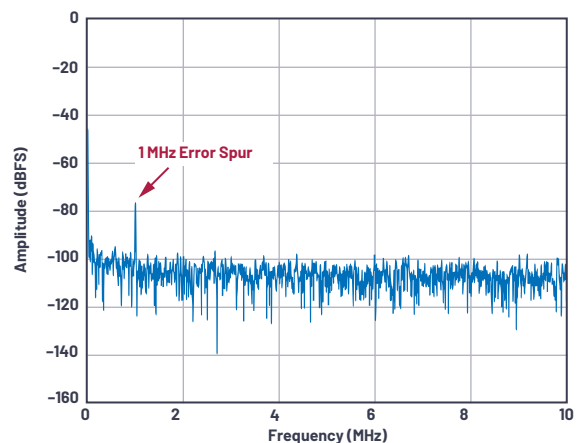


图4. 电源纹波引起的模拟信号处理器件输出频谱中的误差杂散。

图5所示为典型PSRR设置的方框图。以AD9213 10 GSPS高速ADC为例, 在1.0 V模拟电源轨上有源耦合1 MHz、13.3 mV峰峰值正弦波。在ADC的-108 dBFS FFT频谱本底噪声之上出现相应的1 MHz数字化杂散。1 MHz数字化杂散为-81 dBFS, 对应的峰峰值电压为124.8 μ V, 参考1.4 V峰峰值的模拟输入满量程范围。使用公式4计算1 MHz的交流PSRR, 得到1 MHz的交流PSRR为40.5 dB。图6显示了AD9213 1.0 V AVDD轨的交流PSRR。

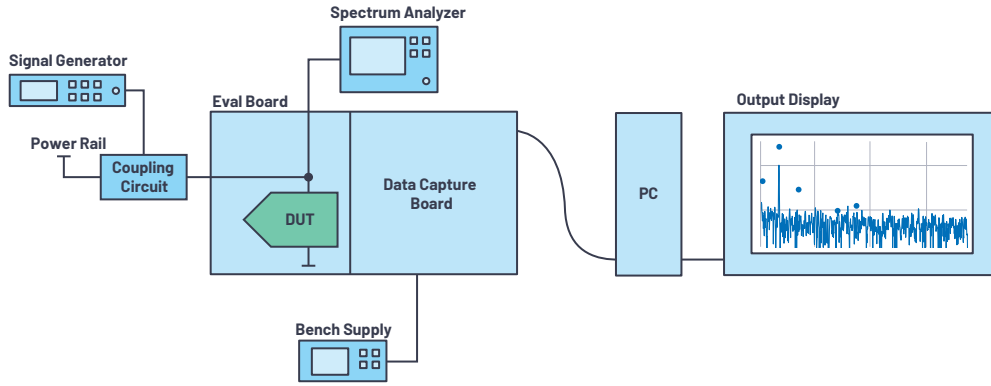


图5. PSRR/PSMR测试设置的简化方框图。

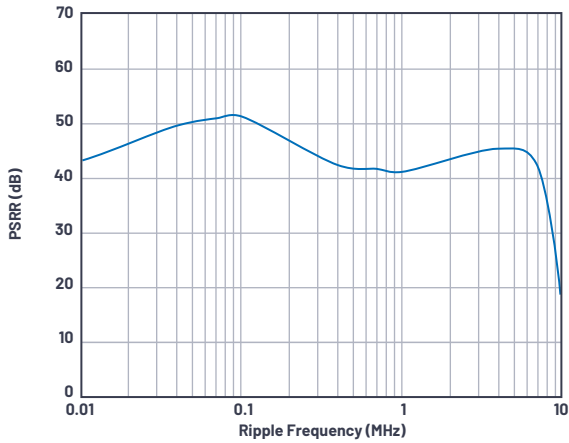


图6. 1.0 V AVDD轨的AD9213高速ADC交流PSRR。

电源调制比(PSMR)

PSMR对模拟信号处理器件的影响与PSRR不同。PSMR表示使用RF载波信号进行调制时，器件对电源噪声的灵敏度。这种效应可以看作是施加于器件的载波频率周围的调制杂散，表现为载波边带。

电源调制通过使用线路注入器/耦合电路将输入纹波信号与干净的直流电压相结合来实现。电源纹波作为正弦波信号从信号发生器注入电源引脚。调制到RF载波的正弦波产生边带杂散，其偏移频率等于正弦波频率。杂散水平受正弦波幅度和器件灵敏度的影响。简化的PSMR测试设置与PSRR的相同，如图5所示，但输出主要显示载波频率及其边带杂散，如图7所示。PSMR定义为电源注入纹波幅度与载波周围调制边带杂散幅度的比值，其中：

$$PSMR(dB) = 20 \log \left[\frac{\text{注入纹波}}{\text{调制杂散}} \right] \quad (5)$$

调制杂散 = 注入纹波引起的载波频率边带杂散幅度

注入纹波 = 在输入电源引脚处耦合并测量的正弦波幅度

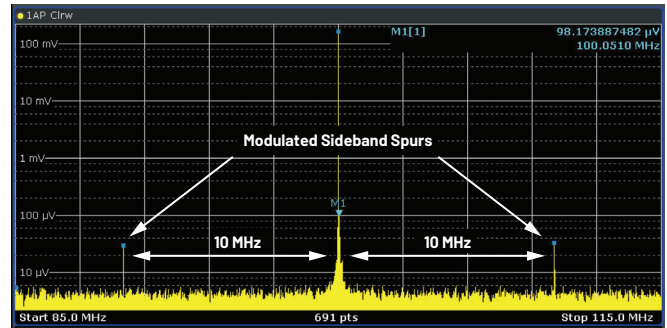


图7. 电源纹波引起的载波信号中的调制边带杂散。

假设AD9175 12.6 GSPS高速DAC在100 MHz载波下工作，在1.0 V AVDD轨上有源耦合约3.05 mV峰峰值的10 MHz电源纹波。载波信号的边带中出现相应的24.6 μV峰峰值调制杂散，偏移频率等于约10 MHz的电源纹波频率。使用公式5计算10 MHz的PSMR，得到41.9 dB。图8显示通道DAC0在各种载波频率下的AD9175 1.0V AVDD轨PSMR。

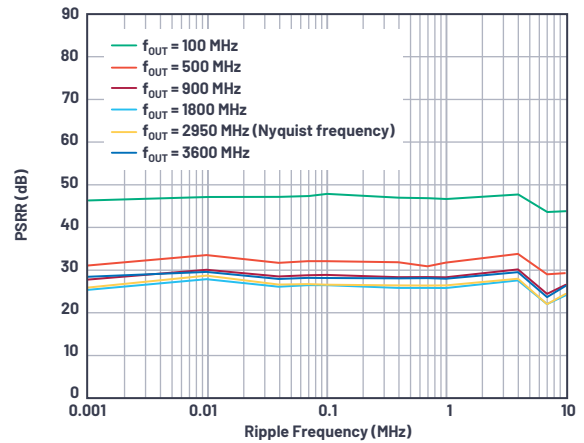


图8. 1.0 V AVDD轨(通道DAC0)的AD9175高速DAC PSRR。

确定最大允许电源纹波

PSMR可与受电器件的基准阈值相结合，用于确定模拟信号处理器件的每个电源域的最大允许电压纹波。基准阈值本身可以是几个值之一，代表器件可容忍而不会显著影响其动态性能的允许杂散电平(由电源纹波引起)。此杂散电平可以是无杂散动态范围(SFDR)，最低有效位(LSB)的百分比或输出频谱本底噪声。公式6显示最大允许输入纹波(V_{R_MAX})与PSMR和各器件测得的本底噪声呈函数关系，其中：

$$V_{R_MAX} = \left[10^{\frac{PSMR}{20}} \right] \times \text{阈值} \quad (6)$$

V_{R_MAX} = 在输出频谱本底噪声中产生杂散之前各个电源轨上的最大允许电压纹波

PSMR = 目标电源轨的噪声灵敏度(dB)

阈值 = 预定义的基准阈值(本文中为输出频谱本底噪声)

例如，AD9175的输出频谱本底噪声约为1 μ V峰峰值。1800 MHz载波在10 MHz纹波下的PSMR约为20.9 dB。使用公式6，器件电源引脚中可容忍而不会降低其动态性能的最大允许纹波为11.1 μ V峰峰值。

图9显示LT8650S降压型Silent Switcher® 稳压器(带和不带输出LC滤波器的)频谱输出和AD9175 1.0 V AVDD轨的最大允许纹波的组合结果。稳压器频谱输出包含基波开关频率及其谐波处的杂散。直接为AD9175供电的LT8650S产生超过最大允许阈值的基频，导致在输出频谱中产生调制边带杂散，如图10所示。只需添加一个LC滤波器就可以将开关杂散降至最大允许纹波以下，如图11所示。

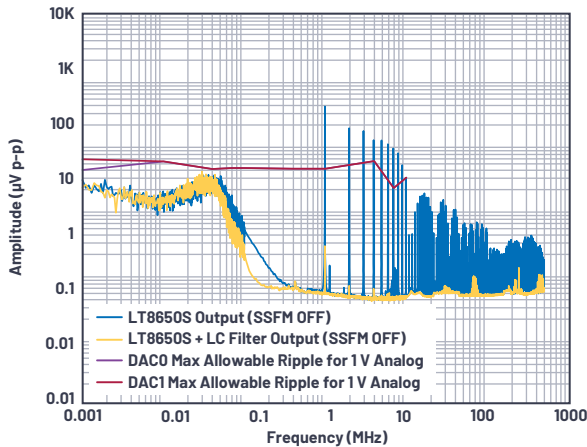


图9. LT8650S在1.0 V AVDD轨上的电源频谱输出和最大允许电压纹波的关系。

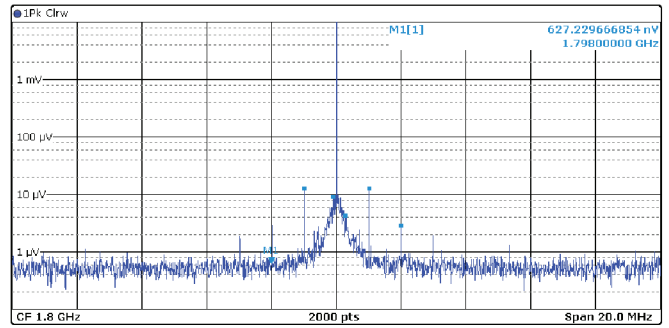


图10. AD9175 DAC0在1800 MHz载波频率下的输出频谱(使用LT8650S DC-DC Silent Switcher转换器直接输出到AVDD轨)。

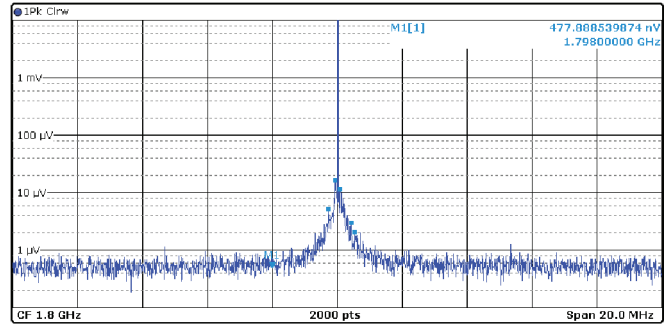


图11. AD9175 DAC0在1800 MHz载波频率下的输出频谱(使用带LC滤波器电源的LT8650S)。

结论

高速模拟信号处理器件出色的动态性能很容易被电源噪声削弱。为了避免系统性能下降，必须充分了解信号链对电源噪声的灵敏度。这可通过设定最大允许纹波来确定，最大允许纹波对于配电网(PDN)设计至关重要。知道最大允许纹波阈值后，就可以采用各种方法来设计优化电源。如果最大允许纹波具有良好的裕度，则PDN不会降低高速模拟信号处理器件的动态性能。

参考资料

Delos, Peter, “电源调制比揭秘：PSMR与PSRR有何不同？” ADI公司，2018年12月。

Delos, Peter和Jarrett Liner, “改进的DAC相位噪声测量支持超低相位噪声DDS应用。” 模拟对话，第51卷第3期，2017年8月。

“数据转换基本指南。” ADI公司

Umesh Jayamohan, “为GSPS或RF采样ADC供电：开关与LDO” ADI公司，2015年11月。

Limjoco, Aldrick, Patrick Errgy Pasaquian和Jefferson Eco, “Silent Switcher μ Module稳压器为GSPS采样ADC提供低噪声供电，并节省一半空间。” ADI公司，2018年10月。

Naeem, Naveed和Samantha Fontaine, “带内部旁路电容的数据采集 μ Module器件的PSRR特性表征。” 《模拟对话》，第54卷第3期，2020年7月。



作者简介

Pablo Perez Jr.于2019年5月加入ADI公司，担任ADEF高级应用工程师。他的工作经验包括修改和评估不同应用领域(工业、电信、医疗、军事)的标准开关模式电源，以及线性稳压器、开关稳压器和电源管理IC的设计验证和样本评估。Pablo毕业于菲律宾奎松省卢塞纳市的Manuel S. Enverga University Foundation, Inc.，获得电子与通信工程学士学位。联系方式：pablo.perezjr@analog.com。



作者简介

Patrick Errgy Pasaquian已在ADI公司工作七年。他于2014年加入ADI，目前担任航空航天和防务(ADEF)电源系统部电源应用工程师。他曾担任过应用开发、设计评估、ADEF信号链连接电源和EngineerZone及Who's Who的客户支持等工程职务。他撰写过多篇论文并在ADI综合技术大会(GTC)、亚洲技术研讨会(ATS)和ADI菲律宾技术研讨会(ADTS)上展示了多个项目。他毕业于菲律宾伊洛里奥市菲律宾中部大学，获电子工程学士学位。联系方式：patrick.pasaquian@analog.com。

非常见问题第187期： 如何选择合适的电路保护

Diarmuid Carey, 应用工程师

问题：

有什么有源电路保护方案可以取代TVS二极管和保险丝？



答案：

可以试试浪涌抑制器。

摘要

所有行业的制造商都在不断推动提升高端性能，同时试图在此类创新与成熟可靠的解决方案之间达成平衡。设计人员面临着平衡设计复杂性、可靠性和成本这一困难任务。以一个电子保护子系统为例，受其特性限制，无法进行创新。这些系统保护敏感且成本高昂的下游电子器件(FPGA、ASIC和微处理器)，这些器件都要求保证零故障。

许多传统的可靠保护解决方案(例如二极管、保险丝和TVS器件)能够保持待保护状态，但它们通常低效、体积庞大且需要维护。为了解决这些不足，有源智能保护IC应运而生，它们能够达到传统方法的保护要求，而且从有些方面来看，它们更加可靠。但是器件种类繁多，所以，设计人员面临的最困难的问题就是选择合适的解决方案。

为了帮助设计人员缩小选择范围，本文对传统保护方法和ADI保护产品系列进行比较，以展示这些产品和建议应用的特性。

简介

随着所有行业中电子器件的使用数量不断增加，且成本高昂的FPGA和处理器的处理功能不断扩展，人们越来越要求对这些在严苛环境中运行的器件提供保护。此外，还需要它们体积小、可靠性高，能够快速响应过压和过流浪涌事件。本文探讨了许多应用面临的挑战，以及为何需要保护，比较了传统的保护方法和更新的可替代解决方案，后者具有更高的精度、可靠性和设计灵活性。

为何考虑使用电压和电流保护器件？

汽车、工业、通信和航空电子系统需经受一系列电源浪涌，例如图1所示的这些。在这些市场中，许多行业规范都对瞬态事件进行了定义。例如，ISO 7637-2和ISO 16750-2规范定义了汽车瞬态，详细概述了预期瞬变，以及确保持续验证这些瞬变的测试步骤。

浪涌事件的类型和所含能量会因电子器件的使用区域而异；电路可能遭受过压、过流、反向电压和反向电流等情况。最后，如果要直接经受图1所示的这些瞬变条件，许多电路都无法维持，更不用说独立运行，所以设计人员必须考虑所有输入情况，并采取可以保护电路不受电压和电流浪涌影响的机制。

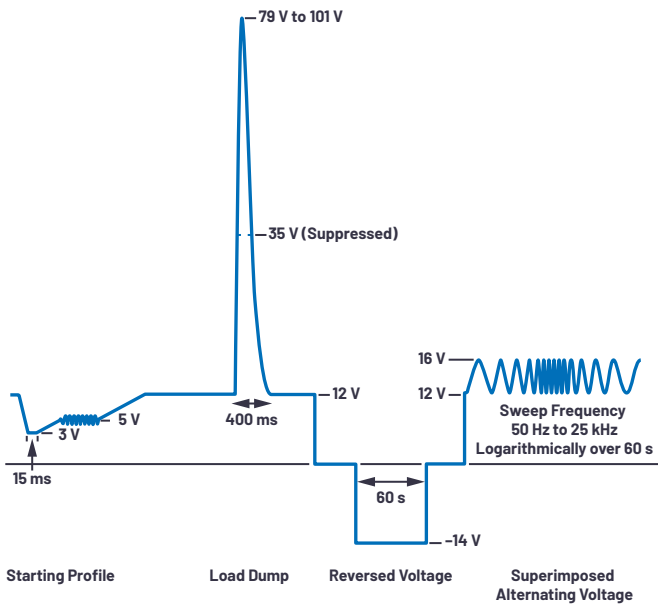


图1. 一些更严格的ISO 16750-2测试的概述。

设计挑战

有很多不同原因会引发电子系统中出现瞬变电压和电流，但有些电子环境比其他环境更容易发生瞬变事件。众所周知，汽车、工业和通信环境中的应用会经受有潜在危害的事件，对下游电子器件造成严重损坏，但浪涌事件并不只是在这些环境下发生。其他可能需要浪涌保护电路的情况包括：需要高压或大电流电源的应用、采用热插拔电源连接的应用，或者包含电机或可能受到雷击感应瞬变影响的系统。高压事件持续的时间不等，从几微秒到几百毫秒都有可能，所以必须采用灵活可靠的保护机制来确保下游成本高昂的电子器件的使用寿命。

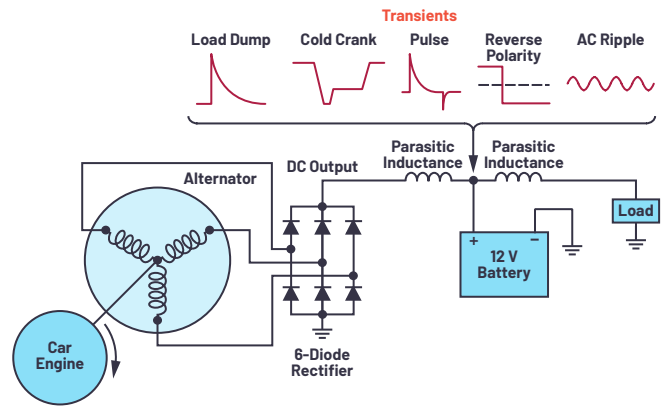
例如，当交流发电机(为电池充电)与电池暂时断开时，会发生汽车负载突降。发生这种断开后，交流发电机提供的满负荷充电电流会传输至电源轨，使电源轨电压在数百毫秒内攀升到极高(>100 V)水平。

有多种原因可能导致通信应用发生浪涌，从热插拔通信卡到可能受到雷电影响的户外装置，涉及多种应用。大型设施中使用的长电缆也可能产生感应电压尖峰。

最终，设计人员必须充分了解器件的使用环境，并满足既有的规范要求，这有助于他们综合考虑所有故障类型以采用最佳的保护机制，使其可靠且不会产生干扰，但允许下游电子器件能够在安全电压范围内运行，且保证最低中断。

传统保护电路

在需要考虑如此多种不同类型的电子问题的情况下，电子工程师应如何保护敏感的下游电子器件？



传统保护方法基于多个器件提供保护，而不是基于一个，例如，采用瞬变电压抑制器(TVS)提供过压保护，采用线路保险丝提供过流保护，采用串联二极管提供反向电池/电源保护，以及混合使用电容和电感来过滤更低的电能尖峰。虽然离散配置可以满足既定的规范要求(保护下游电路)，但它实施起来很麻烦，需要进行多次选择来确定合适的滤波规格。

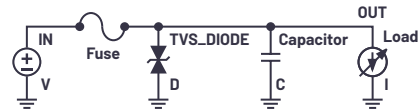


图2. 传统保护器件。

我们来仔细了解一下这些器件，弄清楚这种实施方法的优点和缺点。

TVS—瞬变电压抑制器

这是一种相对简单的器件，可以保护下游电路不受电源上的高压尖峰影响。它们可以分为几种不同的类型，具有广泛的特性(表1按响应时间从最短到最长的顺序排列)。

表1. 不同瞬变电压抑制器件的响应时间

瞬变电压抑制器件	响应时间
TVS二极管	~1 ps
金属氧化物压敏电阻(MOV)	~1 ns
雪崩二极管/齐纳二极管	<1 μs
气体放电管(GDT)	<5 μs

虽然它们的结构和特性各异，但使用方式是相似的：当电压超过器件阈值时，分流多余的电流。TVS可以在极短时间内将输出电压固定在额定水平。例如，TVS二极管的响应时间可以低至皮秒，GDT的响应时间则可能有几微秒，但可以处理更大的浪涌。

图3显示了用于保护下游电路的TVS二极管的简单配置。在正常工作条件下，TVS具有高阻抗，输入电压会直接传输至输出。当输入端出现过压时，TVS开始导电，并将多余的电能分流到接地(GND)，从而箝位下游负载电压。电源轨电压升高到典型操作值以上，但被箝位到保证下游电路可以安全运行的值。

虽然TVS器件在抑制极高电压偏移方面很有效，但在遭受持续过压时，也不能避免损坏，因此需要定期监测或更换。另一个担心是TVS可能短路，导致输入电源断开。此外，根据涉及的电能大小，它们的尺寸可能需要很大才能满足裕量要求，导致解决方案的尺寸相应增大。即使TVS的尺寸正确，下游电路也必须能够处理箝位电压，对下游的电压额定要求也随之增高。

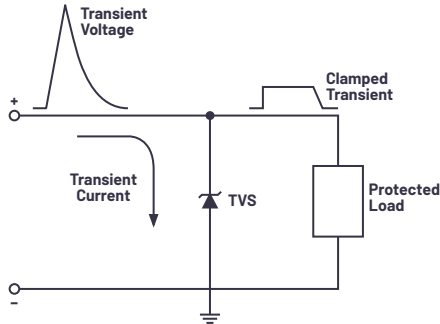


图3. 用传统的TVS解决方案保护电压浪涌。

线路保险丝

过流保护可以使用常见的线路保险丝实现，其熔断额定值高于标称值，例如，比最大额定电流高20%(百分比取决于电路类型以及预期的典型操作负载)。当然，保险丝最大的问题是一旦烧断就必须更换。保险丝设计相当简单，但维护相对复杂，特别是在难以接触的位置，所以后期还是会耗费时间和成本。使用备用保险丝(例如可复位保险丝)可以减少维护要求，它会在高于标称电流的电流流经器件时，利用正温度系数打开电路(电流增高之后会令温度增高，导致电阻急剧升高)。

除维护问题外，保险丝最大的问题之一是其反应时间，根据所选保险丝的类型，反应时间可能有很大差异。我们可以使用快速熔断保险丝，但熔断时间(打开电路的时间)仍然可能需要几百微秒到毫秒，所以电路设计人员必须考虑这些时间段内释放的电能大小，保证下游电子器件不被损坏。

串联二极管

在某些环境中，电路可能断开，然后重新连接—例如，在电池供电环境中。在这种情况下，电源重新连接时不能保证极性是正确的。我们可以通过电路的正极供电线上增加一个串联二极管来实现极性保护。虽然这种简单的增加可以有效防止反向极性，但串联二极管的压降会导致相应的功率损耗。在电流相对较低的电路中，这种取舍很小，但对于许多现代化的高电流电轨，则需要采用另一种解决方案。图4是对图3的更新，显示利用TVS和增加的串联二极管来防止出现反向极性连接。

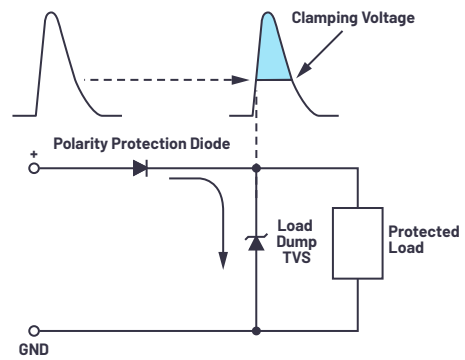


图4. 增加串联二极管可以防止反向极性连接，但在大电流系统中，二极管的压降可能是一大问题。

使用电感和电容的滤波器

目前所讨论的无源解决方案都是通过限制幅度，但通常只能捕捉更大的幅度，会放过更小的一些尖峰。这些较小的瞬变仍然会对下游电路造成损坏，因此需要使用额外的无源滤波器来平缓尖峰。这可以通过使用离散电感和电容来实现，通过调整它们的尺寸，让它们衰减超出频率范围的电压。在设计之前，需要对滤波器设计进行测试和测量，确定它们的尺寸和频率，然后才能正确确定滤波器的尺寸。这种方法的缺点在于，需要考虑物料成本和面积要求(元器件的板面积和成本要达到多少才能达到滤波水平)，以及是否需要过度设计(确定元器件的公差，以能够在随时间和温度变化时提供补偿)。

使用浪涌抑制器提供有源保护

要克服所述的无源保护解决方案面临的挑战和存在的缺点，方法之一是转为使用浪涌抑制器IC。浪涌抑制器采用易于使用的控制器IC和串联N通道MOSFET，因此无需使用繁杂的分流电路(TVS器件、保险丝、电感和电容)。因为只需确定少数几个元器件的尺寸和让它们通过质量认证，所以浪涌抑制器控制器可以极大地简化系统设计。

浪涌抑制器持续监测输入电压和电流。在额定工作条件下，控制器驱动N通道MOSFET通路器件的栅极完全开启，提供一条从输入到输出的低阻抗路径。在发生过压或浪涌时(阈值由输出端的反馈网络给出)，IC调节N通道MOSFET的栅极，将MOSFET的输出电压箝位到电阻分压器设定的电平。

图5显示了浪涌抑制器配置的简化示意图，以及标称12 V电源轨上出现100 V输入浪涌时的结果。在浪涌发生期间，浪涌抑制器电路的输出被箝位到27 V。一些浪涌抑制器也使用串联感应电阻(图5中的断路器)来监测过流情况，并调整N通道MOSFET的栅极，以限制输出负载端的电流。

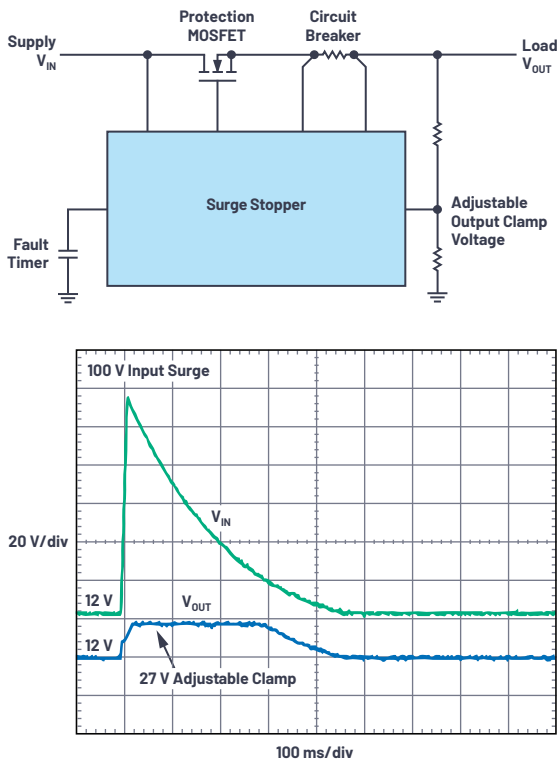


图5. 浪涌抑制器配置的详细示意图。

根据对过压事件的响应，可以将浪涌抑制器分为四大类：

- ▶ 线性浪涌抑制器
- ▶ 栅极箝位
- ▶ 开关浪涌抑制器
- ▶ 输出断开保护控制器

浪涌抑制器应基于应用进行选择，所以，我们来比较一下它们的操作和优点。

浪涌抑制器类型：线性

线性浪涌抑制器驱动串联MOSFET的方式和线性稳压器比较类似，是将输出电压限制在预先设置的安全值，并耗散MOSFET中的多余能量。为了保护MOSFET，该器件通过采用电容故障定时器来限制在高耗散区花费的时间。

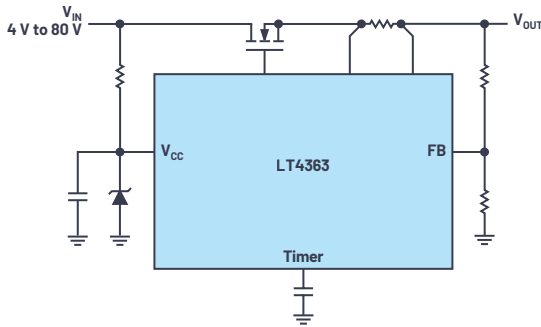


图6. LT4363线性浪涌抑制器。

浪涌抑制器类型：栅极箝位

栅极箝位浪涌抑制器利用内部或外部箝位(例如，31.5 V或50 V内部箝位，或可调的外部箝位)将栅极引脚的电压限制到这个电压

值，然后，由MOSFET的阈值电压决定输出电压限值。例如，在使用内部31.5 V栅极箝位，且MOSFET阈值电压为5 V时，输出电压限制为26.5 V。或者，外部栅极箝位允许更广泛的电压选择范围。栅极箝位浪涌抑制器的示例如图7所示。

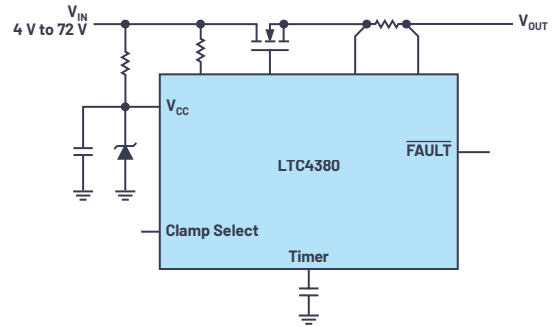


图7. LTC4380栅极箝位浪涌抑制器。

浪涌抑制器类型：开关

对于更高功率的应用，开关浪涌抑制器是一个很好的选择。与线性栅极箝位浪涌抑制器一样，开关浪涌抑制器在正常操作条件下可以充分增强调整FET，以在输入和输出之间提供一个低阻路径(最小化功率损耗)。开关浪涌抑制器和线性或栅极箝位浪涌抑制器之间的主要区别出现在检测到浪涌事件时。在浪涌事件中，开关浪涌抑制器是通过开关外部MOSFET(比较类似于开关DC-DC转换器)，将输出调节到箝位电压。

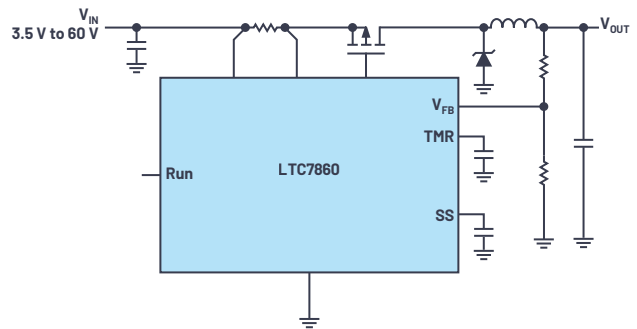


图8. LTC7860开关浪涌抑制器。

保护控制器：输出断开

保护控制器不是真正的浪涌抑制器，但它确实能停止浪涌。和浪涌抑制器一样，保护控制器监测过压和过流条件，但它不会箝位或调节输出，而是通过立即断开输出来保护下游电子器件。这种简单保护电路的布局紧凑，非常适合由电池供电的便携式应用。LTC4368保护控制器的简化示意图，以及它对过压事件的响应如图9所示。保护控制器有许多版本。

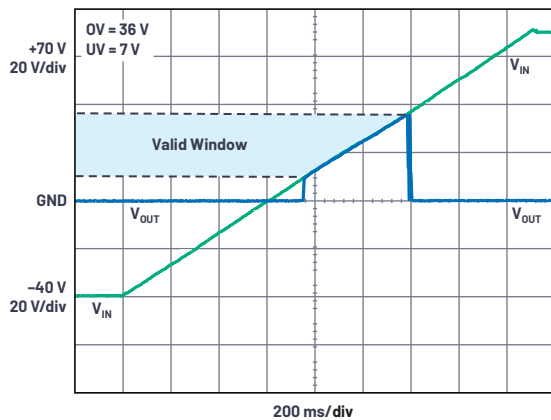
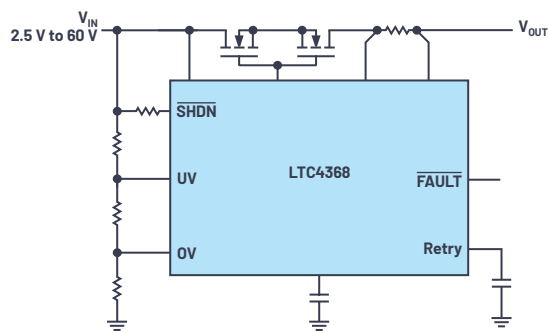


图9. LTC4368保护控制器。

保护控制器会监测输入电压，确保电压保持在OV/UV引脚的电阻分压器所配置的电压范围内，当输入电压超过这个范围时，利用背对背MOSFET断开输出，如图9所示。背对背MOSFET也可用于防止反向输入。输出端的感应电阻通过持续监测正向电流来实现过流保护，但不需要基于计时器的穿越操作。

浪涌抑制器特性

为了给您的应用选择最合适的浪涌抑制器，您需要知道有哪些可用特性，以及它们可以帮助解决哪些挑战。您可以在[参数表](#)中查找这些器件。

断开与穿越

一些应用要求在检测到浪涌事件时断开输出和输入的连接。在这种情况下，需要断开过压连接。如果您需要输出在浪涌事件发生时保持正常运行，从而最大限度减少下游电子设备的停机时间，则需要浪涌抑制器在发生浪涌时进行穿越。在这种情况下，使用线性或开关浪涌抑制器可以实现这一功能(前提是，对于拓扑和所选的FET，功率电平是合理的)。

故障定时器

实施穿越时，需要对MOSFET提供保护，以防它受到持续浪涌影响。为了确保留在FET的安全工作区(SOA)内，可以使用定时器。定时器本质上是一个接地电容。发生过压时，内部电流源开始为这个外部电容充电。电容达到一定的阈值电压时，数字故障引脚拉低，表明受时间延长的过压影响，调整管将很快关闭。如果定时器引脚电压继续上升到二级阈值，栅极引脚将拉低，以关闭MOSFET。

定时器电压的变化率随通过MOSFET的电压而变化，也就是说，电压越大，时间越短，电压越小，时间越长。这个有用特性使器件能够平稳度过短时过压事件，允许下游元器件保持运行，同时保护MOSFET不因持续时间更长的过压事件出现损坏。有些器件具有重试功能，使器件能在冷却之后再次打开输出。

过流保护

许多浪涌抑制器都能够监测电流和保护器件不受过流事件影响。这是通过监测串联感应电阻上的压降并作出适当响应来实现的。也可以通过监测和控制浪涌电流来保护MOSFET。其响应可能与过压情况类似，这是因为如果电路能够接受这种功率电平，那么它要么通过门锁断开，要么通过穿越事件来断开。

反向输入保护

浪涌抑制器具有广泛的操作能力(能够承受某些器件上高达60 V的地下电压)，所以能够提供反向输入保护。图10显示了提供反向电流保护的背对背MOSFET配置。在正常运行期间，Q2和Q1由栅极引脚开启，Q3不产生任何影响。但是，出现反向电压连接时，Q3开启，将Q2的栅极下拉至负输入并隔离Q1，以保护输出。

也可以通过可靠的器件引脚保护来实现反向输出电压保护，根据所选的器件，可以承受高达20 V的接地电压。

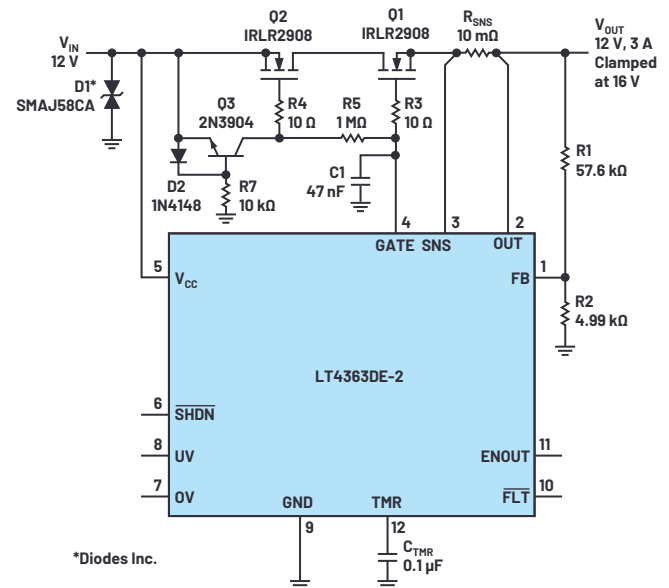


图10. LT4363反向输入保护电路。

对于需要宽输入电压范围的应用，可以使用浮动拓扑浪涌抑制器。发生浪涌事件时，浪涌抑制器IC会监控整个浪涌电压，由内部晶体管技术限制IC的电压范围。使用浮动浪涌抑制器(例如LTC4366)时，IC浮动刚好低于输出电压，为其提供更广泛的工作电压范围。电源回流线中包含一个电阻(V_{SS})，允许IC随电源电压浮动。如此，由外部元件和MOSFET的电压功能设置输入电压限值。图11显示的应用电路可以在保护后端负载时，使用极高的直流电源正常运行。

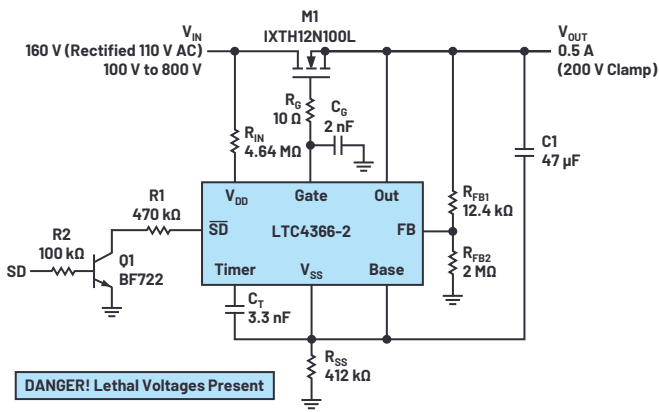


图11. LTC4366高压浮动拓扑。

为我的应用选择正确的器件

由于浪涌抑制器本身采用可靠设计，所以能从很多方面简化保护电路的设计。数据手册已显示许多可能的应用，在确定元器件尺寸时，能够提供很大帮助。最困难的部分可能是选择最适合的器件。您可以遵循以下几个步骤来缩小范围：

- ▶ 访问ADI的保护器件系列 [参数表](#)。
- ▶ 选择输入电压范围。
- ▶ 选择通道数量。
- ▶ 筛选功能，缩小可行选项的范围。

和所有产品选型一样，在查找正确的器件前，您需要了解您的系统要求，这点非常重要。一些重要的考虑因素包括：预期的电源电压和下游电子器件的电压容限(在决定箝位电压时非常重要)，以及对设计而言非常重要的一些特性。



作者简介

Diarmuid Carey是欧洲中央应用中心的应用工程师，工作地点在爱尔兰利默里克。他自2008年以来一直担任应用工程师，并于2017年加入ADI公司，为欧洲的众多市场客户提供Power by Linear产品组合的设计支持。他拥有利默里克大学计算机工程学士学位。联系方式：diarmuid.carey@analog.com。

以下是一些经过筛选的参数表示例，供大家参考。大家可以访问网站，在网站上进一步更改这些参数表，可以添加一些其他参数。

- ▶ 高压浪涌抑制器器件请参见[这里](#)。
- ▶ 具有过压断开功能的保护控制器请参见[这里](#)。

结论

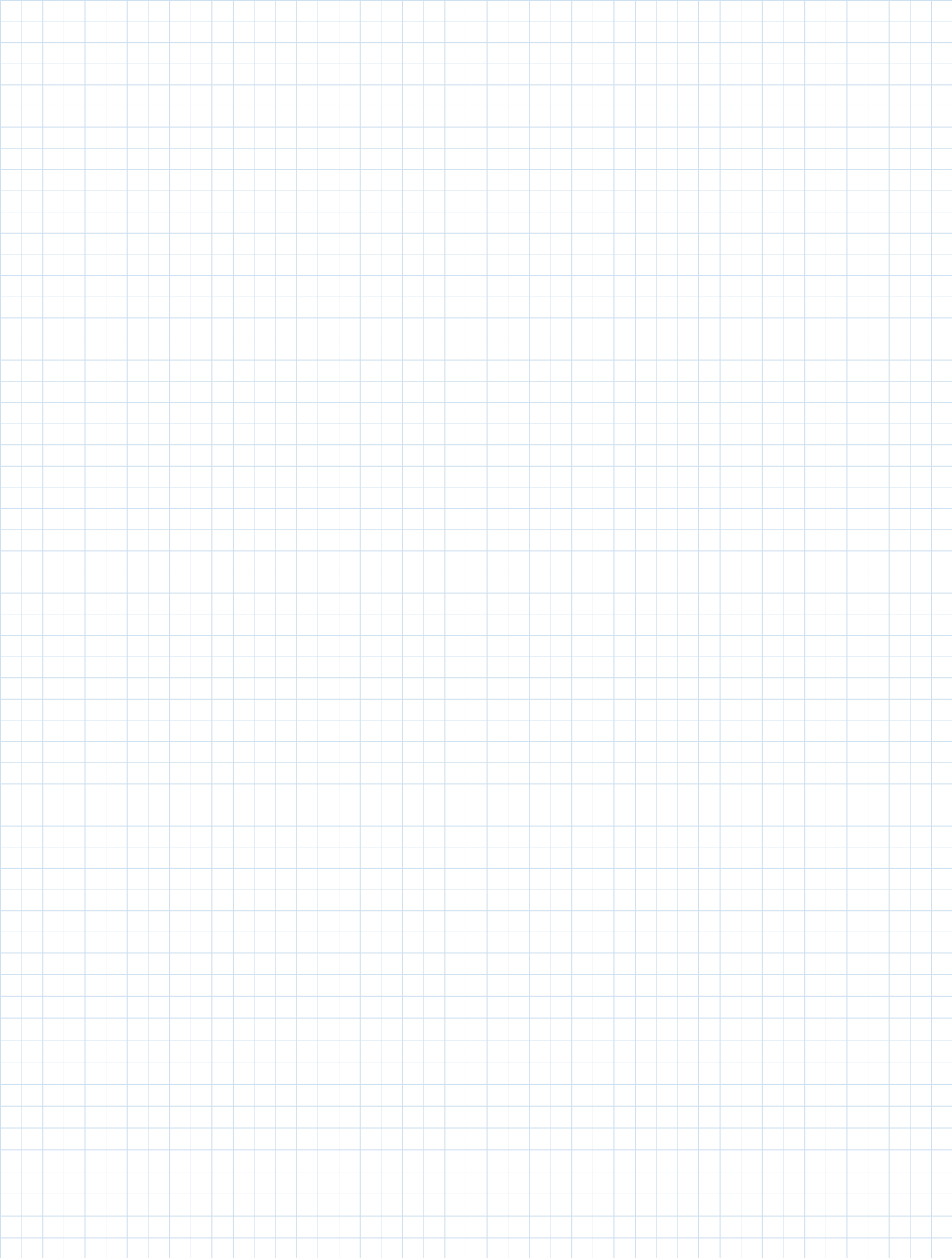
无论采用哪种类型的浪涌抑制器，基于IC的有源浪涌抑制器设计都无需使用繁杂的TVS二极管，或使用大尺寸电感和电容来进行滤波。所以，解决方案的整体面积更小，体积也更小巧。相比TVS，其输出电压箝位精度可能高出1%至2%。如此可以防止过度设计，且能够选择公差更严格的下游器件。

ADI提供的系统保护器件系列让设计人员能够采用可靠、灵活且小巧的解决方案为下游器件提供保护，尤其是对于工业、汽车、航空航天和通信设计中可能面临严苛的过压和过流事件的器件。

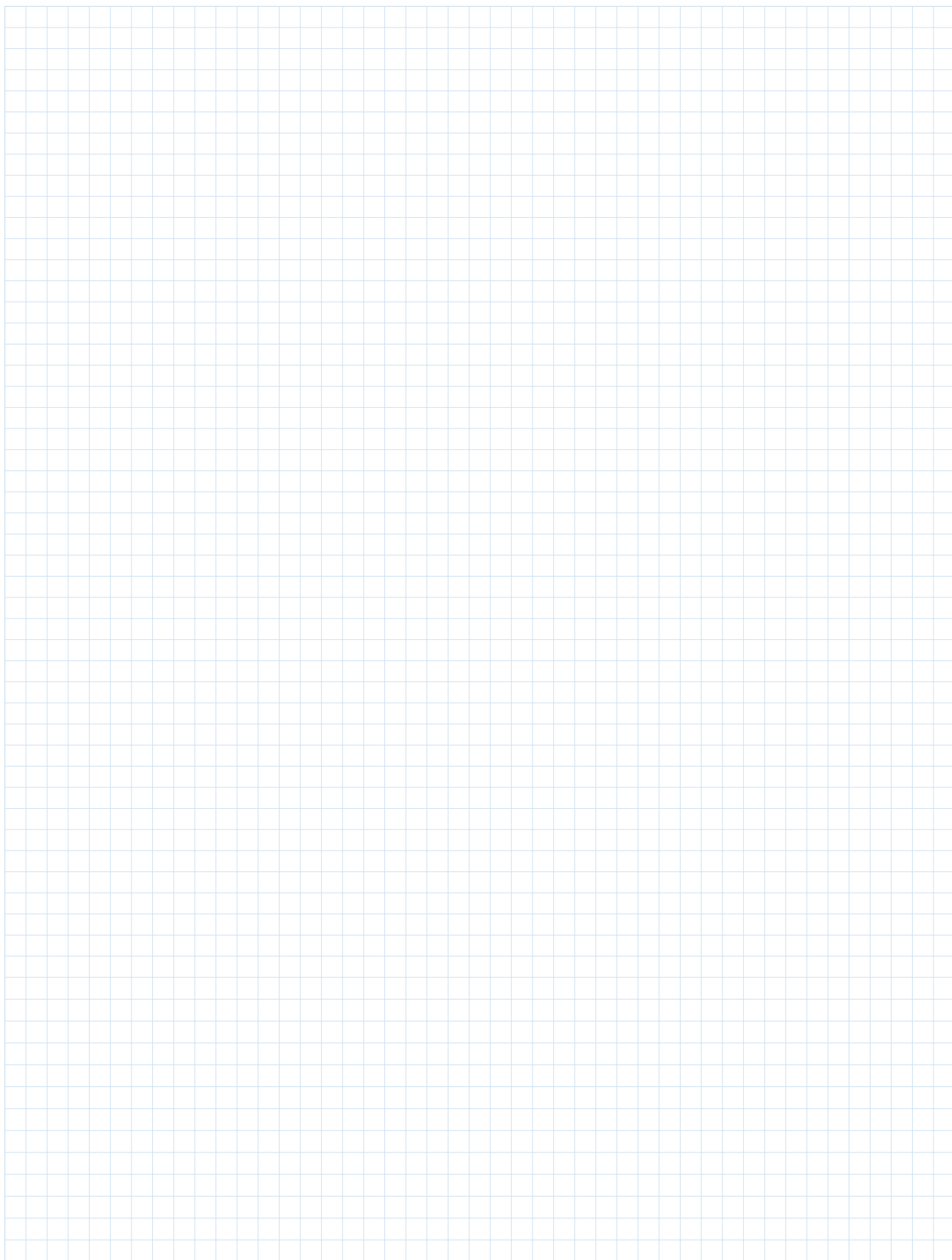
参考资料

- “AN-9768：瞬变抑制器件和原则。” Littelfuse，1998年1月。
- “Fuseology。” 乘用车解决方案目录，Littelfuse，2014年。
- Jim Kalb。“总熔断时间”技术简报，OptiFuse，2010年1月。
- David Megaw。“为汽车电子系统提供供电和保护，无开关噪声，效率高达99.9%。” 模拟对话，第54卷第1期，2020年2月。
- Wu Bin、Zhongming Ye。“用于恶劣汽车环境的全面电源系统设计占用空间极小，可节约电池电量且具有低EMI特性。” 模拟对话，第53卷第3期，2019年8月。

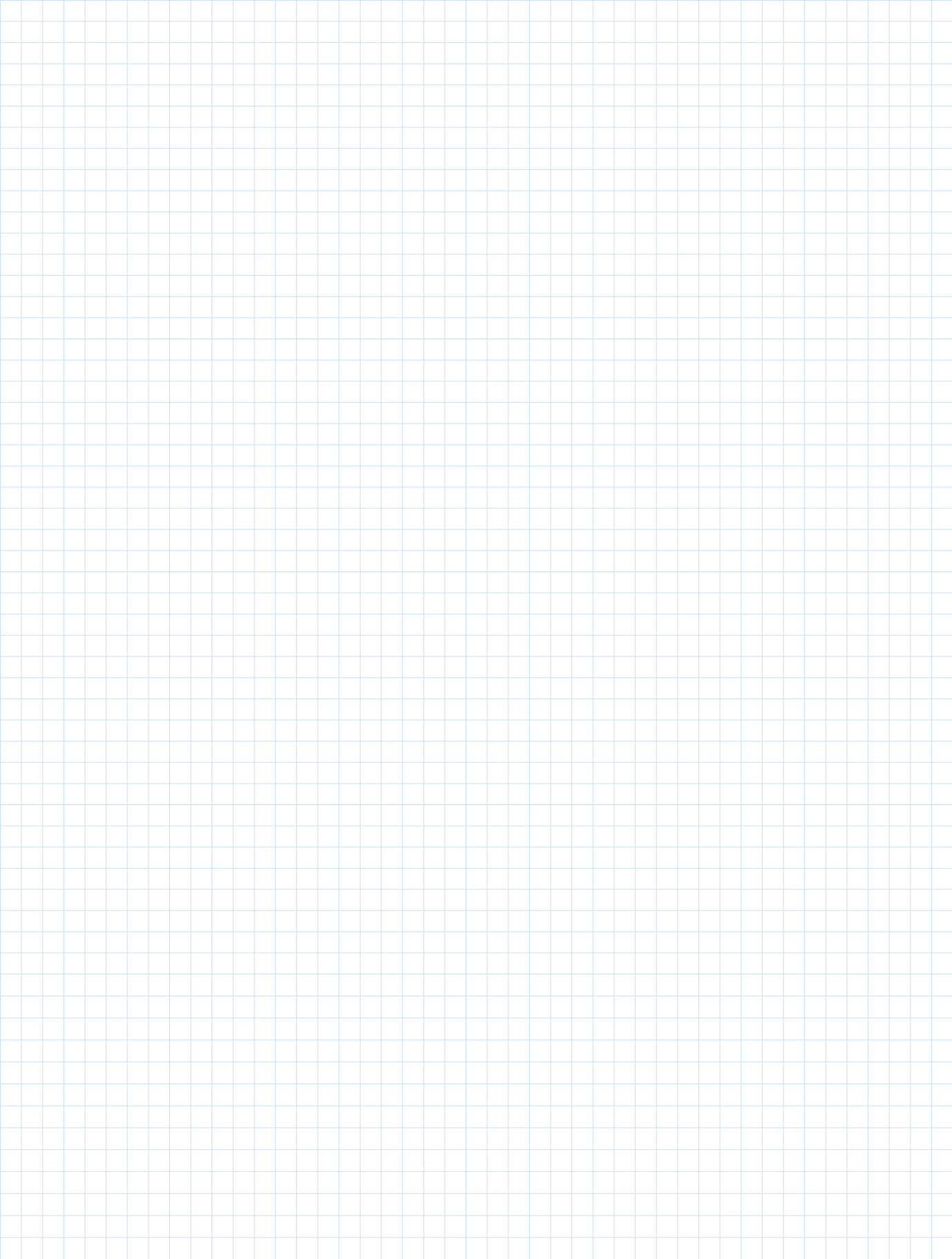
Notes



Notes



Notes



随时了解模拟对话

获取工学新动态，激发设计新思路！

通过订阅模拟对话，最先获取解决实际设计挑战所需的最新技术、应用和系统级见解。请务必告知您的朋友！

analog.com/cn/analogdialogue

EngineerZone®支持社区

与社区中的ADI技术专家互动，提出您棘手的设计问题，浏览我们丰富的知识库。

ez.analog.com/cn



关注ADI智库

全球总部
One Technology Way
P.O. Box 9106, Norwood, MA
02062-9106 U.S.A.
Tel: (1 781) 329 4700
Fax: (1 781) 461 3113

大中华区总部
上海市浦东新区张江高科技园区
祖冲之路 2290 号展想广场 5 楼
邮编: 201203
电话: (86 21) 2320 8000
传真: (86 21) 2320 8222

深圳分公司
深圳市福田区
益田路与福华三路交汇处
深圳国际商会中心
4205-4210 室
邮编: 518048
电话: (86 755) 8202 3200
传真: (86 755) 8202 3222

北京分公司
北京市海淀区
西小口路 66 号
中关村东升科技园
B-6 号楼 A 座一层
邮编: 100191
电话: (86 10) 5987 1000
传真: (86 10) 6298 3574

武汉分公司
湖北省武汉市东湖高新区
珞瑜路 889 号光谷国际广场
写字楼 B 座 2403-2405 室
邮编: 430073
电话: (86 27) 8715 9968
传真: (86 27) 8715 9931

©2021 Analog Devices, Inc. All rights reserved. Trademarks and registered trademarks are the property of their respective owners. Ahead of What's Possible is a trademark of Analog Devices. M02000sc-4/21

analog.com/cn

