



Analog Dialogue

2020年第54卷第3期

获取工学新动态, 激发设计新思路

- 5 应对有线电视基础设施下游发射器挑战
- 11 相控阵天线方向图-第3部分: 旁瓣和变窄
- 18 带内部旁路电容的数据采集 μ Module器件的PSRR特性表征
- 30 将A²B用于音频会议系统
- 35 轻松构建交流和直流数据采集信号链
- 41 应用电路板的多轨电源设计-第1部分: 策略
- 48 A²B应用面面观
- 57 应用电路板的多轨电源设计-第2部分: 布局技巧

51 选择最佳的振动传感器来进行风轮机状态监控



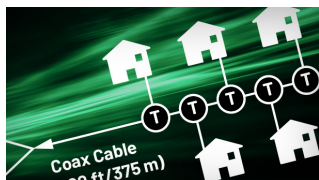
请访问analog.com/cn/analogdialogue



**ANALOG
DEVICES**

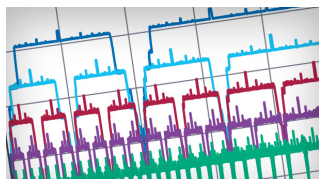
超越一切可能™

本期介绍



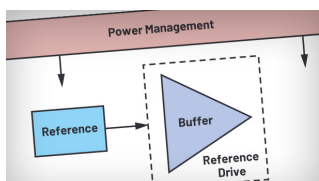
5 应对有线电视基础设施下游发射器挑战

虽然有线电视信号绝对频率较低，但其带宽比无线信号宽得多。针对用户需要更快互联网连接的趋势，有线电视行业已开发新的网络架构，以便为用户提供数Gb服务。该光纤深入方法采用远程PHY设备(RPD)，通过使用数字光纤将关键硬件移到更靠近用户的位置。



11 相控阵天线方向图-第3部分：旁瓣和变窄

本文是“相控阵天线方向图”3部分系列文章中的最后一部分，将介绍减少旁瓣和变窄主题。6月刊第2部分讨论了栅瓣和波束斜视考虑因素，以及相移和延时对宽带系统的影响。在5月发布的第1部分，我们介绍了波束指向和阵列因子。



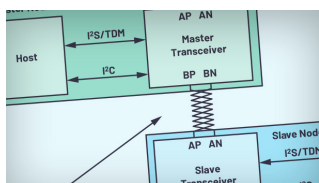
18 带内部旁路电容的数据采集μModule器件的PSRR特性表征

在优化数据采集(DAQ)系统和解决方案，以实现高精度性能时，系统设计人员通常必须仔细考虑电源生成电路的设计。电源电路中通常都包含低压差线性稳压器和DC-DC开关模式转换器的组合。使用DC-DC转换器时，虽然输出电压纹波的幅度相对较低，但它们会耦合到模拟信号路径的关键元件中，从而破坏测量并降低性能。



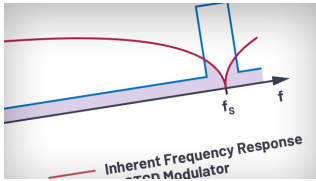
24 常见问题解答-第179期：使用超级电容储能：多大才足够大？

在电源备份或保持系统中，储能媒介可能占总物料成本(BOM)的绝大部分，且占据大部分空间。优化解决方案的关键在于仔细选择元件，以达到所需的保持时间，但又不过度设计系统。



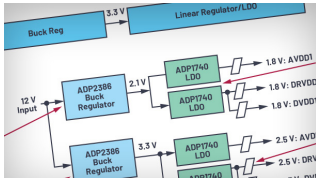
30 将A²B用于音频会议系统

A²B®总线的收发器芯片支持通过单根非屏蔽双绞线对实施多通道通信。多个收发器节点可以采用菊花链连接，此外，A²B总线还可以为远程幻象电源供电节点传输直流电源。虽然A²B收发器技术主要用于简化汽车应用中的音频布线，但它也适用于更多更常用的应用。



35 轻松构建交流和直流数据采集信号链

持续时间 Σ - Δ (CTSD) ADC是一种替代型 Σ - Δ ADC架构，该架构利用 Σ - Δ 原理，如过采样和噪声整形。CTSD ADC本身可以解决采样问题，并简化信号链。CTSD ADC取消了对抗混叠滤波器和缓冲器的使用，并解决了与额外组件相关的信号链偏置误差和漂移问题。



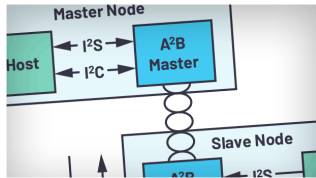
41 应用电路板的多轨电源设计-第1部分：策略

有时候，电源设计可能是PCB应用中事后添加的部分。当工程师需要满足紧迫的时间安排时，除了标准的 V_{IN} 、 V_{OUT} 和负载要求外，很容易会忽略一些关键细节。此专题分两部分讨论，本文是第1部分，旨在介绍设计策略和拓扑，而第2部分则着重介绍功率预算和电路板布局的细节，以及一些设计技巧。



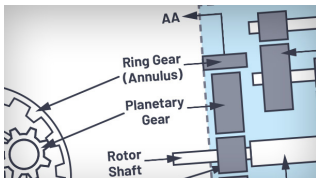
46 非常见问题解答-第180期：使用按钮式数字电位器的可调电压输出设计

本RAQ描述了一种完整的解决方案，其中仅使用一个按钮就可以控制高达20V的电压。所描述的电路代表一种可调电源，可用于需要可调电压输出的各种应用。只需要一个数字电位器和一个比较器，即可构建出这个简单电路。



48 A²B应用面观

A²B总线是一种高带宽双向数字总线，最初用于解决汽车应用中的音频分配挑战。技术生态系统、EMI/EMC可靠性、电缆长度支持和最低的处理成本等这些辅助因素，对于A²B总线最重要的音频和数据传输功能也是有力的补充。这些综合优势使得A²B技术深受很多行业应用的青睐，例如运输业、专业AV、音乐制作和表演等。



51 选择最佳的振动传感器来进行风轮机状态监控

清洁能源系统，例如风电场，正逐渐成为我们电网的主干。风力发电装置的可靠性尤其重要。风力发电装置齿轮是三大电源故障点之一，平均故障修复成本也最贵。震动是判断发电机齿轮状况的一个重要指征。本文解释了为何选择MEMS传感器进行状态监测。



57 应用电路板的多轨电源设计-第2部分：布局技巧

本系列文章的第1部分重点介绍了电源设计策略和拓扑结构。第2部分涵盖功率预算与电路板布局的一些细节，以及一些设计技巧。本文旨在从标准 V_{IN} 、 V_{OUT} 及负载要求之外的角度，更详细地介绍该话题。希望本文对电源设计会有所帮助。



61 非常见问题解答-第8期：使用标准稳压器产生极低电压

电子元器件的电源电压在过去几年一直持续下降。其原因在于，微控制器、CPU、DSP等数字电路的几何结构尺寸在不断缩小。微小结构信号速度会更快，但对高电压也更敏感。到目前为止，现代大多数稳压器IC可以产生0.8 V、0.6 V甚至0.5 V输出电压。知道吗？内部基准电压源也按这种方式设计，所以能够获得低于0.5 V的电压。



Bernhard Siegel, 编辑

2017年3月，Bernhard成为了《模拟对话》的编辑。他从ADI德国慕尼黑办公室开始自己在ADI公司的工作历程，至今已逾30年。作为首席技术编辑，他负责ADI公司的全球技术文章编辑工作。

他曾担任过销售、现场应用和产品工程等工程职位，同时还从事过技术支持和市场营销工作。

Bernhard住在德国慕尼黑附近，喜欢与家人共度休闲时光，并加入了铜管乐队和交响乐团，擅于吹长号和尤风宁号。

您可以发送电子邮件至bernhard.siegel@analog.com联系他。



《模拟对话》是ADI公司创办和出版的技术杂志。刊载模拟、数字和混合信号处理产品、应用、技术、软件和系统解决方案设计的相关文章。该杂志于1967年创办，至今已经连续出版50多年，它作为在线版每月发行一期，印刷版(“集锦”栏目)每年发行四期。感兴趣的读者也可以至《模拟对话》档案库查阅自第1卷第1期创刊至今的每期存档，包括四期纪念特刊。如需获取文章、档案、杂志、设计资源并订阅，请访问《模拟对话》主页analogdialogue.com。

应对有线电视基础设施下游发射器挑战

Simon Whittle, 技术项目经理

摘要

针对用户需要更快互联网连接的趋势,有线电视行业已开发新的网络架构,以便为用户提供数Gb服务。该光纤深入方法采用远程PHY设备(RPD),通过使用数字光纤将关键硬件移到更靠近用户的位置。这可与无线(蜂窝)网络中的远程射频头相媲美,可节约空间,减少前端散热,但也为远程设备带来了新的设计挑战。

虽然有线电视信号绝对频率较低,但其带宽比无线信号宽得多,从108 MHz到1218 MHz扩展了几个倍频程,并具有多个带内谐波。RPD让设计人员面临诸多挑战,包括RF和混合信号硬件必须涵盖更宽的频率范围,具有更高的RF功率、更低的底噪和更好的线性度,同时消耗更少的直流功耗。每个下行末级RF放大器的功率通常为18 W,对于4端口系统,这大约是通常能够提供给RPD(由RPD消耗的)140 W至160 W功率预算的50%。

将ADI的有线电视数字预失真(DPD)效率增强技术应用于DPD优化功率倍增器([ADCA3992](#)),并结合先进的高速数据转换器技术,利用单个DAC(例如[AD9162](#))和单个ADC(如[AD9208](#)),以及高度集成的时钟解决方案([HMC7044](#)),来实现全频带DPD。

本文介绍远程PHY的演进,以及ADI公司如何使用专有DPD并将ADI的算法和IP内核集成到OEM的现有FPGA部署中来解决效率和线性度挑战。

背景知识

自从60多年前作为社区接入电视(CATV)引入,有线电视已从简单的单向(仅下行)模拟链路发展为复杂的多模、多频道双向系统(包括上行或反向路径),支持模拟电视、基于IP的标清(SD)和高清(HD)数字电视以及高速数据互联网下载和上传。这些服务由多个系统运营商(MSO)提供。

有线数据和数字电视服务把使用CableLabs及相关参与公司制定的有线电视数据系统接口规范(DOCSIS)的数据提供给消费者。前端系统(电缆调制解调器终端系统或CMTS)的配置经过了多次演进,包括添加EdgeQAM调制器作为独立单元,或与CMTS集成为有线电视融合接入技术平台(CCAP)的一部分。对下行数据容量的需求现在正以约50%的复合年增长率(CAGR)增加,这意味着需求约每21个月翻一番。为了满足这种需求,自从1997年发布DOCSIS 1.0以来,下行数据速率已从40 Mbps增加到1.2 Gbps(通过广泛部署实施DOCSIS 3.0)。

这些下行数据速率的提高通过结合使用多项技术来实现,包括频道绑定、更复杂的调制(从64 QAM移至256 QAM)和更高的下行频率上限(从550 MHz至750 MHz至1002 MHz)。在美国,所有这些都是在保留传统模拟电视服务6 MHz频道规划的情况下实现的(EuroDOCSIS和C-DOCSIS为8 MHz),但为了支持高达10 Gbps的下行速率,有必要做出更根本的改变,于是在2013年,发布了DOCSIS 3.1标准。在保留对传统标准支持的同时,DOCSIS 3.1采用频谱效率更高的正交频分多路复用(OFDM)技术,频道带宽高达190 MHz,支持高达4096 QAM。此外,下行频率范围的频率上限增加了超过20%,达到1218 MHz,并可选择扩展到1794 MHz。

但有一点始终没有改变,都是使用具有75 Ω 阻抗的同轴电缆物理连接到用户电缆调制解调器。在20世纪90年代之前,系统前端和用户之间使用100%同轴电缆,但最新部署为混合光纤铜缆(HFC)。在HFC中,模拟光电转换器连接到前端的同轴输出;然后信号通过光纤传输至靠近服务区的节点,再通过光电转换器,最终经同轴电缆分配给用户。通过架空或地下电缆与用户的这最后一英里连接成为系统瓶颈,但升级到光纤到户(FTTH)链路的成本很高且具有破坏性,因此有线电视MSO决定充分利用现有的同轴电缆资产。与双绞线电话线相比,同轴电缆提供了一个

相对良好的环境，本身能够屏蔽干扰或串扰，并且因阻抗不匹配产生适度的信号反射。但是，从节点到最远用户达1200英尺的典型距离下，频率相关损耗特征明显(108 MHz和1002 MHz之间存在近17 dB的斜率)，需要插入具有高通响应的RF滤波器进行预加重或倾斜。

在典型的HFC部署中(如图1所示)，从光纤节点连接的一根主干同轴电缆可服务数百个用户，通过多路RF分路器将信号分配给子组，然后通过分接头将分接电缆连接到个人用户。在典型的节点+n系统中，宽带升压放大器以固定的间隔插入网络中，以放大信号电平，确保电缆调制解调器处具有足够的信噪比(SNR)。

为用户提供更大的数据容量

DOCSIS干线电缆上的可用数据带宽由所有连接用户共享，并可通过两种方式为用户提供更多带宽：

- 提高通过电缆传输的数据速率
- 减少连接到电缆的用户数量

如前所示，通过使用频道绑定、更高阶的调制方案以及扩展频谱以提供更多的频道，可提高关键信息(headline)数据速率。但是，增加下行容量只是解决方案的一部分，因此，网络架构也在不断发展以减少连接到节点的用户数量，最初是通过节点分割来实现的，将支持的用户数量从最多2000减少到不足500。这种方法有效但成本很高。节点分割的替代方法是修改网络架构，通过使用带数字光纤链路的分布式接入架构(DAA)将物理层(PHY)与CCAP分离，如图2所示。远程PHY硬件包含下行调制和RF级以及上行RF级和解调。从CCAP中移除体积庞大且耗电的PHY组件，在前端位置放一个边缘路由器也能实现虚拟CCAP。

数字光纤的性能远远高于模拟光纤，且覆盖范围更大(能够更灵活地确定节点位置)，并且单根光纤支持大约5倍的波长。DAA方法还消除了传统HFC网络中的电光和光电转换。这些转换限制了光节点输出信号的动态范围：模拟转换的底噪和线性度都会影响调制误差率(MER)，这将决定是否能够支持高数据速率所需的高阶调制。

挑战是什么？

光纤深入架构将通过更小的服务组规模、更自由的频谱分配和更好的线路末端SNR和MER(DOCSIS 3.1中实现高阶调制所必需的)，来提升每个用户的容量。由于数字光纤和新硬件的位置相对靠近用户，因此还有机会提供补充服务节点，如在远程PHY节点上添加Wi-Fi接入点。但是，这也会给下行模拟传输链带来几个新的设计挑战。

DOCSIS 3.1标准将下行频率上限从1002 MHz扩展到1218 MHz，意味着必须传输相当于35个额外的6 MHz频率通道，且向上倾斜度从17 dB增加到21 dB，如图3所示。

任何新系统都需要与现有部署保持兼容，因此最高DOCSIS 3.0频道中的功率(以999 MHz为中心)必须保持不变(通常为57 dBmV)，这意味着最高频道(以1215 MHz为中心)中所需的RF功率为61 dBmV。由于添加了频道，增加了倾斜度，并且电缆调制解调器需要高SNR，因此节点输出端口前的最后一个有源元件，即A类超线性功率放大器(功率倍增器混合)所需的输出信号电平提高了一倍多，达到76.8 dBmV的复合电平。为了满足不断增长的RF功率需求，混合硬件设计人员必须将每端口混合直流偏置功率从10 W左右增加到18 W，并且在某些情况下，必须将直流电源电压从行业标准值24 V增加到34 V。由于节点通常支持多达4个RF端

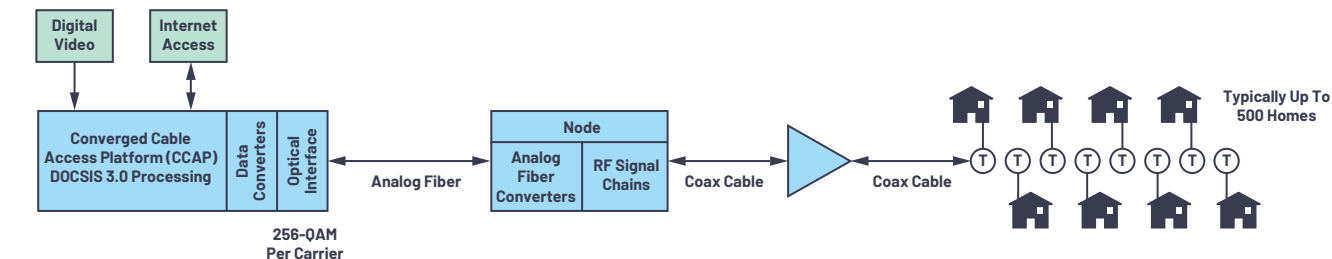


图1. 使用HFC部署有线电视。

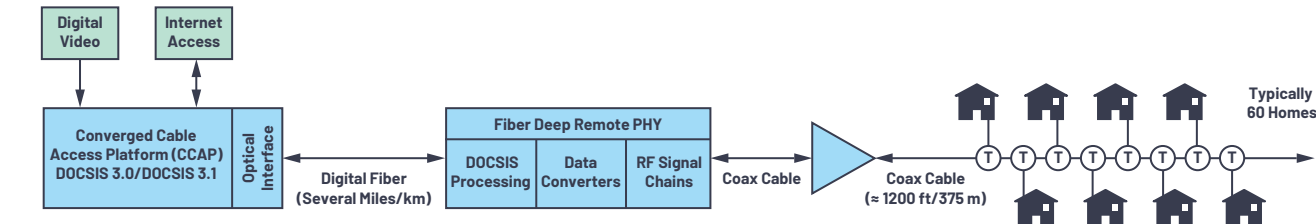


图2. 使用远程PHY部署有线电视。

口，每个端口都有其自己的混合端口，并且通常由通过同轴电缆注入的60 V交流电源供电，这就迫使对设计做出重大更改，并产生了新的散热管理问题。

为了支持采用DOCSIS 3.1的更高阶QAM方案，节点输出端对MER的苛刻要求已从43 dB增加到48 dB。²在这样高的MER要求下，DAC时钟上的相位噪声和杂散信号会对系统性能产生影响。功率倍增器直接影响MER和带内带外失真的主要不利因素是非线性失真，包含谐波和交调失真。在108 MHz至1218 MHz的倍频程工作范围内，存在多个带内奇偶次谐波，而在185个D3.0载波(或等效载波)下，会产生一组非常复杂的IM产物。倾斜也有显著的影响，因为较高频道中的功率比最低频道中的功率大100多倍，所以这里会产生显著的差频积。峰均功率比(PAPR)超过12 dB。

所有这些因素结合起来，为功率倍增器设计人员带来了巨大的挑战：更宽的带宽、更高的峰均功率以及改善线性度。最新的A类GaAs/GaN推挽混合器件(如ADCA3992)可满足带宽、RF功率和线性度要求，但RF系统设计人员所面临的挑战无疑是降低功耗：650 mW

的RF输出功率的直流输入约为18 W时(等效于76.8 dBmV复合电平)，直流到RF的转换效率仅为3.6%。

系统解决方案是什么？

一旦混合设备能够支持所需的带宽和功率，解决方案的第一部分就是确保输出端口前的最后一个有源元件，即混合功率倍增器能够获得清晰的信号。通过使用高性能宽带16位RF DAC(如AD9162)和低相位噪声、低杂散辐射JESD204B兼容时钟源(如HMC7044)，可在DAC输出端跨整个DOCSIS 3.1频率范围实现约52 dB MER。

解决方案的第二部分更复杂。理想情况下，任何解决方案都会既提高功率倍增器的输出功率能力又提高MER，同时降低功耗，但它们几乎是相互对立的：在恒定输出功率下，降低功耗会使MER性能下降，或者需要损失RF功率性能，才能使MER保持不变。虽然可以使用包络跟踪(ET)等技术来提高效率，但创建非常宽的带宽包络信号并将ET过程产生的显著失真线性化将带来额外的挑战。

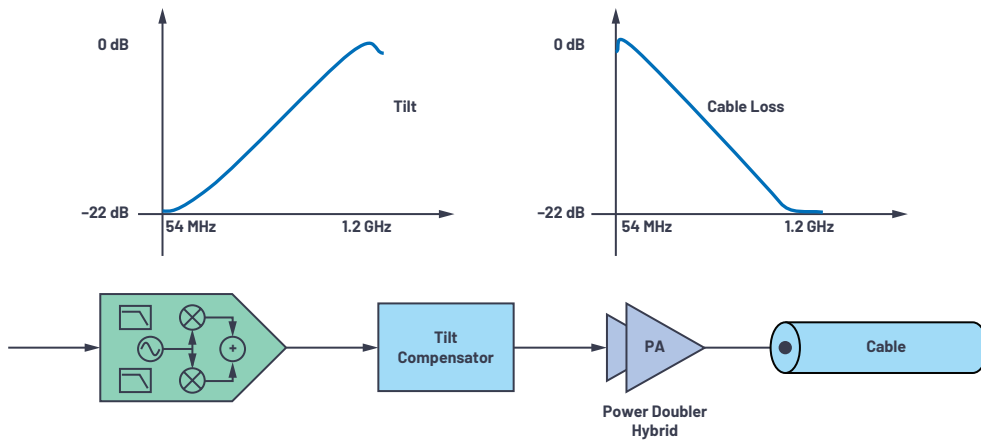


图3. 频率相关电缆损耗的倾斜补偿。

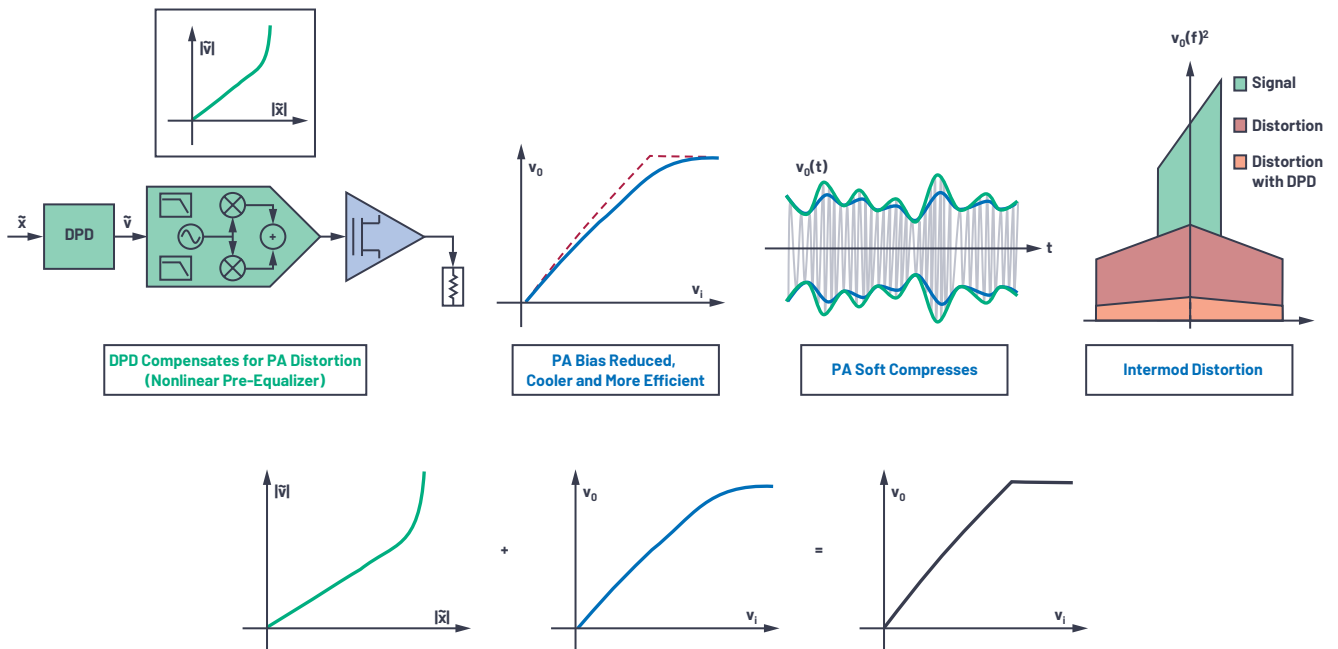


图4. 数字预失真。

要兼顾效率和MER，具有吸引力的解决方案就是DPD，整个无线蜂窝行业几乎普遍采用。数字预失真(DPD)允许用户在更高效但非线性更明显的区域中运行混合功率倍增器，然后先预先校正数字域中的失真，再将数据发送到放大器。如图4所示，DPD在数据到达放大器之前对其进行整形，以抵消放大器产生的失真，从而扩大功率倍增器的线性范围。

在扩大的线性工作范围中，DPD让放大器能够在降低的偏置电流或电源电压下更自由地运行(从而降低功耗)，或提高MER和误码率(BER)，甚至可能同时兼顾。尽管数字预失真已广泛应用于无线蜂窝基础设施，但在电缆环境中实施数字预失真有独特而又有挑战性的要求。这包括对超宽带宽应用线性化，尽量减少实施DPD所需的数字信号处理功耗，以及在高倾斜频谱下工作。所有这一切只能通过对硬件、FPGA和软件进行适度的更改(会增加成本)来实现。

由于通过将放大器驱动到非线性工作区域来提高效率，多个带内失真产物给DPD带来了独特的挑战。不仅是大信号带宽，还有它在频谱(从直流开始仅为108 MHz)上的位置都对DPD构成了挑战。有线信号的性质与无线截然不同，无线信号其所需信号的

带宽(例如，60 MHz)比RF中心频率(例如，2140 MHz)小很多。在典型的108 MHz至1218 MHz DOCSIS 3.1下行分配中，所需信号带宽为1110 MHz，中心频率为663 MHz。所有非线性系统都会发生谐波失真。电缆数字预失真的重点是带内谐波失真产物。在典型的无线系统中，三次和五次谐波最重要，因为其他产物在频带外，可通过传统滤波器滤除。在典型的电缆部署中，最低载波的前11个谐波都在频带内。

相比只需要考虑奇数次谐波的无线蜂窝应用，电缆应用中的偶数次和奇数次谐波均在频带内，可产生多个重叠的失真区域。这在一定程度上会对任何数字预失真解决方案的复杂性和精密性产生严重影响，因为算法必须通过简单的窄带假设。数字预失真解决方案必须适应所有阶次的谐波失真。每个阶次 k 需要 $\lfloor k/2 \rfloor + 1$ 项(二阶： $k = 2 \rightarrow 2$ 项，三阶： $k = 3 \rightarrow 2$ 项，四阶： $k = 4 \rightarrow 3$ 项等)。在窄带系统中，偶数阶项可以被忽略，奇数阶在每个目标频带内产生1个项。电缆应用中的数字预失真必须考虑奇数阶和偶数阶谐波失真，并且还必须考虑到每个阶可能有多个重叠的带内元素。

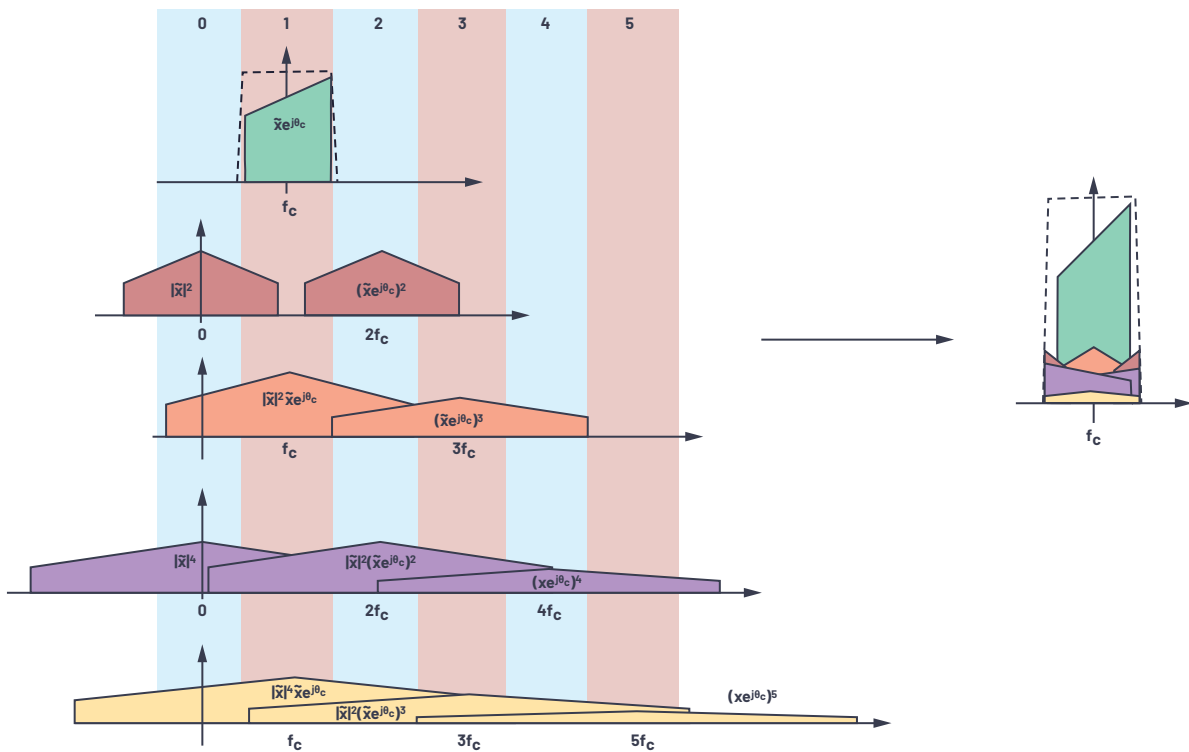


图5. 宽带电缆应用中宽带谐波失真的影响。

谐波失真校正定位

考虑到传统窄带数字预失真解决方案的处理在复杂的基带处完成，我们主要关注对称位于载波周围的谐波失真。在宽带电缆系统中，尽管保持了位于一次谐波周围的那些项的对称性，但是这一对称性不再适用于更高阶次的谐波产物。

如图6a所示，传统窄带数字预失真在复杂基带处完成。在这些实例中，仅一次谐波产物在频带范围内，因此其基带产物直接转换为RF。考虑宽带电缆数字预失真时(图6b)，较高阶次的谐波失真必须是频率偏移，才能使上变频后的基带产物正确位于实际RF频谱中。

图7概要显示了一种数字预失真的实现。在理想情况下，从数字上变频器(DUC)(通过数字预失真)到DAC乃至通过功率倍增器的路径将没有带宽限制。同样地，观测路径上的ADC将对全带宽进行数字化。请注意，为了进行说明，我们扩展2倍带宽的信号路径；在某些无线蜂窝应用中，可扩展到3至5倍的带宽。理想方案是通过数字预失真产生带内项和带外项，从而完全消除功率放大器引入的失真。需要注意的是，为了准确消除失真，需要在目标信号的带宽之外创建项，这一点非常重要。在实际方案中，信号路径具有带宽限制和倾斜特性，数字预失真性能无法达到理想方案要求。

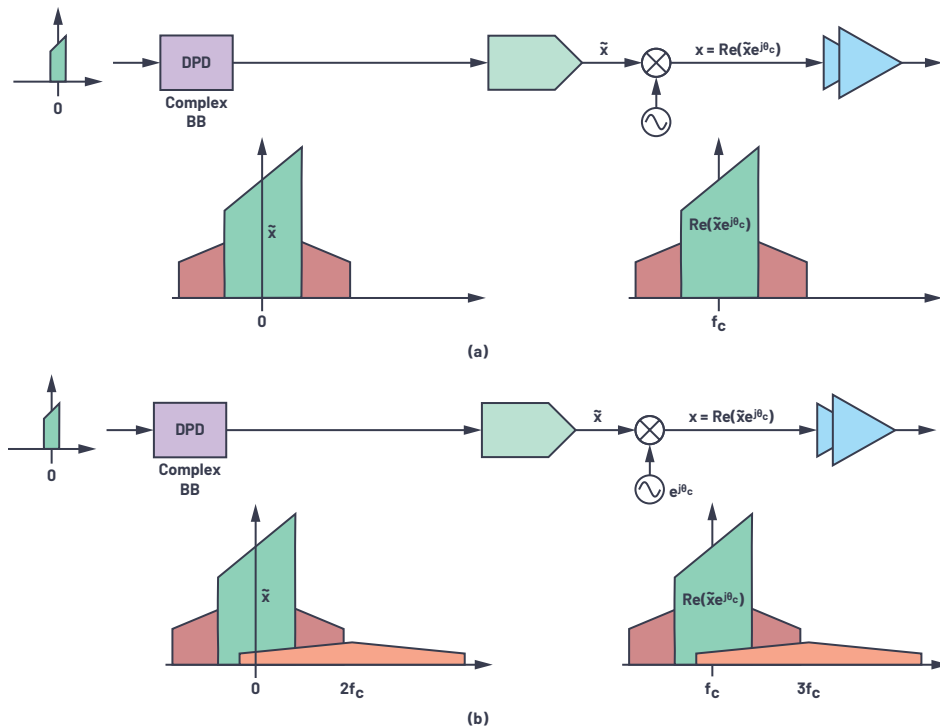


图6. 宽带数字预失真复杂基带处理中的频率偏移要求。[a] 传统窄带数字预失真在复杂基带处完成。[b] 宽带电缆数字预失真、OOB HD必须是频率偏移以允许RF上变频。

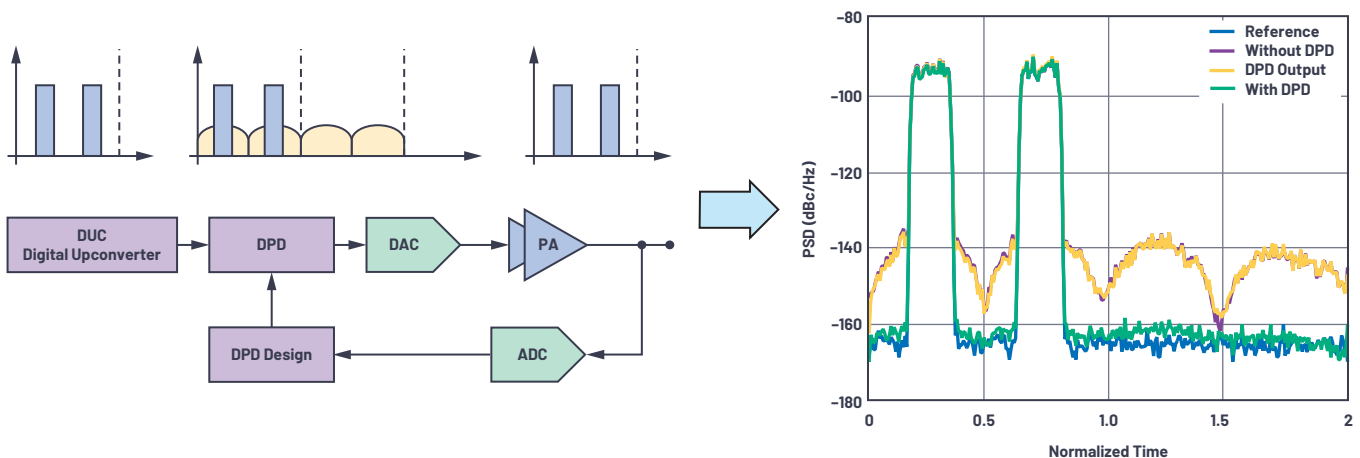


图7. 无带宽限制的理想化数字预失真方案。

ADI公司开发了一个完全实时、闭环、自适应电缆数字预失真解决方案，由FPGA结构中的执行器和嵌入式处理器中基于软件的自适应机制组成。该实现方案使用Intel® Arria® 10 660 FPGA和嵌入式ARM® Cortex®处理器。DPD IP内核和ARM的功耗为5.3 W，尽管使用更新一代的FPGA或转换为ASIC，此功率仍应低于3 W。

结果

图8显示ADCA3992在76.8 dBmV总复合电源、34 V电源电压、400 mA偏置电流(13.6 W直流电源)下工作的测试结果。

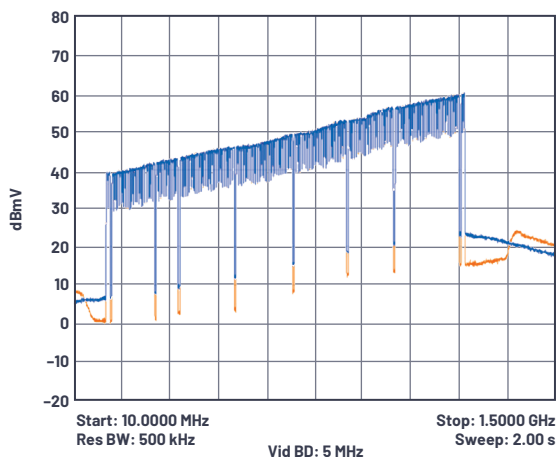


图8. ADCA3992在76.8 dBmV下没有数字预失真(蓝色)和有数字预失真(橙色)时的性能。

测试信号是一串DOCSIS 3.0载波，中心频率为111 MHz至1215 MHz，倾斜度为21 dB。引入了少量的间隙，以便观察频带失真。可以看到，频带底部失真约改善了6 dB，频带顶部超过8 dB。

与530 mA标称非数字预失真功率倍增器电流相比，直流电源节省4.4 W，那么，4端口系统节省的总功率为17.6 W减5.3 W FPGA电源，得到12.3 W。对于72 W至59.7 W的4端口系统，功耗(散热)显著

降低。每个倍增器的偏置电流很可能进一步回退至350 mA (11.9 W)，同时仍达到41 dB的MER目标值，从而系统净节省19.2 W。

结论

尽管高速移动数据和光纤日益得到广泛应用，但现有最后一英里网络的巨大覆盖范围及其相对良好的电气特性，可确保在可预见的未来，它们仍将是向消费者提供语音、视频和数据服务的重要工具。随着有线电视网络过渡到DOCSIS 3.1，并且不断地发展，满足更宽的频率范围、更高的功率、更好的调制精度以及更高的功效等系统性能要求变得更加困难。

数字预失真提供了一种可解决这些相互冲突需求的方式，但在电缆应用中的实施也构成了非常独特和极具难度的挑战。ADI已开发出一套全面的系统解决方案来应对这些挑战，其中包含混合信号硅(DAC、ADC和时钟)、RF功率模块(GaN/GaAs混合)和先进算法。这三种技术的结合为设备制造商提供了一个灵活的高性能解决方案，能够以最小的妥协在功耗与系统性能之间实现平衡。软件定义线性化还支持原有电缆技术到新一代电缆技术的轻松过渡，新一代电缆技术中预计将包含全双工(FD)、扩展带宽(至1794 MHz)和包络跟踪(ET)。

本文借鉴了Patrick Pratt的数字预失真图，笔者对此表示感谢。

参考资料

¹ Robert L. Howald. “光纤前沿。” 春季技术论坛论文集，2016年。

² 有线电视数据服务接口规范，DOCSIS® 3.1—物理层规范：CM-SP-PHYv3.1-I08-151210。CableLabs，2017年5月。



作者简介

Simon Whittle是通信业务部门无线系统部的技术项目经理。工作地点在英国巴斯，主要负责有线电视和5G毫米波系统项目。在2012年7月加入ADI之前，Simon曾在蜂窝通信基础设施行业工作，负责领导团队开发3G和4G远程射频头技术。在此之前，他从事蜂窝、移动无线电和广播应用的接收器和高功率发射器开发工作，并拥有多项专利。他于1983年毕业于英国萨里大学，是IEEE成员。联系方式：simon.whittle@analog.com。

相控阵天线方向图一

第3部分：旁瓣和锥削

技术主管Peter Delos、产品工程师Bob Broughton以及高级工程师John Kraft

简介

在**第一部分**中，我们介绍了相控阵概念、波束转向和阵列增益。在**第二部分**中，我们讨论了栅瓣和波束斜视概念。在这第三部分中，我们首先讨论天线旁瓣，以及锥削对整个阵列的影响。锥削就是操控单个元件的振幅对整体天线响应的影响。

在第一部分中未应用锥削，且从图中可以看出第一旁瓣为-13 dBc。锥削提供了一种减少天线旁瓣的方法，但会降低天线增益和主瓣波束宽度。在简要介绍锥削之后，我们会详细说明与天线增益相关的几个要点。

傅里叶变换：矩形函数 $\leftrightarrow$ sinc函数

在电气工程中，有各种不同的方法可以将一个域中的矩形函数转变为另一个域中的sinc函数。最常见的形式是时域中的矩形脉冲转换成sinc函数的频谱分量。这个转换过程是可逆的，在宽带应用中，宽带波形也可以转换为时域中的窄脉冲。相控阵天线也具有类似的特性：沿阵列平面轴的矩形加权按照正弦函数辐射方向图。

应用到此特性，以sinc函数表示的第一旁瓣只有-13dBc是有问题的。图1显示了这个原理。

锥削(或加权)

要解决旁瓣问题，可以在整个矩形脉冲内使用加权处理。这在FFT中很常见，相控阵中的锥削选项则是直接模拟了FFT中加权。遗憾的是，加权也是存在缺点的，它虽然实现了减少旁瓣但需要以加宽主瓣为代价。图2显示了一些加权函数示例。

波形与天线类比

从时间到频率的转换是很平常的，大多数电气工程师自然会明白。但是，对于刚接触相控阵的工程师来说，如何使用天线方向图类比在一开始并不明确。为此，我们用场域激励代替时域信号，并用空间域代替频域输出。

时域 $\rightarrow$ 场域

- ▶ $v(t)$ —电压是时间的函数
- ▶ $E(x)$ —场强与孔径中的位置呈函数关系

频域 $\rightarrow$ 空间域

- ▶ $Y(f)$ —功率谱密度是频率的函数
- ▶ $G(q)$ —天线增益是角度的函数

图3显示了这些原理。在这里，我们比较了阵列中应用两种不同加权的辐射能量。图3a和图3c显示场域。每个点表示这个 $N = 16$ 阵列中一个元件的振幅。在天线之外，没有辐射能量，辐射从天线边缘开始。在图3a中，场强出现突变，而在图3c中，场强随着距离天线边缘的距离增大而逐渐增大。对辐射能量造成的影响分别如图3b和图3d所示。

在下一节中，我们将介绍影响天线方向图性能的两种附加误差项。第一种是互耦。在本文中，我们只是提出存在此问题，并且给出用于量化此影响的EM模型的数量。第二种是由于在相移控制中精度有限而产生的量化旁瓣。我们对量化误差进行了更深入地处理，并对量化旁瓣进行了量化。

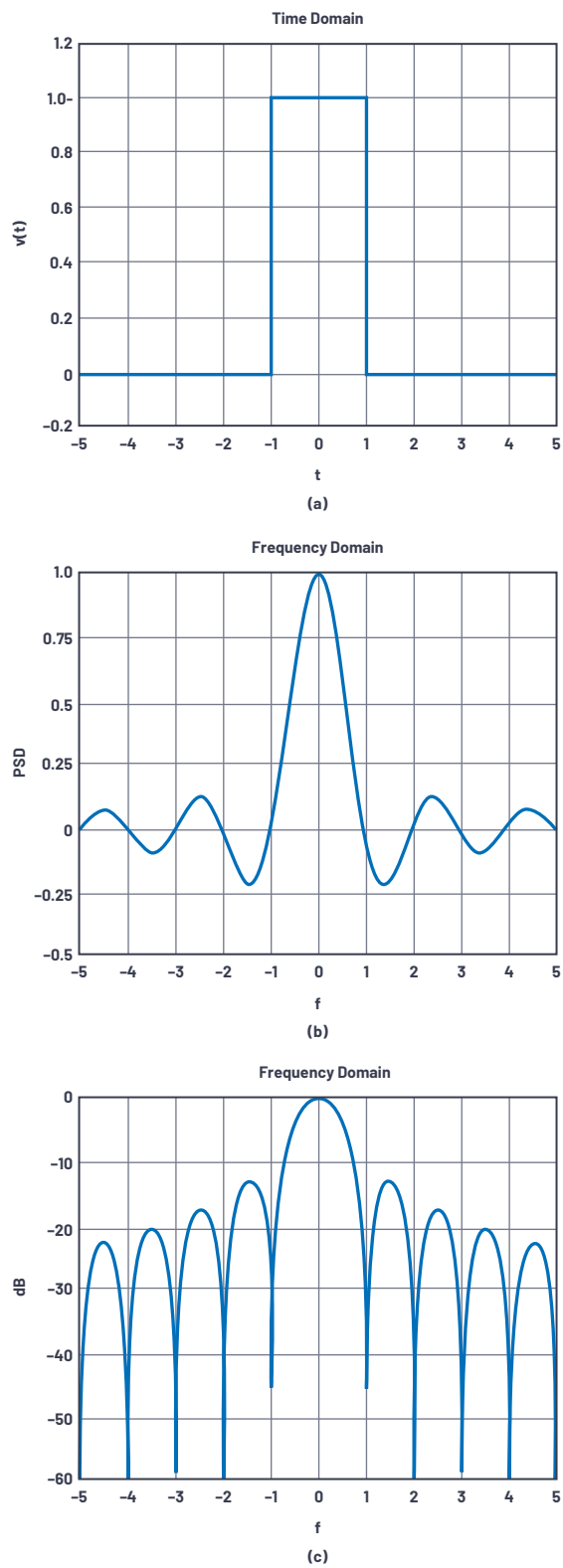


图1. 时域中的矩形脉冲在频域中产生正弦函数，第一旁瓣仅为-13 dBc。

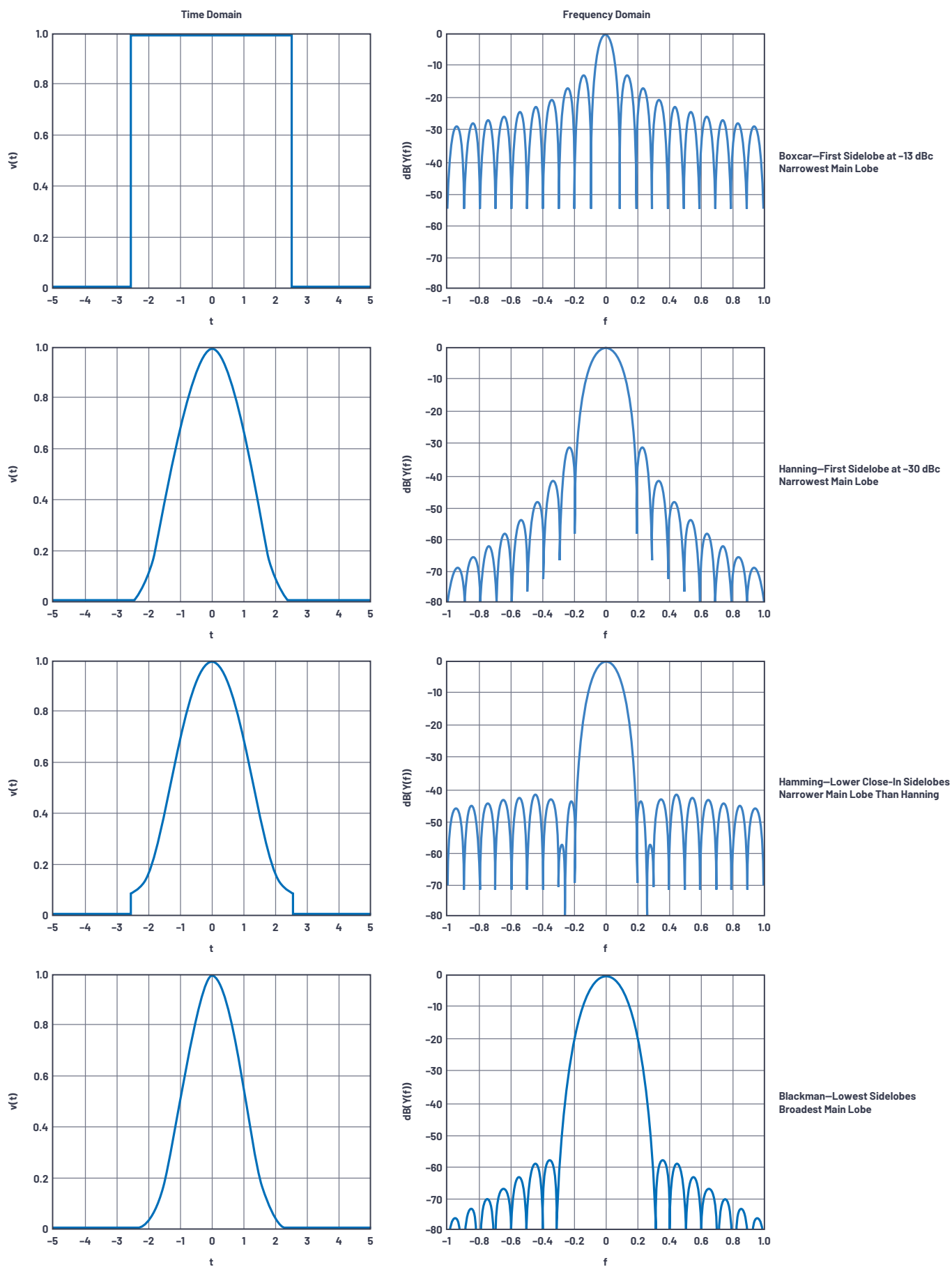


图2 加权函数示例。

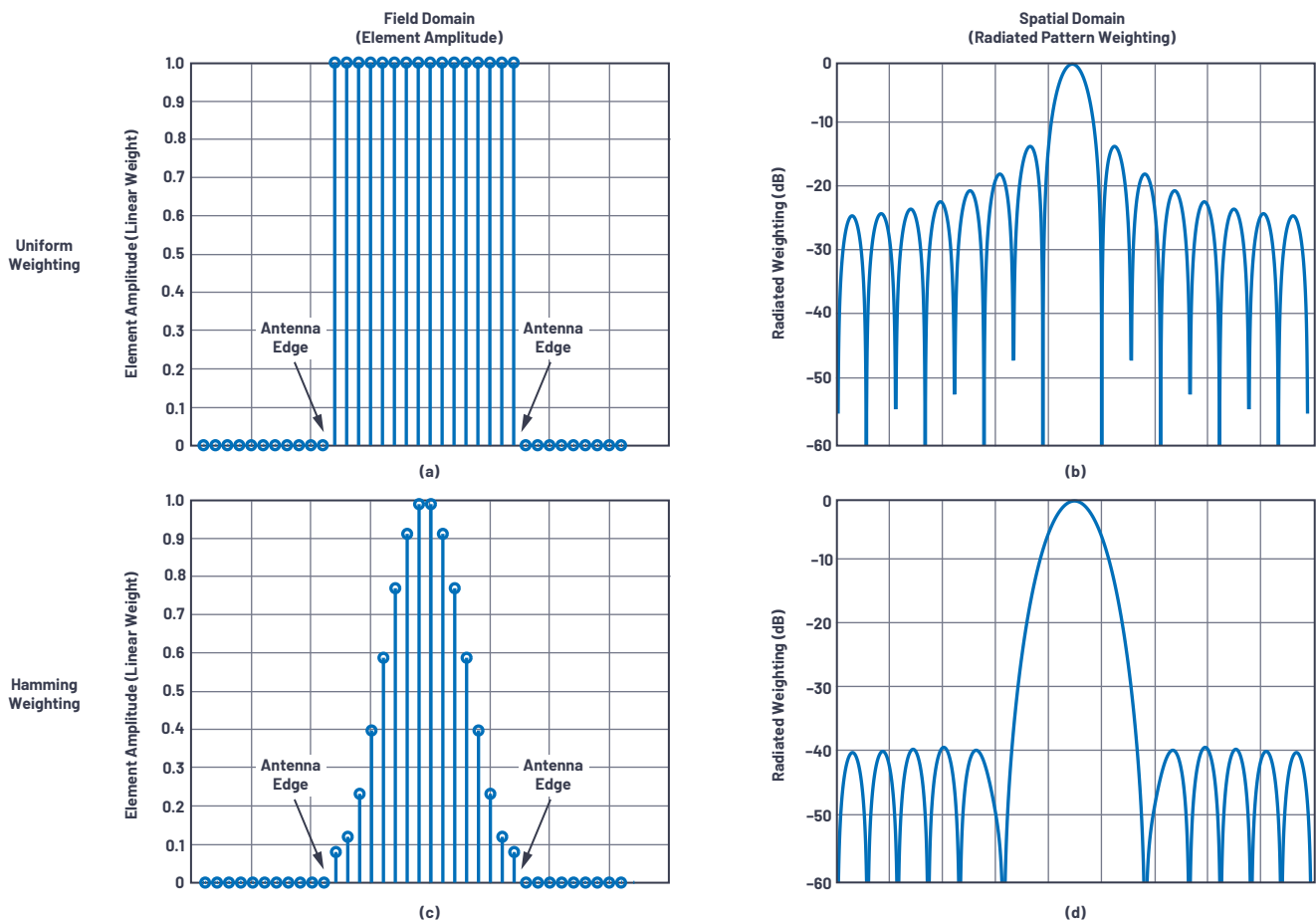


图3. 显示变窄元件转化为辐射能量加权的图表；(A)对所有元件使用统一加权；(b)正弦函数在空间内辐射；(c)对所有元件使用海明窗加权处理；以及(d)以加宽主波束为代价，将辐射旁瓣降低到40 dBc。

互耦误差

这里讨论的所有方程和阵列因子图都假设元件是相同的，并且每个元件都具有相同的辐射方向图。但事实并非如此。其中一个原因是互耦，即相邻元件之间耦合。元件分散在阵列中与元件彼此紧密排列相比，其辐射性能会发生很大变化。位于阵列边缘的元件和位于阵列中心的元件所处的环境不同。此外，当波束转向时，元件之间的互耦也会改变。所有这些影响会产生一个附加的误差项，需要天线设计人员加以考虑，在实际设计中，需要花大量精力使用电磁仿真器来表征这些条件下的辐射影响。

波束角度分辨率和量化旁瓣

相控阵天线还有另一个缺陷，用于波束转向的时间延迟单元或移相器的分辨率是有限的。这通常利用离散时间(或相位)步长来实现数字控制。但是，如何确定延迟单元或移向器的分辨率或位数，以达到的所需的波束质量呢？

与常见的理解相反，波束角度分辨率并不等于移相器的分辨率。从方程式1(第二部分中的方程式2)中，我们可以看出这样的关系：

$$\theta = \sin^{-1} \frac{\Delta\Phi \lambda}{2\pi d} \quad (1)$$

我们可以用整个阵列中的相移来表达这种关系，需要将阵列宽度 D 替换为元件间隔 d 。然后如果我们将移相器 Φ_{LSB} 替换为 $\Delta\Phi$ ，我们可以粗略估算波束角度分辨率。对于 N 个元件以半个波长间隔排列的线性阵列来说，波束角度分辨率如方程式2所示。

$$\theta_{RES} \propto \sin^{-1} \frac{\Phi_{LSB}}{N\pi} \quad (2)$$

这是背离瞄准线的波束角度分辨率，描述了当阵列的一半相移为零，另一半的相移为移相器的LSB时的波束角度。如果不到一半的阵列通过编程达到相位LSB，则角度可能更小。图4显示使用2位移相器的30元件阵列的波束角度(相位LSB逐渐增加)。注意，波束角度增加，直到一半元件移相LSB，然后在所有元件移相LSB时归零。当波束角度通过阵列中的相位差而变化时，这是有意义的。注意，正如前面计算的那样，此特性的峰值为 θ_{RES} 。

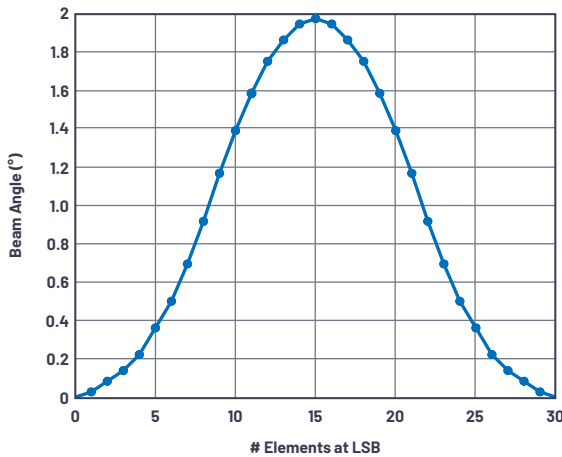


图4. 30元件线性阵列在LSB时的波束角度与元件数量之间的关系。

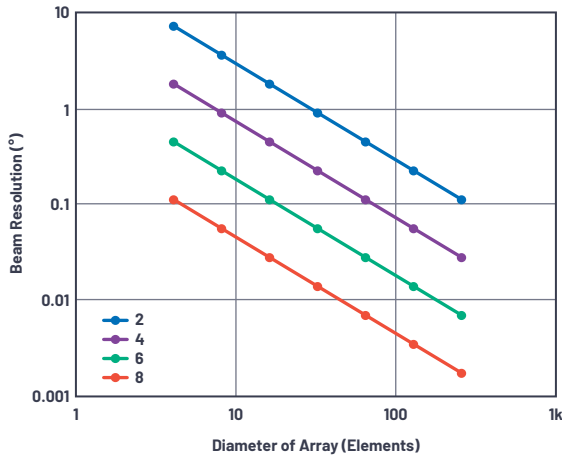


图5. 移相器分辨率为2位至8位时，波束角度分辨率与阵列大小的关系。

图5显示不同移相器分辨率下 θ_{RES} 与阵列直径(元件间隔为 $\lambda/2$)的关系。这表明，即使是LSB为 90° 的非常粗糙的2位移相器，也可以在直径为30个元件的阵列中实现 1° 的分辨率。在第一部分使用方程式10针对30元件、 $\lambda/2$ 间隔条件进行求解时，主瓣波束宽度约为 3.3° ，表示即便使用这个非常粗糙的移相器，我们也具备足够的分辨率。那么，使用更高分辨率的移相器又会得出什么结果？从时间采样系统(数据转换器)和空间采样系统(相控阵天线)之间的类比可以看出，较高分辨率的数据转换器产生较低的量化本底噪声。更高分辨率的相位/时间偏移器会导致较低的量化旁瓣电平(QSLL)。

图6显示之前描述的编程采用 θ_{RES} 波束分辨率角度的2位30元件线性阵列的移相器设置和相位误差。一半阵列设为零相移，另一半设为 90° LSB。注意，误差(理想量化相移与实际量化相移之间的差异)曲线呈锯齿状。

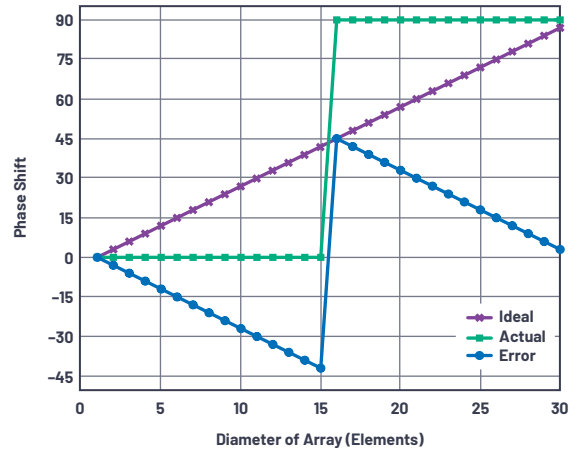


图6. 阵列中的元件相移和相位误差。

图7显示同一天线在转向 0° 和转向波束分辨率角度时的天线方向图。请注意，由于移相器的量化误差，出现了严重的方向图退化。

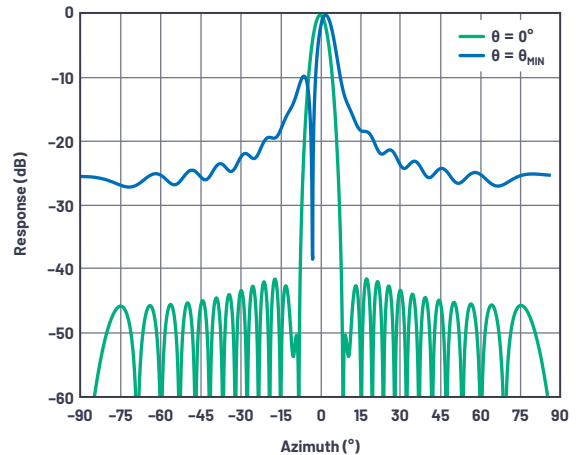


图7. 在最小波束角度下具有量化旁瓣的天线方向图。

当孔径内发生最大量化误差，其他所有元件都是零误差，且相邻元件间隔LSB/2时，出现最糟糕的量化旁瓣情形。这代表了最大可能的量化误差和孔径误差的最大周期。图8显示了使用2位30元件时的这种情况。

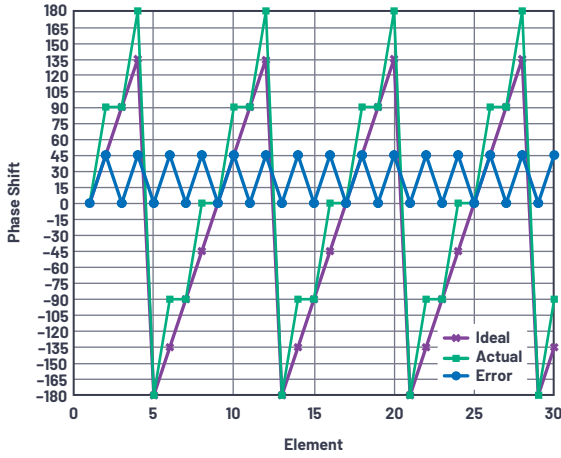


图8. 最糟糕的天线量化旁瓣情形—2位。

这种情况在可预测的波束角度下(如方程3所示)发生。

$$\theta_{MAX\ QSLL} = \sin^{-1} \frac{\pm n}{2^{BITS}} \quad (3)$$

其中 $n < 2^{BITS}$ ，且 n 为奇数。对于2位系统，这种情况会在 $\pm 14.5^\circ$ 和 $\pm 48.6^\circ$ 范围之间发生4次。图9显示该系统在 $n = 1$ ， $q = +14.5^\circ$ 时的天线方向图。注意在 -50° 时具有明显的 -7.5 dB量化旁瓣。

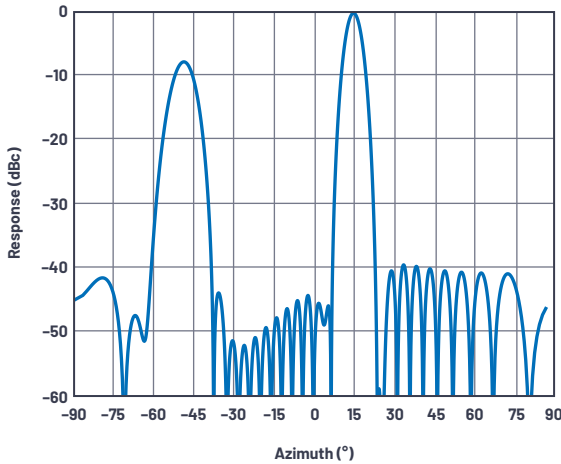


图9. 最糟糕的天线量化旁瓣情形：2位， $n = 1$ ，30元件。

除了量化误差依次为0和LSB/2的特殊情况外，在其他波束角度下，rms误差随着波束在孔径上的扩散而减小。事实上，对于 n 为偶数值的角度方程(方程式3)，量化误差为0。如果我们绘制在不同移相器分辨率下最高量化旁瓣的相对电平，会出现一些有趣的方向图。图9显示100元件线性阵列最糟糕的QSLL，该阵列使用海明锥形，以便将量化旁瓣与本节前面讨论的经典开窗旁瓣区分开来。

注意，在 30° 时，所有量化误差都趋于0，这可以显示为 $\sin(30^\circ) = 0.5$ 时的结果。请注意，对于任何特定的 n 位移相器，在最糟糕电平下的波束角度在更高分辨率 n 下会显示零量化误差。在这里可以看出描述的最糟糕旁瓣电平下的波束角度，以及QSLL在每位分辨率下改善了6 dB。

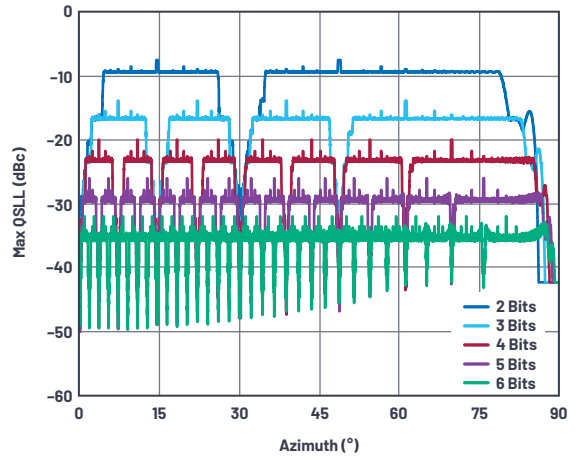


图10. 在2位至6位移相器分辨率下，最糟糕的量化旁瓣与波束角度的关系。

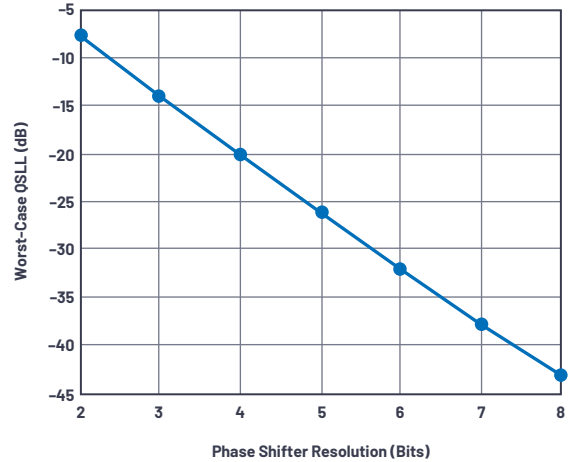


图11. 最糟糕的量化旁瓣电平与移相器分辨率的关系。

2位至8位移相器分辨率的最大量化旁瓣电平QSLL如图11所示，它遵循类似的数据转换器量化噪声规律，

$$QSLL \propto 20 \log_{10} 2^{-BITS} \quad (4)$$

或每位分辨率约6 dB。在2位时，QSLL电平约为 -7.5 dB，高于数据转换器进行随机信号采样时经典的 $+12$ dB。这种差异可以视为在孔径采样时周期性出现的锯齿误差导致的结果，其中空间谐波会增加相位。注意QSLL与孔径大小不呈函数关系。

总结

我们现在可以总结出天线工程师面临的与波束宽度和旁瓣相关的一些挑战：

- ▶ 角度分辨率需要窄波束。窄波束需要大孔径，这又需要许多元件。此外，波束在背离瞄准线时会变宽，所以需要额外的元件，以在扫描角度增大时保持波束宽度不变。
- ▶ 似乎可以通过增大元件间隔来扩大整个天线区域，而无需额外增加元件。此举可以让波束变窄，但是，很遗憾，如果元件分布不均，会导致产生栅瓣。可尝试通过减小扫描角度，同时采用有意随机显示元件方向图的非周期阵列，来利用增加的天线区域，同时最大限度减少栅瓣问题。
- ▶ 旁瓣是另一个问题，我们已知可以通过将阵列增益朝向边缘逐渐减小来解决。但是，这种锥削以波束变宽为代价，又会需要更多元件。移相器分辨率会导致出现量化旁瓣，在设计天线时也必须加以考虑。对于采用移相器的天线，波束斜视现象会导致角位移与频率相互影响，从而限制高角度分辨率下可用的带宽。

以上就是有关相控阵天线方向图全部三个部分的内容。在第一部分中，我们介绍波束指向、阵列因子和天线增益。在第二部分中，我们讨论栅瓣和波束斜视的缺点。在第三部分中，我们讨论锥削和量化误差。本文不是针对精通电磁和辐射元件设计的天线设计工程师，而是针对在相控阵领域工作的大量相邻学科的工程师，这些直观的解释，将有助于他们理解影响整个天线方向图的性能的各种因素。

参考资料

Balanis, Constantine A. [天线理论、分析和设计](#)。第3版，Wiley，2005年。

Mailloux, Robert J. [相控阵天线手册](#)。第2版。Artech House，2005年。

O'Donnell, Robert M. “[雷达系统工程：简介](#)。” IEEE，2012年6月。

Skolnik, Merrill. [雷达手册](#)。第3版，McGraw Hill，2008年。



作者简介

Peter Delos是ADI公司航空航天和防务部的技术主管，在美国北卡罗莱纳州格林斯博罗工作。他于1990年获得美国弗吉尼亚理工大学电气工程学士学位，并于2004年获得美国新泽西理工学院电气工程硕士学位。Peter拥有超过25年的行业经验。其职业生涯的大部分时间花在高级RF/模拟系统的架构、PWB和IC设计上。他目前专注于面向相控阵应用的高性能接收器、波形发生器和频率合成器设计的小型化工作。联系方式：peter.delos@analog.com。



作者简介

Bob Broughton于1993年开始在ADI公司工作，历任产品工程师和IC设计工程师等职位，目前担任航空航天和防务部的工程总监。加入ADI之前，Bob曾在Raytheon担任RF设计工程师并在Peregrine Semiconductor担任RFIC设计师。Bob于1984年毕业于西弗吉尼亚大学，获电气工程学士学位。联系方式：bob.broughton@analog.com。



作者简介

Jon Kraft是高级现场应用工程师，工作地点在科罗拉多州，已在ADI公司工作了13年。他主要致力于软件定义无线电和航空航天相控阵雷达应用。他拥有罗斯豪曼理工学院电子工程学士学位和亚利桑那州立大学电子工程硕士学位。他拥有九项专利，六项与ADI相关，一项正在申请中。联系方式：jon.kraft@analog.com。

带内部旁路电容的数据采集 μ Module器件的PSRR特性表征

Naveed Naeem, 产品测试开发工程师; Samantha Fontaine, 产品工程师

摘要

在优化数据采集(DAQ)系统时,设计人员必须仔细考虑电源对高精度性能的影响。电源电路中通常都包含低压差线性稳压器和DC-DC开关模式转换器的组合。开关模式转换器的一个缺点是:它们会产生输出纹波。虽然纹波幅度相对较低,但它们会耦合到模拟信号路径的关键元件中,可能会破坏测量和降低性能。电源元件通常必须具备极低的噪声,并且在PCB的多个位置进行充分的电源去耦,以防止信号链的性能下降。

电源电压抑制比(PSRR)是衡量系统抑制电源噪声和干扰能力的量化指标。随着DAQ解决方案通过系统级封装(SiP)技术发展成为更完整的信号链解决方案,可将电源去耦和精密信号链封装在一起,以提高整个系统的PSRR。

PSRR定义

电源电压抑制比也称为电源纹波抑制,实质上是电源电压变化与输出电压的比值,用dB表示。

以下公式定义了如何计算PSRR(A_v 为电压增益)。

$$PSRR \text{ (dB)} = 10 \log_{10} \left(\frac{\Delta V_{SUPPLY}^2}{\Delta V_{OUT}^2} \right) \quad (1)$$

PSRR是一个重要的参数,用于量化电路对电源噪声和扰动的敏感度及其对电路输出的影响。通常在较宽的频率范围(直流到数MHz)内测量,PSRR会随频率升高而降低。

系统设计人员经常在电路的电源节点中添加解耦电容,以减少可能耦合到敏感元件中的噪音和毛刺。对于放大器,将0.1 μ F陶瓷电容放置在尽量靠近电源引脚的位置,以减少高频耦合。此外,为了提供低频解耦,可并联连接较大的10 μ F钽电容,一般将其放置在更靠近电源的位置。

PSRR推动因素

一些系统设计人员不愿使用高功耗、低噪声功率转换元件,其中一个原因是他们希望获得高能效比。电池供电的DAQ系统就是这种要求以低功耗获取高性能的应用,因此需要设计对电源噪声不敏感的DAQ系统。

现代设备通常包含多个由同一电池供电的系统。在一定条件下,如果一个系统或设备的功耗增加,那么电池电压,以及由该电池供电的其他设备的电源电压都可能发生变化。由于这些原因,在设计系统的电池管理电路时,dc PSRR参数非常重要。设计人员可以根据系统的灵敏度,使用LDO稳压器来帮助消除压降。在电池供电系统中,如果需要纹波触发降压、升压或反相稳压器,则AC PSRR也是一个重要参数。

对于工业应用,系统噪声是关键指标。例如,附近设备的电磁干扰(EMI)会与电源耦合,导致出现噪声杂散和其他误差。为了帮助最大限度减少这些噪声杂散,使用解耦电容和合适的PCB设计技术(例如接地、屏蔽,以及正确放置元件)非常重要。

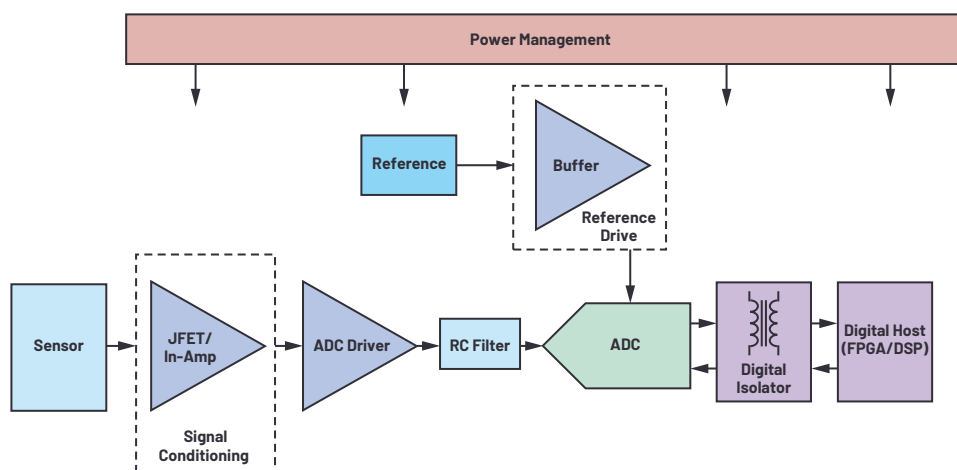


图1 典型的精密数据采集信号链。

图1展示典型的精密数据采集系统信号链。各个元件都不同程度地受电源噪声的影响。添加合适的解耦电容，可以提高图1所示的信号链各元件在更高频率下的PSRR性能。

ADI公司的信号链μModule®数据采集解决方案可以帮助解决一些电源设计难题，例如优化线路布局、添加解耦电容，以及在某些情况下，添加电源管理元件，例如LDO稳压器。ADAQ4003是一款μModule数据采集解决方案，所有电源都包含解耦电容，以降低其对扰动的敏感度。ADAQ7980/ADAQ7988 μModule数据采集系统包括解耦电容和一个LDO稳压器。集成式LDO稳压器可以进一步简化设计—系统设计人员只需提供一个干净电源为μModule器件供电，如果需要，还可以旁路LDO稳压器。

当前测试分立元件PSRR的方法

分立元件PSRR测试是特性表征计划中的常见组成部分，它采用一套完善的标准和方法进行。分立元件PSRR测试通常在没有任何外部电源去耦电容的情况下进行，以揭示供电轨上的大量噪声对性能的直接影响。

通常，可以使用函数发生器和示波器，或者使用网络分析仪，通过向直流电源电压注入不同的频率，并测量DUT输出的扰动量来确定放大器的PSRR特性。

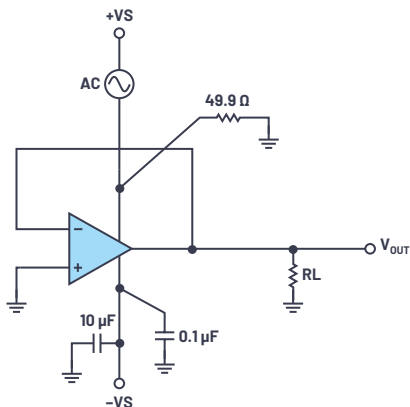


图2 分立式PSRR测试电路示例。

对分立器件执行ac PSRR测试需要将交流信号注入直流电源电压，并测量相对于电源激励的输出干扰。例如，在100 kHz频率下，ADA4945的PSRR为115 dB。这意味着电源上1 V_{PEAK}、100 kHz的交流干扰表现为器件输出端约1.79 μV_{PEAK}的电压信号。

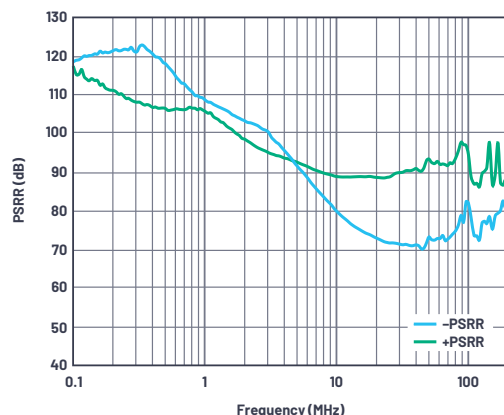


图3 ADA4945全差分ADC驱动器的PSRR与频率的关系。

测试ADC的PSRR性能与测试放大器类似，但它不是测试电压输出，而是数字码输出。对于ac PSRR，ADC的PSRR是该频率下ADC输出功率与该频率下施加于ADC V_{DD}电源的200 mV p-p正弦波功率的比值。图4和图5分别显示SAR ADC的测试配置和得到的典型响应。

$$PSRR \text{ (dB)} = 10 \log \left(\frac{P_{V_{DD_IN}}}{P_{V_{ADC_OUT}}} \right) \quad (2)$$

对于dc PSRR测试，误差是由于电源电压偏离标称值而引起的满量程转换点的最大变化。

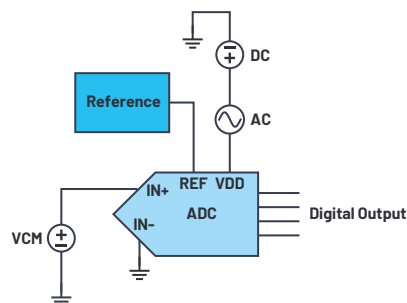


图4 单端ADC ac PSRR测试电路。

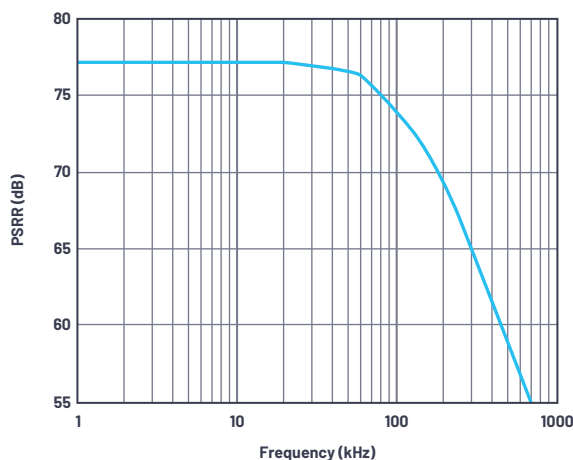


图5. ADC ac PSRR响应。

测试SiP以确定PSRR的挑战在于：它们包含多个高达30 μF 的内部旁路电容，且大部分信号发生器和网络分析仪需要竭力在更高频率下驱动如此大的电容负载。

如何确定信号链 μModule 解决方案的PSRR特性

确定信号链 μModule 解决方案的PSRR特性时，使用的测试方法基本上与测试放大器时使用的方法相同。在直流电源电压上叠加一个交流信号，然后测量电源激励和 μModule 输出之间的关系。但是，受内部电源解耦电容影响，在电源的输入频率增加时，也需要信号源提供更高的电流驱动能力。内部电容确实可以提高对ac PSRR的抗干扰能力，但该测试旨在考虑最糟糕的情况。

信号链 μModule 解决方案可用于各种应用，所以在最终应用中，必须和测试分立元件一样测试SiP的PSRR。虽然包含多个分立元件，但很难预测整个系统会如何响应交流电源激励。

从特性表征角度来看，要正确测试PSRR，首要考虑因素包括内部旁路电容和合适的评估板设计(本文的“评估板开发设计考量”一节会进一步介绍评估板设计)。任何内部旁路电容都会提高信号链 μModule 解决方案的ac PSRR，但这种电容也会影响执行测试的方式。

如前所述，信号发生器不具备驱动较大电容负载的能力。例如，如果信号链 μModule 解决方案的主电源上总共有3 μF 内部旁路电容，并且PSRR测试需要最高10 MHz频率和50 mV p-p振幅。根据这些条件，生成正弦波的信号发生器需要能够驱动约4.71 A电流，并且具有足够带宽来处理10 MHz信号。这是基于解耦电容在10 MHz时的电阻得出。

$$I_C = \frac{V_{PEAK}}{\left(\frac{1}{2\pi f C}\right)} \geq \frac{25 \text{ mV}}{\left(\frac{1}{2\pi \times 10 \text{ MHz} \times 3 \mu\text{F}}\right)} \geq 4.7124 \text{ A} \quad (3)$$

要提供足够电流，可以使用高功率放大器(例如ADA4870)来提供额外的源电流能力。此设置假设使用的函数发生器可以提供偏置DUT所需的直流电压。如果不是这种情况，可以使用偏置器来隔离直流和交流信号路径，或者可以从给定的信号发生器获取可用的直流偏置，以满足其他所需的输出要求。

ADA4870评估板具备SMA输入和SMA输出，因此能够提供一种相对简单的方法来连接评估板和信号发生器。

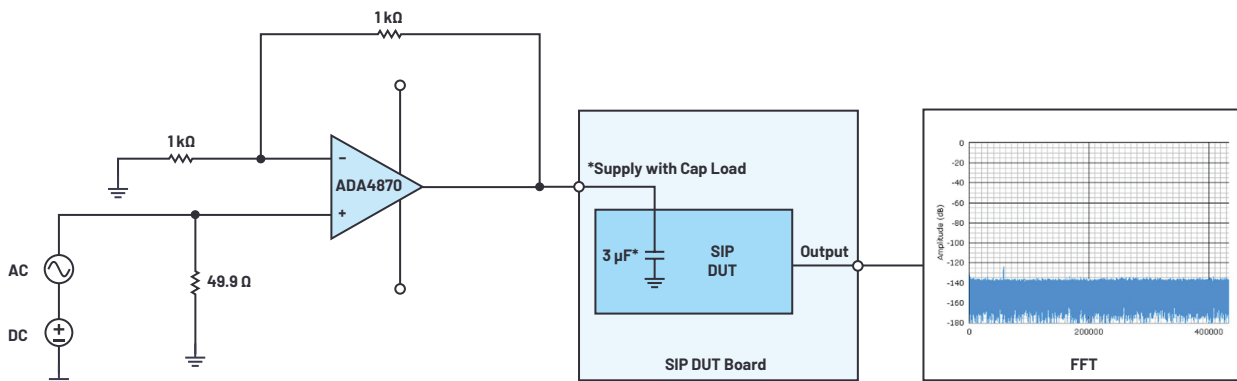


图6. 使用ADA4870的PSRR设置框图。

评估板开发设计考量

设计也可用于实施PSRR测试的评估板并不等于要大幅变更设计。牢记以下几点：

- ▶ 对于要实施PSRR测试的每个电源，需提供一个通过SMA驱动选项，以保持信号源信号的完整性。
- ▶ 注意减少从SMA输入到DUT上相关电源层这一路径中的任何寄生电感和电容。任何寄生电容或电感都可能在相关频率产生干扰谐振。

- ▶ 对于每个电源，确保其相关电源层是整体，也就是说，不会被无源元件和多个层分成多个部分。例如，一个电流检测电阻不应横跨两个电源层(如图7所示)。此外，尽量减少电源跨层的次数，避免通孔产生寄生电感，如图8中的高频模型所示。图7所示的电阻可用于电流检测，但在这种情况下，它们为0 Ω 。图9显示更好的PCB电源层布线，图10则显示高频等效模型。

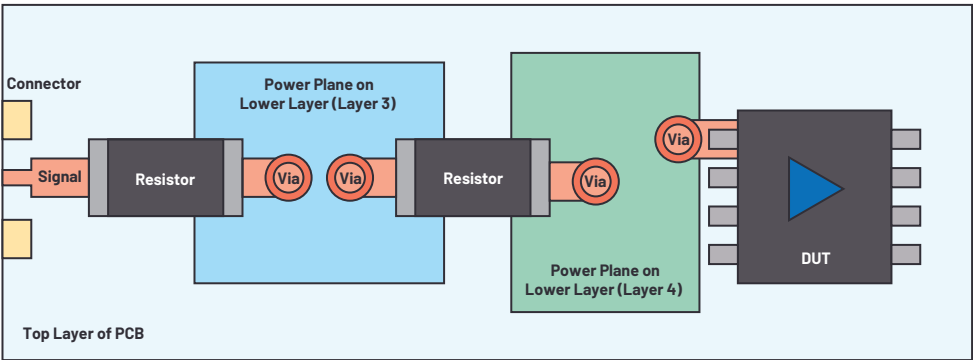


图7. 不良的电源层连接设计示例。

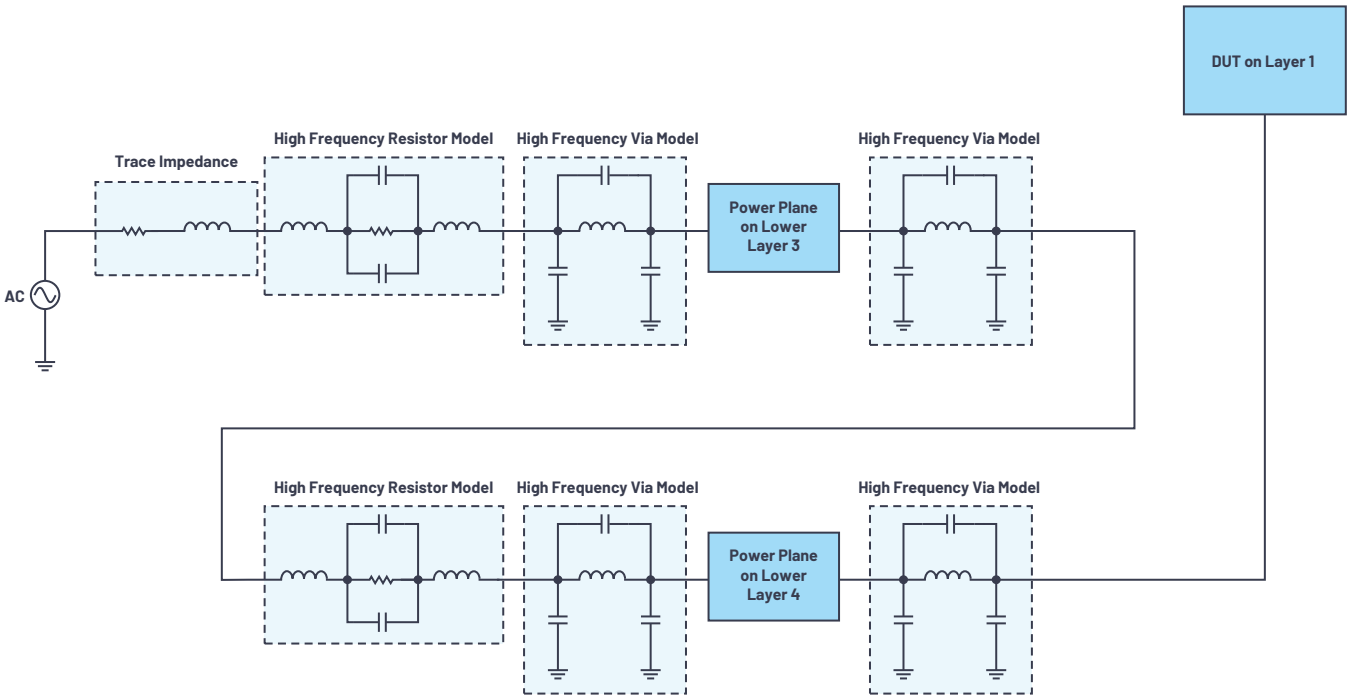


图8. 图7的高频等效原理图。

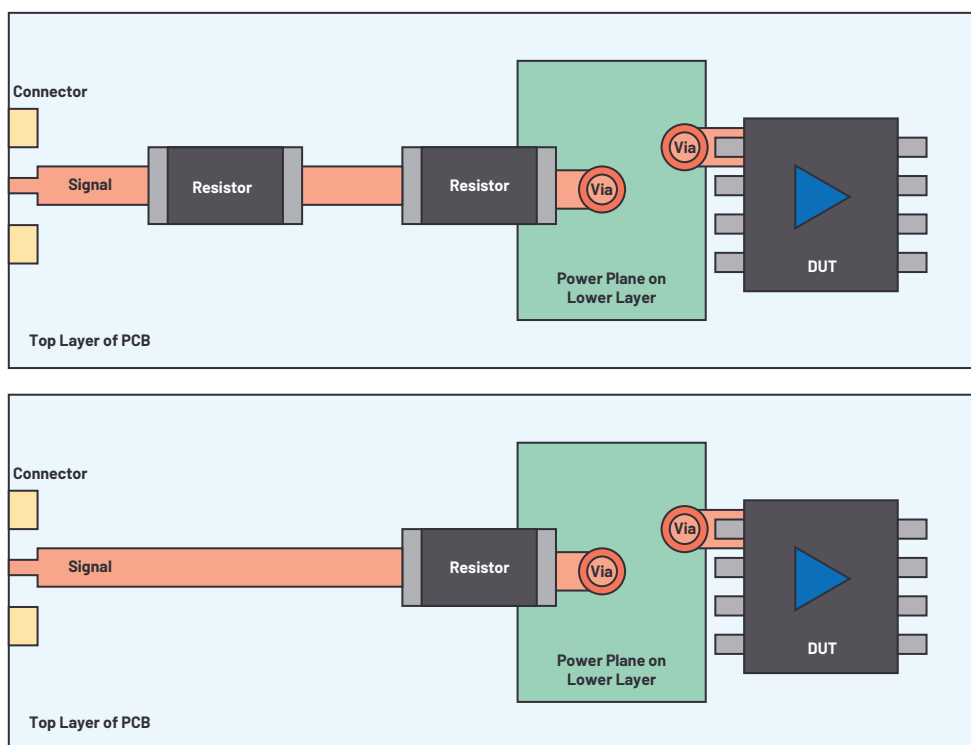


图9. 优化PCB电源层布线：更优性能。

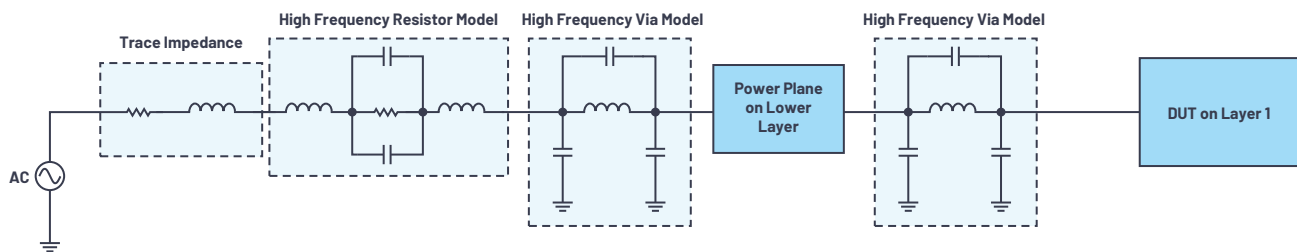


图10. 图9的高频等效原理图。

必须在没有DUT的情况下测试评估板，以确保相关频率范围内没有任何干扰谐振。如果存在谐振，应在数据处理期间加以解决。对于每个频率，都要通过示波器验证电源信号是否符合预期，不要相信信号发生器上的拨盘。

测试设置

如前所述，被测信号链μModule解决方案的电源必须能够提供额定直流偏置，以便在最大输入频率下为DUT供电，为交流激励提供足够电流。要在图中所示的设置中实现这一目标，需结合使用ADA4870评估板(同相增益为2)和AD3256函数发生器。

图显示自定义的ADA4870功率放大器评估板和ADA4355评估板。

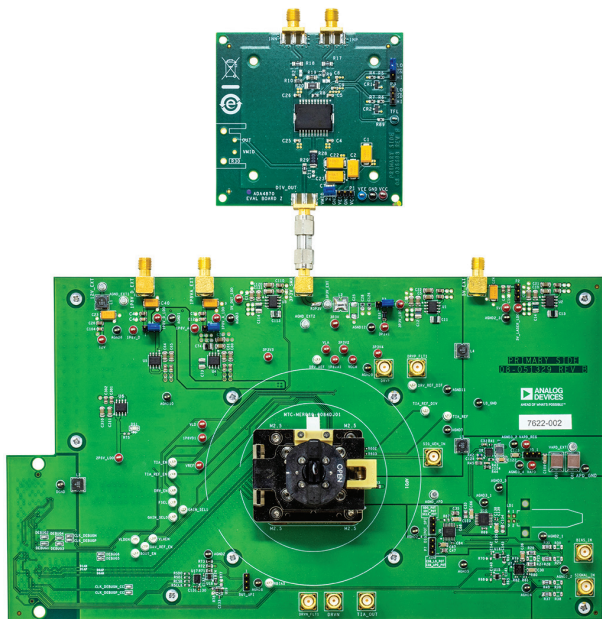


图. 用于执行PSRR测试的ADA4355评估板和ADA4870评估板。

图2中所示的数据是通过捕捉每个输入频率下的数据并查看每个频率下FFT (dBFS)的功率而生成的。可以使用公式4求解该频率下的电压电平：

$$V_{OUT_PSRR} = 10^{\frac{P_{OUT_PSRR}}{20}} \times V_{FULLSCALE} \quad (4)$$

利用得出的 V_{OUT_PSRR} 来计算PSRR：

$$PSRR(F) = 20 \log_{10} \left(\frac{V_{OUT_PSRR}}{V_{SUPPLY_AC}} \right) \quad (5)$$

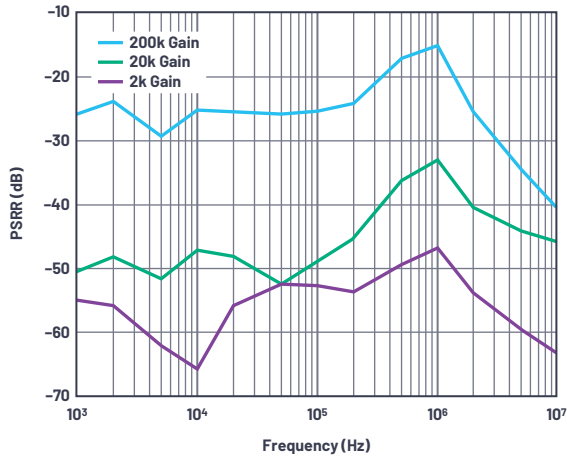


图2. ADA4355 PSRR测试结果。



作者简介

Naveed Naeem于2016年加入ADI公司担任产品测试开发工程师。加入ADI公司之前，他曾在一家汽车传感器公司担任了3年的电气工程师。他的工作领域包括传感器应用、模数转换器、音频应用和软件开发。他于2013年毕业于伍斯特理工学院，获得电子和计算机工程学士学位。联系方式：naveed.naeem@analog.com。



作者简介

Samantha Fontaine是ADI线性产品和解决方案(LPS)部的产品工程师。她获得伍斯特理工学院(WPI)电气和计算机工程学士学位后，于2012年6月加入ADI公司。她目前在攻读塔夫斯大学工程管理硕士学位。联系方式：samantha.fontaine@analog.com。

结论

ADI公司的信号链μModule解决方案集成了信号调理、电源产生和无源内部元件。这些一体化系统级封装设计有助于客户在极小的PCB尺寸空间内快速实现符合市场需求的预期性能。虽然信号链μModule解决方案简单易用，但必须进行适当的测试。尽管可以采用PSRR标准测试方法，但由于标准设备本身的限制，通常需要额外的电流驱动能力。

参考文献

“运算放大器电源电压抑制比(PSRR)与电源电压。” (ADI公司，2009年)

Rob Reeder。 “高速ADC的电源设计”，ADI公司，202年2月。

Glenn Morita。 “理解低压差稳压器(LDO)概念，实现系统优化设计。” 模拟对话，第48卷第2期，204年2月。

Alan Walsh。 “在功率敏感型应用中利用高效率、超低功耗开关稳压器为精密SAR ADC供电。” ADI公司，206年3月。

非常见问题第179期： 使用超级电容储能： 多大才足够大？

Markus Holtkamp，战略营销总监；Gabino Alonso，现场应用工程师

问题：

为备用电源系统选择超级电容时，可以采用简单的能源计算方法吗？



答案：

简单的电能计算方法可能达不到要求，除非您将影响超级电容整个生命周期的储能性能的所有因素都考虑进去。

简介

在电源备份或保持系统中，储能媒介可能占总物料成本(BOM)的绝大部分，且占据大部分空间。优化解决方案的关键在于仔细选择元件，以达到所需的保持时间，但又不过度设计系统。也就是说，必须计算在应用使用寿命内满足保持/备份时间要求所需的储能量，而不过度储能。

本文介绍考虑超级电容在其使用寿命期间的变化，在给定保持时间和功率下选择超级电容和备用控制器的策略。

静电双层电容(EDLC)或超级电容(supercaps)都是有效的储能设备，可以弥补更大更重的电池系统和大容量电容之间的功能差距。相比可充电电池，超级电容能够承受更快速地充放电周期。因此在电能相对较低的备用电源系统、短时充电系统、缓冲峰值负载电流系统和能量回收系统中，超级电容用于短期储能比电池更好(参考表1)。在现有的电池-超级电容混合系统中，超级电容的高电流和短时电源功能是对电池的长持续时间、紧凑储能功能的有效补充。

表1.E DLC和锂离子电池之间的比较

特性	超级电容	锂离子电池
充电/放电时间	<1 s 至 >10 s	30分钟至600分钟
端电极/过度充电	—	是
充电/放电效率	85%至98%	70%至85%
生命周期	100,000+	500+
最低至最高电池电压(V)	0至2.3*	3至4.2
比能量(Wh/kg)	1至5	100至240
比功率(W/kg)	10,000+	1000至3000
温度(°C)	-40°C至+45°C*	0°C至+45°C充电*
自放电速率	高	低
本质安全	高	低

*为了保持合理的使用寿命

需注意，超级电容承受高温和高电池电压会缩短超级电容的使用寿命。必须确保电池电压不超过温度和电压额定值，在需要堆叠超级电容，或者输入电压无法获得有效调节的应用中，这些参数符合工作规格要求(参见图1)。

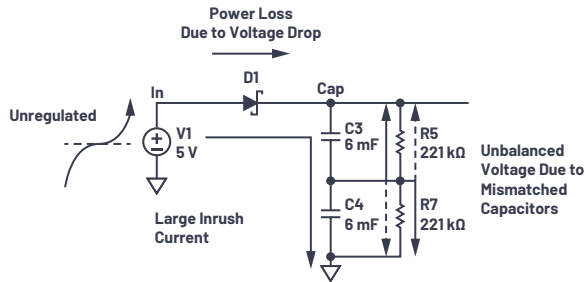


图1 过度简单的设计导致超级电容充电方案存在风险的示例。

使用分立式组件很难构建出可靠又高效的解决方案。相比之下，集成式超级电容充电器/备用控制器解决方案易于使用，且一般提供以下大部分或全部功能：

- ▶ 无论输入电压如何变化，都能稳定调节电池电压
- ▶ 各个堆叠电池可实现电压平衡，确保无论电池之间是否失配，都在所有运行条件下提供匹配的电压
- ▶ 电池电压保持低传导损耗和低压差，确保系统能从给定的超级电容获取最大电量
- ▶ 浪涌限流，支持带电插入电路板
- ▶ 与主机控制器通信

选择合适的集成式解决方案

ADI公司提供一系列集成式解决方案，均采用所有必需的电路，通过单个IC提供备用系统的所有基本功能。表2总结了一些ADI公司超级电容充电器的功能。

表2. 集成式超级电容充电器解决方案的功能概览

	LTC3110	LTC4041	LTC3350	LTC3351	LTC3355
V_{IN} (V)	1.8 至 5.25	2.9 至 5.5 (60 V OVP)	4.5 至 35	4.5 至 35	3 至 20
充电器($V_{IN} \rightarrow V_{CAP}$)	2 A降压-升压	2.5 A降压	10+ A降压控制器	10+ A降压控制器	1 A降压
电池数量	2	1 至 2	1 至 4*	1 至 4*	1
电池平衡	是	是	是	是	—
V_{CAP} (V)	0.1 至 5.5	0.8 至 5.4	1.2 至 20	1.2 至 20	0.5 至 5
DC-to-DC ($V_{CAP} \rightarrow V_{OUT}$)	2 A降压-升压	2.5 A升压	10+ A升压控制器	10+ A升压控制器	5 A升压
V_{OUT} 范围(V)	1.8 至 5.25	2.7 至 5.5	4.5 至 35	4.5 至 35	2.7 至 5
PowerPath	内部FET	外部 FET	外部 FET	外部 FET	单独升压
涌入电流限制	—	—	—	是	—
系统监控	—	PWR供电轨、PG	V, I, cap, ESR	V, I, cap, ESR	V_{IN}, V_{OUT}, V_{CAP}
封装	24引 脚TSSOP、 24引 脚QFN	4 mm × 5 mm, 24引 脚QFN	5 mm × 7 mm, 38引 脚QFN	5 mm × 7 mm, 38引 脚QFN	4 mm × 4 mm, 20引 脚QFN

*可以配置用于四个以上电容

对于采用3.3 V或5 V供电轨的应用，可以考虑：

- ▶ **LTC3110**：2 A双向降压-升压型DC-DC稳压器和充电器/平衡器
- ▶ **LTC4041**：2.5 A超级电容备份电源管理器

对于采用12 V或24 V供电轨的应用，或者如果需要高于10 W的备用电源，可以考虑：

- ▶ **LTC3350**：大电流超级电容后备控制器和系统监视器
- ▶ **LTC3351**：可热插拔的超级电容充电器、后备控制器和系统监视器

如果您的系统需要使用主降压稳压器来调节3.3 V或5 V供电轨，使用内置升压转换器来备份，使用单个超级电容或其他能源进行临时备份或断电应急操作，您应该考虑：

- ▶ **LTC3355**：20 V、1 A降压型DC-DC系统，带集成式超级电容充电器和后备稳压器

ADI公司还提供许多其他恒流/恒压(CC/CV)解决方案，可用于为单个超级电容、电解电容、锂离子电池或NiMH电池充电。有关[超级电容解决方案](#)的更多信息，请访问 [analog.com](#)。

有关其他解决方案的更多信息，请联系当地FAE或[地区支持团队](#)。

计算保持或备份时间

在设计超级电容储能解决方案时，多大才足够大？为了限定讨论分析的范围，我们将重点探讨高端消费电子产品、便携式工业设备、电能计量和军事应用中使用的经典保持/备份应用。

这项设计任务就相当于一位徒步旅行者确定进行一天徒步旅行需要带多少水。带少量水上山一开始肯定很轻松，但他可能过早地将水喝完，尤其是在艰难的徒步行程中。而携带一大瓶水的话，徒步旅行者需要背负额外的重量，但可以在整个旅程中可以保持充足饮水。此外，徒步旅行者还需要考虑天气状况：天热时多带水，天冷时少带水。

选择超级电容与此非常类似：保持时间和负载与环境温度一样，都非常重要。此外，还必须考虑标称电容的使用寿命退化，以及超级电容本身的ESR。一般而言，超级电容的寿命终止(EOL)参数定义为：

- 额定(初始)电容降低到标称电容的70%。
- ESR达到了额定初始值的两倍。

这两个参数在以下计算中非常重要。

要确定电源组件的大小，需要先了解保持/备份负载规格。例如，在电源故障的情况下，系统可能会禁用非关键负载，以便将电能传输给关键电路，例如那些将数据从易失性存储器保存到非易失性存储器的电路。

电源故障有多种形式，但备份/保持电源通常必须支持系统在持续故障时平稳关闭，或在出现短暂的电源故障时继续运行。

这两种情况下，都必须根据备份/保持期间需要支持的负载总量，以及必须支持这些负载的时间，来确定组件大小。

保持或备份系统所需的能量：

$$Energy_{Required} = \frac{1}{Efficiency} \times Power \times Time \quad (1)$$

电容中储存的电能：

$$Energy_{Stored} = \frac{1}{2} C V_{Capacitor}^2 \quad (2)$$

根据设计常识和经验，要求电容中存储的电能必须大于保持或备份所需的电能：

$$Energy_{Stored} > Energy_{Required} \quad (3)$$

这可以粗略估算出电容的大小，但不足以确定真正可靠的系统所需的大小。必须确定关键细节，比如造成电能损失的各种原因，这些最终可能导致需要更大的电容。电能损失分为两类：因DC-DC转换器效率导致的损失，以及电容本身导致的损失。

如果在保持或备份期间，由超级电容为负载供电，还必须知道DC-DC转换器的效率。效率取决于占空比(线路和负载)条件，可以从控制器数据手册获取。表2中器件的峰值效率为85%到95%，在保持或备份期间随负载电流和占空比不同而变化。

超级电容电能损失量相当于我们无法从超级电容中提取的电能。这种损耗由DC-DC转换器的最小输入工作电压决定，取决于DC-DC转换器的拓扑，称为压差。这是在比较集成式解决方案时需要考虑的一个重要参数。

采用前面的电容电能计算方法，减去低于 $V_{Dropout}$ 时无法获取的电能，可以得到：

$$Energy_{Usable} = \frac{1}{2} C (V_{Capacitor}^2 - V_{Dropout}^2) \quad (4)$$

那么， $V_{Capacitor}$ 呢？很显然，将 $V_{Capacitor}$ 设置为接近其最大额定值会增加存储的电能，但这种策略存在严重的缺陷。通常，超级电容的绝对最大额定电压为2.7V，但典型值为2.5V或低于2.5V。这是考虑到应用的使用寿命，以及额定的工作环境温度(参见图2)。在较高的环境温度下使用较高的 $V_{Capacitor}$ ，会降低超级电容的使用寿命。对于需要很长的使用寿命或在相对较高的环境温度下运行的稳健应用，建议使用较低的 $V_{Capacitor}$ 。各超级电容供应商通常根据嵌位电压和温度来提供估计使用寿命的特性曲线。

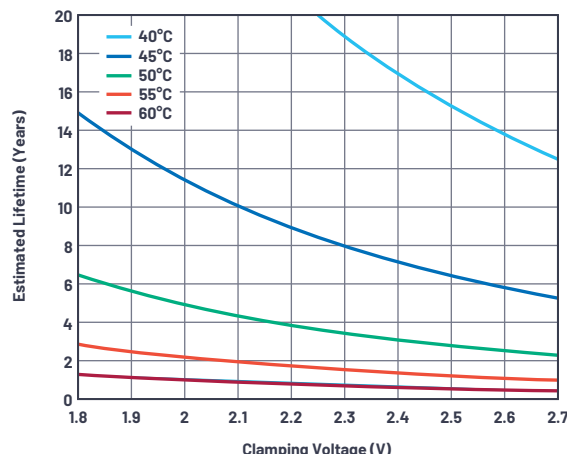


图2 使用寿命与嵌位电压的关系图(以温度作为关键参数)。

最大功率传输定理

必须考虑的第三个影响因素不是特别明显：最大功率传输定理。为了从具有等效串联电阻的超级电容源获得最大外部功率(参见图3)，负载电阻必须等于源电阻。本文交替使用耗尽、备份或负载几种表述，在这里它们都表示相同的意思。

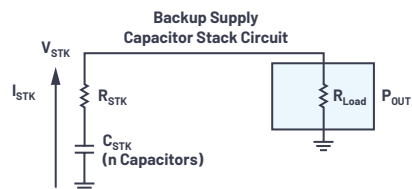


图3 从具有串联电阻的电容堆栈供电。

如果我们将图3中的示意图作为戴维南等效电路，可以使用以下公式，轻松计算出负载的功耗：

$$P_{OUT} = V_{STK}^2 \frac{R_{Load}}{(R_{STK} + R_{Load})^2} \quad (5)$$

$$P_{OUT} = (I_{STK} R_{STK})^2 \frac{R_{Load}}{(R_{STK} + R_{Load})^2} \quad (6)$$

为了计算最大的功率传输，我们可以对前一个公式求导，求出它为零时的条件。 $R_{STK} = R_{LOAD}$ 时就是这种情况。

让 $R_{STK} = R_{LOAD}$ ，可以得出：

$$P_{OUT(MAX)} = \frac{V_{STK}^2}{4R_{STK}} \quad (7)$$

这也可以直观地理解。也就是说，如果负载电阻大于源电阻，由于总电路电阻增大，负载功率会降低。同样，如果负载电阻低于源电阻，则由于总电阻降低，大部分功耗在电容源内；类似的，负载中消耗的功率也降低。因此，对于给定的电容电压和给定的堆栈电阻(超级电容的ESR)，当源阻抗和负载阻抗匹配时，可传输功率最大。

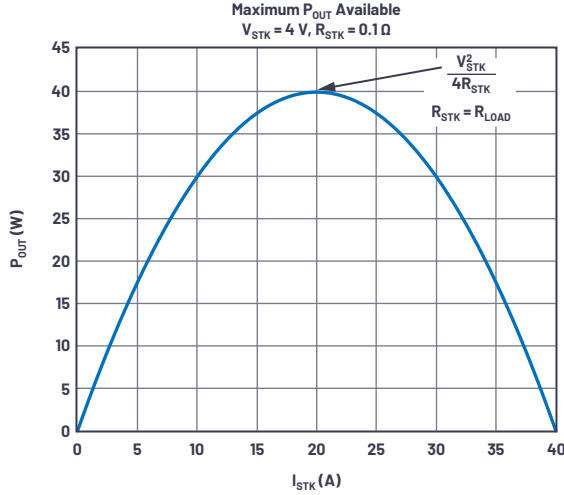


图4. 可用功率与堆栈电流的关系曲线。

关于设计中的可用电能有一些提示说明。由于堆叠式超级电容的ESR固定不变，所以在备份操作期间唯一变化的值就是堆栈电压，当然也包括堆栈电流。

为了满足备份负载的要求，随着堆栈电压降低，支持负载所需的电流增加。遗憾的是，电流增加到超过定义的最佳水平时，会增加超级电容的ESR损失，从而导致可用备份功率降低。如果这种情况发生在DC-DC转换器达到其最低输入电压之前，则会转化为额外的可用电能损失。

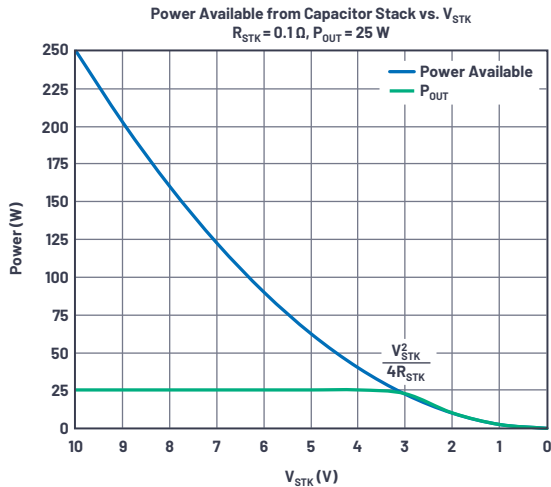


图5. 此图显示某些输出功率所需最小 V_{IN} 的推导过程。

图5显示可用功率与 V_{STK} 的函数关系图，假设最优电阻与负载匹配，备用功率为25 W。此图也可以视为无单位时基：当超级电容满足所需的25 W备份功率时，超级电容向负载放电，堆栈电压随之降低。在3 V时，存在一个拐点，此时负载电流高于最优水平，导致负载的可用备用功率降低。这是系统的最大输出功率点，就在这个点，超级电容的ESR损失增加。在这个示例中，3 V明显高于DC-DC转换器的压差，所以不可用电能完全由超级电容引起，导致调节器未得到充分利用。理想情况下，超级电容达到压差，使得系统供电能力达到最高。

使用之前的 P_{BACKUP} 方程，我们可以求解 $V_{STK(MIN)}$ 。同样，我们也可以考虑升压转换器的效率，并将其加到这个公式中：

$$V_{STK(MIN)} = \sqrt{4R_{STK} P_{Backup}} \quad (8)$$

$$\text{升压运算: } V_{STK(MIN)} = \sqrt{\frac{4R_{STK} P_{Backup}}{\eta}} \quad (9)$$

使用这个下限值 $V_{STK(MIN)}$ ，我们可以从最大和最小电池电压中得出电容利用率 α_B ：

$$\alpha_B = \frac{V_{STK(MAX)}^2 - V_{STK(MIN)}^2}{V_{STK(MAX)}^2} \quad (10)$$

在确定备份时间时，不仅超级电容的电容值至关重要，电容的ESR也同样重要。超级电容的ESR决定了有多少堆栈电压可用于备份负载，也就是利用率。

由于从输入电压、输出电流和占空比方面来看，备份过程是一个动态过程，所以计算所需堆栈电容的完整公式不会像前面的版本那么简单。可以看出，最终公式为：

$$C_{SC} \geq \frac{2P_{Backup} t_{Backup}}{n \eta V_{STK(MAX)}^2 \left[\frac{\alpha_B + \sqrt{\alpha_B}}{2} - \frac{1 - \alpha_B}{2} \ln \left(\frac{1 + \sqrt{\alpha_B}}{\sqrt{1 - \alpha_B}} \right) \right]} \quad (11)$$

其中 η = DC-DC转换器的效率。

超级电容备份系统设计方法

根据前面介绍的概念和计算说明，超级电容备份系统设计方法总结如下：

- 确定 P_{Backup} 和 t_{Backup} 的备份要求。
- 针对所需的电容使用寿命确定最大电池电压 $V_{STK(MAX)}$ 。
- 选择堆叠电容数量(n)。
- 为超级电容选择所需的利用率 α_B (例如，80%到90%)。
- 求解得出电容 C_{SC} ：

$$C_{SC} \geq \frac{2P_{Backup} t_{Backup}}{n \eta V_{STK(MAX)}^2 \left[\frac{\alpha_B + \sqrt{\alpha_B}}{2} - \frac{1 - \alpha_B}{2} \ln \left(\frac{1 + \sqrt{\alpha_B}}{\sqrt{1 - \alpha_B}} \right) \right]} \quad (12)$$

- 找到具有足够 C_{SC} 的超级电容，并检验是否满足最低 R_{SC} 公式：

$$R_{SC} \leq \frac{\eta (1 - \alpha_B) n V_{STK(MAX)}}{4P_{Backup}} \quad (13)$$

图6. 采用25 F电容的36 W、4秒保持时间系统和LTC3350/LTC3351的计算结果。

图7. 采用45 F电容系统和LTC3350/ LTC3351的计算结果。

如果没有合适的电容，可以选择更高的电容、更高的电池电压、更多的堆叠电容或更低的利用率进行迭代。

考虑超级电容的寿命终止因素

对于必须达到一定使用寿命的系统，使用前面所述方法并考虑EOL值时必须进行相应更改，一般采用70% C_{NOM} 、200% ESR_{NOM} 。这使计算变得复杂，但是大部分ADI超级电容管理器都可以使用产品页面上现有的电子表格工具进行计算。

我们以LTC3350为例来使用简化方法：

- ▶ 所需的备用功率为36 W，持续时间为4秒。
- ▶ 为实现更长的使用寿命/支持更高的环境温度，将 $V_{CELL(MAX)}$ 设置为2.4 V。
- ▶ 四个电容以串联方式堆叠在一起。
- ▶ DC-DC效率(η)为90%。
- ▶ 使用最初推测的25 F电容，通过电子表格工具可得出结果，如图6所示。

基于最初推测的25 F电容，我们使用标称值得出了所需的4秒备份时间(具有25%的额外裕量)。但是，如果我们考虑ESR和电容的EOL值，我们的备份时间几乎缩短一半。若要使用电容的EOL值获得4秒备份时间，我们必须至少修改其中一个输入参数。由于它们大多是固定值，因此电容是最容易增加的参数。

- ▶ 将电容增加至45 F，通过电子表格工具得出结果，如图7所示。

使用45 F时，由于标称值提供了长达9秒的备份时间，增加的幅度似乎很大。但是，通过添加 CAP_{EOL} 和 ESR_{EOL} 参数，并得出6.2 V最低堆栈电压之后，考虑EOL时的备份时间骤降一半。但是，这仍然满足我们需要4秒备份时间的要求，并且具有5%的额外裕量。

额外的超级电容管理器功能

LTC3350和LTC3351通过集成ADC提供额外的遥测功能。这些部件可以测量超级电容堆栈的系统电压、电流、电容和ESR。进行电容和ESR测量时，对在线系统的影响也极小。器件配置和测量通过I²C/SMBus进行通信。因此系统处理器能够在应用的生命周期内监控重要参数，确保可用的备份电源满足系统要求。

LTC3350和LTC3351能够实时测量超级电容堆栈的电容和ESR，使用新电容时可降低钳位电压，从而轻松满足备份要求。接收遥测数据的处理器可以进行编程，以实施上述计算。因此系统可实时计算满足备份时间所需的最小钳位电压，并考虑实时电容和ESR。该算法将进一步提高超级电容备份系统的使用寿命，如图2所示，在高温条件下，即使钳位电压稍微降低，也会显著延长超级电容的寿命。

最后，LTC3351具有热插拔控制器，用于提供保护功能。热插拔控制器使用背对背N通道MOSFET提供折返限流功能，可减少高可用性应用中的浪涌电流和短路保护。

结论

利用标称值下的电能传输基础知识，可以将计算满足备用规格所需的电容值转换为简单的计算所需功率，以及存储功率问题。遗憾的是，当您考虑最大功率传输、电容器的EOL电容和ESR的影响时，这种简单的方法无法满足要求。这些因素会极大地影响系统在整个寿命周期内的可用电能。利用ADI的集成超级电容解决方案和大量可用的备份时间计算工具，模拟工程师可以胸有成竹地设计和构建可靠的超级电容器备份/保持解决方案，不仅能够应用的使用寿命内满足设计要求，而且对成本的影响极小。



作者简介

Markus Holtkamp于1993年获得德国波鸿大学颁发的学位。他于2010年10月加盟凌力尔特(现为ADI公司的一部分)，担任现场应用工程师(FAE)，为中欧客户提供技术支持。Markus曾在一家德国设计公司担任了14年的IC设计师(高速和混合信号ASIC)，也曾任Arrow Electronics工作三年半，担任模拟现场应用工程师。他已婚，有两个孩子，酷爱体育运动。联系方式：markus.holtkamp@analog.com。



作者简介

Gabino Alonso目前是Power by Linear™部门的战略营销总监。加入ADI公司之前，Gabino在凌力尔特、德州仪器、加州理工州立大学担任过市场营销、工程、运营和讲师等多个职位。他拥有加州大学圣巴巴拉分校电子和计算机工程硕士学位。联系方式：gabin.alonso@analog.com。

将A²B用于音频会议系统

Carlos Martins，现场应用工程师

摘要：减少会议室内的音频线缆

如今，现代化会议室的音频装置面临的主要障碍之一是需要将各种输入/输出传感器连接到主音频控制台。通常是在每个节点使用单独的点对点屏蔽电缆来实现，但这种做法非常繁杂，且仍然需要在每个节点提供单独的外部电源。除了做法繁杂之外，这些电缆还携带模拟音频信号，易受明显的频率下降影响，特别是在长距离安装，或者在使用经济型电缆选项时。

适用于汽车音频总线A²B[®]的收发器芯片通过单根非屏蔽双绞线(UTP)电缆支持多通道数字音频。多个收发器节点可以采用菊花链连接，除了传输高保真数字音频之外，A²B总线还可以为由总线供电的远程节点传输直流电源。图1所示为A²B收发器的功能框图。

虽然A²B收发器技术主要是为了解决汽车应用中繁杂的音频电缆问题，但毫无疑问，它也是一种更通用的音频传输方法，具有广泛的应用潜力。在汽车领域之外，A²B技术还可用于会议室系统中。在现代会议系统中，为了实现一系列DSP功能，例如波束成型、主动降噪或回声消除，需要在会议室内布置多个麦克风，有时候是多个扬声器。另一种可能的应用是在公共礼堂、集会，以及需要同步实时翻译的场合。在大型会议室内，真正限制A²B应用的因素是单根总线中的电缆总长，一般限制为40米。

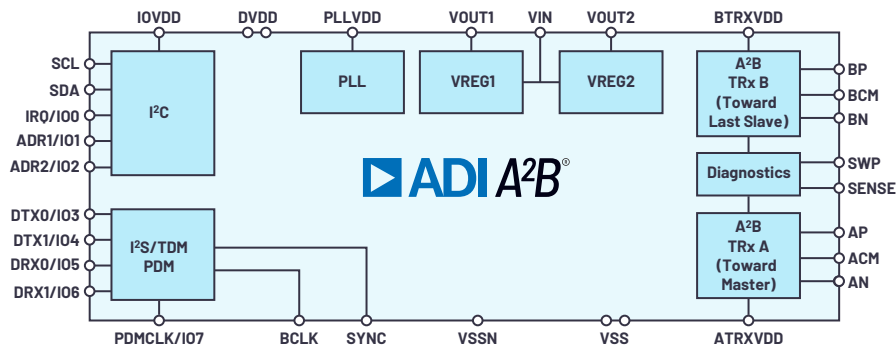


图1. A²B功能框图。

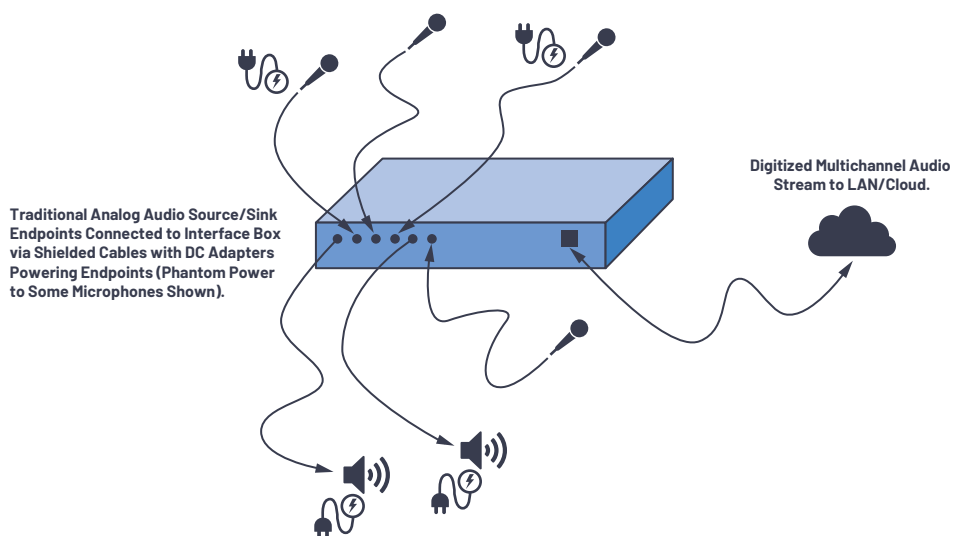


图2 会议室内的传统音频装置。

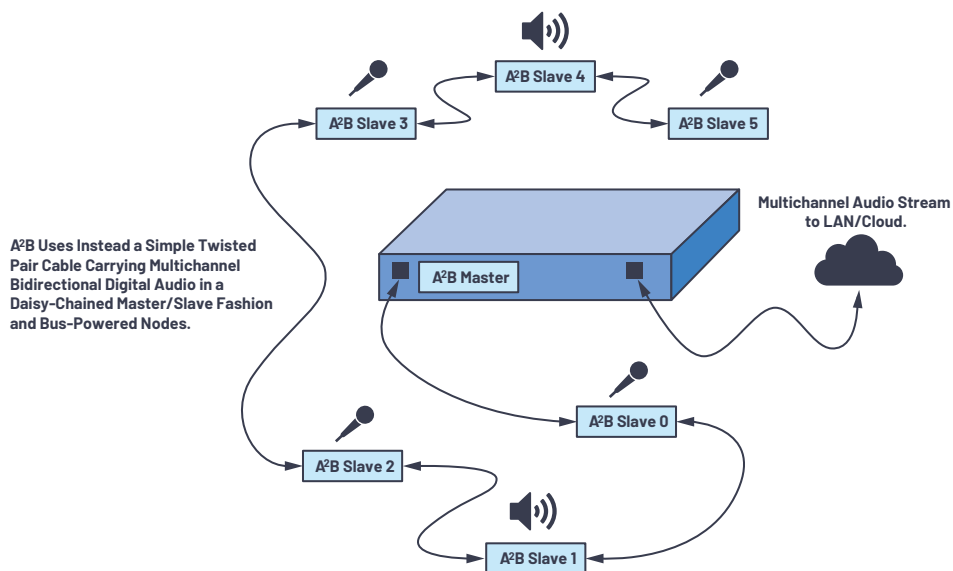


图3. 将A²B用在会议室内的音频装置中。

在这些应用中，A²B收发器可用于简化远程音频节点的布线，同时提供一种带可选电源分配的出色数字传输方法。如图2所示，之前连接这些远程音频节点的方法是使用屏蔽电缆，由每个线对单向传输一个模拟信号，并通过直流适配器单独提供电源。同时，使用A²B的单根双绞线可以传输最多32个上行和/或最多32个下行高保真数字音频通道和总线电源，如图3所示；使用16位数据时，总线中的通道不得超过50个。与传统的模拟方法相比，如果在会议系统中部署所需的A²B功能，确实能带来很多优势，包括简化布线、添加双向高保真数字音频功能等。

A²B收发器同步连接多通道芯片间音频(I²S)，可在节点之间15米的距离，以及在所有节点总长40米的电缆内传输脉冲编码调制(PCM)数据。它还将I²S的同步、时分复用(TDM)特性扩展到连接多个节点的系统，其中每个节点都会获取数据或提供数据，或者两者兼备。除音频内容外，该数据还包括控制功能；例如，A²B收发器芯片上的GPIO(一个典型的A²B收发器上最多支持7条GPIO线路)可以连接到麦克风节点的LED上，并且可由主机远程开关，以指示有活动的(实时)或无活动的(静音)麦克风。

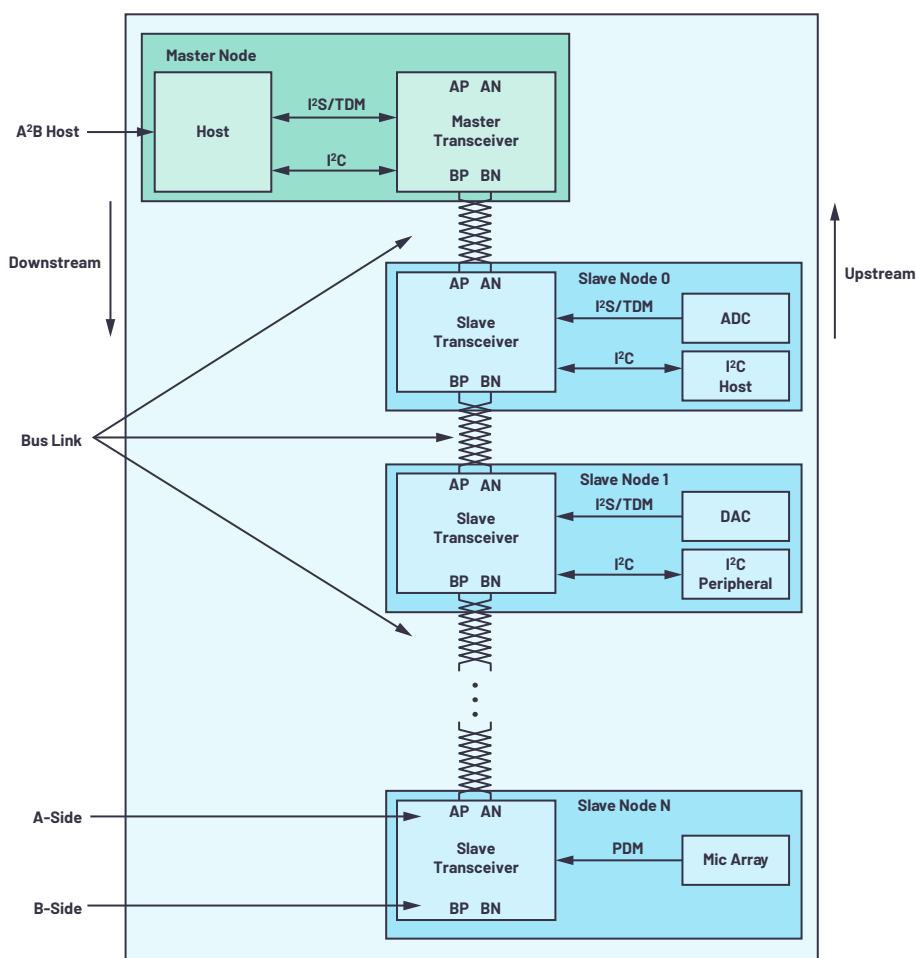


图4. 包含4个节点(一个主机节点, 三个从机节点)的简化型A²B系统。

A²B总线是一种单主机、多从机系统，主控制器中的收发器用作主机。主机节点为所有从机节点生成时钟、同步和帧使能信号。主机A²B芯片可通过控制总线(I²C)编程，实现配置与回读。A²B数据流中内置该控制总线的扩展版本，可以直接访问从机收发器的寄存器和状态信息，并实现跨距离I²C-到-I²C通信。系统通电后采用搜寻发现机制，识别各个节点，并且构成TDM结构要求。所有从机节点按照从机0一直到系统中最后一个可用从机的顺序依次发现。发现了所有的从机节点之后，对每个节点进行初始化，以便进行同步数据交换。图4所示为具有四个节点的简单A²B系统示例。主机程序在每个节点中注册，以控制A²B总线上的数据流量。在本例中，将从机节点0和N上来自数字麦克风和ADC的数据传输到主机节点，同时将来自主机节点的扬声器数据传输到从机节点1上的DAC。如本例所示，A²B收发器也包含一个多通道PDM接口，用于直接连接脉冲密度调制的麦克风阵列。

每个从机节点的音频通道数量可以单独配置，最多32个上游通道和最多32个下游通道。可以使用8、12、16、20、24、28或32位的数据插槽来匹配I²S/TDM数据字的长度，但是所有节点必须使用相同大小的slot上游和下游可以选择不同的slot大小。此外，12位、16位或20位槽大小可以选择性地通过A²B总线传输16位、20位或24位I²S/TDM字长的压缩数据。音频采样频率(f_{SYNCDM})可以设置为44.1 kHz至48 kHz，所有节点同步采样数据。从机节点支持1×(48 kHz)、2×(96 kHz)或4×(192 kHz)采样速率(f_s)，每个从机节点可单独配置。为了在从机节点上支持2倍和4倍采样速率，主机节点必须在连接至主机的1× f_{SYNCDM} 接口使用I²S/TDM数据通道2倍和4倍的通道。A²B收发器还包括可靠的误差检测功能，通过16位CRC来检查控制数据和状态数据。A²B收发器的另一个重要功能是故障诊断，收发器可以检测A²B电缆何时高压短路、接地短路、电缆短路、电缆反向或存在开路连接。

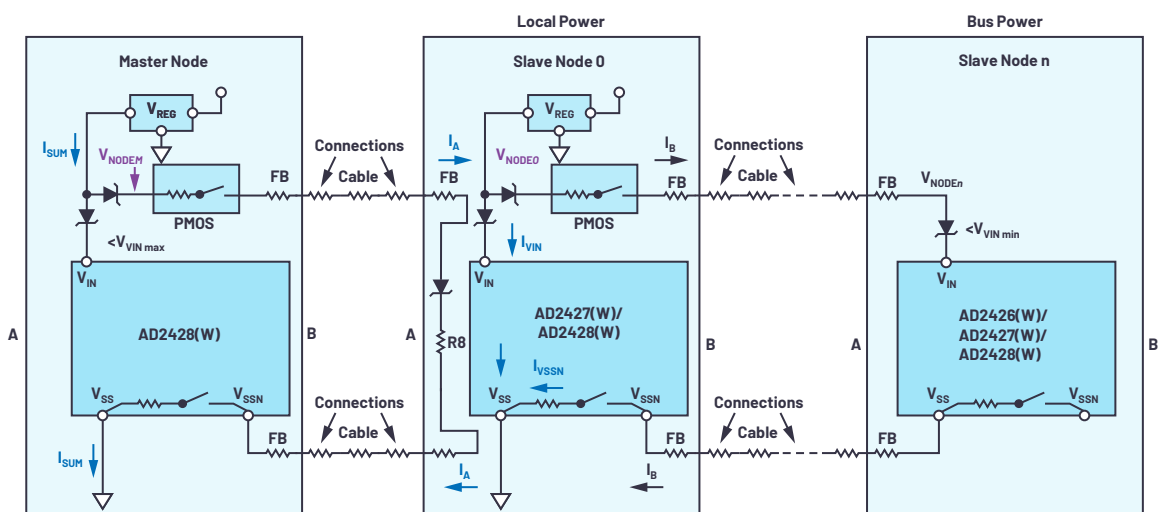


图5. 包含本地供电和由总线供电的从机的系统的直流电源模式。

在总线供电系统中，外设电源电流消耗会直接影响到系统中的其他节点。重要的是，始终保持在热封装限值内，且不超过任何A²B总线节点的 V_{VSSN} 和 V_{IN} 的规格限值(内部开关在1.2 Ω IVSSN限值为300 mA/100 mA，由收发器型号决定；最高提供9 V输入电压 V_{IN})。A²B收发器芯片的数据手册提供丰富的功率预算计算示例，图5所示为一个由总线供电的系统的模型。

虽然一根基本的双线电缆足以支持A²B操作，但正确选择电缆和连接器则有助于其满足行业内常见的更严格的EMC测试要求。需要选择合适的电缆，以便除了典型的光谱辐射范围之外，还能提供出色的电气性能，以免在通信频率谐波下发生差分-共模转换。

多种评估板可选择，使得工程师在设计之前进行，全面测试和评估A²B器件的性能。以下是ADI提供的一些评估板的示例。

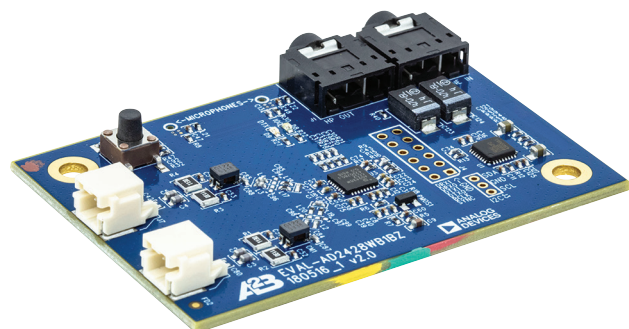


图7 EVAL-AD2428WB1BZ，由总线供电的A²B从机节点(FS/TDM、2个PDM麦克风)。

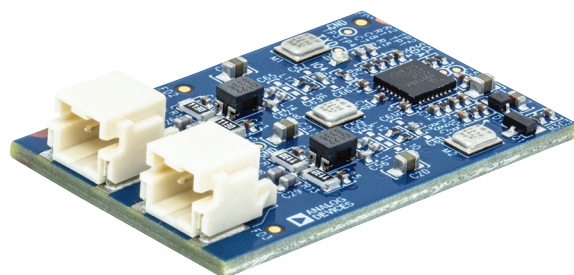


图8 EVAL-AD2428WC1BZ，由总线供电的A²B从机节点(无FS/TDM、4个PDM麦克风)。

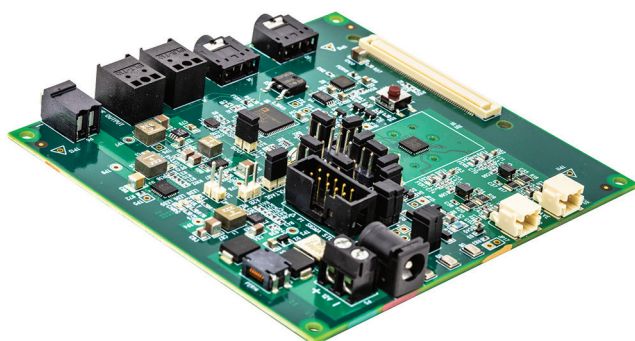


图6. EVAL-AD2428WD1BZ，A²B主机或本地电源从机模式(FS/TDM、3个PDM麦克风)。

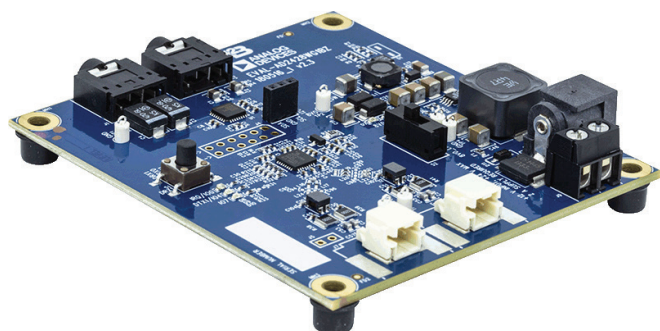


图9. EVAL-AD2428WG1BZ，本地电源供电的A²B从机节点(FS/TDM、无PDM麦克风)。

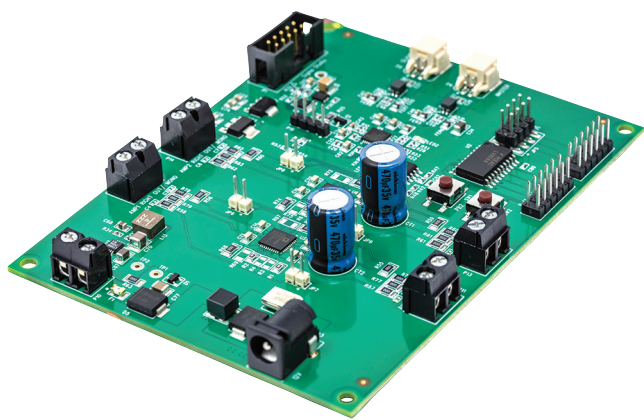


图10. [ADZS-AUDIOA2BAMP](#), A²B D类放大器模块。

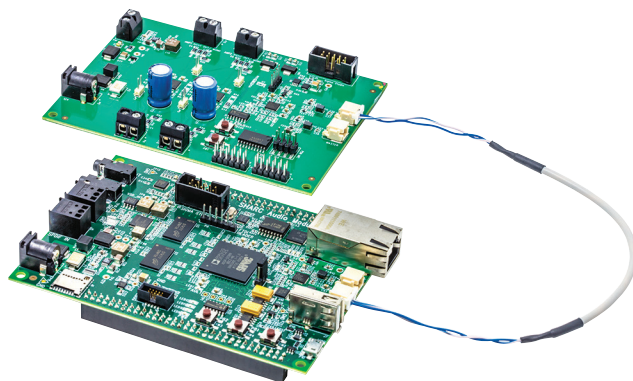


图11. [SHARC](#)® 音频模块：适合音频应用的扩展硬件/软件平台。

有关ADI提供的A²B技术的更多设计资源，请点击[此处](#)。



作者简介

Carlos Martins是ADI的现场应用工程师，服务太平洋西北地区。Carlos获得巴西米纳斯州联邦大学颁发的电机工程学士学位，拥有约30年的系统级混合信号电子设计经验。他出生于里约热内卢，为了实现在加州硅谷蓬勃发展的高科技产业工作的梦想，他于20世纪90年代移居美国。现在，和妻子Barbara居于俄勒冈州的波特兰。Barbara是他的初恋，两人结婚已经32年，两人经常一起在户外徒步旅行。Barbara和Carlos有2个孩子，都已长大成人，他们现在已有1个1岁的孙子，这令他们非常高兴。联系方式：carlos.martins@analog.com。

轻松构建交流和直流数据采集信号链

Wasim Shaikh, 应用工程师
Srikanth Nittala, 首席技术专家

简介

模数转换器(ADC)中的采样会产生混叠和电容反冲问题, 为此设计人员使用滤波器和驱动放大器来解决, 但这又带来了一系列相关挑战。尤其是在中等带宽应用中, 实现精密直流和交流性能面临挑战, 设计人员最终不得不降低系统目标。

本文介绍连续时间 $\Sigma\Delta$ ADC, 通过简化信号链来有效解决采样问题。采用这种方法无需使用抗混叠滤波器和缓冲器, 并可解决与额外组件相关的信号链失调误差和漂移问题。进而可缩小解决方案尺寸, 简化设计, 并改善系统的相位匹配和整体延迟。

本文还将连续时间转换器与离散时间转换器进行了比较, 并着重介绍使用连续时间 $\Sigma\Delta$ ADC的系统优势和存在的限制。

采样基本原理

数据数字化包含采样和量化两个基本过程, 如图1所示。采样是第一步, 其中使用采样频率 f_s 将连续时间可变模拟信号 $x(t)$ 转换为离散时间信号 $x(n)$ 。最终得到以 $1/T_s$ ($f_s = 1/T_s$)间隔的信号。

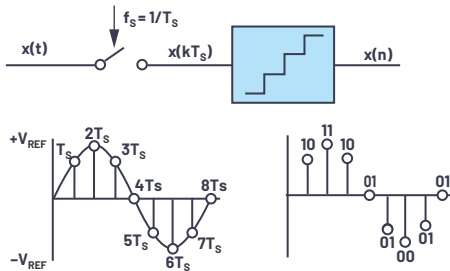
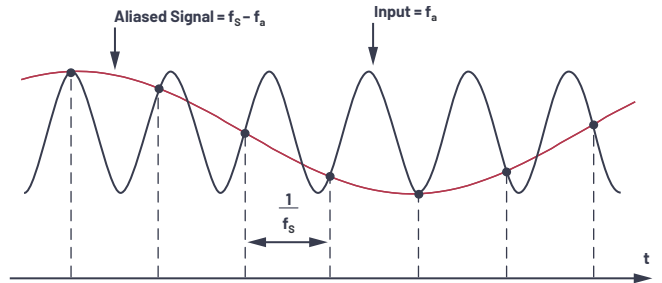


图1 数据采样。

第二步是量化, 将这些离散时间样本值估算为一个有限可能值, 并用数字代码表示, 如图1所示。这种量化为一组有限值的操作会导致数字化误差, 称为量化噪声。

采样过程也会导致混叠, 可以看到有输入信号折返以及采样保持时钟频率周围出现谐波。奈奎斯特准则要求采样频率必须至少是最高信号频率的两倍。如果采样频率小于最大模拟信号频率的两倍, 将会出现一种称为“混叠”的现象。

为了理解混叠在时域和频域中的含义, 首先来看图2所示的单信号正弦波采样信号的时域表示。在本例中, 采样频率 f_s 不是 f_a 的至少2倍, 只是稍微高于模拟输入频率 f_a , 因此不符合奈奎斯特准则。注意, 实际样本图案会产生较低频率 $f_s - f_a$ 的混叠正弦波。



Note: f_a Slightly Less than f_s

图2 混叠: 时域表示。

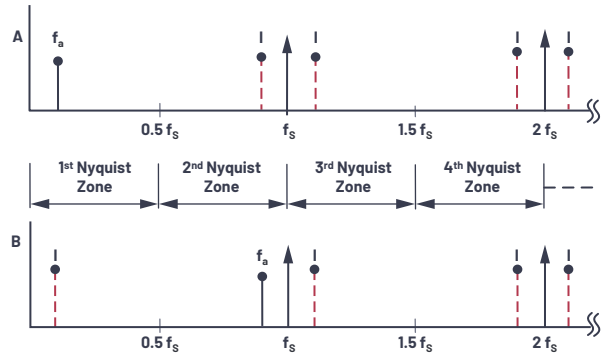


图3 混叠: 频域表示。

这种情况的相应频域表示如图3所示。

奈奎斯特带宽定义为从DC到 $f_s/2$ 的频谱。该频谱可细分为无数个奈奎斯特区，每个区的宽度为 $0.5f_s$ 。在实际应用中，可以将理想采样器用ADC后接FFT处理器来代替。FFT处理器仅提供DC到 $f_s/2$ 范围内的输出；即第一奈奎斯特区出现的信号或混叠。

如果采用理想的脉冲采样器，在 f_s 频率下对 f_a 频率的单频正弦波进行采样（见图1）。另外假定 $f_s > 2f_a$ 。采样器的频域输出显示，每个 f_s 倍数频率附近均会出现原始信号的混叠或镜像；即 $|\pm Kf_s \pm f_a|$ 频率处， $K = 1, 2, 3, 4$ 等。

接下来，我们考虑第一奈奎斯特区之外的信号（图3）。信号频率仅略小于采样频率，就是图2中时域表示的情形。注意，即使信号位于第一奈奎斯特区之外，其镜像（或混叠） $f_s - f_a$ 仍位于该区内。回到图3。很明显，如果任何镜像频率 f_a 处出现干扰信号，那么也将会出现在 f_a ，因而会在第一奈奎斯特区内产生杂散频率成分。

解决挑战，实现精密性能

对于高性能应用，系统设计人员需要解决采样过程导致的量化噪声、混叠和开关电容输入采样问题。两种类型的精密ADC都采用基于开关电容的采样技术构建，这两种ADC分别是行业中常见的逐次逼近寄存器(SAR)和 Σ - Δ ADC。

量化噪声

在理想的奈奎斯特ADC中，ADC的LSB大小将决定进行模数转换时带到输入中的量化噪声。这些量化噪声都分布在 $f_s/2$ 带宽范围内。为了解决量化噪声问题，首先需要采用过采样技术，即以大幅高于奈奎斯特频率的速率对输入信号进行采样，以提高信噪比(SNR)和分辨率(ENOB)。过采样期间，选择使用的采样频率为奈奎斯特频率的N倍($2 \times f_{IN}$)，因此必须让相同的量化噪声分布在N倍奈奎斯特频率范围内。这也会放宽对抗混叠滤波器的要求。过采样率(OSR)定义为 $f_s/2f_{IN}$ ，其中 f_{IN} 是目标信号带宽。一般来说，对ADC进行4倍过采样可额外提供1位分辨率，或增加6 dB的动态范围。提升过采样率可降低整体噪声并增加动态范围(DR)，因为过采样为 $\Delta DR = 10 \log_{10} OSR$ ，单位dB。

过采样可以与集成数字滤波器和抽取功能一起使用和实现。 Δ - Σ 型ADC基本过采样调制器对量化噪声进行整形，使其大部分出现在目标带宽以外，从而增加低频下的整体动态范围，如图4所示。然后，数字低通滤波器(LPF)滤除目标带宽以外的量化噪声，抽取器降低输出数据速率，使其回落至奈奎斯特速率。

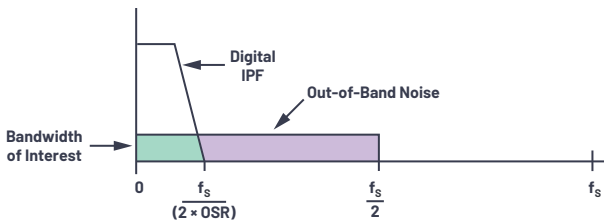


图4. 过采样示例。

噪声整形是另一种用于降低量化噪声的技术。在 Σ - Δ ADC中，在环路滤波器之后的环路内使用低分辨率(一位至五位)量化器。DAC用作反馈，用于提取输入中的量化信号，如图5所示。

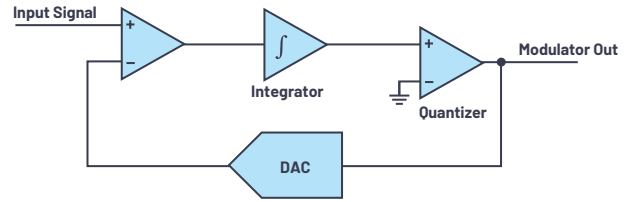


图5. 噪声整形。

积分器将累加量化误差，将量化噪声整形至更高频率，然后使用数字滤波器进行滤波。图6所示为典型的 Σ - Δ ADC输出 $x[n]$ 的功率谱密度(PSD)。噪声整形斜率取决于环路滤波器的阶数 $H(z)$ （见图11），每十倍频程为 $(20 \times n)$ dB，其中 n 表示环路滤波器的阶数。 Σ - Δ ADC通过结合使用噪声整形和过采样，可实现带内高分辨率。带内带宽等于 $f_{ODR}/2$ (ODR 表示输出数据速率)。通过提高环路滤波器的阶数或提高过采样率，可以获得更高的分辨率。

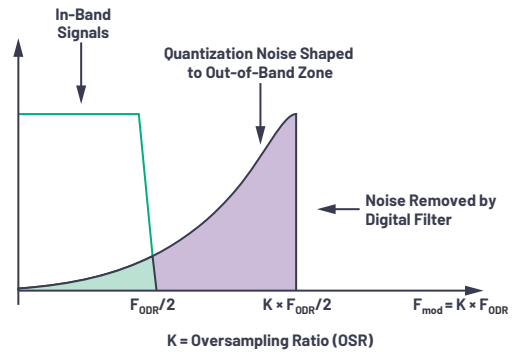


图6. 过采样和噪声整形图。

混叠

为了解决高性能应用中的混叠，可使用更高阶的抗混叠滤波器来避免任何数量的混叠。抗混叠滤波器是一款低通滤波器，其带宽会限制输入信号，并确保信号中不含可以折返的目标带宽以外的频率分量。滤波器性能将取决于带外信号与 $f_s/2$ 的接近程度和所需的衰减量。

对于SAR ADC，输入信号带宽和采样频率之间的差距并不大，所以我们需要使用更高阶的滤波器，这要求采用更复杂、更高阶的滤波器设计，且功率更高，失真更大。例如，如果采样速度为200 kSPS的SAR的输入带宽为100 kHz，则抗混叠滤波器需要抑制 >100 kHz的输入信号，以确保不会产生混叠。这就需要使用极高阶的滤波器。图7显示了陡峭的需求曲线。

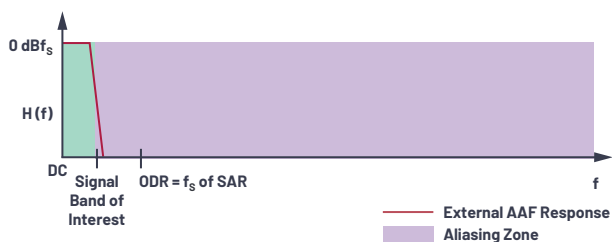


图7. 混叠要求。

如果选择使用400 kSPS采样速度来降低滤波器的阶数，则需要抑制>300 kHz的输入频率。提高采样速度会增加功率，如果实现双倍速度，需要的功率也会翻倍。由于采样频率远高于输入带宽，因此以功率为代价进一步提高过采样会进一步放宽抗混叠滤波器的要求。

在 Σ - Δ ADC中，以更高的OSR对输入过采样，由于采样频率远高于输入带宽，因而放宽了抗混叠滤波器的要求，如图8所示。

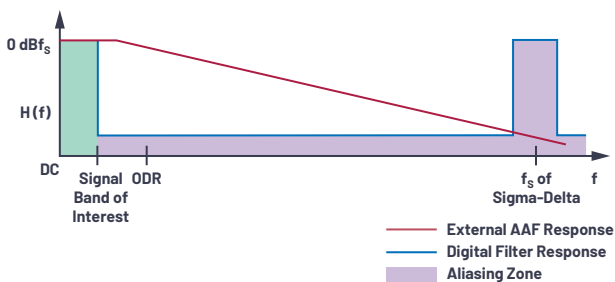


图8. Σ - Δ 架构中的抗混叠滤波器要求。

图9显示了SAR和离散时间 Σ - Δ (DTSD)架构中AAF的复杂程度。如果我们要使用100 kHz -3 dB输入带宽在采样频率 f_s 下实现102 dB衰减，则DTSD ADC将需要使用二阶抗混叠滤波器；而采用SAR ADC时在 f_s 下获得相同衰减，则需要使用五阶滤波器。

对于连续时间 Σ - Δ (CTSD) ADC，它本身具有衰减功能，所以我们无需使用任何抗混叠滤波器。

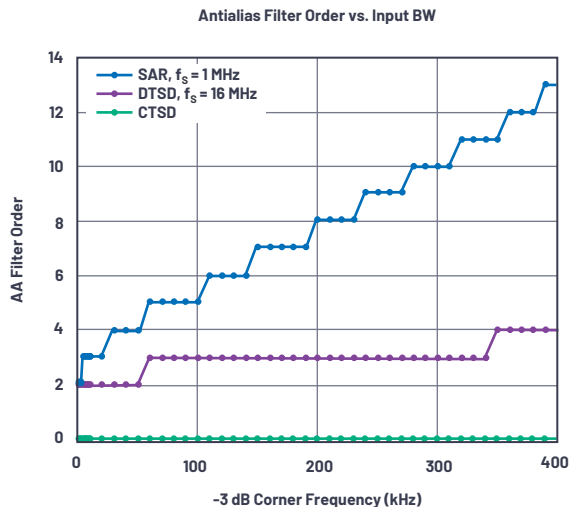


图9. 各种架构的AAF滤波器要求。

这些滤波器对系统设计人员来说都是难题，他们必须优化这些滤波器，以便在目标频带内提供衰减，并且尽可能提供更高的抑制性能。它们还会增加许多其他误差，例如失调、增益、相位误差和系统噪声，进而降低其性能。

而且，高性能ADC本身是差分式，所以我们需要使用双倍数量的无源组件。要在多通道应用中实现更好的相位匹配，信号链中的所有组件也必须匹配。因此，需要使用公差更严格的组件。

开关电容输入

开关电容输入采样取决于电容上采样输入的建立时间，因此在开关采样开关时，需要充电/放电瞬态电流。这称为输入反冲，要求使用支持这些瞬变电流的输入驱动放大器。此外，要求在采样时间结束时建立输入，而且采样输入的精度决定ADC的性能，意味着驱动放大器需要在反冲事件后快速稳定建立。因此需要使用支持快速建立并能吸收开关电容操作反冲的高带宽驱动器。在开关电容输入中，每当采样开启，驱动器必须立即为保持电容提供电源。只有当驱动器具备足够的带宽能力时，才能及时提供这种电流激增。由于开关寄生，采样时驱动器上会出现反冲。如果反冲在下次采样前未能稳定下来，会导致采样误差，从而影响ADC输入。

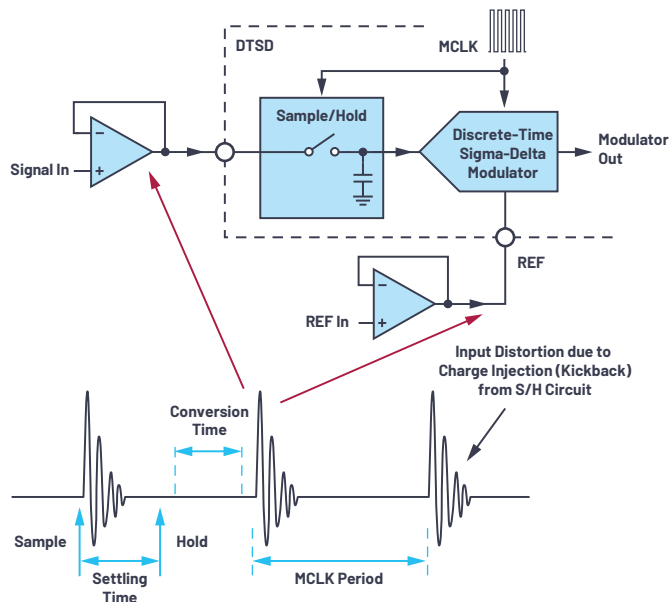


图10. 采样反冲。

图10显示了DTSD ADC上的反冲。例如，如果采样频率为24 Mhz，那么数据信号需要在41 ns内建立。因为基准也是一个开关电容输入，所以基准输入引脚上也需要一个高带宽缓冲器。这些输入信号和基准电压缓冲器也会增加噪声，使信号链的整体性能下降。此外，输入信号驱动器的失真分量(在S&H频率附近)会进一步提高抗混叠要求。对于开关电容输入，采样速度的变化会导致输入电流变化。这可能导致重新调谐系统，以减少驱动ADC时驱动器或前一级产生的增益误差。

连续时间Σ-Δ ADC

CTSD ADC是另一种Σ-Δ ADC架构，利用过采样和噪声整形等原理，但提供另一种实施采样的方法，具有显著的系统优势。

图11将DTSD架构和CTSD架构进行了比较。可以看到，DTSD架构在环路之前对输入采样。环路滤波器H(z)在时间上是离散的，并使用开关电容积分器实现。反馈DAC也是基于开关电容。由于进行输入采样会导致f_s中产生混叠问题，所以对输入采样之前需要在输入端使用抗混叠滤波器。

CTSD未在输入端配置采样器，而是在环路内的量化器上采样。环路滤波器使用连续时间积分器实现了时间连续性，反馈DAC也是如此。与量化噪声受到整形一样，因采样导致的混叠也会被整形。由此得出了几乎无采样混叠的ADC，使其自成其类。

CTSD的采样频率是固定的，这与DTSD不同，后者的调制器采样频率可以轻松扩展。此外，CTSD ADC对抖动的容忍程度也低于开关电容ADC。现成的晶体或CMOS振荡器为ADC提供本地低抖动时钟，有助于避免在隔离状态下传输低抖动时钟，并降低EMC。

CTSD具有两大优势，它本身具有混叠抑制能力，并且为信号和基准提供阻性输入。

固有的抗混叠能力

把量化器移到环路内会产生固有的混叠抑制。如图12所示，输入信号在采样前通过环路滤波器，在量化器上产生的折返(混叠)误差也会经此滤波器去除。信号和混叠误差与Σ-Δ环路具有相同的噪声传递函数，并且在Σ-Δ架构中实施与量化噪声相似的噪声整形。因此，CTSD环路的频率响应自然会抑制约为采样频率整数倍的输入信号，充当抗混叠滤波器的作用。

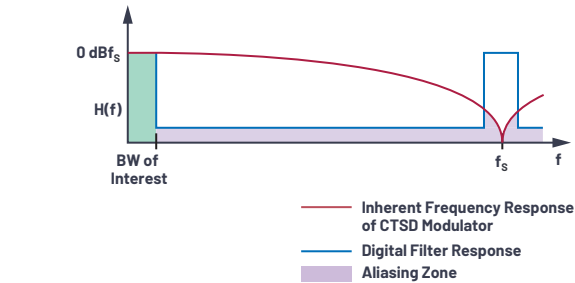


图12. CTSD调制器的频率响应。

阻性输入

与采样保持配置相比，在信号和基准输入中采用阻性输入会更易于驱动。提供恒定阻性输入时，不会产生反冲，可以完全移除驱动器。输入不会产生失真，如图13所示。而且因为输入阻抗恒定不变，也无需因增益误差重新调谐系统。

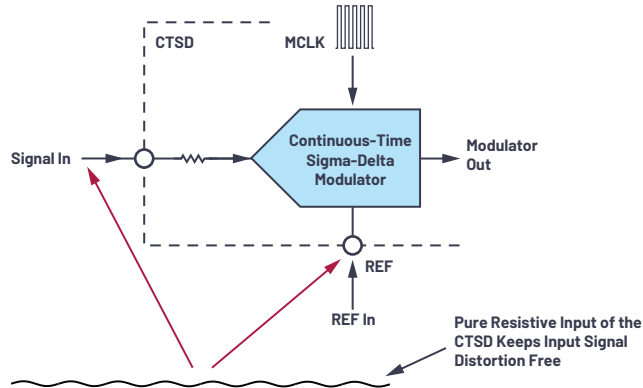


图13. CTSD的输入建立。

即使ADC提供单极性电源，模拟输入也可能是双极性的。因此无需在双极前端和ADC之间实施电平转换。ADC的直流性能可能与输入电阻现在具有输入共模相关电流和输入电流时的情况不同。

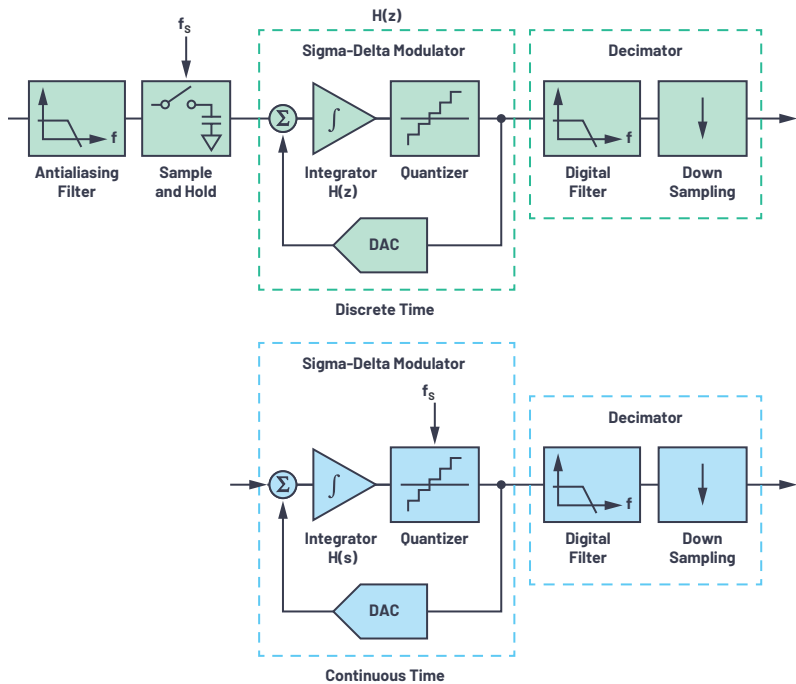


图11. 离散时间和连续时间调制器框图。

基准负载也具有阻性，可以减少开关反冲，因此无需使用单独的基准电压缓冲器。低通滤波器的电阻可以在片上，以便随片上电阻负载一起跟踪(因为它们的材料可能相同)，以减少增益误差温度偏移。

CTSD架构并非新生事物，但工业和仪器仪表市场的大趋势要求在更高带宽下具有直流和交流精度性能。此外，客户更喜欢适用于大部分解决方案的单一平台设计，以帮助他们缩短上市时间。

CTSD架构相对于其它类型ADC具有多方面优势，成为高性能音频和蜂窝式手机射频前端等众多应用的首选。这些优势包括更容易集成和功耗更低，但更重要的是，使用CTSD能够解决多个重要的系统问题。由于存在许多技术缺陷，CTSD的使用以前局限于音频/带宽和较低动态范围。因此，高精度、高性能/中等带宽应用的主流解决方案一直是高性能奈奎斯特速率转换器，例如逐次逼近型ADC和过采样DTSD转换器。

然而，ADI公司最近取得的技术突破能克服之前的许多限制。AD7134是首款基于CTSD的高精度直流至400 kHz带宽ADC，可以实现更高的性能规格，同时提供直流精度，进而能够解决高性能仪器仪表应用中的多个关键的系统级问题。AD7134也集成了一个异步采样速率转换器(ASRC)，能够通过CTSD的固定采样速度，以不同的数据率提供数据。输出数据速率可以不受调制器采样频率影响，且可以确保成功使用CTSD ADC实现不同粒度的吞吐量。还可以在粒度级别灵活改变输出数据速率，从而支持用户使用相干采样。

AD7134的信号链优势

无混叠

固有的混叠抑制消除了对抗混叠滤波器的需求，由此减少了组件数量，且使解决方案尺寸更小。更重要的是，与抗混叠滤波器相关的性能问题都不复存在，例如下降、失调、增益误差、相位误差，以及系统中的噪声等。

低延迟信号链

抗混叠滤波器会根据抑制需求显著增加信号链的整体延迟。移除滤波器可以完全消除这种延迟，并在嘈杂的数控环路应用中实施精密转换。

出色的相位匹配

无需在系统级配备抗混叠滤波器，使多通道系统的相位匹配性能得到了大幅提升。非常适合要求提供通道间低失配的应用，例如振动监测、功率测量、数据采集模块和声呐等。

可靠抵御干扰

因为本身具有滤波功能，所以CTSD ADC不受任何系统级干扰，以及IC内部干扰影响。对于DTSD ADC和SAR ADC，则必须注意减少ADC采样时的干扰。此外，因为本身具有滤波功能，所以电源线路也不会受干扰。

阻性输入

因为具备恒定的阻性模拟输入和基准输入，所以完全无需再使用专用的驱动器。此外，所有与性能相关的问题，例如失调、增益、相位误差和系统噪声误差等都不复存在。

易于设计

因为设计元件的数量大幅减少，所以实现精密性能的难度也大大降低。从而可缩短设计时间，加快产品上市，简化BOM管理，并提高可靠性。

尺寸

无需使用抗混叠滤波器、驱动器和基准缓冲器，使系统电路板的尺寸大幅减小。可以使用仪器仪表放大器来直接驱动ADC。对于AD7134，因为它只是一个差分输入ADC，所以可以使用差分仪表放大器(例如LTC6373)作为驱动器。图14中比较了离散时间信号链和连续时间信号链。实验结果显示，与等效离散时间信号链相比，连续时间信号链可以节省70%的面积，因而非常适合高密度多通道应用。

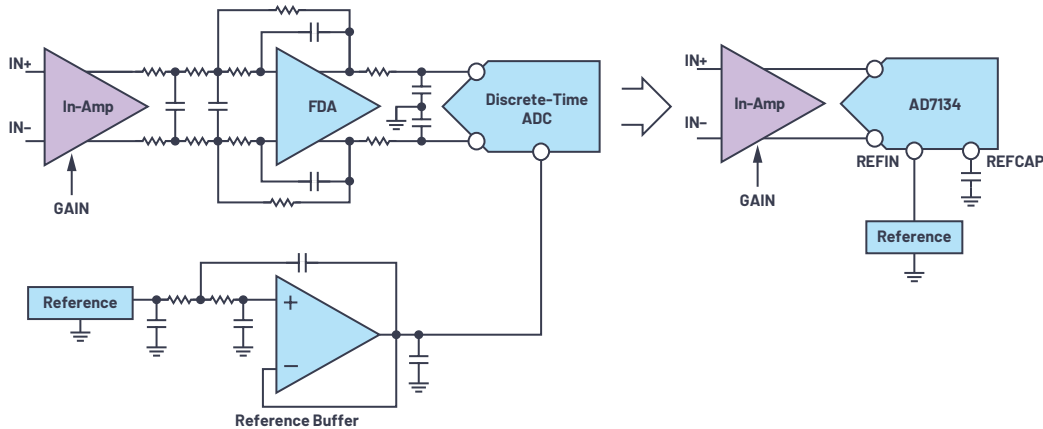


图14. 离散时间(左)信号链和连续时间(右)信号链比较。

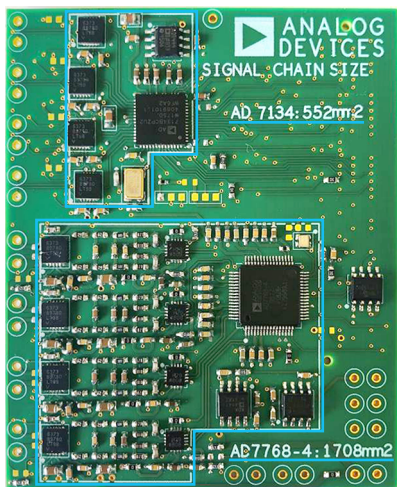


图15. 离散时间信号链和连续时间信号链尺寸比较。

总之，AD7134可以轻松实现设计导入，大幅缩小系统尺寸，简化信号链设计，提高系统的可靠性，并缩短整体上市时间，且不会降低精密仪表应用的性能参数要求。

参考资料

Kester, Walt. “[MT-002：奈奎斯特准则对数据采样系统设计有何意义。](#)” ADI公司，2009年。

Pavan, Shanti. “[连续时间 \$\Delta\Sigma\$ 调制器使用开关电容反馈DAC实施混叠抑制。](#)” IEEE电路与系统论文集I：正式论文，第58卷第2期，2011年2月。

Schreier, Richard, Gabor C. Temes. [了解 \$\Sigma\Delta\$ 数据转换器。](#) John Wiley and Sons，2005年。

致谢

作者感谢Abhilasha Kawle、Avinash Gutta和Roberto Maurino对本文提供的支持。



作者简介

Wasim Shaikh于2015年加入ADI公司，在精密转换器部门担任应用工程师，工作地点在印度班加罗尔。Wasim于2003年获得普纳大学学士学位。联系方式：wasim.shaikh@analog.com。



作者简介

Srikanth Nittala在ADI公司的精密转换器应用部门担任首席技术专家，工作地点在印度班加罗尔。Srikanth于2003年获得印度孟买技术学院硕士学位。联系方式：srikanth.nittala@analog.com。

应用电路板的多轨电源设计—第1部分：策略

Ching Man, 应用工程师

简介：工程师在不断发展的时代所面临的挑战

紧迫的时间表有时会让工程师忽略除了 V_{IN} 、 V_{OUT} 和负载要求等以外的其他关键细节，将PCB应用的电源设计放在事后再添加。遗憾的是，后续生产PCB时，之前忽略的这些细节会成为难以诊断的问题。例如，在经过漫长的调试过程后，设计人员发现电路会随机出现故障，比如，因为开关噪声，导致随机故障的来源则很难追查。

此专题分两部分讨论，本文是第一部分，主要介绍在设计多轨电源时可能会忽略的一些问题。第一部分着重介绍策略和拓扑，第二部分重点讨论功率预算和电路板布局的细节，以及一些设计技巧。许多应用电路板都使用电源来偏置多个逻辑电平，本系列文章将探讨多电源电路板解决方案。旨在实现首次即正确的设计拓扑或策略。

选择繁多

对于特定的电源设计，可能有多种可行的解决方案。在下面的示例中，我们将介绍多种选择，例如单芯片电源与多电压轨集成电路(IC)。我们将评估成本和性能取舍。探讨低压差(LDO)稳压器与开关稳压器(一般称为降压或升压稳压器)之间的权衡考量。还将介绍混合方法(即LDO稳压器和降压稳压器的混合与匹配)，包括电压输入至输出控制(VIOC)稳压器解决方案。

在本文中，我们将分析开关噪声，以及在开关电源设计无法充分滤波时，PCB电路会受哪些影响。从总体设计角度来看，还需考虑成本、性能、实施和效率等因素。

例如，如何根据给定的一个或多个电源实现多电源拓扑优化设计？我们将藉此深入探讨设计、IC接口技术、电压阈值电平，以及哪类稳压器噪声会影响电路。我们将分析一些基本逻辑电平，例如5 V、3.3 V、2.5 V和1.8 V晶体管-晶体管逻辑(TTL)、互补金属氧化物半导体(CMOS)，及其各自的阈值要求。

本文还会提及正发射极耦合逻辑(PECL)、低压PECL(LVPECL)和电流模式逻辑(CML)等先进逻辑，但不会详细介绍。这些都是超高速接口，对于它们来说，低噪声电平非常重要。设计人员需要知道如何避免信号摆幅引起的这些问题。

在电源设计中，成本和性能要求并存，所以设计人员必须仔细考虑逻辑电平和对干净电源的要求。在公差和噪声方面，通过设计实现可靠性并提供适当裕量，也可以避免生产问题。

设计人员需要了解与电源设计相关的权衡考量：哪些可实现？哪些可接受？如果设计达不到要求的性能，那么设计人员必须重新审视选项和成本，以满足规格要求。例如，多轨器件(例如ADP5054)可以在保持成本高效的同时提供所需的性能优势。

典型设计示例

我们先来举个设计示例。图1显示将12 V和3.3 V输入电源作为主电源的电路板框图。主电源必须降压，以便针对PCB应用产生5 V、2.5 V、1.8 V，甚至3.3 V电压。如果外部3.3 V电源能够提供足够的电源和低噪声，那么可以直接使用3.3 V输入电轨，无需额外调节，以免产生额外成本。如果不能，则可以使用12 V输入电轨，通过降压至PCB应用所需的3.3 V来满足电源要求。

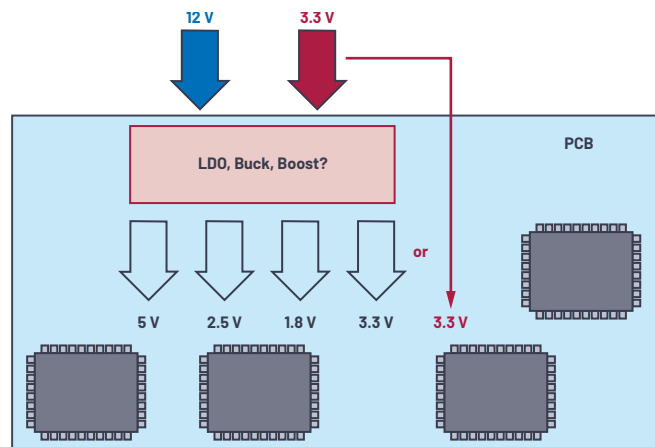


图1 需要多轨电源解决方案的应用电路板概览。

逻辑接口概述

PCB一般使用多个电源。IC可能仅使用5 V电源；或者，它可能要求多个电源，输入/输入接口使用5 V和3.3 V，内部逻辑使用2.5 V，低功耗休眠方式使用1.8 V。低功耗模式可能始终开启，用于定时器功能、管理等逻辑，或用于中断时启用唤醒模式，或者用于IRQ引脚，以启用IC功能并为其供电，也就是5 V、3.3 V和2.5 V电源。所有这些或其中部分逻辑接口通常都在IC内部。

图2显示了标准逻辑接口电平，包括各种TTL和CMOS阈值逻辑电平，以及它们可接受的输入和输出电压逻辑定义。在本文中，我们将讨论何时将输入逻辑驱动至低电平(用输入电压低(V_{IL})表示)，何时驱动至高电平(用输入逻辑电平高(V_{IH})表示)。我们将重点分析 V_{IH} ，即图2中标记为“Avoid”的阈值不确定区域。

在所有情况下，必须考虑 $\pm 10\%$ 的电源公差。图3显示了高速差分信号。本文将着重探讨图2所示的标准逻辑电平。

开关噪声

未经过充分滤波时，开关稳压器降压或升压电源设计可能产生几十毫伏至几百毫伏的开关噪声，尖峰可能达到400 mV至600 mV。所以，了解开关噪声是否会给使用的逻辑电平和接口造成问题非常重要。

安全裕度

为确保提供合适的安全裕度，实现可靠的PSU，一条设计经验法则是采用最糟糕情况下的 -10% 公差。例如，对于5 V TTL，0.8 V的 V_{IL} 变成0.72 V，对于1.8 V CMOS，0.63 V的 V_{IL} 变成0.57 V，阈值电压(V_{TH})也相应降低(5 V TTL $V_{TH} = 1.35$ V，1.8 V CMOS $V_{TH} = 0.81$ V)。开关噪声(V_{NS})可能为几十毫伏到几百毫伏。此外，逻辑电路本身也会产生信号噪声(V_N)，即干扰噪声。总噪声电压($V_{TN} = V_N + V_{NS}$)可能在100 mV至800 mV之间。将 V_{TN} 添加至标称信号中，以生成总信号电压(V_{TSIG})：实际的总信号($V_{TSIG} = V_{SIG} + V_{TN}$)会影响阈值电压(V_{TH})，进一步扩大了avoid区域。 V_{TH} 区域内的信号电平是不确定的，在该区域内，逻辑电路可以任意随机翻转；例如，在最糟糕的情形下，会错误触发逻辑1，而不是逻辑0。

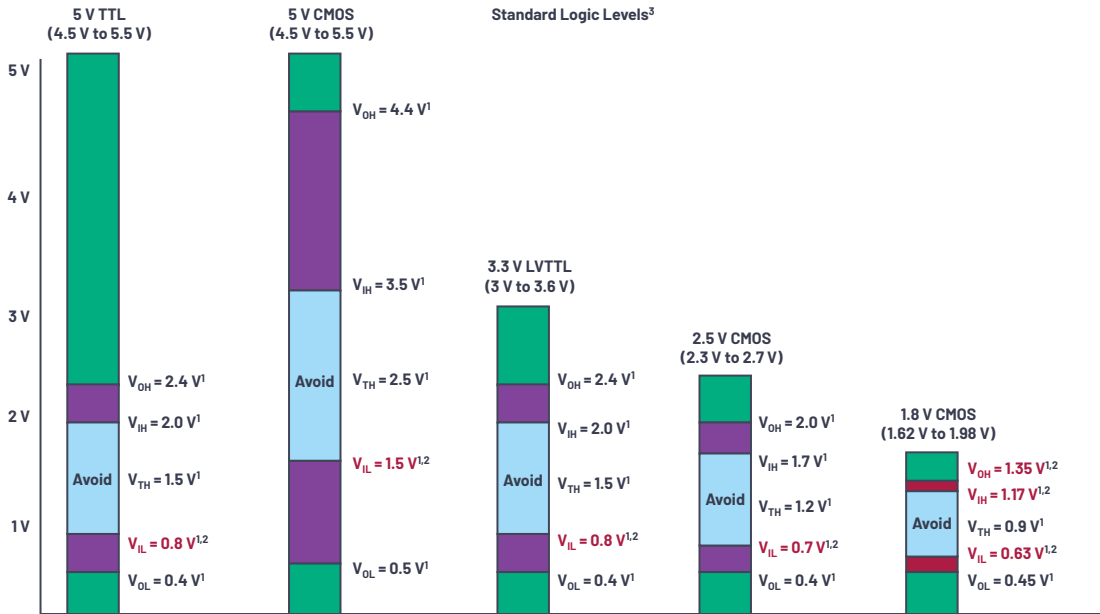


图2. 标准逻辑接口电平。

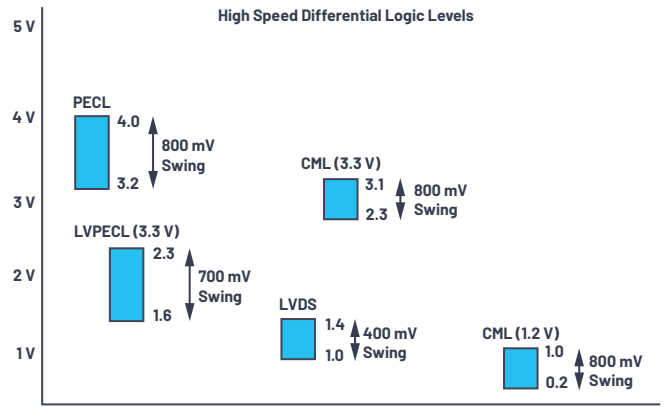


图3. 高速差分逻辑接口电平。

多轨PSU注意事项和提示

通过了解接口输入和IC内部逻辑的阈值电平，我们现在知道哪些电平会触发正确的逻辑电平，哪些会(意外)触发错误的逻辑电平。问题在于：要满足这些阈值，电源的噪声性能需要达到什么水平？低压差线性稳压器噪声很低，但在高压降比下却并不一定高效。开关稳压器可以有效降压，但会产生一些噪声。高效低噪的电源系统应包含这两种电源的组合。本文着重介绍各种组合，包括在开关稳压器后接LDO稳压器的混合方法。

(在需要时)最大化效率和最小化噪声的方法^{1,2}

从图1所示的设计示例可以看出，为了充分提高5 V稳压的效率并尽可能降低开关噪声，需要分接12 V电路并使用降压稳压器，例如ADP2386。从标准逻辑接口电平来看，5 V TTL V_{IL} 和5 V CMOS V_{IL} 分别是0.8 V和1.5 V，仅使用开关稳压器时，也具备适当的裕度。对于这些电轨，通过使用降压拓扑可实现效率最大

¹ $\pm 10\%$
² Critical Impact (Due to PSU Tolerance)
³ PSU Tolerance $\pm 10\%$

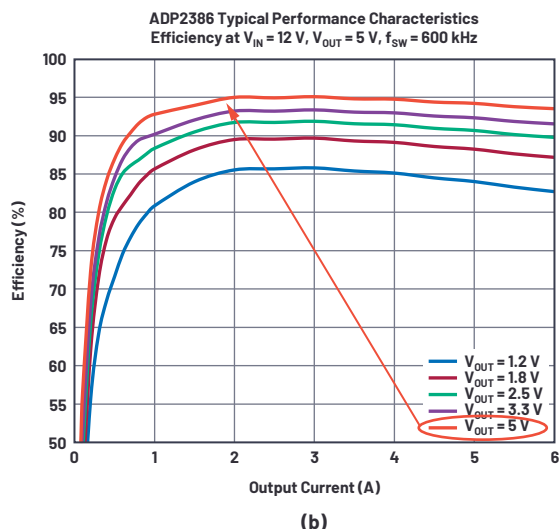
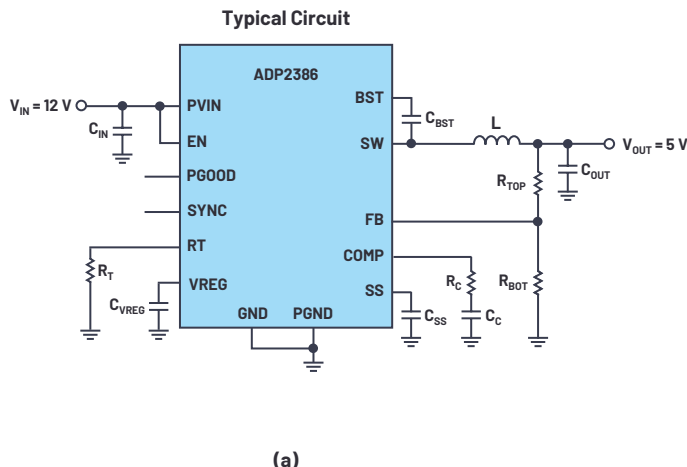


图4. ADP2386的(a)典型电路和(b)效率曲线图。

化，而开关噪声则低于采用5 V(TTL和CMOS)技术时的 V_{IL} 。通过使用降压稳压器(例如如图4a所示的ADP2386配置)，效率可以高达95%，如ADP2386的典型电路和效率曲线图所示(见图4b)。如果在此设计中使用噪声较低的LDO稳压器，从 V_{IN} 到 V_{OUT} 的7 V压降会导致消耗大量内部功率，一般表现为产生热量和损失效率。为了以少量额外成本实现可靠设计，在降压稳压器后接LDO稳压器来产生5 V电压也是一项额外优势。

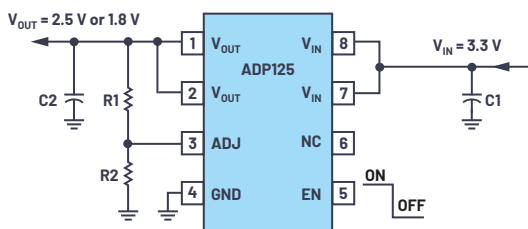


图5. 典型的ADP125应用。

2.5 V和1.8 V CMOS的 V_{IL} 分别是0.7 V和0.63 V。遗憾的是，此逻辑电平的安全裕度尚不足以避免开关噪声。要解决这个问题，有两种方案可选。第一种：如果图1所示的外部3.3 V电源具备足够功率且噪声极低，则分接这个外部3.3 V电源，并使用线性稳压器(LDO稳压器)，例如ADP125(图5)或ADP1740来获得2.5 V和1.8 V电源。注意，从3.3 V到1.8 V有1.5 V压降。如果此压降会导致问题，则可以使用混合方法。第二种：如果外部3.3 V电源的噪声不低，或不能提供足够功率，则分接12 V电源，通过降压稳压器后接LDO稳压器来产生3.3 V、2.5 V和1.8 V电源；混合方法如图6所示。

加入LDO稳压器会稍微增加成本和板面积以及少量散热，但要实现安全裕度，有必要作出这些取舍。使用LDO稳压器会小幅降低效率，但可以通过保持 V_{IN} 至 V_{OUT} 的少量压降，使这种效率降幅达到最低：3.3 V至2.5 V，保持0.8 V，或3.3 V至1.8 V，保持1.5 V。可以使用带VIOC功能的稳压器尽可能提高效率和瞬变性能。VIOC可以调节上游开关稳压器的输出，从而在LDO稳压器两端保持合理的压降。带VIOC功能的稳压器包括LT3045、LT3042和LT3070-1。

LT3070-1是一款5 A、低噪声、可编程输出、85 mV低压差线性稳压器。如果必须使用LDO稳压器，则存在散热问题，其中功耗= $V_{DROP} \times I$ 。例如，LT3070-1支持3 A，稳压器两端的功率降幅(或功耗)典型值为 $3 A \times 85 mV = 255 mW$ 。相比压差为400 mV，输出电流同样为3 A，功耗为1.2 W的一些典型LDO稳压器，LT3070-1的功耗仅为其五分之一。

或者，我们可以使用混合方法，以牺牲成本为代价来提高效率。图6中效率和性能均得到优化，其中先使用降压稳压器(ADP2386)将电压降至允许的最低电压，尽量提高效率，后接一个LDO稳压器(ADP1740)。

¹此练习提供一个通用设计示例，用于显示一些拓扑和技术。但是，也不能忘记考虑其他因素，例如IMAX、成本、封装、压降等。

²也提供低噪声降压和升压稳压器选项，例如Silent Switcher® 稳压器，它具备极低的噪声和低EMI。例如，从性能、封装、尺寸和布局区域来看，LT8650S和LTC3310S具有成本高效特性。

封装、功率、成本、效率和性能取舍

量产PCB设计通常要求使用紧凑的多轨电源，以实现高功率、高效率、出色的性能和低噪声。例如，ADP5054四通道降压稳压器为FPGA等应用提供高功率(17 A)单芯片多轨电源解决方案，如图7所示。整个电源解决方案约41 mm × 20 mm大小。ADP5054本身的大小仅为7 mm × 7 mm，可以提供17 A总电流。要在紧凑空间内实现极高的功率电平，可以考虑使用ADI的μModule® 稳压器，例如LTM4700，可以在15 mm × 22 mm的封装大小内提供高达100 A电流。

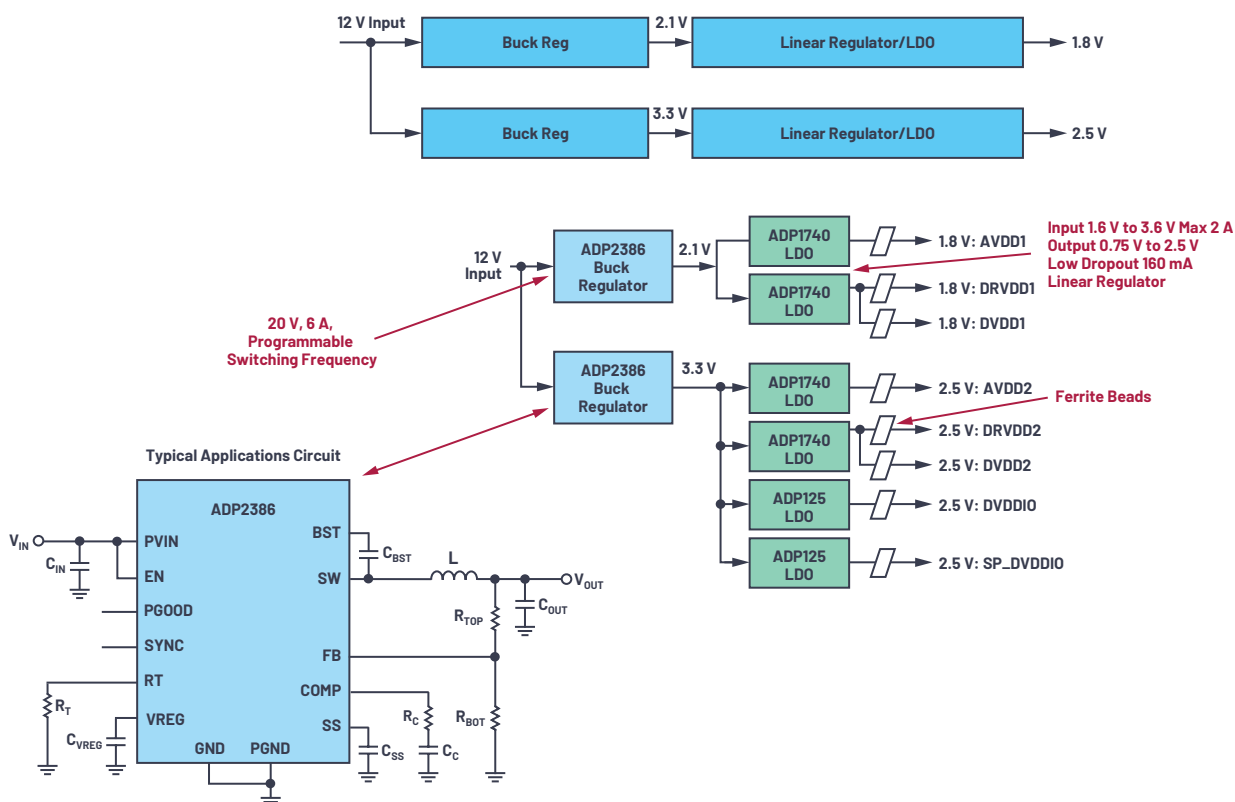


图6. 使用ADP2386和ADP1740组合的混合拓扑。

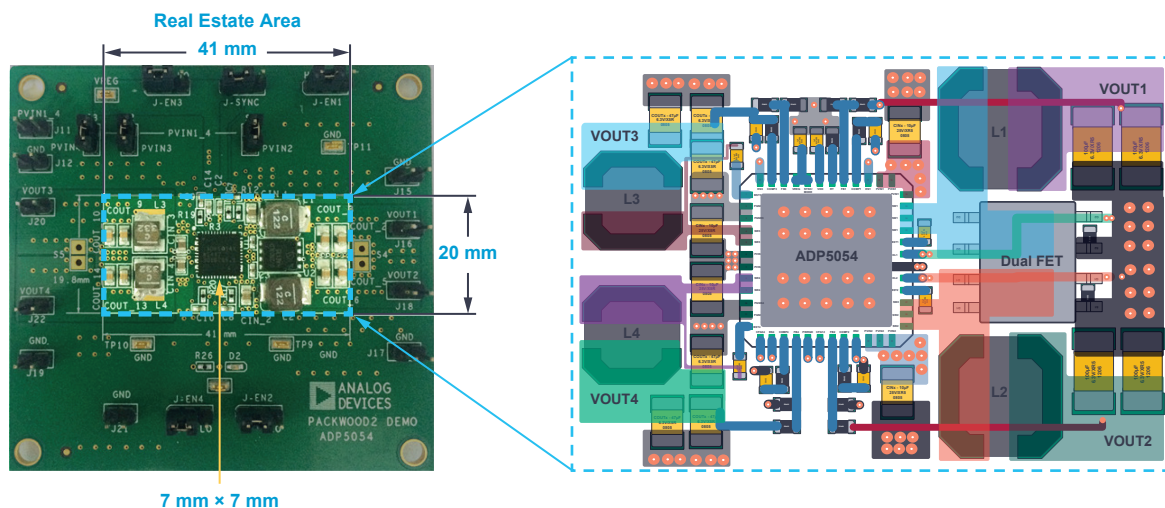


图7. 适合FPGA应用的ADP5054单芯片多轨电源解决方案。

第二部分

在本专题的第二部分，我们将探讨如何在电路板级别使用级联策略，包括选择合适的IC来实现功率预算和电路板布局，以及一些相关技巧。

参考资料

AD8045裸露焊盘连接。ADI公司，2011年1月。

接头引脚。Digi-Key Electronics。

Knuth, Steve. “使用超低噪声LDO稳压器提供干净的电源。” ADI公司，2018年9月。

Kueck, Christian. “应用笔记139：电源布局和EMI。” 凌力尔特，2012年10月。

“MT-093教程：散热设计基础。” ADI公司，2009年。

Radosevich, Andy. “用于数字IC电源的双通道线性稳压器可实现即时输出调整和动态裕量优化。” ADI公司，2020年4月。

Zhang, Henry J. “应用笔记136：非隔离开关电源的PCB布局考量。” 凌力尔特，2012年6月。

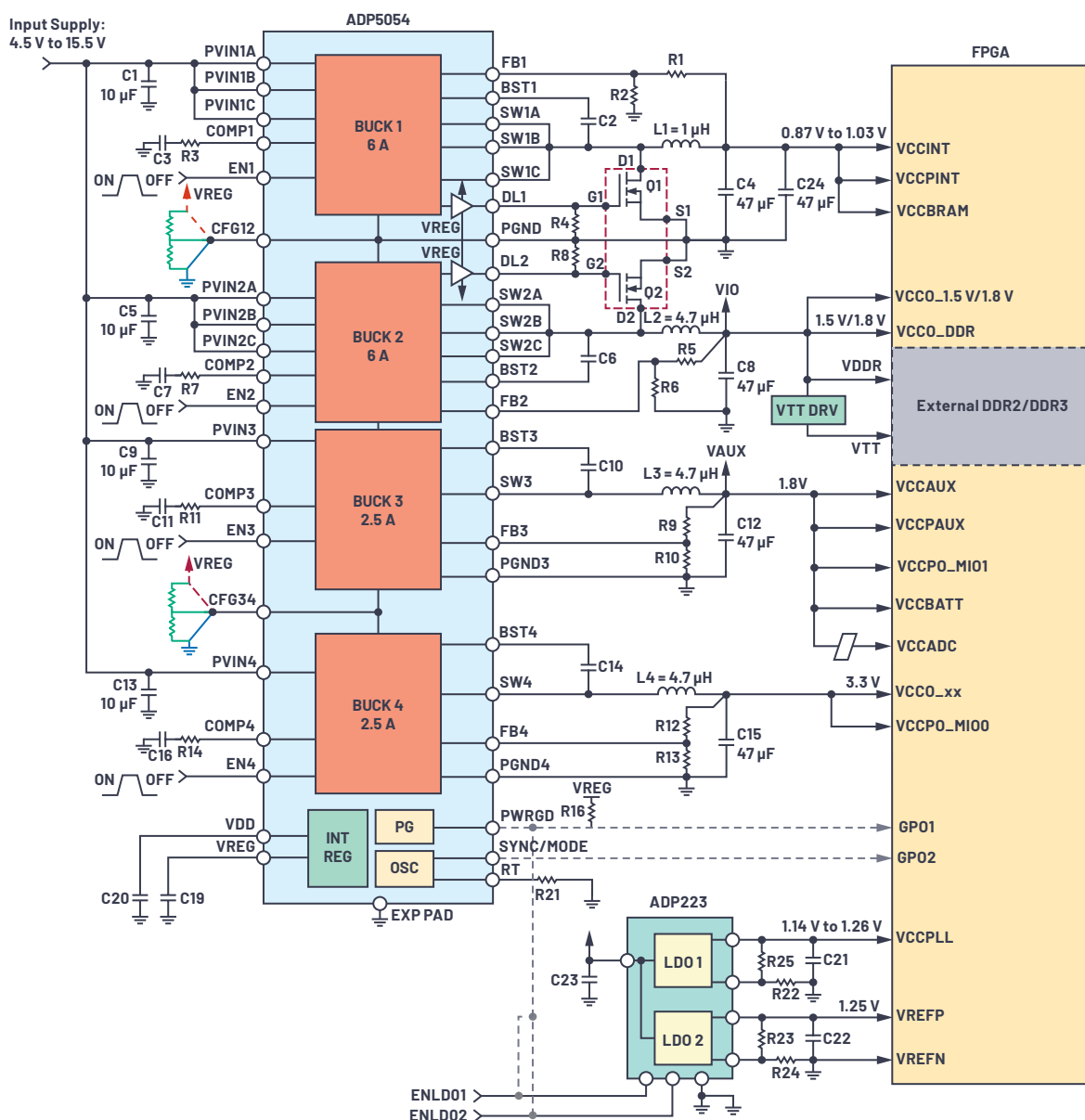


图8. ADP5054原理图。



作者简介

Ching Man是欧洲中央应用中心的应用工程师，工作地点在爱尔兰利默里克。他在应用、硬件系统和ASIC设计领域拥有超过27年的经验。Ching于2007年加入ADI公司，面向欧洲市场提供高速ADC、DAC、3D飞行时间成像、LIDAR和软件定义的无线电(SDR)等相关设计技术支持。他分别于1991年和1993年获得英国伦敦威斯敏斯特大学的电子工程(荣誉)学士学位和VLSI和数字信号处理系统硕士学位。

Ching在IEEE、IET、electronica发表多篇文章并撰写ADI指南、研讨会和会议论文。此外，他于1998年获得特许工程师资质，目前是英国工程技术学会(IET)的成员。他目前的研究活动涉及系统、ASIC和算法架构、信号处理和降噪技术，以及aquamarine光纤声呐传感器系统设计、应用和开发。联系方式：ching.man@analog.com。

非常见问题第180期： 使用按钮式 数字电位器的 可调电压输出设计

Thomas Brand, 现场应用工程师

问题：

如何使用数字电位器来产生可调电压输出？



答案：

使用按钮式数字电位器。

本文介绍一款利用按钮式数字电位器简单高效地控制高达20 V电压的完整解决方案。这款完整的解决方案提供一种可调电源，可用于需要可调电压输出的各种应用。图1显示具有可变输出功率的相应开关稳压器，使用AD5116数字电位器和具有集成式推挽输出级的ADCMP371比较器。通过添加开关，而不是按钮，可以使用微控制器来调节电压。

AD5116具有64个可用的游标位置，端到端电阻容差为 $\pm 8\%$ 。此外，AD5116包含一个EEPROM来存储游标位置，可通过按钮手动设置。对于需要固定标准上电电压的应用，这个功能非常有用。

该电路由电压 V_{IN} 供电，最高可达20 V。AD5116和ADCMP371的电源电压 V_{DD} 也可由 V_{IN} 生成，例如，通过ADP121等稳压器。

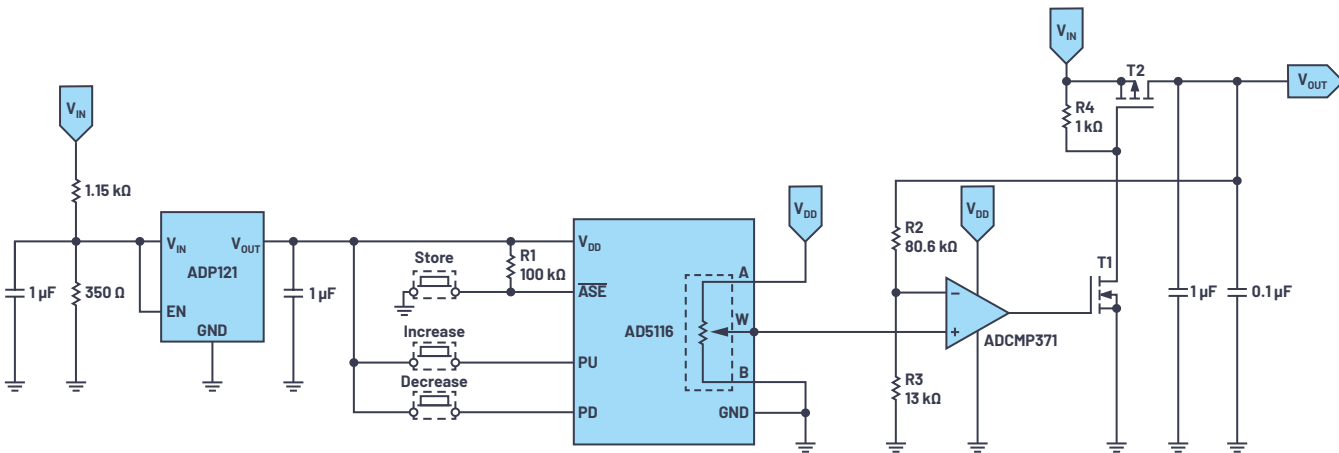


图1. 带可变输出、通过按钮控制的高压开关稳压器。

电路工作原理

输出电压 V_{OUT} 通过反馈网络的开关频率控制。通过分压器反馈到比较器，然后与数字电位器设置的基准电压进行比较。如果从 V_{OUT} 获取的电压高于基准电压，比较器输出切换到低电平，以阻隔NMOS晶体管T1和PMOS晶体管T2，从而降低 V_{OUT} 。如果从 V_{OUT} 获取的电压低于基准电压，比较器输出切换到高电平，两个晶体管切换到导通状态(饱和)，从而增加 V_{OUT} 。通过这种基于比较的功能，晶体管在开启/关断模式下以短脉冲工作，使各晶体管保持低损耗。除电位器的输出电压外，开关频率还受 V_{OUT} 的负载影响。

随着数模转换器(DAC)输出电压增高，T2关断的时间变长，比较器输出相应增高。比较器输出提供一系列更高频率、速度更快的正电源输出脉冲。如果DAC输出电压降低，则情况相反。

经过滤波的 V_{OUT} 通过公式1确定。

$$V_{OUT} = V_W \times \left(1 + \frac{R_2}{R_3}\right) \quad (1)$$

V_W 为电位器抽头W处的DAC输出电压。

AD5116的A抽头和B抽头之间的电阻标称值为5 k Ω ，划分为64级阶跃。在量程的较低端，典型游标电阻 R_W 降至45 Ω 到70 Ω 之间。相对于GND的 V_W 输出电压为：

$$V_W = \frac{R_{WB}}{R_{AB}} \times V_A \quad (2)$$

其中 R_{WB} 为：

$$R_{WB} = \frac{D}{64} \times R_{AB} + R_W \quad (3)$$

R_{WB} 是抽头W和较低端的GND之间的电阻值。

R_{AB} 为电位器的总电阻。

V_A 为分压器串顶端的电压；在本例中，它等于 V_{DD} 。

D为AD5116的RDAC寄存器中二进制代码的十进制等效值。

AD5116的 R_{DAC} 寄存器通过按钮PD和PU进行控制。默认的上电位置(例如 $V_{OUT} = 0$ V)可以通过ASE引脚存储在电位器的EEPROM中。

滤波器输出：减少纹波

为了获得平稳的输出电压 V_{OUT} 并减少开关T1和T2导致的纹波，需要使用额外的滤波器电路(参见图2)。在设计此滤波器时，需考虑AD5116的最大和最小开关频率，以及其工作电压范围。

对于图2所示的电路，开关频率范围约为1.8 Hz至500 Hz。因为这个值相当低，所以在确定滤波器的截止频率时，通常需要使用更大的R、L和C值。但是，滤波器的串联电阻和输出负载构成了一个分压器，会降低输出电压。所以，在选择R值时，应选择相对较低的值。

该电路采用了一个简单的RLC低通滤波器。R和C分别为50 Ω 和330 μ F，L为100 nH。该电路在构建时，也可以选择使用脉宽调制器(PWM)来驱动晶体管和上游的误差放大器。

参考资料

CN-0405: 带按钮控制的高压输出DAC。ADI公司，2017年3月。

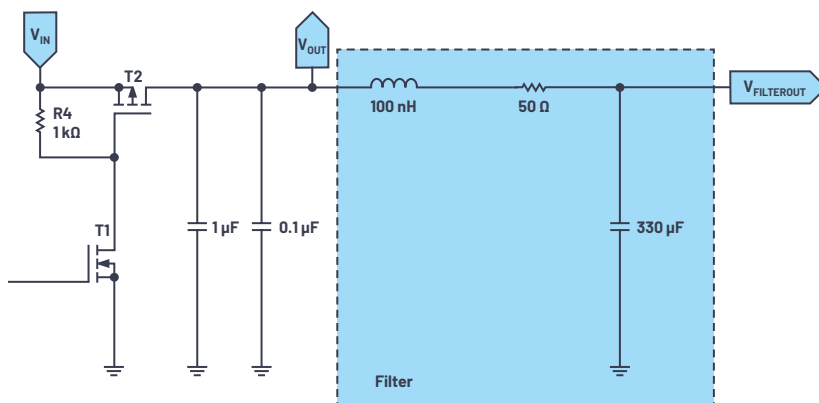


图2. 用于使输出电压平稳的滤波器电路。



作者简介

Thomas Brand于2015年加入德国慕尼黑的ADI公司，当时他还在攻读硕士。毕业后，他参加了ADI公司的培训生项目。2017年，他成为一名现场应用工程师。Thomas为中欧的大型工业客户提供支持，并专注于工业以太网领域。他毕业于德国莫斯巴赫的联合教育大学电气工程专业，之后在德国康斯坦茨应用科学大学获得国际销售硕士学位。联系方式：thomas.brand@analog.com。

A²B应用面面观

Joe Triggs, 应用经理

纵观历史, 会发现许多汽车行业利用相邻和互补市场技术实现转化的示例; 工业、消费电子和医疗健康行业只是其中几个。从引进采矿业的传输系统来实现汽车大规模生产的变革, 到利用电子控制单元(ECU)的处理能力(该技术自30多年前首次运用微控制器功能以来持续迅速发展), 这种汽车行业借用技术转化并充分发挥其优势的例子不胜枚举。现在, 汽车行业也在回馈一项可以简化各种应用中的音频分配挑战的技术。

A²B®总线是一种高带宽双向数字总线, 最初用于解决汽车应用中的音频分配挑战。现有的汽车音频网络一般使用多个点对点模拟连接。A²B技术可以解决许多与点对点模拟连接相关的挑战, 包括电缆重量、电缆成本、布线难题, 以及多个连接的可靠性。它有助于通过非屏蔽双绞线(UTP)电缆和连接器基础结构在分布式多节点音频系统中传输完全同步的音频数据(I²S/TDM/PDM)和控制数据(I²C)。该技术可提供50Mbps的总线带宽, 上下行支持最多32个音频通道。A²B技术支持点对点、菊花链和分支网络拓扑。

每个网络都由一个主节点和多达10个从节点组成。主节点包含一个连接至主机处理器的A²B收发器, 该收发器可以将音频、控制数据(I²C数据)发送至A²B总线。从节点的复杂度各不相同, 从具备强大处理能力的优质放大器到总线供电的麦克风节点都可用A²B收发器连接, 例如麦克风、数字信号处理器(DSP)、扬声器、传感器(例如加速度计), 或者D类放大器。主从收发器器件都支持多种功能, 例如支持时分多路复用(TDM)和脉冲密度调制(PDM)麦克风输入。A²B收发器衍生出来的简化产品具备各种级别的功能, 例如端点从节点(不支持TDM)、简化型主节点(支持较短的电缆和更少的从节点数量), 以及简化型端点从节点(支持较短电缆和更少的PDM输入)。

A²B技术最初只出现在部分汽车应用产品系列中, 该技术于2019年面向广泛市场全面开放, 适合各类应用。

A²B总线在汽车行业的成功用例与运输行业的许多用例密切相关, 但在以前, 运输业无法获取和使用A²B总线。作为运输业的一个领域, 建筑和农业设备正在经历飞速的技术发展。对于操作人员来说, 这些机器就是他们的工作环境, 这意味着免提电话、集成多个麦克风来推动波束成形、紧急呼叫系统和降噪等特性将机器变为更安全、更舒适、互联性更高的工作环境。

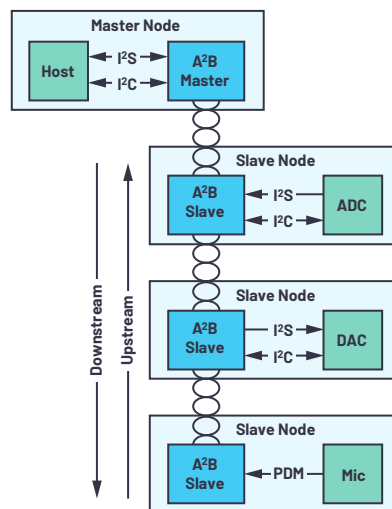


图1 A²B架构示例。

适用于非公路和多用途车辆的Fritzmeier驾驶室系统配合Antretter & Huber的SMARTCOM系统, 充分利用了A²B技术的可扩展特性。SMARTCOM系统配有麦克风、有源扬声器和FM/DAB智能无线电模块, 旨在简化与第三方模块的集成。SMARTCOM系统使用的A²B总线的主要功能包括: 集成多达10个连接到主节点的从节点, 以及支持双向音频传输。

载人车辆(例如公共汽车、飞机和火车)构成了运输业的另一个重要领域, 这些车辆现在也可以利用A²B技术的功能。车辆中连接的分布音频组件明显可采用A²B器件, 例如使用经济高效地轻型UTP电缆来实现分布式扬声器的高效连接。但是, 还存在许多更微妙的用例! A²B器件可支持网络上多达32个下游音频(从主节点到从节点)和上游音频(从从节点到主节点)通道, 有助于在单个系统中分配包含不同音频内容的多个通道。这个特性可以用在旅游车上, 用于分配各种类型的音乐, 或者分配各种语言的导游指南。

A²B总线可以远距离传输不太关键的一般输入/输出(GPIO)数据, 此功能现在也用于运输业的多种用例中。例如, 公共汽车和观光车中部署的停止按钮可以利用这种A²B功能, 其相关的处理成本极低, 只需在初始化期间通过主节点配置A²B链路, GPIO就可以独立运行, 无需主机的进一步干预。

在运输业以外, 许多标准(例如AES67)都利用以太网和互联网协议(IP)等技术在一定距离内传输音频(从住宅或小型演播室到体育

场或购物中心等应用环境)。对于许多基于以太网的远距离传输音频的技术来说, A²B技术并不会直接与其竞争。相反, A²B技术可以被视为一种互补技术, 非常适合在主干网络和外围设备(例如麦克风、扬声器等)之间提供边缘连接。

以体育场为例, 利用以太网技术(例如AES67)在整个场馆内或在局部区域(例如套房或餐厅)之间部署音频时极为高效。但是, 在局部区域内, 将以太网技术连接至网络边缘时, A²B技术具有几个明显优势。A²B收发器配有集成式网络控制器和PHY。A²B器件支持的UTP连接器经济高效, 且易于组装, A²B器件支持的UTP电缆同样经济高效、灵活轻巧。A²B技术也从节点处理的角度进行了高度优化, 可以在不使用微控制器的情况下实现从节点。

A²B总线设计的初衷, 就是尽可能减少整个网络的处理要求。在系统初始化期间, A²B主节点上的收发器必须配置A²B网络, 这是主机控制器(可以是任何带I²C接口的IC/SoC)应承担的工作。

ADI提供了一个嵌入式C或Linux[®] 格式的参考软件堆栈, 可用于网络配置。完成网络配置之后, 唯一的软件开销是为应用程序选择的状态检查策略的功能。与其他需要在每个连接到网络的节点上执行复杂堆栈的技术相比, 采用这种方法的A²B技术具有明显的优势。

A²B技术的最低节点处理要求, 以及通过电缆供电的能力, 非常适合网络环境中需要高度简化从节点设计的应用。录音棚环境中的几种应用可以利用这种支持实现由总线供电的简单节点设计, 例如对讲扬声器或拾音器。将总线供电节点和本地供电节点结合起来, 系统设计人员可以利用A²B技术提供的24位、96 kHz数字音频路径创建复杂的录音棚设计。A²B总线的电缆长度是录音棚或小舞台环境可以利用的另一个特性。小舞台环境可以利用这种灵活性来连接各种元件, 例如调音台、监控器、麦克风、均衡器或放大器。

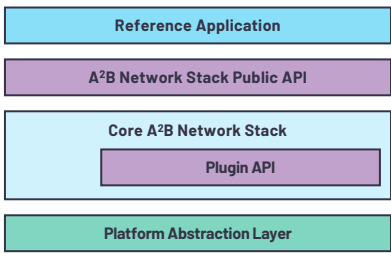


图3. A²B软件堆栈架构。

如今以远程会议系统为核心的会议室也可以利用A²B总线支持长电缆长度这一特性。远程会议系统需要连接各种元件, 例如麦克风、扬声器和静音按钮。在实现波束成形麦克风解决方案时, 远程会议系统还可以利用A²B技术提供的超低确定性延迟特性。所涉及的麦克风数量、可用的处理能力和系统中的延迟都会影响波束成形实现的有效性。A²B技术提供同步数据交换, 保证最大延迟低于50 μ s。A²B总线提供的GPIO支持也可用于远程会议系统中, 用于传送任何辅助信号, 例如静音控制按钮、呼叫中或静音状态指示器。

实践证明, A²B技术在汽车环境中具备可靠的EMI/EMC兼容性, 对于那些需要在具有挑战性的EMC环境中安全传输音频和非关键数据的应用来说, 这是一个非常有吸引力的技术选项。A²B总线符合严格的汽车EMC标准, 包括排放、抗干扰性和ESD要求等, 非常适合航空电子和航空航天应用。可以通过与基本设计准则保持一致, 并遵循参考设计, 来确保系统设计符合相关标准要求。

这种参考设计是生态系统的重要组成部分, 也是帮助客户简化和加快设计过程的必要技术支持。ADI公司和多家第三方合作伙伴的硬件参考设计都支持A²B技术。其他传统生态系统要素还包括样片、文档和评估套件的可用性。此外, A²B生态系统还包括其他三大要素: 软件、设计工具和第三方设计合作伙伴。

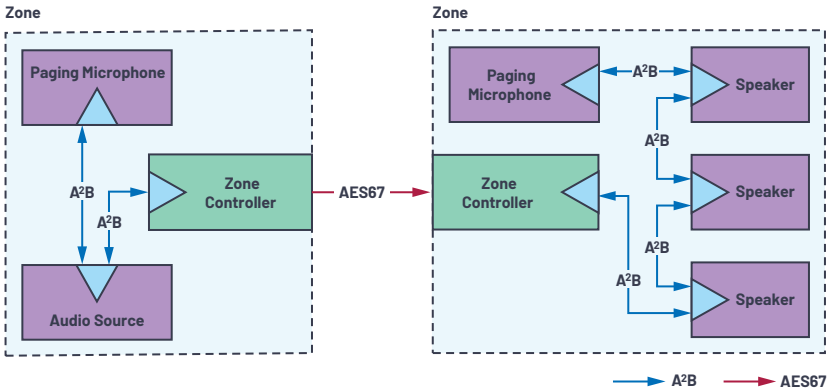


图2. 利用A²B实现边缘连接。

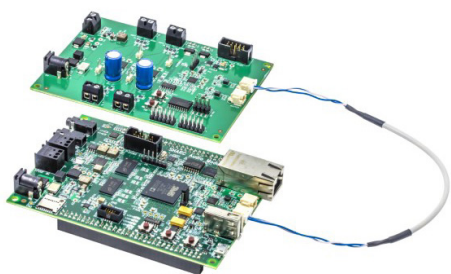


图4. A²B评估系统样片。

除了前面提到的参考软件堆栈架构，A²B技术也受ADI备受行业赞誉的开发工具SigmaStudio®支持。SigmaStudio是一款设计工具，可以通过拖放A²B节点和辅助器件、节点配置、误码率分析、带宽计算和功率计算来支持A²B设计过程-网络设计的各个方面。SigmaStudio获取配置数据，并生成通用的.c和.h文件，以集成到软件堆栈中。

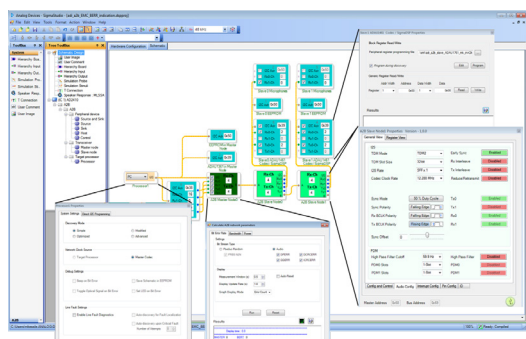


图5. SigmaStudio网络配置工具。

测试设备供应商(包括Mentor和Total Phase等)也是A²B总线生态系统的组成部分，主要提供A²B分析仪和监控器等产品。A²B分析仪可以模拟A²B网络中的主节点或从节点，这在设计和创建A²B网络的原型时会很有帮助。A²B监控器可作为A²B网络上的无源节点，用于监测通过该节点的所有A²B音频和数据，同时支持输入和输出音频。这些工具可以帮助客户缩短上市时间和降低设计复杂度。它们还可以在项目发布之前和之后加快调试和分析解决问题。A²B技术拥有多家第三方设计服务合作伙伴，他们已多次将A²B设计成功推向市场。这些合作伙伴提供硬件模块、定制硬件和软件设计支持等一系列服务。

技术生态系统、EMI/EMC可靠性、电缆长度支持和最低的处理成本等这些辅助因素，对于A²B总线最重要的音频和数据传输功能也是有力的补充。这些综合优势使得A²B技术深受很多行业应用的青睐，例如运输业、专业AV、音乐制作和表演等。

目前面向广泛的市场应用推出了5款通用型A²B收发器，其中两款为主器件，剩余三款为从器件。5款通用收发器包括超集组件和子集组件，以及一款经过优化的端点从器件。支持的5款通用器件概览如表1所示。

表1. 面向广泛市场应用的A²B器件

A²B器件	AD2428	AD2427	AD2426	AD2429	AD2420
产品描述	主机	从机	端点从机	经过优化的主机	经过优化的端点从机
支持主机	是	否	否	是	否
TRX功能模块	A + B	A + B	A	B	A
I²S/TDM支持	是	否	否	是	否
PDM麦克风输入	4	4	4	4	2
支持的从机数	高达10个	N/A	N/A	高达2	N/A
节点间最大线缆长度	15米	15米	15米	5米	5米

A²B总线由ADI提供的一系列产品评估板提供支持，涵盖各类A²B器件。第三方设计服务团队提供的其他A²B板进一步实施补充。

表2. 面向广泛市场应用的A²B评估板

A²B评估板	说明
EVAL-AD2428WB1BZ	总线供电的从机板，支持带两个PDM麦克风的I²S/TDM
EVAL-AD2428WC1BZ	总线供电的从机板，带四个PDM麦克风，不支持I²S/TDM
EVAL-AD2428WD1BZ	主机供电和本地供电的从机板，支持带三个PDM麦克风的I²S/TDM
EVAL-AD2428WG1BZ	本地供电的从机板，支持不带PDM麦克风的I²S/TDM
ADZS-AUDIOA2BAMP	包含用于驱动扬声器的D类放大器
ADZS-SC589-MINI	SHARC®音频模块，配有A²B收发器和ADSP-SC589音频处理器

如需了解A²B产品，以及更多与A²B应用相关的信息，请访问analog.com/a2b。



作者简介

Joe Triggs是ADI公司汽车事业部汽车连接和传感(ACS)产品部的应用经理。ACS部负责提供C²B、A²B和ADI驾驶座舱传感技术支持，如方向盘握姿-检测和ToF技术。他于2002年获得国立科克大学工学学士学位，之后继续深造，2004年获得利默里克大学工学硕士学位。2012年，他完成了利默里克大学Kemmy商学院工商管理硕士课程。联系方式：joe.triggs@analog.com。

选择最佳的振动传感器 进行风轮机状态监控

Richard Anslow, 系统应用工程师;
Dara O' Sullivan, 系统应用经理

据保守估计，目前全球至少安装了25万台风轮机。未来四年里，全球风轮机市场预计将增长278 GW的陆上容量、44.3 Gw的海上容量。¹这相当于至少100,000台3 MW的风轮机。随着可再生能源呈现这种增长，加上国家电网的电力投入，风轮机(WT)装置的可靠运行已成为工业和政府结构着重研究的课题。对WT可靠性的量化研究显示，可靠性随时间不断提升。例如，2016年美国国家可再生能源实验室报告²显示，在2007年至2013年间，包括变速箱在内的大多数WT子系统的可靠性都得到了提高，变速箱停机时间缩短了7倍。但是，在2018年，变速箱仍然是三大常见故障点之一，且材料成本最高。^{2,3}变速箱每次故障的平均成本最高，一次大型更换平均花费€230,000。⁴

变速箱组件的可靠性相对较差, 因此需要重点对齿轮、轴承和轴实施状态监控。除了变速箱之外, 转子叶片和发电机是WT系统中故障率最高的组件。^{5,6}目前商用风轮机状态监控系统有很多, 其中大部分使用振动传感器来实施变速箱分析。⁷目前已经有一些商用的转子叶片监控系统⁷, 但这个领域尚待继续研究。大量相关资料支持在风轮机中使用振动监控系统, 包括详细调查和分析各种系统的优势。⁸但很少有资料会介绍风轮机应用对振动传感器的要求。本文从系统角度, 提供关于风轮机组件、故障统计、常见故障类型和故障数据收集方法等的见解。本文从WT组件上的常见故障入手, 讨论振动传感器要求, 例如带宽、测量范围和噪声密度等。

系统组件、故障和传感器要求

图1和图2显示风轮机系统的主要组件，并提供风轮机变速箱的详细结构。下面几节将重点介绍变速箱、叶片和塔架对状态监控的要求，重点介绍振动传感器。对于其他系统，例如偏航驱动、机械刹车和发电机，我们一般不使用振动传感器进行监控，而是监控扭矩、温润滑油参数和电信号。

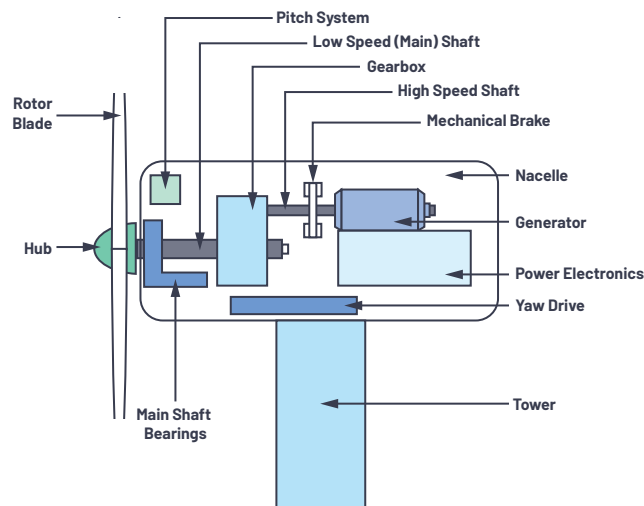


图1 风轮机系统组件。

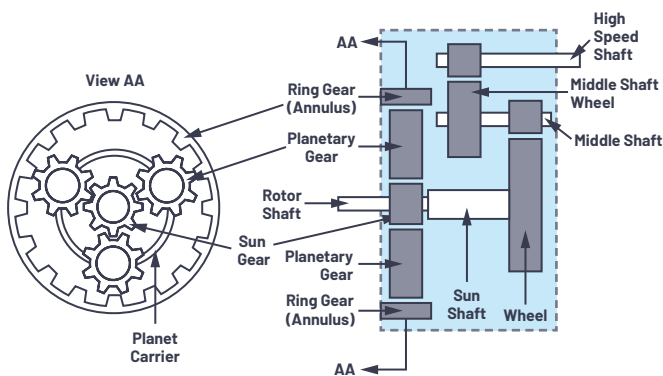


图2.变速箱的结构。

变速箱

风轮机变速箱将机械能从低转速的转子轮毂传输到高速发电机。同时，WT变速箱承受着不同风速带来的交替载荷，以及频繁制动导致的瞬变脉冲。变速箱包括一个低速转子轴和主轴，在风力驱动转子叶片时以0 rpm至20 rpm(不到0.3 Hz)的转速运行。要捕获不断增加的振动信号，需要振动传感器使用直流电运行。行业认证指南特别指出，振动传感器的性能需要达到0.1 Hz。⁹变速箱的高速轴通常以3200 rpm (53 Hz)的转速运行。为了提供足够带宽来捕捉轴承和齿轮故障的谐波，推荐低速和高速轴振动传感器的性能达到10 kHz及以上。⁹这是因为无论转速多大，轴承谐振一般都在几千赫兹范围内。¹⁰

到目前为止，轴承故障是引发变速箱故障的最大原因。一些研究表明，轴承故障是引发灾难性齿轮故障的根本原因。¹¹当高速轴上的后轴承失效时，高速轴发生倾斜，造成中间(中部)轴齿轮的传输不均。在这种情况下，齿轮的接触齿极易发生故障，如图3所示。

轴承润滑(油)不足是导致主轴轴承故障的主要原因。可用的解决方案(例如SKF NoWear)包括特殊轴承涂层，¹²可将缺油运行时间提高6倍以上。

即使采用特殊的轴承涂层和其他变速箱改进方法，我们仍然需要使用合适的振动传感器来监控变速箱的主要轴承和高速轴承。振动传感器的本底噪声需要足够低，以便能够检测到早期振动幅度(g范围)较低的轴承故障。较老的MEMS技术，例如ADXL001，其本底噪声为4 mg/ $\sqrt{\text{Hz}}$ ，足以捕捉轴承外环的故障。¹³图4显示，外环故障先出现约0.055 g的频率峰值，且轴承表现良好，从噪声密度角度来看，本底噪声低于2 mg/ $\sqrt{\text{Hz}}$ 。参考的¹³数据采集系统的过程增益导致噪声大幅降低，因此测量得出2 mg/ $\sqrt{\text{Hz}}$ 本底噪声。只有在DAQ系统实现了足够的过程增益，且噪声为随机的情况下，才适合使用本底噪声为4 mg/ $\sqrt{\text{Hz}}$ 的传感器。一般情况下，最好使用本底噪声为100 $\mu\text{g}/\sqrt{\text{Hz}}$ 至200 $\mu\text{g}/\sqrt{\text{Hz}}$ 的振动传感器，而不是基于过程增益，后者只有在噪声为随机且不相关的情况下适用。

本底噪声在100 $\mu\text{g}/\sqrt{\text{Hz}}$ 至200 $\mu\text{g}/\sqrt{\text{Hz}}$ 之间的传感器在捕捉正常的轴承运行状况方面表现出色，在捕捉mg/ $\sqrt{\text{Hz}}$ 范围内的早期故障时则表现卓异。事实上，使用本底噪声为100 $\mu\text{g}/\sqrt{\text{Hz}}$ 的MEMS传感器甚至能够更早检测出轴承故障。

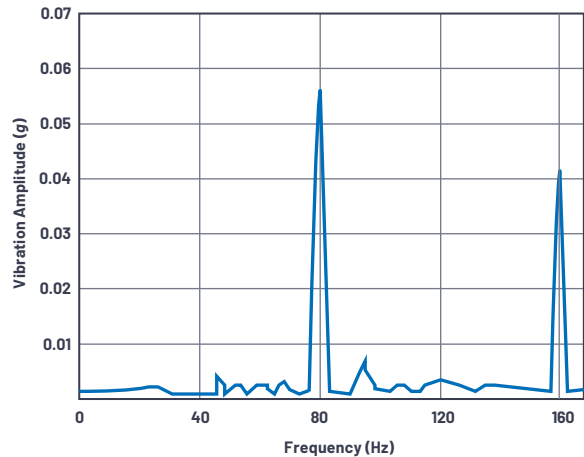


图4. 使用MEMS加速度计ADXL001测量轴承外环的故障。

在不到0.1 g时，显示初始轴承损坏，而在达到1 g时，通常表示深度轴承损坏，这会触发维护。¹⁴图5显示，当振动幅值超过6 g时，需维护变速箱和更换轴承。如前所述，轴承故障频率会在更高频率下发生。在更高频率下实施测量需要使用g范围规格更大的传感器。这是因为测得的加速度重力值与频率成比例。因此，与在低频率下相比，在更高频率下，相同的少量故障位移会导致更高的重力范围。一般指定在50 g至200 g时使用测量范围高达10 kHz、更高带宽的传感器，尤其指定适用于风轮机应用。由于结构冲击或突然的机械断裂，振动传感器也需要涵盖冲击载荷工况。因此，一般将典型的商用振动监控系统的满量程定为至少为50 g至100 g。

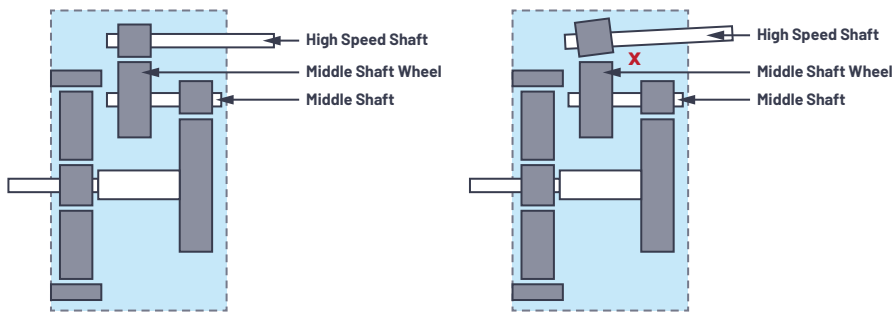
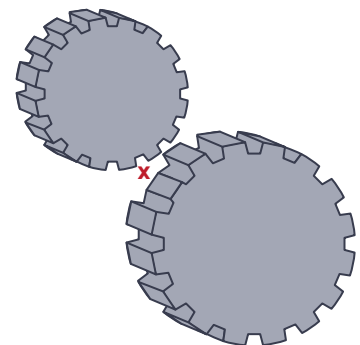


图3. 中轴齿轮断齿。



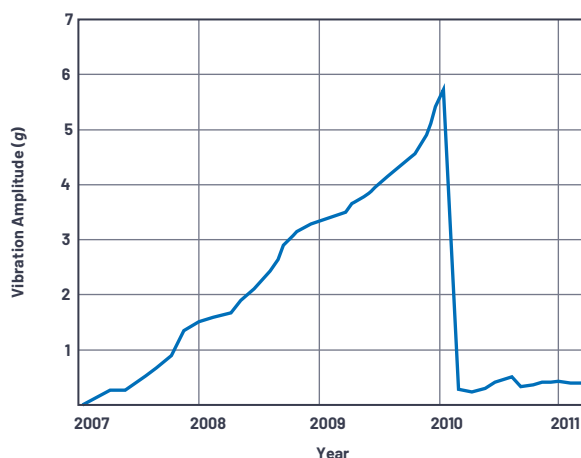


图5. 振动幅度为6 g时的轴承位移。

对于风轮机主轴承，要求至少使用一个单轴振动传感器，推荐使用两个，并在轴向和径向上测量。⁹轴承环上的轴向开裂可能使轴承寿命缩短至仅一到两年。¹⁵

由于变速箱本身很复杂，如图2所示，所以建议使用至少6个振动传感器来实施状态监控。⁹在选择传感器的数量和位置时，应确保能够可靠测量所有齿轮啮合和缺陷/转动频率。监控变速箱的低速级时，需要使用一个单轴传感器，放置在尽可能靠近环形齿轮的位置。监控变速箱的中间和高速级时，需要在中心齿轮、中间轴和高速轴位置使用一个单轴传感器。高速和中速轴承内环的轴向开裂已成为影响风轮机变速箱寿命的主要原因。¹⁵

对于变速箱监控，未来要改善的状态监控领域包括无线振动监控系统的采用，但持续研究才能持续为这些解决方案提供支持。⁸

转子叶片

风轮机的转子叶片和轮毂组件在低速下捕捉风并传输扭矩。导致叶片故障的主要原因包括极端风荷载、结冰或雷电等环境影响，以及不平衡。这些因素导致断裂和边缘开裂，以及径节系统故障。目前只有少量商用振动监控系统，可以分布在叶片外部和内部。⁸已经使用MEMS振动传感器在叶片上开展大量学术研究，比如Cooperman和Martinez的工作，¹⁶其中还包括陀螺仪和磁力仪。我们使用这些传感器的联合输出来确定风轮机叶片的方向和变形。相比之下，很少有商用振动监控系统，例如

Weidmuller BLADEcontrol¹⁷，它使用每个转子叶片内的振动传感器来测量每个叶片的自动振动行为的变化。BLADEcontrol系统主要用于检测引起涡轮过度振动的转子叶片上的极端结冰状况。

一般来说，大型风轮机叶片(即直径40米以上的叶片)的首级固有频率在0.5 Hz至15 Hz之间。¹⁸对涡轮叶片¹⁸上的无线振动监控系统的可行性研究显示，因振动激励导致的叶片频率响应远高于基频。其他研究¹⁹表明，由叶片边缘变形引起的叶片频率与叶片扭转变形引起的叶片频率之间有显著差异。叶片边缘变形的固有频率在0.5 Hz至30 Hz之间，叶片扭转变形的固有频率高达700 Hz。用振动传感器测量基频以外的频率需要更大的带宽。DNVGL状态监控规范认证⁹建议对转子叶片使用振动传感器，它能够测量0.1 Hz至≥10 kHz的频率范围，其中一个传感器放在转子轴上，另一个放在横向方向上。振动传感器在转子叶片上可以实现高频率测量范围，它也必须具备至少50 g的大幅度测量范围，与变速箱轴承的要求类似。

带风机的塔

风轮机塔为风机外壳和转子叶片总成提供结构支撑。塔身会遭受冲击损坏，导致塔出现倾斜。塔倾斜之后，叶片与风向之间无法保持最佳角度。测量倾斜度需要使用操作功率可以低至0 Hz的传感器，如此在零风条件下，也可以检测到倾斜。

基座部分的结构破坏会导致塔摇晃。塔摇晃监控集成在一些涡轮状态监控系统中，与变速箱振动监控相比，可以商用的选项并不多。⁸Scaime状态监控系统²⁰使用加速度计、位移传感器、应变传感器和温度传感器来监控叶片、塔和基座的状况。根据DNVGL规范，Scaime加速度计的满量程范围为±2 g，²⁰监控频率范围为0.1 Hz至100 Hz。⁹如前所述，在静态条件下(无风力)，当塔架结构发生故障导致倾斜时，频率的最低限值降低至0 Hz。要实施倾斜测量，需要使用具有良好的直流稳定性能的传感器。MEMS传感器，例如ADXL355采用气密封装，可以实现行业领先的0 g失调稳定性。

研究²¹证实，最小±2 g范围的振动传感器足以对塔实施监控。在正常运行模式下，25 mps的最大风速可产生小于1 g的加速度重力电平。事实上，在“基于现场测量和有限元分析的风轮机塔基础系统可识别应力状态”²¹研究中，额定风速为2 mps到25 mps，风轮机在风速为25 mps时关断(停用)。

表1. 风轮机状态监控对振动传感器的要求

元件	传感器数量	测量方向	频率范围	加速范围	噪声密度
转子叶片	两个单轴	轴向和横向	0.1 Hz 至 ≥10 kHz	±50 g(最低)至100 g	需要≤1 mg/√Hz，以捕捉一般故障
主轴承	两个单轴	径向和轴向	0.1 Hz 至 ≥10 kHz	±50 g(最低)至100 g	
低速变速箱(环形齿轮)	一个单轴	径向	0.1 Hz 至 ≥10 kHz	±50 g(最低)至100 g	需要≤100 μg/√Hz至200 μg/√Hz，以捕捉早期轴承故障
中速到高速变速箱(中心齿轮、中速和高速轴)	三个单轴	径向和轴向	10 Hz 至 ≥10 kHz	±50 g(最低)至100 g	
发电机轴承(内部和外部轴承)	两个单轴	径向	10 Hz 至 ≥10 kHz	±50 g(最低)至100 g	需要≤100 μg/√Hz至200 μg/√Hz，以捕捉正常的运行状态
塔和风机	两个单轴	轴向和横向	0 Hz 至 ≥100 Hz	±2 g(最小值)	

总结

表1基于风轮机应用需求提供振动传感器的需求摘要。DNVGL 状态监控规范认证中给出了传感器的数量、测量方向和频率范围。⁹如前所述，0 Hz性能对于监控塔架的结构问题非常重要。表1还根据本文提供的现场研究和测量总结了合适的幅度范围和噪声密度。

故障数据收集方法

所有大规模实体WT都有标准的监控控制和数据采集(SCADA)系统，主要用于实施参数监控。监控参数的示例包括变速箱轴承温度和润滑、主动功率输出和相电流。一些参考资料⁶讨论使用SCADA数据进行风轮机状态监控，以检测趋势。英国杜伦大学的一项调查⁷列出了多达10个商用状态监控系统，这些系统可以适配并与使用标准协议的现有SCADA系统完全集成。GE Energy ADAPT.Wind就是这样一个示例。²²对未来技术趋势的广泛调查⁷显示，在风轮机上安装振动监控系统是一个明显的倾向。

用于风轮机状态监控的合适的振动传感器

在等于或低于0.3 Hz时，压电振动技术难以或无法捕获振动特征。这意味着无法对低速WT部件，例如转子叶片、主轴承、低速变速箱，塔等实施正常监控。基于MEMS的传感器的性能可以低至0 Hz，可以捕捉所有主要风轮机组件中的关键故障。这为客户提供了用于WT的单一振动传感器解决方案，仅使用MEMS来测量从0 Hz到高达10 kHz及以上的故障。

适用于CbM的技术	转子叶片	主轴承	低速变速箱	中速和高速变速箱	发电机轴承	带风机的塔
MEMS	✓	✓	✓	✓	✓	✓
压电	✗	✗	✗	✓	✓	✗

除了能够捕捉所有关键故障之外，MEMS还具有以下优点：

- ▶ 宽重力测量范围和超低的μg/√Hz噪声密度，可以轻松满足表1中给出的要求。
- ▶ MEMS具有内置自测(BIST)功能。系统操作员无需访问WT来测试/确保传感器正确运行，可以节约成本。相比之下，压电技术不具备BIST功能。
- ▶ 与基于压电的解决方案相比，MEMS接口在数据接口和电源供应方面更加灵活。在将高阻抗压电传感器输出解译到长电缆时，可用的选项有限。最常采用的是双线IEPE接口，使用第二根接地线通过共享电源/数据线为压电传感器供电。IEPE使用与压电解决方案匹配的放大器来提供低阻抗电缆驱动解决方案。IEPE接口解决方案可以使用MEMS传感器，但MEMS传感器也能与使用现场总线(RS-485、CAN)或基于以太网的网络操作的现有系统轻松集成。这是因为MEMS传感器可以提供模拟输出或数字输出(SPI、IC)，并轻松传输至其他协议。
- ▶ 环保性能：WT通常在-40°C到+55°C的温度下运行，而MEMS器件很容易满足这一要求。
- ▶ 与基于压电的传感器相比，MEMS在长时间使用时具有更好的灵敏度和线性度。ADI加速度计的非线性程度很低，通常可以忽略不计。例如，ADXL1001 MEMS加速度计在满量程范围内具有小于0.025%的典型非线性规格。相比之下，对基于压电传感器的标准化测量的学术研究显示，非线性度为0.5%或更低。²³

如今可用的基于MEMS的振动传感器和解决方案

传感器

使用ADXL1002、ADXL1003、ADXL1005和ADcmXL3021 MEMS传感器(如图2所示)可以轻松满足风轮机应用的振动监控对带宽、范围和噪声密度的要求。ADXL355和ADXL357也适合用于实施风轮机塔监控, 具有较低的带宽和范围测量性能。ADXL355/ADXL357具有良好的直流稳定性, 这对于测量风轮机塔的倾斜度非常重要。ADXL355/ADXL357的气密封装保证了良好的长期稳定性。在10年使用寿命中, ADXL355的重复性在 ± 3.5 mg以内, 为倾斜测量提供了高度精准的传感器。

表2. 用于风轮机状态监控的合适的MEMS传感器

MEMS传感器	轴数	范围($\pm$ g)	带宽(kHz)	噪声密度(μ g/ $\sqrt{\text{Hz}}$)
ADXL355	3	2, 4, 8	0 至 1	25
ADXL357	3	10, 20, 40	0 至 1	80
ADXL1005	1	100	0 至 23	75
ADXL1003	1	200	0 至 15	45
ADXL1002	1	50	0 至 11	25
ADcmXL3021	3	50	0 至 10	26

风轮机状态监控解决方案

无线

ADI提供一套完整的验证参考设计、评估系统和即插即用机器健康传感器模块, 以加速客户的设计进度。图6显示ADI**无线振动监控评估平台**。该系统解决方案整合了机械附件、硬件、固件和PC软件, 可以快速部署和评估单轴振动监测解决方案。该模块可以通过磁性方式或螺柱直接连接到电机或固定装置。作为基于状态的监控(CbM)系统的一部分, 它也可以与同一无线Mesh网络上的其他模块组合使用, 以提供具有多个传感器节点的范围更广的图像。



图6. 无线振动监控评估平台。

CbM硬件信号链包含一个安装在模块底座上的单轴ADXL1002加速度计。将ADXL1002的输出读入ADuCM4050低功耗微控制器, 并在此对其进行缓冲, 转换至频域并传输至SmartMesh[®] IP终端。将ADXL1002的输出从SmartMesh芯片无线传输到SmartMesh IP管理器。管理器连接到PC, 可以进行可视化处理和数据保存。数据

显示为原始时域数据和FFT数据。还提供了有关时间汇总数据的其他摘要统计信息。提供了PC端GUI的完整Python[®]代码以及部署于模块上的C语言固件, 以便客户修改。

有线

ADI的**Pioneer 1有线CbM评估平台**为ADcmXL3021三轴振动传感器提供工业有线链接解决方案。CbM硬件信号链由三轴ADcmXL3021加速度计和Hirose flex PCB连接器组成。带有SPI和中断输出的ADcmXL3021 Hirose连接器与接口PCB相连, 通过数米长的电缆将发送至RS-485物理层的SPI转化发送至远程主控制器板。SPI到RS-485物理层的转换可以使用隔离或非隔离的接口PCB实现, 其中包括iCoupler[®]隔离(ADuM5401/ADuM110N)和RS-485/RS-422收发器(ADM4168E/ADM3066E)。该解决方案通过一根标准电缆将电能和数据结合在一起, 从而降低了远程MEMS传感器节点的电缆和连接器成本。专用软件GUI可以简单配置ADcmXL3021器件, 并在长电缆上捕捉振动数据。GUI软件将数据可视化显示为原始时间域或FFT波形。

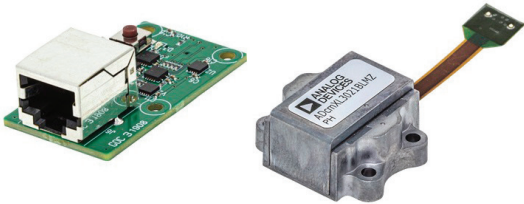


图7. 有线振动监控评估平台。

结论

本文证明基于MEMS的传感器可以测量风轮机的关键系统中的所有关键故障。MEMS传感器的带宽、测量范围、直流稳定性和噪声密度均妥善指定, 在风轮机应用中具有出色性能。

MEMS内置自测(BIST)、灵活的模拟/数字接口, 以及长时间使用过程中的出色的灵敏度/线性度, 这是MEMS传感器成为最佳风轮机状态监控解决方案的另外一些原因。基于振动检测早期故障的维护系统是一项现代技术, 可以防止整个风轮机出现成本高昂的停机。

参考资料

- ¹ 2018年全球风能报告。GWEC, 2019年4月。
- ² Shuangwen (Shawn) Sheng. “风轮机变速箱可靠性数据库、状态监控, 以及运行和维护研究更新。” Drivetrain Reliability Collaborative Workshop, 2016年5月。
- ³ Alexios Koltsidopoulos Papatzimos, Tariq Dawood, Phillip R. Thies. “从海上风轮机变速箱更换得出的数据洞察。” EERA DeepWind的2018年第15届深海海上风力研发大会, 物理学报: 系列会议, 2018年10月。
- ⁴ James Carroll, Alasdair McDonald, David McMillan. “海上风轮机的故障率、维修时间和计划外的O&M成本分析。” 风能, 2015年8月。

- ⁵ Yao Li、Caichao Zhu、Chaosheng Song、Jianjun Tan。“风轮机可靠性的研究和开发。”《国际机械工程与应用杂志》，2018年。
- ⁶ Jannis Tautz-Weinert、Simon J. Watson。“使用SCADA数据实施风轮机状态监控——社论。”《IET Renewable Power Generation》，第11卷第4期，2017年5月。
- ⁷ Christopher J. Crabtree、D. Zappala、P.J.Tavner。“对可商用的风轮机状态监控系统的调查。”《Durham Research Online》，英国杜伦大学，2014年5月。
- ⁸ Mathew L. Wymore、Jeremy E. Van Dam、Halil Ceylan、Daji Qiao。“对风轮机健康状态监控系统的调查。”《可再生和可持续能源审查》，第52卷，2015年12月。
- ⁹ DNVGL-SE-0439服务规范：状态监控认证。DNVGL，2016年6月。
- ¹⁰ Robert Bond Randall。“基于振动的状态监控：工业、航空航天和汽车应用。”John Wiley & Sons, Inc.，2010年12月。
- ¹¹ Wei Teng、Xian Ding、Xiaolong Zhang、Yibing Liu和Zhiyong Ma。“基于复杂的子波转换的风轮机变速箱的多故障检测与故障分析。”《可再生能源》，第93卷，2016年8月。
- ¹² David de Garavilla、Xiaobo Zhou博士。“延长风轮机中的主轴轴承的使用寿命。”《风力发电工程与发展》，2019年8月。
- ¹³ Eric Bechhoefer、Mathew Wadham-Gagnon、Bruno Boucher。“关于风轮机的初次状态监控体验。”预测和健康管理学会年会，2012年。
- ¹⁴ Xavier Escaler、Toufik Mebarki。“满量程风轮机振动特征分析。”《机械》，2018年。
- ¹⁵ Nic Sharpley。“了解风轮机变速箱轴承轴向开裂的根本原因。”《风力发电工程与发展》，2014年4月。
- ¹⁶ Aubryn M. Cooperman、Marcias J. Martinez。“用于对风轮机叶片实施结构健康监控的MEMS。”会期：适应性结构与技术国际会议(ICAST 2014)，2014年10月。
- ¹⁷ BLADEcontrol。Weidmüller Interface GmbH & Co. KG，2020年2月。
- ¹⁸ O.O.Esu、S.D.Lloyd、J.A.Flint、S.J.Watson。“适合风轮机叶片的全自动无线监控系统的可行性。”《可再生能源》，第97卷，2016年11月。
- ¹⁹ L.K.Tartibu、M. Kilfoil、A.J.Van Der Merwe。“长度可变的叶片风轮机的振动分析。”《国际工程与技术进展杂志》，2012年7月。
- ²⁰ 风能。Scaime，2020年2月。
- ²¹ Chikako Fujiyama、Kaoru Yonetsu、Takuya Maeshima、Yasuhiro Koda。“基于现场测量和有限元分析的风轮机塔基础系统可识别应力状态。”《Procedia Engineering》，第95卷，2014年12月。
- ²² “Bently Nevada ADAPT.Wind：状态监控解决方案。”贝克休斯公司，2019年11月。
- ²³ J. Putner、P.B.Grams、H. Fastl。“压电加速度计的非线性行为。”会期：Fortschritte der Akustik, AIA-DAGA 2013，2013年3月。
- “对风轮机结冰检测系统的评估：最终报告 VGB研究项目编号392：最终报告。”METEOTEST，2016年2月。
- Katharina Fischer、Diego Coronado。“VGB研究项目383—风轮机的状态监控：技术先进性、用户体验和推荐。”《VGB PowerTech》，2015年7月。
- Tchakoua、Pierre、Mohand Ouhrouche、René Wamkeue、F. Slaoui Hasnaoui。“风轮机状态监控：技术先进性评论、新趋势和未来的挑战。”《Energies》，2014年4月。
- Wei Teng、Feng Wang、Kaili Zhang、Yibing Liu、Xian Ding。“基于经验模态分解的风轮机变速箱点蚀故障检测。”《机械工程学报》，2014年。



作者简介

Richard Anslow是ADI公司自动化与能源事业部互连运动和机器人团队的系统应用工程师。他的专长领域是基于状态的监测和工业通信设计。他拥有爱尔兰利默里克大学颁发的工程学士学位和工程硕士学位。联系方式：richard.anslow@analog.com。



作者简介

Dara O'Sullivan是ADI公司自动化与能源事业部互连运动和机器人团队的系统应用经理。他的专长领域是工业运动控制应用的功率转换、控制和监测。Dara拥有爱尔兰科克大学工程学士、工程硕士和博士学位。自2001年起，Dara便从事研究、咨询和工业领域的工业与可再生能源应用方面的工作。联系方式：dara.osullivan@analog.com。

应用电路板的多轨电源设计—第2部分：布局技巧

Ching Man, 现场应用工程师

简介：工程师在不断发展的时代所面临的挑战

电源设计可以分为三个阶段：(A)设计策略和IC选择，(b)原理图设计、仿真和测试，以及(c)器件布局和布线。在(a)设计和(b)仿真阶段投入时间可以证明设计概念的有效性，但真正测试时，需要将所有一切组合在一起，在测试台上测试。在本文中，我们将直接跳到步骤(c)，因为目前已有大量资料介绍ADI的模拟和设计电源工具，都可免费下载，例如LTpowerPlanner®、LTpowerCad®、LTspice®和LTpowerPlay®。此专题的**第一部分**主要介绍(a)策略。

此专题分两部分讨论，本文是第二部分，主要介绍在设计多轨电源时可能会忽略的一些问题。第一部分着重介绍策略和拓扑，本文则重点讨论功率预算和电路板布局的细节。由于许多应用电路板需要多个电源轨道，所以这个分两部分介绍的专题详细介绍多电源电路板解决方案。目标是通过合理的器件定位和路由来实现高质量的初始设计，以重点突出一些功率预算和路由技巧。

在电源设计中，精心的布局和布线对于能否实现出色设计至关重要，要为尺寸、精度、效率留出足够空间，以避免在生产中出现问题。我们可以利用多年的测试经验，以及布局工程师具备的专业知识，最终完成电路板生产。

精心的设计的效率

设计从图纸上看起来可能毫无问题(也就是说，从原理图角度)，甚至在模拟期间也没有任何问题，但真正的测试其实是在布局、PCB制造，以及通过载入电路实施原型制作应力测试之后。这部分使用真实的设计示例，介绍一些技巧来帮助避开陷阱。我们将介绍几个重要概念，以帮助避开设计缺陷和其他陷阱，以免未来需要重新设计和/或重新制作PCB。图1显示在没有进行细致测试和余量分析的情况下，在设计进入生产之后会如何造成成本急速上涨。

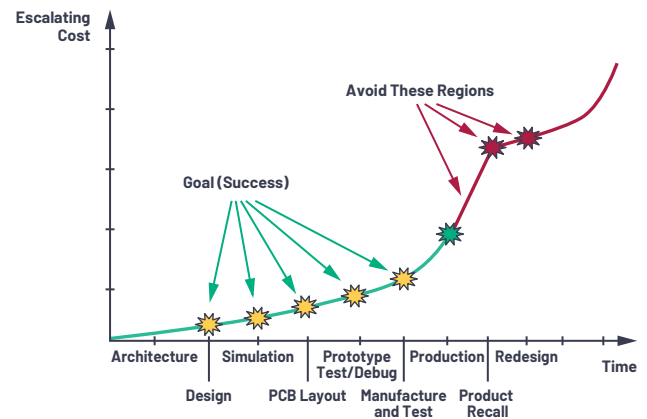


图1 生产的电路板出现问题时，成本可能急速上涨。

功率预算

您需要注意在正常情况下按预期运行，但在全速模式或不稳定数据开始出现时(已排除噪声和干扰之后)不能按预期运行的系统。

退出级联阶段时，要避免限流情况。图2所示为一个典型的级联应用：(A) 显示由产生3.3 V电源，电流最大500 mA的ADP5304降压稳压器(PSU1)构成的设计。为了提高效率，设计人员应分接3.3 V电轨，而不是5 V输入电源。3.3 V输出被进一步切断，以为PSU2(LT1965)供电，这款LDO稳压器用于进一步将电压降低至2.5 V，且按照板载2.5 V电路和IC的要求，将最大输出电流限制在1.1 A。

这种系统存在一些很典型的隐藏问题。它在正常情况下能够正常运行。但是，当系统初始化并开始全速运行时——例如，当微处理器和/或ADC开始高速采样时一问题就出现了。由于没有稳压器能在输出端生成高于输入端的电压，在图2a中，用于为合并电路 V_{OUT1} 和 V_{OUT2} 供电的 V_{OUT1} 最大功率($P = V \times I$)为 $3.3 \text{ V} \times 0.5 \text{ A}$

$= 1.65 \text{ W}$ 。得出此数值的前提是效率为100%，但是因为供电过程中会出现损耗，所以实际功率要低于该数值。假定2.5 V电源轨道的最大可用功率为2.75 W。如果电路试图获取这么多的功率，但这种要求得不到满足，就会在PSU1开始限流时出现不规则行为。电流可能由于PSU1而开始限流，更糟的是，有些控制器因过流完全关断。

如果图2a是在成功排除故障后实施，则可能需要更高功率的控制器。最理想的情况是使用与引脚兼容、电流更高的器件进行替换；最糟糕的情况下，则需要完全重新设计和制造PCB。如果能在概念设计阶段开始之前考虑功率预算，则可以避免潜在的项目计划延迟(参见图1)。

在考虑这一点的情况下，先创建真实的功率预算，然后选择控制器。包括您所需的所有电源电轨：2.5 V、3.3 V、5 V等。包括所有会消耗每个电轨功率的上拉电阻、离散器件和IC。使用这些值反向工作，以如图2b所示，估算您需要的电源。使用电力树系统设计工具，例如LTpowerPlanner(图3)来轻松创建支持所需的功率预算的电力树。

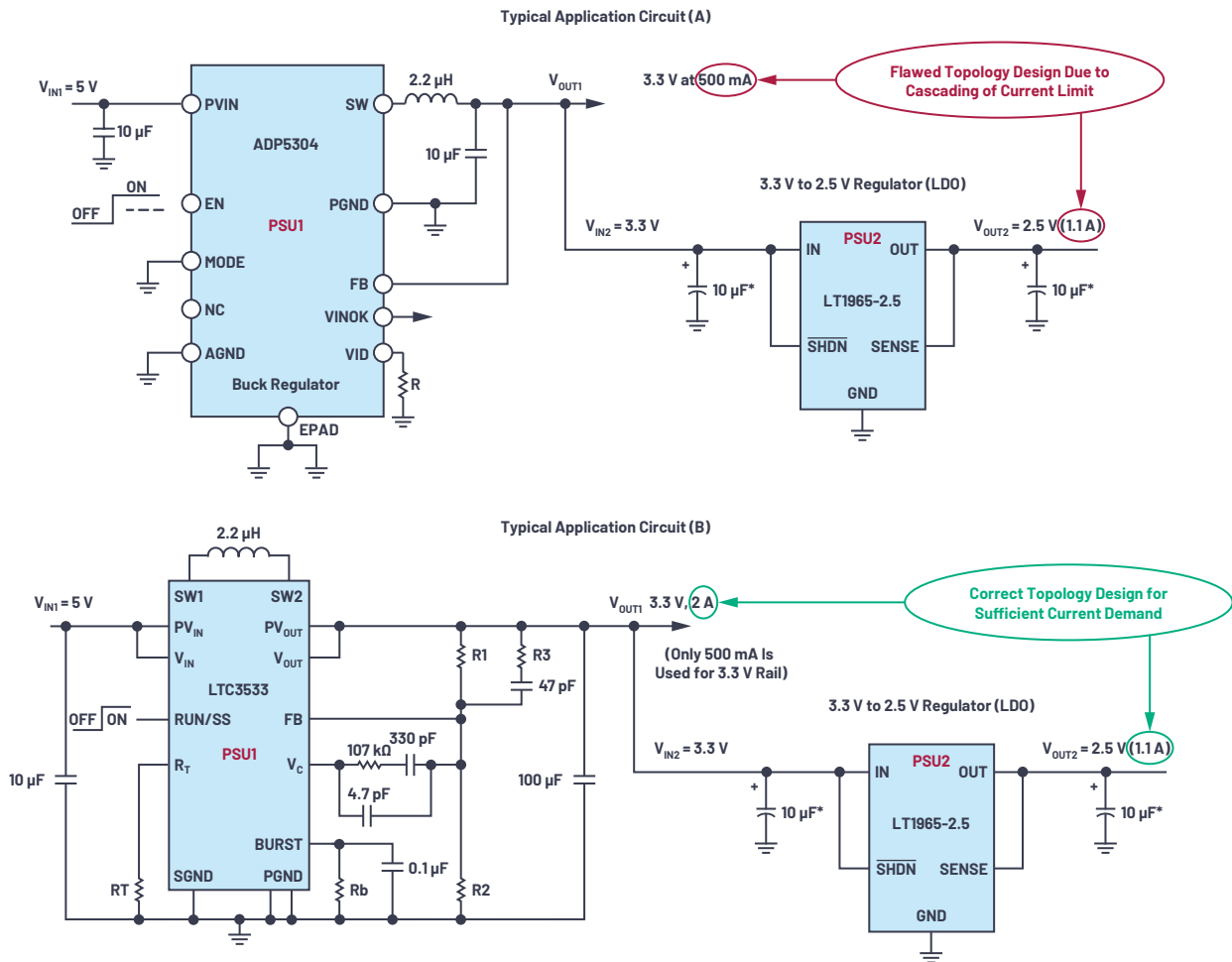


图2. 避开电力树中的限流设计缺陷。

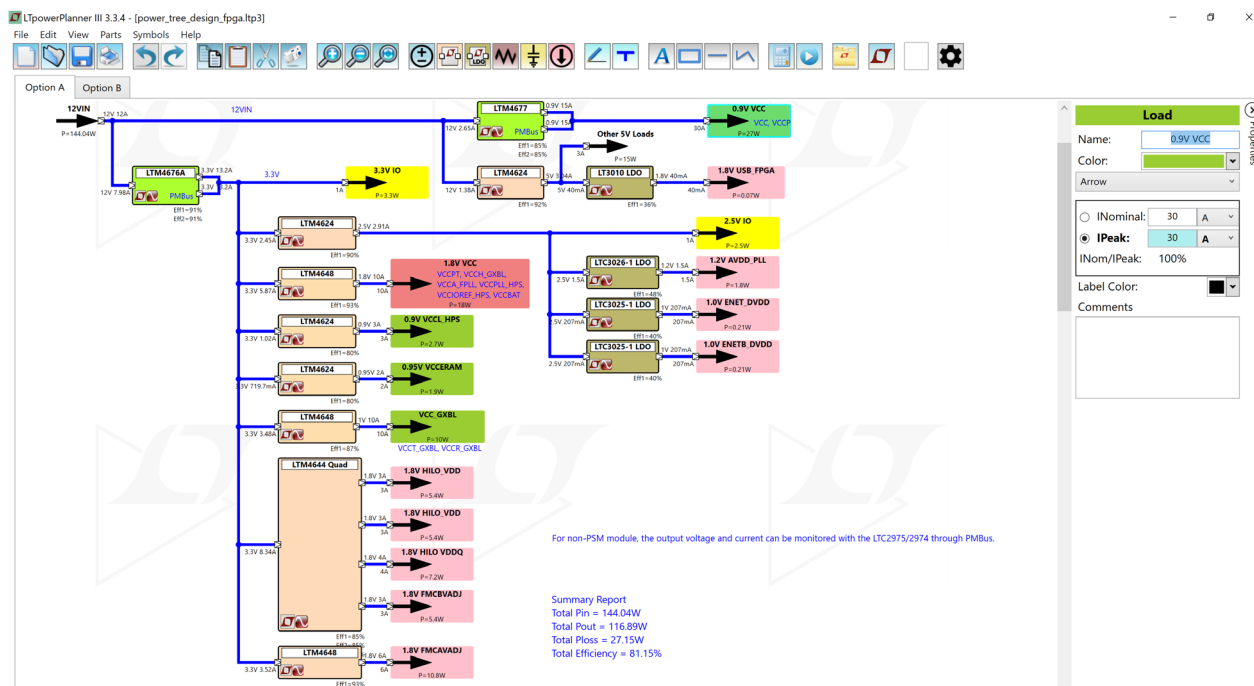


图3. LTpowerPlanner电源树。

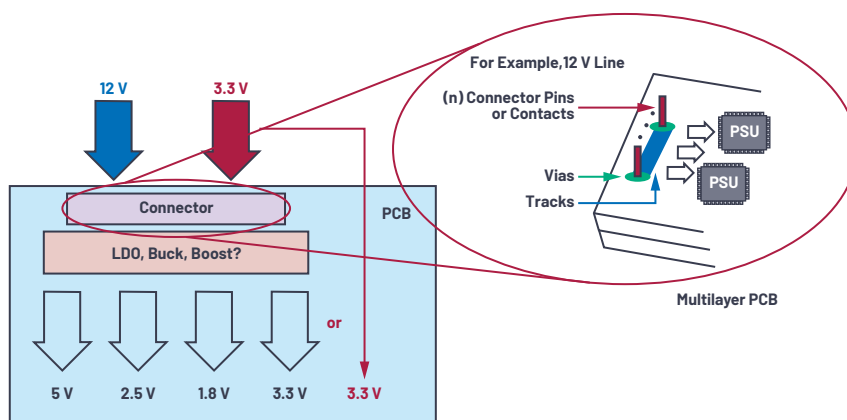


图4. 物理接触和电流处理能力。

布局 and 布线

正确的布局和布线可以避免因错误的走线宽度、错误的通孔、引脚(连接器)数量不足、错误的接触点大小等导致轨道被烧毁,进而引发电流限制。下面章节介绍了一些值得注意的地方,也提供几个PCB设计技巧。

连接器和引脚接头

将图2中所示的示例的总电流扩展至17 A,那么设计人员必须考虑引脚的电流处理接触能力,如图4所示。一般来说,引脚或接触点的载流能力受几个因素影响,例如引脚的大小(接触面积)、金属成分等。直径为1.1 mm¹的典型过孔凸式连接引脚的电流约为3A。如果需要17A,那么应确保您的设计具有足够多的引脚,足以处理总体的载流容量。这可以通过增大每个导体(或触点)的载流能力来轻松实现,并保留一些安全裕度,使其载流能力超过PCB电路的总电流消耗。

在本例中,要实现17 A需要6个引脚(且具备1A余量)。V_{CC}和GND一共需要12个引脚。要减少触点个数,可以考虑使用电源插座或更大的触点。

布线

使用可用的线上PCB工具来帮助确定布局的电流能力。一盎司电轨宽度为1.27 mm的铜质PCB的载流能力约为3 A,电轨宽度为3 mm时,载流能力约为5 A。还要留出一些余量,所以20 A的电轨的宽度需要达到19 mm(约20 mm)(请注意,本例未考虑温度升高带来的影响)。从图4可以看出,因为受PSU和系统电路的空间限制,无法实现20 mm电轨宽度。要解决这个问题,一个简单的解决方案是使用多层PCB。将布线宽度降低到(例如)3 mm,并将这些布线复制到PCB中的所有层上,以确保(所有层中的)布线的总和能够达到至少20 A的载流能力。

过孔和连接

图5显示一个过孔示例，该过孔正在连接控制器的PCB的多个电源层。如果您选择1 A过孔，但需要2 A电流，那么电轨宽度必须能够携带2 A的电流，且过孔连接也要能够处理这个电流。图5所示的示例至少需要两个过孔(如果空间允许，最好是三个)，用于将电流连接至电源层。这个问题经常被忽略，一般只使用一个过孔来进行连接。连接完成后，这个过孔会作为保险丝使用，它会熔断，并断开与相邻层的电源连接。设计不良的过孔后期很难改善和解决，因为熔断的过孔很难注意到，或者被其他器件遮住。

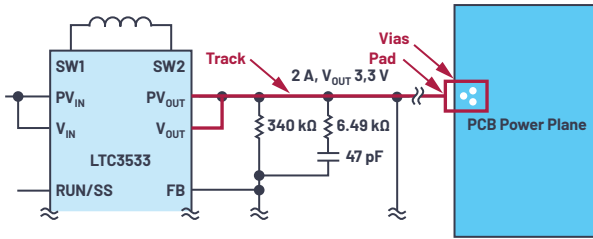


图5. 过孔连接。

请注意关于过孔和PCB电轨的下列参数：电轨宽度、过孔尺寸和电气参数受几个因素影响，例如PCB涂层、路由层、工作温度等，这些因素最终会影响载流能力。以前的PCB设计技巧没有考虑这些依赖关系，但是，设计人员在确定布局参数时，需要注意到这些。目前许多PCB电轨/过孔计算器都可在线使用。设计人员在完成原理图设计后，最好向PCB制造商或布局工程师咨询这些细节。

避免过热

有许多因素会导致生热，例如外壳、气流等，但本节主要讲述外露的焊盘。带有外露焊盘的控制器，例如LTC3533、ADP5304、ADP2386、ADP5054等，如果正确连接至电路板，其热阻会更低。一般来说，如果控制器IC的功率MOSFET是置于裸片之中(即是整片式的)，该IC的焊盘通常外露，以便散热。如果转换器IC使用外部功率MOSFET运行(为控制器IC)，那么控制IC通常无需要使用外露焊盘，因为它的主要制热源(功率MOSFET)本身就在IC外部。



作者简介

Ching Man是欧洲中央应用中心的应用工程师，工作地点在爱尔兰利默里克。他在应用、硬件系统和ASIC设计领域拥有超过27年的经验。Ching于2007年加入ADI公司，面向欧洲市场提供高速ADC、DAC、3D飞行时间成像、LIDAR和软件定义的无线电(SDR)等相关设计技术支持。他分别于1991年和1993年获得英国伦敦威斯敏斯特大学的电子工程(荣誉)学士学位和VLSI和数字信号处理系统硕士学位。

Ching在IEEE、IET、electronica发表多篇文章并撰写ADI指南、研讨会和会议论文。此外，他于1998年获得特许工程师资质，目前是英国工程技术学会(IET)的成员。他目前的研究活动涉及系统、ASIC和算法架构、信号处理和降噪技术，以及aquamarine光纤声呐传感器系统设计、应用和开发。联系方式：ching.man@analog.com。

通常，这些外露的焊盘必须焊接到PCB接地板上才有效。根据IC的不同，也有一些例外，有些控制器会指明，它们可以连接至隔离的焊盘PCB区域，以作为散热器进行散热。如果不确定，请参阅有关部件的数据表。

当您 will 将外露的焊盘连接到PCB平面或隔离区域时，(a)确保将这些孔(许多排成阵列)连接到地平面以进行散热(热传递)。对于多层PCB接地层，建议利用过孔将焊盘下方所有层上的接地层连在一起。如需更多信息，请参阅“[散热设计基础](#)”教程MT-093、²AN136：“[非隔离开关电源的PCB布局考量](#)，”³，以及AN139：“[电源布局和EMI](#)。”⁴

请注意，关于外露焊盘的讨论是与控制器相关。在其他IC中使用外露焊盘可能需要使用极为不同的处理方法。如需了解更多与使用外露焊盘相关的讨论，请访问[EngineerZone](#)。⁵

结论与汇总

要设计低噪声、不会因为电轨或过孔烧毁而影响系统电路的电源，从成本、效率、效率和PCB面积大小各方面来说都是一项挑战。本文强调了一些设计人员可能会忽略的地方，例如使用功率预算分析来构建电力树，以支持所有的后端负载。

原理图和模拟只是设计的第一步，之后是谨慎的器件定位和路由技术。过孔、电轨和载流能力都必须符合要求，并接受评估。如果接口位置存在开关噪声，或者开关噪声到达IC的功率引脚，那么系统电路会失常，且难以隔离并排除故障。

参考资料

¹ 61302221121连接引脚。Würth Elektronik。

² MT-093教程：“[散热设计基础](#)。”ADI公司，2009年。

³ 应用笔记136：“[非隔离开关电源的PCB布局考量](#)。”凌力尔特，2012年6月。

⁴ 应用笔记139：“[电源布局和EMI](#)。”凌力尔特，2012年10月。

⁵ AD8045裸露焊盘连接。EngineerZone，2011年1月。

LTM4700。ADI公司，2018年10月。

电源管理工具。ADI公司

非常见问题第181期： 使用标准稳压器产生极低电压

Frederik Dostal, 现场应用工程师

问题：

有什么好的解决方案可以产生只有几百毫伏的微型直流电源电压？



答案：

只需将一个干净的外加正电压连接至DC-DC转换器的反馈电阻即可。

在过去的几年里，由于微控制器、CPU、DSP等数字电路的几何结构尺寸不断缩小，电子元器件的电源电压一直持续下降。在测量领域也有一些需要低电源电压的应用。

多年以来，线性稳压器和开关稳压器一直采用约1.2 V的反馈电压。此电压由DC-DC转换器IC中的带隙电路产生，它确定了使用外部电阻分压器可以设置的最低电压。到目前为止，大多数现代稳压器IC都可以产生0.8 V、0.6 V甚至0.5 V的输出电压。内部基

准电压源也按这种方式设计，所以能够获得更低的电压。图1所示为这种类型的开关稳压器LTC3822，它以0.6 V的基准电压产生0.6 V的反馈电压。

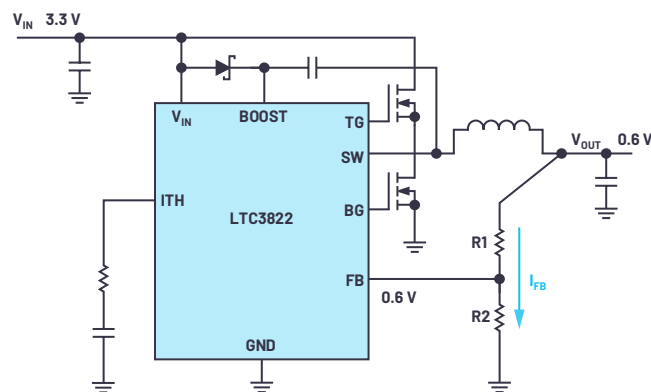


图1 可产生0.6 V或更高输出电压的LTC3822 DC-DC转换器。

但是，如果需要低于0.6 V的电源电压，则需要对图1所示的电路进行调整，否则无法使用。

利用一些技巧，您也可以使开关或线性稳压器产生低于反馈电压的电压。可以通过使用图2所示的电路实现。将电阻分压器与一个外加的偏置正电压连接，用于调节输出电压。该电压可以由低压降稳压器(LDO)或基准电压源产生。这样，电阻分压器构成了一个电压分压器，电流 I_{FB} 的流动方向与图1中的常规情况相反。在图2中，电流从外部基准电压源经由电阻分压器流向输出电压。

公式1显示了IC的反馈电压(V_{FB})、所需的输出电压(V_{OUT})、外加正极直流偏置电压(V_{OFFSET})，以及电阻分压器的电阻R1和R2之间关系。

$$\frac{V_{FB} - V_{OUT}}{V_{OFFSET} - V_{OUT}} = \frac{R1}{R1 + R2} \quad (1)$$

对于电阻分压器的阻值选择，建议R1、R2的总和介于100 kΩ和500 kΩ之间。这使得偏置电流在功率效率方面足够低，但又高到可以防止过多的噪声耦合到敏感的反馈路径。

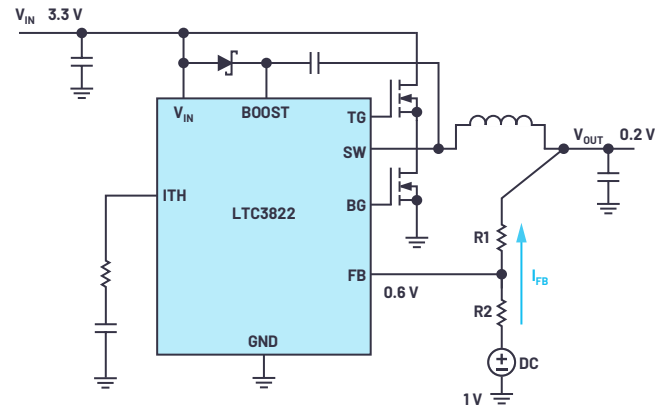


图2. 对图1电路进行调整，可以产生低于0.6 V的输出电压。

这一设计理念通常适用于产生低于开关稳压器或线性稳压器的额定最低电压的电压。但是，应注意几点：外加的基准电压源应在DC-DC转换器开启之前启动和运行。如果该辅助电压为0 V或具有高电阻，DC-DC转换器可能会产生过高的电压并损坏负载电路。

在最糟糕的情况下，即当开关稳压器尚未开启但辅助电压已经施加时，流经电阻分压器的电流 I_{FB} 将为输出电容充电，使其电压高于设置电压。当负载具有极高阻抗时，就会发生这种情况。所以设置一个最小负载以避免这种情况可能是必要的。

电阻分压器的辅助电压(在图2中为1 V)精度会直接影响所产生的电源电压精度。因此，应使用特别干净的低纹波电压。

此外，并非所有电压转换器都适合进行此类操作。例如，DC-DC转换器中电流检测放大器的测量范围也许只能提供较高电压下的工作范围。还应该注意的是，在较高输入电压下产生极低电压，还需要低占空比。这里，选择一个具有较短最小导通时间的开关稳压器IC，并在低开关频率下工作可能是非常有帮助的。

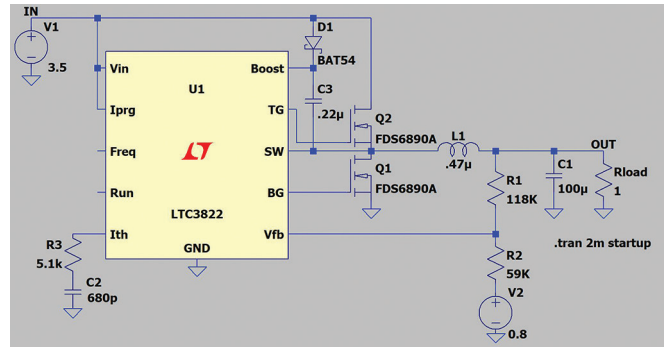


图3. 可以使用仿真工具(例如ADI的LTspice®)对电路实施初始测试。

如果要以低于IC制造商指定的输出电压运行线性稳压器或开关稳压器，使用仿真工具(例如ADI的LTspice)进行初始检查是非常有用的。图3显示了一个LTC3822构成的电路，使用额外的电压源作为反馈路径的偏置。在这个电路中，产生一个200 mV输出电压。根据数据手册，LTC3822适用于产生最低0.6 V的输出电压。在电路中，辅助电压源(图3中的电压源V2)可以通过LDO稳压器或基准电压源实现。利用本文所述的技巧，对电路进行完全测试，甚至可能产生更低的输出电压。



作者简介

Frederik Dostal曾就读于德国埃尔兰根大学微电子学专业。他于2001年开始工作，涉足电源管理业务，曾担任各种应用工程师职位，并在亚利桑那州凤凰城工作了4年，负责开关模式电源。他于2009年加入ADI公司，并在慕尼黑ADI公司担任电源管理现场应用工程师。联系方式：frederik.dostal@analog.com。

Notes

随时了解模拟对话

获取工学新动态，激发设计新思路！

通过订阅模拟对话，最先获取解决实际设计挑战所需的最新技术、应用和系统级见解。请务必告知您的朋友！

analog.com/cn/analogdialogue

EngineerZone®支持社区

与社区中的ADI技术专家互动，提出您棘手的设计问题，浏览我们丰富的知识库。

ez.analog.com/cn



关注ADI智库

全球总部
One Technology Way
P.O. Box 9106, Norwood, MA
02062-9106 U.S.A.
Tel: (1 781) 329 4700
Fax: (1 781) 461 3113

大中华区总部
上海市浦东新区张江高科技园区
祖冲之路 2290 号展想广场 5 楼
邮编: 201203
电话: (86 21) 2320 8000
传真: (86 21) 2320 8222

深圳分公司
深圳市福田中心区
益田路与福华三路交汇处
深圳国际商会中心
4205-4210 室
邮编: 518048
电话: (86 755) 8202 3200
传真: (86 755) 8202 3222

北京分公司
北京市海淀区
西小口路 66 号
中关村东升科技园
B-6 号楼 A 座一层
邮编: 100191
电话: (86 10) 5987 1000
传真: (86 10) 6298 3574

武汉分公司
湖北省武汉市东湖高新区
珞瑜路 889 号光谷国际广场
写字楼 B 座 2403-2405 室
邮编: 430073
电话: (86 27) 8715 9968
传真: (86 27) 8715 9931

©2020 Analog Devices, Inc. All rights reserved. Trademarks and registered trademarks are the property of their respective owners. Ahead of What's Possible is a trademark of Analog Devices. M02000-12/20

analog.com/cn

