

Analog Dialogue

现实世界信号处理电路、系统和软件技术交流论坛 • 2016年第50卷第3期

- 2 编者寄语：新产品简介
- 3 最新RF DAC拓宽了软件无线电的应用视野
- 7 数字下变频器的发展和更新——第一部分
- 14 GPS ADC开拓多频段接收机的新疆域——第一部分
- 17 ADC中的集成式容性PGA：重新定义性能
- 21 零中频的优势：PCB尺寸减小50%，成本降低三分之二
- 28 射频收发器为航空航天和防务应用提供突破性的SWaP解决方案



analog.com/zh/analogdialogue



超越一切可能™

本期介绍

最新RF DAC拓宽了软件无线电的应用视野

在通信系统的发射机端，一种名为RF DAC的新型高速数模转换器能够直接同步RF信号，而无需传统的模拟上变频模拟无线电链路。RF DAC与JESD204B高速串行接口配合使用，使DAC的有效控制和输出数据的传输得已实现，让传统的无线电设计相比前几代的RF或IF类DAC更高效。本文详细探讨ADI的新型RF DAC架构、应用和性能。(第3页)

数字下变频器的的发展和更新——第一部分

无论最终应用是通信应用、航空航天/防务应用，或是仪器仪表应用，目标频率都越来越高，并进入了RF和微波频谱。很多现代无线电接收机架构包含下变频级，可将RF或微波频段向下转换至中频，以便进行基带处理。本文阐释具有集成数字下变频功能的新一代RF ADC如何免除模拟下变频级，并允许RF频率域中的频谱直接向下变频至基带进行处理。(第7页)

GSPS ADC开拓多频段接收机的新疆域——第一部分

回程服务供应商必须响应市场对更快数据速率和更低价格服务的需求，他们面临着两难的处境：更快的数据速率意味着更多带宽，也就需要更快的处理和更多的系统成本。RF采样ADC为此提供了解决方案，它集成了定制型数字处理模块以降低数据速率，从而可以使用成本更低的FPGA作为处理器。本文基于AD9680 RF ADC讨论针对TDD LTE频段34和39的多频段无线电接收机设计的使用案例。(第14页)

ADC中的集成式容性PGA：重新定义性能

对于很多应用，容性可编程增益放大器(PGA)相比传统的阻性PGA具有更佳的性能。例如，它们提供针对模拟输入信号的更高共模电压抑制能力，这一特性在传感器应用中非常重要。本文介绍斩波电容放大器如何工作，重点介绍当传感器小信号需要接近供电轨放大时此架构的优势。分析的应用示例包括温度测量(RTD或热电偶)和惠斯登电桥。(第17页)

零中频的优势：PCB尺寸减小50%，成本降低三分之二

零中频(ZIF)收发器架构是高性能软件定义无线电信号链集成的关键促成因素和优化解决方案。但是，为了实现这个目标，必须克服ZIF方法的某些局限性，以满足当今高端宽带无线应用所需的性能、捷变性和灵活性要求。这些局限性已经通过创新得以解决，作者将详细介绍高性能ZIF收发器实施的架构和性能数据。(第21页)

射频收发器为航空航天和防务应用提供突破性的SWaP解决方案

在当今的军事系统设计中，必须能够做到事半功倍，另外SWaP缩减(尺寸、重量和功耗)也是关键的系统设计需求。在很多军事应用中，新一代的集成式RF捷变宽带收发器实现了SWaP缩减。在本文中，作者讲述道：“新一代航空航天和防务平台将要求采用全新的射频设计方法。在这类方法中，若干平方英寸的现有平台将集成到单片器件中。软件与硬件之间的界限被模糊。”本文探讨集成式可编程RF收发器信号链解决方案，它能够应对SWaP缩减。(第28页)

Jim Surber [jim.surber@analog.com]

所有ADI产品数据手册可在网站查到，只需访问analog.com/cn，在搜索框中输入产品型号即可。

7月

高性能、低噪声放大器系列..... ADL5721/ADL5723/ADL5724/ADL5725/ADL5726	
数字受控型宽带可变增益双通道放大器..... ADL5205	
24位、8通道同步采样 Σ - Δ 型ADC..... AD7770	
16位、8通道、低噪声同步采样 Σ - Δ 型ADC..... AD7761	
高效率数字输入立体声D类音频放大器..... SSM3582	
高性能RF DAC满足通信和仪器仪表市场的需求..... AD9161/AD9162	
工作频率高达600 Mbps、抖动极低的信号隔离式LVDS缓冲器..... ADN4652	
Super Sequencer®可配置电源监控/时序控制器件..... ADM1260	
高效率光度传感器..... ADUX1020	
21 GHz至24 GHz、GaAs、MMIC、I/Q上变频器..... AD7761	
高度集成式IF接收机芯片可将800 MHz至4 GHz的信号转换为IF信号..... HMC8100	
17 GHz至20 GHz、GaAs、MMIC、I/Q上变频器..... HMC7911	
集成式E频段、GaAs、MMIC、同相/正交下变频器芯片..... HMC7586	
宽带、DC至4 GHz、5位GaAs IC数字衰减器..... HMC539A	
宽带、6位、GaAs、MMIC数字衰减器，	
采用密封型SMT无引脚封装..... HMC424ALH5	
集成5.4 GHz VCO的4 CML输出、低抖动时钟发生器..... AD9530	
集成PLL和VCO的宽带、双通道下变频混频器..... HMC1190A	
低成本、低失真的单刀双掷开关，适合于发射/接收应用..... HMC574A	

8月

新一代的AD822单电源、RRO、双通道、精密JFET输入运算放大器..... ADA4622-2	
针对中频和直流而优化的高性能双通道差分放大器..... ADL556	
6 GSPS和12 GSPS的RF DAC更新速率、16位分辨率、2.5 GHz瞬时带宽..... AD9164	
单通道数字隔离器利用了空芯变压器技术..... ADuM210N	
带有绿色带通滤波器的放大光电传感器..... ADPD2214	
带有可见光带通滤波器的放大光电传感器，适用于生物医学应用..... ADPD2212	
高效率、断续导通模式的DC-DC开关稳压器..... ADP2360	
工作频率范围为0.5 GHz至5 GHz的吸收式电压可变衰减器..... HMC973A	
工作频率范围为DC至5 GHz的数控可变增益放大器..... HMC625B	
工作频率范围为DC至4 GHz的HBT增益模块MMIC SMT放大器..... HMC589A	
额定频率范围为8 GHz至12 GHz的4位数字移相器..... HMC543A	
工作频率范围为8 GHz至16 GHz的无源双平衡混频器..... HMC412E	
2通道、12路输出时钟发生器..... AD9576	

9月

组合式偏航角速度陀螺仪和双轴低g加速度计..... ADXC1500	
针对RF应用的具有高动态范围和带宽的16位RF DAC..... AD9163	
适合中频和直流应用的高性能、4.3 GHz双通道差分放大器..... ADL5567	
高性能、sub-GHz无线电收发器IC..... ADF7030-1	
多路输出时钟发生器器件包括两个专用PLL内核..... AD9576	
四级、GaAs、pHEMT、1 W、MMIC放大器工作频率范围为27 GHz	
至32 GHz..... HMC1132	
芯片上的完整毫米波接收机..... HMC6301	
3 dB LSB GaAs MMIC 4位数字衰减器，DC - 6 GHz..... HMC629A	
GaAs pHEMT MMIC 4 W功率放大器，5.5 GHz至8.5 GHz..... HMC1121	
集成DC-DC转换器的四通通道隔离器，3.75 kV rms隔离..... ADuM5411/ADuM5412	
提供三路输出和两级充电的超低功耗升压充电器..... ADP5091/ADP5092	

Analog Dialogue

模拟对话杂志(www.analog.com/zh/analogdialogue)是ADI公司于1967年创办的技术杂志，至今已经连续出版49年，主要讨论有关模拟信号、数字信号和混合信号处理的产品、应用、技术和技巧。模拟对话杂志目前提供两种版本：在线版每月发行一期；印刷版每年发行四期，作为对在线版中技术文章的定期回顾和汇集。在线版的内容包括：技术文章、近期应用笔记、电路笔记、新产品简介、在线研讨会和已发表文章等及时信息；以及“集锦”栏目，其中包括从ADI网站(www.analog.com/cn)获得重要相关信息的通用链接网址。感兴趣的读者也可以至模拟对话档案库www.analog.com/library/analogdialogue/china/archives.html查阅自1967年第1卷第1期创刊至今的每期存档，包括三期纪念特刊。如需订阅，请访问www.analog.com/library/analogdialogue/china/subscribe.html。欢迎提出您的宝贵意见：Facebook: www.facebook.com/analogdialogue；EngineerZone: ez.analog.com/blogs/analogdialogue；电子邮件: dialogue.editor@analog.com或编辑Jim Surber, jim.surber@analog.com。

最新RF DAC拓宽了软件无线电的应用视野

作者: Daniel E. Fague

摘要

高速数据转换器用于通信应用已有多多年,它存在于很多设备中,这些设备组成了我们的互连世界——从蜂窝手机基站,到有线电话前端设备,再到雷达和专业通信系统。最近的技术进步使高速数据转换器的时钟速率具有越来越高的频率。这些时钟速率较高的数据转换器与JESD204B高速串行接口配合使用,使DAC的有效控制和输出数据的传输得已实现,形成了一种全新的转换器类型,称为RF(射频)数据转换器。它们可以直接频率合成或捕捉RF信号,无需使用具有模拟无线电链路的传统上变频或下变频。

本文重点讨论最新的RF数模转换器(RF DAC)系列产品——AD9162和AD9164,及其扩展软件定义无线电(SDR)定义的能力。AD9164使RF DAC产品达到了全新的性能等级,让传统的无线电设计相比前代的RF或IF类DAC更高效。世界一流的性能加上丰富的功能让AD9164成为系统之间开关无线电的首选,并向真正的软件定义无线电前进了一步。

简介

传统无线电设备使用高速数据转换器以及正交调制器作为有线和无线通信链路的主要构建模块。经典的外差、超外差和直接变频架构中发送器和接收器对于数据转换器的要求是相同的,突破了数字处理到真实世界中的模拟信号和模拟信号到数字处理之间的界限。数据转换器技术的进步连同滤波器技术和功率放大器技术一起,奠定了无线电设计进步的基础。

采用一组基带高速ADC构建的经典无线电发送器如图1所示。数字基带数据通过两个同步高速数据转换器发送,同相数据通过I DAC,正交数据通过Q DAC。DAC输出至正交调制器。取决于调制器的类型,输出可以是低中频(比如200 MHz至400 MHz),也可以是较高的IF频率(比如500 MHz至1 GHz),甚至RF频率(1 GHz至5 GHz范围)。图中显示了后续上变频至实际的最终频率。输出信号采用带通滤波器进行滤波,然后通过功率放大器和另一个带通滤波器发送(可集成在双工器内)。

这类架构常见的瞬时发送带宽为几十至几百MHz,主要受转换器、功率放大器和滤波器带宽的限制。对于最新的E频段微波回传无线电等系统来说这是不够的,这类系统要求500 MHz、1 GHz甚至2 GHz无线电通道带宽。如果考虑使用无线基础设施基站(举例而言)中可能采用的多频段无线电,可能需要同等宽度的500 MHz或700 MHz,甚至1 GHz,用来覆盖部分频段组合。采用两个传统射频通道也许可以满足要求,每频段使用一个射频通道。无论出于成本、尺寸或是其它因素的考虑,将多个射频通道合成一个射频通道是更适合需求的一个方案。此时便需要一种新的方法来实现。

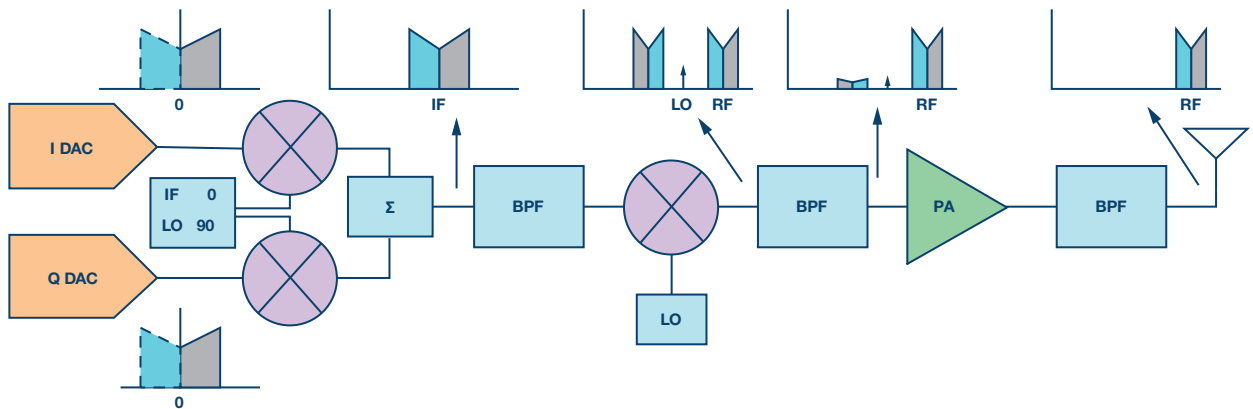


图1. 使用高速数据转换器的经典超外差发送器图例。

支持技术

高速数据转换器的技术发展长期侧重于提高数据转换器速率，同时保持性能指标不变。性能指标包括噪声频谱密度(NSD)和无杂散动态范围(SFDR)等项目。交调失真(IMD)亦很重要——无论是单音信号还是调制信号，比如GSM、3G(WCDMA)、4G(OFDN)和使用256 QAM的有线应用等普遍使用的无线通信系统中的信号。

较高的数据转换速率能为无线电设计人员提供多项优势。首先，信号镜像被推向更高的频率，使模拟重建滤波器的设计更简单、更可靠。此外，更高的更新速率创造出更宽的第一奈奎斯特区，进而使转换器可直接合成更高的输出频率。当直接频率合成的信号足够高的时候，整个的模拟频率变换，或者上变频器就可以从无线电设备中移除。简化频率规划，降低无线电的功耗并缩小尺寸。更高的更新速率增加了带宽，数据转换器量化噪声可以扩展到更宽的有用带宽内，使处理设备获得了更好性能的发射噪声频谱密度。

随着CMOS处理技术的进步，在数据转换器中加入信号处理功能也变得十分普遍。DAC中增加的NCO和插值器特性集减少了实现这些特性的FPGA或ASIC的负担和功耗，同时DAC相比没有这些特性集时的数据传输速率要求更低。较低的数据速率降低了系统总功耗，某些情况下使数据芯片(布速范围最高300 MHz至400 MHz)得以跟上转换器的速度。在芯片上集成NCO可实现无线电的第一奈奎斯特区频率在数字域中的转换，因此当今无线电设计中通常采用数百MHz的中等频率，这是因为数据转换器中集成了NCO和插值器。

信号处理RF DAC

RF数据转换器的改变之处在于其工作的最终转换速率发生了变化，并且新增的信号处理同样可以处理这些速度的信号。这些新的功能与速度的强大结合可以极大地改变无线电架构设计，为可重新配置和软件定义无线电开启了新的可能性。

AD9162和AD9164系列RF DAC便是很好的例子。AD9162和AD9164的框图如图2所示。AD9162是一款16位、6 GSPS RF DAC，集成从1倍旁路模式直到24倍插值的多种插值选项。插值器工作带宽为经典的80%带宽，或更宽的90%带宽，后者瞬时信号带宽更高，功耗也略高。数据路径同样集成了最终半带插值器FIR85，图2中以NCO之前的“HB 2×”模块显示，能有效地使DAC更新速率翻倍，达到12 GSPS，可以将镜像移动至更远处，放宽滤波波要求。可选FIR85后接一个工作在6 GSPS更新速率或12 GSPS更新速率(若FIR85使能)的48位数控振荡器(NCO)。NCO后面的反sinc滤波器预先处理了送往DAC核的数据，从了矫正了DAC输出的sinc包络特性

DAC内核采用ADI公司专利的四通道开关架构¹，提供出色的无杂散动态范围(SFDR)和噪声频谱密度(NSD)，具有业界最佳的动态范围，同时四通道开关还提供大家熟悉的DAC解码器选项：不归零(NRZ)模式、归零(RZ)模式和混频模式TM。FIR85为DAC解码器新增了一项新特性，称为2xNRZ模式，后文将会详细解释。

AD9164具有AD9162的基础功能，同时以快速跳频(FFH) NCO引擎的形式加入了直接数字频率合成(DDS)功能。FFH NCO具有多项独特功能，因而非常适用在高速测试仪器仪表、本振替代品、安全无线电通信和雷达激励器等市场。FFH NCO引擎集成32个32位NCO，每一个都有自己的相位累加器，同时提供选择模块，实现快速跳频。

AD9162有两款衍生产品，面向专业市场。AD9161是一款11位、6 GSPS RF DAC，集成最低2倍插值。AD9161的SFDR和NSD适合电缆前端和远程PHY应用，符合DOCSIS 3.0规范。较低的信号带宽和动态范围使AD9161无需进口许可证。AD9163是一款16位、6 GSPS RF DAC，具有最低6倍插值，保留了AD9162主产品的全动态范围。器件的全动态范围以及1 GHz宽瞬时带宽加上全范围NCO使其适合单频段或双频段无线基础设施基站应用和传统频段中的点对点微波系统，同时具有无需进口许可证的优势。表1总结了该产品系列和主要特性。

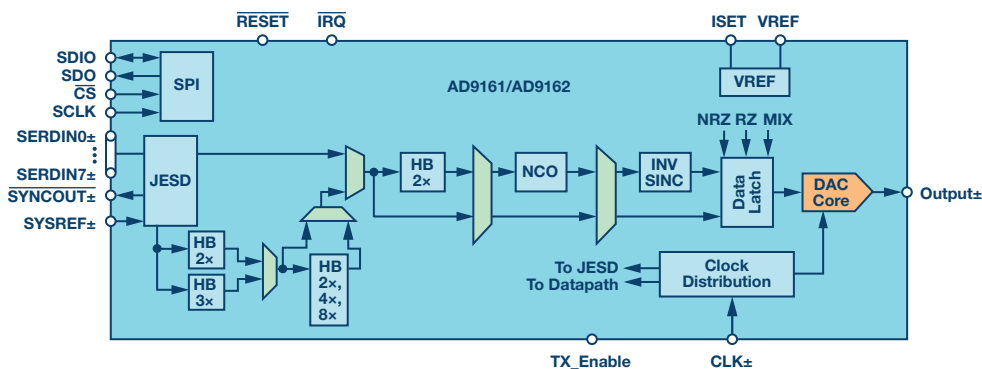


图2. AD9162和AD9164系列RF DAC框图。

数字数据路径特点

数据通过8通道、12.5 GBPS JESD204B接口输入AD9162和AD9164。此高速串行接口减少了数字基带器件与DAC相连所需的导线数量，简化了电路板的布局复杂性。数据手册给出了接口操作的详细指南，ADI网站上给出了[JESD204B接口详细指南](#)。

AD9162和AD9164数据路径上的第一个插值器是一个2倍半带或3倍第三频段滤波器。这两个滤波器都有可选80%或90%信号带宽。两个滤波器均提供85 dB或更高的阻带抑制。90%滤波器工作需要较高的功耗消耗，因为它们截止特性更陡峭，因此抽头数量也更多。其余2倍半带滤波器全部工作在90%带宽，支持全部的第一插值器。FIR85同样工作在90%带宽。由于后续所有滤波器都一路沿着插值路线，因此它们可以工作在90%带宽，且功耗几乎不增加。

FIR85使能时可提供2xNRZ模式，其实现方式与其它插值滤波器有所不同。它利用DAC的四通道开关架构，并在DAC时钟的上升和下降沿对数据采样。这种采样方式在每一个时钟边沿处采样新数据，因此可以使DAC的采样速率翻倍，高达12 GSPS。这样就将信号镜像从 $f_{DAC} - f_{OUT}$ 外推至 $2f_{DAC} - f_{OUT}$ ，更容易通过可以实现的模拟滤波器过滤镜像。这种采样和插值方式使DAC的输出对时钟平衡更为敏感，但可以调节DAC时钟输入，达到更佳的性能。这些调节是通过串行外设接口(SPI)对寄存器编程而实现的。数据手册中给出了详细信息。

48位NCO是一个完全正交NCO，可实现输入数据信号的无镜像频率偏移或单个信号音的直接数字频率合成。NCO有两种可选工作模式，即相位连续或相位断续频率开关模式。在相位连续开关模式下，频率调谐字(FTW)更新，但相位累加器不复位，导致相位频率连续改变。在相位断续模式下，当FTW更新时，相位累加器复位。串行外设接口(SPI)保证具有100 MHz，可实现FTW的快速更新。

AD9164的NCO引入了一项重要的特性——快速跳频NCO (FFH NCO)。FFH NCO额外集成31个32位NCO，每一个都有自己的相位累加器。每一个NCO都有自己的FTW，因此器件内总共可以编程32个NCO FTW。提供一个FTW选择寄存器，以便SPI寄存器字节的单次写操作可以完成一次精度为32位的新频率跳频。这意味着通过100 MHz SPI可以在240 ns以内以单字节写操作选择新的FTW。

FFH NCO具有额外的相位相干跳频模式，适合仪器仪表和军事应用。相位相干跳频对于测试应用而言很重要，此外对于需要跟踪激励器信号相位以供后续使用的雷达应用也很重要。相位相干跳频可从一个频率变化到另一个频率并再次返回原来的频率，而不会丢失原来频率的相位累加。换言之，它可以实现从一个频率到另一个频率然后返回上一个频率，就像频率从未改变一样。

应用和测试的性能

AD9162和AD9164的信号处理特性和高采样速率可以简化图1中的射频架构。更新后的图形如图3所示。由于RF数据转换器可以直接以所需的输出频率合成信号，因此不再需要正交调制器或上变频混频器。信号在数字处理器中建立，通过RF数据转换器输出，因而大幅减少了需要部署的硬件数量。此外，无线电也更容易实现，LO和DAC输入无需校准至正交调制器以便抑制LO泄露和干扰镜像，因为调制器以数字方式在RF数据转换器内部实现。

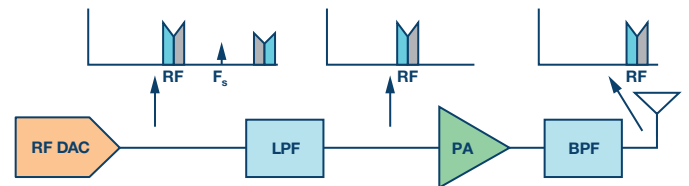


图3. 采用RF数据转换器的无线电发送器架构。

表1. AD9162和AD9164系列6 GSPS RF DAC特性与目标市场汇总

产品型号	位数	最小插值	是否	目标市场	注释
AD9161	11	2x	否	有线	面向有线客户的11位版本
AD9162	16	1x	否	有线、WIFR、仪器仪表	面向全球有线、WIFR、仪器仪表市场的全性能DAC
AD9163	16	6x	否	WIFR	面向WIFR客户或非全频段有线客户(比如MDU)的1 GHz带宽版本
AD9164	16	1x	是	仪器仪表、军事、有线、WIFR	面向仪器仪表、军事、有线、WIFR市场的全性能DAC和DDS，集成相位相干快速跳频

此类架构仅有一个模拟低通滤波器滤除数据转换器镜像，为可重新配置无线电或软件定义无线电开启了新机遇。可以使用相同的数字器件——RF数据转换器和重构低通滤波器，只需改变功率放大器和带通滤波器即可实现各种不同的无线电。图4显示了一个无线基站双频段发送器输出示例，其在1800 MHz时有5个5 MHz WCDMA载波，在2100 MHz时有3个5 MHz WCDMA。图5显示了一个合规的有线前端发送器输出示例，宽度为194.6 MHz，在50 MHz至1.2 GHz的DOCSIS 3.1频谱中具有256 QAM载波。图6显示了一个快速跳频示例，驻留时间为260 ns，其中寄存器编程时间为240 ns(单字节写入)，跳频时间为20 ns。图7显示了AD9164出色的相位噪声性能，当采用4 GHz恒温晶体振荡器并合成一个3.9 GHz正弦波时，性能优于-125 dBc/Hz(10 kHz失调)。



图6. AD9164的快速跳频性能——每跳260 ns驻留时间。

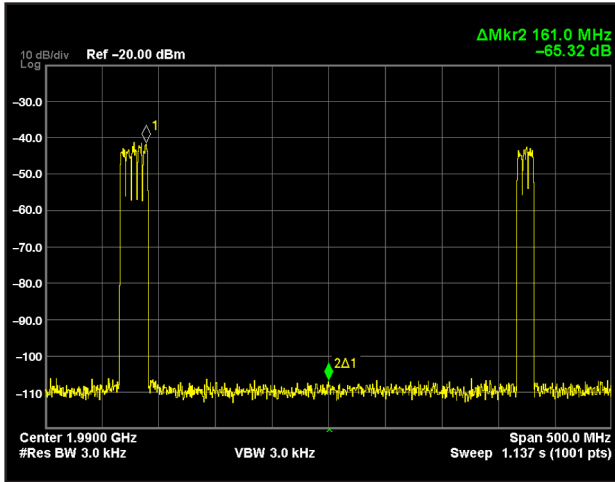


图4.双频段WCDMA信号(1.8 GHz和2.1 GHz频段)。

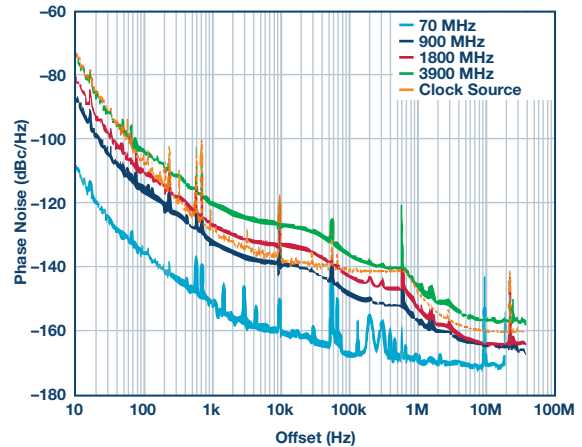


图7. AD9164的总相位噪声性能。DAC时钟信号源：4 GHz恒温晶体振荡器，具有最高600 kHz失调特性，这样的信号发生器具有高于600 kHz的失调特性。

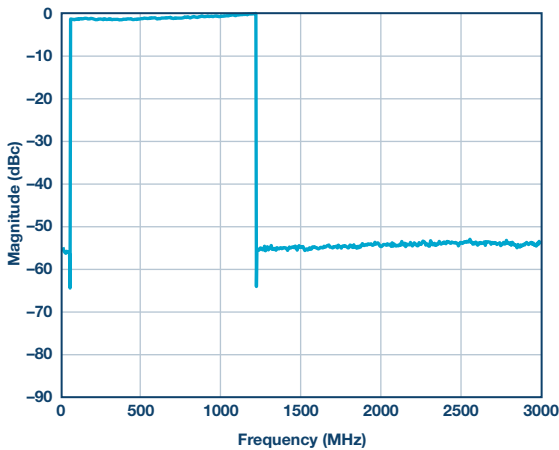


图5. DOCSIS 3.1频段内的194.6 MHz 256 QAM信号(50 MHz至1.2 GHz)。

结论

RF数据转换器可以简化无线电架构设计，并通过省却无线电信号链上的很多元件而缩小尺寸。AD9162和AD9164的RF数据转换器中集成了一组令人激动的功能和出色的RF性能，可满足各种无线电发送器应用，展现出了真正的软件定义无线电比过去任何时候都要更接近现实。

¹ 美国专利第6,842,132和7,796,971号。

Daniel E. Fague [dan.fague@analog.com] 是ADI公司高速DAC部门的应用工程师经理。他于1989年获得贡萨格大学电子工程学士学位(BSEE)，并于1991年获得加州大学戴维斯分校电子工程硕士学位(MSEE)。他于1995年加入ADI公司无线手机部门，主要进行GSM、EDGE、CDMA和蓝牙手机无线电架构设计(包括直接转换无线电)。此前，他在美国国家半导体公司工作了5年，从事DECT和PHS的无线电架构设计。自从2011年加入高速DAC部门以来，Dan一直从事RF DAC的开发。他拥有7项专利，发表过30多篇文章和论文。



Daniel E. Fague

数字下变频器的的发展和更新——第一部分

作者: Jonathan Harris

很多现代无线电架构包含下变频级,可将RF或微波频段向下转换至中频,以便进行基带处理。无论最终应用是通信应用、航空航天与国防应用,或是仪器仪表应用,目标频率都越来越高,并进入了RF和微波频谱。应对这种情况的一种可行解决方案是使用更多的下变频级,如图1所示。而另一种更有效的解决方案是使用集成数字下变频器(DDC)的RF ADC,如图2所示。

将DDC功能集成至RF ADC中便不需要额外的模拟下变频级,并允许RF频率域中的频谱直接向下变频至基带进行处理。RF ADC处理GHz频率域中频谱的能力放宽了模拟域中进行多次下变频的要求。DDC的这种功能使频谱得以保留,同时允许通过抽取滤波进行过滤,这样还能提供改善带内动态范围(增加SNR)的优势。有关该话题的更详细讨论可参见:“祖父时代的ADC已成往事”以及“千兆采样ADC确保直接RF变频”。这些文章进一步讨论了AD9680和AD9625,以及它们的DDC功能。

本文主要关注AD9680(以及AD9690、AD9691和AD9684)中的DDC功能。为了理解DDC功能,并了解当ADC中集成了DDC时如何分析输出频谱,我们将以AD9680-500为例。ADI网站上的[折频工具](#)将作为辅助工具使用。这款使用简单但功能强大的工具可以用来帮助理解ADC的混叠效应,这是分析集成了DDC的RF ADC(比如AD9680)中输出频谱的第一步。

本例中,AD9680-500工作时的输入时钟为368.64 MHz,模拟输很重要。AD9680将设为使用数字下变频器(DDC),其输入为实数,输出为复数,数控振荡器(NCO)调谐频率设为98 MHz,半带滤波器1(HB1)使能,6 dB增益使能。由于输出是复数,因此复数转实数模块禁用。DDC的基本原理图如下所示。以下内容对于了解如何处理输入信号音很重要:信号首先通过NCO,使输入信号音的频率偏移,然后通过抽取模块,并可选择性通过增益模块,之后再选择性通过复数转实数模块。

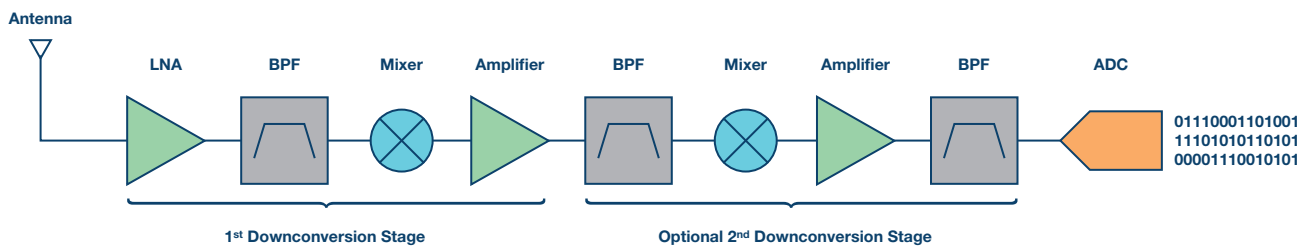


图1. 带下变频级的典型接收器模拟信号链。

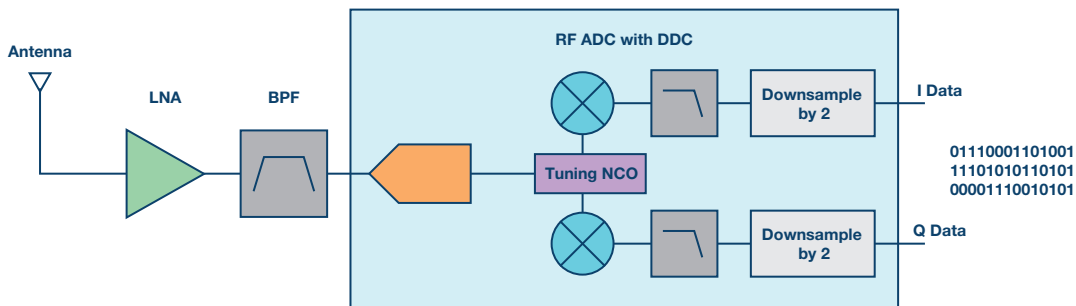


图2. 使用RF ADC(集成DDC)的接收器信号链。

从宏观上把握信号流过AD9680也很重要。信号进入模拟输入，通过ADC内核，进入DDC，通过JESD204B串行器，然后通过

JESD204B串行输出通道输出。可以参见图4中的AD9680功能框图。

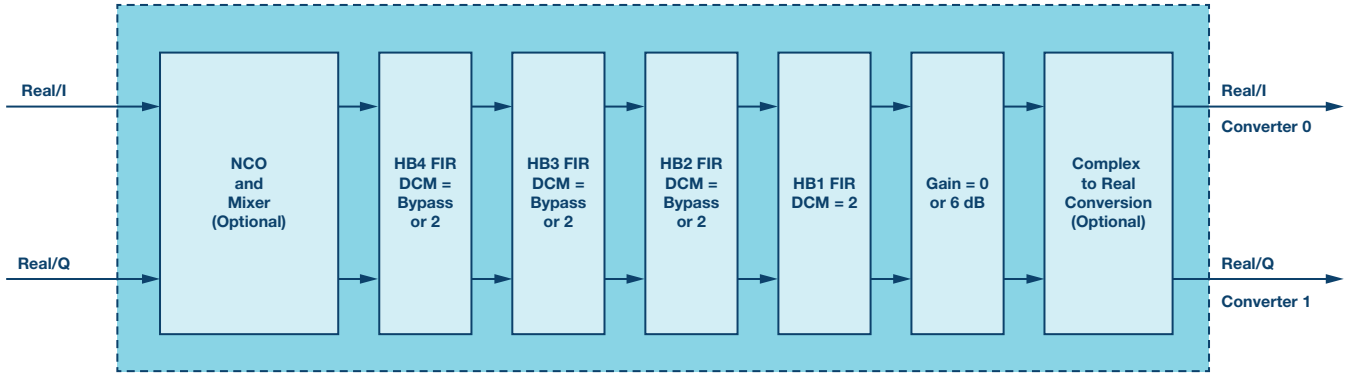


图3. AD9680中的DDC信号处理模块。

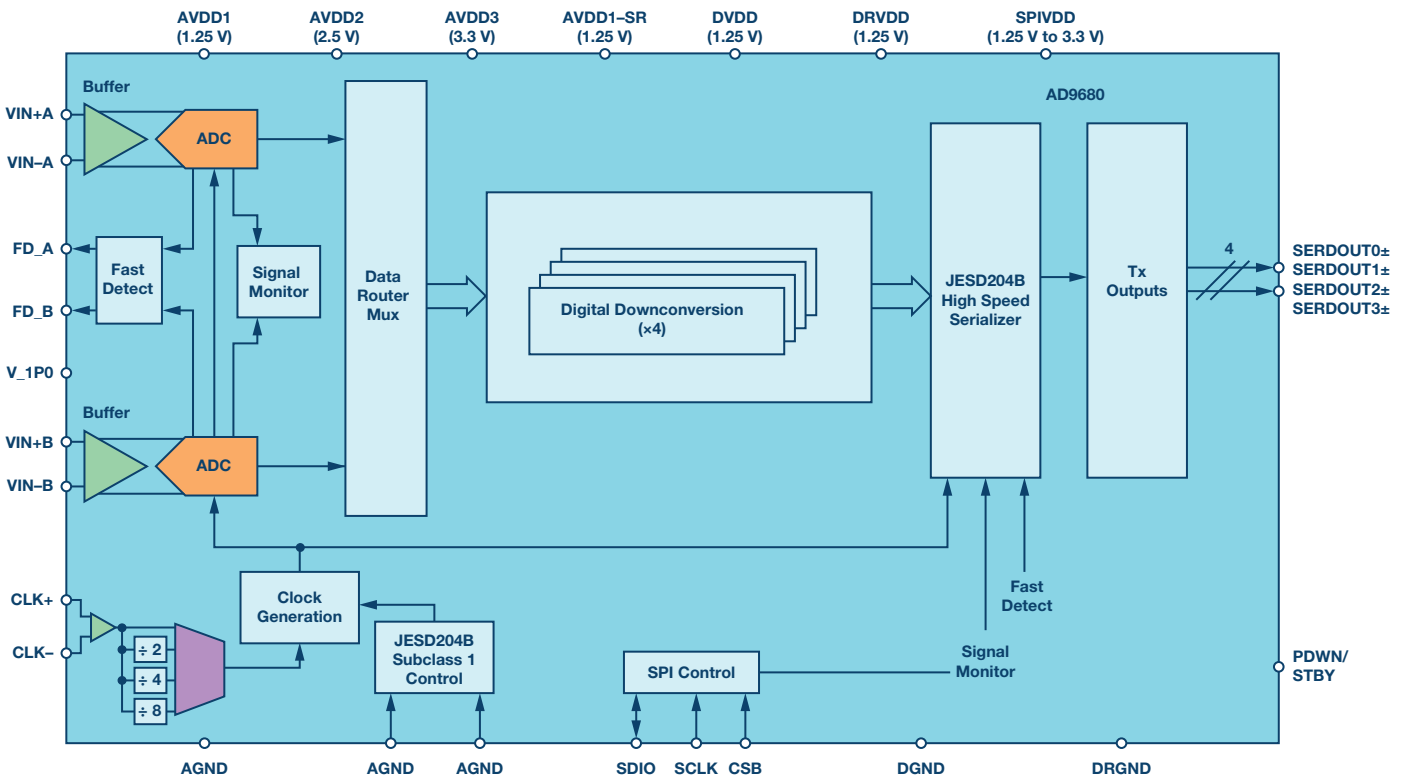


图4. AD9680功能框图。

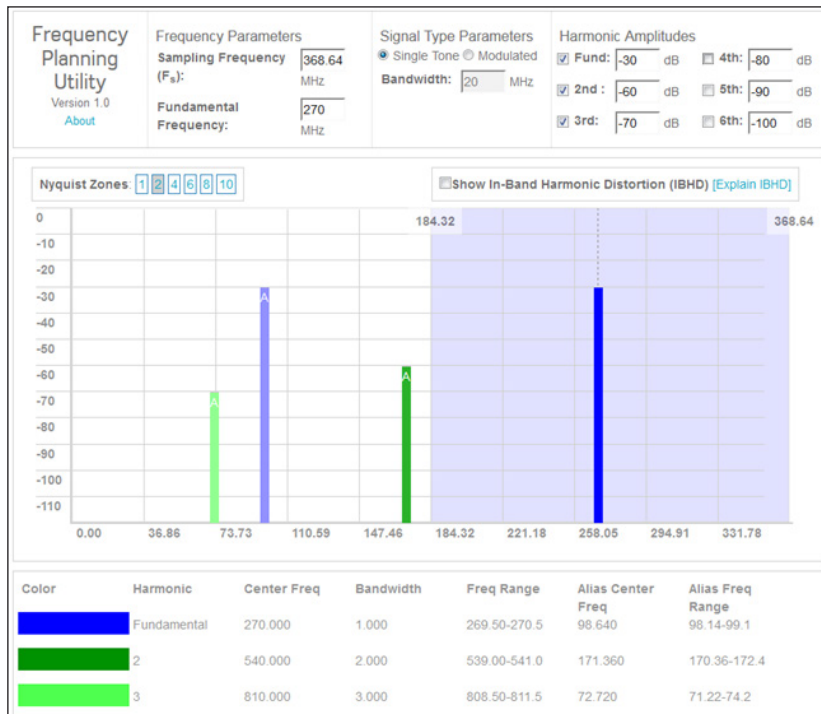


图5. 折频工具中的ADC输出频谱。

输入采样时钟为368.64 MHz，模拟输入频率为270 MHz，因此输入信号将混叠进入位于98.64 MHz处的第一奈奎斯特区。输入频率的二次谐波将混叠进入171.36 MHz处的第一奈奎斯特区，而三次谐波混叠至72.72 MHz。这可以从图5中折频工具曲线看出。

图5中显示的折频工具曲线给出了信号通过AD9680中的DDC之前，位于ADC内核输出端的信号状态。信号通过AD9680中的第一个处理模块是NCO，它会将频谱在频域中向左偏移98 MHz（记住调谐频率是98 MHz）。这会将模拟输入从98.64 MHz下移至0.64 MHz，二次谐波将下移至73.36 MHz，而三次谐波将下移至-25.28 MHz（记住我们观察的是复数输出）。这可以从Visual Analog的FFT曲线中看出，如下文图6所示。

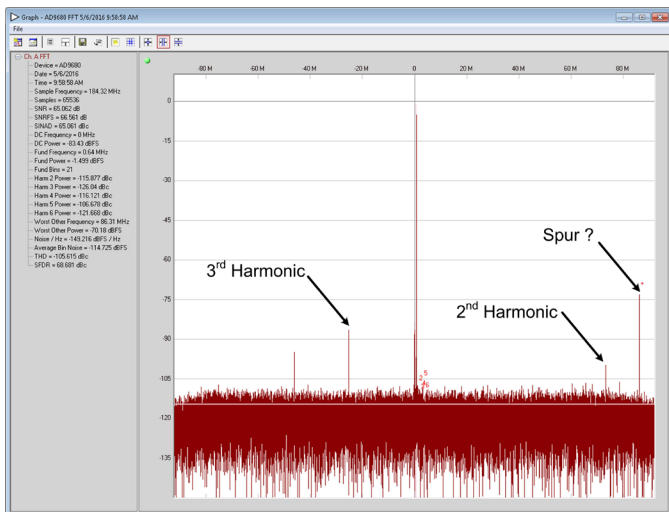


图6. 经过DDC后的FFT复数输出(NCO = 98 MHz, 2倍抽取)。

从图6中的FFT曲线中可以清楚地看到NCO如何偏移我们在折频工具中观察到的频率。有意思的是，我们可以在FFT中看到一个未经表达的信号音。然而，这个信号音真的没有经过表达吗？NCO并不偏移所有频率。本例中，它将98 MHz的基频输入信号音混叠向下偏移至0.64 MHz，并将二次谐波偏移至73.36 MHz，将三次谐波偏移至-25.28 MHz。此外，还有另一个信号音也发生了偏移，并出现在86.32 MHz。这个信号音的来源是哪里？它是否由于DDC或ADC的信号处理而产生的？答案是：对，也不对。

让我们更加细致地看一下这个场景。<http://www.analog.com/en/design-center/interactive-design-tools/frequency-folding-tool.html>折频工具不包含ADC的直流失调。该直流失调导致直流(或0 Hz)处存在信号音。<http://www.analog.com/en/design-center/interactive-design-tools/frequency-folding-tool.html>折频工具假设ADC是理想器件，无直流失调。在AD9680的实际输出中，0 Hz处的直流失调信号音折回实数频域中的第一奈奎斯特区。对于信号音偏移进入第二奈奎斯特区的复数输入信号而言，它将会绕回至实数频域中的第一奈奎斯特区。由于使能了抽取，并且抽取率等于2，我们的抽取奈奎斯特区宽度为92.16 MHz（回忆一下： $f_s = 368.64$ MHz，抽取采样速率为184.32 MHz，奈奎斯特区为92.16 MHz）。直流失调信号音偏移至-98 MHz，为92.16 MHz奈奎斯特区边界以外5.84 MHz。当该信号音绕回至第一奈奎斯特区时，它的失调和实数频域中的奈奎斯特区边界相同，即 $92.16 \text{ MHz} - 5.84 \text{ MHz} = 86.32 \text{ MHz}$ 。这正是我们在上文FFT曲线中看到的信号音！因此，技术上而言，ADC产生信号(因为它是直流失调)，而DDC略微移动它。这时候就需要进行良好的频率规划。适当的频率规划有助于避免此类情形。

现在，我们讨论了一个使用NCO和HB1滤波器的示例，其抽取率等于2；让我们在这个示例中再加入一点东西。现在，我们将增加DDC抽取率，以便观察频率折叠效应以及采用较高抽取率和NCO频率调谐时的转换情况。

本例中，我们观察采用491.52 MHz输入时钟和150.1 MHz模拟输入频率的AD9680-500工作情况。AD9680将设为使用数字下变频器(DDC)，并采用实数输入、复数输出、NCO调谐频率为155 MHz、半带滤波器1 (HB1)和半带滤波器2 (HB2)使能(总抽取率等于4)、6 dB增益使能。由于输出是复数，因此复数转实数模块禁用。回顾图3中的DDC基本原理图，该图表示信号流过DDC。同样，信号首先通过NCO，偏移输入信号音的频率，然后通过抽取、增益模块，以及在本例中旁路复数转实数模块。

我们将再次使用折频工具来帮助理解ADC的混叠效应，以便评估模拟输入频率和谐波在频域中的位置。本例中，我们有个实数信号，采样速率为491.52 MSPS，抽取率设为4，输出复数。在ADC的输出端，采用折频工具显示的信号如图7所示。

输入采样时钟为491.52 MHz，模拟输入频率为150.1 MHz，因此输入信号将残留在第一奈奎斯特区。位于300.2 MHz的输入频率二次谐波将混叠进入191.32 MHz处的第一奈奎斯特区，而450.3 MHz处的三次谐波混叠进入41.22 MHz处的第一奈奎斯特区。这是信号通过DDC之前ADC输出端上的信号状态。

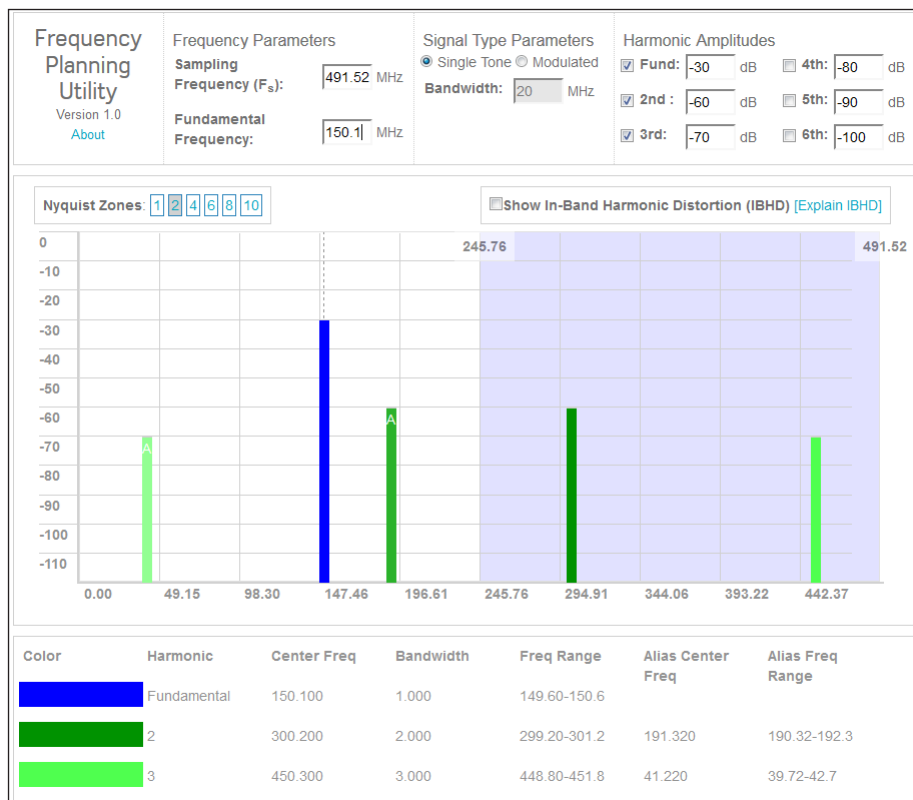


图7. 折频工具中的ADC输出频谱。

现在，让我们看一下信号如何通过DDC内部的数字处理模块。我们将查看进入每一级的信号，并观察NCO如何偏移信号，而抽取过程随后又是如何折叠信号的。我们将保持曲线的输入采样速率(491.52 MSPS)， f_s 项与此采样速率有关。让我们观察一般过程，如图8所示。NCO将向左偏移输入信号。一旦复数(负频率)域中的信号偏移超过 $-f_s/2$ ，就会折回第一奈奎斯特区。接下来，信号通过第一抽取滤波器HB1，抽取率为2。在图中显示了抽取过程，但没有显示滤波器响应，虽然这两个操作是同时发生的。

这是为了简单起见。完成第一次2倍抽取之后， $f_s/4$ 至 $f_s/2$ 的频谱转换为 $-f_s/4$ 至DC的频率。类似地， $-f_s/2$ 至 $-f_s/4$ 的频谱转换为DC至 $f_s/4$ 的频率。信号现在通过第二抽取滤波器HB2，它也是2倍抽取(总抽取现在等于4)。 $f_s/8$ 至 $f_s/4$ 的频谱将转换为 $-f_s/8$ 至DC的频率。类似地， $-f_s/4$ 至 $-f_s/8$ 的频谱将转换为DC至 $f_s/8$ 的频率。虽然图中显示了抽取，但没有显示抽取滤波操作。

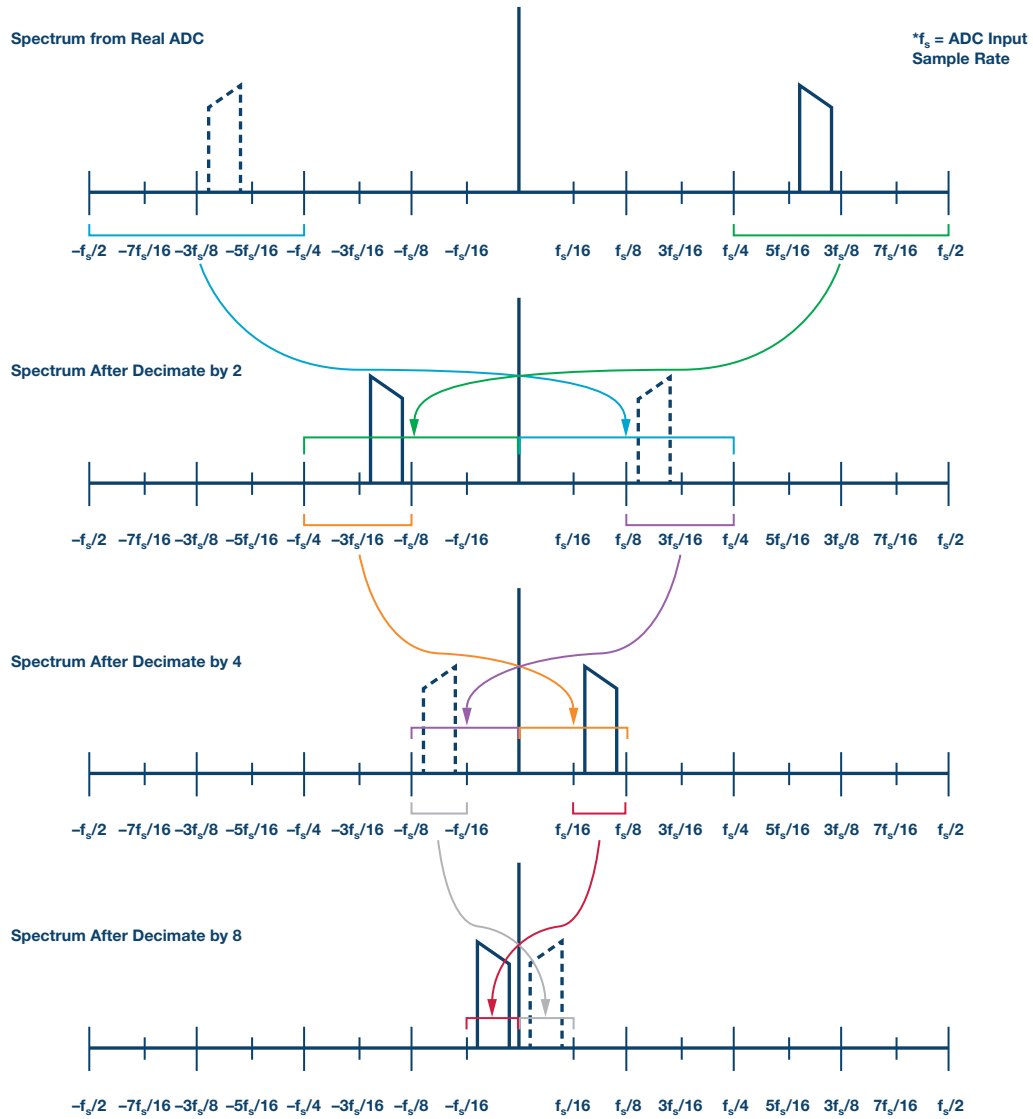


图8. 抽取滤波器对ADC输出频谱的影响——一般示例。

记得上一个示例中，我们讨论了491.52 MSPS输入采样速率以及150.1 MHz输入频率。NCO频率为155 MHz，抽取率等于4(由于NCO分辨率，实际NCO频率为154.94 MHz)。因此，输出采样速率为122.88 MSPS。由于AD9680配置为复数混频，我们需要在分析中包含复数频率域。图9显示了频率转换非常繁忙，但如果仔细研究的话可以看到信号流。

NCO偏移后的频谱:

1. 基频从+150.1 MHz下移至-4.94 MHz。
2. 基频镜像从-150.1 MHz开始偏移，并绕回至186.48 MHz。
3. 二次谐波从191.32 MHz下移至36.38 MHz。
4. 三次谐波从+41.22 MHz下移至-113.72 MHz。

2倍抽取后的频谱:

1. 基频停留在-4.94 MHz。
2. 基频镜像向下转换至-59.28 MHz，并由HB1抽取滤波器衰减。
3. 二次谐波停留在36.38 MHz。
4. 三次谐波由HB1抽取滤波器大幅衰减。

4倍抽取后的频谱:

1. 基频停留在-4.94 MHz。
2. 基频镜像停留在-59.28 MHz。
3. 二次谐波停留在-36.38 MHz。
4. 过滤三次谐波，并由HB2抽取滤波器几乎完全消除。

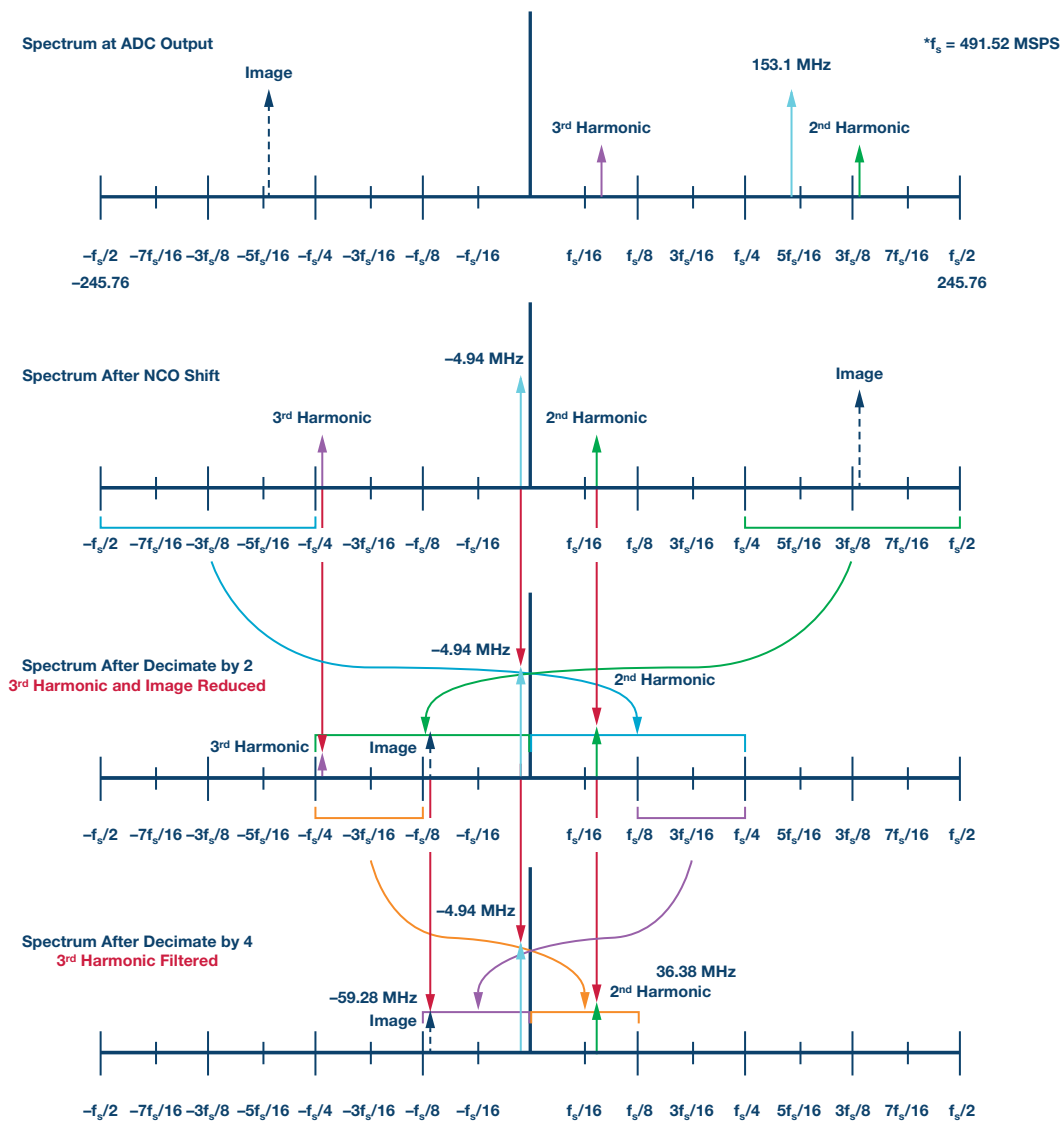


图9. 抽取滤波器对ADC输出频谱的影响——实际示例。

现在，来看看AD9680-500的实际测量。可以看到基频位于-4.94 MHz。基频镜像位于-59.28 MHz，幅度为-67.112 dBFS，意味着镜像衰减了大约66 dB。二次谐波位于36.38 MHz。注意，VisualAnalog无法正确找到谐波频率，因为它不解析NCO频率和抽取率。

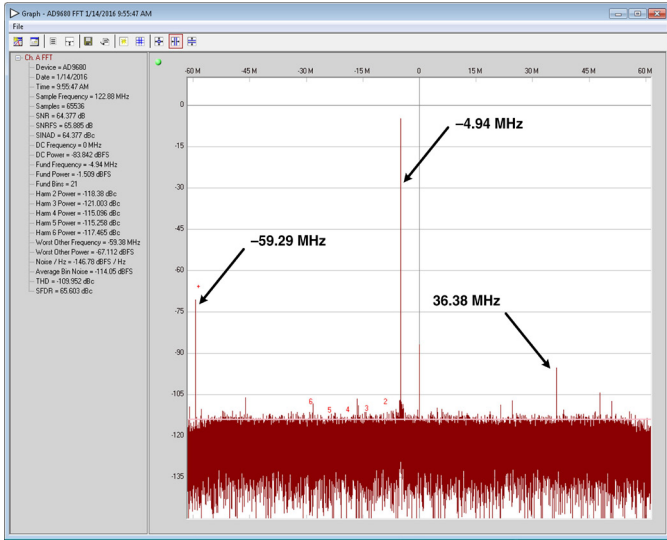


图10. 信号经过DDC后的FFT复数输出曲线(NCO = 155 MHz, 4倍抽取)。

如果DDC设为实数输入和复数输出，并且NCO频率为155 MHz (实际是154.94 MHz)，那么从FFT中可以看出AD9680-500的输出频谱，而抽取率为4。我鼓励大家了解信号流程图，理解频谱是如何偏移和转换的。我还鼓励大家详细了解本文中的示例，以便理解DDC对于ADC输出频谱的影响。我建议打印图8并随时参考，供分析AD9680、AD9690、AD9691和AD9684的输出频谱时使用。支持这些产品时，我遇到了很多人们认为无法解释的ADC输出频谱相关的频率问题。然而一旦完成了分析，并通过NCO和抽取滤波器分析了信号流，之前认为无法解释的频谱杂散便可以证明它们实际上是确实应当存在的信号。我希望，通过阅读和学习本文，下次碰到集成DDC的ADC时，您可以更有准备地处理问题。敬请关注第二部分——我们将从其它方面继续讨论DDC，以及如何仿真它的行为。我们将讨论ADC混叠导致的抽取滤波器响应，将会提供更多示例，并使用Virtual Eval来观察AD9680中的DDC工作情况及其对ADC输出频谱的影响。

Jonathan Harris [jonathan.harris@analog.com] 是ADI公司(北卡罗来纳州格林斯博罗)的一名产品应用工程师。他担任支持射频行业产品的应用工程师已超过10年。Jonathan在奥本大学和北卡罗来纳大学夏洛特分校分别获得电子工程硕士和电子工程学士学位。闲暇时，他喜欢骑摩托车、参加大学橄榄球运动、移动音频，以及陪伴家人。



Jonathan Harris

GSPS ADC开拓多频段接收机的新疆域—— 第一部分

作者：Umesh Jayamohan

简介

模数转换器(ADC)很久以来一直是通信接收机设计的基本器件。随着通信技术的不断发展，消费者要求更快的数据速率和更低的服务价格。提供这项技术的回程服务供应商面临着两难的处境。更高的数据速率意味着更多带宽，这也就表示更快的数据转换器，将模拟无线电波转换为数字处理。然而，更快的数据转换器(GSPS，或称每秒千兆采样转换器)——广为人知的有RF采样ADC——同样产生大量数据，而这些DSP芯片必须以高得多的速度进行处理。这无疑增加了无线电接收机的运营成本。

解决方案是对组成RF采样ADC的硅芯片进行更优化设计。得益于硅芯片工艺的进步(感谢摩尔定律)，定制型数字处理模块中的RF采样ADC在功耗和尺寸方面的效率相比现有FPGA要更高。使用这些数字信号处理模块还能获得更低的数据速率，从而可以使用成本更低的FPGA。这对于运营商来说是双赢的局面，因为他们可以使用这些GSPS ADC以高频率进行采样、使用内部数字下变频器(DDC)以所需速度处理数据，并以能实现的(低)数据速率将其发送至更为廉价的FPGA(或者现有的ASIC产品)进行进一步的基带处理。

使用带有DDC的RF采样ADC的另一个优势是，这样可以通过更灵活、更紧凑、性价比更高的方式实现双频段无线电系统。双频段无线电系统的应用已有多年历史。基站系统设计人员以前通过使用两个独立的无线电路径(每频段一个)来实现双频段无线电系统。本文讨论一种利用多频段无线电接收机——使用RF采样ADC，比如AD9680——对两个独立而使用广泛的频段进行数字化和处理。本文第一部分解释了功能框图级别的实现，并讨论了双频段无线

电系统中使用GSPS ADC的优势。本文第二部分将讨论TDD LTE频段34和39(亦分别称为频段A和频段F)的实现和数据分析，并通过数据分析来揭示显示器性能。

传统双频段无线电接收机

为了迎合客户对于双频段无线电的需求，同时满足总系统级性能要求，基站设计人员拿出了他们的看家本领：复制两次无线电设计，然后每频段调谐一个设计。这意味着针对客户的选择，设计人员必须将两个独立的无线电硬件设计调谐至两个频段。

例如，如果需要构建能支持TDD LTE频段34(频段A：2010 MHz至2025 MHz)以及频段39(频段F：1880 MHz至1920 MHz)¹的无线电接收机，则设计人员就会打包两个无线电接收机设计。TDD LTE频段的频率规划如图1所示。

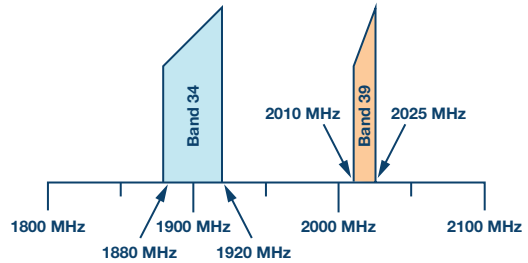


图1. TDD LTE频段34和39的频率规划。

设计双频段无线电接收机以支持这些频段的传统方法是部署两个独立的接收机链路，每频段一个。下文图2显示了双频段无线电接收机的框图²。

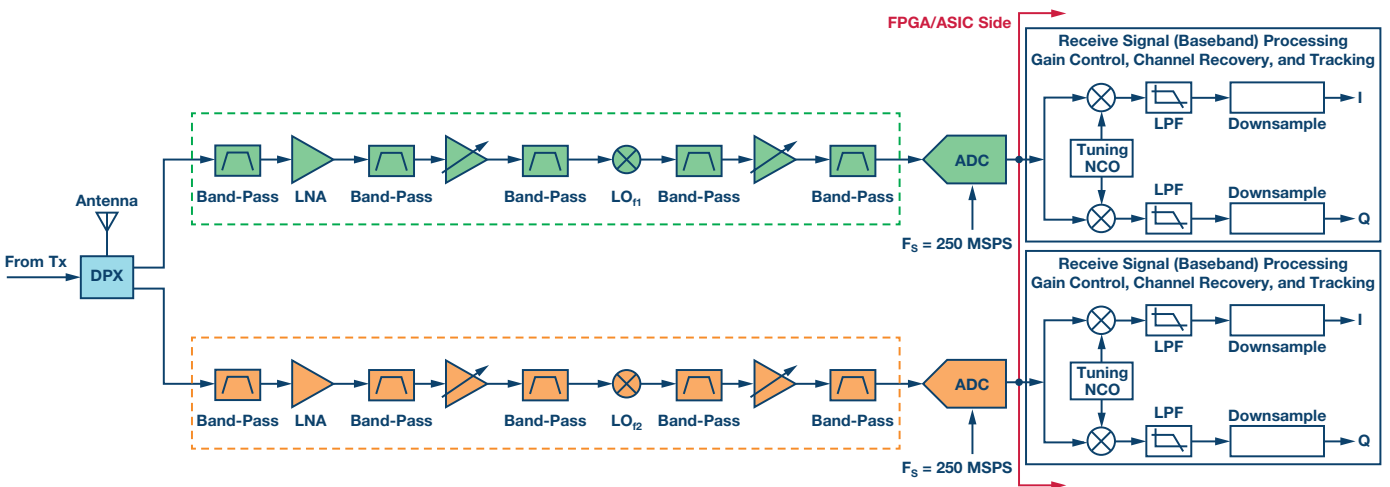


图2. 双频段无线电接收机设计的传统方法。

图2显示了双频段无线电的传统实现。该方案的实现成本较高，因为它实际上是一个系统中的两个无线电接收机。每一个处理元件都是重复的，以便支持对应频段。FPGA资源也是如此。每一个处理元件都是重复的，以便支持对应频段，这导致FPGA资源重复，增加系统成本和复杂性，导致功耗上升。就FPGA接口来说，FPGA资源也将是两倍，以支持两个ADC数据流。图3显示了FPGA I/O资源要求或双频段无线电接收机系统设计的框图。该图同时显示了LVDS和JESD204B ADC接口。LVDS数据速率较低，但FPGA需要更高的I/O数。JESD204B接口需要较少的FPGA I/O资源，但通道速率可能更高，因此FPGA也许更为昂贵。

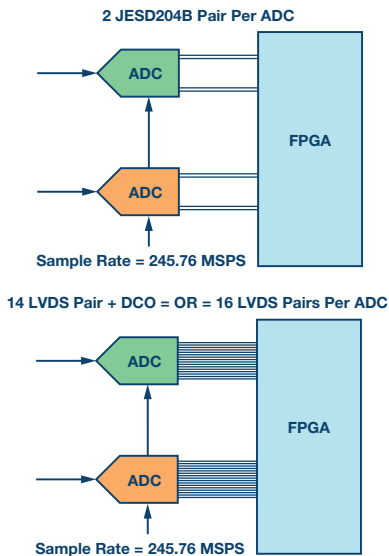


图3. 传统双频段无线电接收机的FPGA接口要求。

使用RF采样(GSPS) ADC的双频段无线电接收机

RF采样或GSPS ADC能够提供系统设计灵活性。利用深亚微米工艺技术，GSPS ADC可以集成数字处理模块，且相比FPGA以低得多的功耗进行特定速度下的数据操作。RF采样ADC的核心是一个高带宽模拟采样内核，以GHz速度进行采样。模拟内核之后是各种各样的数字信号处理元件。这些数字下变频器可以用来提取相应频段。针对双频段接收机设置的RF采样ADC内部框图如图4所示。DDC除了处理信号，还可降低JESD204B通道数据的通道速率。

加入数字信号处理模块后，GSPS ADC便可以独立方便地提供两个处理频段。这对于运营商来说是双赢的局面，因为他们可以使用这些RF采样ADC以高频率进行采样、使用内部数字下变频器(DDC)以所需速度处理数据，并以能实现的(低)数据速率将其发送至更为廉价的FPGA(或者现有的ASIC产品)进行进一步的基带处理。这些ADC提供高带宽前端，让系统设计人员能够捕捉宽频率范围(比如两个无线电频段)并对其数字化，以便进行信号处理。下文图5显示了一个双频段接收机系统，使用RF采样ADC和内部DDC来提取频段。显然，与图2中的方案进行对照后发现，使用RF采样ADC的双频段接收机在实现上要简单得多。在本方案中，RF向下混频至高中频，其宽度为几百MHz，而不是传统双频段应用的几十MHz宽度。BPF和VGA级为可选，取决于所需的系统性能等级。

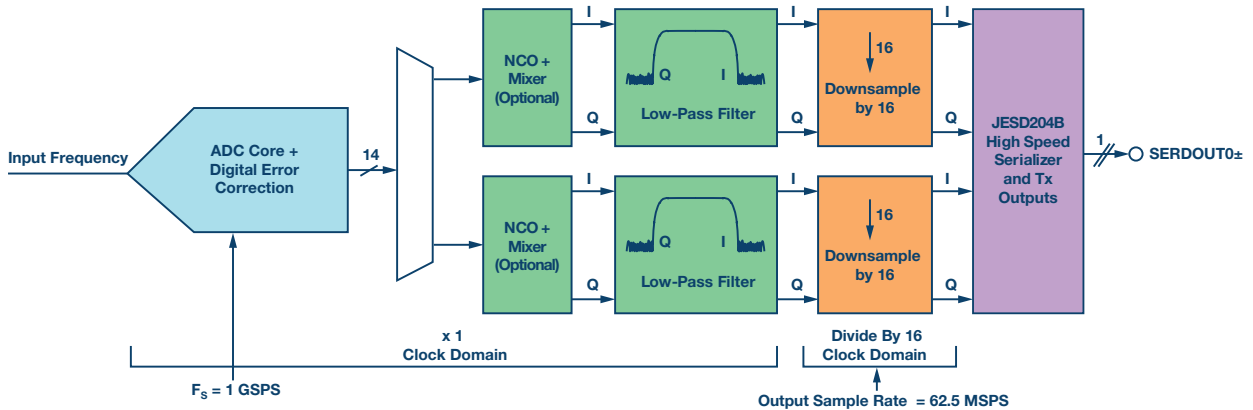


图4. 显示内部DDC的RF采样ADC框图。

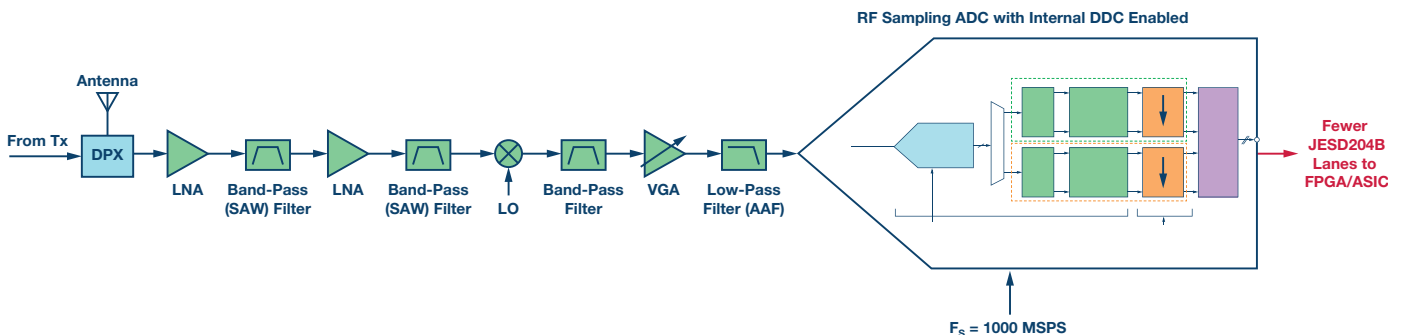


图5. 使用RF采样ADC和内部DDC来提取频段的双频段无线电接收机。

在双频段无线电系统中使用RF采样ADC的部分优势如下所述：

更简单的前端设计

使用RF采样ADC的双频段无线电系统设计大幅简化了前端网络。对于刚接触的用户来说，只需进行一次前端设计，而不是两次(每频段一次)。这样可以大幅降低系统板的物料清单。接下来是AAF(抗混叠滤波器)要求，它是用于两个中频转换器的带通滤波器(BPF)——相比用于GSPS ADC的低通滤波器(LPF)而言。这是因为GSPS ADC对输入信号进行过采样^{3,4}。数据过采样后，数字下变频器就能进行抽取和滤波。如果频率规划使二次和三次谐波落在频段外，那么就可放宽AAF要求。

更低的系统功耗，更小的尺寸

RF采样只需一个前端(如图5所示)，而不是两个LNA、两个混频器和两个IF ADC (如图2所示)。从系统级功耗角度来看，这样可以大幅降低功耗。较低的系统功耗以及更简单的前端设计缩小了系统的尺寸。

更高的FPGA利用率

使用RF采样ADC来实现双频段无线电系统时，通过DDC来提取各频段。由于DDC抽取数据，因而降低了输出采样速率。这使JESD204B接口的配置非常灵活。例如，某个双通道ADC以1 GSPS速率采样，并且工作在全带宽模式，则四个通道的线路速率计算值为每通道10 Gbps。ADI公司的JESD204B转换器线路速率可以计算如下：

$$\text{通道线路速率} = \frac{M \times N' \times \left(\frac{10}{8}\right) \times F_{OUT}}{L} \text{ 其中,}$$

M = 转换器数(本例中为2)

N' = 每个样本的转换器位数(本例中为16)

$10/8$ = 8B10B开销

F_{OUT} = 输出采样速率($F_{\text{sample}}/\text{Decimation_Ratio}$ ；本例中， $\text{Decimation_Ratio} = 1$ 针对全带宽)

L = JESD204B通道数(本例中为4)

举例而言，如果同样的双通道ADC使用总共4个DDC的8抽取配置，则ADC可支持很多配置，具体取决于通道数。输出采样速率变为125 MSPS ($1 \text{ GSPS} \div 8$)。各种配置如表1所示：

表1.

DDC配置	M	L	线路速率(Gbps/通道)
实数	4	1	10
实数	4	2	5
复数	8	2	10
复数	8	4	5

这些灵活的配置为系统设计人员提供了以下选择自由：使用具有较高通道速率但更佳I/O通道密度使用率的昂贵FPGA，或者使用存在线路速率限制的现有FPGA/ASIC。

结论

GSPS ADC深亚微米硅工艺的出现迎来了无线电架构讨论与设计的新纪元。GSPS ADC具有高带宽采样内核以及数字下变频器选项，提供重新思考和重新定义无线电架构的灵活思路，从而满足消费者不断增长的需要。这些GSPS ADC具有更低的功耗和更小的尺寸，可降低这些无线电产品的拥有成本。集成JESD204B接口的当代ADC具有灵活的输出选项，它们并不妨碍系统设计人员使用昂贵的高线路速率FPGA或数字逻辑。

本文第二部分将讨论TDD LTE频段34和39相关的使用场景，并分析它在采用AD9680的多频段无线电接收机中的应用⁵。

参考文献

- ¹ E-UTRA频段。
- ² Walt Kester。《数据转换手册》。ADI公司，2005年。
- ³ Umesh Jayamohan。“祖父时代的ADC已成往事：RF采样ADC给系统设计带来诸多好处。”ADI公司，2015年。
- ⁴ 过采样。
- ⁵ AD9680。ADI公司。

Umesh Jayamohan [umesh.jayamohan@analog.com] 是ADI公司高速转换器部门[位于北卡罗来纳州格林斯博罗]的应用工程师，于2010年加入ADI公司。Umesh于1998年获得印度喀拉拉大学电气工程学士学位，于2002年获得美国亚利桑那州立大学电气工程硕士学位。



Umesh Jayamohan

该作者的其它文章：
[非常见问题解答—第129期，2016年5月](#)
[谁消耗了我的dB?](#)

ADC中的集成式容性PGA：重新定义性能

作者：Miguel Usach Merino和Gerard Mora-Puchalt

摘要

ADI专利的容性可编程增益放大器(PGA)相比传统的阻性PGA具有更佳的性能，包括针对模拟输入信号的更高共模电压抑制能力。

本文描述了斩波容性放大器的工作原理，强调了需要放大传感器小信号至接近供电轨——比如温度测量(RTD或热电偶)和惠斯登电桥——时，此架构的优势。

Σ - Δ 型模数转换器(ADC)广泛用于传感器具有较小输出电压范围和带宽的应用中(比如应变计或热敏电阻)，因为这种架构提供高动态范围。具有高动态范围是因为，相比其它ADC架构，它具有低噪声性能。

Σ - Δ 型转换器基于两条原理工作：过采样和噪声整形。当ADC对输入信号进行采样时，独立于采样频率的量化噪声会在直到采样频率一半的整个频带内扩散。因此，如果输入信号以比奈奎斯特理论所推导出的最小值高很多的频率采样，则目标频段内的量化噪声下降。

图1显示了不同采样频率下的量化噪声密度示例。

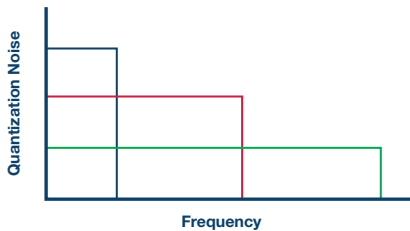


图1. 不同采样频率下，频率范围内的量化噪声密度。

一般而言，对于特定的目标频段，每2个过采样系数就会使动态范围改善3dB(假定为白噪声频谱)。 Σ - Δ 型转换器的第二个优势是噪声传递函数。它将噪声整形至更高频率(如图2所示)，进一步降低了目标频段内的量化噪声。

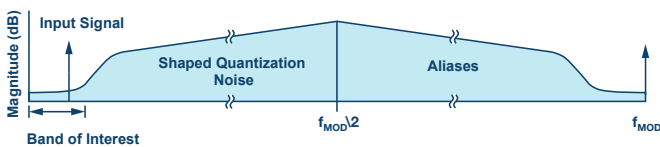


图2. Σ - Δ 噪声整形。

此外， Σ - Δ 架构可能集成数字滤波器，用来移除目标频段外的量化噪声，实现出色的动态范围性能，如图3所示。

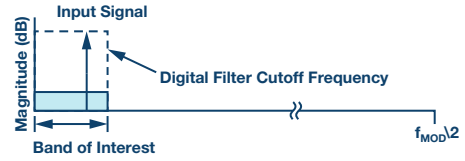


图3. LPF之后的量化噪声。

输入缓冲器

过采样架构的缺点之一是，相比其它采样频率较低的架构，驱动 Σ - Δ 型调制器的输入缓冲器要求可能会更严格。采集时间变得更短，因此缓冲器需要更高带宽。现代 Σ - Δ 型转换器片上集成输入缓冲器，最大程度简化使用。

此外，在检测系统中，为检测元件提供具有高精度的极高输入阻抗对于测量精度而言极为关键。这使得输入缓冲器的要求更为严格了。

集成输入缓冲器还有其它挑战。 Σ - Δ 型调制器可在低频率时提供极低噪声，但所有其它元件(比如输入缓冲器)都会使热噪声增加，而更严重的则是低频闪烁噪声，如图4所示。

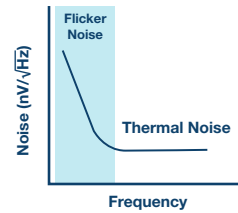


图4. 闪烁噪声。

此外，缓冲器失调也可能增加总系统误差。通过系统校准可以补偿失调，但如果失调漂移相对较高，那么这种方式就无法实现，因为每次工作温度发生改变都会要求系统重新校准，以补偿缓冲器失调。

例如，当失调漂移为500 nV/°C时，10°C温度递增将等于5 μ V失调范围，在 ± 2.5 VREF 24位ADC中这相当于16.8 LSB，即约为4位。

解决这两个问题的典型途径是对缓冲器的输入和输出进行斩波，如图5所示。解决这两个问题的典型途径是对缓冲器的输入和输出进行斩波，如图5所示。

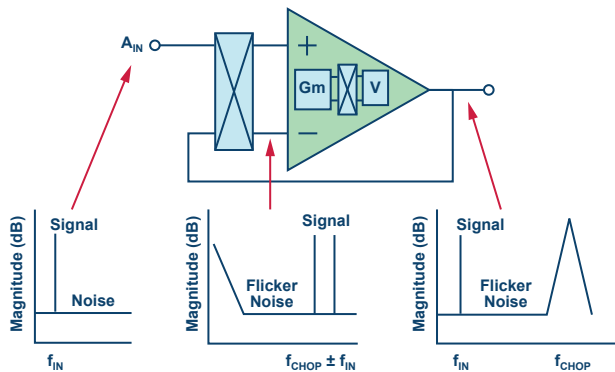


图5. 斩波放大器。

对输入进行斩波之后，输入频率便调制到较高频率。缓冲器失调和闪烁噪声依然保持其最初的低频率，因为它们不受输入斩波的影响。

输出去斩波机制将输入频率解调回基带，同时向上调制缓冲器产生的失调和闪烁噪声至较高频率，随后由ADC低通滤波器加以消除。

某些情况下，输入缓冲器可以采用基于电阻的仪表放大器(阻性PGA)来代替，以使小传感器信号满足全调制器输入范围，最大程度提升动态范围。需注意，基于电阻的仪表放大器相比差分阻性放大器是更好的选择，因为分立式传感器需要更高的输入阻抗。阻性PGA可实现类似的斩波方案，如图6所示。

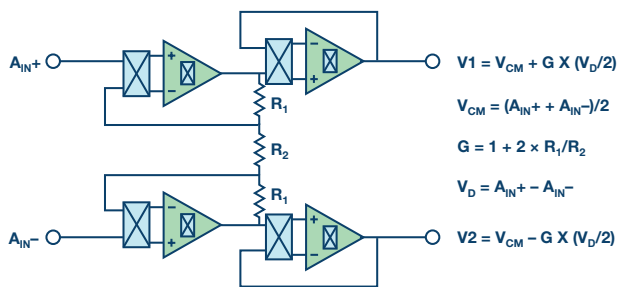


图6. 阻性PGA。

阻性PGA可能需要级联第二组缓冲器，因为放大器可能无法提供直接驱动调制器所需要的足够带宽。同时，必须保持低功耗，这就确定了电阻值，进而确定了放大器带宽。

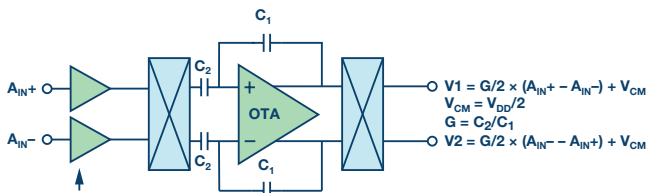
使用这种放大器拓扑的主要问题是，它限制了共模电压——尤其是在增益大于1的时候，因为阻性PGA具有取决于输入信号的浮动共模值，如图6所示。

此外，阻性网络失配及其漂移也是影响总误差预算的因素之一，因为它可能会影响大多数的精度规格。

为避免这些限制，最新的 Σ - Δ 型转换器采用了容性PGA。

容性PGA放大原理与阻性PGA相似：增益取决于电容比，如图7所示。

为了放大直流信号，容性PGA在PGA输入端引入了斩波机制直流输入信号调制到斩波频率，然后由容性放大器进行放大。最后，信号通过输出去斩波解调回直流。此外，放大器失调和闪烁噪声调制到斩波频率，并在之后的级中进行低通滤波。



Precharge Buffers, Only Connected for a Short Period of Time to Minimize the Input Currents Due to the Chopping Mechanism

图7. 容性PGA [为简便起见，移除了部分模块]。

相比阻性架构，这种容性架构有一些优势：

它能更好地权衡噪声与功率，因为噪声源较少。需要较少的放大器，而且相比电阻，电容不会产生噪声。

电容比电阻有非常多的优势。除了无噪声外，电容不会受到自发热影响，且通常具有更好的匹配和温度漂移。这对失调、增益误差和漂移规格有正面影响。

电容可将输入共模从信号链共模的其余部分去耦。这样可以提供CMRR、PSRR和THD等优势。

容性PGA的最大优势之一，是它的输入共模范围可以是轨到轨或更高。这样便有可能从正供电轨下至负供电轨的几乎任何地方对传感器共模电压进行偏置。

这种容性架构结合了仪表放大器的优势，具有极高的输入阻抗(因为输入阻抗是一个电容)，其优势是电容(而不是电阻)作为增益元件，增加了放大器的动态范围——这不仅是因为它的信号摆幅，还因为其噪声效率的缘故。

克服阻性PGA共模限制的常见解决方案是增加或偏移供电轨，或者重新对中传感器信号共模。这样做的代价是功耗更高、电源设计更复杂、使用更多外部元件，以及更高的成本。

实际例子

在惠斯登电桥中，共模电压由连接两个桥臂的阻抗决定，且与施加的电源成正比。电子秤应用即采用这种检测拓扑，因为它具有针对应变计的线性检测优势；图8显示了一个半桥式II类电路。

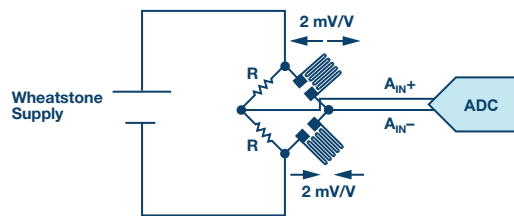


图8. 采用惠斯登拓扑并包含应变计的电子秤。

表1. 惠斯登电桥中的阻性PGA和容性PGA对比(假设使用标准电源和增益)

PGA	阻性PGA	容性PGA
最大惠斯登电源	3.3 V	6 V
应变计差分灵敏度	3.3 mV	6 mV
动态范围改进(dB)		5.2 dB

应变计的灵敏度通常为2mV/V。惠斯登电源越高，灵敏度也就越高。为了增加应变计的动态范围并最大化SNR，电桥可能采用比ADC更高的电源供电。

由于阻性PGA的共模限制，电桥应当采用与ADC相同的电源供电，以便最大程度提升动态范围；而在容性PGA中，电桥可以采用几乎为ADC两倍的电源供电，因为不存在输入共模的限制。

例如，假设标准电源为ADC提供3.3 V电平，则对于相同的增益，容性PGA相比阻性PGA的改进总结见表1。

可能存在的另一个问题，是当电桥的连接位置离ADC较远时，接地之间可能有所不同。这也许会使共模电压偏移，从而导致ADC输入共模相对于电桥不平衡，并降低阻性PGA中的最大允许增益。

使容性PGA性能与阻性PGA相当的可行办法是以更高的电源电压对电桥供电。比如，以±3.3 V双极性电源对电桥供电，从而增加应变计的灵敏度，但代价是更高的系统复杂性和功耗。

可能会得益于容性PGA的另一个例子是采用电阻式温度检测器(RTD)或热电偶的温度测量应用。

常用RTD电阻(比如PT100)可以用来直接检测温度，或间接检测热电偶的冷结，如图9所示。

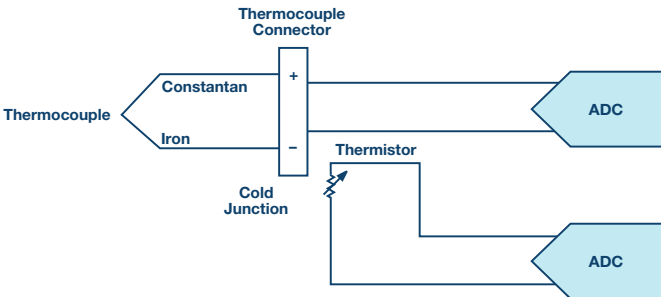


图9. 典型热电偶设置。

每一个PT100器件都提供不同的导线，采用最受欢迎的高性价比三线式配置。

测量温度并消除引线误差的传统方法如图10所示。本例中，集成PGA的Σ-Δ型ADC AD7124-8的内部电流源以相同电流驱动双线式RTD，在两个引线上产生相同的失调误差，其值与引线电阻成正比。

由于AD7124-8具有较小的引线电阻和电流(为了最大程度减少自发热效应)，RL3产生的失调电压靠近负供电轨，极大地降低了阻性PGA中允许的最大增益，因为其输入共模相比容性PGA同样将会非常接近供电轨，在内部将共模电压设为电源供电轨的一半，允许更高的增益配置，从而提高总动态范围。

建议的解决方案极大降低了系统和硬件连接的复杂性，因为第三条线缆不应返回至ADC PCB，并可连接RTD位置附近的地。

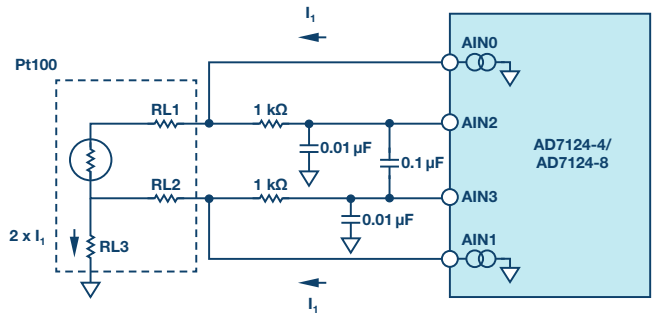


图10. 三线式RTD测量。

为了增加温度测量的精度，建议采用四线式测量。本例中，只使用了一个电流基准。为了避免电流源的不精确性，可以将精密电阻用作ADC基准电压发生器来进行比例测量，如图11所示。

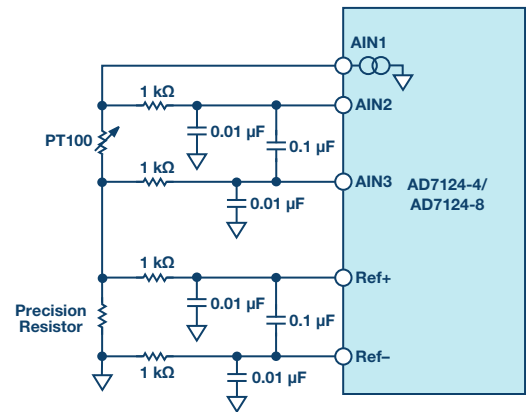


图11. 比例四线式RTD测量。

选择适当的外部精密电阻值，使RTD上产生的最大电压等于基准电压除以PGA增益。

表2. 四线式RTD比例测量中的阻性和容性PGA对比

PGA	阻性	容性
Pt100输出电压	$500 \mu\text{A} \times 313.7 = 156.85 \text{ mV}$	$500 \mu\text{A} \times 313.7 = 156.85 \text{ mV}$
VREF	1.65 V	2.5 V
最大PGA增益	$1.65 \text{ V}/156.85 \text{ mV} \approx 11$	$2.5 \text{ V}/156.85 \text{ mV} \approx 16$
改善(dB)		3.6

对于3.3 V电源而言，在阻性PGA中，精密电阻上产生的电压应为1.65 V左右，否则PGA共模电压将限制最大增益。其结果是，最大增益信号应等于1.65 V。在容性PGA中，不存在输入共模的限制，因此RTD共模信号可以靠近顶部供电轨放置，最大程度提升了精密电阻生成的ADC基准电压，并因此实现最高的可选增益和动态范围。

表2总结了阻性PGA相对于容性PGA的最大增益，最大电流源为500 μA ，限制了Pt100的自发热(假定B类RTD，此时最高温度为600°C，最大VREF为2.5 V)。

结论

相比阻性PGA，容性PGA具有多项重要优势。诸如噪声、共模抑制、失调、增益误差以及温度漂移等关键规格都由于电容作为增益元件的固有温度稳定性以及匹配属性而得到了改善。

另一项重要特性是内部共模电压从放大器内部共模电压中去耦。当待放大的输入信号为靠近供电轨的共模电压时，这点尤为重要。阻性PGA的增益选择严重受限于其共模限制，或者要求更高的供电轨或外部元件将输入信号重新偏置到供电轨的一半。而容性PGA却可以轻松处理这种检测场景。

某些最新的 Σ - Δ 型ADC产品集成了容性PGA，比如AD7190、AD7124-4、AD7124-8和AD7779。

Miguel Usach Merino [miguel.usach@analog.com] 获得瓦伦西亚大学电子工程学位。2008年加入ADI公司，任西班牙瓦伦西亚线性与精密技术部的应用工程师。



Miguel Usach Merino

该作者的其它文章：
[IC上电和关断](#)
 第49卷，第2期

Gerard Mora-Puchalt [gerard.mora-puchalt@analog.com] 于2005年获得瓦伦西亚理工大学电信工程硕士学位。他于2005年在ADI公司DAC应用部门完成了毕业设计，并于2006年毕业后加入了ADI公司的温度传感器设计评估团队。他于2007年调往精密转换器部门，自此之后便担任模拟设计工程师，工作地点在西班牙瓦伦西亚。



Gerard Mora-Puchalt

零中频的优势：PCB尺寸减小50%，成本降低三分之二

作者：Brad Brannon

简介

零中频(ZIF)架构自无线电初期即已出现。如今，ZIF架构可以在几乎所有消费无线电应用中找到，无论是电视、手机，还是蓝牙®技术。之所以得到如此广泛的普及，主要是因为经验一再地证明了，在任何无线电技术中，该架构具有最低的成本、最低的功耗和最小的尺寸等优势。从历史上来看，该架构在要求高性能的应用中运用较少。然而，在无线连接需求不断增长、频谱变得日益拥挤的情况下，就需要改变现状，以便在基础设施中继续经济地部署无线电技术，为我们的无线需求提供支撑。当代的零中频架构可以满足这些需求，因为这些架构面临的诸多普遍性缺陷已通过工艺、设计、分区和算法的组合得到克服。ZIF技术取得的最新进步对现有高性能无线电架构形成了挑战，其带来的新产品取得了性能上的突破，能够实现ZIF技术以前望尘莫及的新型应用。本文将探讨ZIF架构的诸多优势，介绍这些优势可使无线电设计性能达到的新高度。

无线电工程师面临的挑战¹

不断增多的需求给当今的收发器架构师带来了挑战，因为我们对无线设备和应用的需求呈持续增长之势。结果，消费者需要持续访问更多的带宽。

数年以来，设计师已经从单载波无线电走向多载波无线电技术。当一个频段的频谱被全部占用时，就分配新的频段；目前，必须为40多个无线频段提供服务。由于运营商在多个频段都有频

谱，并且这些资源必须协调起来，所以，如今的趋势是走向载波聚合，而载波聚合则会导致多频段无线电。这又会带来更多的无线电，其性能更高，需要更优秀的带外抑制性能，更出色的辐射性能，以及更低的功耗水平。

虽然无线需求在快速增长，但功耗和空间预算并未增长。事实上，在功耗和空间节省需求不断增强的条件下，同时降低碳排放和物理尺寸非常重要。为了实现这些目标，需要从新的视角去认识无线电架构和分区。

集成

为了增加特定设计中的无线电数目，必须减小每件无线电器件的尺寸。传统方法是逐步把更多的设计集成到一片硅片当中。虽然从数字角度来看，这样做可能是合理的，但是，为了集成而集成模拟功能的做法不见得有意义。其中一个原因是，无线电中的许多模拟功能是无法有效集成的。例如，在图1所示的传统中频采样接收器中，中频采样架构有四个基本级：低噪声增益和射频选择级、频率转换级、中频增益和选择级以及检测级。选择级一般使用SAW滤波器。这些器件都不能集成，因此，必须部署在片外。虽然射频选择级是由压电或机械器件提供的，但有时中频滤波器会使用LC滤波器。尽管LC滤波器有时可能会集成到单片结构中，但是，滤波器性能的牺牲(Q和插入损耗)以及数字化器(检波器)采样速率必要的增加会提高总功耗。

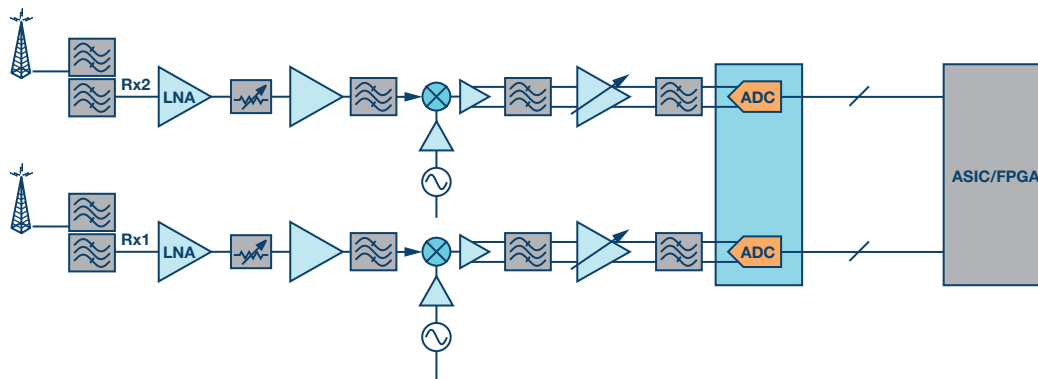


图1. 传统型中频采样接收器。

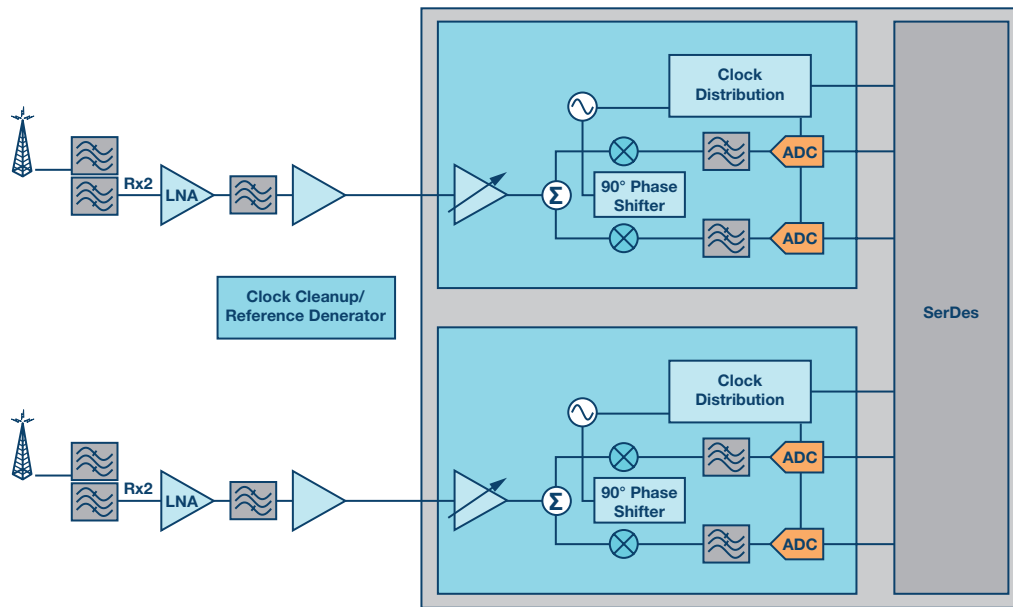


图2. 典型的零中频采样接收器。

数字化器(模数转换器)必须以低成本CMOS工艺制成, 以使成本和功耗保持于合理水平。当然可以用双极性工艺制造, 但结果会导致器件尺寸和功耗的增加, 有悖于优化尺寸的初衷。所以, 标准CMOS工艺是这种功能的最佳制造工艺。这就为集成高性能放大器, 尤其是中频级, 造成了极大的挑战。虽然CMOS工艺可以集成放大器, 但是很难从针对低功耗和低电压而优化过的工艺中取得需要的性能。另外, 在片上集成混频器和中频放大器要求把级间信号路由到片外, 以便访问中频和抗混叠滤波器, 然后再数字化, 因而失去了集成的诸多优势。这样做就达不到集成的目的, 因为结果会增加引脚数和封装尺寸。另外, 关键的模拟信号每次通过一个封装引脚时, 就会牺牲一些性能。

最佳集成方式是对系统分区, 消除不能集成的元件。由于不能有效地集成SAW和LC滤波器, 所以, 最佳选择是确定如何通过重新设计架构来消除它们。图2展示了一个典型的零中频信号链, 它把射频信号直接转换为一个复合基带, 完全消除了中频滤波器和中频放大器的必要性, 结果实现了这些目标。选择级则通过在I/Q基带信号链里引入一对低通滤波器的方式予以实现, 这对滤波器可以作为有源低通滤波器而非功耗较高的片外固定中频器件集成。传统中频SAW滤波器或LC滤波器天生就是固定型器件, 而这些有源滤波器则可以电子方式, 在数百kHz至数百mHz的范围内调谐。改变基带带宽就能使同一器件覆盖范围更宽的带宽, 无需改变物料清单, 也不用在不同的固定中频滤波器之间来回切换。

虽然图示并不直观, 但通过更改本振, 零中频接收器也可覆盖范围非常宽的射频频率。零中频收发器可提供真正的宽带体验, 典型连续覆盖范围从数百MHz到约6 GHz。不使用固定滤波器, 可以实现真正灵活的无线电, 结果可以极大地减少, 甚至可能消除在开发无线电设计频段变体方面的投入。得益于灵活的数字化器和可编程的基带滤波器, 零中频设计不但能实现高性能, 还具

有极大的灵活性, 既能支持范围超宽的频率和带宽, 也能维持近乎平坦的性能, 而且无需针对每种配置优化模拟电路(如滤波器)——可谓名符其实的软件定义无线电(SDR)技术。与此同时, 这种方法也会大幅减小尺寸, 因为它为必须覆盖多个频段的应用消除了原本需要的滤波器组。在一些情况下, 可以完全消除射频滤波器, 成就完全意义上的宽带无线电, 根据不需要更改频段。通过消除部分器件、集成其他器件, 可以大幅减小零中频设计所需要的PCB尺寸, 不但简化了频段高速过程, 还能减少有必要更改尺寸时投入的精力。

最小的尺寸

通过直接比较这些架构的PCB面积(图3和图4)可知, 对于双接收路径, 在合理实现方式下, 中频采样和零中频采样的PCB面积分别为2880 mm² (18 mm × 160 mm), 和1434 mm² (18 mm × 80 mm)。如果不算可能消除的射频滤波器和其他简化设计; 零中频架构有可能比当前的中频采样技术减少最高达50%的无线电尺寸。未来的设计有可能通过额外的集成, 使尺寸再减少一倍。

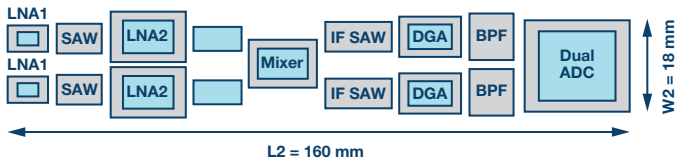


图3. 典型的中频采样布局。

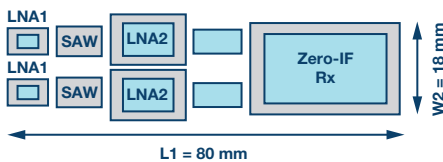


图4. 典型的零中频采样布局。

最低成本

直接从物料清单来看，从中频采样系统转向零中频架构可节省33%的物料。成本分析始终都是非常困难的。然而，深入考察图1和图2可知，许多分立式元件均已消除，包括中频和抗混叠滤波元件，并且混频器和基带放大器均已集成。不明确的是，由于零中频接收器本身具有传统中频采样架构不具备的带外抑制功能，所以，整体外部滤波要求就大幅降低了。零中频架构中两个元件促成了这一结果。第一个元件是有源基带滤波器，该滤波器同时具备带内增益和带外抑制功能。第二个元件是高采样速率低通 Σ - Δ 转换器，用于对I/Q信号进行数字化。有源滤波器减少了带外元件，而ADC的高采样速率则使混叠点提高到足够高的频率，从而消除了外部抗混叠滤波元件的必要性(因为有源滤波器已经充分地抑制了信号)。

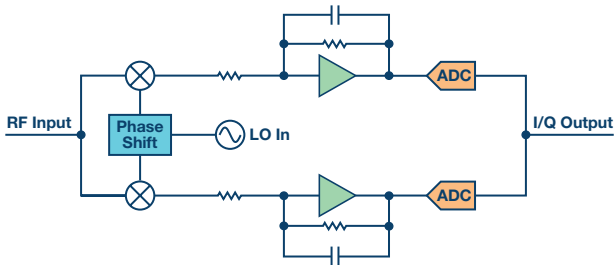


图5. 有源基带滤波器与ADC。

通过把基带信号施加到有源滤波器上，如图5所示，可以滚降高频内容。然后，ADC对来自低通滤波器的任何残余输出信号进行数字化和最终滤波。级联结果如图6所示。此图所示为在有源滤波器和 Σ - Δ ADC复合效应作用下的典型接收器性能。这里展示的是带内和带外功率灵敏度降低3 dB的典型情况。注意，在不使用任何外部滤波元件的情况下，带外性能有所改善。

为了获得类似的性能水平，中频采样接收器采用分立式中频滤波元件(如SAW技术)来实现选择性和带外信号保护功能，以防止宽带信号混叠和噪声混叠回频段等问题。中频采样架构还必须采取其他无用混频器项的保护措施，包括半中频项，该项会提高射频和中频滤波要求并限制采样速率和中频规划。零中频架构不存在这种频率规划限制。

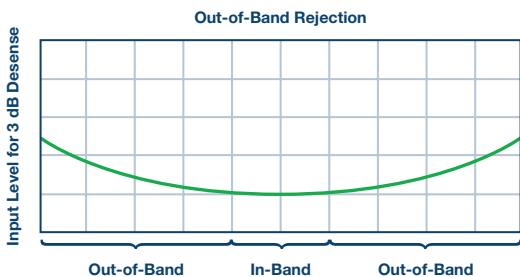


图6. 典型的零中频带外抑制。

根据设计和应用的不同，这种原生抑制功能可以降低或消除外部射频滤波要求。通过省去这些元件可以直接节省成本，因为根据类型的不同，外部射频滤波器可能比较昂贵。另外，移除这些损耗性的器件有助于消除射频增益级，结果不但能节省成本，同时还能降低功耗、提高线性度。所有这些都可进一步增强分区和智能集成的优势。

如前所述，成本的估算非常难，因为这在很大程度上取决于产量和与供应商签订的协议。然而，详细分析显示，通过集成、消除部分元件、降低要求，零中频架构最高可使系统总成本降低三分之一。需要记住的是，这是系统成本，不是器件成本。由于更少的器件要承载更多的功能，所以在系统总成本减少的情况下，有些器件成本可能会增加。

除了材料成本以外，集成式零中频接收器还有一些其他优势。由于集成式系统可以减少系统中的器件数量，所以其装配成本较低，工厂良品率较高。由于分立式器件数量变少，所以对齐时间也会变短。这些因素相加，可降低工厂成本。

由于零中频接收器是名副其实的宽带，所以，调整频段的工程成本也减少了。在中频采样系统中，必须慎重选择中频频率，但对于零中频系统，则无需进行谨慎的规划。基本上通过更改本振就可以添加新的频段。另外，由于在使用零中频时，许多应用并不要求外部射频滤波器，所以，结果可能实现进一步的简化。整体而言，对于零中频解决方案，如果考虑直接成本以及上面列出的制造成本和工程成本，其成本节省优势是非常可观的。

最低功耗

如果只是采用图1所示架构，并直接将其集成到片上系统中，结果并不会带来功耗和成本上的优势。要节省功耗，就要选择高效的架构，该架构能针对目标工艺进行优化。类似于图中所示中频采样接收器的架构涉及到大量的高频和中频频率，难以在低成本工艺的基础上进行扩展，因此，要消耗大量功率以支持所需频率。然而，如图2所示的零中频架构能立即降低至直流(基带)的目标频率，因而可以实现频率最低的电路。

类似地，通过带宽来解决这个问题也是非常低效的。类似于直接射频采样的架构可提供较宽的带宽，并且具有极大的灵活性。然而，据Walden³和Murmman⁴在文中所述，增加系统带宽始终都会提高功耗。

除非需要原始带宽，否则，对多数接收器应用来说，仅仅通过带宽来解决这个问题并不是一种经济的解决方案。这些长期研究的数据表明，转换器的发展有两个方面值得关注。技术面取得了一些进步，能以动态范围和带宽的形式显著提高内核的交流性能。

架构面在内核架构的整体效率方面有所进步。一般地，曲线先是向右移动，然后随着设计的优化，开始向上运动。对于通信应用，操作趋向沿技术面进行，其中，从线条斜率来看，转换器效率大约下降了10 dB/十倍频段，如图7所示。在此斜率下，使带宽增加一倍会导致功耗增加两倍。然而，在把这些内核集成到功能器件中之后，效率就有所改善，当其靠近架构面时，功率损失接近2。

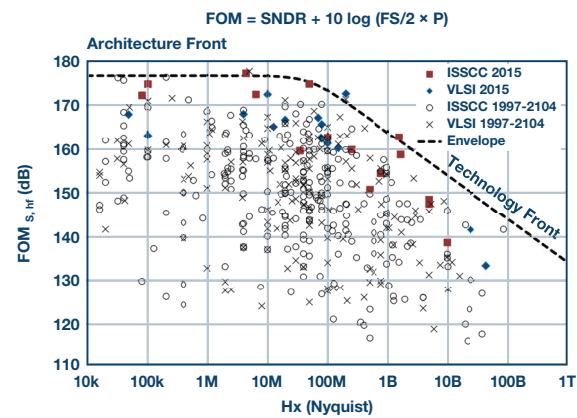


图7. 内核ADC技术的品质因数⁴

对于关心功耗的应用来说，结论是，功耗最低的解决方案是带宽和采样速率均针对应用而优化过的解决方案。搭载 Σ - Δ 转换器的零中频采样设计就针对这类应用进行了优化。依据具体的应用，采用零中频接收器比中频采样架构可节省50%或以上的功耗，比直接射频采样可节省高达120%的功耗。

功耗还与成本直接相关。更高的功耗不但会提高封装成本和电源成本，而且对于电路消耗的每瓦特功率(设电费为12美分/千瓦时)，每年每瓦特的运营成本会超过1美元。鉴于许多电子器件成本较低，其一年的运行成本就可能轻松超过其直接成本。因此，随着集成式无线电解决方案选项的推出，对成本和功耗敏感的应用必须选择谨慎地做出权衡。选择会不必要地增加功耗的架构，结果不但会增加功耗，还可能会影响解决方案的长期运行成本。

性能增强

无线电设计有若干重要的关键指标需要注意。其中包括噪声系数(NF)、线性度(IP3、IM3)、降敏、选择性等。在正常的无线电规格以外，还有一些规格也很重要，但用户往往看不到。其中包括规格分布和漂移与时间、电源、温度和流程的关系。零中频架构符合关于无线电设计的这些和其他关键要求。

通过温度、电源和流程跟踪

全集成收发器架构的一个优势是，对于设计合理的无线电，器件匹配可能要好得多，不仅在起初是这样，而且如果设计合理，器件可以有效地进行流程、温度、电源和频率跟踪。运用通常嵌入这些集成解决方案中的信号处理技术，可以较好地消除任何残余的失配问题。虽然对IC设计来说，这是非常典型的情况，但是，无线电集成的不同之处在于，在零中频设计中，由于依赖于频率的所有项均部署于片上，所以，这些项也可以实现跟踪功能。如图1所示的典型无线电包括一个片外中频滤波器。该中频滤波器的特性会随时间、温度或器件而变化，与片上的任何元素均无关，并且不能对其进行跟踪。然而，集成滤波器的一个主要优势是，因为其以片上器件构建，所以，器件是可以扩展的，或者可以按比例相互跟踪，以保持性能稳定。对于那些不能通过设计稳定的项，可以轻松进行校准。最终结果是，在预计器件差异时，所需要的裕量要远远低于所有器件均无关的分立式设计。

例如，为混频器、中频滤波器、中频放大器和ADC各分配1 dB的噪声系数，这种做法并不罕见。在制定性能预算时，必须把这些差异级联起来。然而，在集成式设计中，所有关键技术规格要么相互跟踪，要么通过校准予以排除，结果可实现1 dB的单一器件差异，极大地简化了信号链差异。相比各项不相关的设计，这可能会对设计造成重要的影响；在各项不相关的设计中，需要额外的系统增益来抵消可能会增加的噪声—会影响到最终产品的成本、功耗和线性度。在如图2所示的集成式设计中，性能总差异要远远小于不相关设计，因此，只需较小的系统增益。

高级校正技术

在过去，零中频接收器通常有两个领域会引起人们的担忧。由于复合数据是用一对表示实部和虚部的实数级联网络生成和表示的，结果就产生了可能表示各信号链增益、相位和失调的误差，如图8所示。

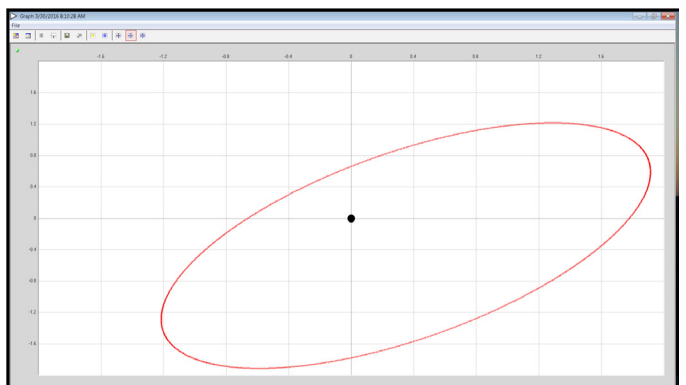


图8. 表示增益、相位和失调项的正交误差。

这些误差在频谱中表现为镜像，也是妨碍这些架构广泛普及的主要原因。然而，作为一种集成式解决方案，通过模拟优化和数字校正技术，可以轻松控制这些镜像。图9所示为典型的未经校正的复合数据表示方式。在图中可以看到LO泄漏(和直流失调)及镜像抑制(正交误差)。

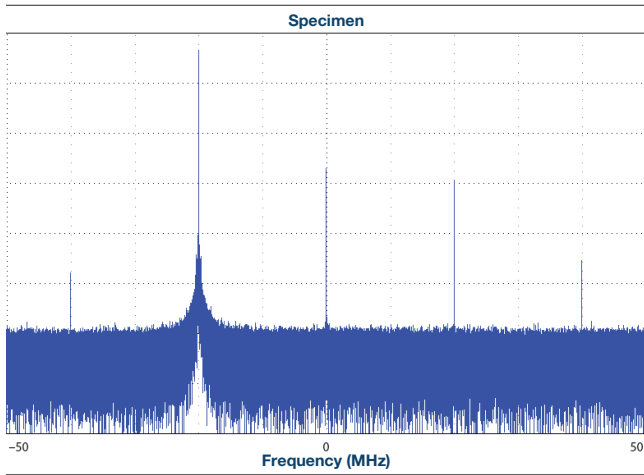


图9. 典型的未经校正的LO泄漏和镜像抑制。

LO泄漏控制

LO泄漏在I或Q信号路径中表现为增大的直流失调。其原因是LO直接耦合至射频信号路径中，并被以相干方式下变频至输出。结果产生混频器积，表现为直流失调，加入信号链里存在的任何残余直流失调中。优秀的零中频架构不但会在初始时自动跟踪并校正这些误差，还能随时间、温度、电源和流程自动跟踪和校正，结果可实现优于-90 dBFS的性能水平，如图10所示。

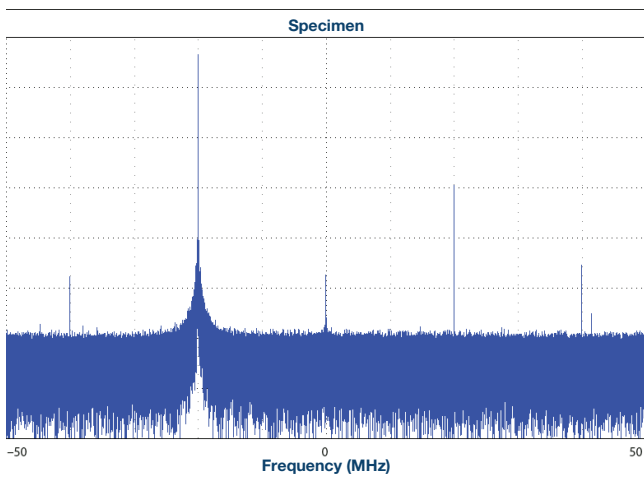


图10. 典型的LO泄漏控制。

QEC

为了防止镜像扰乱性能，一般会采用正交误差校正(QEC)技术。图11展示了这种功能可能产生的影响。在此例中，镜像改善至优于-105 dBc的水平，超过了多数无线应用的要求。对于LO泄漏和QEC，运用跟踪功能是为了确保在性能随时间而变化时，校正能保持最新状态，从而保证能始终实现最佳性能。

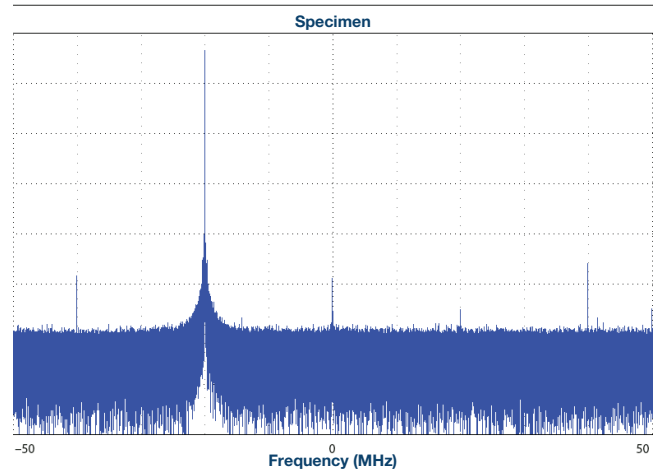


图11. LO泄漏控制条件下的典型正交校正。

在无线电系统中，正交误差和LO馈通非常重要。如果误差足够大，较大的阻波器镜像有可能会屏蔽掉较小的目标信号。在图12中，一个大阻波器的镜像出现在15 MHz处，同时，一个目标信号的中心位于20 MHz。如果镜像部分或全部落在目标信号上，则会导致目标信号SNR下降，结果可能在解调功能里造成误差。一般地，LTE、W-CDMA等系统都针对这类镜像设置了合理的容差，但并非完全不受影响。一般情况下，这些系统要求75 dBc或更好的镜像抑制性能，如图11所示，运用零中频架构可以轻松达到并维持这一要求。

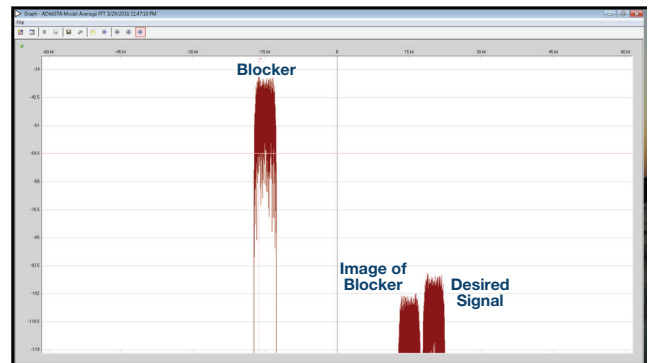


图12. 镜像阻碍目标信号的示例。

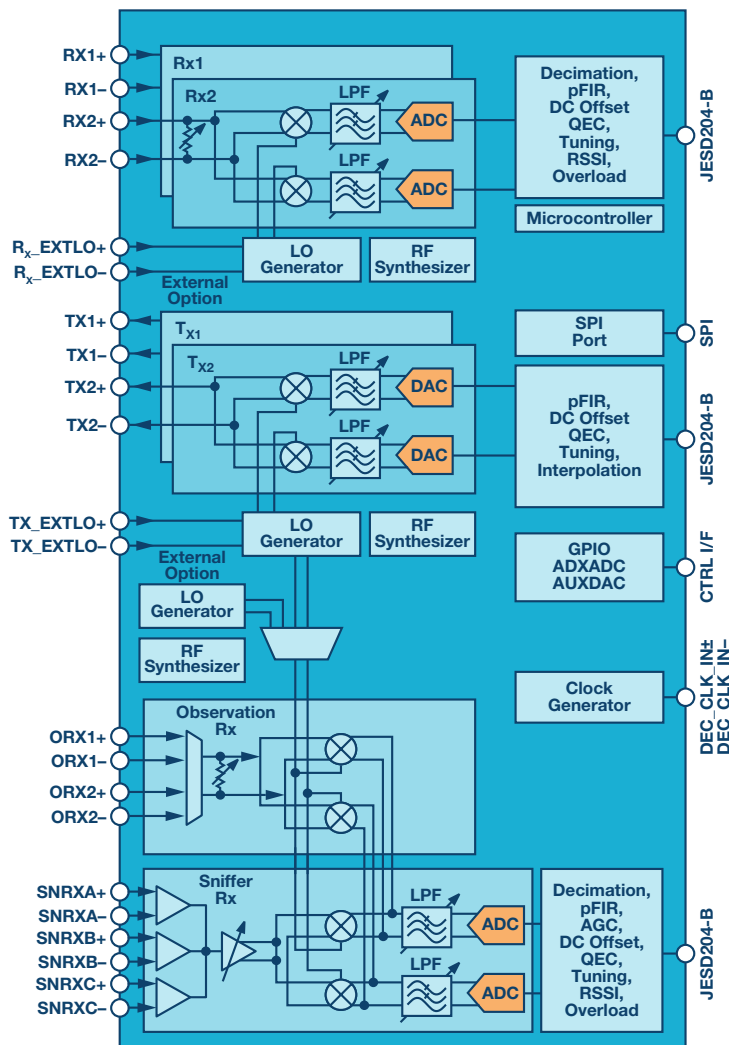


图13. AD9371集成式零中频收发器

AD9371

零中频发射和接收的一个典型示例是AD9371。如图13所示，AD9371具有极高的功能集成度，集成了双发射、双接收以及多种额外的功能，包括观察和嗅探接收器、集成式AGC、直流失调校正(LO泄漏控制)、QEC等。该产品具有较宽的射频覆盖范围，从300 MHz至6 GHz。每个发射器均可覆盖20 MHz至100 MHz的合成带宽，而每个接收器则能覆盖5 MHz至100 MHz的带宽。虽然此器件瞄准的是3G和4G应用，但也是不超过6 GHz的许多其他通用无线电和软件定义应用的理想解决方案。

AD9371在12 mm × 12 mm的BGA封装里集成了完整的系统功能，包括前面讨论过的依赖于频率的所有器件，以及所有校准和对齐功能。在图4所示接收功能的基础上，图14增加了必要的发射功

能，造就了一种非常紧凑的双收发器设计。功耗取决于确切的配置，包括带宽和实现的功能，但是，AD9371的典型功耗仅为4.86 W，包括维持LO泄漏和镜像抑制的数字功能。

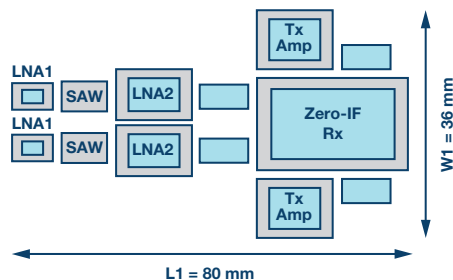


图14. 零中频收发器的典型布局。

AD9371的关键性能指标

噪声系数

图15和图16展示了AD9371的典型噪声系数特性。第一张图展示了较宽的射频频率，在该频谱中，噪声系数相对平坦。该器件的输入结构采用衰减器的形式，因此，对于每dB，噪声系数增加1 dB。假设最差条件噪声系数为16 dB，衰减为零，外部增益差异允许约4 dB的衰减，则可假设总噪声系数为20 dB。对于一个提供至少24 dB增益的外部LNA (0.8 dB)，系统噪声系数为2 dB。

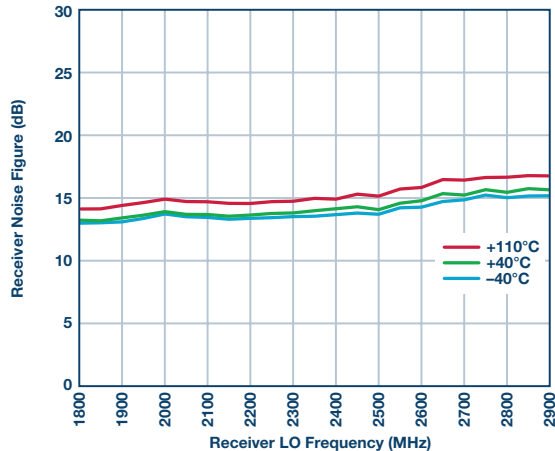


图15. AD9371噪声系数(0 dB衰减和40 MHz带宽)。

在图16中，噪声系数为带外阻塞相对于AD9371输入的函数。设外部增益为24 dB，在相对于天线连接器-24 dBm处，会相对于该器件输入出现0 dBm。如果只考虑AD9371的影响，若集成接收器下降3 dB，则噪声系数的总体下降幅度约为1 dB。

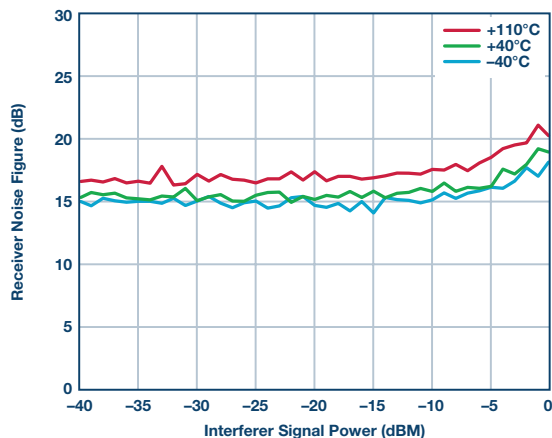


图16. AD9371 NF与带外信号功率的关系。

镜像抑制

与LO泄漏类似，接收镜像抑制可基于图17所示信息进行估算。当天线端的典型输入电平为-40 dBm时，则可以估算出，镜像要优于比天线端口低80 dB或-120 dBm的水平。

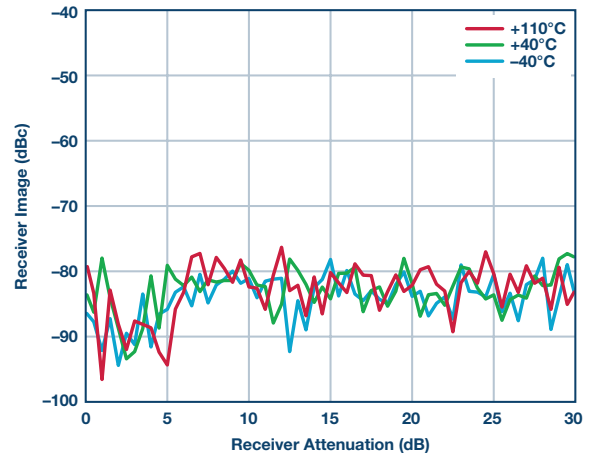


图17. 接收器镜像抑制。

结论

虽然从历史上来看，零中频架构一直局限于低性能应用，但是，AD9371一类的新产品却具有改变现状的性能。这些器件不但能提供比肩中频采样接收器的性能，同时还要更进一步，通过对无线电进行分区，形成了更加强大的架构，不但能降低制造成本，还能在部署后降低运营成本。低成本解决方案设计不再需要牺牲无线电性能，使得用户可以集中时间和资源去开发应用，无需担心无线电的实现问题。

参考文献

- ¹ 虽然本文主要讨论接收器，但对发射器同样适用。对于发射器，零中频成为公认的高性能架构已经超过十年。
- ² 如本文所述，典型的零中频接收器在同一封装中还包括一条完整的发射路径(AD9371)。
- ³ R. H. Walden. “模数转换器调查与分析”。*IEEE Journal on Selected Areas in Communications*, 1999年4月。
- ⁴ Boris Murmann. “1997-2015年ADC性能调查”。斯坦福大学，2015年。

Brad Brannon [brad.brannon@analog.com] 自北卡罗来纳州立大学毕业至今，已在ADI公司工作32年。在ADI公司，他先后在设计、测试、应用和系统工程等领域担任多个职位。Brad撰写过大量论文和应用笔记，主题涉及数据转换器计时、无线电设计、ADC测试等。目前，Brad负责4G和5G接收架构系统工程的工作。



Brad Brannon

射频收发器为航空航天和防务应用提供突破性的SWaP解决方案

作者：Wyatt Taylor 和 David Brown

新一代航空航天和防务平台将带来新的挑战，其需要的解决方案无法通过单独优化器件来实现。在无线电中集成更多的软件控制和认知能力，需要采用一种在频率和带宽方面更具灵活性的射频设计。为了实现这一目标，需要取消静态滤波器并以可调谐型滤波器取而代之。类似地，通用平台的概念将有助于缩短开发时间，降低生产成本，提高系统间的互操作性。通用平台要求射频系统能帮助传统上采用不同架构的应用充分发挥其性能。最后，未来的平台将把尺寸和功耗需求推向新的极端。

手持式单人无线电的功能不断增强，复杂性也不断提高，同时也需要更高的电池效率。小型无人飞行器不具备大型飞机的发电能力，射频系统消耗的每毫瓦电能都会直接转化成有效载荷电池重量，由此会缩短飞行时间。为了克服这些挑战，打造出新一代的解决方案，需要采用一种新型无线电架构。

超外差架构与效益递减现象

自提出以来，超外差架构就一直是航空航天和防务系统无线电设计的中坚力量。无论是单人无线电、无人飞行器(UAV)数据链，还是信号情报(SIGINT)接收器，单或双混频级超外差架构都是通

用的选择。这种设计的优势非常明显：合理的频率规划可以实现超低的杂散辐射，通道带宽和选择性可通过中频(IF)滤波器设定，各级的增益分布允许在噪声系数与线性度之间进行权衡。

在100多年的运用中，超外差在整个信号链中的性能得到了显著提升。微波和射频器件提高了性能，同时还降低了功耗。ADC和DAC提高了采样速率、线性度和有效位数(ENOB)。FPGA和DSP的处理能力遵循摩尔定律，随着时间的推移得到了提升，为更高效的算法、数字校正和进一步的集成创造了条件。封装技术缩小了器件引脚的密度，同时改善了封装的散热能力。

然而，这些因器件而异的改进已经开始走向效益递减点。尽管射频元件的趋势是减小尺寸、重量和功耗(SWaP)—但高性能滤波器的物理尺寸仍然较大，通常采用定制式设计，会增加系统的整体成本。另外，中频滤波器决定着平台的模拟通道带宽，因而很难构造出可以在广泛系统中重复利用的通用平台设计。对于封装技术，多数生产线不会采用低于0.65 mm或0.8 mm的引脚间距，这意味着，有着多种I/O要求的复杂器件在物理尺寸上可以小型化的程度是存在限制的。

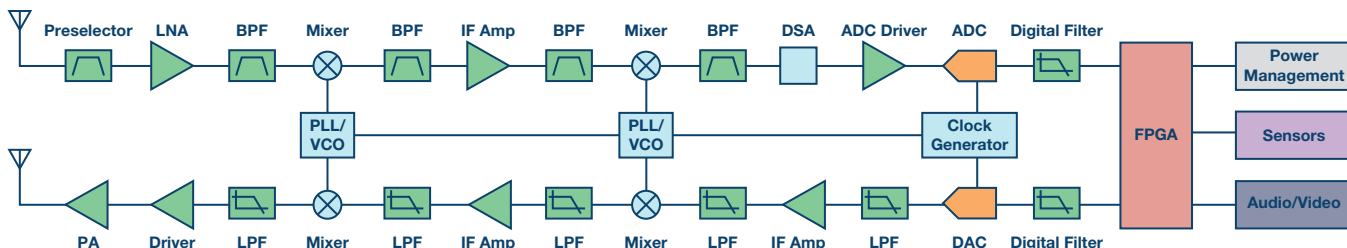


图1. 基本的超外差架构的。

零中频架构

超外差架构的一种替代方案是零中频(ZIF)架构,近年来,后者已经作为一种潜在的解决方案重现市场。零中频接收器采用一种单频混频级,其本振(LO)直接设为目标频段,把接收到的信号向下转换至相位(I)和正交(Q)信号中的基带。这种架构可以缓解超外差架构严格的滤波要求,因为所有模拟滤波处理均发生于基带,在基带中,相比定制射频/中频滤波器,滤波器的设计要简单得多,成本也要低一些。如此一来,ADC和DAC就在基带中作用于I/Q数据,所以,可以降低相对于转换带宽的采样速率,从而大幅降低功耗水平。从多个设计角度来看,零中频收发器因降低了模拟前端的复杂性,减少了元件数量,所以可以大幅降低SWaP。

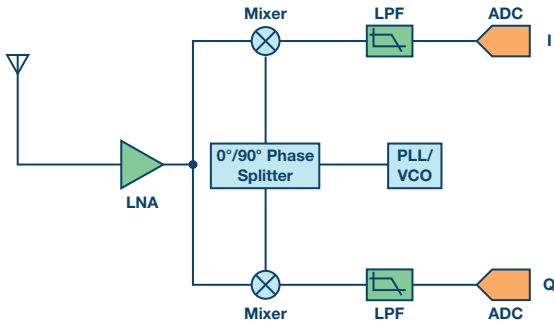


图2. 零中频架构

然而,这种系统架构有些缺陷需要解决。把频率直接转换为基带的方法会带来载波泄漏和镜像频率。从数学上来看,I和Q信号的虚部会因其正交性而相互抵消(如图3)。受真实因素的影响(比如工艺差异、信号链里的温度差异),不可能在I信号与Q信号之间维持完美的90°相位偏移,结果会导致镜像抑制性能下降。另外,混频级里不完美的LO隔离会带来载波泄漏。如果不予以校正,则镜像和载波泄漏问题可能会导致接收器灵敏度下降,造成无用的发射频谱辐射。

从历史上来看,I/Q不平衡问题限制了零中频架构适用的范围。其原因有二:首先,零中频架构采用分立式实现方式,结果会在单片器件和印刷电路板(PCB)中导致失配问题。第二,单片器件可能来自不同的生产批次,因工艺本身的差异,要实现精确匹配极其困难。另外,分立式实现方式也会使处理器与射频元件在物理上相分离,很难横跨频率、温度和带宽元件实现正交校正算法。

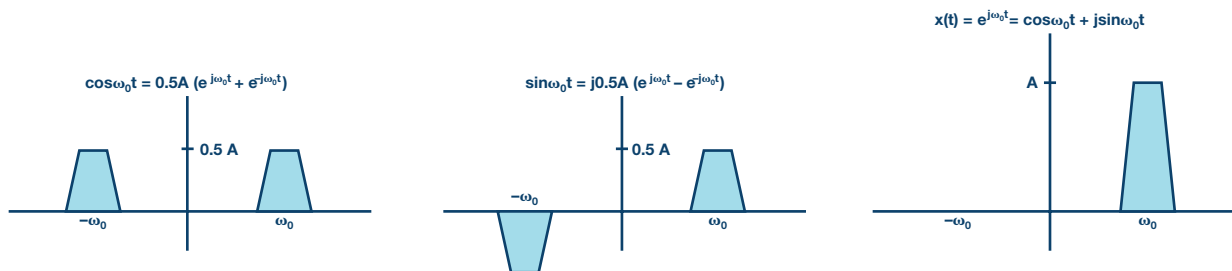


图3. 零中频镜像消除。

集成式收发器带来SWaP解决方案

将零中频架构集成到单片收发器中,这种方法为新一代系统提供了一个途径。把模拟和射频信号链设在同一硅片上,可以最大限度地降低工艺差异的影响。此外,DSP模块可以整合到收发器中,由此消除正交校准算法与信号链之间的界限。这种方法不但可以前所未有地改善SWaP性能,还能在性能规格上媲美超外差架构。

目前,ADI公司有两款收发器能满足航空航天和防务市场的需求,它们是AD9361和AD9371。这些器件把完整的射频、模拟和数字信号链集成到单片CMOS器件上,整合的数字处理模块可以实时运行正交和载波泄漏校正算法,不受任何工艺、频率和温度差异的影响。AD9361重点面向要求中等性能规格和超低功耗的应用,比如无人飞行器数据链、手持式和单人通信系统以及小型SIGINT等。AD9371面向要求超高性能规格和中等功耗的应用而优化。另外,该器件集成了一颗ARM®微处理器,用于实现精密校准控制;一枚观察接收器,用于实现功率放大器(PA)线性化;以及一个嗅探接收器,用于探测空白空间。这就为众多不同的应用开启了全新的设计潜力。现在,可以在小得多的封装中实现采用宽带波形或占用非连续频谱的通信平台了。在射频频谱高度拥挤的地点,较高的动态范围和较宽的带宽为实现SIGINT和相控阵雷达作业创造了条件。

新一代就在当下

借助长达100年的器件优化经验,超外差架构得以在尺寸不断缩小、功耗不断降低的平台上实现不断增强的性能。随着物理限制的到来,这些改进已经开始放缓步伐。新一代航空航天和防务平台将要求采用全新的射频设计方法。在这类方法中,若干平方英寸的现有平台将集成到单片器件中;软件与硬件之间的界限被模糊,可实现当前不可能的优化和集成水平;减小的SWaP不再意味着性能的下降。

现在,借助AD9361和AD9371这一组合,航空航天和防务设计师有能力构造几年前还不可能实现的系统。两款器件具有许多共同点—可调谐的滤波器角、宽带LO生成、分集能力、校准算法等。但也存在关键的差异,每款器件均针对不同的应用而优化。AD9361侧重于单载波平台,其中,SWaP是主要驱动力。AD9371侧重于宽带、非连续平台,其中,性能规格的实现难度更大。这两款收发器将成为新一代航空航天和防务信号链的关键促成因素。

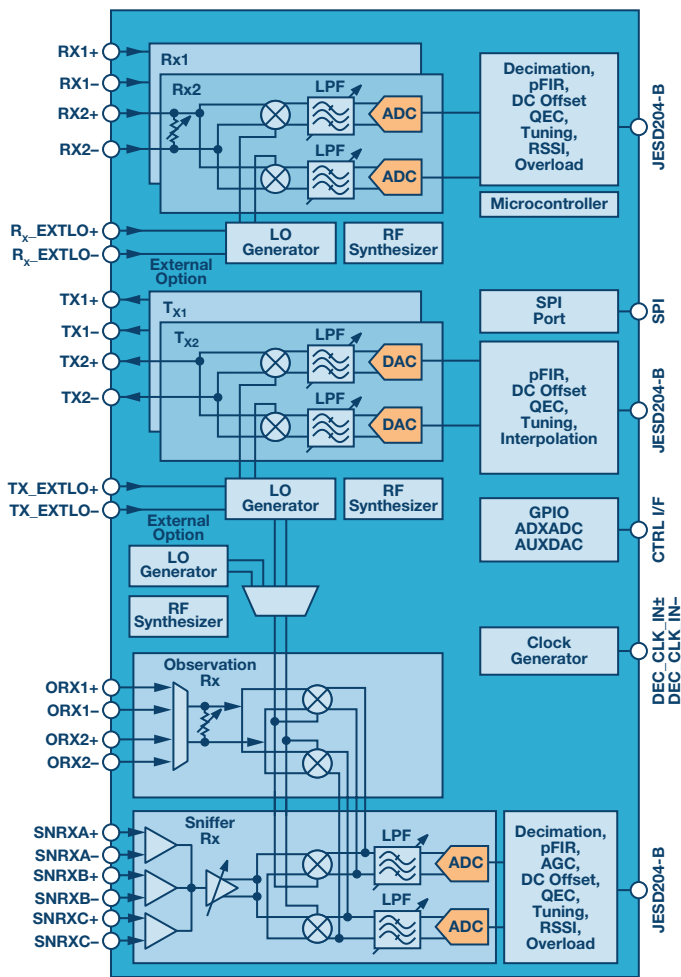
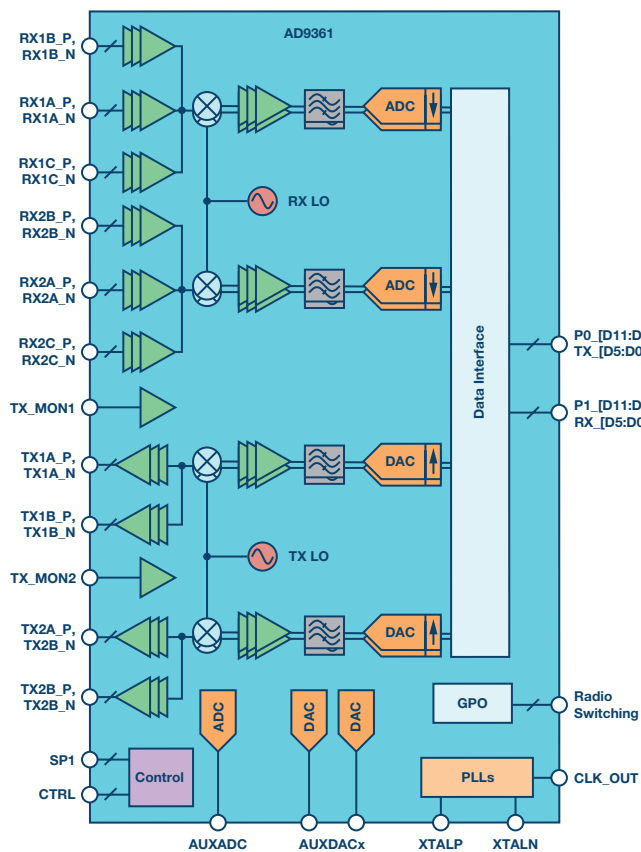


图4. AD9361和AD9371功能框图。

Wyatt Taylor [wyatt.taylor@analog.com] 是ADI公司(美国北卡罗来纳州格林斯博罗)的高级射频系统工程师。他主要从事航空航天和防务无线电应用研发工作，具体侧重点是集成式射频收发器、小型微波设计、软件定义无线电(SDR)等。在此之前，Wyatt曾在马里兰州的Thales Communications公司和Digital Receiver Technology公司担任射频设计工程师。Wyatt于2005年和2006年分别获得弗吉尼亚州布莱克斯堡弗吉尼亚理工学院电气工程学士(BSEE)学位和电气工程硕士(MSEE)学位。



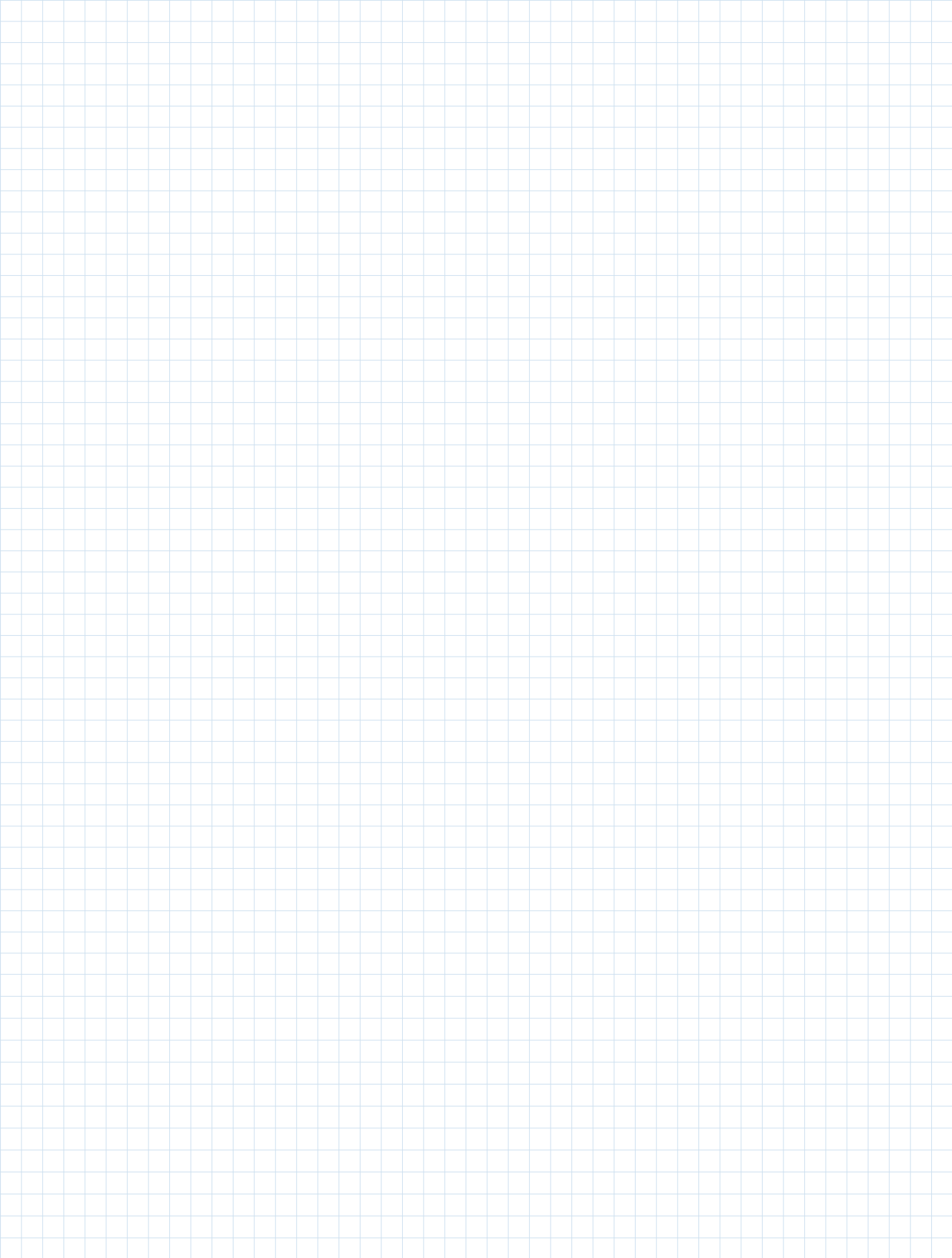
Wyatt Taylor

David Brown [david-w.brown@analog.com] 是ADI公司(美国北卡罗来纳州格林斯博罗)的射频系统应用工程师。他于2015年加入ADI公司，主要从事航空航天和防务应用研发工作。David于2014年毕业于北卡罗来纳州立大学，获电气工程学士学位。



David Brown

注释

A large grid of graph paper, consisting of 20 columns and 30 rows of small squares, intended for taking notes or calculations.

©2016 Analog Devices, Inc. All rights reserved.
Trademarks and registered trademarks are the
property of their respective owners.

Ahead of What's Possible is a trademark of
Analog Devices.

M02000503sc-0-11/16

analog.com/zh/analogdialogue

全球总部

One Technology Way
P.O. Box 9106, Norwood, MA
02062-9106 U.S.A.
Tel: (1 781) 329 4700
Fax: (1 781) 461 3113

大中华区总部

上海市浦东新区张江高科技园区
祖冲之路 2290 号展想广场 5 楼
邮编: 201203
电话: (86 21) 2320 8000
传真: (86 21) 2320 8222

深圳分公司

深圳市福田区
益田路与福华三路交汇处
深圳国际商会中心 4205-4210 室
邮编: 518048
电话: (86 755) 8202 3200
传真: (86 755) 8202 3222

北京分公司

北京市海淀区
西小口路 66 号
中关村东升科技园
B-6 号楼 A 座一层
邮编: 100191
电话: (86 10) 5987 1000
传真: (86 10) 6298 3574

武汉分公司

湖北省武汉市东湖高新区
珞瑜路 889 号光谷国际广场
写字楼 B 座 2403-2405 室
邮编: 430073
电话: (86 27) 8715 9968
传真: (86 27) 8715 9931

亚洲技术支持中心

免费热线电话: 4006 100 006
电子邮箱:
china.support@analog.com
技术专栏:
www.analog.com/zh/CIC
样品申请:
www.analog.com/zh/sample
在线购买:
www.analog.com/zh/BOL
在线技术论坛:
ezchina.analog.com



超越一切可能™