Analog Dialogue

现实世界信号处理电路、系统和软件技术交流论坛 • 2015年第49卷第3期

- 2 编者寄语; 新产品简介
- 3 快速通往量产的四个步骤:利用基于模型的设计开发软件无线电,第一部分——ADI/Xilinx SDR快速原型开发平台及其能力、优势和工具
- 10 能量采集功率转换的最新进展
- 13 用于高温电子应用的低功耗数据采集解决方案
- 19 分析、优化和消除带VCO的锁相环在高达13.6 GHz处的整数边界杂散
- 22 交错ADC揭秘
- 27 零漂移放大器:现可轻松用于高精度电路中





analog.com/zh/analogdialogue



本期介绍

快速通往量产的四个步骤:利用基于模型的设计开发软件定 义无线电

第一部分——ADI/XilinxSDR快速原型开发平台及其能力、优势和工具

本系列文章探讨平台和工具的进步如何使得开发人员能够快速进行无线电 系统仿真并做出原型,同时确立并维护一条通往量产的可部署路径。为了 详细说明实际的开发过程,本文作者设计了一个用于接收和解码ADS-B航 空器信号的无线SDR平台并做出了原型。第一部分讨论ADI/Xilinx[®]SDR 原型开发系统及其能力和优势,并简要说明工具流程。(第3页)

能量采集功率转换的最新进展

如今有许多专门针对能量采集应用而设计的功率管理集成电路。它们使 得系统能以更小的采集器运行,或者让数年之前尚无法设计的能量采集 解决方案成为可能。本文考察了数种能量采集应用,并描述了一种能够 解决能量采集挑战的高效率DC-DC转换和电压调节解决方案。(第10页)

用于高温电子应用的低功耗数据采集解决方案

越来越多的应用要求数据采集系统必须在极高环境温度下可靠地工作,例 如井下油气钻探、航空和汽车应用等。本文为高温数据采集提供了一个新 的参考设计,其工作温度范围是从室温到175°C。(第13页)

分析、优化和消除带VCO的锁相环在高达13.6 GHz处的整数边 界杂散

锁相环(PLL)和压控振荡器(VCO)输出特定频率的RF信号,理想情况下此 信号应当是输出中的唯一信号。但事实上,输出中存在干扰杂散信号和 相位噪声。本文讨论最麻烦的杂散信号之一——整数边界杂散——的仿 真与消除。(第19页)

交错ADC揭秘

时间交错技术可使用多个相同的模数转换器(ADC),并以比每一个单独数 据转换器工作采样速率更高的速率来处理常规采样数据序列。这种技术常 用于军工和电子仪器应用中,此类应用要求不断提高技术水平以实现更高 的数据转换速度、分辨率和性能。本文详细阐明了数据转换器交错技术, 并重点讨论了与实现此技术相关的一些实际挑战。(第22页)

零漂移放大器:现可轻松用于高精度电路中

顾名思义,零漂移放大器是指失调电压漂移非常接近于0的放大器。它 使用自稳零或斩波技术(或兼而有之),并随时间和温度连续自校正直流 误差。这使得放大器能够实现μV级失调和极低的失调漂移。因此,它 尤为适合需要高增益和高精度性能的信号调理电路。本文探讨零漂移放 大器的架构,以及在漂移性能至关重要的应用中利用这种精密器件进行 设计需要考虑的问题。(第27页)

Jim Surber [jim.surber@analog.com]

产品目录: 第49卷, 第3期

所有ADI产品数据手册都可在analog.com/cn网站查到,只需在搜 索框中输入产品型号即可。

7月

50 mA/500 mA、高效率、超低功耗降压稳压器.	ADP5301
8月 14份 125 CSPS IESD204B对通常增数性按照	A D0601
14位、1.25 G5F5 JE5D204D从通道模数转换益	AD9091
1 MSPS、超低功耗、12位ADC, 采用10引脚LFCSP和MSOP封装	AD7091R-5
31 W、无滤波器、D类数字输入音频放大器	SSM3515
带输入禁用和0个反向通道的鲁棒、 四通道隔离器	.ADuM140D/ADuM140E
低功耗400 MHz Blackfin+嵌入式处理器, 带256 kB L2 SRAM	ADSP-BF702
低功耗400 MHz Blackfin+嵌入式处理器, 带512 kB L2 SRAM	ADSP-BF704
低功耗400 MHz Blackfin+嵌入式处理器, 带1 MB L2 SRAM	ADSP-BF706
隔离式精密栅极驱动器,4A输出	ADuM3123
带输入禁用和0个反向通道的鲁棒、 三通道隔离器	ADuM130D
带输入禁用和1个反向通道的鲁棒、 三通道隔离器	ADuM131D
用于数字控制系统的超紧凑、 1 A 热电冷却器(TEC)驱动器	ADN8833
超紧凑1.5 A热电冷却器(TEC)控制器	ADN8834
提供米勒箝位的单电源/双电源高电压隔离 IGBT栅极驱动器	ADuM4135
集成可编程限流的18 V、12 A降压稳压器	ADP2389
集成可编程限流和PFM的18 V、12 A降压稳压器	ADP2390
800 mA、DC至DC反相稳压器	ADP5075
车用集成精密电池传感器	ADuCM330/ADuC331

Analog Dialogue

模拟对话杂志(www.analog.com/zh/analogdialogue)是ADI公司于1967 年创办的技术杂志,至今已经连续出版49年,主要讨论有关模拟信号、数字 信号和混合信号处理的产品、应用、技术和技巧。模拟对话杂志目前提供两 种版本:在线版每月发行一期,印刷版每年发行四期,作为对在线版中技术 文章的定期回顾和汇集。在线版的内容包括:技术文章、近期应用笔记、电 路笔记、新产品简介、在线研讨会和已发表文章等及时信息;以及"集锦" 栏目,其中包括从ADI网站(www.analog.com/cn)获得重要相关信息的通 用链接网址。感兴趣的读者也可以至模拟对话档案库www.analog.com/ library/analogdialogue/china/archives.html查阅自1967年第1卷第1期创 刊至今的每期存档,包括三期纪念特刊。如需订阅,请访问www.analog. com/library/analogdialogue/china/subscribe.html。欢迎提出您的宝 贵意见:Facebook; www.facebook.com/analogdialogue, EngineerZone: ez.analog.com/blogs/analogdialogue, 电子邮件: dialogue.editor@ analog.com.gi编Ijim Surber, [jim.surber@analog.com]。

四个步骤快速投入生产:针对软件定义无线电 使用基于模型的设计

第一部分——ADI/Xilinx SDR快速原型制作平台:功能、优势以及工具

作者: Di Pu、Andrei Cozma和Tom Hill

摘要

无线系统的概念与设计实现之间存在巨大的差异。要缩小这种差异通常都要涉及到几组来自各领域的工程师团队(比如 RF、SW、DSP、HDL和嵌入式Linux[®]),并且很多情况下项目 在开发的早期阶段便由于难以协调各设计团队而偏离了原先计划。

本系列文章分为四个部分,将讨论平台和工具的进步;这些技术 进步允许开发人员快速进行无线系统的仿真与原型制作,同时建 立与保持投入生产的可实现路径。作为实际过程的一个示例,我 们将对无线SDR平台进行原型制作,该平台可接收并解码自动相 关监视广播(ADS-B)信号,以便我们检测并汇报附近飞行中的商用 飞机的位置、高度和速度。本例中需用到MATLAB[®]和Simulink, 以及集成和内嵌硬件/软件的技能。硬件平台将采用ADI/Xilinx[®] 软件定义无线电(SDR)原型制作系统。使用MATLAB和Simulink[®] 后,将执行下列任务:

- 设计用来解码ADS-B消息的信号处理算法
- 仿真接收ADS-B信号的RF接收器
- 生成C语言代码和HDL代码
- 以目标收发器和FPGA上的记录数据和实时数据验证HDL代码

最终得到一个能够在适于生产的硬件上实现的可行RF SDR设计, 我们将把它带到当地机场来验证性能和功能。

该文章系列有四部分,第一部分将讨论ADI/Xilinx SDR原型制 作系统、该系统的功能和优势,并简要描述工具流程。第二部 分将回顾自动相关监视广播(ADS-B)信号,并解释仿真时如何在 MATLAB和Simulink中解码它们的信息。第三部分将讨论和演 示如何使用环路中硬件(HIL)并以目标收发器捕捉信号,并同时在 Simulink的主机中进行信号处理以便验证。第四部分将说明如何 通过第二部分开发并在第三部分验证的算法,并使用MathWorks 的HDL编码器以及嵌入式编码器生成代码,然后在生产硬件中进 行部署,最后,我们将在机场采用真正的ADS-B信号来操作平台。

简介

随着人们对通信方式和手段的需求呈指数式增长,方便而经济高效地修改无线电设备也随之成为一项重要的业务。在这样的背景下,软件定义无线电技术最近得到了广泛的部署,因为这项技术推动通信向着灵活、高性价比、功能更强大的方向发展¹。SDR系统的目的是在软件和可重复编程逻辑中部署尽可能多的调制/解调和数据处理算法,以便通信系统能够仅通过更新软件和可重复编程逻辑而轻松进行再配置,并且无需更改硬件平台。

随着片上系统(SoC)的出现(比如集CPU的灵活性与FPGA的处理 能力于一体的Xilinx Zynq[®] All Programmable SoC),设计人员 终于能够将SDR系统的数据处理功能和其它处理任务纳入单个器 件中。数据调制/解调算法等处理密集型任务分流至器件的可编程 逻辑,而数据解码和渲染、系统监控和诊断以及用户界面等任务 延缓至处理单元进行。

同时,无线系统的原型制作数十年来一直是个争论不休的话题, 而最近几年才刚出现针对FPGA的完整设计流程——从模型创建 到完整实施——这要归功于像MathWorks的MATLAB和Simulink 等建模和仿真工具的革命。无线系统的原型制作正在改变工程师 和科学家工作的方式,它将设计任务从实验室和现场带到了桌面 上²。现在,工程师可以对整个无线系统(比如SDR系统)进行建模, 从而可观察系统的表现,并在现场实际实施之前进行调节。这样 做有很多好处,比如加快系统集成、减少对设备的依赖。此外, 完成SDR系统的Simulink模型之后,C语言代码和HDL代码可自 动生成,然后部署到Zynq SoC上,从而节省时间并避免手动编 码错误。将系统模型链接到快速原型制作环境可进一步降低风 险,因为后者允许SDR系统在实际条件下运作。

该文章系列有四部分,第一部分将讨论ADI/XilinxSDR快速原型 制作系统、该系统的功能和优势,并简要描述工具流程。文章解 释了ADI RF IC技术和参考设计硬件与软件如何降低设计技巧, 从而使客户减轻风险,并缩短产品上市时间。



图1. Xilinx Zynq SoC功能框图

用于SDR的Zynq

当需要执行数据处理、通信和用户界面等具有不同处理带宽要 求和实时限制的任务组合时,需要用到高级SDR系统。为了实 现这样的系统,所选的硬件平台必须鲁棒且可扩展,同时还 需为将来的系统改进和扩张创造条件。Xilinx Zynq-7000 All Programmable SoC满足这些要求,提供高性能处理系统以及可 编程逻辑,如图1所示³。可编程逻辑配上处理系统便具有了出色 的并行处理能力、实时性能、快速计算能力以及连接的多样性。

Zynq SoC的处理系统包括一个双核ARM[®] Cortex[®]-A9处理器和一 个NEON协处理器,以及多个用于加速软件执行的浮点扩展单元。 为了完全发挥系统的能力,可以在双核ARM处理器上采用嵌入式 Linux或实时操作系统。该处理器是自足的,可在不配置可编程 逻辑的情况下使用,这点对于软件开发人员来说很重要,他们 可以与设计FPGA结构的硬件开发人员同时进行代码的开发工作。

在可编程逻辑方面,该器件拥有多达444,000个逻辑单元和2,200 个DSP Slice,可提供巨大的处理带宽,允许Zynq设备应对各种 充满挑战的信号处理应用。5个高吞吐速率的AMBA®-4 AXI高 速互连将可编程逻辑紧密地耦合到处理系统,提供相当于3,000 以上引脚的有效带宽⁴。

用于SDR的AD9361捷变宽带RF收发器

近年来,ADI公司将革命性的SDR产品推向了市场,以支持不 断变化的SDR要求和系统架构。在这方面,ADI最重要的产品 包括AD9361/AD9364集成式RF捷变收发器。AD9361 (2 × 2)⁵和 AD9364 (1 × 1)⁶是用于SDR架构的高性能、高度集成的RF收发器 IC,适合无线通信基础设施、防务电子系统、RF测试设备和仪 器,以及通用软件定义无线电平台等应用。这些器件集RF前端与 灵活的混合信号基带部分为一体,集成频率合成器,为处理器或 FPGA提供可配置数字接口,从而简化设计导入。这些芯片工作 频率范围为70 MHz至6 GHz,涵盖大部分特许执照和免执照频 段,通过对AD9361和AD9364器件编程可改变采样速率、数字滤 波器和抽取参数,使该芯片支持的通道带宽范围为低于200 kHz 至56 MHz⁷。图2显示了AD9361器件的功能框图。



图2.AD9361功能框图

为了帮助客户缩短产品上市时间并减轻整体开发负担,ADI公司更进一步,提供的SDR解决方案可用于具有无缝FPGA连接能力的完整生态系统中,为完整的无线电系统设计提供快速原型制作和开发环境。AD-FMCOMMSx-EBZ快速开发和原型制作板属于高速模拟 FMC模块,集成AD9361或AD9364捷变RF收发器IC或分立式信号链,可无缝连接Xilinx FPGA开发平台生态系统。这些板可完全通过 软件定制,无需更改任何硬件,提供可供下载的Linux驱动程序和裸机软件驱动程序、原理图、电路板布局文件和有助于设计的参考 材料,可前往ADI的Wiki知识库获取。表1总结了不同FMCOMMSx平台的产品特性。

表1. FMCOMMSx平台

平台	产品特性
AD-FMCOMMS5-EBZ	该SDR快速原型制作板集成两个AD93612×2捷变收发器IC,能够为4个接收器通道和4个发送器通道提供完 全同步能力,可创建4×4 MIMO系统的任意子系统。支持宽带70 MHz至6 GHz和2.4 GHz调谐端口。 AD-FMCOMMS5-EBZ资源页面(wiki知识库): http://wiki.analog.com/resources/eval/user-guides/ ad-fmcomms5-ebz
AD-FMCOMMS4-EBZ	该1×1 SDR快速原型制作板集成AD9364捷变RF收发器IC,可经软件配置在2400 MHz至2500 MHz范围内实现最高RF性能,或者可经软件配置工作在AD9364的70 MHz至6 GHz完整RF调谐范围内,以进行系统原型制作和开发。AD-FMCOMMS4-EBZ资源页面(wiki知识库):http://wiki.analog.com/resources/eval/user-guides/ad-fmcomms4-ebz
AD-FMCOMMS3-EBZ	该2 × 2型号的SDR快速原型制作板集成AD9361捷变RF收发器IC,支持AD9361的70 MHz至6 GHz全RF调谐 范围。该套件非常适合寻求具有宽调谐能力的统一开发平台的无线通信系统架构师。AD-FMCOMMS3-EBZ资 源页面(wiki知识库): http://wiki.analog.com/resources/eval/user-guides/ad-fmcomms3-ebz
AD-FMCOMMS2-EBZ	该2 × 2 SDR快速原型制作板集成AD9361捷变RF收发器IC,经调谐可在2400 MHz至2500 MHz范围内实现最高RF性能。该套件适合寻求最优系统性能,并要求在RF频谱定义范围内满足AD9361数据手册中规格的工程师使用。AD-FMCOMMS2-EBZ资源页面(wiki知识库):http://wiki.analog.com/resources/eval/user-guides/ad-fmcomms2-ebz

模拟对话 第49卷第3期



图3. ADI HDL和软件基础架构

Zynq SDR快速原型制作平台

参考设计

ADI公司与FMCOMMSx平台一同提供完整的Vivado框架,采 用Linux和裸机软件基础架构,可同时用于原型制作以及最终生 产系统中。图3显示了ADI支持FMCOMMSx板的Zynq基础架构。

该高级框图说明了ADI参考设计在Xilinx Zynq SoC上是如何划 分的。一路HDMI输出用于在监视器上显示Linux界面,鼠标和 键盘可通过USB 2.0端口连接到系统。ARM Cortex A9处理系 统运行ADI公司提供的Ubuntu Linux,其中包括:与ADI公司 FMCOMMS硬件接口所需的Linux IIO驱动程序,用于监测和控 制的IIO Oscilloscope (示波器)⁸用户空间应用程序,支持实时数 据采集和通过TCP控制系统的libiio服务器⁹,在远程计算机上运 行的客户端,以及整合嵌入式编码器所生成C语言代码的可选用 户应用程序,可用于控制器的Simulink模型。

软件基础架构

所有ADI Linux驱动程序均基于Linux工业I/O (IIO)子系统,现已 包含在所有主流Linux内核中。IIOScope是ADI公司开发的一款开 源Linux应用程序,运行在Xilinx Zynq中的双核ARM Cortex-A⁹ 的内核上,能够显示连接到Xilinx Zynq平台的ADI FMC卡所 获取的实时数据。这些数据可以在时域中、频域中或以星座图 的形式显示。支持以不同的常用文件格式(如逗号分隔值或.mat MATLAB数据文件等)保存所捕获的数据以供进一步分析。IIO Scope提供一个图形用户界面,用于更改或读取ADI FMC卡的 配置。libiio服务器支持实时数据采集、通过传输控制协议(TCP) 控制系统以及运行于远程计算机上的客户端¹⁰。服务器运行于 Linux下的嵌入式目标上,通过TCP管理目标与远程客户端之间 的实时数据交换。此库抽取了硬件的低级详情,提供简单但完 整的编程接口,可用于高级项目。它的模块化架构、设计良好 的API以及内置的网络功能允许用户创建应用,而这些应用不仅 能运行在IIO设备已连接的系统中,还能运行在通过网络远程连 接的系统中。它首先针对Linux,不过现在也能通过库的远程后 端支持Windows。它以C语言写成,并授权给LGPL,结合了C#、 Python和MATLAB的特点。MathWorks IIO客户端¹¹可以作为系 统对象集成到MATLAB和Simulink原生应用程序中。它设计用来 配合连接FPGA/SoC平台(运行ADI Linux发布版)的以太网进行数 据交换,可让MATLAB或Simulink模型执行下列功能:

- 发送数据流至目标,并从目标接收数据流
- 控制目标的设置
- 监控不同的目标参数



图4. 信标帧接收器示例的屏幕截图

MATLAB和Simulink均提供IIO系统对象,具体取决于用户从 MATLAB脚本中对其进行调用,还是将其整合至MATLAB系统 模块中。ADI提供针对FMCOMMS平台的Linux软件和HDL基 础架构,配合MathWorks和Xilinx提供的工具后,便是进行SDR 应用原型制作的绝佳环境,并且它还包含可随时投入生产的组件, 这些组件可以集成至SDR系统——有助于缩短从概念到生产所需 的时间并降低成本。

为了帮助客户快速而轻松地掌握IIO系统对象,我们提供了几 个基于该界面的MATLAB和Simulink示例,比如信标帧接收 器¹²、QPSK发射器和接收器¹³,以及LTE发送器和接收器¹⁴。在 这些示例中,FMCOMMSx平台由IIO系统对象配置,并用作RF 前端并无线发送或接收模拟信号。这些信号通过IIO系统对象以 数据流的形式发送至目标,或从目标接收。所有其它信号处理 均在MATLAB或Simulink中执行。图4是信标帧接收器示例的 屏幕截图,该图显示了IIO系统对象和其它Simulink模块之间的 典型连接。

MathWorks对Zynq的支持

MathWorks支持基于Zynq的SDR,具体表现在以下四个方面:

1. AD9361 Simulink模型

由于AD9361是一款集成式RF收发器芯片,信号探测和内部工作 监控是不太现实的。因此,MathWorks和ADI合作开发了AD9361 的SimRF[™]模型,可对芯片的工作进行仿真,以便客户能够真正 了解到这其中发生了什么,并知晓在现实中难以重现的不同测 试条件下芯片性能如何。SimRF使用相同的基带或电路包络模 块——比如放大器、混频器和S-参数模块——提供RF系统设计 中的组件库和仿真引擎。它是适合AD9361RF收发器建模的有效 工具。系统级AD9361捷变RF收发器模型(如图5所示)精确重现了 AD9361的功能,并以MathWorks硬件支持包的形式向用户提供¹⁵。



图5. AD9361捷变RF接收器的MathWorks SimRF模型

SimRF模型已在实验室中经过了功率频谱测量验证。不同频率和 功率水平下的收发器噪声和非线性特性也已识别。然后,这些模 型设计为生成相同的特性,并在设计范围内得到验证。

采用AD9361收发器SimRF模型后,用户可以:

- 预测RF缺陷对测试信号的影响
- 使用参考音和LTE信号
- 生成或导入测试向量,并评估非线性、噪声、增益和相位不 平衡、频谱泄露以及其它RF发送器和接收器缺陷导致的影响
- 加入干扰信号并评估时域或频域结果

2. 通信和DSP系统工具箱功能

MathWorks产品——比如Communications System Tool-box^{™16} Signal Processing Toolbox,^{™17} DSP System Toolbox^{™18}和 SimRF¹⁹——具有业界标准算法和应用程序,可进行SDR系统的 系统性分析、设计与调谐。所有这些工具均提供了创建高保真 SDR模型的途径,可在进行真实物理部署前用来验证通信系统 的表现和性能。

3. 用于Zynq的Simulink工作流程

MathWorks的MATLAB和Simulink是用于多领域仿真和基于模型设计的环境,非常适合仿真具有通信算法的SDR系统。通信算法调节增益、频率偏移、时序偏移和其它性能变量,并经常能更好地同步发送器和接收器系统。利用仿真评估通信算法可以有效地确定SDR设计是否合适,判断其合适后再进行昂贵的硬件测试,从而减少算法开发的时间和成本。图6给出了设计通信算法的有效工作流程,步骤如下:

- 使用基于模型的设计环境提供的库构建精确的SDR模型
- 仿真系统行为以验证系统表现是否符合预期
- 产生C代码和HDL进行实时测试和实施
- 利用原型制作硬件测试通信算法

在原型制作硬件上进行仿真和测试后,如果SDR系统的性能证 明是令人满意的,那么在最终生产系统上实施与部署系统也将 是安全的。



图6. 通信算法设计的工作流程

4. Simulink平台集成至Zynq SDR套件

一旦SDR系统使用MathWorks的Embedded Coder^{®20}和HDL Coder^{™21}等工具完成了全面的验证,用户就可以利用嵌入式编码 器和VHDL或使用HDL编码器的Verilog来生成C语言代码,然后 将代码部署到原型制作硬件上进行测试,之后便可进入最终生产 系统。此时应指定软件和硬件实施要求,如定点和时序行为。自 动生成代码有助于缩短从概念到实际系统实施所需的时间,消 除手动编程错误,确保实际SDR实施与模型相符。图7给出了在 Simulink中进行SDR系统建模并将其转移到基于Xilinx Zynq SoC 的最终生产系统所需的实际步骤。

第一步是在Simulink中对SDR系统进行建模和仿真。在这一阶段, 通信算法被划分为在软件中实现的模块和在可编程逻辑中实现的 模块。划分和仿真完成后,利用嵌入式编码器和HDL编码器将 SDR模型转换为C语言代码和HDL代码。基于Zynq的原型制作 系统用来验证通信算法的性能,并且帮助进一步调谐SDR模型, 然后转移到实际生产阶段。在生产阶段,将自动生成的C代码和 HDL集成到复杂的生产系统框架中。此工作流程确保通信算法 在到达生产阶段之前经过全面验证和测试,使得系统鲁棒性具有



图7.从仿真到生产的过程

高可信度。Zynq针对嵌入式编码器和HDL编码器推出的硬件支持 包提供集成式硬件/软件设计、仿真和验证框架,将基于模型的设 计集成至工作流程中,简化了Zynq平台的编程,并实现了快速 设计迭代周期,同时有助于尽早检测和纠正设计以及规格错误²²。

结论

本文说明了现代SDR系统的要求和趋势,以及为满足这些要求和 帮助实现更高性能SDR解决方案而由MathWorks、Xilinx和ADI 公司带给市场的工具和系统。通过将MathWorks基于模型的设 计和自动生成代码工具与强大的Xilinx Zynq SoC和ADI集成式 RF收发器结合,SDR系统设计、验证、测试和实现可以比以前更 有效率,进而提高无线电系统性能并缩短产品上市时间。ADI的 FMCOMMS平台搭配Avnet Zynq-7000 AP SoC便可提供强大的 原型制作环境,供采用MathWorks MATLAB和Simulink的SDR 算法设计使用。FMCOMMS平台带有一组开源参考设计,旨在 为所有希望评估该系统的人士提供一个起点,并且帮助启动任 何新SDR项目。

在本系列的下一篇文章中,我们将进一步深入探讨SDR设计过程,回顾自动相关监视广播(ADS-B)信号特性,并解释如何在MATLAB/Simulink仿真中解码这些信息。

有关本文中所涉及话题、文档、视频和参考设计的更多信息,请 查看"参考文献"部分。

参考文献

- 1 "什么是软件定义无线电?"无线创新论坛。
- ² 基于模型的设计。MathWorks。

- ³ Zynq-7000 All Programmable SoC。Xilinx。
- ⁴ Hill, Tom。"借助MATLAB将电机驱动迁移到Zynq SoC设计 中。"Xcell杂志,第87期,2014年第二季度。
- ⁵ AD9361。
- ⁶ AD9364。
- 7 "ADI的软件定义无线电解决方案。" ADI公司。
- ⁸ IIO示波器。ADI公司Wiki知识库。
- ⁹ Simulink Libiio。ADI公司Wiki知识库。
- ¹⁰ 什么是Libiio? ADI公司Wiki知识库。
- ¹¹ IIO系统对象。ADI公司Wiki知识库。
- ¹² 信标帧接收器示例。ADI公司Wiki知识库。
- ¹³ QPSK发送器和接收器示例。ADI公司Wiki知识库。
- ¹⁴ LTE发送器和接收器示例。ADI公司。
- ¹⁵ AD9361.
- ¹⁶ "Communications System Toolbox。" MathWorks公司。
- ¹⁷ "Signal Processing Toolbox。" MathWorks公司。
- ¹⁸ "DSP System Toolbox。" MathWorks公司。
- ¹⁹ "SimRF。" MathWorks公司。
- ²⁰ "HDL Coder。" MathWorks公司。
- ²¹ "Embedded Coder。" MathWorks公司。
- ²² "Simulink支持Xilinx Zynq。" MathWorks公司。

MATLAB和Simulink是MathWorks公司的注册商标。其它商标列表请参见:www.mathworks.com/trademarks。其它产品或品牌名称可能是各自所有人的商标或注册商标。

Di Pu [di.pu@analog.com] 是ADI公司的系统建模应用工程师,支持软件定义无线电平台和系统的设 计与开发。她与MathWorks密切合作,共同解决最终客户的难题。加入ADI公司以前,她曾于2007 年获得中国南京理工大学[NJUST]电气工程本科学位,并在2009和2013年获得美国马萨诸塞州伍 斯特理工学院[WPI]电气工程硕士和博士学位。她是2013年WPI博士论文西格玛西研究奖获得者。

Andrei Cozma [andrei.cozma@analog.com] 是ADI公司工程设计经理,负责支持系统级参考设计的 设计与开发。他拥有工业自动化与信息技术学士学位及电子与电信博士学位。他参与了电机控制、 工业自动化、软件定义无线电和电信等不同行业领域的项目设计与开发。

Tom Hill [tom.hill@xilinx.com], Tom Hill拥有EDA行业超过18年的从业经历。 Hill监管Xilinx DSP目标 设计平台有关的所有产品、战略和企业营销活动。Hill最近在AccelChip公司担任技术营销经理,负 责DSP应用的产品指导和高级设计方法与工具应用。加入AccelChip以前,Hill曾经担任多款FPGA和 ASIC频率合成工具的产品经理、技术营销经理、技术营销工程师和现场应用工程师。Hill的职业生 涯始于Allen-Bradley和Lockheed公司,担任硬件和ASIC设计工程师。Hill拥有克里夫兰州立大学电 气工程学士学位。



Andrei Cozma

Di Pu

该作者的其它文章:

基于FPGA的系统提高 电机控制性能 第49卷第1期

Tom Hill



能量采集功率转换的新进展

作者: Frederik Dostal

能量采集技术已经面世很长时间了。我依然记得1980年代,我的 袖珍计算器采用太阳能电池为计算单元和LCD显示器供电。甚至 在此之前的电气革命早期阶段,便已将发电装置或者发电机放在 河上磨坊里,通过奔腾的水流发电并获取可供使用的能源。现 在,当我们讨论能量采集的时候,我们一般指用来代替电子设 备中电池。因此,1980年的袖珍计算器例子非常符合我们现在 所说的"能量采集"。

能量采集系统设置

显然,能量采集系统中最重要的就是采集器了,而最常见的是太阳能电池。采集器产生的电能需转换为有用的电压或电流,才能为系统供电,或者为超级电容和电池等中间储能设备充电。系统上电后,需针对电子设备产生正确的电压。图1显示了能满足各种不同任务需要的电源管理单元。使输入阻抗匹配,以便最大程度采集能量、为中间储能设备充电、从传统一次电池转移电能、为系统生成正确的输出电压以及监控电流流动和电压,从而形成一个可靠的系统。所有这些任务都必须在极低的电源功率条件下实现,以便系统能够采用小型采集器或传感器。这些功能高度集成在DC-DC转换器中,有助于降低这类任务所需的电能。

图1中的系统显示了一个用于无线环境传感器的典型能量采集系统。这些传感器通常用来检测温度、湿度或各种气体,比如二氧化碳。能量采集还有很多其它应用。无线占位传感器或工业监控(比如资产追踪和机器监控)中的安全与安保方面属于工业应用。

能量采集还用于消费电子设备中,比如便携式设备和可穿戴设备。 在家庭医疗保健应用中,无线病人监护需要在无电池的情况下使 用,或者延长电池寿命。

能量采集是目前非常流行的一个话题。很多工程师都必须评估 能量采集解决方案是否能代替或补充现有的能源解决方案。这 类系统目前如此受欢迎的原因是我们最终达到了一个均衡点,即 从相对成本较低且尺寸较小的采集器获得的能量足以为极低功耗 微控制器和RF电路供电。过去数年内,电子产品的更新换代和 能耗都有了进步,因此5到10年前不可行的很多应用现在都得以 实现,且经济实惠。



图1.能量采集系统设置

不同的能量来源

能量有各种来源,最常见的是光伏(PV)、热电(TEG)、电磁、压 电和RF。光伏和热电采集器产生直流电压,而电磁、压电和RF 采集器产生交变电压或交流电压。这便使得电源转换技术的要 求稍有不同。

图2显示了不同的采集类型,以及一个尺寸为10平方厘米的采集器 大致可以产生的能源量。该图左侧显示产生的能源,右侧显示针 对不同任务的功耗。注意,中间的功率尺度取对数。这张图很重 要,可以从中获得切实可行的设计思路。很多时候,设计人员的 工作和精力花费在评估能量采集解决方案上,最后却发现所采集 的能量不足以为特定系统供电。



图2. 不同的能量来源和不同应用所需的能量要求

DC-DC转换器单元的重要性

电源转换和管理通常是现代能量采集系统的核心组件。虽然某些 应用并不采用复杂的功率器件,但更多应用的功率器件较为复杂。 不含智能电源管理的系统示例有链式太阳能电池堆栈,可生成相 对较高的直流电压,直接为系统供电或在两者之间放置一个简单 的线性稳压器后供电。这类系统通常达不到最佳的能效,或者电 源电压不能良好调节。虽然某些负载可以在变化较大的电源电压 下工作,但另一些不行。此外,更高级的系统倾向于要求使用某 类电压转换器和管理模块。



图3. 适合能量采集应用的电源管理器件功能框图

图3显示了适合能量采集应用的现代电源管理器件的功能框图。 它包含启动电路,该电路带电荷泵,使输入端上的启动电压为 380 mV。系统运行后, ADP5090的内部电路由ADP5090的输出 电压供电。它也是为能量采集系统负载供电的节点。当节点高于 1.9 V时,输入电压可下降至80 mV,但依然可采集能量。这对于 那些在非最优情况下花了很多时间的系统而言非常有用,比如采 用太阳能电池供电的室内传感器。太阳能电池在早上和晚上受到 的光照可能很少,进而产生的电能也非常少。在这些时间内采 集一定能量有利于给定时间段内的总功率预算。ADP5090具有 低静态电流特性,因而从另一方面改善了这类情况。需注意的 是,其功耗仅为260 nA。图4显示了一个典型的实际应用。该曲 线显示了住宅楼内的不同位置,以及采用太阳能电池的传感器处 于黑暗中的典型时间。当然,这只是一个典型案例。传感器接收 的光量取决于房子的结构,包括窗户数量、在用的电灯数量以及 传感器的确切位置。此外,一年中的季节和房子的位置也会影响 这类图形。重点在于,在这种变化较大的照明条件下,ADP5090 的低功耗特性对总功率预算极为有帮助, 尤其是那些大部分时间 都处于黑暗中的场所。



图4. 不同住宅楼位置的传感器处于黑暗中的典型时间

ADP5090中的DC-DC转换器级很有意思。正如大部分DC-DC转换器,它具有调节环路。然而,它既不会调节输出电压,也不会调 节输出电流。调节环路主要以调节输入阻抗的方式设置。

太阳能电池的电流和电压表现如图5所示。在开环条件下,没有电流流过时,所提供的电压达到最大值。然后,随着电流流动,电 压开始下降。在极高的电流下,电压下降得非常快。在曲线的中 部形成了一个膝盖形状,它就是峰值功率点。在该点处,电压依 然相对较高,但吸取了较多电流。为了在最大峰值功率点处工作, 我们需要跟踪这一点。仅设置一个我们所描绘的固定电流值是无 法工作的,因为图5中特定太阳能电池的曲线将根据不同的光照条 件而发生偏移。如需跟踪MPP(最大峰值功率点),则ADP5090停 止在输入端传导电流并在不加载太阳能电池电压的情况下检查该 电压,然后设置下一个16秒的MPP。经过此时间周期之后,再次 执行开环检查。16秒是个良好的折衷点,既远离MPP漂移,又不 会过于频繁地中断采集操作。



图5. 典型光伏电池的电压和电流曲线



图6. 适合能量采集应用的电源管理级示例

MPP跟踪确保大部分能量从光伏电池或热电发生器等电源采集, 但电源管理单元还有其它任务。例如,它需要在某个电压窗口内 控制输出电压。ADP5090用作电流源,为超级电容或电池充电。 此元件对于消耗能量的能量采集而言很重要。这样可以实现很多 没有恒定可用能量供采集并以指定间隔执行某些系统任务的系统。 例如,无线传感器网络中的某个传感器需要每隔5分钟发送一次温 度值。如果该传感器由太阳能电池供电,由于中间储能单元,系 统依然可以在没有光照的情况下工作。

目前一个非常受欢迎的架构是将能量采集设备加入一次电池供电 的系统中。使用不可充电电池的产品可以成功地通过加入能量采 集功能来延长系统寿命。这样可以延长工作时间,而不会影响系 统的可靠性。针对这类混合系统,ADP5090提供控制一次电池的 能力。当没有足够的采集能量时,一次电池的电源路径便转而直 接为负载供电。 图6显示了一个完整的能量采集功率级,不仅包含主ADP5090 MPPT能量采集IC,还带有一个备用IC,即ADP5310。它是一款 DC-DC转换器,可以非常高效地产生两路输出电压。在100 μA 输出电流时,其效率接近90%。此外,ADP5310还集成了一个负 载开关。此负载开关可用来关闭那些持续消耗能量的负载,哪怕 这些负载并未使用。

ADP5310降压转换器支持的输入电压最高达15 V。因此,这款器件可以直接用于交流电压生成器,比如压电类或电磁类发生器。 只需一个桥式整流器,输出电压便可直接馈入ADP5310。

现在,很多电源管理集成电路均针对能量采集应用而专门设计。 它们可让系统支持更小的采集器,或者实现数年前无法设计出来 的能量采集解决方案。系统设计人员有一些好的想法现在正在实 施中,不久之后我们就能见证它们的实现并赞叹不已。

Frederik Dostal [frederik.dostal@analog.com] 就读于德国爱尔兰根大学微电 子学专业。他于2001年加入电源管理业务部门,曾担任各种应用工程师职位, 并在亚利桑那州凤凰城工作了4年,负责开关模式电源。Frederik于2009年加入 ADI公司,担任欧洲分公司的电源管理技术专家。



Frederik Dostal

用于高温电子应用的低功耗数据采集解决方案

作者: Jeff Watson和Maithil Pachchigar

简介

越来越多的应用要求数据采集系统必须在极高环境温度下可靠地 工作,例如井下油气钻探、航空和汽车应用等。虽然这些行业的 最终应用不尽相同,但某些信号调理需求却是共同的。这些系统 的主要部分要求对多个传感器进行精确数据采集,或者要求高采 样速率。此外,很多这样的应用都有很严格的功率预算,因为它 们采用电池供电,或者无法耐受自身电子元件发热导致的额外升 温。因此,需要用到可以在温度范围内保持高精度,并且可以轻 松用于各种场景的低功耗模数转换器(ADC)信号链。这类信号链 见图1,该图描绘了一个井下钻探仪器。

虽然额定温度为175°C的商用IC数量依然较少,但近年来这一数 量正在增加,尤其是诸如信号调理和数据转换等核心功能。这便 促使电子工程师快速可靠地设计用于高温应用的产品,并完成过 去无法实现的性能。虽然很多这类IC在温度范围内具有良好的特 性化,但也仅限于该器件的功能。显然,这些元件缺少电路级信 息,使其无法在现实系统中实现最佳性能。 本文中,我们提供了一个新的高温数据采集参考设计,该设计在 室温至175°C温度范围内进行特征化。该电路旨在提供一个完整的 数据采集电路构建块,可获取模拟传感器输入、对其进行调理, 并将其特征化为SPI串行数据流。该设计功能非常丰富,可用作 单通道应用,也可扩展为多通道同步采样应用。由于认识到低功 耗的重要性,该ADC的功耗与采样速率成线性比例关系。该ADC 还可由基准电压源直接供电,无需额外的电源轨,从而不存在功 率转换相关的低效率。这款参考设计是现成的,可方便设计人员 进行测试,包含全部原理图、物料清单、PCB布局图和测试软件。

电路概览

图1所示电路是一个16位、600 kSPS逐次逼近型模数转换器系统, 其所用器件的额定温度、特性测试温度和性能保证温度为175℃。 很多恶劣环境应用都采用电池供电,因此该信号链针对低功耗而 设计,同时仍然保持高性能。



图1. 井下仪器数据采集信号链



图2. 数据采集电路简化原理图

本电路使用低功耗(600 kSPS时为4.65 mW)、耐高温PulSAR[®] ADC AD7981,它直接从耐高温、低功耗运算放大器AD8634驱 动。AD7981 ADC需要2.4 V至5.1 V的外部基准电压源,本应用 选择的基准电压源为微功耗2.5 V精密基准源ADR225,后者也 通过了高温工作认证,并具有非常低的静态电流(210°C时最大 值为60 μA)。本设计中的所有IC封装都是专门针对高温环境而设 计,包括单金属线焊。

模数转换器

本电路的核心是16位、低功耗、单电源ADC AD7981,它采 用逐次逼近架构,最高支持600 kSPS的采样速率。如图1所示, AD7981使用两个电源引脚:内核电源(VDD)和数字输入/输出接 口电源(VIO)。VIO引脚可以与1.8 V至5.0 V的任何逻辑直接接 口。VDD和VIO引脚也可以连在一起以节省系统所需的电源数量, 并且它们与电源时序无关。图3给出了连接示意图。

AD7981在600 kSPS时功耗典型值仅为4.65 mW,并能在两次转换 之间自动关断,以节省功耗。因此,功耗与采样速率成线性比例 关系,使得该ADC对高低采样速率——甚至低至数Hz——均适 合,并且可实现非常低的功耗,支持电池供电系统。此外,可以 使用过采样技术来提高低速信号的有效分辨率。



图3. AD7981应用图

AD7981有一个伪差分模拟输入结构,可对IN+与IN-输入之间的 真差分信号进行采样,并抑制这两个输入共有的信号。IN+输入支 持0V至V_{REF}的单极性、单端输入信号,IN-输入的范围受限,为 GND至100mV。AD7981的伪差分输入简化了ADC驱动器要求并 降低了功耗。AD7981采用10引脚MSOP封装,额定温度为175°C。

ADC驱动器

AD7981的输入可直接从低阻抗信号源驱动,然而,高源阻抗会 显著降低性能,尤其是总谐波失真(THD)。因此,推荐使用ADC 驱动器或运算放大器(如AD8634)来驱动AD7981输入,如图4所 示。在采集时间开始时,开关闭合,容性DAC在ADC输入端注 入一个电压毛刺(反冲)。ADC驱动器帮助此反冲稳定下来,并将 其与信号源相隔离。

低功耗(1mA/放大器)双通道精密运算放大器AD8634适合此任务,因为其出色的直流和交流特性对传感器信号调理和信号链的其他部分非常有利。虽然AD8634具有轨到轨输出,但输入要求从正供电轨到负供电轨具有300mV裕量。这就使得负电源成为必要,所选负电源为-2.5 V。AD8634提供额定温度为175°C的8引脚SOIC封装和额定温度为210°C的8引脚FLATPACK封装。



图4.ADC前端放大器电路

ADC驱动器与AD7981之间的RC滤波器衰减AD7981输入端注入 的反冲,并限制进入此输入端的噪声带宽。不过,过大的限带可 能会增加建立时间和失真。因此,为该滤波器找到最优RC值很重 要。其计算主要基于输入频率和吞吐速率。

由AD7981数据手册可知,内部采样电容 C_{IN} = 30 pF且 t_{CONV} = 900 ns,因此正如所描述的,对于10 kHz输入信号而言,假定ADC工作在600 kSPS且 C_{EXT} = 2.7 nF,则用于2.5 V基准电压源的电压步进为:

$$V_{STEP} = \frac{2\pi f_{IN} V_{PEAK} t_{CONV} C_{IN}}{C_{EXT} + C_{IN}}$$
$$V_{STEP} = 7.768e - 4 \text{ V}$$

因此,在16位处建立至1/2 LSB所需的时间常数数量为:

$$N_{TC} = \ln\left(\frac{V_{STEP}}{\frac{V_{REF}}{2^{N+1}}}\right) = \ln\left(\frac{7.768e - 4}{\frac{2.5 \text{ V}}{2^{16+1}}}\right) = 3.707$$

AD7981的采集时间为:

$$t_{ACQ} = \left(\frac{1}{f_s}\right) - t_{CONV} = \left(\frac{1}{600 \ kSPS}\right) - 900 \ \text{ns} = 7.67e - 7$$

通过下式可计算RC滤波器的带宽:

$$\tau = \left(\frac{t_{ACQ}}{N_{TC}}\right) = \left(\frac{7.67e - 7}{3.707}\right) = 2.068e - 7$$
$$f_{-3dB} = \left(\frac{1}{2\pi\tau}\right) = 769.5 \text{ kHz} \rightarrow R_{EXT} = 76.6 \Omega$$

这是一个理论值,其一阶近似应当在实验室中进行验证。通过测试可知最优值为 R_{EXT} =85 Ω 和 C_{EXT} =2.7 nF (f_{-3dB} =693.48 kHz),此时在高达175°C的扩展温度范围内具有出色的性能。

在参考设计中,ADC驱动器采用单位增益缓冲器配置。增加ADC 驱动器增益会降低驱动器带宽,延长建立时间。这种情况下可 能需要降低ADC吞吐速率,或者在增益级之后再使用一个缓冲 器作为驱动器。

基准电压源

ADR225 2.5 V基准电压源在时210°C仅消耗最大60 μA的静态电流,并具有典型值40 ppm/°C的超低漂移特性,因而非常适合用于该低功耗数据采集电路。该器件的初始精度为±0.4%,可在 3.3 V至16 V的宽电源范围内工作。

像其他SAR ADC一样, AD7981的基准电压输入具有动态输入 阻抗,因此必须利用低阻抗源驱动, REF引脚与GND之间应有 效去耦,如图5所示。除了ADC驱动器应用, AD8634同样适合 用作基准电压缓冲器。

使用基准电压缓冲器的另一个好处是,基准电压输出端噪声可通 过增加一个低通RC滤波器来进一步降低,如图5所示。在该电路 中,49.9 Ω电阻和47 μF电容提供大约67 Hz的截止频率。



图5. SAR ADC基准电压缓冲器和RC滤波器

转换期间, AD7981基准电压输入端可能出现高达2.5mA的电流尖峰。在尽可能靠近基准电压输入端的地方放置一个大容值储能电

容,以便提供该电流并使基准电压输入端噪声保持较低水平。一 般而言,采用低ESR——10µF或更高——陶瓷电容,但对于高温 应用来说会有问题,因为缺少可用的高数值、高温陶瓷电容。因 此,选择一个低ESR、47µF钽电容,其对电路性能的影响极小。

数字接口

AD7981提供一个兼容SPI、QSPI和其他数字主机的灵活串行数 字接口。该接口既可配置为简单的3线模式以实现最少的I/O数, 也可配置为4线模式以提供菊花链回读和繁忙指示选项。4线模 式还支持CNV (转换输入)的独立回读时序,使得多个转换器可 实现同步采样。

本参考设计使用的PMOD兼容接口实现了简单的3线模式,SDI接 高电平VIO。VIO电压是由SDP-PMOD转接板从外部提供。转接 板将参考设计板与ADI系统开发平台(SDP)板相连,并可通过USB 连接PC,以便运行软件、评估性能。

电源

本参考设计的+5 V和-2.5 V供电轨需要外部低噪声电源。由于 AD7981是低功耗器件,因此可通过基准电压缓冲器直接供电。 这样便不再需要额外的供电轨——节省电源和电路板空间。通 过基准电压缓冲器为ADC供电的正确配置如图6所示。如果逻辑 电平兼容,那么还可以使用VIO。就参考设计板而言,VIO通过 PMOD兼容接口由外部供电,以实现最高的灵活性。



图6. 从基准电压缓冲器为ADC供电

175°C时,整个数据采集解决方案的典型总功耗可计算如下:

ADR225: 30 μA × 5 V = 0.15 mW AD8634: (1 mA × 2个放大器)× 7.5 V = 15 mW AD7981: 4.65 mW @ 600 kSPS

总功耗 = 19.8 mW

IC封装和可靠性

ADI公司高温系列中的器件要经历特殊的工艺流程,包括设计、 特性测试、可靠性认证和生产测试。专门针对极端温度设计特 殊封装是该流程的一部分。本电路中的175°C塑料封装采用一种 特殊材料。 耐高温封装的一个主要失效机制是焊线与焊垫界面失效,尤其是 金(Au)和铝(Al)混合时(塑料封装通常如此)。高温会加速AuAl金 属间化合物的生长。正是这些金属间化合物引起焊接失效,如易 脆焊接和空洞等,这些故障可能在几百小时之后就会发生,如 图7所示。



图7.195°C下500小时后铝垫上的金球焊

为了避免失效,ADI公司利用焊盘金属化(OPM)工艺产生一个金 焊垫表面以供金焊线连接。这种单金属系统不会形成金属间化 合物,经过195℃、6000小时的浸泡式认证测试,已被证明非常 可靠,如图8所示。



图8.195°C下6000小时后OPM垫上的金球焊

虽然ADI公司已证明焊接在195℃时仍然可靠,但受限于塑封材料 的玻璃转化温度,塑料封装的额定最高工作温度仅为175℃。除 了本电路所用的额定175℃产品,还有采用陶瓷FLATPACK封装 的额定210℃型号可用。同时有已知良品裸片(KGD)可供需要定 制封装的系统使用。

对于高温(HT)产品,ADI公司有一套全面的可靠性认证计划,包 括器件在最高工作温度下偏置的高温工作寿命(HTOL)。数据手册 规定,HT产品在最高额定温度下最少可工作1000小时。全面生产 测试是保证每个器件性能的最后一步。ADI高温系列中的每个器 件都在高温下进行生产测试,确保达到性能要求。

无源元件

应当选择耐高温的无源元件。本设计使用175°C以上的薄膜型低TCR电阻。COG/NPO电容容值较低常用于滤波器和去耦应用,其温度系数非常平坦。耐高温钽电容有比陶瓷电容更大的容值,常用于电源滤波。本电路板所用SMA连接器的额定温度为165°C,因此,在高温下进行长时间测试时,应当将其移除。同样,0.1"接头连接器(J2和P3)上的绝缘材料在高温时只能持续较短时间,因而在长时间高温测试中也应当予以移除。对于生产

组装而言,有多个供应商提供用于HT额定连接器的多个选项,比如Micro-D类连接器。

PCB布局和装配

在本电路的PCB设计中,模拟信号和数字接口位于ADC的相对 两侧,ADC IC之下或模拟信号路径附近无开关信号。这种设计 可以最大程度地降低耦合到ADC芯片和辅助模拟信号链中的噪 声。AD7981的所有模拟信号位于左侧,所有数字信号位于右侧, 这种引脚排列可以简化设计。基准电压输入REF具有动态输入阻 抗,应当用极小的寄生电感去耦,为此须将基准电压去耦电容放 在尽量靠近REF和GND引脚的地方,并用低阻抗的宽走线连接该 引脚。本电路板的元器件故意全都放在正面,以方便从背面加热 进行温度测试。完整的组件如图9所示。关于其它布局布线建议, 参见AD7981数据手册。



图9.参考设计电路组件

针对高温电路,应当采用特殊电路材料和装配技术来确保可靠性。FR4是PCB叠层常用的材料,但商用FR4的典型玻璃转化温度约为140°C。超过140°C时,PCB便开始破裂、分层,并对元器件造成压力。高温装配广泛使用的替代材料是聚酰亚胺,其典型玻璃转化温度大于240°C。本设计使用4层聚酰亚胺PCB。

PCB表面也需要注意,特别是配合含锡的焊料使用时,因为这种 焊料易于与铜走线形成铜金属间化合物。常常采用镍金表面处理, 其中镍提供一个壁垒,金则为接头焊接提供一个良好的表面。此 外,应当使用高熔点焊料,熔点与系统最高工作温度之间应有合 适的裕量。本装配选择SAC305无铅焊料,其熔点为217°C,相对 于175°C的最高工作温度有42°C的裕量。

性能预期

采用1kHz输入正弦信号和5V基准电压时,AD7981的额定SNR典型值为91dB。然而,当使用较低基准电压(比如2.5V,低功耗/低电压系统常常如此),SNR性能会有所下降。我们可以根据电路中使用的元件规格计算理论SNR。由AD8634放大器数据手册可知,其输入电压噪声密度为4.2 nV//Hz,电流噪声密度为0.6 pA//Hz。由于缓冲器配置中的AD8634噪声增益为1,并且假定电流噪声计算时可忽略串联输入电阻,则AD8634的等效输出噪声贡献为:

 $\sqrt{(4.2e-9)^2 + 0 \times (0.6e-12)^2} = 4.2 \text{ nV}/\sqrt{\text{Hz}}$



图10.特性测试设置

RC滤波器之后的ADC输入端总积分噪声为:

$$\left(\frac{1}{2\pi(85)(2.7e-9)}\right)$$
4.2 nV/ $\sqrt{\text{Hz}} \times \sqrt{(693.48e3 \times \frac{\pi}{2})} = 4.38 \ \mu\text{V rms}$

AD7981的均方根噪声可根据数据手册中的2.5 V基准电压源典型 信噪比(SNR, 86 dB)计算得到。

$$e_{\text{AD7981}} = 10^{\left(-\frac{\text{SNR}}{20}\right)} \times V_{signal-rms} =$$

 $10^{\left(-\frac{86}{20}\right)} \times 0.884 \text{ V} = 44.3 \text{ }\mu\text{V} \text{ rms}$

整个数据采集系统的总均方根噪声可通过AD8634和AD7981噪声源的方和根(RSS)计算:

$$V_{\text{noise-rms}} = \sqrt{(4.38e - 6)^2 + (44.3e - 6)^2}$$

 $= 44.51 \ \mu V \ rms$

因此, 室温(25°C)时的数据采集系统理论SNR可根据下式近似 计算:

$$SNR = 20 \times \log\left(\frac{V_{signal} - rms}{V_{noise} - rms}\right)$$
$$= 20 \times \log\left(\frac{0.884 \text{ V}}{44.51 \text{ }\mu\text{V} \text{ }rms}\right) = \sim 86 \text{ dB}$$

测试结果

电路的交流性能在25°C至185°C温度范围内进行评估。使用低 失真信号发生器对性能进行特性化很重要。本测试使用Audio Precision SYS-2522。为了便于在烤箱中测试,使用了延长线, 以便仅有参考设计电路暴露在高温下。测试设置的功能框图如 图10所示。

由前文设置中的计算可知,室温下我们期望能达到大约86 dB的 SNR。该值与我们在室温下测出的86.2 dB SNR相当,如图11中 的FFT摘要所示。



图11.1 kHz输入信号音、580 kSPS、25°C时的交流性能

评估电路温度性能时,175°C时的SNR性能仅降低至约84 dB, 如图12所示。THD仍然优于-100 dB, 如图13所示。本电路在175°C时的FFT摘要如图14所示。



图12. SNR随温度的变化[1 kHz输入信号音、580 kSPS]



图13. THD随温度的变化(1 kHz输入信号音、580 kSPS)



图14.1 kHz输入信号音、580 kSPS、175°C时的交流性能

小结

本文中,我们提供了一个新的高温数据采集参考设计,表述了 室温至175°C温度范围内的特性。该电路是一个完整的低功耗 (<20 mW)数据采集电路构建块,可获取模拟传感器输入、对其 进行调理,并将其数字化为SPI串行数据流。这款参考设计现 成可用,可方便设计人员进行测试,包含全部原理图、物料清 单、PCB布局图、测试软件和文档。

有关此参考设计的更多信息,请访问analog.com/cn/CN0365。有关ADI高温产品组合的更多信息,请访问analog.com/hightemp。

参考文献

Arkin、Michael、Jeff Watson、Michael Siu和 Michael Cusack. "用于极高温度环境的精密模拟信号调理半导体。"高温电子网络汇刊2013。

AD7981。

Digilent Pmod规格。

Harman, George. 微电子的线焊。McGraw Hill, 2010年2月。

Phillips, Reggie等人。"适合深井应用的高温陶瓷电容。" CARTS 2013 国际会议论文集。2013年3月。Houston, TX.

Siewert, Thomas, Juan Carlos Madeni和Stephen Liu. 电子制造 业APEX研讨会论文集无铅焊料和铜基体之间界面的金属间化合 物的形成和生长。Anaheim, California. 2003年4月。

Walsh, Alan. "精密SAR模数转换器的前端放大器和RC滤波器设计"模拟对话,第46卷第4期,2012年。

Walsh, Alan. "精密逐次逼近型ADC的基准电压源设计"模拟对 话, 第47卷第2期, 2013年。

Watson, Jeff和Gustavo Castro。"高温电子器件给设计和可靠性带来挑战"模拟对话,第46卷第2期,2012年。

Zedníček, Tomas, Zdeněk Sita, and Slavomir Pala. 适用于扩展 工作温度范围的钽电容技术。

Jeff Watson [jeffrey.watson@analog.com] 是ADI公司仪器仪表、航空航天与 国防业务部门的系统应用工程师,致力于高温应用。加入ADI公司之前,他是地 下石油和天然气仪器仪表行业以及非公路用车仪器仪表/控制行业的一名设计工 程师。他拥有宾州州立大学的电气工程学士和硕士学位。



Jeff Watson

该作者的其它文章: 高温电子设备对设计和 可靠性带来挑战 第46卷,第2期

Maithil Pachchigar

该作者的其它文章:

射频到比特流解决方案可为 材料分析应用提供精密的相 位和幅度数据

第48卷,第4期

Maithil Pachchigar [maithil.pachchigar@analog.com] 是ADI公司麻萨诸塞州威明 顿市仪器仪表、航空航天与国防业务部门的应用工程师。他于2010年加入ADI公 司,致力于仪器仪表、工业、医疗保健和能源行业的精密ADC产品组合。自2005 年以来,Maithil一直在半导体行业工作,并已发表多篇技术文章。他于2006年 获得圣何塞州立大学电气工程硕士学位,并于2010年获得硅谷大学MBA学位。

分析、优化和消除带VCO的锁相环在高达 13.6 GHz处的整数边界杂散

作者: Robert Brennan

锁相环(PLL)和压控振荡器(VCO)输出特定频率的RF信号,理想情况下此信号应当是输出中的唯一信号。但事实上,输出中存在干扰杂散信号和相位噪声。本文讨论最麻烦的杂散信号之一——整数边界杂散——的仿真与消除。

仅可工作在鉴频鉴相器参考频率整数倍的PLL和VCO组合(PLL/ VCO)称为整数N分频PLL。具有更精细频率步进的PLL/VCO称 为小数N分频PLL。小数N分频PLL/VCO灵活性更高,使用更 广。小数N分频PLL能以参考速率调制PLL中的反馈路径,从而 实现该目标。小数N分频PLL/VCO相比鉴相器参考频率虽然具 有更为精细的频率步进,但它会产生称为整数边界杂散(IBS)的 杂散输出。整数边界杂散发生在PLL鉴频鉴相器参考(或比较)频 率(f_{PFD})的整数倍(1、2、3 …20、21 …)之处。例如,假设f_{PFD} = 100 MHz,则整数边界杂散将位于100 MHz、200 MHz、300 MHz … 2000 MHz、2100 MHz。在所需VCO输出信号为2001 MHz的系统中,IBS将位于2000 MHz——相比所需信号偏移 1 MHz。由于PLL系统的有效采样,这种偏移1 MHz的IBS混叠 至所需信号的两侧。因此,当所需输出为2001 MHz时,杂散信 号将位于2000 MHz和2002 MHz。

整数边界杂散不受欢迎的两个主要原因:

- 如果它们距离载波(期望信号)频偏小,则IBS功率会对相位噪声
 积分产生贡献。
- 如果它们距离载波(期望信号)频偏大,则IBS将调制/解调相邻
 通道至目标通道,导致系统失真。

在某些系统中,高整数边界杂散会导致部分输出通道无法使用。 如果某个系统在特定频谱带宽内有1000个通道,并且10%通道内 的杂散信号高于某个功率水平,那么这100个通道可能无法使用。 在频谱带宽成本高昂的协议中,如果有10%的通道不可用,那么 这将是一种浪费。

当整数边界离开目标输出频率而落在PLL带宽内的时候,整数边 界杂散最强。也就是说,如果输出频率为2000.01 MHz,并且环 路带宽为50 kHz,则IBS最大。随着输出频率远离整数边界,IBS 功率也随之以可计算和可重复的形式下降。ADI公司的全新免费 仿真器——ADIsimFrequencyPlanner[™]——采用这种可预测的特 性来精确仿真整数边界杂散功率(及其它)。

图1显示了最差情况下的整数边界杂散功率,此时各输出频率范 围为1900 MHz至2150 MHz (1 MHz步进频率)。可以看到,在 2001 MHz时,最差情况IBS功率为-70 dBc(载波功率以下70 dB)。 在2000 MHz处没有IBS,因为输出频率落在整数边界上。IBS功 率随着载波远离整数边界而下降,直到载波开始接近下一个整 数边界。

落在两个整数边界(图1中的2049 MHz和2051 MHz)之间的一半 处的杂散信号,属于二阶整数边界杂散。二阶整数边界杂散出现 在整数边界之间的一半位置。通常情况下,二阶IBS比一阶IBS低 10 dB至20 dB。ADIsimFrequencyPlanner可以仿真一阶、二阶、 三阶、四阶和五阶整数边界杂散。



图1.1900 MHz至2150 MHz范围内各输出频率的最差情况整数边界杂散 功率(1 MHz频率步进; 100 kHz环路带宽; HMC830)

假设某个调制方案声明整数边界杂散功率高于-80 dBc的通道不可用,那么,图1中大约有10%的通道将不再可用。为了解决这个问题,ADIsimFrequencyPlanner可以优化PLL/VCO配置以便降低(并且在大多数情况下消除)整数边界杂散。前文提到整数边界杂散发生在PFD频率的整数倍之处,并且在靠近载波频率时最大。如果可以改变PFD频率,使PFD频率的整数倍落在足够大的载波频率偏移频率处,那么IBS功率将下降至不会产生问题的水平。这就是ADIsimFrequencyPlanner算法所做的事情——ADIsimFrequencyPlanner计算一阶到五阶整数边界杂散的相对功率,并找到最优解决方案,使VCO输出的整数边界杂散最低。

如何改变PFD频率?一般而言,在PLL/VCO系统中,PFD频率 是固定的。然而,对于大部分可编程时钟分配源、PLL参考输入 分频器和PLL小数N分频调制器架构来说,现在可以轻松改变每 个输出通道的PFD频率了。

在推荐的解决方案中,我们采用新型时钟生成和分配芯片 HMC7044。HMC7044具有14个超低噪声输出,每个输出均集 成可编程分频器。通过将这些输出之一连接到PLL参考输入,然 后对输出分频器按需进行编程,则参考频率阵列便可用于PLL。

HMC7044是时钟分配系统,可用于针对ADC、DAC和其它系统 元件采用多种同步时钟的应用。无需那么多输出的较简单应用可 以使用更为简单的替代方案,比如HMC832或ADF4351——这两 款器件均为集成式PLL和VCO芯片。

然后,在PLL参考输入端,参考输入分频器(R分频器)可按需编 程,将可用参考频率阵列分为更大的PFD频率阵列(PFD频率是 R分频器输出端的频率)。多亏了PLL内置的高阶小数N分频调制 器,改变PFD频率不会妨碍得到所需的输出频率。此外,PLL的 可编程电荷泵电流可用来补偿PFD频率的变化,因此可以保持 恒定环路带宽。



图2. PFD频率选择框图

示例:

f _{PFD} (MHz)	N	I _{CP}	$f_{PFD} \times N = RF_{OUT} (MHz)$	注释
100	20.01	2.08	2001	IBS
				(±1 MHz
				时)
75	26.68	1.88	2001	IBS
				(±24 MHz
				时)

其中:

I_{CP} = 可编程电荷泵电流

f_{PFD} = PLL PFD频率;

N=PLL小数N分频值;

R_{FOUT} = VCO输出频率/载波频率/目标信号

可编程电荷泵电流的变化方向与PFD频率相反——PFD频率增加则电荷泵电流下降。这是为了保持环路滤波器的动态恒定。

使用ADIsimFrequencyPlanner时,用户输入所需的输出频 率范围、步进大小、PFD频率和参考频率限制条件,以及环 路滤波器参数。用户还可选择可用的时钟发生器输出分频器 和PLL参考输入分频器。随后,ADIsimFrequencyPlanner 逐一对目标频率进行分析,并根据可用PFD频率阵列计算最 优PFD频率。然后,ADIsimFrequencyPlanner将所需的分频 器设置和电荷泵电流返回至用户。数据可轻松导出至查找表 中,供最终应用的固件读取,然后相应编程HMC7044和PLL/ VCO。ADIsimFrequencyPlanner还可生成一系列照片,向用户 显示发生了什么。 在图3中,用户使用了与图1相同的配置,不同的是这次PFD频率 通过改变HMC7044输出分频器和PLL参考输入分频器而优化。未 优化的仿真如图中灰色部分所示,供对比。



图3. 与图1相同的输出配置,不过这次优化了PFD频率

由图3可见,在输出范围内(1900 MHz至2150 MHz,1 MHz步进), 所有整数边界杂散现在都低于-95 dBc。这表示性能有了大幅提 升,并且目标输出有极高的百分比具有相同的高质量。

将ADIsimFrequencyPlanner应用到宽带VCO

在测量ADIsimFrequencyPlanner精度和有效性的实验中,将部分ADI高性能器件放在一起,并在实验室中进行评估。该实验需要用到下列器件:

- HMC7044时钟生成和分配:
 - 高达3.2 GHz输出。
 - 符合JESD204B标准。
 - 超低噪声(抖动低于50 fs, 12 kHz至20 MHz)。
 - -142 dBc/Hz(偏移983.04 MHz输出800 kHz)。
 - 16个可编程输出。
- 集成式PLL和VCO ADF5355:
 - 55 MHz至13.6 GHz输出。
 - 5 mm × 5 mm LFCSP封装。
 - -138 dBc/Hz (1 MHz偏移、3.4 GHz输出)。
- 超低噪声PLL HMC704:
 - RF输入高达8 GHz。
 - 100 MHz最大PFD频率。
 - -233 dBc/Hz归一化相位噪底。

虽然ADF5355内部集成PLL,但是使用HMC704从外部锁定 ADF5355 VCO。这样做有两个主要好处:

- 总相位噪声得益于ADF5355业界领先的VCO相位噪声性能, 以及得益于HMC704业界领先的PLL相位噪声性能。
- 2. 隔离VCO和PLL可减少干扰信号耦合,从而降低杂散信号的功率。

ADIsimFrequencyPlanner用来优化4800 MHz至6300 MHz范围 的输出,步进为250 kHz (6000次步进)。在每个步进处,最优分 频器设置(因而PFD频率也最优)和电荷泵电流编程至HMC7044、 ADF5355和HMC704。一旦器件编程并产生步进,频谱分析仪便 测量载波功率、一阶和二阶整数边界杂散的功率。频谱分析仪采 用极为狭窄的频率范围和分辨率带宽——即便如此,在大部分通 道中仅测量噪声,因为整数边界杂散功率低于仪器的噪底。

以下测量为PFD频率限制在60 MHz至100 MHz范围内的时候测得。环路带宽和相位裕量分别为17 kHz和49.6°。

图4显示了HMC7044、ADF5355和HMC704解决方案的测量和 仿真结果。

- 仿真和测量6000个输出通道。
- 大部分整数边界杂散都在-120 dBc附近仿真。这低于频谱分析 仪的噪底,因而仅测量噪声。
- 大部分频率的杂散低于-100 dBc! 典型要求是-70 dBc至-80 dBc。
- 优化不改进IBS的唯一区域是低于2 MHz宽的部分,并且发生 在2 × HMC7044主机时钟处——在该频率下,没有任何分频 器组合可以改善IBS性能。下文提供替代解决方案。





它大部分频率处,测量受限于频谱分析仪的噪底。

只有在一个非常窄的频率范围内,优化PFD频率才无法改善IBS 性能。该频率范围是系统主时钟的两倍(本例中为2949.12 MHz × 2 = 5898.24 MHz)。在此频率下,如果应用可行的话,建议将 载波频率转换至附近更为干净的频率,然后将基带频率转换至数 字(NCO)以补偿。例如,载波频率偏移2 MHz,然后将数字基带 频率偏移2 MHz以补偿。此外,如果系统可行的话,可改变主机 时钟频率,创造干净的输出频率。

如果采用上述较为简单的解决方案(使用HMC832或ADF4351而非 HMC7044),那么就不会产生任何有问题的频率!

由图4可以看出, ADIsimFrequencyPlanner可以:

- 精确仿真整数边界杂散。
- 成功优化参考源和PLL/VCO系统,以便实现出色的整数边界杂 散性能。
- 这样可以在某个范围内使更多通道可用,从而提升昂贵频谱的 成本价值。
- 快速仿真宽频率范围。如进行手动处理的话,可能需要数天或数周。上文中的6000个步进在ADIsimFrequencyPlanner中处理只需花不到1分钟的时间。

资源

ADF5355。 ADIsimFrequency Planner。 HMC704。 HMC7044。

致谢

Mark Cloutier, ADI RF和微波部门高级科学家。Don Young, ADI RF和微波部门应用经理。

Robert Brennan [robert.brennan@analog.com] 毕业于爱尔兰利默里克大学,拥有 电子工程学士学位,并于2010年加入ADI公司。Robert在ADI公司利默里克办公室工 作了数年,之后重新分配到美国办公室,目前担任RF和微波部门的高级应用工程师, 工作地点在马萨诸塞州。他主要研究PLL、VCO和集成式PLL/VCO。在ADI中文技术论 坛社区中与Robert互动: https://ez.analog.com/people/rbrennan。



Robert Brennan

交错ADC揭秘

作者: Gabriele Manganaro和Dave Robertson

时间交错技术可使用多个相同的模数转换器¹(ADC),并以比每一 个单独数据转换器工作采样速率更高的速率来处理常规采样数据 序列。简单说来,时间交错(IL)由时间多路复用M个相同的ADC 并联阵列组成,如图1所示。这样可以得到更高的净采样速率 f_s (采样周期 $T_s = 1/f_s$),哪怕阵列中的每一个ADC实际上以较低的 速率进行采样(和转换),即 f_s/M_s 因此,举例而言,通过交错四 个10位/100 MSPS ADC,理论上可以实现10位/400 MSPS ADC。

为了更好地理解IL原理,图1中一个模拟输入 $V_{IN}(t)$ 以M个ADC 进行采样,其结果为组合数字输出数据序列 D_{OUT} 。ADC₁最先采 样 $V_{IN}(t_0)$ 并开始将其转换为n位数字信号。 T_s 秒后,ADC₂将采样 $V_{IN}(t_0 + T_s)$ 并开始将其转换为n位数字信号。接着, T_s 秒后,ADC₃ 将采样 $V_{IN}(t_0 + 2T_s)$,以此类推。ADC_M完成 $V_{IN}(t_0 + (M-1) \times T_s)$ 采 样后,开始下一个采样周期,并从ADC₁采样 $V_{IN}(t_0 + M \times T_s)$ 开 始,依次进行下去。

由于ADC顺序输出n位数据且输出顺序与刚才描述的采样操作顺 序一致,这些数字n位字由同一张图右侧的解复用器所采集。这 里获取的是重新组合的数据输出序列 $D_{our}(t_0 + L)$, $D_{our}(t_0 + L + T_s)$, $D_{our}(t_0 + L + 2T_s)$, ... 。L表示每一个单独ADC的固定转换时 间,而该重新组合的数据序列是一个n位数据序列,采样速率为 f_{so} 因此,虽然各个ADC(通常称为"通道")为n位ADC且采样速 率为 f_s 的单个n位ADC,而我们将其 称为时间交错ADC(与通道相区别)。输入本质上是分隔开的,并 由阵列中的ADC单独处理,然后在输出端连续重组,以便构成输 入 V_{IN} 的高数据速率表示 D_{our} 。

1虽然此处讨论的是模数转换器,同样的原理适用于时间交错数模转换器。



这种强大的技术在实际使用时存在一些难题。一个重要的问题是 来自通道的M数据流经过数字组装后重构原始输入信号V_{IN}。如 果我们看一下频谱D_{OUT},除了看到V_{IN}的数字信号以及模数转换 引入的失真,我们还将看到额外的和大量的杂散成分,称为"交 错杂散"(或简称为IL杂散),IL杂散既没有多项式类型失真的签 名——比如较高次信号谐波(2次,3次,等等)——也没有量化或 DNL误差签名。IL伪像可视为时域固定码噪声的一种形式,由通 道中的模拟损害引起,因为在交错过程中采用分隔转换信号进行 调制并出现在最终的数字化输出D_{OUT}。

让我们分析一个简单的示例,了解可能会发生什么情况。考虑频 率 f_{IN} 下正弦输入 V_{IN} 的双路交错ADC情况。假定ADC₁具有增益G₁, ADC₂具有差分增益G₂。在这种双路ILADC中,ADC₁和ADC₂将 交替采样 V_{IN} 。因此,如果ADC₁转换偶数样本,而ADC₂转换奇数 样本,则所有 D_{OUT} 偶数数据的幅度都将由G₁设置,而所有 D_{OUT} 奇 数数据的幅度都将由G₂设置。然后, D_{OUT} 不仅包含 V_{IN} ,还包括 一些多项式失真,但它受到G₁和G₂的交替放大,就好像我们采用 频率为 f_s /2的方波对 V_{IN} 进行幅度调制。这样做会引入更多杂散成 分。特别地, D_{OUT} 在 f_s /2 - f_{IN} 频率处会包含"增益杂散";并且 不幸的是,该杂散的频率会跟踪输入 f_{IN} ,且位于交错ADC的第 一条奎斯特频段内(即在 f_s /2内),而在所有其它奈奎斯特频段内也 会存在混叠。该交错杂散的功率/幅度取决于两个增益G₁和G₂之 间的净差。换言之,它取决于增益误差失配²。而最终,它取决 于输入 V_{IN} 自身的幅度。

² 注意,重要的是增益误差失配,而非其绝对值。因为如果两个通道具有相同的增益(误差),那么G1=G2。这种情况下,两个通道调高程度相同,因此两个数据流重新组合为单个D_{OUT}数据流,且无交替幅度(或调制),并且没有引入增益杂散。



图1. M次交错的n位ADC阵列 每一个ADC的采样速率为f。/M,得到的时间交错ADC采样速率为f。。M=4的时钟方案示例在该图下半部分显示。

如果输入并非简单正弦波,而是真实应用中的全频带限幅信号, 那么"增益杂散"就不只是干扰音了,而是频带限幅输入信号自 身的完整调节镜像,出现在奈奎斯特频段内。这在一定程度上抵 消了交错带来的带宽增加的优势。

虽然上例中我们仅考虑了通道间的增益误差失配,其它损害也会 引起交错杂散。失调失配(通道失调之间的差)引起固定频率的信 号音("失调杂散"),功率与失调失配成正比³。当某些通道比预 定顺序更早或更晚采样某位时,便发生采样时间偏斜。它会引入 "时间杂散",其频率与增益杂散完全一致(并叠加同样的幅度)⁴, 但功率会随着*f*_{IN}的增加以及输入幅度的增加而不断加强。各通 道之间的带宽失配会引入更多的杂散成分,频率取决于*f*_{IN},并 且正如时间杂散,杂散功率不仅随着输入幅度,而且还会随着 *f*_{IN}自身而逐步增加。再次强调,无论何种情况,输出频谱下降 的程度并不取决于通道损害的绝对值(失调、增益、时序、频段), 而是取决于通道之间的相对失配或通道之差。

虽然时间交错的基本技术存在已有几十年,但IL可在何种程度上 保持最小化则将其过去的适用性限制于低分辨率转换器。然而, 最近在通道失配校准方面以及抑制残留IL杂散成分方面的进步已 经可以实现全集成、极高速、12/14/16位IL ADC。

这种情况下,我们需要对交错进行分类。我们一般将两个交错通 道称为"乒乓"工作。然后,当我们描述较少通道数的情况(比如 3通道至4通道),以及大量通道的情况时(比如超过4个通道,通常 达到8个或更多),我们还区分了"轻度交错"和"重度交错"。

乒乓(双路)交错

当我们只是交错两个通道以便使采样速率翻倍时,我们将其称 为"乒乓",如图2(a)中的框图所示。这是一种最简单的情况, 它有一些有趣和有用的特性。这种情况下,在交错ADC的第一奈 奎斯特频段内,交错杂散位于直流、f₃/2和f₃/2-f₁₀处。因此,如果 输入信号V₁₀是一个对中至f₁₀的窄带信号——如图2(b)中的第一奈 奎斯特输出频谱所示——交错杂散包含直流处的失调杂散、f₃/2处 的另一个失调失配杂散以及对中至f₃/2-f₁₀的增益和时序杂散镜像, 看上去就像输入自身的一个放大复制版本。

如果输入信号V_{IN}(f)完全位于0和f_s/4之间——如图2(b)所示——那 么交错杂散不与数字化输入频率重叠。此时,坏消息是我们只能 数字化半个奈奎斯特频段,就好比只有一个时钟为f_s/2的单通道, 虽然我们依旧消耗至少两倍于该单个通道的功耗。奈奎斯特频 段上限的交错杂散镜像可在数字化之后通过数字滤波手段抑制, 无需进行模拟损害校正。

但好消息是由于乒乓ADC时钟为f_s,数字化输出得益于动态范围 内的3 dB处理增益。此外,与使用时钟为f_s/2的单个ADC相比, 乒乓ADC放宽了抗混叠滤波器设计要求。



图2. (a)乒乓方案 (b)窄带输入信号位于f₂/4以下时的输出频谱 (c)此时 输入信号位于f₂/4和奈奎斯特频率f₂/2之间。

如果窄带信号位于第一奈奎斯特频段的上半部,则所有考虑因 素都适用,如图2(c)所示,因为交错镜像杂散移至奈奎斯特频段 的下半部分。再次强调,增益和时序杂散可在滤波数字化之后 通过数字手段抑制。

最后,输入信号和交错杂散的频率将会重叠,并且一旦输入信号 频率位置跨过f_o/4线,交错镜像就会破坏输入频谱。这种情况下, 恢复所需输入信号将是不可能的,而乒乓方案不可用。当然,除 非通道间匹配足够紧密,使得交错杂散成分对于应用来说达到可 以接受的低程度,或者引入校准来降低导致LL镜像的原因。

总之,频率规划和某些数字滤波可以恢复乒乓方案中的窄带数字 化输入,哪怕存在通道失配。虽然转换器功耗相比使用单个时钟 为f_/2的ADC时基本翻了个倍,但乒乓方案提供了3 dB处理增益, 同时放宽了抗混叠要求。

³ 一般而言,对于M个通道交错,失调杂散发生在 $f_{os} = (k/M) f_s$, k = 0,1,2,... (Manganaro, 2011年)。

⁴ 一般而言,对于M个通道交错,增益和时序偏斜镜像发生在 $f_{GS} = \pm f_{IN} + (k/M) f_S$, k = 1,2,... (Manganaro, 2011年)。

采用乒乓方案并且无任何通道失配校正的一个示例,以及其产 生的交错杂散见图3。在该例中,两个双通道14位/1 GSPS ADC AD9680以交替乘以正弦波的速率进行采样,从而返回单个组合 输出数据流,速率为2 GSPS。当我们查看该乒乓方案输出频谱的 第一奈奎斯特频段时(位于直流和1 GHz之间),可以看到输入音, 它是 f_{IN} = 400 MHz时位于左侧的强音,我们还能看到在 $f_{s}/2 - f_{IN}$ = 2G/2 - 400 M = 600 MHz处有较强的增益/时序失配杂散。由于 通道本身的失真以及其它损害,我们还能看到一系列其它信号 音,但都低于-90 dB线。



图3. 乒乓方案的2GSPS输出数据组合频谱,采用两个AD9680在 1 GSPS时钟下获取,采样相移为180°。

更高次交错

当具有两个以上通道时,上文所说的频率规划就不那么实用了。 我们无法将交错杂散的位置限定在奈奎斯特频段的某一小部分。 比如考虑四路交错ADC的情况,如图4(a)所示。此时,失调失 配会提高直流、 $f_s/4 n f_s/2$ 时的信号音,而增益和时序交错镜像位 于 $f_s/4 - f_{IN}$ 、 $f_s/4 + f_{IN} n f_s/2 - f_{IN}$ 。交错ADC输出频谱的一个示例 请参见图4(b)。很明显,除非输入位于 $f_s/8$ 以内的带宽之内,否 则无论 f_{IN} 的位置如何,输入都会与部分交错杂散重叠,并且如 果输入是一个极端窄带信号,那么我们不应当尝试使用宽带交 错ADC将其数字化。

在这种情况下,我们需要最大程度降低IL杂散功率,以便获得完整的奈奎斯特频谱和更干净的频谱。为了达到这个目的,我们使用校准技术来补偿通道间失配。校正失配的影响后,最终的IL杂散功率会下降。SFDR和SNR都会得益于该杂散功率的下降。

补偿方法受限于失配可测量并最终校正的精度。除了校准所能达 到的水平外,为了进一步抑制残留杂散,还可间歇性随机打乱通 道输入采样的顺序。这样做之后,前面讨论的由于未校准失配而 产生的转换输入信号调制效果将从固定码噪声转换为伪随机噪声。 因此, L1音和干扰周期码转换为伪随机噪声类成分,并叠加至转 换器量化噪底而消失,或者至少将干扰杂散镜像和信号音加以扩散。此时,与IL杂散成分有关的功率叠加至噪底功率。因此,虽然改善了失真,但SNR可能下降,下降量为IL杂散功率加上噪声。SNDR (SINAD)基本上没有变化,因为它由失真、噪声和随机化组成,它只是将IL贡献因素从一个成分(失真)转移到另一个成分(噪声)。



图4. (a)四路交错ADC (b)对应显示交错杂散的第一奈奎斯特输出频谱

让我们来看几个交错ADC的示例。AD9625是一个12位/2.5 GSPS 三路交错ADC。对三个通道之间的失配进行校准,以便最大程度 减少交错杂散。图5(a)所示是一个输入接近1 GHz的输出频谱示 例。在该频谱中,除了约为1 GHz的输入音外,还可以看到通道 在500 MHz附近存在2次和3次谐波失真,并在基频处存在4次谐波 失真。交错失配校准可大幅降低交错杂散的功耗,并且在整个频 谱中可以看到大量的额外残留的较小杂散音。

为了进一步减少这些残留杂散成分,引入了通道随机化。加入了 第四个校准通道,然后将四个通道变为三路交错,并通过间歇 性将交错通道与第四个更换,实现随机改变顺序。这就好比人们 可以像耍杂技那样将三根柱子投向空中,然后每一次都更换第四 根。这样做之后,可使残留交错杂散功率随机化,然后扩散到噪 底。如图5(b)所示,经过通道随机化之后,交错杂散几乎消失了, 而噪声功率却只略为增加,因而SNR降低2dB。当然,需要注意 的是,虽然图5(b)中的第二个频谱比失真音远为干净,但随机无 法影响2次、3次和4次谐波,因为这些谐波不是交错杂散。



图5. AD9625的输出频谱,时钟为2.5 GSPS,输入音接近1 GHz。(a)顺 序三路交错;SNR=60 dBFS,SFDR=72 dBc,受限于3次谐波,接近 500 MHz;然而,整个频谱中可见大量交错杂散。(b)三路交错,随机通 道置乱;SNR=58 dBFS,而SFDR=72 dBc依然由3次谐波决定,通过 将功率扩散到噪底而消除了所有交错杂散。

使用通道随机化的另一个交错ADC示例如图6中的频谱所示。此 时采用四路交错16位/310 MSPS ADC AD9652。图6示例中,四个 通道以固定顺序交错,并且不进行任何减少通道失配的校准。频 谱清楚表明交错杂散位于预计频率位置,且它们的大功率远高于 2次和3次谐波,并将无杂散动态范围限制为仅有57 dBc。

然而,如果同样的ADC经过前景校准以便减少通道失配,那么 交错杂散功率将会大幅下降,如图7所示。与上例中的情况类似, 通道谐波失真不受影响,但通过通道失配校准大幅降低了交错 杂散功率。 最后,图7中的频谱纯度可得到进一步改善,方法是使通道顺序 随机化,如图8所示。此时,随机化使用专利技术,对四个通道 的顺序进行间歇性加扰无需通过另一个(第五个)通道来达成,从 而省下了与此相关的功耗。如图8所示,经过随机化之后,结果 频谱中仅有常规谐波失真。



图6. AD9652的输出频谱,时钟为f_s = 310 MHz,采用f_{IN} ~ 70 MHz的 正弦输入。此时,未施加通道校准和随机化。2次(HD2)和混叠3次 (HD3)谐波分别在大约140 MHz和100MHz处可见。交错(IL)杂散同样 可见。这些是直流、f_s/2(图中的OS2)以及f_s/4(图中的OS4)处的失调 音。另外,增益(时序)杂散可见于f_s/2 - f_{IN}(图中的GS2)、f_s/4 + f_{IN} (图中的GS4+)以及f_s/4 - f_{IN}(图中的GS4-)。此图中的SNB查询人为变 差了,因为部分杂散成分和噪声功率混在了一起。



图7.同一个AD9652的输出频谱,采用同样的输入,但经过校准后四个 通道减少了失配。与图6相比,虽然2次和3次谐波未受影响,但交错 杂散的功率大幅下降,并且SFDR改善了30dB,即从57dBc到87dBc。



图8. 上例开启交错顺序随机化之后的输出频谱。随机化残留交错杂 散可将它们的功率扩散到噪底中,相应的尖峰便消失了。可以看到 的仅有常规谐波失真。SNR几乎未受影响,因为来自交错音并扩散 的杂散功率经过失配校准后可以忽略。

结论

时间交错是增加数据转换器带宽的强大技术。最近在失配校准方面,以及通过随机化技术消除残留杂散成分方面的发展已经能够 实现完全集成、极高速12/14/16位交错ADC。

在输入信号受频带限制的情况下(比如很多通信应用),乒乓(双路) 交错方法可通过频率规划将干扰交错杂散分配到远离目标输入频 段的位置。然后便可以数字手段过滤杂散成分。虽然这种方法相 比工作在IL采样速率一半的非交错式ADC获得同样的无杂散输入 带宽所需的功耗要高出几乎一倍,但它不仅可以通过处理增益提 高动态范围3 dB,而且还能降低抗混叠的滚降,并修平ADC前的 滤波器——因为IL采样速率高。 若需要用到IL转换器的全部输入频带才能捕捉宽带输入信号,那 么可以采用更高次的交错转换器。这种情况下,校准和随机置乱 可实现交错失真和杂散成分的补偿和消除。

致谢

作者感谢以下人员提供的部分经验性结论: Siddharth Devarajan、Prawal Shrestha、Antony DeSimone、Ahmed Ali、Umesh Jayamohan和Scott Bardsley。

参考文献

Ian Beavers, "千兆采样ADC通过快速运行应对新挑战", ADI 公司, 2014年。

William Black和David Hodges, "时间交错转换器阵列", *IEEE Journal of Solid-State Circuit*,第SC-15卷第6期,1980年。 Duncan Bosworth, "GSPS数据转换器拯救电子监控与对抗系 统",ADI公司,2014年。

Jonas Elbornsson、Fredrik Gustafsson和Jan-Erik Eklund, "分析随机交错ADC系统中的失配影响", *IEEE Transactions on Circuits and Systems*, 第52卷第3期, 2005年。

Jonathan Harris, "深入了解交错式ADC的本质", EDN Network, 2013年。

Jonathan Harris, "交错式ADC入门", *EDN Network*, 2013年。 Manganaro, Gabriele. *Advanced Data Converters*. Cambridge, UK: Cambridge University Press, 2011.

Gabriele Manganaro [gabriele.manganaro@analog.com] 拥有意大利卡塔尼亚大学工程博士 和哲学博士学位。他于1994年开始为ST Microelectronics和德州农工大学做研究。他曾负责 Texas Instruments、Engim Inc的数据转换器IC设计,并曾担任National Semiconductor设计总 监。Gabriele从2010年开始担任ADI公司高速转换器部门工程总监。他曾连续7年为ISSCC数据转 换器的技术小组服务。他曾分别担任IEEE Transactions on Circuits and Systems(第一部分)的联 合编辑、副主任编辑和主任编辑。他撰写/合作撰写了60篇论文、三本书、拥有13项美国专利,以 及更多的申请中专利。他是IEEE的高级成员(自2003年开始),以及IET的成员(自2009年开始)。



Gabriele Manganaro

David H. Robertson

David H. Robertson [david.robertson@analog.com] 于1985年加入ADI公司的数据转换器部门。他 拥有各种互补双极性、BiCMOS和CMOS工艺高速数模转换器和模数转换器的工作经验。他曾担任产 品工程师、设计工程师和产品线总监,并曾与美国、爱尔兰、韩国、日本和中国的产品开发团队合 作过。Dave目前是ADI公司高速转换器部门的产品和技术总监。

Dave拥有15项转换器和混合信号电路方面的专利,参加过两次"最佳小组"国际固体电路会议晚 间小组会话,是荣获《IEEE固体电路杂志》1997最佳论文奖的论文的合著者。他在2000年到2008 年期间曾为ISSCC技术项目委员会服务,并在2002到2008年期间担任模拟和数据转换器小组主席。

零漂移放大器:现可轻松用于高精度电路中

作者: Vicky Wong和Yoshinori Kusuda

顾名思义,零漂移放大器是指失调电压漂移非常接近于0的放大器。它使用自稳零或斩波技术(或兼而有之),并随时间和温度连续自校正直流误差。这使得放大器能够实现μV级失调和极低的失调漂移。因此,它尤为适用于高增益和高精密性能的信号调理 电路中。例如,传感器(比如温度、压力或称重传感器)一般产生低 电平输出电压,因此需要一个放大器来放大信号,同时不应引入 更多误差。零漂移放大器针对超低失调电压和漂移、高共模抑制、 高电源抑制以及更低的1/f噪声而设计,是在高要求系统应用中(比 如检测应用)实现高分辨率的理想选择,具有较长的产品生命周期。

零漂移放大器的基本架构

图1显示了基本斩波放大器(单位增益配置)的电路图。直流增益 路径包括输入斩波开关网络(CHOP_{IN})、第一跨导放大器(Gm1)、 输出斩波开关网络(CHOP_{OUT})、第二跨导放大器(Gm2)和频率补 偿电容(C1和C2)。CHOP和CHOP'通过时钟发生器和函数控制, 可校正不希望出现的放大器直流失调电压(V_{os})。

图2显示了相关时序图以及预期输出电压(V_{OUT})。当CHOP时钟信 号为高电平(A阶段),放大器Gm1的差分输入和输出连接至信号路 径,并且无反转。由于存在VOS,因此产生正输出电压 V_{OUT} 。当 CHOP'时钟信号为高电平(B阶段),Gm1的输入和输出连接信号路 径且反转,并由于 V_{OS} 而产生负输出电压。来自Gm1的正负输出电 压使输出电压等于 $\pm V_{OS}$ 。时域中的这种斩波概念类似于频域中的 调制。换言之,Gm1失调电压由CHOP_{OUT}向上调制到斩波频率。 另一方面,输入信号经由CHOP_{IN}和CHOP_{OUT}斩波两次。这与向 上调制然后向下调制到原始频率的输入信号相等。因此,进入输 出端的输入信号不发生反转。

正负输出电压(来自Gm1的±Vos)以电压纹波的形式出现在Vour(图 2)。此外,CHOP和CHOP'时钟通过开关相关的寄生电容耦合至 差分输入引脚。时钟改变状态后,电荷注入差分输入引脚。这些 注入的电荷经由有限输入源阻抗转换为输出电压毛刺。毛刺的幅 度和形状取决于输入源阻抗以及差分输入引脚上注入电荷的数量 和匹配程度。这些输出纹波和毛刺会产生开关伪像,并在噪声频 谱中的斩波频率和其整数倍数频率处出现增长。此外,每个零漂 移放大器的开关伪像幅度和频率各有不同,并且各元件之间也有 所不同。本文中,术语"斩波"和"开关频率"可以互换使用。



数据手册中的开关伪像

一般而言,零漂移放大器具有较大的宽带噪声和较低的开关频率, 范围从几千赫兹到几十k赫兹。这限制了它们只能用于直流和低于 100 Hz的应用,以使开关频率保持在目标信号带宽外。对于要求 在更高带宽下具有高精度和低漂移的应用,使用开关频率较高的 零漂移放大器很重要。事实上,开关频率有时候可以看成零漂移 放大器的品质因数。较新的零漂移放大器采用高级设计架构,针 对在高很多的频率下具有较小开关伪像而设计。例如,除了在 4.8 MHz处对失调电压进行斩波,高电压、双通道、零漂移放大 器ADA4522-2还采用专利的失调和纹波校正环路,最大程度减 少开关伪像。校正环路工作频率为800 kHz,用于消除失调电压 ±V_{os}(如图2所示)。将±V_{os}下降至其初始值的1%能改善40 dB开关 伪像。这样可以减少系统设计人员实现系统级精度目标的工作量。 检测开关伪像最简单的方法是观察放大器的电压噪声密度频谱。 图3显示了ADA4522-2折合到输入的电压噪声密度图。注意,通 道B在其800 kHz开关频率处表现出了噪声频谱的增加。正如前 文所述,这种噪声频谱的增加是电荷注入失配产生的副作用。由 于失配取决于器件对器件以及通道对通道,因此噪声尖峰的幅度 也有所不同,且并非所有器件都会表现出噪声尖峰。例如,同一 个器件的通道A在800 kHz开关频率处并未表现出任何噪声尖峰。 各器件之间的开关频率还可有10%到20%的差异,具体取决于片 上时钟振荡器频率的变化。



图3. ADA4522-2电压噪声密度

不同零漂移放大器之间的噪声对比

图4显示了三个不同高电压、零漂移放大器折合到输入的电压噪声 密度。注意,测试的全部三个零漂移放大器都表现出了一定程度 的开关伪像。某些开关伪像还在其整数倍频率处重复。这些开关 伪像可能非常大,并有可能在电路设计中引入误差。因此,了解 它们对电路的影响,然后找到减轻影响的方法很重要。如果放大 器具有高于开关频率的闭环频率,那么这种噪声频谱的增加将会 积分至整个带宽中,并反映在输出端。不仅如此,折合到输入的 电压噪声还会被放大器噪声增益放大。例如,假定放大器配置为 增益100,那么折合到输出的有效噪声电压密度同样会增加100倍。



图4. 不同零漂移放大器的电压噪声密度



图5. 积分输出电压噪声

积分至放大器输出端的总RMS噪声取决于放大器带宽。输出电压 噪声随可用带宽而滚降;因此,增益越高或带宽越宽,则输出放 大器噪声的幅度也就越大。图5显示了积分输出电压噪声与频率的 关系。这张图对于理解相对频率的总积分噪声很有用。例如,如 果放大器的带宽通过滤波而限制在100kHz,那么放大器的固有电 压噪声引起的总输出噪声可由该图得知,如下所示:

表1. 输出积分噪声

放大器	输出噪声 峰峰值输出噪声 (μV rms) (μV p-p)	
ADA4522-2	1.91	12.61
放大器A	3.33	21.98
放大器B	6.40	42.24

使用通用乘法系数(称为波峰因数)将RMS电压转换为峰峰值电 压,则峰峰值噪声预计值如表1第三列所示。在一个5 V系统中, ADA4522-2提供18.6位峰峰值分辨率,而放大器B提供16.8位峰峰 值分辨率。较低的总积分输出噪声总是有必要的,因为它增加了 信噪比,并为整个系统带来了更高的分辨率。

图5中需注意的另一个有意思的地方是积分噪声在噪声尖峰频率 处以阶跃类函数的方式递增。噪声尖峰(噪声能量增加)虽然很窄, 但却会大幅增加总输出积分噪声。

时域中的开关伪像

很多时候,在频域的电压噪声密度频谱中可以清楚地看到开关伪 像。为了理解基于时间的开关伪像特性,可以将放大器配置为缓 冲器,将其同相引脚接地,并通过示波器直接观察输出。图6显示 了两个零漂移放大器的典型输出。注意,放大器A在多个幅度中表 现出了输出电压尖峰。尖峰每隔0.66 μs就重复一次。这与图4中 1.51 MHz处看到的噪声尖峰匹配。另一方面,ADA4522-2在时域 中未表现出任何开关伪像(蓝色图形)。换言之,噪声尖峰低于测量 系统的噪底,无法测出。这样,设计人员可以在驱动ADC的应用 中使用ADA4522-2,并十分自信地知道噪声尖峰不会有任何问题。



图6. 时域中的输出电压噪声

减少开关伪像的滤波器



图7.带滤波器的零漂移放大器



图8.带后置滤波器的单位增益零漂移放大器电压噪声密度

有多种方法可以减少开关伪像的影响。这些方法最终都有赖于限 制放大器带宽,使其低于开关频率。使用滤波器是抑制噪声尖峰 的有效方式。最简单的设计是在放大器输出端放置一个电阻-电容 网络,形成低通滤波器(图7A)。图8显示了零漂移放大器的电压噪 声密度,后置滤波器设计为低于开关频率10%或20%。800 kHz时 的噪声尖峰从36 nV/\Fz (无后置滤波器)下降到4.1 nV/\Fz (后置 滤波器为80 kHz),低于放大器的低频宽带噪声水平。由于后置滤 波器位于开关频率以下20%频率处(后置滤波器为8 kHz),噪声尖 峰不再可见,而ADA4522-2与其他任何传统放大器都别无二致。 某些应用可能无法在放大器输出端使用RC网络。放大器输出电 流流过滤波器电阻,导致电压失调,引起输出误差。这种情况 下,可以选择在反馈环路两端放置一个反馈电容来过滤噪声尖峰 (图7(b))。图9显示的是放大器配置为增益10时,无滤波以及在 开关频率下方10%处有后置滤波器或反馈滤波器情况下的输出电 压噪声密度。后置滤波器配置作为低通滤波器而言,比反馈电 容更为有效。





在高增益配置下使用零漂移放大器会有所帮助

很多设计人员都会使用零漂移放大器,但并未在系统中观察到任 何开关伪像。放大器配置可能是其中一个原因。零漂移放大器具 有低漂移和失调特性,常用来在高增益(比如100到1000的增益) 配置中对低电平幅度传感器信号执行信号调理。在高增益配置 下使用放大器的效果与在放大器端放置一个低通滤波器的效果是 一样的。随着增益的增加,带宽会下降。图10显示了高增益配置 如何降低开关效应。当闭环增益为100时,开关伪像在噪声曲线 上几乎不可见。





ADA4522-2用作零漂移放大器的优势

ADI最新的零漂移运算放大器ADA4522-2采用专利和创新的电路 拓扑,可实现高开关频率,并且相比之前的产品能最大程度减 少开关伪像。当单位增益带宽为3 MHz且开关频率为800 kHz和 4.8 MHz时,40的增益配置便足够过滤开关伪像,无需外部低 通滤波。该器件具有低失调电压漂移(22 nV/°C最大值)、低噪声 (5.8 nV/\Hz,增益配置为100)、低输入偏置电流(150 pA最大值)、 高共模抑制和电源抑制性能,是电子秤、电流检测、温度传感器 前端、称重传感器和桥式传感器等精密应用以及其他大量漂移关 键型应用的理想选择。

结论

零漂移放大器具有极低的失调电压和漂移,是要求针对低电平 信号进行高精度放大应用的理想选择。下文提供一些使用建议。

所有零漂移放大器都存在一定程度的开关伪像,这通常在电压噪 声密度曲线中可以检测到。

不同器件的开关伪像幅度也有所不同。

Vicky Wong [vicky.wong@analog.com] 是ADI公司的应用工程师,于2008 年加入ADI,负责精密放大器和基准电压源产品。她拥有伊利诺伊大学香槟 分校电气工程学士和硕士学位。

Yoshinori Kusuda [yoshinori.kusuda@analog.com] 是线性和精密技术部门的IC 设计工程师,工作地点在加利福尼亚圣何塞市。他主要负责精密CMOS放大器 和开关电容设计,分别于2002年和2004年获得东京工业大学的电气工程学士和 硕士学位。

器件之间开关频率的最大差异可达20%。

开关伪像可在频域和时域中检测到。取决于具体应用,开关伪 像可能导致误差。

零漂移放大器通常用于高增益配置中,此时带宽下降,因而很多 情况下开关伪像不会导致任何问题。

减少开关伪像,从而降低输出误差量很重要。使用一个低通滤波器(RC后置滤波器或反馈电容)以便在开关频率之前滚降放大器带宽便可抑制伪像。

高开关频率可降低滤波器对于较宽、可用、且无伪像带宽的要求。

致谢

Emman Adrados为本文撰写作出了贡献,在此表示衷心感谢。

Vicky Wong

Yoshinori Kusuda



Notes



全球总部 One Technology Way P.O. Box 9106, Norwood, MA 02062-9106 U.S.A. Tel: (1 781) 329 4700 Fax: (1 781) 461 3113

大中华区总部

上海市浦东新区张江高科技园区 祖冲之路 2290 号展想广场 5 楼 邮编: 201203 电话: (86 21) 2320 8000 传真:(86 21)2320 8222

深圳分公司 深圳市福田中心区 益田路与福华三路交汇处 深圳国际商会中心 4205-4210 室 邮编:518048 电话: (86 755) 8202 3200 传真: (86 755) 8202 3222

北京分公司 北京市海淀区 上地东路 5-2 号 京蒙高科大厦 5 层 邮编:100085 电话 : (86 10) 5987 1000 传真 : (86 10) 6298 3574

武汉分公司

湖北省武汉市东湖高新区 邮编:430073 电话: (86 27) 8715 9968 传真: (86 27) 8715 9931

亚洲技术支持中心 免费热线电话:4006100006

电子邮箱: china.support@analog.com 技术专栏: www.analog.com/zh/CIC 样品申请: www.analog.com/zh/sample 在线购买: www.analog.com/zh/BOL 在线技术论坛: ezchina.analog.com



S2015 Analog Devices, Inc. All rights reserved. Trademarks and registered trademarks are the property of their respective owners. Ahead of What's Possible is a trademark of Analog Devices.

analog.com/zh/analogdialogue