

Analog Dialogue

现实世界信号处理电路、系统和软件技术交流论坛 • 2015年第49卷第1期

- 2 编者寄语：新产品简介
- 3 基于FPGA的系统提高电机控制性能
- 11 IC上电和关断
- 15 在仅有零点电阻和电容可调节的情况下设计PLL环路滤波器
- 21 在Xilinx FPGA上快速实现JESD204B
- 25 射频集成电路的电源管理
- 31 为逐次逼近型ADC设计可靠的数字接口



本期介绍

基于FPGA的系统提高电机控制性能

高级电机控制系统集控制算法、工业网络和用户接口于一体，因此需要更多处理能力来实时执行所有任务。现代电机控制系统利用多芯片架构来实现：DSP执行电机控制算法，FPGA实现高速I/O和网络协议，微处理器处理执行控制。(第3页)

IC上电和关断

现代集成电路采用精密复杂的电路来确保其开启后进入已知状态，保留存储器内容，快速引导，并且在关断时节省功耗。本文分两部分，提供有关使用上电复位和关断功能的一些建议。(第11页)

在仅有零点电阻和电容可调节的情况下设计PLL环路滤波器

标准程序使用开环带宽和相位裕量来确定PLL环路滤波器的元件值，求解极点电容，并推导出其余值。某些情况下此电容可能是集成的，因而无法使用标准程序。本文提出一种替代程序，可在极点电容值固定的时候使用。(第15页)

在Xilinx FPGA上快速实现JESD204B

JESD204高速串行接口将数据转换器与逻辑器件相连。随着转换器的速度和分辨率不断提升，此接口在ADC、DAC和RF收发器中也变得更为常见。FPGA中的串行器/解串器设计实现物理层。本文介绍如何使用Xilinx® FPGA部署JESD204B接口以快速建立项目。(第21页)

射频集成电路的电源管理

随着射频集成电路中集成的元件不断增多，噪声耦合源也日益增多，使电源管理变得越来越重要。本文将描述电源噪声可能对RF IC性能造成的影响。虽然本文的例子是集成锁相环和电压控制振荡器的ADRF6820正交解调器，但所得结果也适用于其他高性能RF IC。(第25页)

为逐次逼近型ADC设计可靠的数字接口

SAR ADC以高达5 MSPS的速率提供最高18位分辨率。主机处理器可以通过多种串行和并行接口(如SPI、I²C和LVDS)访问ADC。本文将讨论打造可靠、集成数字接口的设计技术，包括数字电源电平 and 序列、启动期间的I/O状态、接口时序、信号质量以及数字活动导致的误差。(第31页)

Jim Surber [jim.surber@analog.com]

产品目录：第49卷，第1期

所有ADI产品数据手册都可在analog.com/cn网站查到，只需在搜索框中输入产品型号即可。

2月

3通道、SPI接口Σ-Δ型ADC.....	ADE7903
3通道、SPI接口Σ-Δ型ADC.....	ADE7923
200-MHz带宽RRIO运算放大器.....	ADA4807-1
集成四个ADC和两个DAC的音频编解码器.....	ADAU1372
四通道、16位数据采集系统.....	ADAR7251
614.4 Mbps至10.3125 Gbps数据恢复IC.....	ADN2905
高电压输入保护器件.....	ADM1270
双通道、700-MHz至3000-MHz无源接收混频器.....	ADRF6612
集成中频放大器的双通道宽带接收混频器.....	ADRF6658
四通道、10-Ω、故障检测/保护多路复用器.....	ADG5404F
中频分集、385 MHz带宽接收器.....	AD6674
11.3 Gbps光学接收器.....	ADN3010-11
三通道、1800 mA降压稳压器.....	ADP5135

3月

双通道、16位、125 MSPS、LVDS输出流水线式ADC.....	AD9655
14位、1 GSPS/500 MSPS流水线式ADC.....	AD9690
带EMI/过压保护功能的四通道运算放大器.....	ADA4177-4
带用户自定义故障保护/检测功能的四通道通道保护器.....	ADG5462F
集成PMBus接口、用于隔离式电源的数字控制器.....	ADP1052
集成I ² C接口的八通道、16位nanoDAC+ DAC.....	AD5675
12/16位单极性/双极性电压输出DAC.....	AD5721/AD5761
集成2 ppm/°C基准电压源的12/16位单极性/ 双极性电压输出DAC.....	AD5721R/AD5761R
超低功耗电压检测器.....	ADM8641/ADM8642
16位隔离式Σ-Δ型调制器.....	AD7402
双通道、双极性电轨开关稳压器.....	ADP5070/ADP5071
带故障保护/检测功能的10 Ω双通道单刀双掷开关.....	ADG5436F
高端12 V、2 A、逻辑控制型功率开关.....	ADP1290
带手动复位功能的超低功耗监控器IC.....	ADM8611/ADM8612
集成看门狗定时器和手动复位功能的 超低功耗监控器IC.....	ADM8613/ADM8614/ADM8615

Analog Dialogue

模拟对话杂志(www.analog.com/zh/analogdialogue)是ADI公司于1967年创办的技术杂志，至今已经连续出版49年，主要讨论有关模拟信号、数字信号和混合信号处理产品、应用、技术和技巧。模拟对话杂志目前提供两种版本。在线版每月发行一期；印刷版每年发行四期，作为对在线版中技术文章的定期回顾和汇集。在线版的内容包括：技术文章、近期应用笔记、电路笔记、新产品简介、在线研讨会和已发表文章等及时信息；以及“集锦”栏目，其中包括从ADI网站(www.analog.com/cn)获得重要相关信息的通用链接网址。感兴趣的读者也可以至模拟对话档案库www.analog.com/library/analogdialogue/china/archives.html查阅自1967年第1卷第1期创刊至今的每期存档，包括三期纪念特刊。如需订阅，请访问www.analog.com/library/analogdialogue/china/subscribe.html。欢迎提出您的宝贵意见：Facebook: www.facebook.com/analogdialogue；EngineerZone: ez.analog.com/blogs/analogdialogue；电子邮件: dialogue.editor@analog.com或编辑Jim Surber, [jim.surber@analog.com]。

基于FPGA的系统提高电机控制性能

作者：Andrei Cozma和Eric Cigan

简介

电机在各种工业、汽车和商业领域应用广泛。电机由驱动器控制，驱动器通过改变输入功率来控制其转矩、速度和位置。高性能电机驱动器可以提高效率，实现更快速、更精确的控制。高级电机控制系统集控制算法、工业网络 and 用户接口于一体，因此需要更多处理能力来实时执行所有任务。现代电机控制系统通常利用多芯片架构来实现：数字信号处理器(DSP)执行电机控制算法，FPGA实现高速I/O和网络协议，微处理器处理执行控制。

随着片上系统(SoC)的出现，例如集CPU的灵活性与FPGA的处理能力于一体的Xilinx® Zynq All Programmable SoC，设计人员终于能够将电机控制功能和其他处理任务纳入单个器件中。控制算法、网络和其他处理密集型任务被分流到可编程逻辑，而管理控制、系统监控与诊断、用户接口以及调试则由处理单元处理。可编程逻辑可以包含多个并行工作的控制内核，以实现多轴机器或双重控制系统。由于在单芯片上实现了完整的控制器，因此硬件设计可以更简单、更可靠、更便宜。

近年来，在MathWorks® Simulink®等软件建模与仿真工具的推动下，基于模型的设计已发展成为完整的设计流程——从模型创建到实现²。基于模型的设计改变了工程师和科学家的工作方式，把设计任务从实验室和现场转移到桌面。现在，包括工厂和控制器在内的整个系统都可以建模，工程师可以先调整好控制器的行

为，再将其部署到现场。这样就能降低受损风险，加速系统集成，减少对设备供货的依赖。一旦完成控制模型，Simulink环境便可将其自动转换为由控制系统运行的C和HDL代码，节省时间并避免人工编程错误。将系统模型链接到快速原型开发环境可进一步降低风险，因为后者允许观察控制器在实际条件下会如何运作。

一个可实现更高电机控制性能的完整开发环境利用Xilinx Zynq SoC实现控制器，MathWorks Simulink用于进行基于模型的设计和自动生成代码，ADI公司的智能驱动器套件用于快速开发驱动系统原型。

Xilinx FPGA与SoC电机控制解决方案

高级电机控制系统必须全面执行控制、通信和用户接口任务，每种任务都有不同的处理带宽要求和实时约束。为了实现这样的控制系统，所选的硬件平台必须鲁棒且可扩展，以便为将来的系统改进和扩张创造条件。Zynq All Programmable SoC集高性能处理系统与可编程逻辑于一体，满足上述要求(如图1所示)。这种组合可提供出色的并行处理能力、实时性能、快速计算和灵活的连接。该SoC集成了两个Xilinx模数转换器(XADC)，用于监控系统或外部模拟传感器。

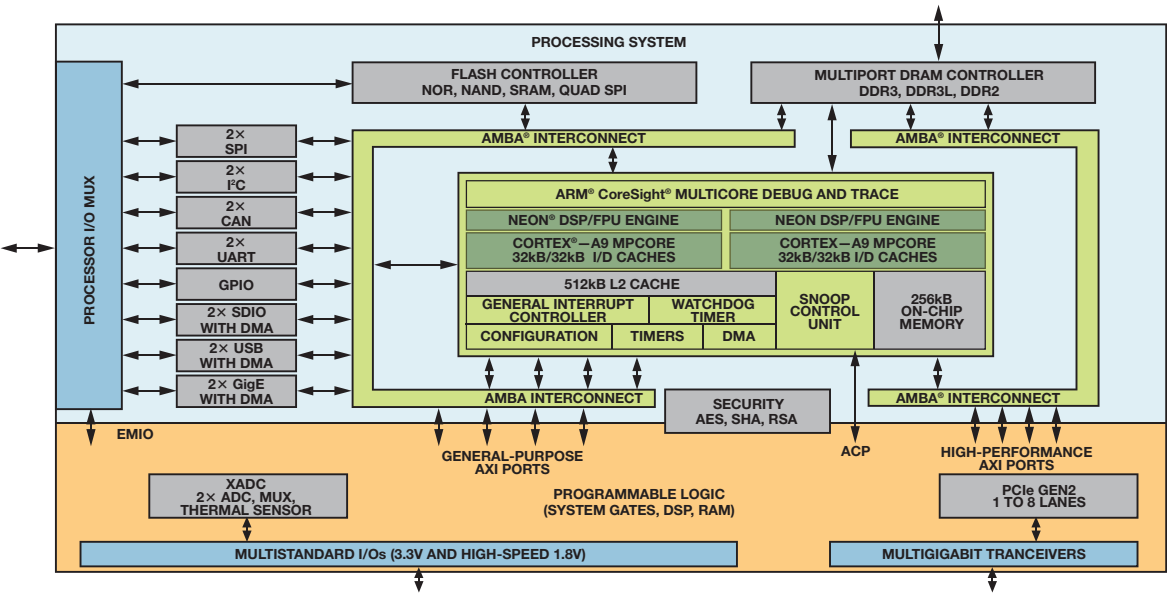


图1. Xilinx Zynq SoC功能框图

Zynq包括一个双核ARM Cortex-A9处理器、一个NEON协处理器和多个用于加速软件执行的浮点扩展单元。处理系统处理管理控制、运动控制、系统管理、用户接口和远程维护等任务，这些功能非常适合通过软件实现。为了发挥系统的能力，可以采用嵌入式Linux或实时操作系统。可以使用自给自足的处理器，而无需配置可编程逻辑。这样，软件开发人员编写代码与硬件工程师设计FPGA结构可以同时进行。

在可编程逻辑方面，该器件拥有多达444,000个逻辑单元和2200个DSP Slice，可提供巨大的处理带宽。FPGA结构可扩展，因而用户的选择范围很广——从包含28,000个逻辑单元的小型器件到支持最具挑战性的信号处理应用的高端器件。5个AMBA-4 AXI高速互连将可编程逻辑紧密地耦合到处理系统，提供相当于3000以上引脚的有效带宽。可编程逻辑适合执行时间关键的处理密集型任务，如实时工业以太网协议等，而且它支持多个控制内核并行工作，以实现多轴机器或多重控制系统。

基于Xilinx All Programmable SoC的解决方案和平台满足当今复杂控制算法(如磁场定向控制FOC)和复杂调制方案(如Xilinx和Qdesys设计的再生脉冲频率调制器³)所提出的关键时序和性能要求。

利用MathWorks Simulink实现基于模型的设计

Simulink是一种支持多域仿真和基于模型设计的框图环境，非常适合对包括控制算法和工厂模型的系统进行仿真。为了实现精确定位等目的，电机控制算法会调节速度、转矩和其他参数。利用仿真评估控制算法可以有效地确定电机控制设计是否合适，判断其合适后再进行昂贵的硬件测试，从而减少算法开发的时间和成本。图2给出了设计电机控制算法的有效工作流程：

- 构建精确的控制器和工厂模型，常常是根据电机、驱动电子、传感器和负载的资源库

- 对系统行为进行仿真以验证控制器的表现是否符合预期
- 产生C代码和HDL进行实时测试和实施
- 利用原型硬件测试控制算法
- 在原型硬件上进行仿真和测试后，如果控制系统证明令人满意，则将控制器部署到最终生产系统上

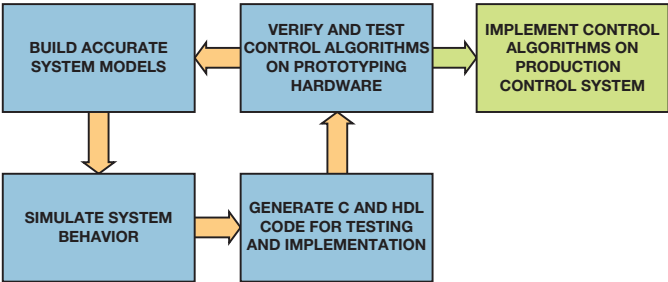


图2. 电机控制算法设计的工作流程

MathWorks产品包括Control System Toolbox™、SimPowerSystems™和Simscape™,提供工业标准算法和应用程序以对线性控制系统进行系统化分析、设计和调谐，此外还有元件库和分析工具，用于对机械、电气、液压和其他物理领域的各种系统进行建模和仿真。利用这些工具可以创建高保真的工厂和控制器模型，进而验证控制系统的行为和性能，成功之后方移交实际实施。该仿真环境是验证极端功能情形和工作状况的理想场所，确保控制器已为这些状况做好准备，并且其实际操作对设备和工作人员都将是安全的。

一旦控制系统在仿真环境中完成了全面验证，就可以利用嵌入式转码器和HDL转码工具将其转换为C代码和HDL，并部署到原型硬件上进行测试，然后部署到最终生产系统上。此时要指定点和时序行为等软硬件实施要求。自动生成代码有助于缩短从概念到实际系统实现所需的时间，消除编程错误，确保实际结果与模型相符。图3给出了在Simulink中进行电机控制器建模并将其转移到最终生产系统所需的实际步骤。

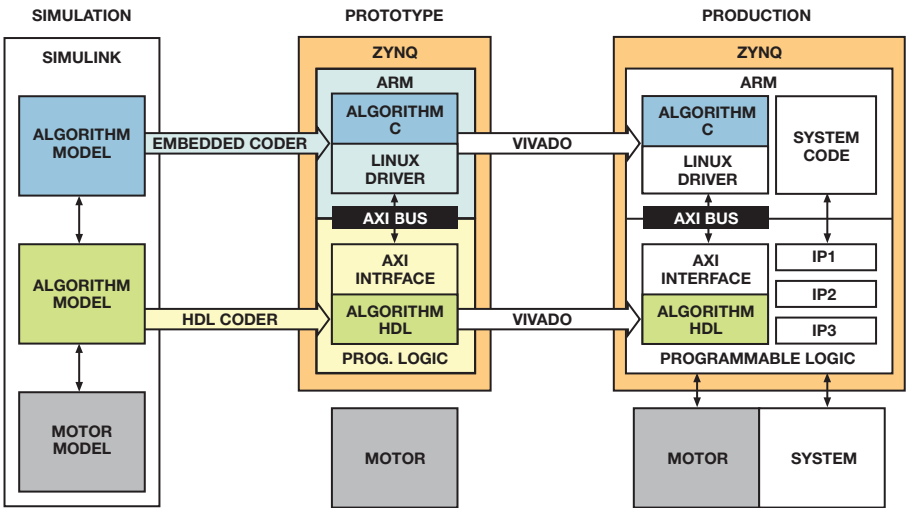


图3. 从仿真到生产的过程

第一步是在Simulink中对控制器和工厂进行建模和仿真。在这一阶段，控制器算法被划分为在软件中实现的模块和在可编程逻辑中实现的模块。划分和仿真完成后，利用嵌入式转码器和HDL转码器将控制器模型转换为C代码和HDL。基于Zynq的原型系统验证控制算法的性能，并且帮助进一步调谐控制器模型，然后转移到生产阶段。在生产阶段，将自动生成的C代码和HDL集成到复杂的生产系统框架中。此工作流程确保控制算法在达到生产阶段之前经过全面验证和测试，使得系统鲁棒性具有高可信度。

利用ADI公司智能驱动器套件快速完成原型开发

选择合适的原型开发硬件是设计过程的一个主要步骤。ADI公司的智能驱动器套件支持快速、高效的原型开发。Avnet Zynq-7000 All Programmable SoC/Analog Devices智能驱动器套件将Zynq-7000 All Programmable SoC ARM双核Cortex-A9 + 28 nm可编程逻辑与ADI公司最新一代高精度数据转换器和数字隔离相结合，可实现高性能电机控制和双通道千兆以太网工业网络连接。该套件带有Avnet ZedBoard 7020基板和ADI公司的AD-FMCMOTCON1-EBZ模块，构成一个完整的驱动系统，能够高效控制多种类型的电机。另外，该套件可以利用ADI公司的AD-DYN01-EBZ测功器驱动系统进行扩展，后者是一个动态可调的负载，可用来测试实时电机控制性能。AD-FMCMOTCON1-EBZ模块由控制器和驱动板组成，如图4所示。

控制板是一个混合信号FPGA夹层卡(FMC)，可利用低引脚数(LPC)或高引脚数(HPC) FMC连接器连接到任何Xilinx FPGA或SoC平台。它具有以下特性：

- 利用隔离式ADC测量电流和电压
- 隔离式Xilinx XADC接口
- 完全隔离的数字控制和反馈信号
- 霍尔、差分霍尔、编码器和旋变器接口
- 2个千兆以太网物理层，支持EtherCAT、ProfiNET、Ethernet/IP或Powerlink等高速工业通信协议
- FMC信号电压自适应接口，支持在所有FMC电压电平上无缝工作

隔离是任何电机控制系统的一个关键方面，其目的是保护控制器和用户。控制板上模拟和数字信号的完全隔离，确保FPGA平台永远不受电机驱动侧可能产生的危险电压影响。

驱动板包含驱动电机以及电流电压检测与保护电路所需的全部电源电子。该板具有以下特性：

- 以最大18 A电流驱动12 V至48 V范围的BLDC(无刷直流)/PMSM(永磁同步电机)/有刷直流/步进电机
- 动态制动功能和集成式过流与反向电压保护
- 利用隔离式ADC测量相电流；可编程增益放大器使电流测量输入范围达到最大
- 向控制板提供直流总线电压、相电流和总电流反馈信号
- 集成BEMF过零检测，用于实现PMSM或BLDC电机的无传感器控制

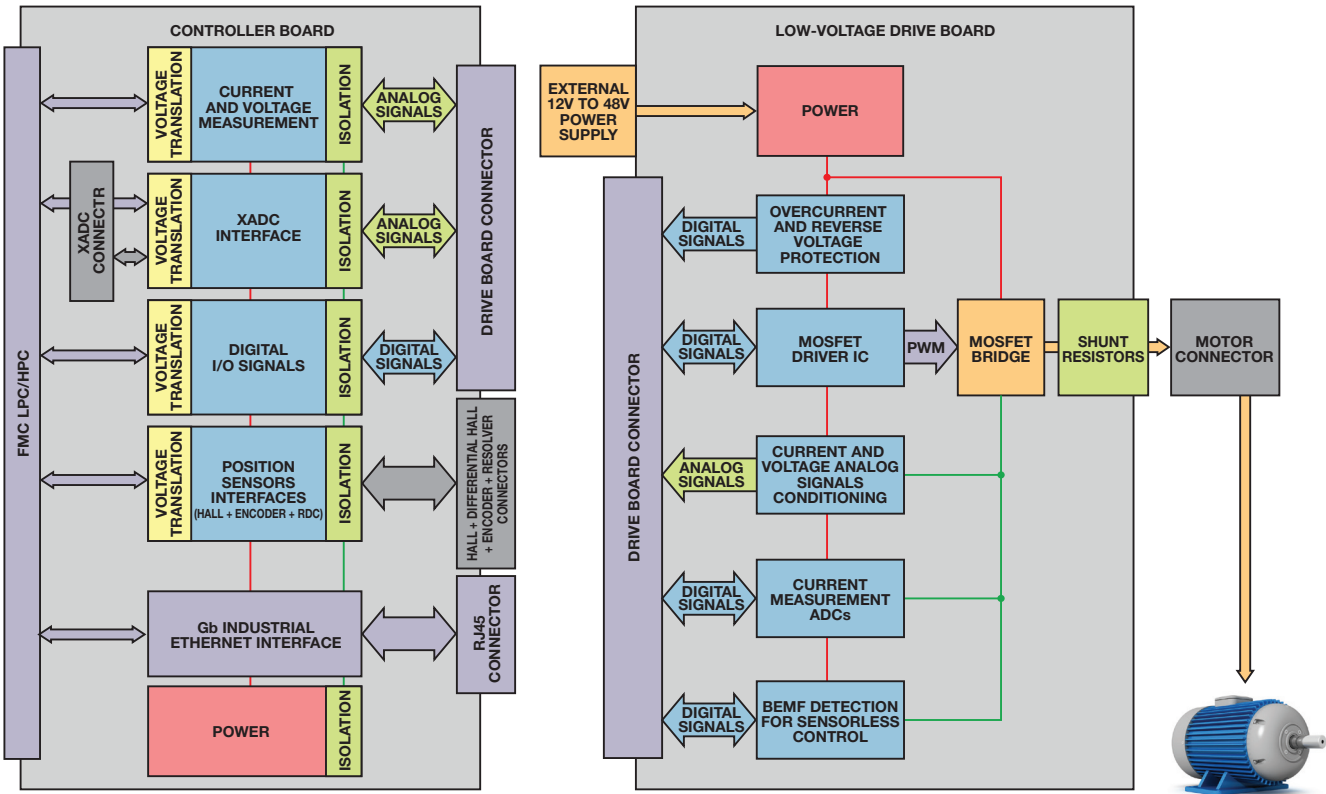


图4. AD-FMCMOTCON1-EBZ功能框图

测功器是一个动态可调的负载，可用于测试实时电机控制性能，由两台BLDC电机通过刚性连接直接耦合而成。其中一台BLDC电机用作负载，由测功器的嵌入式控制系统控制，而另一台由ADI公司的智能驱动器套件驱动，如图5所示。该系统配有一个用户界面，用于显示有关负载电流和速度的信息，并支持设置不同的负载曲线。要实现外部控制，可利用Analog Discovery USB示波器捕捉负载信号；要从MATLAB®直接控制，可使用MathWorks Instrument Control Toolbox™

电机电流和电压测量的质量对电机控制系统的性能有很大影响。通过利用高性能模拟信号调理器件和ADC，ADI公司智能驱动器套件提供精密电流和电压测量。测量路径分为控制器和驱动板两部分，如图6所示。

相电流通过测量分流电阻上的电压来检测。取决于ADC是否靠近分流电阻，有两条可能的测量路径可以获得最高测量精度。如

果ADC靠近分流电阻，则信号路径非常短，不易受到噪声耦合影响。分流电阻上的小差分电压由隔离式 Σ - Δ 调制器AD7401直接测量，而无需其他接口和信号调理电路。如果ADC远离分流电阻，则信号路径很长，容易受到噪声耦合影响，尤其是电源开关噪声和电机的噪声耦合。必须采取特别措施确保ADC与分流电阻之间的PCB走线和信号调理电路受到适当的屏蔽。分流电阻上的小差分电压被驱动板上的差动放大器AD8207放大，后者置于分流电阻附近以避免噪声耦合。信号从 $\pm 125\text{ mV}$ 满量程输入范围放大至 $\pm 2.5\text{ V}$ 范围，以最大程度地降低耦合噪声的影响。放大后的信号又经过一个采用可编程增益仪表放大器(PGIA) AD8251的放大级，以确保ADC始终接收到经过适当缩放以适应输入范围的输入信号。放大后的模拟信号经过连接器进入控制板。连接器会屏蔽每个模拟信号，以降低噪声耦合影响。来自驱动板的模拟信号利用运算放大器ADA4084-2重新转换到AD7401输入范围。

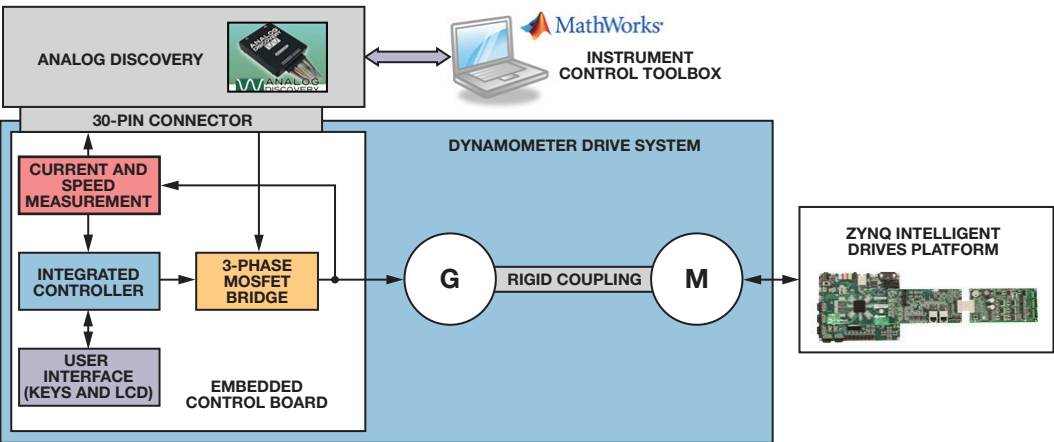


图5. 测功器驱动系统

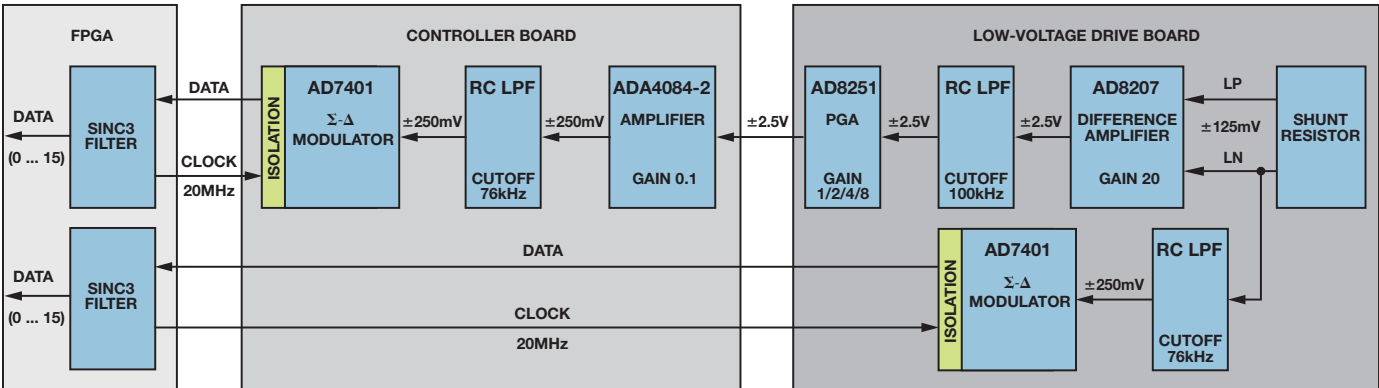


图6. 相电流信号链

电流和电压反馈信号链中的最重要器件是二阶隔离式 Σ - Δ 调制器AD7401A。这款高性能ADC具有16位分辨率(无失码)、13.3有效位数(ENOB)和83 dB SNR。2线数字接口包括一个20 MHz时钟输入和一个1位数字位流输出。ADC输出利用sinc³数字滤波器重构。数据手册中提供了一个针对16位输出和78 kHz采样速率的滤波器模型和HDL实现方案。输出分辨率和采样速率可通过改变滤波器模型和抽取来控制。78 kHz采样速率对许多应用可能是足够的,但某些情况需要更高的速率。这些情况下,可利用图7所示的滤波器库来将系统采样速率提至最高10 MSPS(真16位数据)。滤波器库包含 n 个sinc³滤波器,其采样时钟延迟 T (即sinc³滤波器传播时间除以 n)的倍数。数据选择器以周期 T 输出ADC码。

相电流测量也可以由Zynq XADC执行。XADC信号测量链使用常规测量链的完整路径,并在AD7401 Σ - Δ 调制器之后增加一个Sallen-Key模拟重构滤波器。该滤波器是在控制板上利用运算放大器AD8646实现,如图8所示。隔离式 Σ - Δ 调制器和模拟重构滤波器的组合为实现XADC输入信号的模拟隔离提供了一种便利、低成本的方法,同时不影响测量质量。

ADI公司智能驱动器套件带有一套Simulink控制器模型、完整的Xilinx Vivado框架和ADI Linux基础设施,便于用户完成电机控制系统设计所需的全部步骤——从仿真开始,经过原型开发,最终在生产系统上实现。

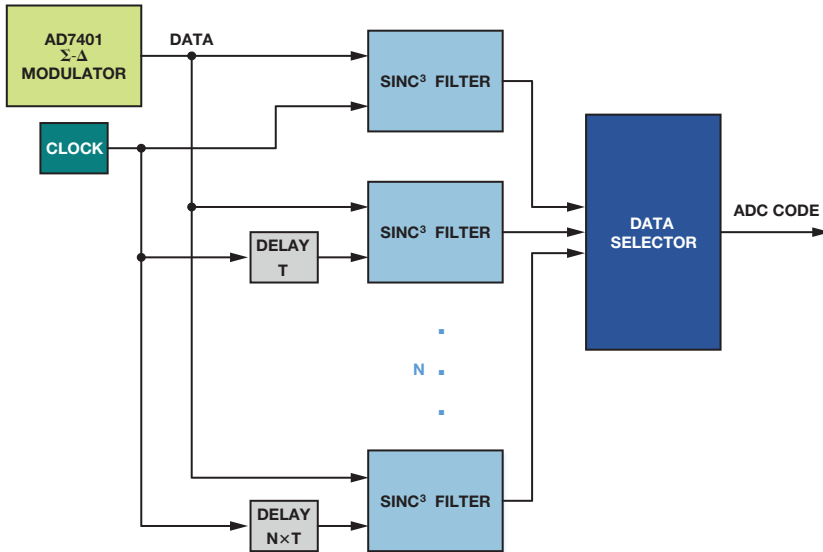


图7. 滤波器库

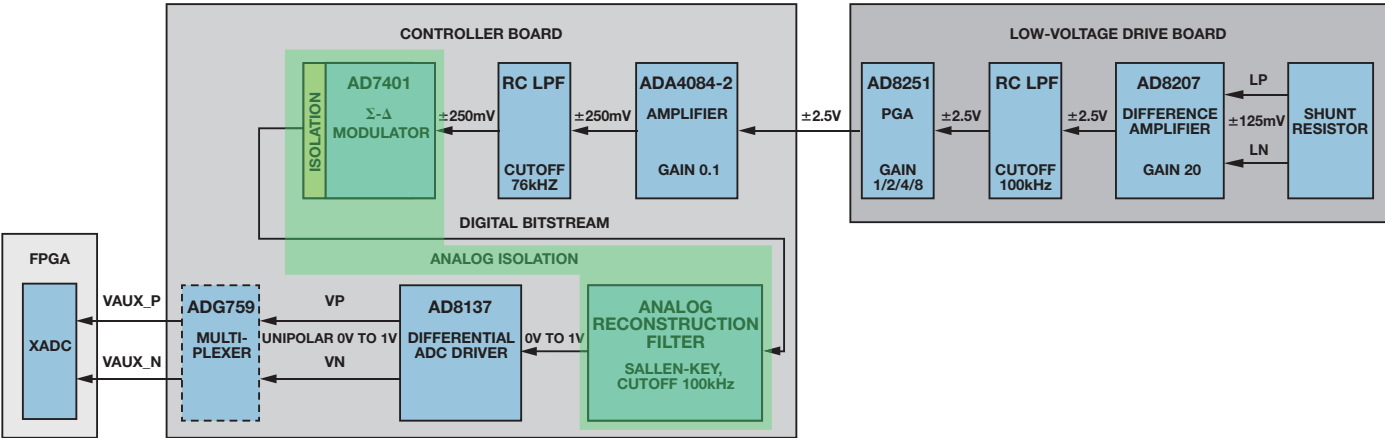


图8. XADC信号测量链

可以利用两个控制器模型(一个六步控制器和一个PMSM磁场定向控制器)来启动设计过程。图9显示了这两个控制器的高级视图。六步控制器实现一个用于BLDC电机的梯形控制器；FOC控制器提供一个FOC内核以便集成到控制系统中。

验证控制器符合预期。控制器模型划分为由C代码和HDL实现的多个部分，并指定时序、定点实现、采样速率和环路时间等约束条件以确保控制器模型的行为与在硬件实现中一样。图10显示了六步控制器的软件和HDL划分。

工厂和控制器模型在仿真阶段创建，通过完整系统的行为仿真来

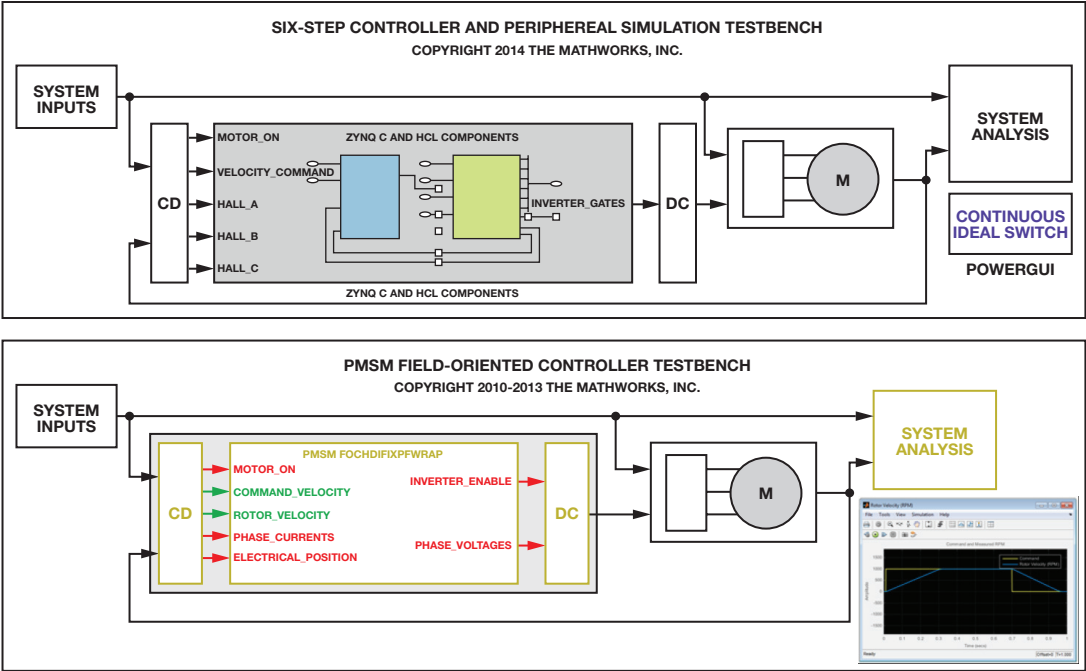


图9. Simulink控制器模型

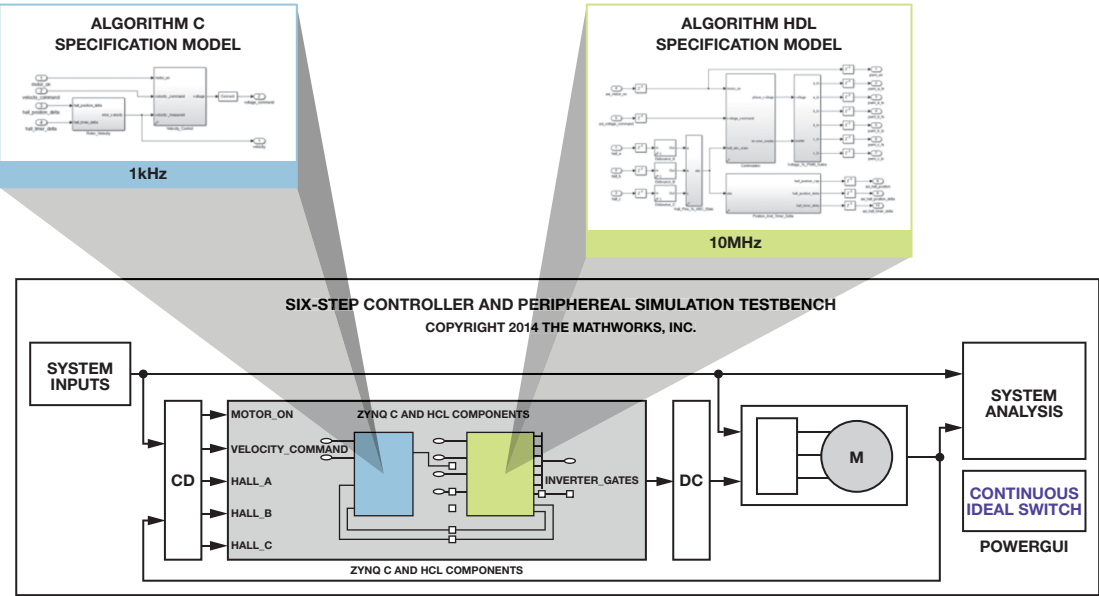


图10. 控制器的C代码和HDL划分

一旦控制器在仿真中经过全面验证，下一步便是在硬件平台上制作原型。针对ARM内核和可编程逻辑，Zynq SoC引导工作流程从划分为多个子系统的Simulink模型产生C代码和HDL。利用此工作流程，HDL转码器生成针对可编程逻辑的HDL，嵌入式转码器则生成针对ARM的C代码。MathWorks Zynq支持包支持从模型生成由算法C代码组成的ARM可执行文件(与AXI总线接口)，并支持从模型生成由HDL代码组成的位流(与可编程逻辑引脚和AXI总线接口)。图11显示了控制器实现及其与ADI智能驱动器硬件的关系。

一旦将位流和可执行文件加载到硬件中，就可以开始控制器的运行测试。利用Simulink与运行开源Linux OS的嵌入式系统之间的以太网链路执行硬件在环(HIL)测试。轴转速等电机参数可以在Simulink中捕捉，并与仿真结果相比较，确保实际系统实现与模型相符。一旦控制算法测试完毕，便可将控制器转移到生产系统上。

除了智能驱动器套件以外，ADI公司还提供完整的Vivado框架和

Linux基础设施以用于原型开发和最终生产。图12显示了支持智能驱动器套件的Zynq基础设施。该高级框图说明了ADI参考设计在Xilinx Zynq SoC上是如何划分的。可编程逻辑实现IP内核，用于与ADC、位置传感器和电机驱动级接口。由HDL转码器生成的HDL代表电机控制算法，集成到ADI公司IP中。所有IP都有低速AXI-Lite接口用于配置和控制，并有高速AXI-Streaming接口用于通过DMA通道向软件传输实时数据。高速以太网接口可以利用ARM处理系统的硬MAC外设或可编程逻辑中的Xilinx以太网IP实现。

ARM Cortex A9处理系统运行ADI公司提供的Ubuntu Linux，其中包括：与ADI公司智能驱动器硬件接口所需的Linux IIO驱动，用于监测和控制的IIO Oscilloscope (示波器)用户空间应用程序，支持实时数据采集和通过TCP控制系统的libiio服务器，在远程计算机上运行的客户端，以及整合嵌入式转码器所生成C代码的可选用户应用程序。

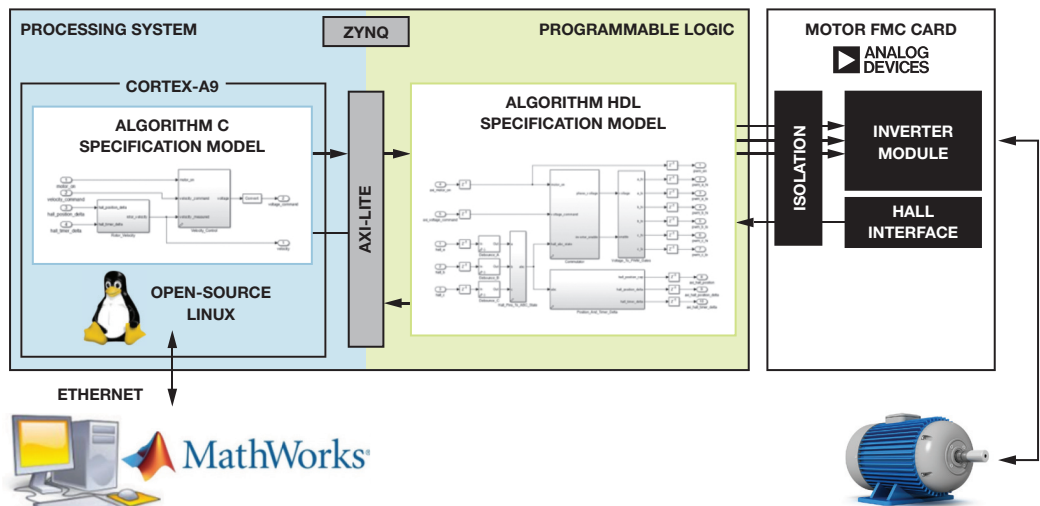


图11. 原型系统上的控制器实现

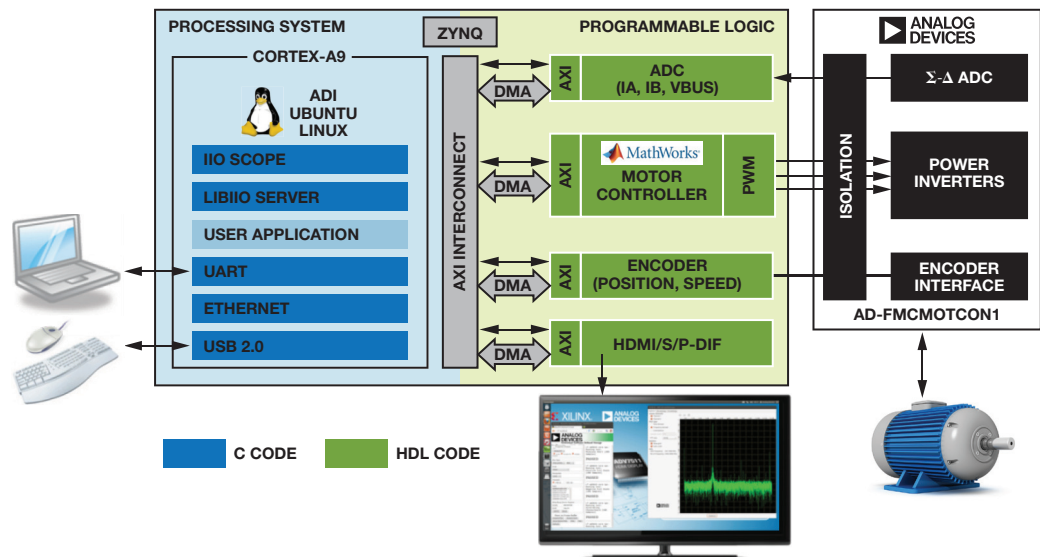


图12. ADI Linux基础设施

所有ADI Linux驱动均基于Linux工业I/O (IIO)子系统，其现已包括在所有主流Linux内核中。IIO Scope是ADI公司开发的一款开源Linux应用程序，运行在Xilinx Zynq中的双核ARM Cortex A9上，能够显示连接到Xilinx Zynq平台的ADI FMC卡所获取的实时数据。这些数据可以在时域中、频域中或以星座图的形式显示。支持以不同的常用文件格式(如逗号分隔值或.mat Matlab文件等)保存所捕获的数据以供进一步分析。IIO Scope提供一个图形用户界面，用于更改或读取ADI FMC卡的配置。

libiio服务器支持实时数据采集、通过TCP控制系统以及运行于远程计算机上的客户端。服务器运行于Linux下的嵌入式目标上，通过TCP管理目标与远程客户端之间的实时数据交换。IIO客户端可以作为系统对象集成到MATLAB和Simulink原生应用程序中。一路HDMI输出用于在监视器上显示Linux界面，鼠标和键盘可通过USB 2.0端口连接到系统。

ADI公司为智能驱动器套件提供的Linux软件和HDL基础设施，连同MathWorks和Xilinx提供的工具，非常适合开发电机控制应用原型。它们还包含适用于生产的组件，可将其集成到最终控制系统中，从而减少从概念到生产所需的时间和成本。

结论

本文说明了采用FPGA的现代电机控制系统的要求和趋势，以及

为满足这些约束条件和帮助实现更高效、更精确的电机控制解决方案，MathWorks、Xilinx和ADI公司带给市场的工具和系统。通过将MathWorks基于模型的设计和自动生成代码工具与强大的Xilinx Zynq SoC、ADI公司的隔离、功率、信号调理和测量解决方案相结合，电机驱动系统的设计、验证、测试和实现可以比以前更有效率，进而提高电机控制性能并缩短上市时间。ADI公司智能驱动器套件与Avnet Zynq-7000 All Programmable SoC配合使用，为利用MathWorks Simulink设计的电机控制算法提供出色的原型开发环境。该智能驱动器套件带有一组参考设计⁴，旨在为所有希望评估该系统的人士提供一个起点，并且帮助启动任何新的电机控制项目。

参考文献

1. Hill, Tom. “借助Matlab将电机驱动迁移到Zynq SoC设计中。” *Xcell* 杂志，87期，2014年第二季度。
2. Dara O’Sullivan、Jens Sorensen和Aengus Murray “闭环电机控制中基于模型的设计工具。” *PCIM Europe*, 2014.
3. Corradi, Dr. Giulio. “频率空间矢量调制—第一部分。” *EDN* 网络，2012年10月4日。
4. AD-FMCMOTCON1-EBZ用户指南。

Andrei Cozma [andrei.cozma@analog.com] 是ADI公司工程设计经理，负责支持系统级参考设计的设计与开发。他拥有工业自动化与信息技术学士学位及电子与电信博士学位。他参与了电机控制、工业自动化、软件定义无线电和电信等不同行业领域的项目设计与开发。



Andrei Cozma

Eric Cigan [Eric.Cigan@mathworks.com] 在MathWorks从事技术营销工作，负责支持SoC和FPGA设计工作流程。加入MathWorks之前，他先后在MathStar、AccelChip和Mentor Graphics从事技术营销工作。Eric拥有麻省理工学院机械工程学士学位和硕士学位。



Eric Cigan

IC上电和关断

现代集成电路采用精密复杂的电路来确保其开启后进入已知状态，保留存储器内容，快速引导，并且在其关断时节省功耗。本文分两部分，提供有关使用上电复位和关断功能的一些建议。

上电复位

作者：Miguel Usach Merino

简介

许多IC都包含上电复位(POR)电路，其作用是保证在施加电源后，模拟和数字模块初始化至已知状态。基本POR功能会产生一个内部复位脉冲以避免竞争现象，并使器件保持静态，直至电源电压达到一个能保证正常工作的阈值。注意，此阈值电压不同于数据手册中给出的最小电源电压。一旦电源电压达到阈值电压，POR电路就会释放内部复位信号，状态机开始初始化器件。在初始化完成之前，器件应当忽略外部信号，包括传输的数据。唯一例外是复位引脚(如有)，它会利用POR信号内部选通。POR电路可以表示为窗口比较器，如图1所示。比较器电平 V_{T2} 在电路设计期间定义，取决于器件的工作电压和制程尺寸。

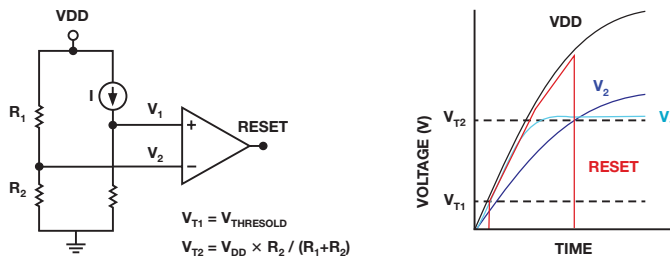


图1. 简化的POR电路

POR策略

比较器窗口通常由数字电源电平定义。数字模块控制模拟模块，数字模块全面工作所需的电压与模拟模块工作所需的最小电压相似，如图2所示。

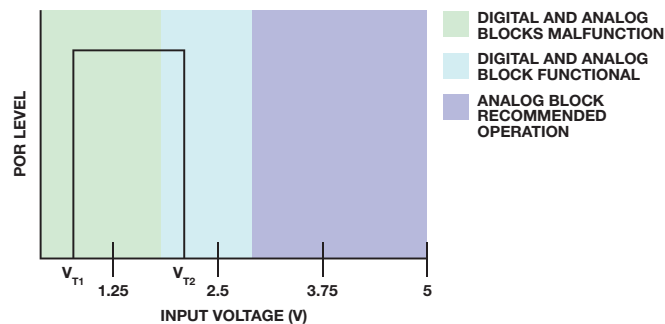


图2. POR阈值电压

较高的 V_{T2} 阈值对模拟模块会更好，但若过于接近推荐最小电源电压，当电压略微降低时，可能会意外触发复位。如果器件包括独立的模拟电源和数字电源，则避免故障的一种策略是增加一个POR电路，使两个模块保持复位状态，直至电源电压高到足以确保电路正常工作。例如，在一种3 V IC工艺中， $V_{T1} \approx 0.8$ V， $V_{T2} \approx 1.6$ V。

这些电压会随着制程以及其他设计偏移而变化，但它们是合理的近似值。阈值容差可以是20%或更大，某些旧式设计的容差高达40%。高容差与功耗相关。POR必须一直使能，因此精度与功耗之间始终存在的取舍关系很重要；较高的精度会提高电路在待机模式下的功耗，而对功能性并无实际意义。

掉电检测器

POR电路有时会集成一个掉电检测器(BOD)，用于防止电路在电压非常短暂地意外降低时发生复位，从而避免故障。实际上，掉电电路给POR模块所定义的阈值电压增加了迟滞，通常为300 mV左右。BOD保证，当电源电压降至 V_{T2} 以下时，POR不会产生复位脉冲，除非电源电压降至另一阈值 V_{BOD} 以下，如图3所示。

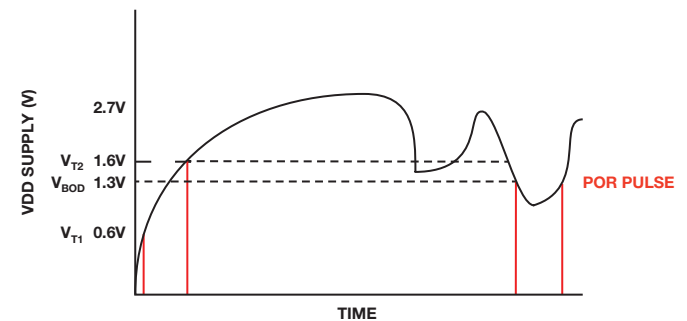


图3. 掉电检测器

掉电阈值电平足以保证数字电路保留信息，但不足以保证其正常工作。这样，控制器可以在电源降至某一电平以下时中止活动而不会让整个器件都重新初始化，如果电源电平只是非常短暂地降低的话。

器件正确上电

实际的POR电路比图1所示的简化版本要复杂得多，例如用MOS晶体管代替电阻。因此，必须考虑寄生模型。另外，POR电路需要一个启动模块来产生启动脉冲，这在某些情况下可能会失效。其他重要考虑在以下内容中说明。

必须使用单调性电源，因为若使用非单调性电源，当偏差接近任何阈值电平时，非单调性斜坡可能会引起问题。较高的阈值偏差会引起同样的非单调性序列对某一个元件有效，而对其他元件无效，如图4所示。

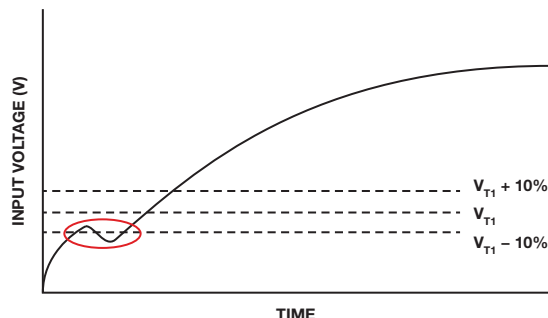


图4. 非单调性电源斜坡

某些时候，即使断开电源(禁用LDO)，储能电容也会保留一定的残余电压，如图5所示。此电压应尽可能小，以便保证电源能降至 V_{T1} 以下，否则POR将无法正确复位，器件将无法正确初始化。

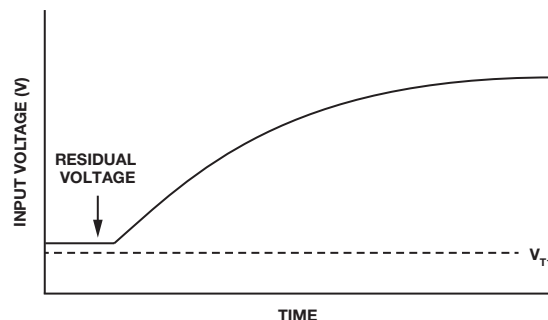


图5. 残余电压

某些数据手册给出了应当应用于具有一个以上电源引脚的器件的推荐供电序列。遵守这个序列是很重要的。例如，想想一个具有两个独立电源的器件。推荐供电序列要求数字电源先于模拟电源供电(这是常规，因为数字模块控制模拟模块，所以必须首先为数字模块供电)，该模块必须首先初始化。哪个电源首先开始

上升不重要，但数字电源必须先于模拟电源跨过阈值，如图6所示。如果电源之间的延迟为100 μ s左右，则影响应当很小，器件应能正确初始化。

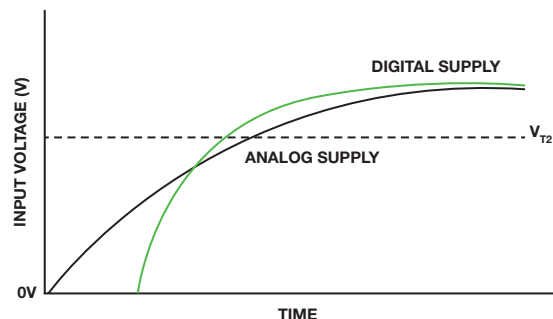


图6. 推荐供电序列

由于内部三极管寄生效应，数百ms的慢速电源斜坡可能会引起问题。POR电路要在各种压摆率下进行评估，以保证其在正常电源条件下能正确工作。数据手册会说明是否需要快速电源斜坡(100 μ s或更短)。

例如，对于用细电缆连接电源的电路板，不良的接地连接会具有高阻抗，它可能会在上电期间产生毛刺。另外，在某些电磁环境(EME)下，MOS晶体管的寄生栅极电容可能会充电，导致晶体管不能正常工作，除非让该电容放电。这可能引起POR初始化失败。

漂移和容差也需要考虑。某些情况下，电容等分立元件具有高容差(高达40%)和高漂移(随温度、电压和时间的漂移)。此外，阈值电压具有负温度系数。例如， V_{T1} 在室温下为0.8 V，在-40°C下为0.9 V，在+105°C为0.7 V。

结论

本文讨论了电路板上电时可能引发系统问题的一些常见问题，并说明了保证电路板正确初始化的基本原则。电源常常被忽视，但其最终电压精度和过渡行为均很重要。

参考文献

Merino, Miguel Usach. “深入了解digiPOT规格与架构，提升交流性能” 模拟对话第45卷第3期

断电还是关断？

作者：Dushyant Juneja

“当然是关断！”对这个问题感到吃惊的人会大声说道。其他人可能会寻思二者有何差异。关断模式常常会保留存储器内容，

启动时间更短，漏电流超低，而如果切断电源，这一切都不复存在。但是，假如不需要这些特性呢？设计人员会让电源保持稳定并使用关断模式而浪费电源吗？为何不能简单地通过切断电源来降低漏电流？关断模式是否存在一些基本的深层次的要求？感到迷惑不解？请看下文。

诱惑与风险

现代系统包含丰富的特性，这是通过多层次的复杂设计实现的，常常涉及到不止一个芯片。功耗是很多应用都关心的，诸如便携式医疗设备，因此这些芯片常常包含一种或多种关断模式。这些模式提供存储器内容保留、外设使用和快速开启等特性，而消耗的电源电流非常少。另一种方法是完全关断电源。这会完全切断芯片的电源，不允许任何电流进入电源引脚。虽然能够降低功耗，但这种方法存在一些严重的副作用。

考虑一个包括多个芯片的复杂系统，这些芯片通过多路复用总线相连。如果该系统设计用于功耗受限的应用，简单地切断未在使用的芯片电源似乎有利可图，尤其是在不需要关断模式提供的其他特性的时候。切断电源可降低漏电流，但没有电源时，引脚对输入信号可能起到低阻抗节点的作用，导致不可预测的操作和潜在的系统级威胁。虽然断电选项可能很诱人，但关断模式对复杂系统有着根本上的好处：它使各芯片处于已知的、希望的状态，即使芯片在低功耗与高性能模式之间循环，也能维持安全可靠的操作。详细情况可通过考察一个I/O节点来了解。

简单示例

图7中的引脚连接到一个复用节点，其操作由一个经验证的系统架构设定。作为I/O引脚，它同时拥有输入和输出功能。

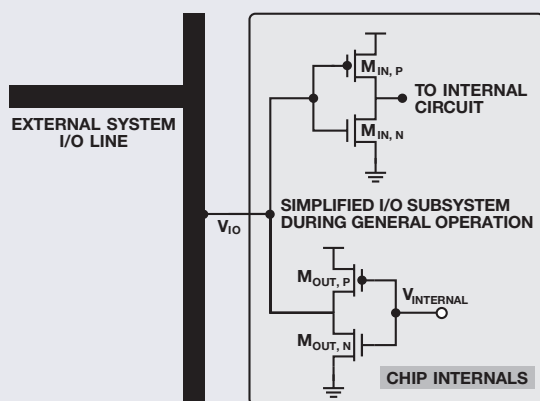


图7. 简化的I/O电路

不考虑功率开关所用器件的问题，断开此芯片的电源(假设不需要任何芯片操作)将导致图8所示的情况，芯片内核到处都是未知状态。在最坏情况下，浮置栅极输出器件($M_{OUT,P}$ 和 $M_{OUT,N}$)可能会在休眠时暴露于意想不到的外部电压下。对于本例所示的CMOS I/O，这可能产生一个经由NMOS漏极连接的对地低阻抗连接(红色亮显)。高电流将导致前一级的驱动能力透支，从而损害芯片中的MOS电路，甚至芯片本身。即使未损害系统，其性能也会降低。

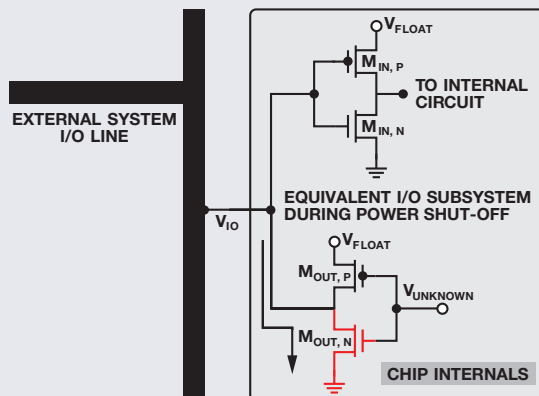


图8. 断电模式下的I/O电路。注意内部栅极处于未知状态。

关断模式

关断模式为芯片提供额外的一重保护，可防范上述意外工作状态。实现方式会因不同的模式、产品系列和供应商而异，但重点是在芯片内核休眠时提供安全的I/O边界，维持已知的、可信赖的低功耗状态。好处是系统器件之间的I/O操作(例如通过系统级多路复用总线)不会威胁到休眠中的器件。一个实现方案是在低功耗模式下将I/O引脚置于高阻态，使连接到边界引脚的内部节点处于已精确定义的状态。图9显示了一个简化的实现方案。信号对内部电路无影响，从根本上保证其安全。其他实现方案(例如浅休眠模式)也可以让I/O外设保持上电，同时确保在关断模式期间芯片外设与内核之间的操作得到验证。这使得芯片在保持低功耗的同时，能够处理激活状态下的使用情形。此外，该系统降低了功率开关的成本；如若不然，将需要使用一个很大的低电阻器件，其漏电流和导通状态功耗均会相当大。

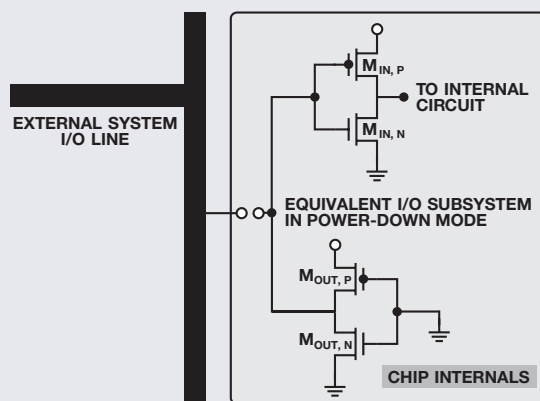


图9. 关断模式下的I/O电路。注意所有内部节点都已精确定义。

关断模式因芯片和供应商而异，因此，“浅休眠模式”之类名称的含义并不总是相同。有些支持保留存储器内容，有些则提供更多的中断数或其他类似特性。与完全断电相比，这些模式的一个突出优势是可以缩短系统响应时间。有些电路提供单独的I/O电源和内核电源。这种分离的一个优点是，电路板设计人员可以切断内核电源以降低漏电流，而I/O则保持上电。强烈建议一定要从产品数据手册获得准确的详细信息，确保所需的特性和保护方法受到产品的支持。

尺寸不断缩小的影响

作为器件尺寸缩小的自然后果，现代IC工艺技术提供更高密度的封装，使得关断模式的优化使用越来越重要。不过，这也降低了器件的压力处理能力。例如，28nm器件的栅极氧化物就比相应的180nm器件要薄。这样，断电模式下栅极电压所施加的压力更有可能损坏较小的器件。此外，布局相关的参数也可能导致尺寸较小的器件发生灾难性故障。

所有这些影响使得关断模式对现代器件越来越有吸引力。现代芯片充盈着各种特性，包括成百上千万的元件；如果保持开启，每个器件都可能产生漏电流。优化特性使用并关断芯片中不使用的部分，可以消除其中的大部分漏电流。然而用户应该确保供应商明确支持这些模式，而不要试图自行开发关断功能。

更多情形

关于关断的完整拼图还缺几片。如果同时切断接地连接(这

将形成另一条低阻抗路径)会怎样？这与直接驱动I/O引脚而不使能电源的ESD情况相似，如果信号足够强，可能会触发ESD保护结构，导致高电流流经其他相连的I/O引脚，产生假上电情况。更有可能的情况是信号稍弱一点，但仍然强到足以通过一条路径(如I/O箝位)抵达电源。信号可能无法触发电源箝位，但会在电源上引起意想不到的虚电压，从而造成未知工作状态，具体情形取决于芯片的拓扑结构。任一情况下，如果电路状态持续如此，则芯片可能受损，除非前一级已经停止供应高电流。如果信号强度不足以触发I/O箝位，它仍可能会对所遇到的第一个晶体管施压，长时间操作后可能会损坏该晶体管。

如果断开电源并拉低电源输入呢？这种情况下，芯片无浮动电源，不可能触发任何ESD结构，但PMOS漏极电压可能高于主体电压，使漏极-主体二极管正偏。这样，来自前一级的电流将经过PMOS器件流至地，直至器件烧毁、前一级停止提供电流或设计人员注意到报警。

结论

关断模式使得系统级响应更快速、更安全，因而是不可缺少的特性，尤其是在考察复杂系统中的完整信号链时。如果器件之间的交互很有限，或者系统整体很简单，足以确保不会出现复杂情况，则可以考虑完全切断电源。

Miguel Usach Merino [miguel.usach@analog.com]，获瓦伦西亚大学电子工程学位。2008年加入ADI公司，任西班牙瓦伦西亚线性与精密技术部的应用工程师。



Miguel Usach Merino

该作者的其它文章：

[深入了解digiPOT规格与架构，提升交流性能](#)

[第45卷，第3期](#)

Dushyant Juneja [dushyant.juneja@analog.com] 是ADI公司的一名CAD工程师，主要从事AMS设计的AMS验证、行为建模和ESD保护。2012年获印度理工学院卡拉普尔分校仪器工程硕士学位，2010年获印度理工学院(BHU)电气工程学士学位。



Dushyant Juneja

在仅有零点电阻和电容可调节的情况下设计PLL滤波器

作者: Ken Gentile

简介

如参考文献中所描述,可采用标准过程来确定锁相环(PLL)中二阶环路滤波器的 R_0 、 C_0 和 C_p 数值。它采用开环带宽(ω_0)和相位裕量(ϕ_M)作为设计参数,并可扩展至三阶环路滤波器,从而确定 R_2 和 C_2 (图1)。该过程可直接解出 C_p ,然后推导出其余数值。

某些情况下, C_p 、 R_2 和 C_2 可能是集成在PLL内的固定值元件,因此仅有 R_0 和 C_0 用来控制环路响应。这便使得上述过程无效,因为无法调节 C_p 。本文提出一种替代过程,可在 C_p 数值固定时使用,突破了无法控制 C_p 值造成的限制。

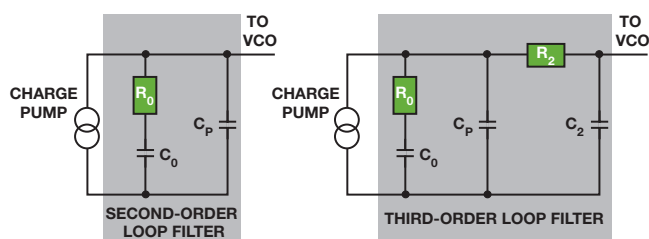


图1. 典型二阶和三阶无源环路滤波器

假设条件

本环路滤波器设计方法基于两个假设,在三阶无源滤波器设计中,通过调节 R_0 和 C_0 来补偿 R_2 和 C_2 ,可以将一个二阶环路滤波器设计扩展为三阶设计,此时通常会采用这两个假设条件。

1. R_2 和 C_2 形成的极点频率应当至少比 ω_0 (所需开环单位增益带宽)大一个数量级; $f_0 \leq 0.1/(2\pi R_2 C_2)$, 其中 $f_0 = \omega_0/(2\pi)$ 。
2. R_0 - C_0 - C_p 网络的 R_2 和 C_2 串联组合的负载可忽略不计。

二阶环路滤波器的传递函数

二阶环路滤波器有两个时间常数(T_1 和 T_2)与元件有关:

$$T_2 = R_0 C_0 \quad (1)$$

$$T_1 = \left(\frac{C_p}{C_p + C_0} \right) T_2 \quad (2)$$

环路滤波器传递函数的 T_1 、 T_2 和 C_p 很重要,因为它对于PLL的整体响应起着很大的作用:

$$H_{LF}(s) = \left(\frac{1}{C_p} \right) \left(\frac{T_1}{T_2} \right) \left(\frac{sT_2 + 1}{s(sT_1 + 1)} \right) \quad (3)$$

PLL系统函数

图2中的小信号模型为PLL响应的等式化提供了一种途径,并为分析输入端相位干扰所造成的输出端相位变化提供了模板。注意,压控振荡器(VCO)作为一个频率源,表现为理想的相位积分器,因而其增益(K_V)系数为 $1/s$ (对积分进行等效拉普拉斯变换)。因此,PLL的小信号模型是复频率 s 的函数($s = \sigma + j\omega$)。

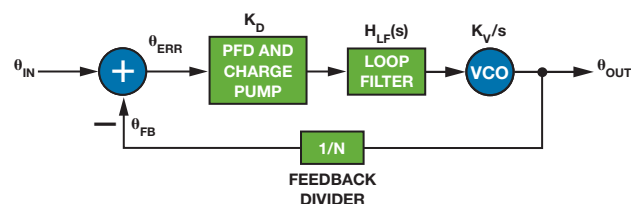


图2. PLL小信号模型

PLL的闭环传递函数(H_{CL})定义为: θ_{OUT}/θ_{IN} 。开环传递函数(H_{OL})定义为: θ_{FB}/θ_{IN} , 与闭环传递函数相关。建议以 H_{OL} 来表示 H_{CL} , 因为开环传递函数包含闭环稳定性的线索:

$$H_{OL}(s) = -K \left(\frac{H_{LF}(s)}{sN} \right) \quad (4)$$

$$H_{CL}(s) = -N \left(\frac{H_{OL}(s)}{1 - H_{OL}(s)} \right) \quad (5)$$

K 表示鉴频鉴相器(PFD)、电荷泵和VCO的组合增益——也就是说, $K = K_D K_V$, 其中 K_D 表示电荷泵电流, 单位为A; K_V 表示VCO增益, 单位为Hz/V。 H_{OL} 、 H_{CL} 和 H_{LF} 均为 s 的函数。等式4中的负号表示图2中求和节点的负反馈导致相位反转。根据等式4定义的 H_{OL} 导致等式5中分母的减法运算, 直观地解释了闭环稳定性。

检查等式5, 可以发现潜在的环路稳定性问题。由于 H_{OL} 是复数频率 $s = \sigma + j\omega$ 的函数, 它必然具有取决于频率的幅度和相位分量。因此, 对于任意的 s 值, 如果 H_{OL} 同时表现出单位增益和零点相移特性(或 2π 弧度的整数倍), 则 H_{CL} 分母为零, 闭环增益再次变为未定义, 系统变得极不稳定。这意味着稳定性受依赖于频率的 H_{OL} 幅度和相位特性所控制。事实上, 在使得 H_{OL} 为单位幅度的频率处, H_{OL} 相位必须离开零(或离开 2π 任意整数倍)足够远, 才能避免等式5中的分母为零。

使 H_{OL} 为单位幅度处的频率 ω_0 非常重要。 ω_0 处的 H_{OL} 相位决定了系统的相位裕量 ϕ_M 。 ω_0 和 ϕ_M 都可由 H_{OL} 推导得出。

根据 ω_0 和 ϕ_M 定义 R_0 和 C_0

使用设计参数 ω_0 和 ϕ_M 来确定 R_0 和 C_0 值要求表达式包含这四个变量，以及其它常数项。可以从等式4入手，因为等式4定义了 H_{OL} 。这样便将 H_{LF} 加入其中，进而通过 T_1 和 T_2 加入 R_0 和 C_0 。由于 H_{OL} 具有幅度和相位，因此原则上 ω_0 和 ϕ_M 也能加入其中。

将等式3代入等式4，重新排列各项可得等式6；等式6以 T_1 和 T_2 以及常数 K 、 N 和 C_P 来表示 H_{OL} ：

$$H_{OL}(s) = -\left(\frac{K}{s^2 N C_P}\right) \left(\frac{T_1}{T_2}\right) \left(\frac{s T_2 + 1}{s T_1 + 1}\right) \quad (6)$$

在 $s = j\omega$ 时进行评估，可得 H_{OL} 频率响应如下：

$$H_{OL}(j\omega) = -\left(\frac{K}{(j\omega)^2 N C_P}\right) \left(\frac{T_1}{T_2}\right) \left(\frac{j\omega T_2 + 1}{j\omega T_1 + 1}\right) \quad (7)$$

分母中的 $(j\omega)^2$ 项可简化为 $-\omega^2$ ：

$$H_{OL}(j\omega) = \left(\frac{K}{\omega^2 N C_P}\right) \left(\frac{T_1}{T_2}\right) \left(\frac{j\omega T_2 + 1}{j\omega T_1 + 1}\right) \quad (8)$$

H_{OL} 幅度和相位为：

$$|H_{OL}(j\omega)| = \left(\frac{K}{\omega^2 N C_P}\right) \left(\frac{T_1}{T_2}\right) \left(\frac{1}{1 + (\omega T_1)^2}\right) \sqrt{(1 + \omega^2 T_1 T_2)^2 + \omega^2 (T_2 - T_1)^2} \quad (9)$$

$$\angle H_{OL}(j\omega) = \arctan(\omega T_2) - \arctan(\omega T_1) \quad (10)$$

记住， T_1 和 T_2 是 R_0 、 C_0 和 C_P 代数组合的缩写表达式。 $\omega = \omega_0$ 时评估等式9，并使 $|H_{OL}| = 1$ 即可定义单位增益频率 ω_0 ，表示 H_{OL} 为单位幅度时的频率。

$$1 = \left(\frac{K}{\omega_0^2 N C_P}\right) \left(\frac{T_1}{T_2}\right) \left(\frac{1}{1 + (\omega_0 T_1)^2}\right) \sqrt{(1 + \omega_0^2 T_1 T_2)^2 + \omega_0^2 (T_2 - T_1)^2} \quad (11)$$

类似地， $\omega = \omega_0$ 时评估等式10，并使 $\angle H_{OL} = \phi_M$ 即可定义相位裕量 ϕ_M ，表示频率为 ω_0 (单位增益频率) 时的 H_{OL} 相位。

$$\Phi_M = \arctan(\omega_0 T_2) - \arctan(\omega_0 T_1) \quad (12)$$

扩展等式11和等式12很容易，将等式1中的 T_2 和等式2中的 T_1 代入即可将 R_0 和 C_0 带入等式。因此，我们顺利地 ω_0 和 ϕ_M 与变量 R_0 和 C_0 以及常数 K 、 N 和 C_P 相关联。

同时求解我们所得到的等式中的 R_0 和 C_0 很困难。MathCad®提供的符号处理器可求解这两个联立方程，但必须以 $\arctan$ 代替 $\arccos$ 。进行变换后，符号处理器便可求解 R_0 和 C_0 ，得到下列解集(R_{0A} 、 C_{0A} ； R_{0B} 、 C_{0B} ； R_{0C} 、 C_{0C} ；以及 R_{0D} 、 C_{0D})。有关对等式12进行变换以便使用 $\arccos$ 函数的详细信息请参见附录。

$$\begin{aligned} R_{0A} &= \frac{\omega_0 K N \sqrt{1 - \cos^2(\Phi_M)}}{K^2 + 2 K C_P N \omega_0^2 \cos(\Phi_M) + (C_P N \omega_0^2)^2} & C_{0A} &= -\left(\frac{K^2 + 2 K C_P N \omega_0^2 \cos(\Phi_M) + (C_P N \omega_0^2)^2}{N \omega_0^2 (C_P N \omega_0^2 + K \cos(\Phi_M))}\right) \\ R_{0B} &= -\left(\frac{\omega_0 K N \sqrt{1 - \cos^2(\Phi_M)}}{K^2 + 2 K C_P N \omega_0^2 \cos(\Phi_M) + (C_P N \omega_0^2)^2}\right) & C_{0B} &= -\left(\frac{K^2 + 2 K C_P N \omega_0^2 \cos(\Phi_M) + (C_P N \omega_0^2)^2}{N \omega_0^2 (C_P N \omega_0^2 + K \cos(\Phi_M))}\right) \\ R_{0C} &= \frac{\omega_0 K N \sqrt{1 - \cos^2(\Phi_M)}}{K^2 - 2 K C_P N \omega_0^2 \cos(\Phi_M) + (C_P N \omega_0^2)^2} & C_{0C} &= -\left(\frac{K^2 - 2 K C_P N \omega_0^2 \cos(\Phi_M) + (C_P N \omega_0^2)^2}{N \omega_0^2 (C_P N \omega_0^2 - K \cos(\Phi_M))}\right) \\ R_{0D} &= -\left(\frac{\omega_0 K N \sqrt{1 - \cos^2(\Phi_M)}}{K^2 - 2 K C_P N \omega_0^2 \cos(\Phi_M) + (C_P N \omega_0^2)^2}\right) & C_{0D} &= -\left(\frac{K^2 - 2 K C_P N \omega_0^2 \cos(\Phi_M) + (C_P N \omega_0^2)^2}{N \omega_0^2 (C_P N \omega_0^2 - K \cos(\Phi_M))}\right) \end{aligned}$$

这个结果是有问题的，因为目标是在给定 ω_0 和 Φ_M 的情况下求解 R_0 和 C_0 ；而运算结果表明存在四对可能的 R_0 和 C_0 ，而非唯一的 R_0 、 C_0 对。然而，若进一步检查这四组结果，便可得出只有一组解。

注意，就PLL建模而言，上述等式中的所有变量都具有正值，包括 $\cos(\Phi_M)$ ；这是因为， Φ_M 的范围限制在0和 $\pi/2$ 之间。因此， C_{0A} 和 R_{0B} 显然是负数。由此可知， R_{0A} 、 C_{0A} 和 R_{0B} 、 C_{0B} 可立即加以排除，因为元件值不可能为负，但需进一步分析 R_{0C} 、 C_{0C} 和 R_{0D} 、 C_{0D} 。

注意，包含 R_{0C} 、 C_{0C} 和 R_{0D} 、 C_{0D} 在内的四个等式有公因数：

$$K^2 - 2KC_P N \omega_0^2 \cos(\Phi_M) + (C_P N \omega_0^2)^2 \quad (13)$$

进一步分析可知，等式13的形式为： $a^2 - (2ac)\cos(\beta) + c^2$ 。以 b^2 表示该式，可得：

$$b^2 = a^2 + c^2 - (2ac)\cos\beta \quad (14)$$

等式14即为余弦定理，以 a 、 b 和 c 表示三角形的三条边长度， β 表示顶点对边 b 的内角。由于 b^2 表示三角形一条边长度的平方，它必须为正，这也就意味着等式14的等号右边也必须为正。因此，等式13必须为正，意味着 R_{0D} 的分母为正。 R_{0D} 的分子同样为正，因此 R_{0D} 必须为正，这便排除了 R_{0D} 、 C_{0D} 。这使得仅有 R_{0C} 、 C_{0C} 对可作为等式11和等式12的解。

$$R_0 = \frac{\omega_0 K N \sqrt{1 - \cos^2(\Phi_M)}}{K^2 - 2KC_P N \omega_0^2 \cos(\Phi_M) + (C_P N \omega_0^2)^2} \quad (15)$$

$$C_0 = \frac{K^2 - 2KC_P N \omega_0^2 \cos(\Phi_M) + (C_P N \omega_0^2)^2}{N \omega_0^2 (K \cos(\Phi_M) - C_P N \omega_0^2)} \quad (16)$$

R_0 和 C_0 的限制

虽然等式15和等式16有可能是等式11和等式12的公共解，但它们仅在 R_0 和 C_0 均为正时才有效。仔细检查 R_0 可知其为正——它的分子为正，因为 $\cos^2(x)$ 范围为0到1，且它的分母与等式13相同，由前文可知其为正。 C_0 分子同样与等式13相同，因此只要分母满足下列条件， C_0 就为正：

$$K \cos(\Phi_M) > C_P N \omega_0^2 \quad (17)$$

图3以图形方式表示这种关系；不等式17左右两侧均等于 y （蓝色曲线和绿色曲线），水平轴共享 ω_0 和 Φ_M 。两条曲线的交点表示 ω_0 和

Φ_M 的边界。红色弧线部分所表示的条件使等式17成立。红色弧线下方的水平轴部分决定了 C_0 为正的 Φ_M 和 ω_0 范围。注意，蓝色曲线和绿色曲线交点正下方水平轴上的点确定了 Φ_{M_MAX} ，即 Φ_M 的最大值；该值确保 C_0 为正。

$$\Phi_{M_MAX} = \arccos\left(\frac{C_P N \omega_0^2}{K}\right) \text{ radians} \quad (18)$$

等式18要求 $C_P N \omega_0^2$ 小于 K ，才能满足 Φ_{M_MAX} 的 $\arccos$ 范围为0到 $\pi/2$ 的限制条件。这便确定了 ω_{0_MAX} ，即 ω_0 的上限，保证 C_0 为正。

$$\omega_{0_MAX} = \sqrt{\frac{K}{C_P N}} \text{ radians/s} \quad (19)$$

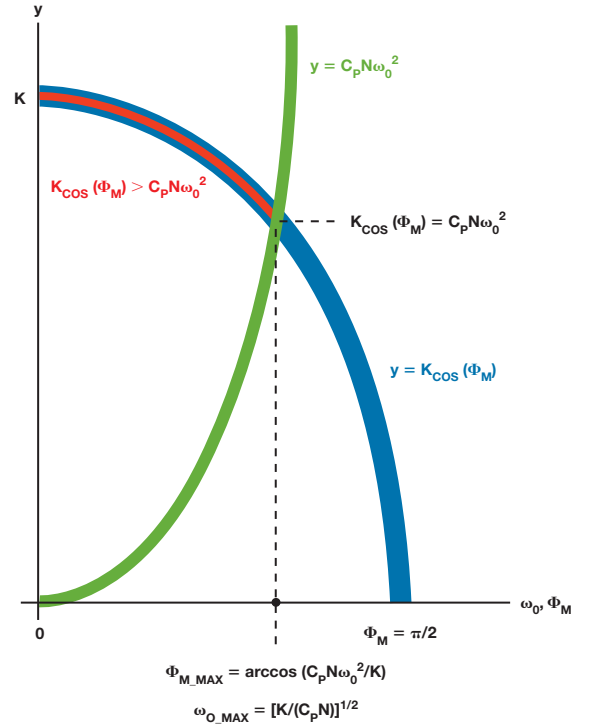


图3. C_0 分母的限制条件

补偿 R_2 和 C_2 （三阶环路滤波器）

就三阶环路滤波器而言， R_2 和 C_2 分量产生额外的相移 $\Delta\Phi$ ；该相移与二阶环路滤波器有关：

$$\Delta\Phi = -\arctan(\omega_0 R_2 C_2) \quad (20)$$

为了处理这个额外的相移，应将其从所需的 Φ_M 值中扣除。

$$\Phi_{M_MAX} = \Phi_M - \Delta\Phi = \Phi_M + \arctan(\omega_0 R_2 C_2) \quad (21)$$

将 Φ_{M_NEW} 代入等式15和等式16可得到不同的 R_0 和 C_0 ，然后针对二阶解，将新数值用来补偿 R_2 和 C_2 引入的额外相移。 R_2 和 C_2 的存在还会影响 Φ_{M_MAX} ，即 Φ_M 的最大允许值。 Φ_M 新的最大值($\Phi_{M_MAX_NEW}$)为：

$$\Phi_{M_MAX_NEW} = \Phi_{M_MAX} + \Delta\Phi = \arccos(\omega_0^2 N C_P / K) - \arctan(\omega_0 R_2 C_2) \quad (22)$$

结论

本文演示了仅有 R_0 和 C_0 元件值可调节时，如何使用开环单位增益带宽(ω_0)和相位裕量(Φ_M)作为二阶或三阶环路滤波器的设计参数。采用 R_0 和 C_0 的二阶环路滤波器仿真PLL，结果与 H_{OL} 以及由此得到的相位裕量理论值完美吻合，从而验证了这些等式。根据等式19和等式18，参数 ω_0 和 Φ_M 针对二阶环路滤波器分别具有上限值。

确定 R_0 和 C_0 的过程中对二阶环路滤波器进行了假设，但通过将所需的相位裕量(Φ_M)根据等式21调节为新的值(Φ_{M_NEW})便可扩展应用到三阶环路滤波器的设计中，进而根据等式22得到一个新的上限值($\Phi_{M_MAX_NEW}$)。

虽然使用二阶环路滤波器进行仿真可验证等式15和等式16，但若要验证将设计过程扩展至三阶环路滤波器的等式则需对环路滤波器响应 $H_{LF}(s)$ 进行重新定义，使其包含 R_2 和 C_2 ，如下所示：

$$H_{LF}(s) = \frac{sR_0C_0 + 1}{s(s^2R_0R_2C_0C_2C_P + sR_2C_0C_2 + sR_0C_0C_P + sR_2C_2C_P + sR_0C_0C_2 + C_0 + C_2 + C_P)}$$

将 H_{LF} 的这种形式应用到 H_{OL} 和 H_{CL} 等式，便可使用 R_0 和 C_0 仿真三阶环路滤波器设计。对其进行仿真可知，当使用三阶环路滤波器时，由理论频率响应和相位裕量推导而得的 R_0 和 C_0 计算值与PLL的 H_{OL} 有关。这主要是因为受到了三阶环路滤波器中 H_{OL} 的 R_2 和 C_2 影响。

如前所述， R_0 和 C_0 等式假定为使用二阶环路滤波器，但在二阶滤波器中不存在 R_2 和 C_2 ，因此虽然通过调节 R_0 和 C_0 可以补偿 R_2 和 C_2 造成的相移，但是将它们看做二阶环路滤波器的一部分还是会构成一个误差源。然而，哪怕存在这样的误差，仿真结果也表明，使用经过调节的 R_0 和 C_0 值，但将 ω_0 限制在最高为等式19推导结果的 $1/4$ 也能获得令人满意的结果。事实上，仿真开环带宽和相位裕量的结果表明，使用三阶环路滤波器的PLL，其与设计参数(ω_0 和 Φ_M)的偏差很小。

仿真结果

以下为针对三阶环路滤波器PLL运行四次仿真的结果。所有仿真均采用下列固定环路滤波器元件和PLL参数：

$C_P = 1.5 \text{ nF}$
 $R_2 = 165 \text{ k}\Omega$
 $C_2 = 337 \text{ pF}$
 $K_D = 30 \text{ }\mu\text{A}$
 $K_V = 3072 \text{ (25 ppm/V at 122.88 MHz)}$
 $N = 100$

仿真1和仿真2使用 $\omega_0 = 100 \text{ Hz}$ ，该值接近124.8 Hz的计算上限值(ω_{0_MAX})。因此，仿真1和仿真2偏离设计参数值(ω_0 和 Φ_M)约10%。另一方面，仿真3和仿真4使用 $\omega_0 = 35 \text{ Hz}$ ，约为上限值的 $1/4$ 。与预期相一致，仿真3和仿真4非常接近设计参数(ω_0 和 Φ_M)，误差仅为1%左右。

表1汇总了仿真结果，并囊括了给定设计参数 ω_0 和 Φ_M 的 R_0 、 C_0 、 ω_{0_MAX} 和 Φ_{M_MAX} 计算值。注意，为了方便进行对比，建议仿真1和仿真3都使用 $\Phi_M = 80^\circ$ ，但仿真1必须满足等式22的限制条件，即 $\Phi_M < 48^\circ$ (因此，选择 42°)。

表1: 仿真结果汇总

	仿真1		仿真2		仿真3		仿真4	
参数	ω_0	ϕ_M	ω_0	ϕ_M	ω_0	ϕ_M	ω_0	ϕ_M
设计	100 Hz	42°	100 Hz	30°	35 Hz	80°	35 Hz	30°
仿真	93.1 Hz	38.7°	92.5 Hz	27.1°	34.9 Hz	79.0°	34.7 Hz	29.3°
R_0	969.6k kΩ		1118 kΩ		240.1 kΩ		139.9 kΩ	
C_0	14.85 nF		3.670 nF		225.5 nF		21.24 nF	
ω_{0_MAX}	124.8 Hz		124.8 Hz		124.8 Hz		124.8 Hz	
ϕ_{M_MAX}	48.0°		48.0°		84.8°		84.8°	

图4和图5显示各仿真的开环和闭环响应。

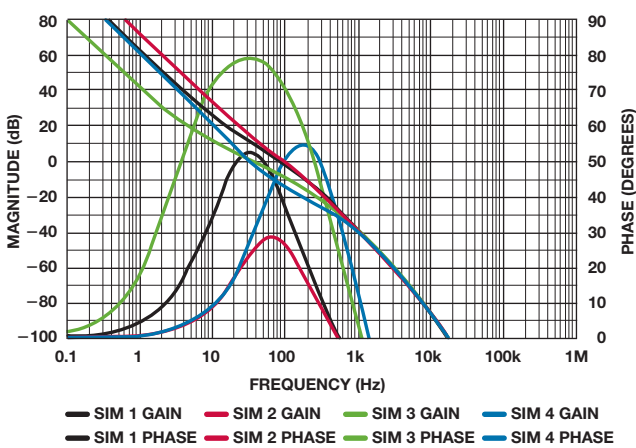


图4. 开环增益和相位

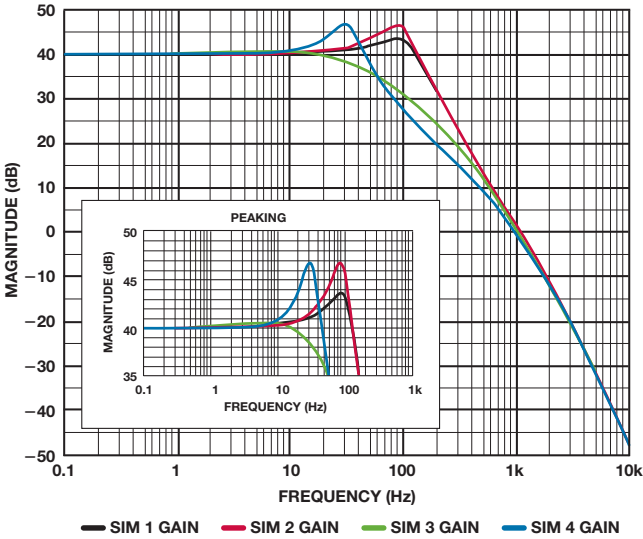


图5. 闭环增益

附录一—将非连续Arctan函数转换为连续Arccos函数

等式10演示了角度 ϕ 等于角度 θ_2 和角度 θ_1 之差，其中 $\theta_2 = \arctan(\omega T_2)$ ， $\theta_1 = \arctan(\omega T_1)$ 。此外， ωT_2 可以表示为 $x/1$ ； ωT_1 可以表示为 $y/1$ ：

$$\Phi = \theta_2 - \theta_1 = \arctan\left(\frac{x}{1}\right) - \arctan\left(\frac{y}{1}\right)$$

这表明两者之间存在如图6所示的几何关系，其中 θ_1 和 θ_2 分别由图6 (b)和图6 (a)的三角形定义。图6 (c)结合了这两个三角形，表示 ϕ 等于 θ_1 和 θ_2 之差。

余弦定理将三角形的某个内角(θ)与三角形的三条边(a 、 b 和 c)相关联，关系式如下：

$$c^2 = a^2 + b^2 - 2ab \cos(\theta)$$

(θ is the angle opposite side c)

将余弦定理用在图6 (c)的 ϕ 角，得到：

$$(x - y)^2 = \left(\sqrt{1 + x^2}\right)^2 + \left(\sqrt{1 + y^2}\right)^2 - 2\sqrt{1 + x^2}\sqrt{1 + y^2} \cos \Phi$$

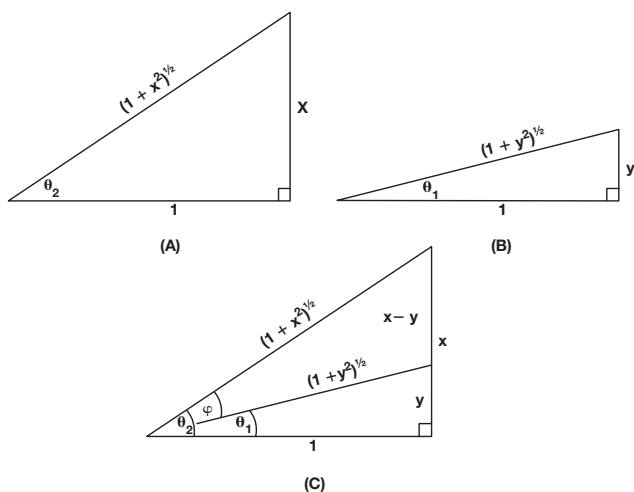


图6. 等式10的几何表示

求解 ϕ :

$$\Phi = \arccos\left(\frac{1 + xy}{\sqrt{(1 + x^2)(1 + y^2)}}\right)$$

但是，由于 $x/1 = \omega T_2$ 且 $y/1 = \omega T_1$ ，因此可用 T_1 和 T_2 来表示 ϕ 。

$$\Phi = \arccos\left(\frac{1 + \omega^2 T_1 T_2}{\sqrt{[1 + (\omega T_2)^2][1 + (\omega T_1)^2]}}\right)$$

参考文献

Brennan, Paul V. [锁相环: 原理与实践](#)。McGraw-Hill, 1996.

Keese, William O. AN-1001, National Semiconductor应用笔记, [用于电荷泵锁相环的无源滤波器设计技术分析与性能评估](#)。1996年5月。

[MT-086: 锁相环\(PLL\)基本原理](#)。

[PLL与集成VCO的PLL](#)。



Ken Gentile [ken.gentile@analog.com] 于1998年加入ADI公司，担任时钟与信号频率合成产品线系统设计工程师，办公地点在北卡罗来纳州格林斯博罗。他的专长是直接数字频率合成、模拟滤波器设计和编写MATLAB中基于GUI的工程工具。Ken拥有10项专利。他在各种行业杂志上发表了14篇文章以及十几篇ADI应用笔记，另外还出席了2001、2005和2006年的ADI年度技术研讨会(GTC)。他于1996年毕业于北卡罗来纳州立大学，获得电气工程学学士学位。业余时间，Ken喜欢阅读、玩数学智力游戏，以及从事与科学、工程和“后院”天文学相关的大部分活动。

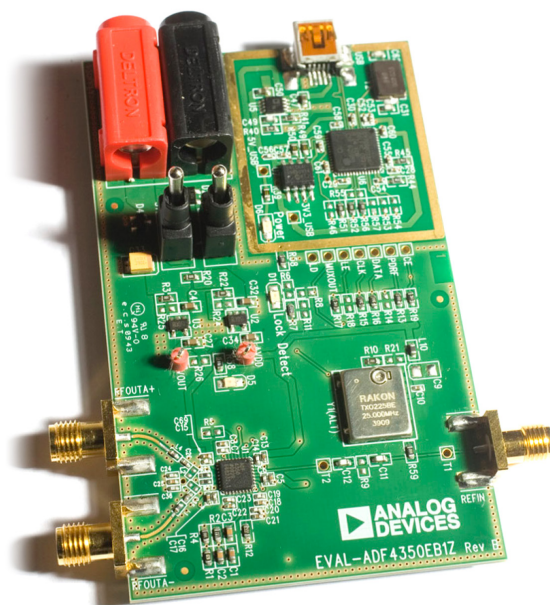


Ken Gentile

该作者的其它文章:

[由DAC谐波频谱成分重构其传递函数](#)

第43卷, 第1期



EVAL-ADF4350EB1Z 评估板

在Xilinx FPGA上快速实现JESD204B

作者：Hajjiao Fan

简介

JESD204是一种连接数据转换器(ADC和DAC)和逻辑器件的高速串行接口，该标准的B修订版支持高达12.5 Gbps串行数据速率，并可确保JESD204链路具有可重复的确定性延迟。随着转换器的速度和分辨率不断提升，JESD204B接口在ADI高速转换器和集成RF收发器中也变得更为常见。此外，FPGA和ASIC中灵活的串行器/解串器(SERDES)设计正逐步取代连接转换器的传统并行LVDS/CMOS接口，并用来实现JESD204B物理层。本文介绍如何快速在Xilinx® FPGA上实现JESD204B接口，并为FPGA设计人员提供部分应用和调试建议。

JESD204B协议实现概述

JESD204B规范定义了实现该协议数据流的四个关键层，如图1所示。传输层完成样本和未加扰的帧数据之间的映射和解映射。可选的加扰层用来加扰/解扰8位字，以扩散频谱尖峰来降低EMI。数据链路层处理链路的同步、建立与保持，并对加扰后的数据进行8B10B编码或译码。物理层负责以比特速率发送和接收编码后的字符。

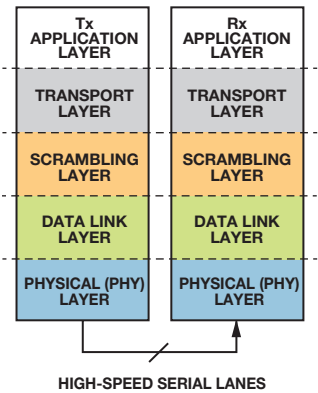


图1. JESD204B标准的关键层级

不同的JESD204B IP供应商可能以不同的方式实现这些层级。图2和图3显示ADI如何实现JESD204B的发送和接收协议。

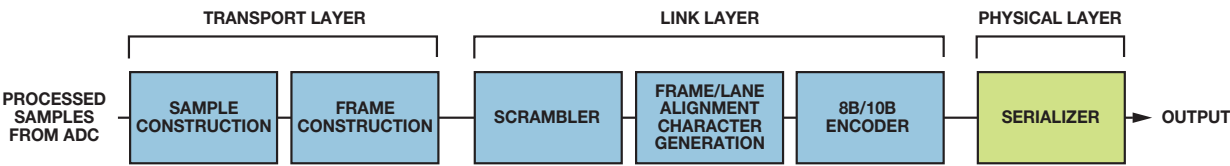


图2. JESD204B发送器实现

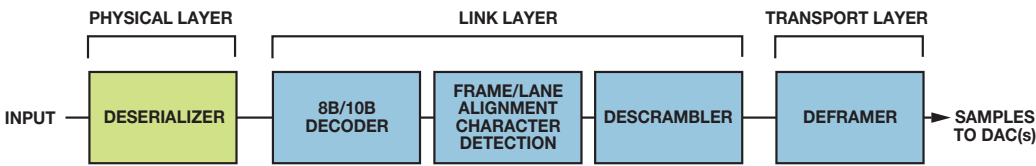


图3. JESD204B接收器实现

传输层实现和特定的转换器配置及其样本与帧之间的映射方式强相关，因此大部分FPGA供应商将其排除在各自的JESD204 IP之外。此外，FPGA集成了高度可配置、高集成度的SERDES收发器，这些SERDES收发器可用来支持所有类型的串行协议，包括PCIe、SATA、SRIO、CPRI和JESD204B。因此，一个实现链路层的逻辑核和实现物理层的可配置SERDES便构成了JESD204B链路的基础。图4和图5显示Xilinx FPGA上的JESD204B发送器和接收器框图。发送器/接收器通道实现加扰和链路层；8B/10B编码器/解码器和物理层在GTP/GTX/GTH Gbit收发器中实现。

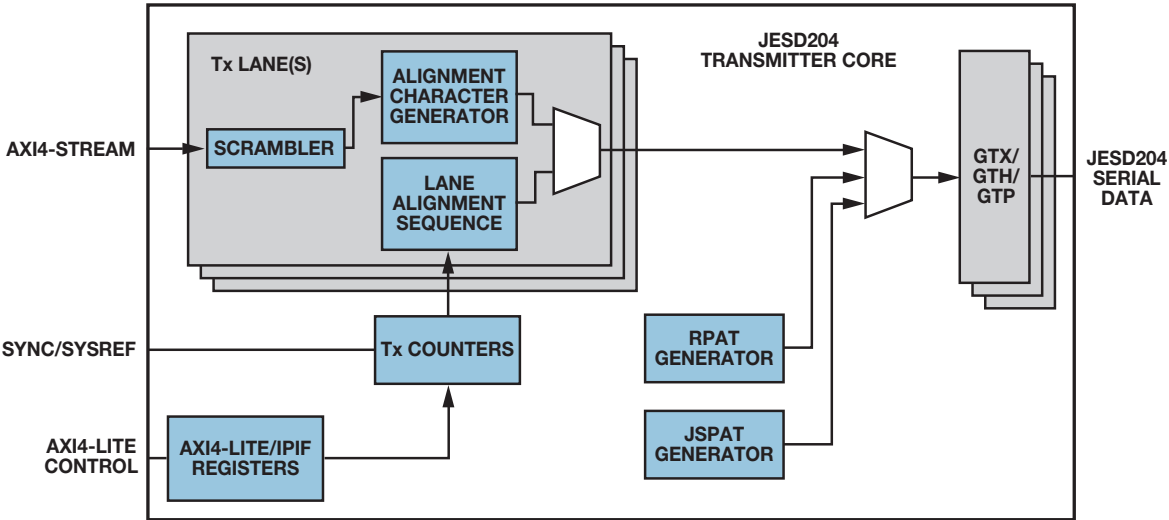


图4. 使用Xilinx FPGA实现JESD204B发送

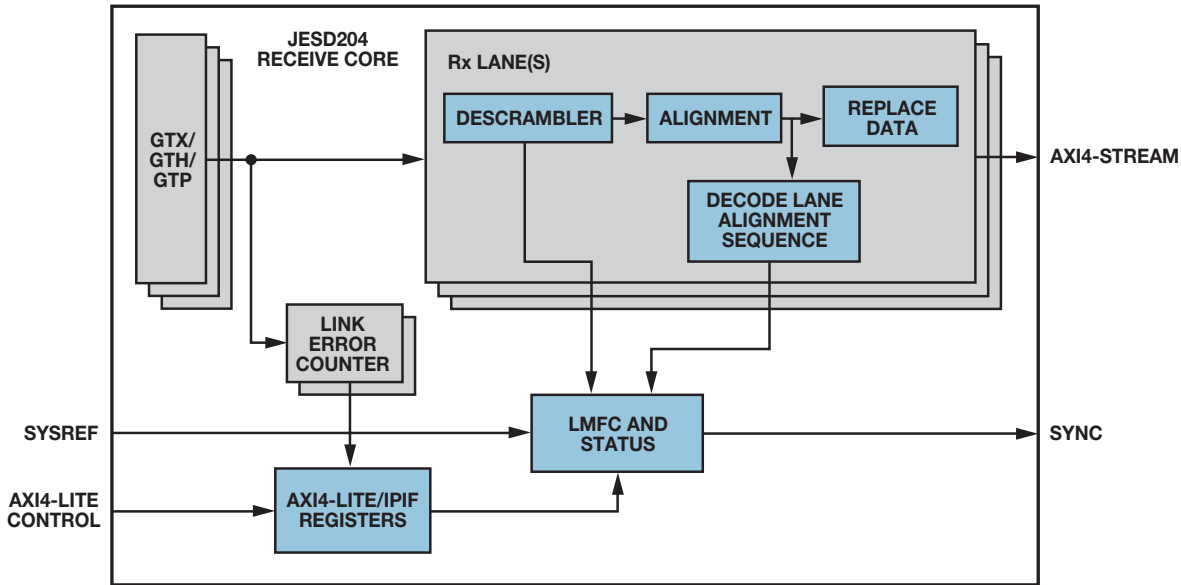


图5. 使用Xilinx FPGA实现JESD204B 接收器

采用Xilinx FPGA的JESD204B设计示例

最新的Xilinx JESD204 IP核通过Vivado®设计套件以黑盒子加密交付。Xilinx还提供使用高级eXtensible接口(AXI)的Verilog设计示例,但该示例项目对大部分应用而言是过设计的,因为用户通常采用自己的配置接口,无需针对JESD204B逻辑集成一个额外的AXI。图6显示的是一个JESD204简化设计,旨在帮助FPGA用户理解JESD204结构,并让他们快速着手设计自己的JESD204 FPGA项目。

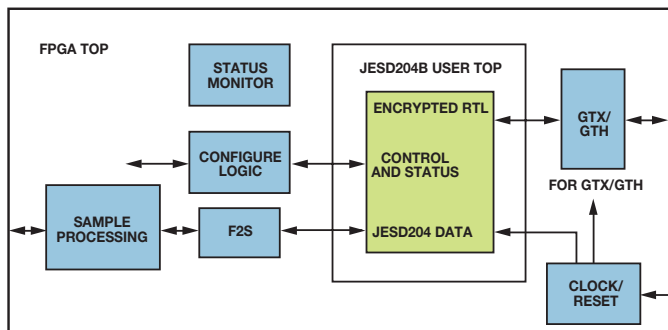


图6. JESD204B设计示例

Vivado产生的JESD204逻辑IP核,即经过加密的RTL模块相当于图4和图5中的发送和接收模块,其加密接口定义可在Xilinx示例设计文件中找到。然后,可将经过加密的RTL模块嵌套入JESD204B用户顶层。来自加密RTL模块的控制、配置、状态和JESD数据接口直接通过嵌套层连接到用户逻辑和GTX/GTH收发器。GTX/GTH符号对齐配置经优化和更新,使收发器工作更为稳定。

给SERDES收发器的GTX/GTH参考时钟应采用专用引脚,对用于FPGA逻辑的全局时钟设计必须仔细的考虑,包括内部PLL、并行接口时钟、JESD204逻辑核以及用户逻辑时钟。此外,必须确保给JESD204B逻辑核(子类1)的SYSREF输入被准确采到,以确保JESD204链路的确定性延迟。

若要获得可靠的JESD链路初始化性能, GTX/GTH收发器和JESD204核的复位序列十分关键;因此, JESD204核应处于复位状态,直到GTX/GTH收发器的内部PLL锁定,且GTX/GTH复位完成。

F2S模块实现JESD204的传输层,该模块根据特定JESD204B配置将样本映射至帧,或从帧解映射至样本。然后根据特定的应用去处理样本数据。采用辅助模块监测JESD204逻辑和物理层(PHY)状态,供系统调试。

Xilinx SERDES收发器的符号对齐

在SERDES接收器中,串行数据必须与符号边界对齐,才能用作并行数据。为了对齐数据,可让发送器发送一个可供识别的序列,通常称为“逗号”。接收器搜索输入串行数据流中的逗号,一旦找到便将其移到符号边界。这样可让接收到的并行字与发送的并行字相匹配。逗号通常用K码表示,它是8B/10B表中用作控制符的一些特殊字符。对于JESD204B应用,发送器发送K_{28.5}符号流,以便进行码组同步(CGS)。因此,FPGA可采用K_{28.5}作为逗号,来对齐符号边界,而用户可以指定逗号匹配是由极性为正的逗号或是由极性为负的逗号所组成,或由两者共同组成。JESD204B针对GTX/GTH逗号检测的默认设置允许利用正极性逗号或负极性逗号来对齐。

某些应用中,默认逗号设置可能导致符号的重新对齐,或者对齐至错误的符号边界。这可能会导致大量的8B/10B解码错误,并使JESD204B链路断链。而正极性逗号加上负极性逗号使用会更稳定,可以使逗号对齐模块连续搜索两个逗号,并仅当收到的数据为正极性逗号(或负极性)后跟一个负极性逗号(或正极性逗号)且中间无额外位时才认为检测到逗号。当线路速率较高或系统噪声过多时,这样做有助于保持符号边界和链路稳定性。

FPGA上的JESD204项目设计考虑因素

来自JESD204接收器输出到发送器的同步、低电平有效SYNC信号用于表示同步状态。正常工作时,链路重新初始化将导致样本数据混乱,因此必须实时监测链路状态。具体而言, SYNC上的连续低电平表示接收器在接收到的数据流中无法识别出至少四个连续K_{28.5}符号。如果发生这种情况,请检查发送器/接收器SERDES配置,或确保发送器正在发送K_{28.5}。SYNC上的连续高电平表示链路已建立,且保持稳定。若SYNC从高电平变为低电平然后返回高电平,则必须记录低电平状态的持续时间。如果持续时间长于5个帧加9个字节,则表示接收器检测到了较大的错误,并将发送请求以重新初始化JESD204链路。如果持续时间等于两个帧时钟,则表示接收器检测到了较小的错误,但不会触发链路重新初始化。这个功能可极大地简化系统调试,并为进一步的链路监测提供便利。因此,用户应当在设计中包含这个功能。

8B/10B解码错误可能导致JESD204B链路重新初始化,但这并非是唯一的原因;因此,用户在设计时应能够对各通道的解码错误进行计数,从而确定链路重新同步的原因。此外,可通过8B/10B解码错误状态实时确定SERDES链路质量。

伪随机位序列(PRBS)提供了一个测量高速链路中信号质量和抖动容差的有用资源。大部分FPGA中的SERDES收发器都内置了PRBS发生器和检查器，无需额外的FPGA资源。因此，不要忘了实例化此功能，在评估比特误码率(BER)或眼图时会使用到这个功能。

SERDES收发器中通常会使用一个缓冲器，来改变内部时钟域。如果发送器和接收器的时钟设计不佳或者时钟数据恢复模块(CDR)设置错误，那么就会导致缓冲器上溢或下溢。此时可能会发生某些链路错误，因此有必要监测缓冲器状态。缓冲器上溢或下溢的中断记录对于系统调试而言是很有用的，所以同样应当监测用户逻辑中不允许发生下溢或上溢的其它内部缓冲器的状态。

结论

本文讨论了如何在Xilinx FPGA上快速实现JESD204模块，实现方法同样可用于其它FPGA。首先，应了解FPGA供应商提供的JESD204逻辑核和收发器的功能以及接口，然后将其实例化并与您的逻辑整合。其次，从全局角度出发设计FPGA时钟树，和整个工程的复位顺序。然后，仔细定义JESD204逻辑核、用户逻辑和收发器之间的接口。最后，加入必要的调试资源。遵循这些步骤有助于您快速、成功地设计JESD204接口。

参考文献

JESD204B应用指南

JESD204数据转换器串行接口JEDEC标准

高速模数转换器

高速数模转换器

集成式收发器、发射机和接收机

联盟计划和FPGA参考设计

解密JESD204B高速数据转换器转FPGA接口

Ian Beavers, “JESD204B转换器内确定性延迟解密” *Electronic Design*, 2014年2月25日。

Ian Beavers, “系统原型制作：JESD204B转换器和FPGA” *Electronic Design*, 2014年1月23日。

Ian Beavers和Jeffrey Ugalde, “设计JESD204B转换器系统，实现低BER (第一部分)” *EDN*, 2014年10月22日。

Ian Beavers和Jeffrey Ugalde, “设计JESD204B转换器系统，实现低BER (第二部分)” *EDN*, 2014年10月28日。

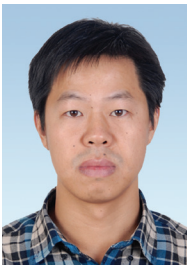
Jonathan Harris, “了解JESD204B规范中的层级：从高速ADC的角度出发(第一部分)” *EDN*, 2014年9月24日。

Jonathan Harris, “了解JESD204B规范中的层级：从高速ADC的角度出发(第二部分)” *EDN*, 2014年10月2日。

Del Jones, “JESD204B子类(第一部分)：简介和确定性延迟” *EDN*, 2014年6月18日。

Del Jones, “JESD204B子类(第二部分)：子类1与子类2的系统考虑因素” *EDN*, 2014年6月25日。

Haijiao Fan [haijiao.fan@analog.com] 是ADI中国北京公司的应用工程师，从事JESD204协议评估和集成RF收发器应用与支持工作。他曾就读于中国西北工业大学，并分别于2003年和2006年获得电子工程学士和电子工程硕士学位。2012年7月加入ADI公司，此前Haijiao拥有超过6年的FPGA和系统工程师工作经验。



Haijiao Fan

射频集成电路的电源管理

作者: Qui Luu

随着射频集成电路(RFIC)中集成的元件不断增多,噪声耦合源也日益增多,使电源管理变得越来越重要。本文将描述电源噪声可能对RFIC性能造成的影响。虽然本文的例子是集成锁相环(PLL)和电压控制振荡器(VCO)的ADRF6820正交解调器,但所得结果也适用于其他高性能RFIC。

电源噪声会在解调器中形成混频积,因而可能导致线性度下降,并对PLL/VCO中的相位噪声性能造成不利影响。本文将详细描述电源评估方案,同时提供采用低压差调节器(LDO)和开关调节器的推荐电源设计。

凭借双电源和超高RF集成度,ADRF6820是适合讨论的一款理想器件。它使用的有源混频内核与ADL5380正交解调器相似,PLL/VCO内核与ADRF6720相同,因此,本文所提供信息也可用于这些器件。另外,电源设计也可用于要求3.3 V或5.0 V电源、功耗相似的新型设计。

ADRF6820正交解调器和频率合成器(如图1所示)非常适合新一代通信系统。该器件功能丰富,包括一个高线性度宽带I/Q解调器、一个集成小数N分频PLL和一个低相位噪声多核VCO。另外集成一个2:1 RF开关、一个可调谐RF巴伦、一个可编程RF衰减器和两个LDO。这款高度集成的RFIC采用6 mm × 6 mm LFCSP封装。

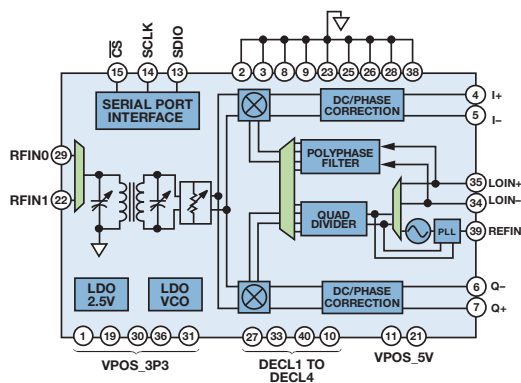


图1. ADRF6820简化功能框图

电源灵敏度

受电源噪声影响最大的模块为混频器内核和频率合成器。耦合至混频器内核的噪声会形成无用信号,结果会导致线性度和动态范围下降。这对正交解调器尤其重要,因为低频混频积在目标频带之内。类似地,电源噪声可能导致PLL/VCO相位噪声性能下降。无用混频产物和相位噪声性能下降是多数混频器和频率合成器的常见问题,但确切的下降幅度取决于芯片的架构和

布局。了解这些电源灵敏度有利于设计出更加鲁棒的电源,使性能和效率达到最优。

正交解调器灵敏度

ADRF6820采用一个双平衡吉尔伯特单元有源混频器内核,如图2所示。双平衡意味着LO和RF端口都采用差分驱动方式。

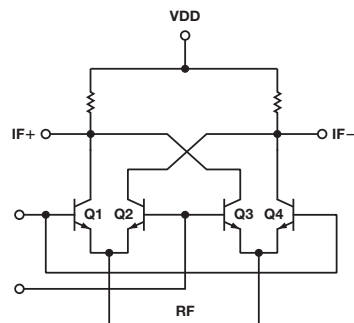


图2. 吉尔伯特单元双平衡有源混频器

在滤波器抑制高阶谐波以后,所得到的混频器输出为RF和LO输入的和与差。差项(也称为IF频率)在目标频带之内,是所需信号。和项在频带之外,要进行滤波处理。

$$V(t) = -\frac{2V_{RF}}{\pi} [\cos(w_{RF}t - w_{LO}t) + \cos(w_{RF}t + w_{LO}t)]$$

理想情况下,只有所需RF和LO信号会输入混频器内核,但很少是这种情况。电源噪声可能耦合到混频器输入中并表现为混频杂散。根据噪声耦合源的不同,混频杂散的相对幅度可能不同。图3所示为一种示例混频器输出频谱,其中,由于电源噪声的耦合,其与有用信号的混频产物也出现在输出频谱上。在图中,CW对应于耦合到供电线路的连续波或正弦信号。比如,噪声可能是来自600 kHz或1.2 MHz开关调节器的时钟噪声。电源噪声可能导致两个不同的问题;如果噪声耦合到混频器输出,CW音将没有经过任何频率转换,出现在输出端。如果耦合发生在混频器输入端,则CW音会调制RF和LO信号,并在 $IF \pm CW$ 产生积。

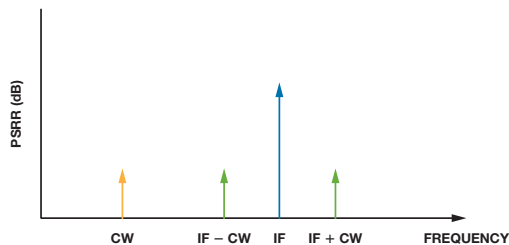


图3. 电源噪声耦合条件下的示例混频器输出频谱

这些混频积可能接近目标IF信号，因此，要滤除它们是很困难的，动态范围损失是不可避免的。正交解调器尤其如此，因为它们基带是复数且以直流为中心。ADRF6820的解调带宽范围为直流至600 MHz。如果用噪声频率为1.2 MHz的开关调节器驱动混频器内核，则无用混频积会出现在 $IF \pm 1.2 \text{ MHz}$ 。

频率合成器灵敏度

本文末尾的参考文献针对电源噪声如何影响集成PLL和VCO提供了非常有价值的信息。其原理适用于采用相同架构的其他设计，但不同的设计需要单独进行电源评估。例如，ADRF6820 VCO电源上的集成LDO比不采用集成LDO的PLL电源具有更强的噪声抑制能力。

ADRF6820电源域和功耗

要设计电源管理解决方案，首先要考察RFIC的电源域，以确定哪些RF模块由哪个域驱动、各个域的功耗、影响功耗的工作模式以及各个域的电源抑制性能。利用这些信息，可以收集到RFIC的灵敏度数据。

ADRF6820的每个主要功能模块都有自己的电源引脚。两个域由5 V电源供电。VPMX驱动混频器内核，VPRF驱动RF前端和输入开关。其他域由3.3 V电源供电。VPOS_DIG驱动一个集成LDO，后者输出2.5 V以驱动SPI接口、PLL的 Σ - Δ 调制器和频率合成器的FRAC/INT分压器。VPOS_PLL驱动PLL电路，包括参考输入频率(REFIN)、相位频率检测器(PFD)和电荷泵(CP)。VPOS_LO1和VPOS_LO2驱动LO路径，包括基带放大器和直流偏置基准电压源。VPOS_VCO驱动另一个集成LDO，后者输出2.8V以驱动多核VCO。该LDO对降低对电源噪声的灵敏度十分重要。

ADRF6820可配置为多种工作模式。正常工作模式下，采2850 MHz LO时，功耗小于1.5 mW。降低偏置电流会同时降

低功耗和性能。增加混频器偏置电流会提高混频器内核的线性度并改善IIP3，但会降低噪声系数，增加功耗。如果噪声系数非常重要，可以降低混频器偏置电流，结果可减少混频器内核中的噪声并降低功耗。类似地，输出端的基带放大器对低阻抗输出负载具有可变电流驱动能力。低输出阻抗负载要求较高的电流驱动，功耗也更高。数据手册列出了一些数据表，其中展示了各种工作模式下的功耗。

测量步骤和结果

供电轨上的噪声耦合会在CW和 $IF \pm CW$ 时产生无用噪声。要模拟该噪声耦合情形，在每个电源引脚上施加一个CW音，测量所形成的混频积相对于输入CW音的幅度。把该测量值记为电源抑制能力，单位为dB。电源抑制因频率而异，因此，要对30 kHz至1GHz的CW频率进行扫描，以捕捉到具体的行为数据。目标频带内的电源抑制能力决定了是否需要滤波。PSRR计算方法如下：

$CW \text{ PSRR(单位: dB)} = \text{输入CW幅度(dBm)} - \text{I/Q输出端测得的CW馈通(dBm)}$

$(IF \pm CW) \text{ PSRR(单位: dB)} = \text{输入CW幅度(dBm)} - \text{I/Q输出端测得的} IF \pm CW \text{ 馈通(dBm)}$

$(IF + CW)(\text{单位: dBm}) = (IF - CW) \text{ dBm}$ ，因为在载波周围调制的CW音具有相等的幅度。

实验室设置

图4所示为实验室设置。向网络分析仪施加一个3.3 V或5 V直流源，以产生失调为3.3 V或5 V的扫频连续正弦信号。将该信号施加上到RFIC上的各个供电轨。两个信号发生器提供RF和LO输入信号。测量频谱分析仪的输出。

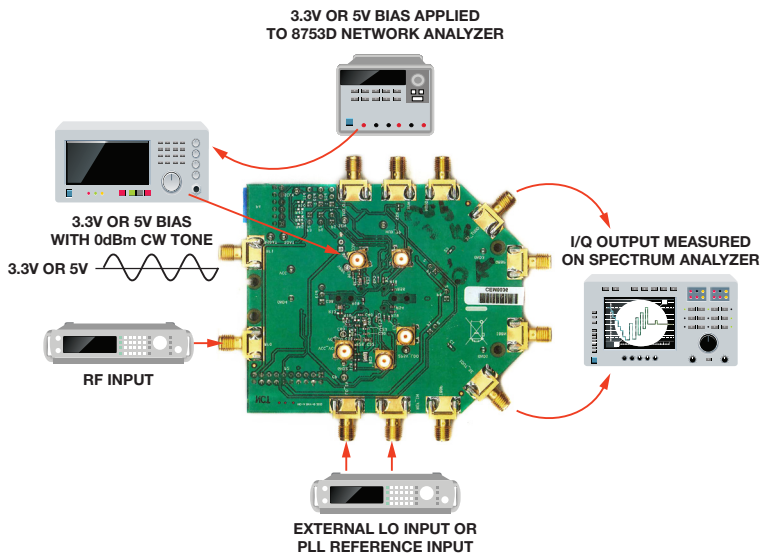


图4. ADRF6820 PSRR测量设置

测量步骤

无用混频积的幅度取决于芯片的电源抑制性能,以及评估板上去耦电容的大小和位置。图5所示为输出端(IF + CW)音的幅度,其中,电源引脚上给定0 dB的正弦信号。无去耦电容时,无用音的幅度在-70 dBc和-80 dBc之间。数据手册建议在板正面器件旁边设置一个100 pF的电容,在背面设置一个0.1 μ F的电容。从图中可以看到这些外部去耦电容的谐振。16 MHz处的瞬变是0.1 μ F电容谐振的结果(寄生电感为1 nH)。356 MHz处的瞬变是100 pF电容谐振的结果(两个电容的寄生电感均为2 nH)。500 MHz处的瞬变是100 pF电容谐振的结果(寄生电感为1 nH)。

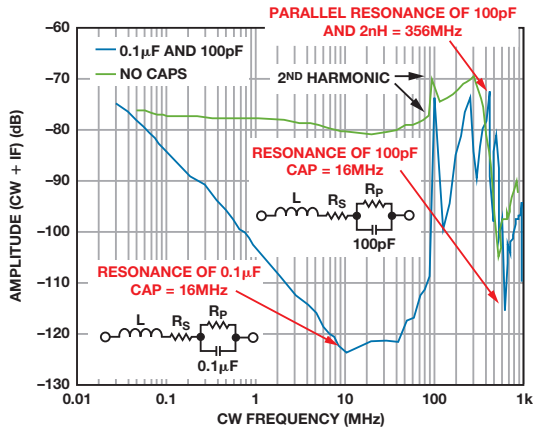


图5. IF $\pm$ CW去耦电容谐振的影响

结果

测量了基带输出端的供电轨上干扰信号(CW)和调制信号(IF $\pm$ CW)的幅度。在被测供电轨上引入了噪声,其他电源则保持洁净。图6所示为在电源引脚上注入0 dB正弦信号并在30 kHz至1 GHz范围内扫频时(IF $\pm$ CW)音的幅度。图7所示为从CW音到基带输出的馈通。

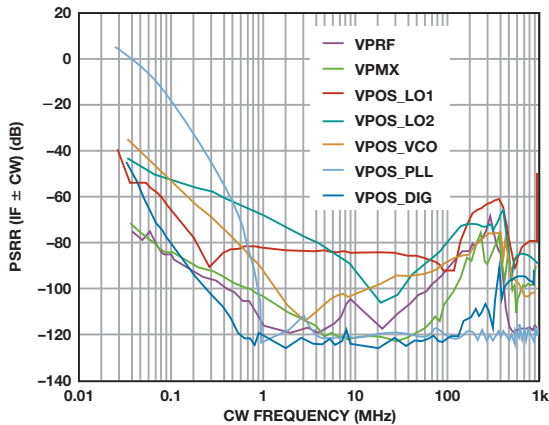


图6. (IF $\pm$ CW)音的PSRR

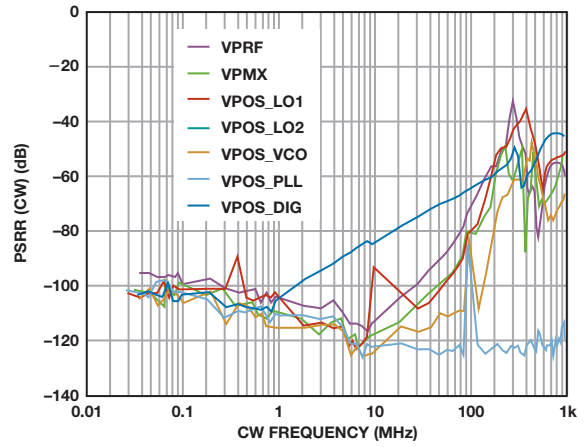


图7. CW音的PSRR

分析

图中提供了各电源引脚处的电源灵敏度数据,这些数据非常有用。VPOS_PLL具有最差电源抑制性能,因此,是最灵敏的电源节点。该电源引脚驱动PLL电路,包括参考输入频率、相位频率检测器和电荷泵。这些灵敏的功能模块决定着LO信号的精度和相位性能,因此,其上耦合的任何噪声都会直接传播到输出端。

同理,可以认为VCO电源也是一个非常重要的节点。从图中可以看出,VPOS_VCO的抑制性能远远优于VPOS_PLL。这是实际驱动VCO的内置LDO造成的结果。LDO将VCO与外部引脚上的噪声隔离开,同时为其提供固定噪声频谱密度。PLL电源无LDO,因而是最敏感的供电轨。可见,将其与潜在噪声耦合相隔离对于获得最佳性能至关重要。

PLL环路滤波器会衰减高CW频率,因此,VPOS_PLL在低频下的灵敏度较差,当频率从30 kHz扫描至1 GHz时会缓慢改善。在较高频率下,干扰音的幅度会衰减,注入PLL的功率水平显著降低。可见,VPOS_PLL的高频电源抑制性能优于其他电源域。环路滤波器组件是针对20 kHz配置的,如图8所示。

供电轨(从灵敏度最高到最低)为: VPOS_PLL、VPOS_LO2、VPOS_VCO、VPOS_LO1、VPOS_DIG、VPMX和VPRF。

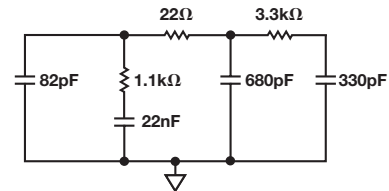


图8. 针对20 kHz环路带宽配置的PLL环路滤波器

电源设计

经过前面的讨论，我们对ADRF6820在各种模式下的最大功耗以及各电源域的灵敏度有了较好的理解，我们利用开关调节器和LDO来设计电源管理解决方案，以决定两种电源解决方案的可行性。首先，把一个6 V源调节至5 V和3.3 V，供ADRF6820供电轨使用。图9所示为针对VPMX和VPRF的5 V电源设计。ADP7104 CMOS LDO最多可以提供500 mA的负载电流。ADP2370低静态电流降压开关调节器可以在1.2 MHz或600 kHz下工作。在开关调节器输出端增加了额外的滤波处理，以衰减开关噪声。ADP2370

最高可以提供800 mA的负载电流。ADRF6820的5 V供电轨可以由ADP7104或ADP2370驱动。在每个电源引脚上施加额外的去耦和滤波处理。

图10所示为3.3 V电源设计。源电压仍为6.0 V，但一个额外的LDO使源电压降至中间电压，然后，源电压进一步降至3.3 V。需要一个额外级以减少功率损耗，因为一个直接降压至3.3 V的6 V源电压工作时的最大效率为55%。开关调节器路径不需要中间级，因为其脉冲宽度调制(PWM)架构可降低功率损耗。

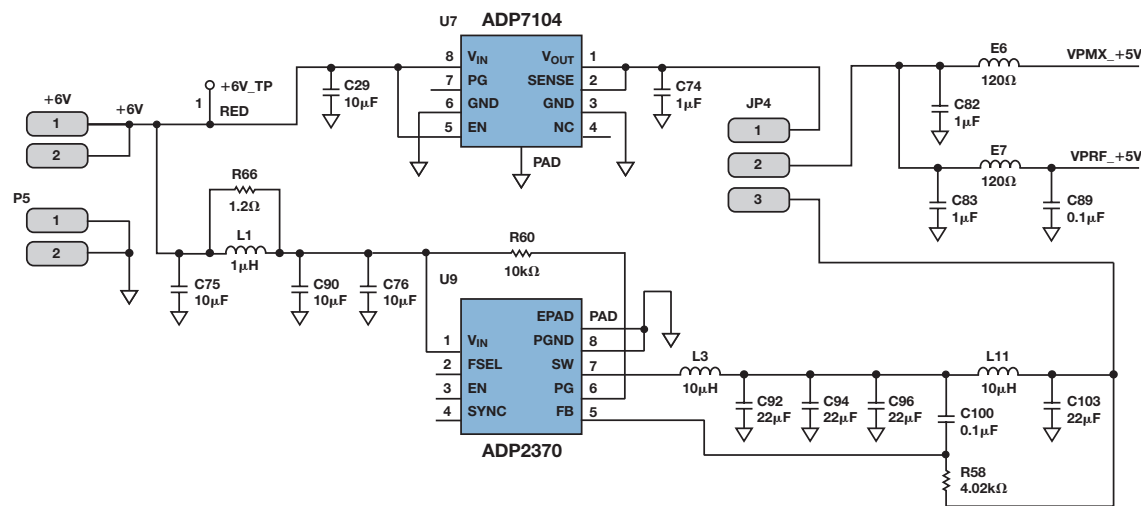


图9. 5 V电源设计

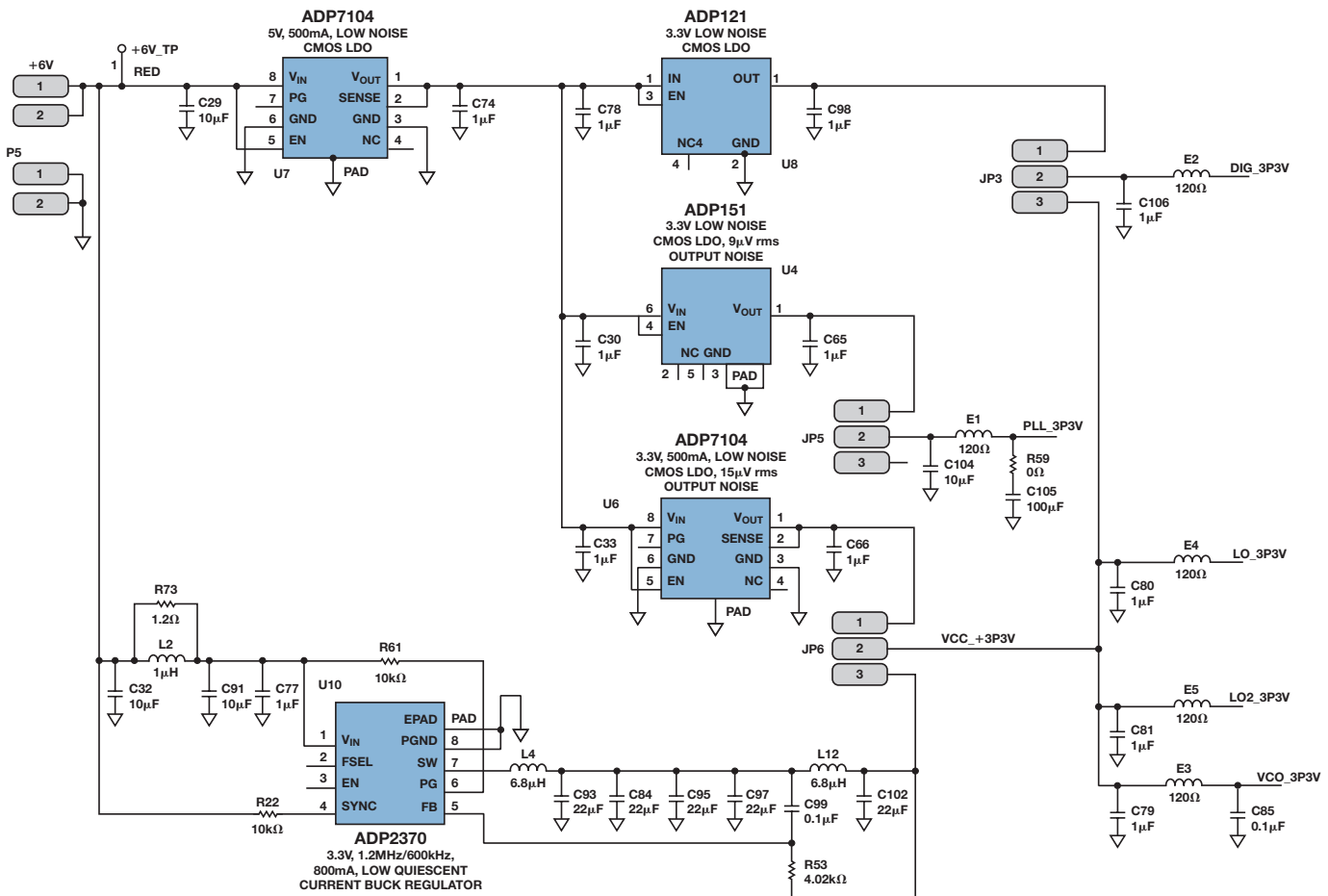


图9. 5 V电源设计

3.3 V设计允许进行更多实验。除了用一个LDO或开关调节器驱动3.3 V供电轨以外，VPOS_PLL供电轨有额外LDO选项，VPOS_DIG供电轨有一个可选的隔离式LDO。由于PLL电源灵敏度最高，因此，我们尝试了三种电源解决方案，每一种都有不同的输出噪声：[ADP151](#) 3.3 V超低噪声CMOS LDO，输出噪声为9 μV ；ADP7104 3.3 V低噪声CMOS LDO，输出噪声为15 $\mu\text{V rms}$ ；ADP2370 3.3 V降压调节器。我们希望确定仍能维持所需相位噪声性能的最高电源噪声。最高性能、最低噪声LDO是不可或缺的吗？

另外还尝试在VPOS_DIG供电轨上采用[ADP121](#) 3.3 V低噪声CMOS LDO，以确定数字噪声是否会影响性能。受SPI接口开关影响，数字供电轨的噪声一般高于模拟电源。我们希望确定3.3 V数字电源是需要自己的LDO，还是可以直接耦合到模拟电源。我们选择ADP121作为低成本解决方案。

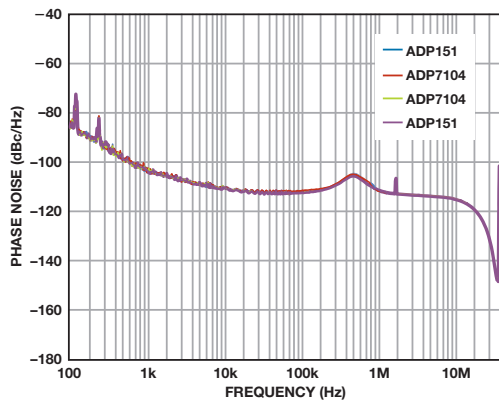


图11. 使用ADP151和ADP7104时的集成相位噪声

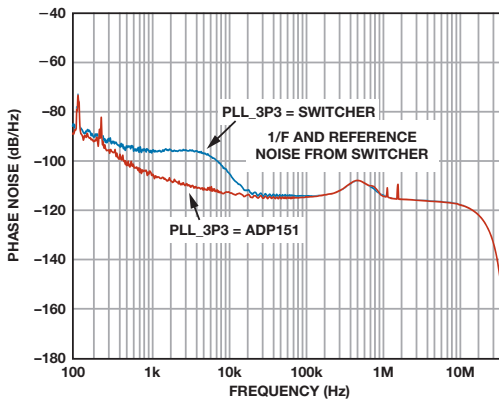


图12. 使用ADP151和ADP2370时的集成相位噪声

结论和推荐电源设计

对于VPOS_PLL(最灵敏的供电轨)，低成本的ADP151 LDO可以实现与ADP7104高性能、低噪声LDO相同的相位噪声，如图11所示。然而，在采用ADP2370开关调节器时，性能下降，如图12所示。噪声波峰由开关调节器导致，在其输出端可见，如图13所示。因此，VPOS_PLL最多可以承受15 $\mu\text{V rms}$ 的噪声而不造成集成相位噪声性能下降，但不能使用开关调节器来驱动该引脚。使用性能更高、噪声更低的LDO并未带来好处。

在用开关调节器或LDO驱动剩余供电轨时，可维持良好的相位噪声性能，如图14所示。5 V供电轨引脚VMPX和VPRF可以相连并用单电源供电。3.3 V电源引脚VPOS_LO1、VPOS_LO2和VPOS_VCO也可相连并用单电源供电。VPOS_DIG不需要独立的LDO，可以连接模拟3.3 V电源。

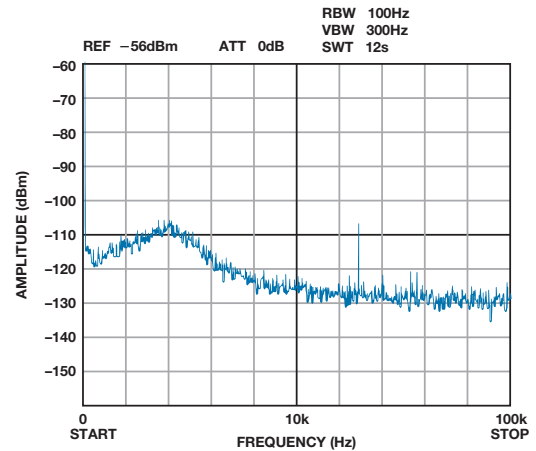


图13. ADP2370的输出频谱

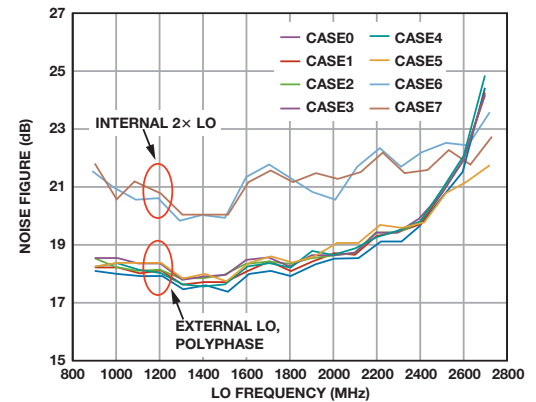


图14. 开关与LDO噪声系数

推荐电源设计(如图15所示)采用6 V源电压, 包括ADP7104 5.0 V和ADP7104 3.3 V LDO。该解决方案只使用了LDO, 因为源电压接近所需的电源电压。功效处于可接受水平, 因此, 无需额外增添滤波元件和开关调节器。

推荐的电源设计(如图16所示)采用12 V源电压, 包括两个开关调节器和一个LDO。源电压远远大于所需电源电压, 因此使用了开关调节器来提高功效。除灵敏的VPOS_PLL电源以外的所有电源引脚都可用开关调节器供电。ADP7104或ADP151均可用于VPOS_PLL。

参考文献

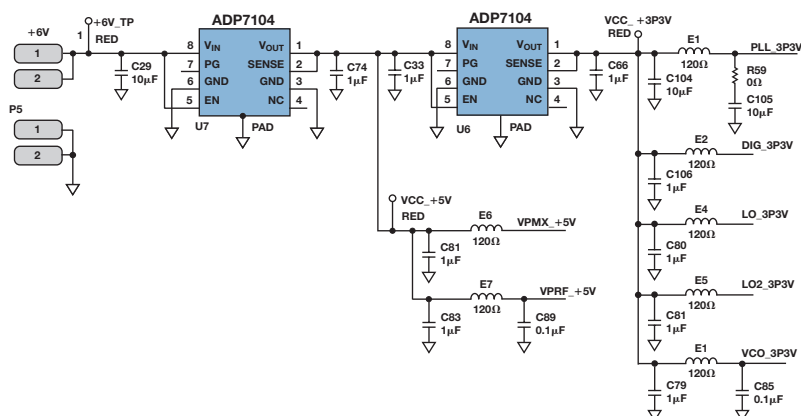
电路笔记CN0147, [利用低噪声LDO调节器为小数N分频压控振荡器\(VCO\)供电, 以降低相位噪声](#), ADI公司, 2010年。

Collins, Ian, [集成PLL和VCO\[第2部分\]](#), Radio-Electronics.com, 2010年11月。

调制器/解调器

线性稳压器

开关稳压器



为逐次逼近型ADC设计可靠的数字接口

作者：Steven Xie

简介

逐次逼近型模数转换器(因其逐次逼近型寄存器而称为SAR ADC)广泛运用于要求最高18位分辨率和最高5 MSPS速率的应用中。其优势包括尺寸小、功耗低、无流水线延迟和易用。

主机处理器可以通过多种串行和并行接口(如SPI、I²C和LVDS)访问或控制ADC。本文将讨论打造可靠、完整数字接口的设计技术,包括数字电源电平和序列、启动期间的I/O状态、接口时序、信号质量以及数字活动导致的误差。

数字I/O电源电平和序列

多数SAR ADC都提供独立的数字I/O电源输入(V_{IO} 或 V_{DRIVE}),后者决定接口的工作电压和逻辑兼容性。此引脚应与主机接口(MCU、DSP或FPGA)电源具有相同的电压。数字输入一般应在 $DGND - 0.3\text{ V}$ 与 $V_{IO} + 0.3\text{ V}$ 之间,以避免违反绝对最大额定值。须在 V_{IO} 引脚与DGND之间连接走线短的去耦电容。

采用多个电源的ADC可能拥有明确的上电序列。应用笔记AN-932《电源序列》为这些ADC电源的设计提供了良好的参考。为了避免正向偏置ESD二极管,避免数字内核加电时处于未知状态,要在接口电路前打开I/O电源。模拟电源通常在I/O电源之前加电,但并非所有ADC均是如此。请参阅并遵循数据手册中的内容,确保序列正确。

启动期间的数字I/O状态

为了确保初始化正确无误,有些SAR ADC要求处于某些逻辑状态或序列,以实现复位、待机或关断等数字功能。在所有电源都稳定之后,应施加指定脉冲或组合,以确保ADC启动时的状态符合预期。例如,一个高脉冲在RESET上持续至少50 ns,这是配置AD7606以使其在上电后能正常运行所必须具备的条件。

在所有电源均完全建立之前,不得切换数字引脚。对于SAR ADC,转换开始引脚 $\overline{CNVST}$ 可能对噪声敏感。在图1所示示例中,当 AV_{CC} 、 DV_{CC} 和 V_{DRIVE} 仍在上升时,主机cPLD拉高 $\overline{CNVST}$ 。这可能使AD7367进入未知状态,因此,在电源完全建立之前,主机应使 $\overline{CNVST}$ 保持低电平。

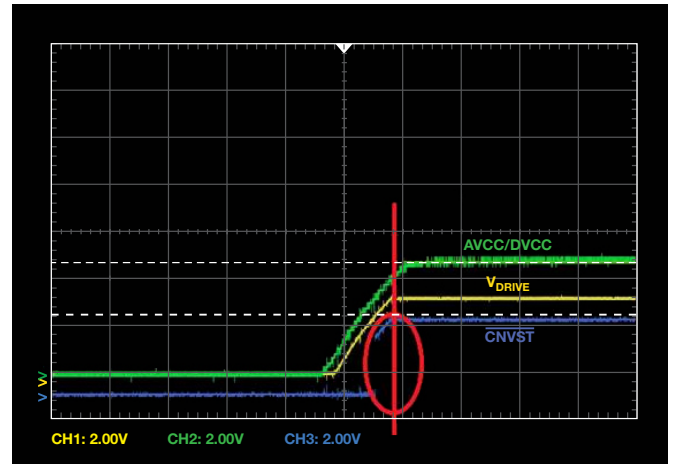


图1. 在电源上升时拉高 $\overline{CNVST}$ 可能导致未知状态。

数字接口时序

转换完成之后,主机可以通过串行或并行接口读取数据。为了正确读取数据,须遵循特定的时序策略,比如,SPI总线需要采用哪种模式等。不得违反数字接口时序规范,尤其是ADC和主机的建立和保持时间。最大比特率取决于整个循环,而不仅仅是最小额定时钟周期。图2和下列等式展示了如何计算建立和保持时间裕量。主机把时钟发送至ADC并读取ADC输出的数据。

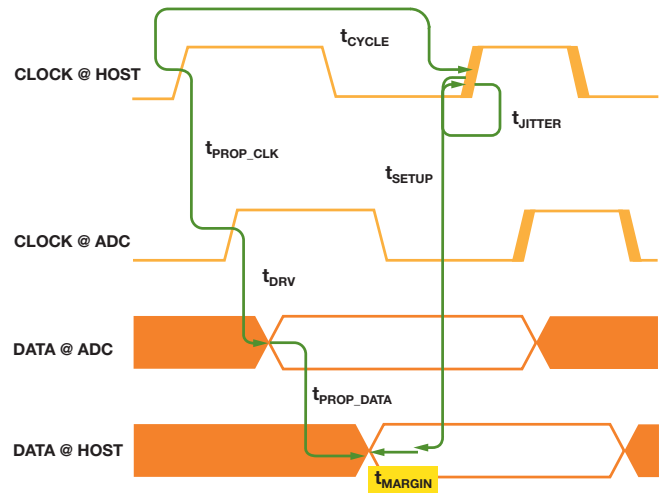


图2. 建立和保持时序裕量。

为了减少反射:

- 尽量缩短走线的长度
- 控制走线的特性阻抗
- 消除分支
- 使用适当的端接方案
- 用环路面积小的固体金属作为返回电流参考平面
- 使用较低的驱动电流和压摆率

针对走线特性阻抗的计算, 目前有许多软件工具或网站, 比如 Polar Instruments Si9000 PCB 传输线路场求解器。借助这些工具, 特性阻抗计算起来非常简单, 只需选择传输线路型号并设置相应的参数即可, 比如电介质类型和厚度以及走线宽度、厚度和隔离。

作为一种新兴标准, IBIS 用于描述 IC 数字 I/O 的模拟行为。ADI 提供针对 SAR ADC 的 IBIS 模型。预布局仿真可检测时钟分布、芯片封装类型、电路板堆叠、网络拓扑结构和端接策略。也可检测串行接口时序限制以便为定位和布局提供指导。后仿真可验证设计是否符合所有指导方针和限制的要求, 同时检测是否存在反射、振铃、串扰等违反要求的情况。

在图7中, 一个驱动器通过一条12英寸的微带线路连接 SCLK1, 另一个驱动器通过一个与微带串联的43 Ω 电阻连接 SCLK2。

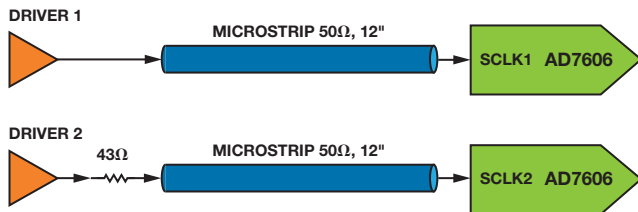


图7. 驱动AD7606 SCLK

在图8中, SCLK1上的大过冲违反了-0.3 V至+3.6 V的绝对最大额定值。串联电阻可减小SCLK2上的压摆率, 使信号处于额定值之内。

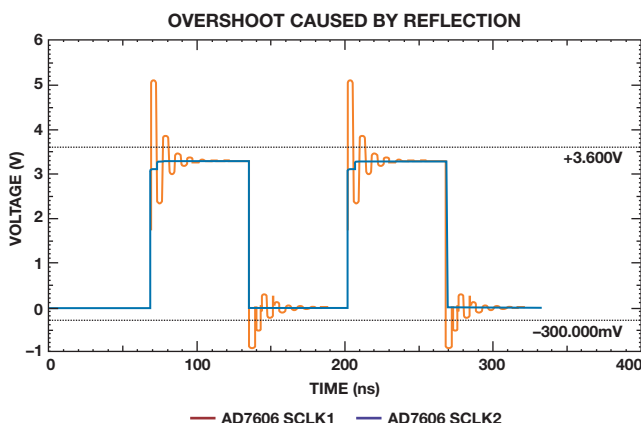


图8. AD7606 IBIS过冲模型仿真

串扰是能量通过互电容(电场)或互感(磁场)在并行传输线路间耦合的情况。串扰量取决于信号的上升时间、并行线路的长度以及它们之间的间距。

控制串扰的一些常用方法为:

- 增加线路间距
- 减小并行布线
- 使走线靠近参考金属平面
- 使用适当的端接方案
- 减小信号压摆率

数字活动导致的性能下降

数字活动可能导致SAR ADC性能下降, 使SNR因数字地或电源噪声、采样时钟抖动和数字信号干扰而减小。

孔径或采样时钟抖动设定SNR限值, 尤其是对高频输入信号。系统抖动有两个来源: 来自片内采样保持电路的孔径抖动(内部抖动), 以及采样时钟上的抖动(外部抖动)。孔径抖动为转换间的采样时间变化, 为ADC的函数。采样时钟抖动通常为主要误差源, 但两个源都会导致模拟输入采样时间变化, 如图9所示。它们的影响难以区分。

总抖动会产生误差电压, ADC总SNR的限制因素为

$$SNR = 20 \log_{10} \left[\frac{1}{2 \pi f t_j} \right]$$

$$Total\ jitter = t_j\ (rms),$$

$$Total\ jitter = \sqrt{(ADC\ aperture\ jitter)^2 + (sampling\ clock\ jitter)^2}$$

其中, f 为模拟输入频率, t_j 为总时钟抖动。

例如, 当模拟输入为10 kHz, 总抖动为1 ns时, SNR限值为84 dB。

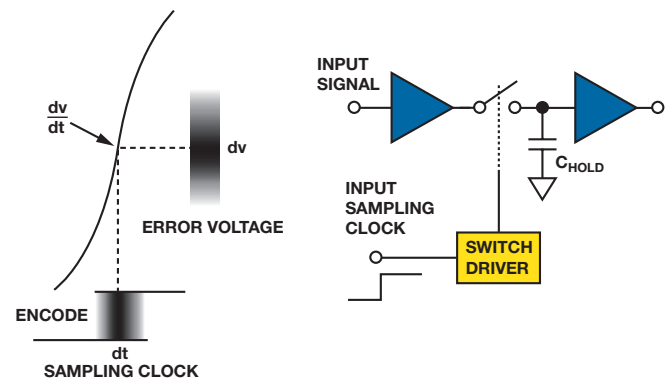


图9. 采样时钟抖动导致的误差电压

数字输出开关导致的电源噪声应与敏感的模拟电源相隔离。分别去耦模拟和数字电源, 密切注意地回路路径。

高精度SAR ADC可能对数字接口上的活动很敏感，即使电源适当去耦和隔离时。突发时钟往往优于连续时钟。数据手册通常会列出接口不应活动的安静时间。在较高吞吐速率条件下，可能难以减少这些时间内的数字活动，通常为采样时刻及出现关键位判断点时。

结论

密切注意数字活动，确保SAR ADC转换有效。数字活动导致的误差可能使SAR ADC进入未知状态，导致故障，或者降低性能。希望本文能帮助设计师排查根本原因，同时还能提供解决方案。

参考文献

Kester, Walt. “数据转换器支持电路，” 《数据转换手册》，第7章，ADI公司，2004年。

Brad Brannon, AN-756应用笔记。采样系统以及时钟相位噪声和抖动的影

Ritchey, Lee W. 《一举成功：高速PCB和系统实用设计手册》，第1卷，Speeding Edge，2003年。

Usach, Miguel. AN-1248应用笔记。SPI接口，ADI公司，2013年。

Casamayor, Mercedes. AN-715应用笔记：走近IBIS模型：什么是IBIS模型？它们是如何生成的？ADI公司，2004年。

Steven Xie [steven.xie@analog.com] 于2011年加入ADI北京分公司，是中国设计中心的一名ADC应用工程师。他负责中国市场SAR ADC产品的技术支持工作。在此之前，他曾在Ericsson CDMA团队做过四年的硬件设计人员。2007年，Steven毕业于北京航空航天大学，并获得通信与信息系统硕士学位。



Steven Xie

该作者的其他文章：
逐次逼近型ADC：确保首次转换有效
第47卷，第4期

Notes

全球总部

One Technology Way
P.O. Box 9106, Norwood, MA
02062-9106 U.S.A.
Tel: (1 781) 329 4700
Fax: (1 781) 461 3113

大中华区总部

上海市浦东新区张江高科技园区
祖冲之路 2290 号展想广场 5 楼
邮编 : 201203
电话 : (86 21) 2320 8000
传真 : (86 21) 2320 8222

深圳分公司

深圳市福田区
盐田路与福华三路交汇处
深圳国际商会中心 4205-4210 室
邮编 : 518048
电话 : (86 755) 8202 3200
传真 : (86 755) 8202 3222

北京分公司

北京市海淀区
上地东路 5-2 号
京蒙高科大厦 5 层
邮编 : 100085
电话 : (86 10) 5987 1000
传真 : (86 10) 6298 3574

武汉分公司

湖北省武汉市东湖高新区
珞瑜路 889 号光谷国际广场
写字楼 B 座 2403-2405 室
邮编 : 430073
电话 : (86 27) 8715 9968
传真 : (86 27) 8715 9931

亚洲技术支持中心

免费热线电话 : 4006 100 006
电子邮箱 :
china.support@analog.com
技术专栏 :
www.analog.com/zh/CIC
样品申请 :
www.analog.com/zh/sample
在线购买 :
www.analog.com/zh/BOL
在线技术论坛 :
ezchina.analog.com