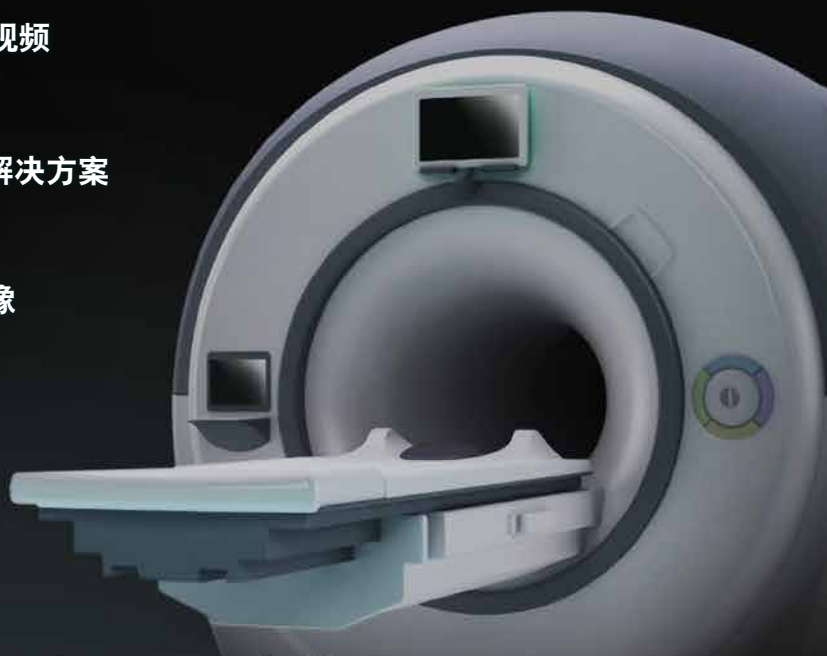


Analog Dialogue

本期介绍

- 3 基于FPGA的系统通过合成两条视频流来提供3D视频
- 8 逐次逼近型ADC：确保首次转换有效
- 11 适合空间受限应用的最高功率密度、多轨电源解决方案
- 19 MEMS麦克风——助听器的未来
- 22 高性能数据采集系统增强数字X射线和MRI的图像
- 27 建立FETching分立式放大器的一些提示



本期介绍

基于FPGA的系统通过合成两条视频流来提供3D视频

视频系统在汽车、机器人和工业领域日益盛行。非消费领域的这种增长，主要源于HDMI标准的引入以及更快速、更高效的DSP和FPGA。本文概述了利用模拟或HDMI摄像头实现立体视觉(3D视频)的要求。(第3页)

逐次逼近型ADC：确保首次转换有效

最高18位分辨率、10 MSPS采样速率的逐次逼近型模数转换器(ADC)可以满足许多数据采集应用的需求，包括便携式、工业、医疗和通信应用。本文介绍如何初始化逐次逼近型ADC以实现上电和初始化后的首次有效转换。(第8页)

适合空间受限应用的最高功率密度、多轨电源解决方案

随着通信、医疗和工业设备的尺寸不断缩小，电源管理成为越来越重要的考虑因素。本文讨论高度集成的电源管理解决方案应用，这些新器件赋予FPGA和处理器供电的优势，以及有助于设计人员快速完成新设计的设计工具。(第11页)

MEMS麦克风——助听器的未来

由于人口老龄化和听力丧失人群的增加，助听器市场不断增长，但其显眼的外形和很短的电池寿命让人们寻求尺寸更小、效率更高、质量更优秀的器件。信号链的前端是麦克风，它检测语音和其他环境噪声。因此，改善音频捕捉可以提高性能并降低功耗。(第19页)

高性能数据采集系统增强数字X射线和MRI的图像

数字X射线、磁共振成像和其他医疗设备都需要高性能、低功耗的数据采集系统，以满足竞争市场上医生、患者以及制造商的需求。本文介绍了一个信号链，非常适合多通道应用，以及那些需要低噪声、高动态范围和宽带宽的应用。(第22页)

建立FETching分立式放大器的一些提示

用于二极管、压电和其他仪器应用的低噪声放大器通常需要极高的输入阻抗、低1/f噪声或亚皮安偏置电流，但当前市场上的集成产品可能无法满足这些要求。本文讨论了使用分立式器件设计低噪声放大器的挑战，重点探讨折合到输入噪声和失调电压的调整。(第27页)

Scott Wayne [scott.wayne@analog.com]

产品目录：第47卷 第4期

所有ADI产品数据手册都可在www.analog.com/zh网站查到，只需在搜索框中输入产品型号即可。

10月

精密高压运算放大器.....ADA4700-1
12/16通道、24位、192 kHz DAC.....ADAU1962A/ADAU1966A
12位测量与控制系统.....AD7294-2

11月

双向零漂移电流检测放大器.....AD8418
10位、SDTV、4倍过
采样视频解码器.....ADV7280/ADV7281/ADV7282
集成四通道信号开关的高端负载开关.....ADP1190A
高压防锁型SPST/SPDT开关.....ADG5401/ADG5419
RF捷变收发器.....AD9361

12月

集成温度传感器的三轴加速度计.....ADXL363
8通道、14位、65 MSPS流水线式ADC.....AD9681
16通道、14位、65 MSPS流水线式ADC.....AD9249
2/3通道、隔离式Σ-Δ型ADC.....ADE7912/ADE7913
4通道、汽车音频Σ-Δ型ADC.....ADAU1979
8/16通道、24位、31.25 kSPS Σ-Δ型ADC.....AD7173-8
高精度四通道运算放大器.....ADA4077-4
精密四通道FET输入缓冲器.....AD8244
16位、1600 MSPS、TxDAC+® DAC.....AD9139
30 MHz至4.5 GHz、45 dB DR RF检波器.....ADL5506
200 MHz至6 GHz、35 dB DR RMS功率检波器.....ADL5903
半桥隔离式4 A驱动器.....ADuM7223
4串LCD背光式LED驱动器.....ADD5211
三相隔离式电表.....ADE7932/ADE7933/ADE7978
四通道、2.5 kV数字隔离器.....ADuM1144x
集成两个降压调节器和两个LDO的四通道PMU.....ADP5134
超低噪声、高PSRR、800 mA调节器.....ADM7150/ADM7151
±1000°/秒DR精密角速率传感器.....ADIS16137
手动复位型看门狗监控器.....ADM831x/ADM832x
手动复位型窗口看门狗监控器.....ADM8323/ADM8324
高压防锁型双通道SPST开关.....ADG5421/ADG5423

Analog Dialogue

模拟对话杂志(www.analog.com/zh/analogdialogue)是ADI公司于1967年创办的技术杂志，至今已经连续出版47年，主要讨论有关模拟信号、数字信号和混合信号处理产品、应用、技术和技巧。模拟对话杂志目前提供两种版本。在线版每月发行一期；印刷版每年发行四期。作为对在线版中技术文章的定期回顾和汇集。在线版的内容包括：技术文章；近期应用笔记、新产品简介、在线研讨会、已发表文章等及时信息；以及“集锦”栏目，其中包括从ADI网站(www.analog.com/zh)获得重要相关信息的通用链接网址。感兴趣的读者也可以至Analog Dialogue档案库www.analog.com/library/analogdialogue/china/archives.html查阅自1967年第1卷第1期创刊至今的每期存档，包括三期纪念特刊。如需订阅，请访问www.analog.com/library/analogdialogue/china/subscribe.html。欢迎提出您的宝贵意见；Facebook: www.facebook.com/analogdialogue；模拟对话博客: ez.analog.com/blogs/analogdialogue；电子邮件: dialogue.editor@analog.com、编辑Scott Wayne, [scott.wayne@analog.com]。

基于FPGA的系统通过合成两条视频流来提供3D视频

作者： Witold Kaczurba

简介

视频系统，目前已经深入消费应用的各个方面，在汽车、机器人和工业领域日益普遍。其在非消费应用中的增长主要源于HDMI标准以及更快、更高效的DSP和FPGA的出现。

本文将概要讨论利用模拟或HDMI摄像机实现立体视觉(3D视频)的各种要求。文章将描述一个基于FPGA的系统，它将两个视频流结合成一个3D视频流，通过HDMI 1.4发射器进行传输，同时还要介绍一个基于DSP的系统，与通常需从两台摄像机接收数据相比，该系统可以节省DMA带宽。另外，本文还将描述一种方法，该方法可以实现一种并排格式，可供3D摄像机或要求3D视频的系统使用。

概述

立体视觉要求使用两台摄像机，二者相距大约5.5厘米，这是人类双眼之间的典型间距，如图1所示。



图1. 支架上的两台摄像机(已针对立体视觉对齐)

图2所示高级功能框图使用了采用相同视频标准的两台同步摄像机、两个视频解码器和一个FPGA。为了确保完全一致的帧速率，摄像机必须行锁定到共同的参考时序。如果没有同步，不使用外部存储器，就不可能将输出组合起来并存储为完整的视频帧。

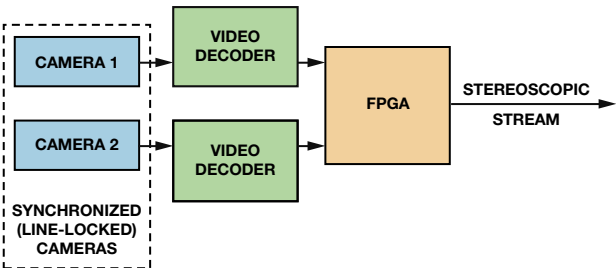


图2. 高级功能框图

图3显示两个行锁定视频流被合并成一个立体图像。图4显示，如果不将整个视频帧保存在外部存储器中，则异步视频流无法合并。

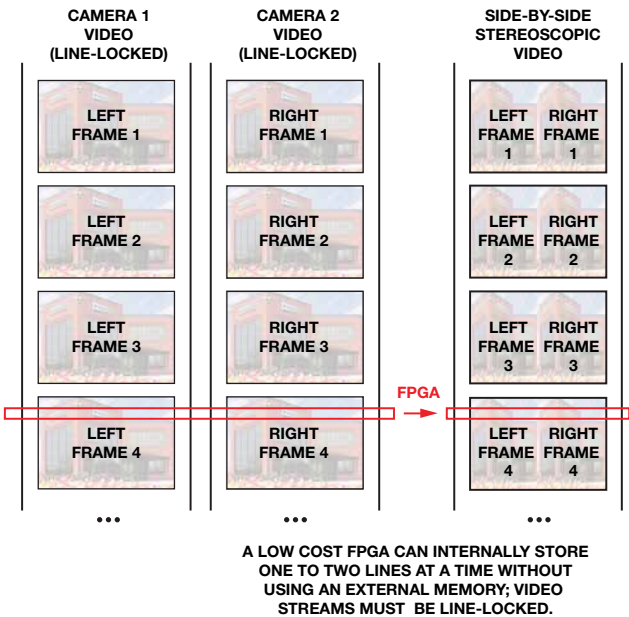


图3. 合并两个同步视频流

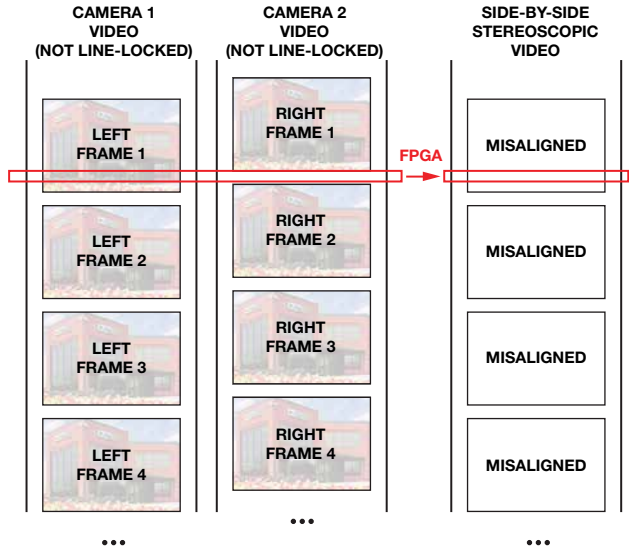


图4. 如果不使用外部存储器，则无法合并异步视频流

然后，两台同步摄像机的输出由视频解码器(如ADV7181D、ADV7182或ADV7186，用于模拟摄像机)进行数字化处理；也可由HDMI接收器(如ADV7610或ADV7611，用于数字摄像机)进行数字化处理。

视频解码器和HDMI接收器都采用内部锁相环(PLL)在其输出总线上产生时钟和像素数据。这意味着，在数字化模拟视频，或者接收HDMI流时，将为两台摄像机产生两个独立的时钟域。另外，两个视频流可能存在对齐误差。这些时序差异和对齐误差必须在后端器件(如FPGA)中进行补偿，先将数据带至共同的时钟域，然后再将两个视频图像结合成单个立体视频帧。然后，通过一个支持3D的HDMI 1.4 HDMI发射器(如ADV7511或ADV7513)发送同步后的视频流——也可以将其提供给DSP(如ADSP-BF609 Blackfin® 处理器)以便进一步处理。

时钟架构

视频解码器有两种完全不同的时钟源，具体取决于其是否锁定。当视频PLL被锁定至输入同步信号时——水平同步(视频解码器)或TMDS时钟(HDMI)——结果会产生一个锁定至输入视频源的时钟。当视频失锁时，或者当PLL处于强制自由运行模式时，视频PLL不会锁定至输入同步信号，结果会产生一个锁定至晶振时钟的时钟输出。另外，时钟可能不会在复位后输出，因为LLC时钟驱动器在复位后设置为高阻抗模式。

因此，如果系统有两个或多个始于视频解码器或HDMI接收器的视频路径，即使将同一晶振时钟提供给两个视频解码器或HDMI接收器，仍会有两个不同频率、不同相位的不同时钟域，因为每个器件都会基于自己的PLL产生自己的时钟。

带锁定视频解码器的同步系统

典型的立体视频使用两个视频源，其中，每个视频解码器都会锁定至输入视频信号，并会基于输入水平同步或TMDS时钟产生自己的时钟。当两台摄像机同步——或行锁定至同一参考时序时——分帧线将始终对齐。由于两个独立的视频解码器会收到相同的水平同步信号，因此，像素时钟将拥有相同的像素时钟频率。这样，就可以将两条数据路径带入同一个时钟域，如图5所示。

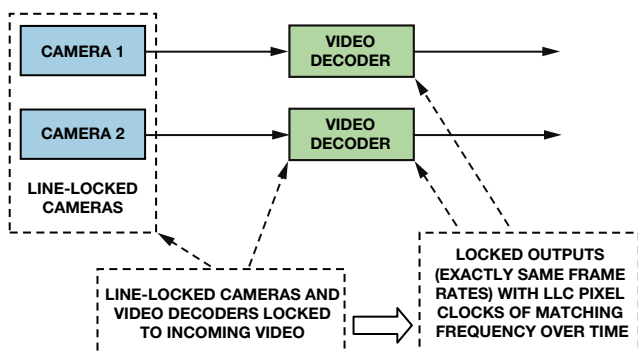


图5. 同步至同一参考源的两台摄像机。两个视频解码器都会收到同一同步信号，因此，它们也会锁定

异步视频系统

不幸的是，其中一个视频解码器可能因视频源信号质量欠佳而失锁，如图6所示；或者，摄像机因视频链路断开而失去同步性，如图7所示。这会在两条数据路径中导致不同的频率，结果又会导致进入后端中的数据量不对称。

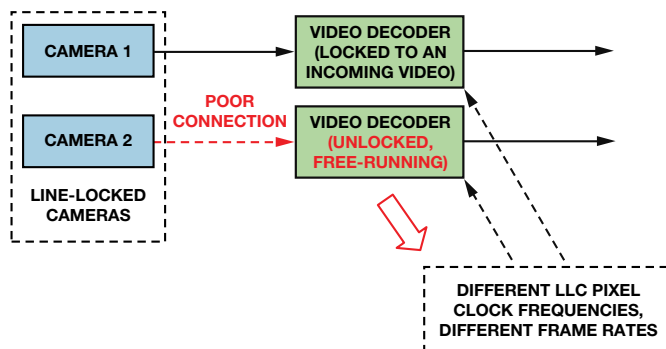


图6. 带未锁定视频解码器的行锁定摄像机

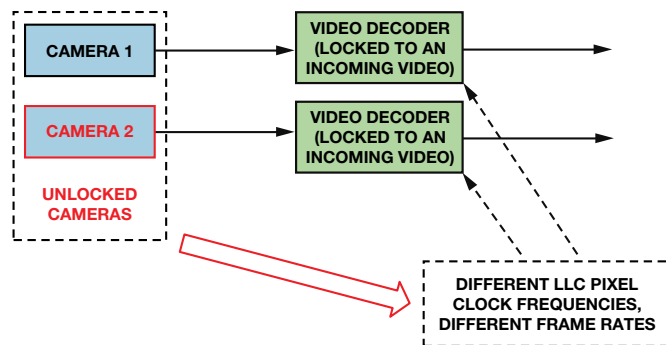


图7. 带锁定视频解码器的未锁定摄像机

视频失锁可以通过使用一个中断(SD视频解码器为SD_UNLOCK, 分量视频解码器为CP_UNLOCK, 或HDMI接收器中的TMDSPPLL_LCK寄存器)来检测，该中断会在一定延迟后介入。视频解码器集成了不稳定水平同步平滑机制，因此，视频失锁的检测可能需要两三行。该延迟可通过控制FPGA中的失锁来减少。

时钟三态模式

在设计FPGA时钟资源时，必须知道，默认情况下，许多视频解码器和HDMI产品在复位后将时钟和数据线路置为三态模式。因此，LLC像素时钟不适用于同步复位。

两条视频流中的数据对齐误差

为了简化系统并减少合并两幅图像所需存储器，到达FPGA的数据应进行同步，以使来自第一台摄像机的第M行第N个像素与来自第二台摄像机的第M行第N个像素同时收到。

在FPGA输入端，这可能很难实现，因为两条视频路径可能具有不同的延迟：行锁定摄像机可能输出存在对齐误差的行，不同的连接长度可能加大对齐误差，而视频解码器则可能带来可变启动延迟。受这些延迟影响，采用行锁定摄像机的系统会有一些存在对齐误差的像素。

行锁定摄像机对齐误差

即使是行锁定摄像机也可能输出存在对齐误差的视频行。图8显示来自两台摄像机的CVBS输出端的垂直同步信号。一台摄像机(同步主机)为第二台摄像机(同步从机)提供行锁定信号。380 ns的对齐误差是清楚可见的。图9展示的是这些摄像机输出端的视频解码器传输的数据。可以看到11个像素的位移。

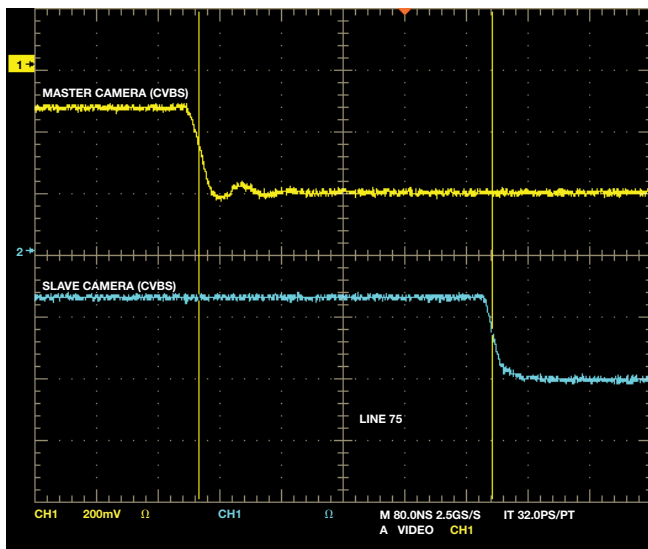


图8. 行锁定视频摄像机之间的380 ns视频对齐误差

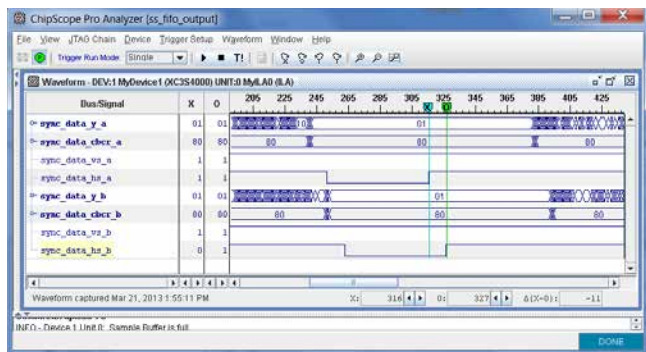


图9. 数字域中未补偿的11个像素的视频对齐误差

不同的连接长度

所有电气连接都会带来传播延迟，因此，要确保两条视频路径具有相同的轨道和电缆长度。

视频解码器/HDMI接收器延迟

所有视频解码器都会带来可能因启用的功能而异的延迟。另外，有些视频器件含有可能增加随机启动延迟的因素——如深色FIFO。采用视频解码器的典型立体系统的随机启动延迟大约为5个像素时钟。含有HDMI发射器和接收器的系统(如图10所示)的随机启动延迟可能为40个像素时钟左右。

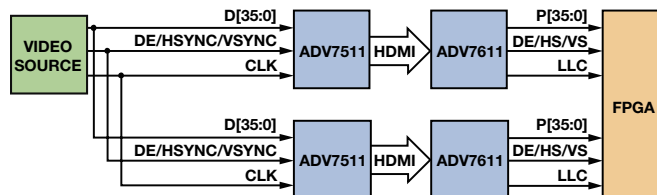


图10. 流水线延迟测量设置

对齐误差补偿

图11所示系统中，一个视频解码器对来自各摄像机的模拟信号进行数字化处理。各视频路径的数据和时钟是独立的。两条视频路径都连接到FIFO，后者对输入数据进行缓冲，以补偿数据对齐误差。在输出数据时，FIFO使用来自其中一个解码器的共用时钟。在锁定系统中，两条数据路径应具有完全相同的时钟频率，以确保在摄像机行锁定且视频解码器锁定的情况下，不会出现FIFO溢出或下溢现象。

通过启用或禁用FIFO输出，控制模块可以维持FIFO电平以尽量减少像素对齐误差。如果采取了正确的补偿措施，则FPGA模块的输出应为与第一个像素对齐的两条数据路径。然后该数据提供给FPGA后端，以生成3D格式。

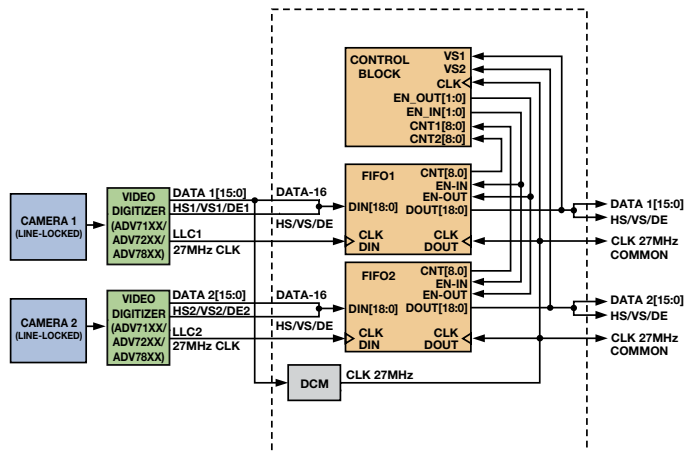


图11. 使用数字FIFO来重新对齐视频图像

对齐误差测量

两个数字化数据流之间的对齐误差可以在视频FIFO输出端进行测量，其方法是使用一个单一时钟计数器，该计数器在输入信号之一的垂直同步(VS)脉冲上复位。图12所示两个视频流(vs_a_in和vs_b_in)的对齐误差为4个像素。计数器使用列表1中所示方法测量对齐误差。计数从VS1的上升沿开始，并在VS2的上升沿终止。如果一个帧的总像素长度是已知的，则可以通过从帧长中减去计数值，从而算出负偏斜(VS2位于VS1之前)。该负值应在偏斜超过像素帧长的一半时计算。结果应用来重新对齐FIFO中存储的数据。

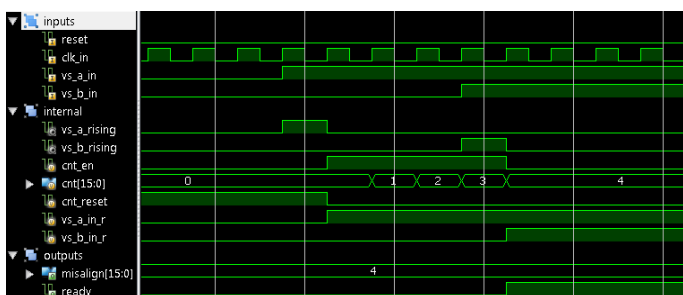


图12. 对齐误差测量

列表1 简单对齐误差测量(Verilog®)。

```
module misalign_measurement(  
    input wire reset,  
    input wire clk_in,  
    input wire vs_a_in,  
    input wire vs_b_in,  
    output reg [15:0] misalign,  
    output reg ready);  
  
reg [15:0] cnt;  
reg cnt_en, cnt_reset;  
reg vs_a_in_r, vs_b_in_r;  
assign vs_a_rising = vs_a_in > vs_a_in_r;  
assign vs_b_rising = vs_b_in > vs_b_in_r;  
  
always @(posedge clk_in)  
begin  
    vs_a_in_r <= vs_a_in;  
    vs_b_in_r <= vs_b_in;  
end  
  
always @(posedge clk_in)  
begin  
    if (reset)  
    begin  
        { ready, cnt_en } <= 2'b00;  
        misalign <= 0;  
    end else begin  
        if ((vs_a_in == 1'b0) && (vs_b_in == 1'b0))  
        { ready, cnt_reset } <= 2'b01;  
        else  
        cnt_reset <= 1'b0;  
  
        /* beginning */  
        if (vs_a_rising && vs_b_rising)
```

```
begin  
    misalign <= 0;  
    { ready, cnt_en } <= 2'b10;  
end  
else if ((vs_a_rising > vs_b_in) || (vs_b_rising > vs_a_in))  
    { ready, cnt_en } <= 2'b01;  
  
/* ending */  
if ((cnt_en == 1'b1) && (vs_a_rising || vs_b_rising))  
begin  
    { ready, cnt_en } <= 2'b10;  
    misalign <= vs_a_rising ? -(cnt + 1) : (cnt + 1);  
end  
end  
  
always @(posedge clk_in) /* counter */  
if ((cnt_reset) || (reset))  
  
cnt <= 0;  
else if (cnt_en)  
cnt <= cnt + 1;  
  
endmodule
```

从两个对齐视频流生成3D视频

一旦像素、行和帧数据都真正同步，FPGA可以将视频数据转换成3D视频流，如图13所示。

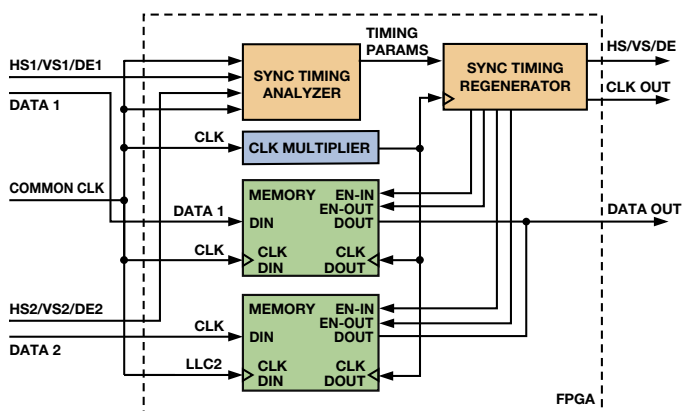


图13. 用于实现3D格式的简化架构

输入数据由共用时钟读入存储器。同步时序分析仪检查输入的同步信号，并抽取视频时序，包括水平前后沿长度、垂直前后沿、水平和垂直同步长度、水平有效行长、垂直有效行数 and 同步信号极化。将该信息与当前水平和垂直像素位置一起传给同步时序再发生器，这样可以生成经修改的时序，以便支持所需3D视频结构。新生成的时序应延迟，以确保FIFO含有所需数据量。

并排3D视频

对存储器要求最低的架构是并排格式，只需要一个两行缓冲器(FIFO)即可存储来自两个视频源的行内容。并排格式的宽度应为原始输入模式的两倍。为此，应使用一个双倍时钟来为拥有双倍

水平长度的再生同步时序提供时钟。用于为后端提供时钟的双倍时钟将以双倍速率清空第一个FIFO和第二个FIFO，这样即可并排显示图像，如图14所示。并排图像如图15所示。

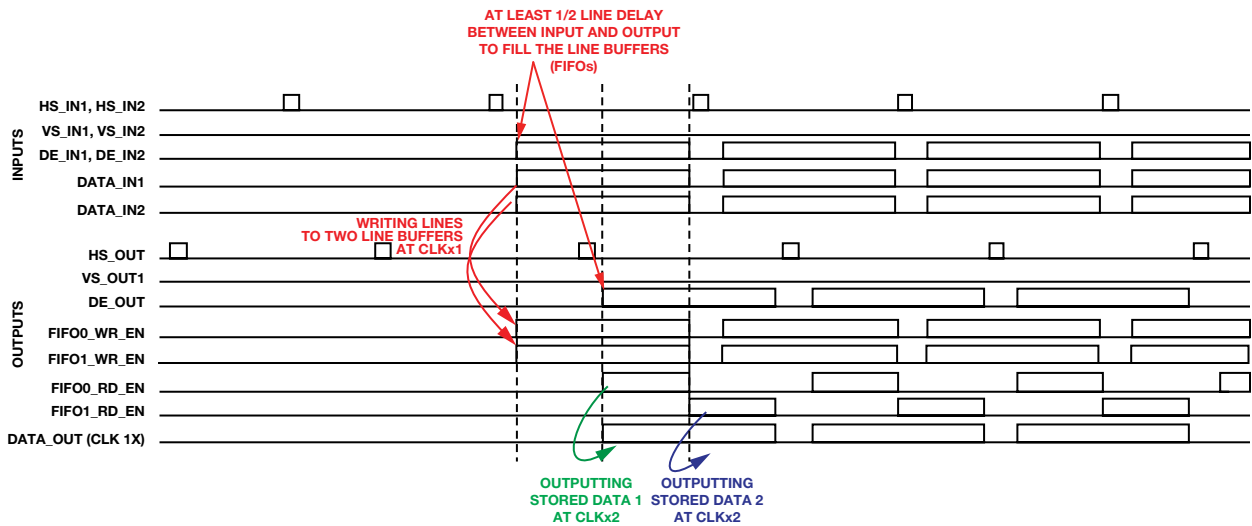


图14. 使用简单的FPGA行缓冲器来并排合并两幅图像



图15. 视频时序下的并排576p图像

结论

ADI公司的解码器和HDMI产品以及简单的后处理技术可以打造出真正的立体3D视频，并为其传输提供条件。如本文所示，用简单的数字模块，无需使用昂贵的存储器，即可实现3D视频。这种系统可用于需要3D视觉的任何类型的系统中，从简单的摄像机，到基于ADSP-BF609 DSP的可以跟踪物体及其距离的专业系统。

作者简介

Witold Kaczurba [witold.kaczurba@analog.com] 是ADI公司高级电视部(爱尔兰利默里克)资深应用工程师，负责支持解码器和HDMI产品。他从波兰弗罗茨瓦夫理工大学毕业并获得电气工程硕士学位后，于2007年加入ADI公司。学生期间，他曾为小型电子和IT公司工作，后来作为工读生加入ADI公司(爱尔兰)，随后成为应用工程师。



逐次逼近型ADC：确保首次转换有效

作者：Steven Xie

简介

最高18位分辨率、10MSPS采样速率的逐次逼近型模数转换器(ADC)可以满足许多数据采集应用的需求，包括便携式、工业、医疗和通信应用。本文介绍如何初始化逐次逼近型ADC以实现有效转换。

逐次逼近型架构

逐次逼近型ADC由4个主要子电路构成：采样保持放大器(SHA)、模拟比较器、参考数模转换器(DAC)和逐次逼近型寄存器(SAR)。由于SAR控制着转换器的运行，因此，逐次逼近型转换器一般称为SAR ADC。

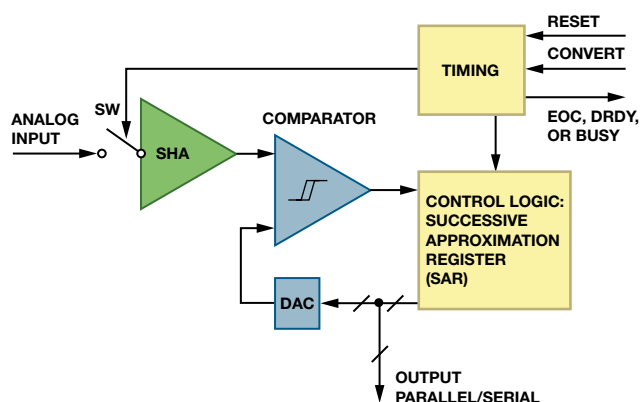


图1. 基本SAR ADC架构

在上电和初始化之后，CONVERT上的一个信号会启动转换周期。开关关闭，将模拟输入连接至SHA，后者获得输入电压。当开关断开时，比较器将确定模拟输入(此时存储于保持电容)是大于还是小于DAC电压。开始时，最高有效位(MSB)开启，将DAC输出电压设为中间电平。在比较器输出建立之后，如果DAC输出大于模拟输入，逐次逼近寄存器将关闭MSB；如果输出小于模拟输入，则会使其保持开启。下一个最高有效位会重复这一过程，如果比较器确定DAC输出大于模拟输入，则关闭MSB；如果输出小于模拟输入，则会使其保持开启。这个二进制搜索过程将持续下去，直到寄存器中的每一位都测试完毕为止。结果得到的DAC输入是采样输入电压的数字近似值，并由ADC在转换结束时输出。

与SAR转换代码相关的因素

本文将讨论与有效首次转换相关的下列因素：

- 电源序列(AD765x-1)
- 访问控制(AD7367)
- RESET (AD765x-1/AD7606)

- REF_{IN}/REF_{OUT} (AD765x-1)
- 模拟输入建立时间(AD7606)
- 模拟输入范围(AD7960)
- 省电/待机模式(AD760x)
- 延迟(AD7682/AD7689、AD7766/AD7767)
- 数字接口时序

电源序列

有些采用多个电源的ADC拥有明确的上电序列。AN-932应用笔记电源序列为这些ADC电源的设计提供了良好的参考。应该特别注意模拟和参考输入，因为这些一般不得超过模拟电源电压0.3 V以上。因此， $AGND - 0.3 V < V_{IN} < V_{DD} + 0.3 V$ 且 $AGND - 0.3 V < V_{REF} < V_{DD} + 0.3 V$ 。模拟电源应在模拟输入或基准电压之前开启，否则，模拟内核可能会以闩锁状态上电。类似地，数字输入应在DGND - 0.3 V和 $V_{IO} + 0.3 V$ 之间。I/O电源必须在接口电路之前(或与其同时)开启，否则，这些引脚上的ESD二极管可能变成正偏，而且数字内核可能以未知状态上电。

电源斜坡过程中的数据访问

在电源稳定之前不得访问ADC，因为这样可能使其进入未知状态。在图2所示例子中，主机FPGA正在尝试从AD7367读取数据，而DVCC正在斜升，结果可能使ADC进入未知状态。

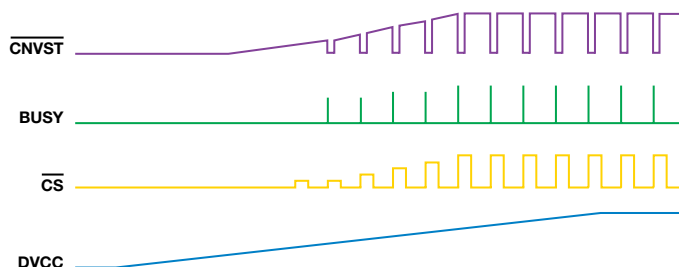


图2. 在DVCC斜升过程中读取数据

通过复位实现SAR ADC初始化

许多SAR ADC(如AD760x和AD765x-1)在上电后需要通过RESET来实现初始化。在所有电源都稳定之后，应施加一个指定的RESET脉冲，以确保ADC以预期状态启动，同时使数字逻辑控制处于默认状态，并清除转换数据寄存器。上电时，电压开始在 REF_{IN}/REF_{OUT} 引脚上建立，ADC进入采集模式，同时配置用户指定模式。完全上电后，AD760x应看到一个上升沿RESET将其配置为正常工作模式。RESET高脉冲宽度典型值为50 ns。

建立基准电压

ADC将模拟输入电压转换成指向基准电压的数字代码，因此，基准电压必须在首次转换前稳定下来。许多SAR ADC都有一个 REF_{IN}/REF_{OUT} 引脚和一个REF或REFCAP引脚。外部基准电压可能会通过 REF_{IN}/REF_{OUT} 引脚过驱内部基准电压源，或者，内部基准电压源可能会直接驱动缓冲。REFCAP引脚上的电容会使内部缓冲输出

去耦，而这正是用于转换的基准电压源。图3所示为AD765x-1数据手册中的参考电路示例。

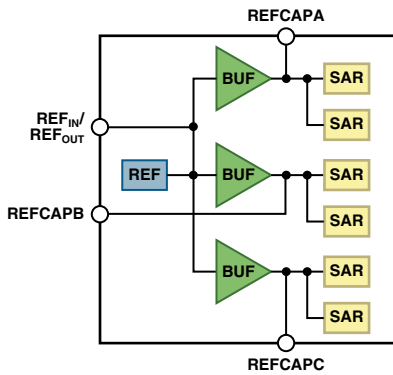


图3. AD765x-1参考电路

确保REF或REFCAP上的电压在首次转换之前已建立。压摆率和建立时间因不同的储能电容而异，如图4所示。

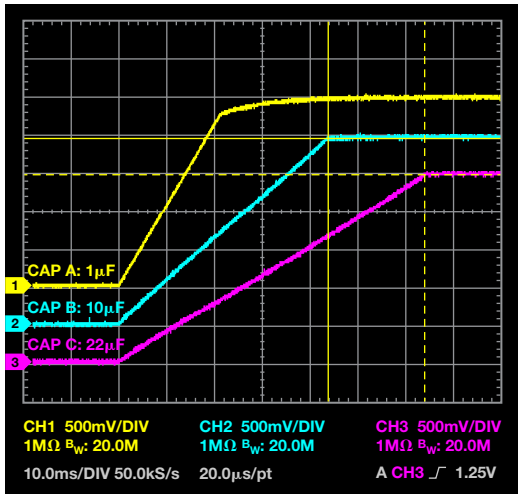


图4. AD7656-1 REFCAPA/B/C引脚在不同电容下的电压斜坡

另外，设计不佳的参考电路可能导致严重的转换错误。参考电路问题最常见的表现是“粘连”代码，其原因可能是储能电容的尺寸和位置、驱动强度不足或者输入存在大量噪声。[精密逐次逼近型ADC的基准电压源设计](#)作者：Alan Walsh(模拟对话第47卷第2期，2013年)详细讨论了SAR ADC的基准电压源设计。

模拟输入建立时间

对于多通道、多路复用应用，驱动器放大器和ADC的模拟输入电路必须使内部电容阵列以16位水平(0.00076%)建立满量程阶跃。不幸的是，放大器数据手册一般将建立精度指定为0.1%或0.01%。指定的建立时间可能与16位精度的建立时间显著不同，因此选择驱动器之前应进行验证。

要特别注意多路复用应用中的建立时间。在多路复用器切换之后，要确保留出足够的时间，以便模拟输入能在转换开始之前建立至指

定的精度。在配合AD7606使用多路复用器时，应为±10-V输入范围留出至少80 μs的时间，为±5-V范围留出至少88 μs，以便给选定通道足够的时间来建立至16位分辨率。[面向精密SAR模数转换器的前端放大器和RC滤波器设计](#)作者：Alan Walsh(模拟对话第46卷第4期，2012年)为放大器的选择提供了更多细节。

模拟输入范围

确保模拟输入处于指定的输入范围之内，要特别注意指定共模电压的差分输入范围，如图5所示。

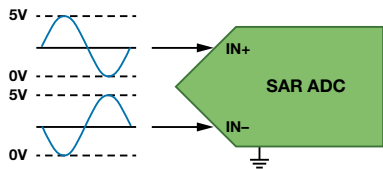


图5. 共模电压下的全差分输入

例如，AD7960 18位、5 MSPS SARADC的差分输入范围为 $-V_{REF}$ 至 $+V_{REF}$ ，但折合到地的 V_{IN+} 和 V_{IN-} 都应该处于 -0.1 V 至 $V_{REF} + 0.1\text{ V}$ 的范围内，且共模电压应为 $V_{REF}/2$ 左右，如表1所示。

表1. AD7960的模拟输入规格

参数	测试条件/注释	最小值	典型值	最大值	单位
电压范围	$V_{IN+} - V_{IN-}$	$-V_{REF}$		$+V_{REF}$	V
工作输入电压	V_{IN+}, V_{IN-} 至 GND	-0.1		$V_{REF} + 0.1$	V
共模输入范围		$V_{REF}/2 - 0.05$	$V_{REF}/2$	$V_{REF}/2 + 0.05$	V

使SAR ADC退出关断或待机模式

为了节能，有些SAR ADC会在空闲时进入关断或待机模式。在首次转换开始前，要确保ADC退出该低功耗模式。例如，AD7606系列即提供了两种节能模式：完全关断和待机。这些模式由GPIO引脚STBY和RANGE进行控制。

根据图6所示，当STBY和RANGE返回高电平时，AD7606从完全关断进入正常工作模式，并配置为±10-V的范围。此时，REGCAPA、REGCAPB和REGCAP引脚上电至数据手册所述的正确电压。在进入待机模式时，上电时间约为100 μs，但在外部基准电压源模式下，这需要大约13 ms。从关断模式上电时，经过所需的上电时间后，必须施加RESET信号。数据手册将上电与RESET上升沿之间所需时间规定为 $t_{WAKE-UP\ SHUTDOWN}$ 。

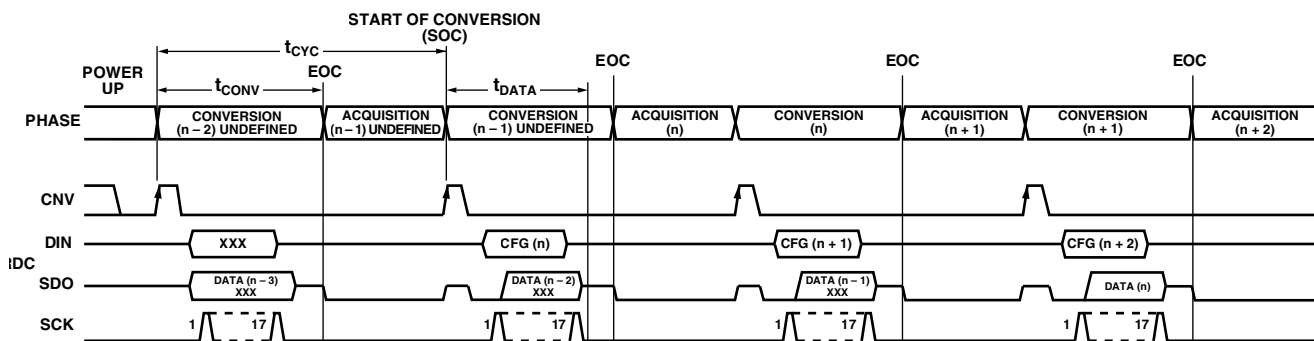


图7. AD7682/AD7689的通用时序

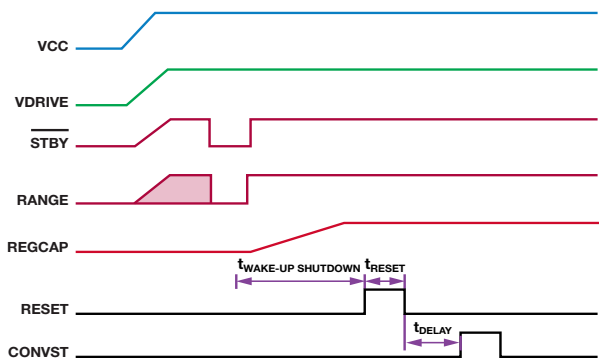


图6. AD7606初始化时序

带延迟的SAR ADC

人们普遍认为，SARADC没有延迟，但有些SARADC确实存在延迟以便更新配置，因此，在经过延迟时间(可能为数个转换周期)之前，第一个有效转换代码可能未定义。

例如，AD7985拥有两种转换工作模式：turbo和正常。Turbo模式(支持最快的转换速率，最高可达2.5 MSPS)不会在转换间关断。turbo模式下的第一次转换含有无意义的数数据，应该予以忽略。另一方面，在正常模式下，第一次转换是有意义的。

对于AD7682/AD7689，上电后的前三个转换结果未定义，因为在第二个EOC之前，不会出现有效的配置。因此，需要两次伪转换，如图7所示。

当在硬件模式下使用AD765x-1时，在BUSY信号下降沿对RANGE引脚的逻辑状态进行采样，以决定下一次同步转换的模拟输入范围。在有效的RESET脉冲之后，AD765x-1将默认在 $\pm 4 \times V_{REF}$ 范围内工作，无延迟问题。然而，如果AD765x-1工作于 $\pm 2 \times V_{REF}$ 范围内，则必须利用伪转换周期在BUSY的第一个下降沿选择范围。

另外，有些SARADC(如AD7766/AD7767过采样SARADC)有数字后滤波器，结果会导致更多延迟。当将模拟输入多路复用至这类ADC时，主机必须等到数字滤波器完全建立后才能获得有效转换结果；经过该建立时间后，方可切换通道。

如表2所示，AD7766/AD7767的延迟为74除以输出数据速率(74/ODR)的商值。在运行于最高输出数据速率128 kHz时，AD7766/AD7767支持1.729 kHz的多路复用器开关速率。

表2. AD7766/AD7767的数字滤波器延迟

参数	测试条件/注释	最小值	典型值	最大值	单位
群延迟			37/ODR		μs
建立时间(延迟)	完全建立		74/ODR		μs

数字接口时序

最后，但同样重要的是，主机可以通过一些常见的接口选项(如并行、并行BYTE、IIC、SPI和菊花链模式下的SPI)来访问SAR ADC的转换结果。要得到有效的转换数据，必须确保遵循数据手册中的数字接口时序规格。

结论

为了获得SAR ADC的第一个有效转换代码，务必遵循本文讨论的建议。可能还需要其他具体配置支持；请查看目标SAR ADC数据手册或者应用笔记，了解关于第一个转换周期开始之前初始化的相关内容。

参考文献

Kester, Walt. [Data Converter Support Circuits](#). Chapter 7, *Data Conversion Handbook*.

Kester, Walt. “[Which ADC Architecture Is Right for Your Application?](#)” *Analog Dialogue*, Volume 39, Number 2, 2005.

Walsh, Alan. “[精密SAR模数转换器的前端放大器和RC滤波器设计](#)” *模拟对话*, 第46卷第4期, 2012年。

作者简介

Steven Xie [steven.xie@analog.com] 2011年3月加入ADI北京分公司，担任ADI中国设计中心的ADC应用工程师。他负责中国市场精密ADC产品的技术支持工作。在此之前，他曾在Ericsson CDMA团队做过四年的硬件设计人员。2007年，Steven毕业于北京航空航天大学，并获得通信与信息系统硕士学位。



适合空间受限应用的最高功率密度、多轨电源解决方案

作者: Maurice O'Brien

随着通信、医疗和工业设备的总体尺寸不断缩小,电源管理设计变得越来越重要。本文讨论高度集成的全新电源管理解决方案的应用,这些新器件为RF系统、FPGA和处理器供电所带来的优势,以及有助于设计人员快速实现新设计的设计工具。

在通信基础设施中,毫微微蜂窝和微微蜂窝的兴起推动基站向更小型化方向发展,这对数字基带、存储器、RF收发器和功率放大器的供电提出了复杂要求,必须在最小的面积中提供最高的功率密度,如图1所示。典型的小蜂窝系统需要密度非常高的电源,它可以通过快速瞬态响应来输送大电流以便为数字基带供电,同时利用低噪声、低压差调节器(LDO)为AD9361 RF捷变收发器TM温度补偿晶体振荡器(TCXO)和其他噪声关键电源轨供电。将开关稳压器的开关频率设置到关键RF频段以外可降低噪声,并且同步开关稳压器可确保拍频不影响RF性能。降低数字基带的内核电压(V_{CORE})可将低功耗模式的功耗降至最低,电源时序控制则可确保数字基带在RF收发器使能之前上电并运行。数字基带与电源管理之间的I²C接口允许改变降压调节器的输出电压。为提高可靠性,电源管理系统可以监控其自身的输入电压和芯片温度,向基带处理器报告任何故障。

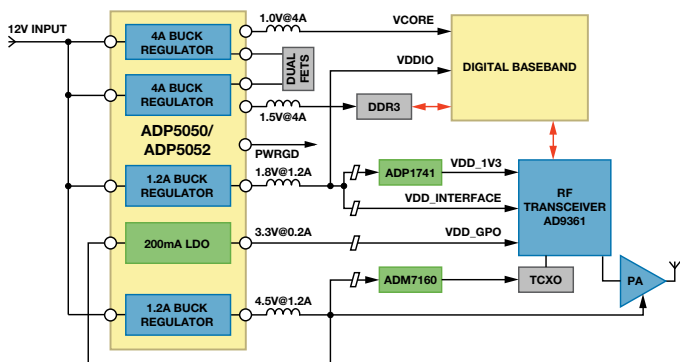


图1. 小型基站需要多种电源

同样,医疗和仪器设备(如便携式超声设备和手持式仪器)的趋势也是尺寸越来越小,要求在更小的面积上以更有效的方式为FPGA、处理器和存储器供电,如图2所示。典型的FPGA和存储器设计需要密度非常高的电源,它可以通过快速瞬态响应来输送大电流以便为内核和I/O电源轨供电,同时通过低噪声轨为锁相环(PLL)等片内模拟电路供电。电源时序至关重要,应确保FPGA在存储器使能之前上电并运行。带精密使能输入和专用电源良好输出的稳压器支持电源时序控制和故障监控。电源设计师通常希望将同一电源IC用在不同应用中,因此,必须能够改变电流限值。这种设计重用可大幅缩短产品上市时间——任何新产品开发流程中的关键要素之一。

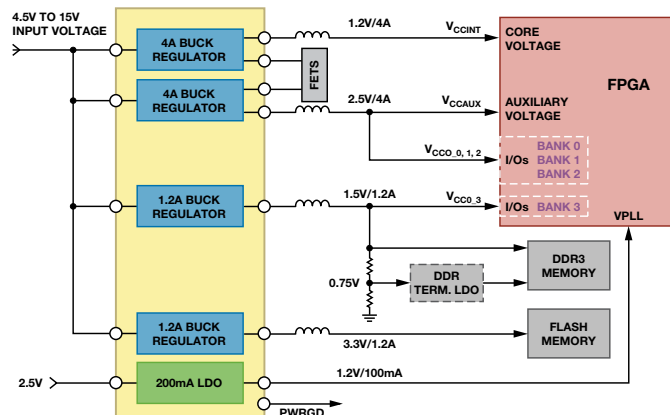


图2. 为基于FPGA的系统供电

考虑具有1路12 V输入和5路输出的FPGA的多轨电源管理常见设计规格:

- 内核电轨: 1.2 V (4 A)
- 辅助电轨: 1.8 V (4 A)
- I/O电轨: 3.3 V (1.2 A)
- DDR存储器电轨: 1.5 V (1.2 A)
- 时钟电轨: 1.0 V (200 mA)

典型的分立方案如图3a所示,4个开关稳压器连接到12 V输入轨。一个开关稳压器的输出预调节LDO以降低功耗。另一种方法如图3b所示,使用一个稳压器将12 V输入降压至5 V中间轨,然后再经调节以产生所需的各个电压。该方案的成本较低,但由于采用两级电源转换,效率也较低。在以上两种方案中,各稳压器都必须独立使能,因此,可能需要一个专用电源时序控制器来控制电源的时序。噪声可能也是一个问题,除非所有开关稳压器都能同步以降低拍频。

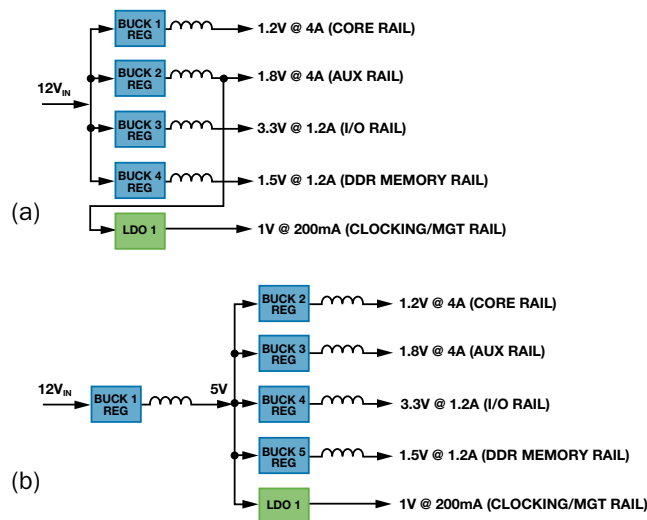


图3. (a) 分立稳压器设计, (b) 备选分立稳压器设计

集成解决方案实现高效率、小尺寸

将多个降压调节器和LDO集成到单个封装中，可显著缩小电源管理设计的总体尺寸。此外，与传统分立方案相比，智能型集成解决方案具有许多优势。减少分立元件数目可大幅降低设计的成本、复杂度和制造成本。集成电源管理单元(PMU)AD7767和ADP5052可在单个IC中实现所有这些电压和功能，所用PCB面积和元件大幅减少。

为了最大程度地提高效率，去除预调节器级，各降压调节器均直接从12 V电压供电(类似于图3a)。降压调节器1和2具有可编程电流限值(4 A、2.5 A或1.2 A)，因此电源设计师可以快速轻松地为新设计改变电流，大大缩短开发时间。LDO可从1.7 V至5.5 V电源供电。在本例中，其中一个降压调节器的1.8V输出为LDO供电，提供低噪声1 V电源轨用于噪声敏感的模拟电路。

开关频率 f_{SW} 由电阻 R_{RT} 设置，范围是250 kHz到1.4 MHz。灵活的开关频率范围使得电源设计师可以优化设计，降低频率以实现最高效率，或者提高频率以实现最小的总体尺寸。图4显示了 f_{SW} 与 R_{RT} 之间的关系。 R_{RT} 的值可通过下式计算：

$$R_{RT} = (14822/f_{SW})^{1.081}, \text{ R的单位为k}\Omega, \text{ f的单位为kHz.}$$

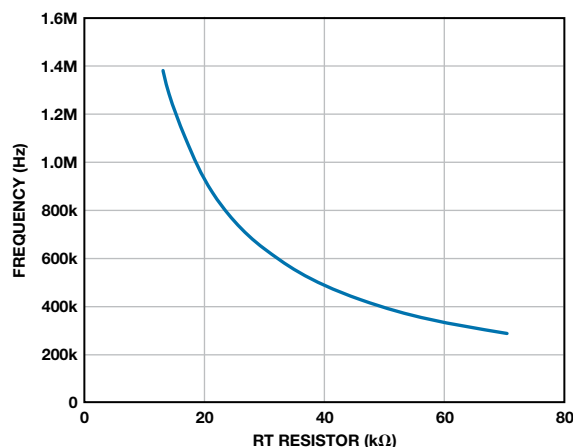
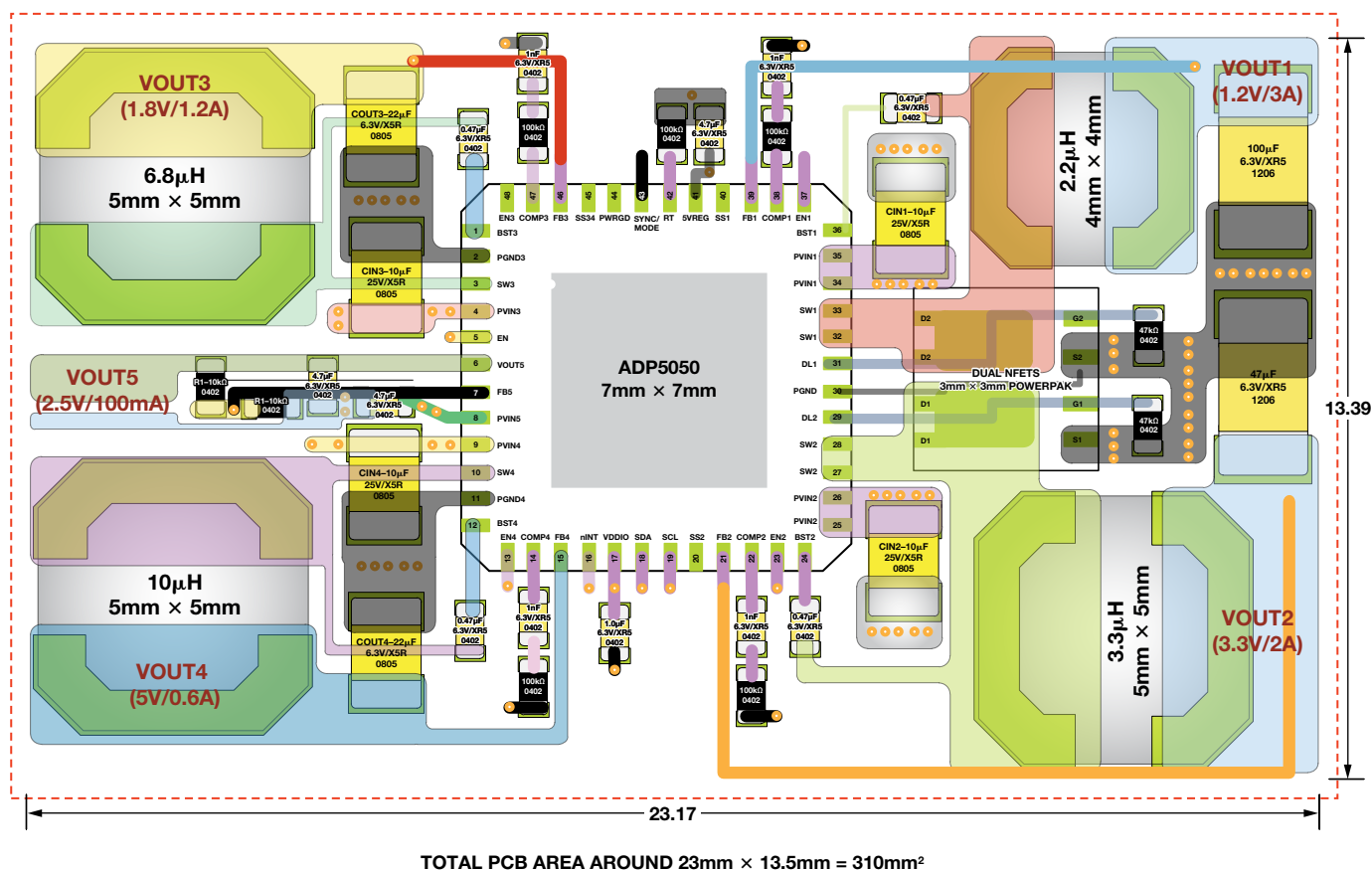


图4. 开关频率与 R_{RT} 的关系

某些设计中，两者都很重要：对较高电流轨使用较低的开关频率以提供最高电源效率，对较低电流轨使用较高的开关频率以缩小电感尺寸和实现最小的PCB面积。ADP5050的主开关频率具有二分频选项，能够以两种频率工作，如图5所示。降压调节器1和3的开关频率可通过I²C端口设置为主开关频率的一半。



LAYOUT EXAMPLE:
 $V_{IN} = 12V$
 BUCK 1: 3A @ 600kHz
 BUCK 2: 2A @ 1.2MHz
 BUCK 3: 1.2A @ 600kHz
 BUCK 4: 0.6A @ 1.2MHz
 LDO: 0.1A

图5. ADP5050对高电流轨使用低开关频率以提高效率，对低电流轨使用高开关频率以缩小电感尺寸

电源时序控制

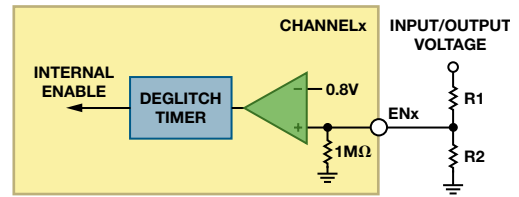
如图6所示, ADP5050和ADP5052通过四个特性来简化使用FPGA和处理器的应用的电源时序控制: 精密使能输入、可编程软启动、电源良好输出和有源输出放电开关。

精密使能输入: 每个稳压器, 包括LDO在内, 都有一个带0.8 V精密基准电压的使能输入(图6-1)。当使能输入的电压大于0.8 V时, 稳压器使能; 当该电压小于0.725 V时, 稳压器禁用。内部1 M Ω 下拉电阻可防止该引脚悬空时发生错误。利用精密使能阈值电压, 很容易控制器件内的电源时序, 使用外部电源时也一样。例如, 降压调节器1设置为5 V时, 可以利用一个电阻分压器来设置精确的4.0 V跳变点以使能降压调节器2, 依此类推为所有输出设置精确的上电时序。

可编程软启动: 软启动电路以可控方式缓慢提高输出电压, 从而限制浪涌电流。软启动引脚连接到V_{REG}时, 软启动时间设置为2 ms; 在软启动引脚与V_{REG}和地之间连接一个电阻分压器时, 软启动时间可提高至8 ms (图6-2)。为了支持特定启动序列或具有大输出电容的值, 可能需要这种配置。软启动的可配置能力和灵活性使大型复杂的FPGA以及处理器能以安全可控的方式上电。

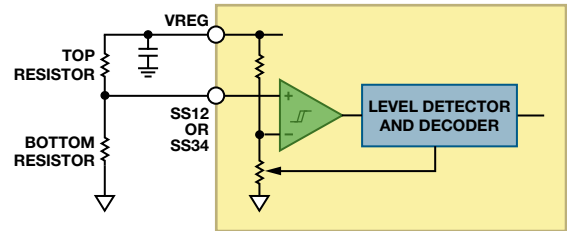
电源良好输出: 当所选降压调节器正常工作时, 开漏电源良好输出(PWRGD)变为高电平(图6-3)。电源良好引脚可以将电源的状况告知主机系统。默认情况下, PWRGD监控降压调节器1上的输出电压, 但也可以定制其它通道来控制PWRGD引脚。各通道的状态(PWRGx位)可通过ADP5050上的I²C接口回读。PWRGx位的逻辑高电平表示调节输出电压高于标称输出的90.5%。当调节输出电压降至其标称输出的87.2%以下并持续50 μ s以上时, PWRGx位设为逻辑低电平。PWRGD输出是内部未屏蔽PWRGx信号的逻辑和。内部PWRGx信号必须为高电平且持续至少1 ms, PWRGD引脚才能变为高电平; 如果任意PWRGx信号发生故障, 则PWRGD引脚毫无延迟地变为低电平。控制PWRGD的通道(通道1至通道4)由工厂熔丝指定, 或通过I²C接口设置相应位来指定。

有源输出放电开关: 每个降压调节器均集成一个放电开关, 它连接在开关节点与地之间(图6-4)。当其相关调节器禁用时, 开关接通, 有助于使输出电容快速放电。对于通道1至通道4, 放电开关的典型电阻为250 Ω 。当调节器禁用时, 即使有大容性负载, 有源放电开关也会将输出拉至地。这样就能显著提高系统的稳定性, 尤其是在周期供电时。



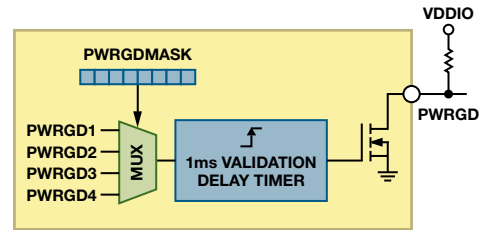
1. 精密使能阈值

高于0.8 V使能稳压器, 低于0.72 V(迟滞)则关断稳压器。



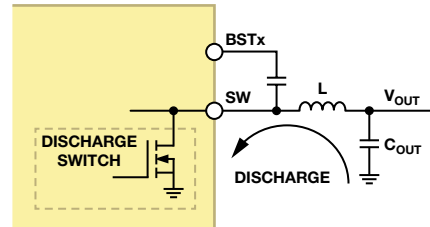
2. 可编程软启动

各通道上的不同软启动可编程为2ms、4ms、8ms。



3. PWRGD输出

CH1到CH4的所需PWRGDx可通过工厂熔丝或I²C配置。



4. 有源输出放电开关

可以接通输出放电开关以缩短输出电容的放电周期。

图6. ADP5050和ADP5052简化电源时序控制

图7典型的上电/关断时序

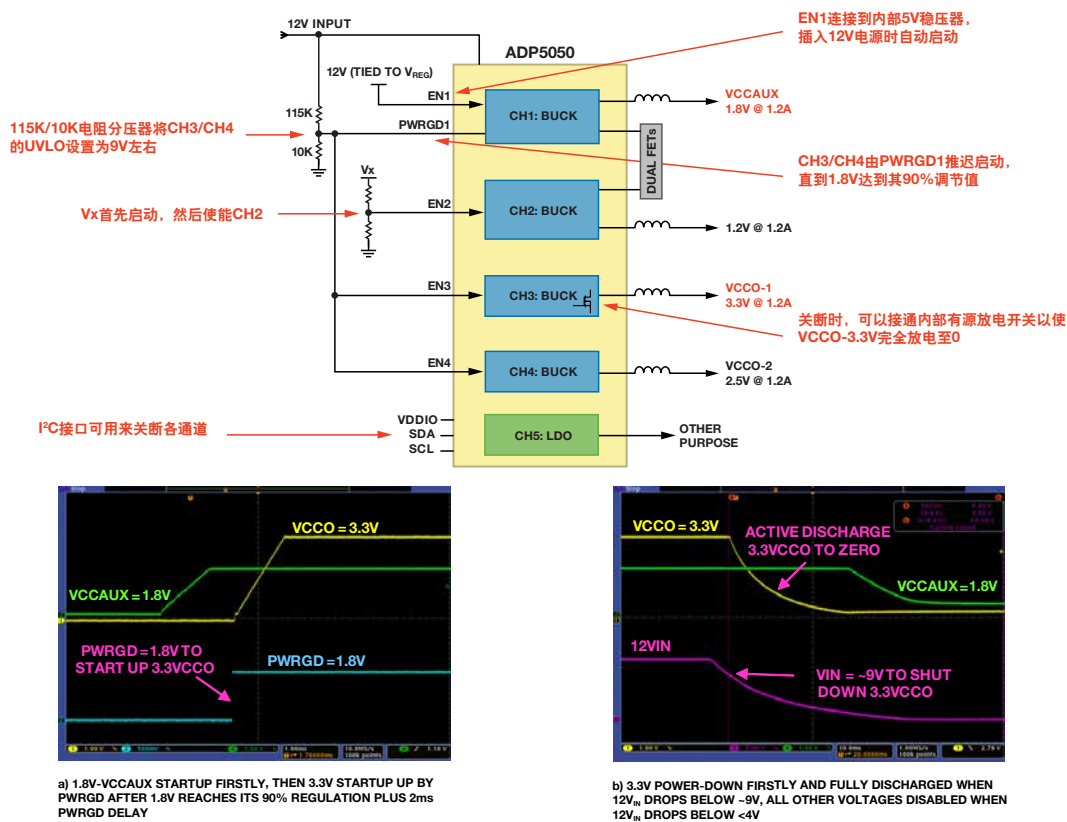


图7. 典型的上电/关断时序

I²C接口

I²C接口实现了对两个降压调节器输出(通道1和通道4)的高级监控和基本动态电压调整。

输入电压监控: 可以监控输入电压是否发生欠压等故障。例如, 将12V电压施加于输入, I²C接口配置为: 如果输入电压低于10.2V, 则触发报警。专用引脚(nINT)上的信号告知系统处理器问题已出现, 并关断系统以便采取纠正措施。具备监控输入电压的能力可

提高系统可靠性。图8显示了可以设置哪些值来监控ADP5050的输入电压。

结温监控: 可以监控结温以判断是否发生过温等故障。如果结温高于预设值(105°C、115°C或125°C), nINT上就会产生报警信号。与热关断不同的是, 此功能发送警告信号而不关断器件。具备监控结温并提醒系统处理器注意避免发生系统故障的能力可提高系统可靠性, 如图9所示。

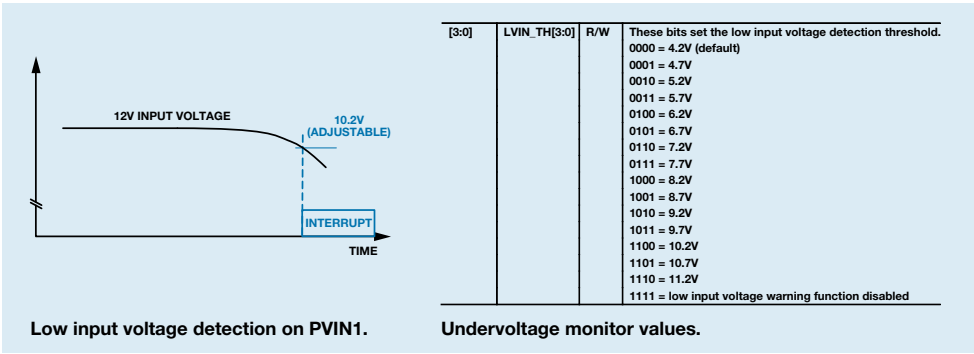


图8. 输入欠压检测

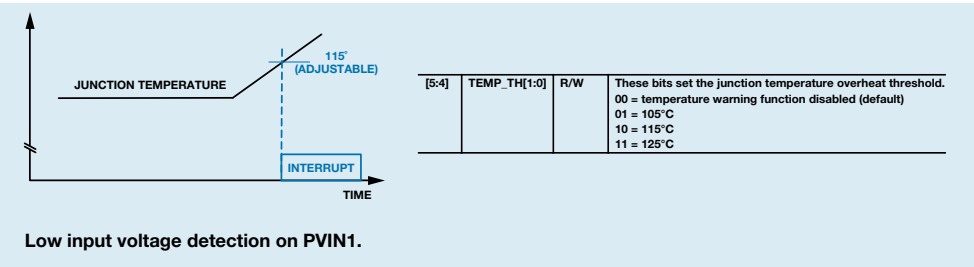


图9. 结温监控

动态电压调整：动态电压调整通过动态降低低功耗模式下通道1和通道4的电源电压来降低系统功耗，它也可以根据系统配置和负载动态改变输出电压。此外，所有四个降压调节器的输出电压均可通过I²C接口设置，如图10所示。

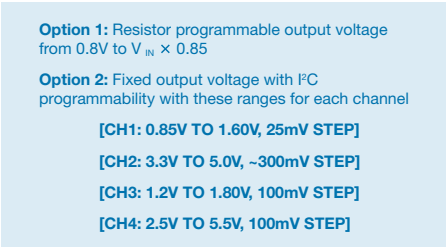


图10. ADP5050输出电压选项

低噪声特性

多个特性可降低电源产生的系统噪声。

宽电阻可编程开关频率范围：RT引脚上的电阻可在250 kHz至1.4 MHz的范围内设置开关频率。电源设计师可灵活地设置开关频率以避免系统噪声频段。

降压调节器相移：降压调节器的相移可通过I²C接口设置。默认情况下，通道1和通道2之间以及通道3和通道4之间的相移为180°，如图11所示。反相操作的优势是输入纹波电流和电源接地噪声更低。

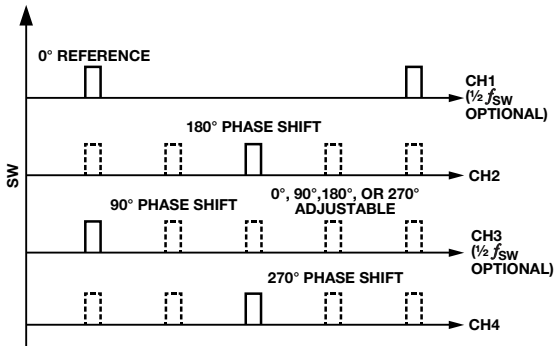


图11. ADP5050/ADP5052的降压调节器相移

利用I²C接口，通道2、通道3和通道4相对于通道1的相移可设置为0°、90°、180°或270°，如图12所示。通道1和通道2配置为并联操作以提供最高8A的单路合并输出时，通道2的开关频率相对于通道1锁定至180°相移。

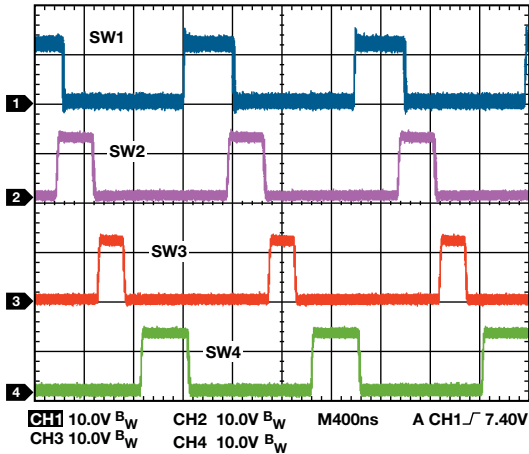


图12. 降压调节器的相移可通过I²C接口配置

时钟同步：开关频率可通过SYNC/MODE引脚同步至250 kHz到1.4 MHz的外部时钟。该能力对于RF和噪声敏感应用很重要。检测到外部时钟时，开关频率平滑过渡至其频率。当外部时钟停止时，器件切换到内部时钟并继续正常工作。与外部时钟同步可使系统设计师远离临界噪声频段，并降低系统中多个器件产生的噪声。为成功同步，必须将内部开关频率设置为接近于外部时钟值的值，频率差建议小于±15%。

通过工厂熔丝或I²C接口，可将SYNC/MODE引脚配置为同步时钟输出。当频率等于内部开关频率时，SYNC/MODE引脚产生占空比为50%的正时钟脉冲。产生的同步时钟与通道1开关节点之间有一个较短的延迟时间(约为 t_{sw} 的15%)。

图13显示了两个配置为频率同步模式的器件：一个器件配置为时钟输出以同步另一个器件。应当使用100 k Ω 上拉电阻，以防SYNC/MODE引脚悬空时发生逻辑错误。

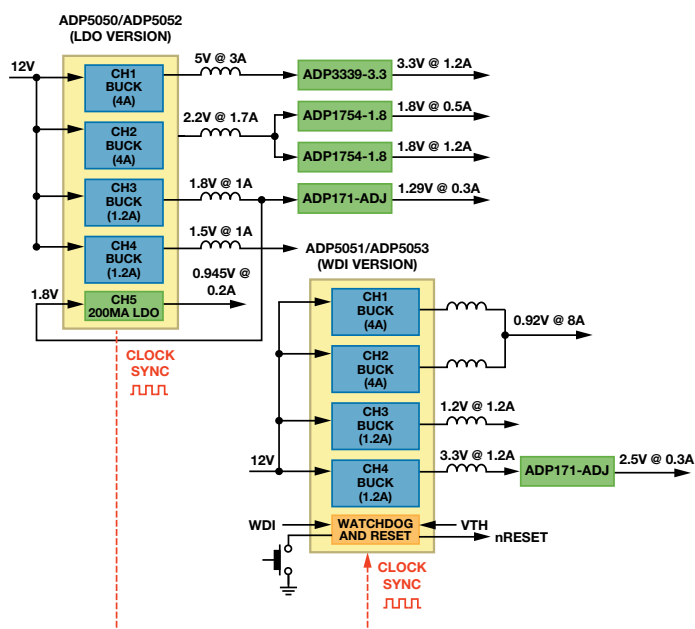


图13. RF应用显示两个器件同步以降低电源噪声

两个器件均同步至同一时钟，因此，第一个器件的通道1与第二个器件的通道1之间的相移为0°，如图14所示。

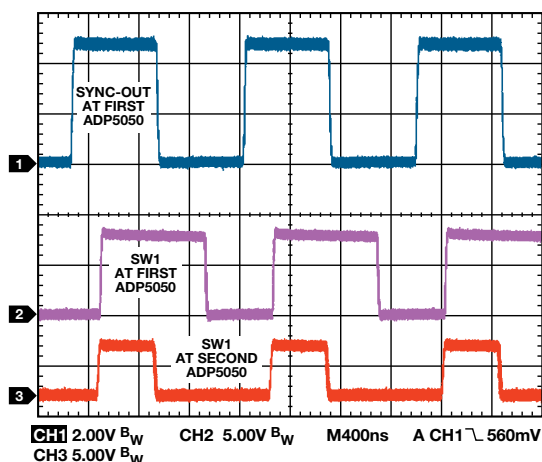


图14. 两个以同步模式工作的ADP5050器件的波形

ADIsimPower设计工具

ADIsimPower™现在支持多通道高压PMU ADP5050/ADP5052，这些器件从最高15 V的输入为4/5的通道供电，每通道的负载电流最高可达4 A。凭借该设计工具，用户可以级联通道，将高电流通道并联放置以形成8 A电源轨，考虑各通道的热分布，从而优化设计。利用高级特性，用户可以独立指定各通道的纹波和瞬变性能、开关频率、支持半主频率的通道。

ADIsimPower允许用户在图15所示的软件界面上快速轻松地输入设计要求。

STEP 1:

OPTIMIZE FOR SIZE, COST, OR EFFICIENCY

STEP 2:

SPECIFY EACH CHANNEL'S OPERATING CONDITIONS, INCLUDING "DO NOT USE"

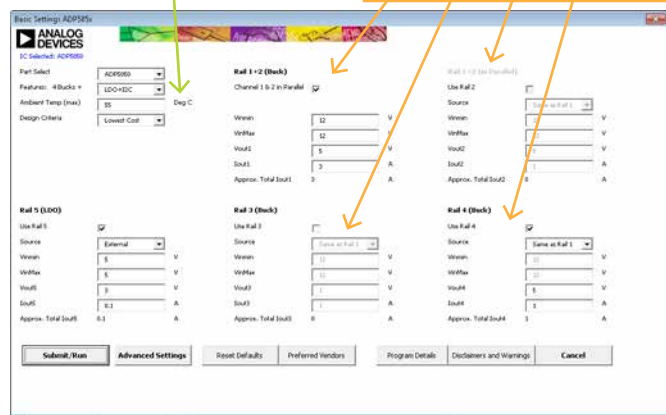


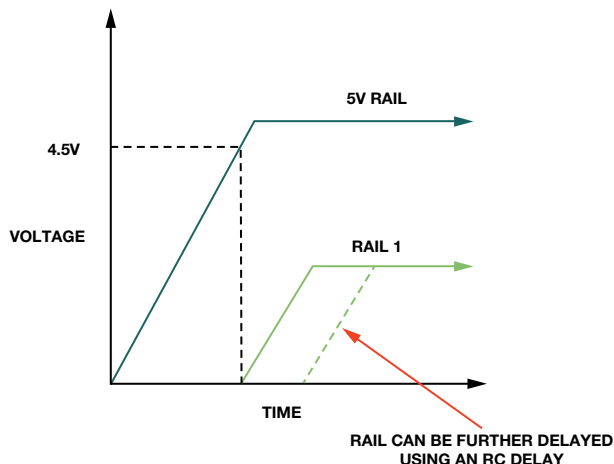
图15. ADIsimPower软件界面

软件会智能选择器件并生成完整的物料清单。评估板可以直接在该工具内申请。设计工具支持对各通道进行复杂的控制，如图16所示。

Rail 1 (Buck)

Vout Ripple	2	% = 100 mVppk
Istep	30	% = 0.3 Apk
Vstep	5	% = 250 mVpk
Soft Start Time	Automatic	
Enable/UVLO Setting	UVLO from Rail	
UVLO Rail	5	V
UVLO Threshold	90	% = 4.5 V
UVLO (Rising)	4.5	V
UVLO (Falling)	4.1	V
Half Frequency	☐	

(a)



(b)

图16. (a) 可以指定各轨的纹波、瞬变和响应。

(b) 使用精密使能的高级时序控制要求。

利用ADIsimPower, 电源设计师可以快速获得准确、经过测试的可靠性能数据, 如图17所示。

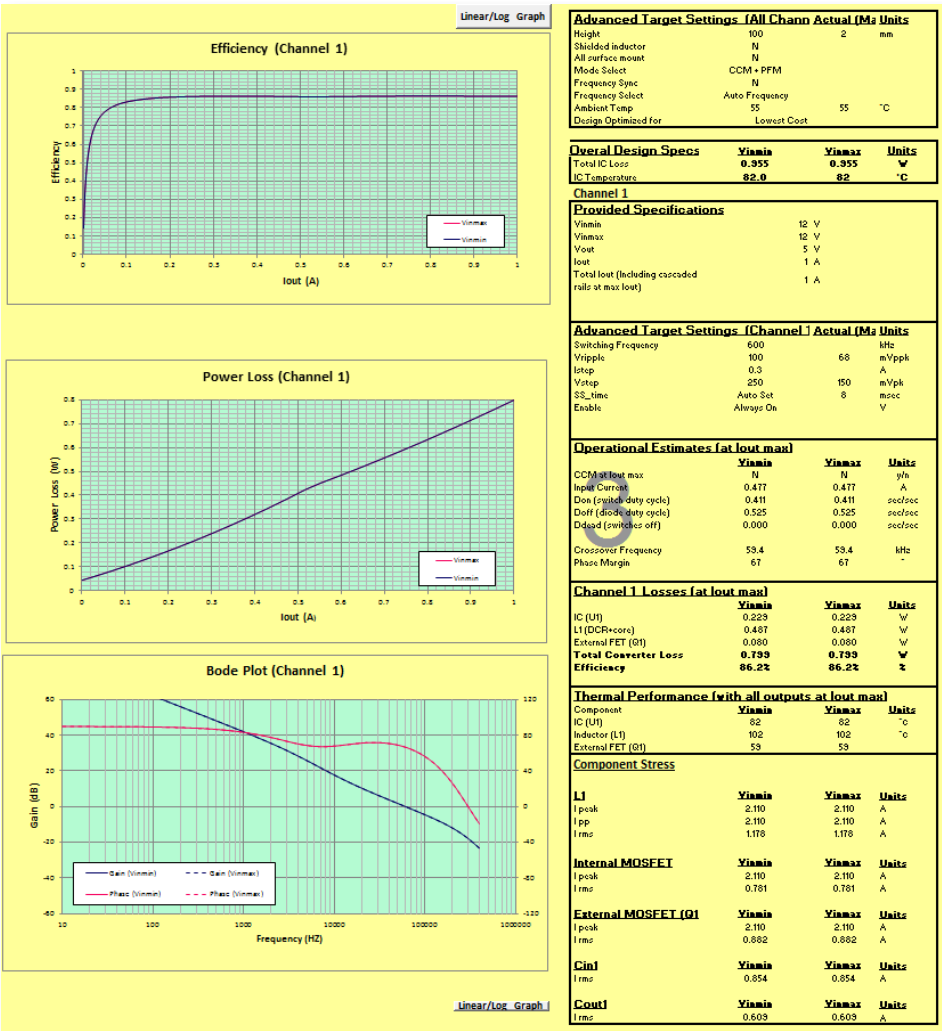


图17. ADIsimPower仿真输出

随后便可在评估板上组装设计, 如图18所示。

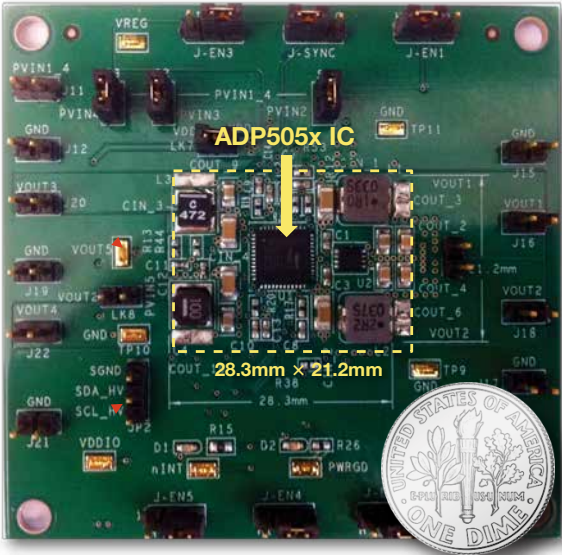


图18. 使用ADP5050/ADP5052的电源电路

ADP5050/ADP5052/ADP5051/ADP5053技术规格

产品型号	描述	V _{IN} (V)	V _{OUT} (V)	输出数	输出电流 (mA)	I ² C	主要特性	封装	报价(美元/片)
ADP5050	四通道降压调节器、LDO、I ² C	降压：4.5至15	0.8至0.85 × V _{IN}	2 × 降压	4000、2500或1200	是	带独立使能引脚和电源良好指示的I ² C接口	48引脚LFCSP	4.39
				2 × 降压	1200				
		LDO：1.7至5.5	0.5至4.75	LDO	200				
ADP5051	四通道降压调节器、POR/WDI、I ² C	降压：4.5至15	0.8至0.85 × V _{IN}	2 × 降压	4000、2500或1200	是	带独立使能引脚和电源良好指示的I ² C接口	48引脚LFCSP	4.59
				2 × 降压	1200				
ADP5052	四通道稳压器、LDO	降压：4.5至15	0.8至0.85 × V _{IN}	2 × 降压	4000、2500或1200	否	独立使能引脚和电源良好指示	48引脚LFCSP	3.59
				2 × 降压	1200				
		LDO：1.7至5.5	0.5至4.75	LDO	200				
ADP5053	四通道降压调节器、POR/WDI	降压：4.5至15	0.8至0.85 × V _{IN}	2 × 降压	4000、2500或1200	否	独立使能引脚和电源良好指示	48引脚LFCSP	3.79
				2 × 降压	1200				

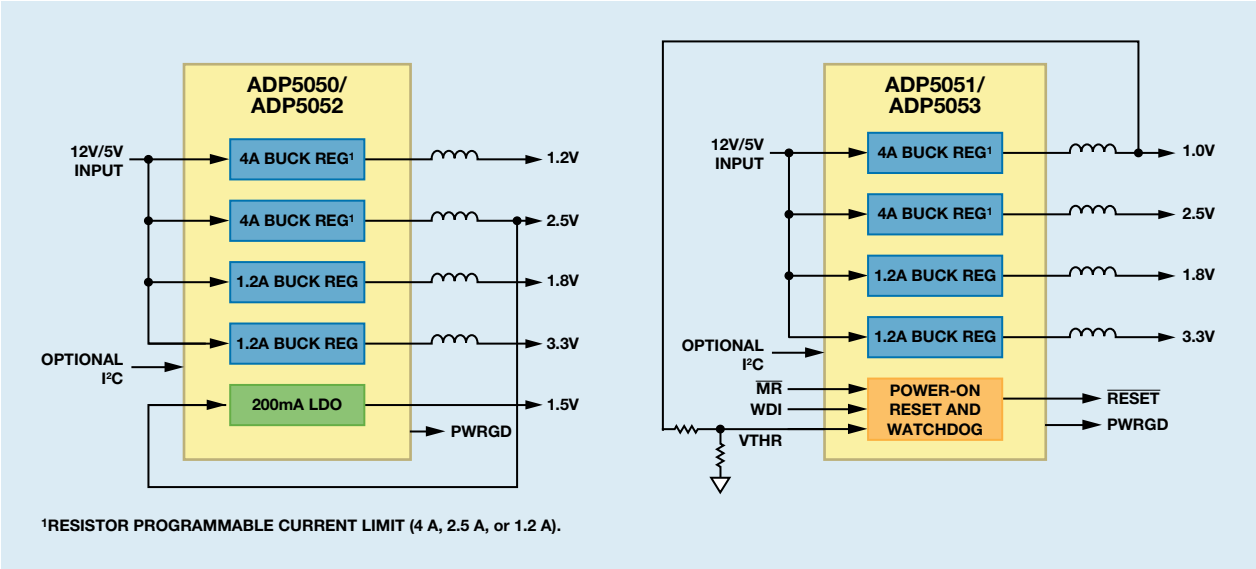


图19. ADP5050/ADP5051/ADP5052/ADP5053： 四通道降压开关调节器，带LDO或POR/WDI，采用LFCSP封装

结论

高度集成的全新PMU可实现具有高电源效率、高可靠性和超小尺寸的复杂电源管理解决方案。全新设计工具与灵活的集成电路相结合，则可缩短这些复杂电源产品的上市时间。ADP505x系列是ADI公司高度集成的多路输出稳压器的最新产品组合，该系列使单个IC能快速轻松地用于许多不同的应用，从而缩短电源设计时间。要讨论这些器件的技术方面，请访问EngineerZone®中文技术论坛。

作者简介

Maurice O'Brien [maurice.obrien@analog.com] 于2002年毕业于爱尔兰利默里克大学，获得电子工程学士学位，毕业之后即加入ADI公司。他目前是电源管理产品线的产品营销经理。业余时间，Maurice喜欢骑马、户外运动和旅游。



MEMS麦克风——助听器的未来

作者: Jerad Lewis和Brian Moss博士

由于人口老龄化和听力丧失人群的明显增加,助听器市场不断增长,但其显眼的外形和很短的电池寿命让许多人失去兴趣。随着听力丧失现象变得更加常见,人们将寻求更加小巧、更有效、更高品质的助听器。助听器信号链的前端是麦克风,它检测语音和其他环境噪声。因此,改善音频捕捉可以提高信号链整体的性能并降低功耗。

麦克风是把声学信号转换为电信号以供助听器音频信号链处理的传感器。有许多技术可用于这种声电转换,但电容麦克风是其中尺寸最小、精度最高的一类麦克风。电容麦克风中的薄膜随着声学信号而运动,这种运动引起电容变化,进而产生电信号。

驻极体电容麦克风(ECM)是助听器中使用最广泛的技术。ECM采用可变电容,其一个板由具有永久电荷的材料制成。ECM在当今助听行业声名显赫,但这些设备背后的技术自1960年代以来并无多大变化。其性能、可重复性以及相对于温度和其他环境条件的稳定性不是非常好。助听器以及其他注重高性能和一致性的应用,为新型麦克风技术的发展创造了机会。新技术应当能改善上述缺点,让制造商生产出更高质量、更加可靠的设备。

微机电系统(MEMS)技术是电容麦克风变革的中坚力量。MEMS麦克风利用了过去数十年来硅技术的巨大进步,包括超小型制造结构、出色的稳定性和可重复性、低功耗,所有这些都已成为硅工业不折不扣的要求。迄今为止,MEMS麦克风的功耗和噪声水平还是相当高,不宜用于助听器,但满足这两项关键要求的新器件已经出现,正在掀起助听器麦克风的下一波创新浪潮。

MEMS麦克风工作原理

像ECM一样,MEMS麦克风也是电容麦克风。MEMS麦克风包含一个灵活悬浮的薄膜,它可在一个固定背板之上自由移动,所有元件均在一个硅晶圆上制造。该结构形成一个可变电容,固定电荷施加于薄膜与背板之间。传入的声压波通过背板中的孔,引起薄膜运动,其运动量与压缩和稀疏波的幅度成比例。这种运动改变薄膜与背板之间的距离,进而改变电容,如图1所示。在电荷恒定的情况下,此电容变化转换为电信号。

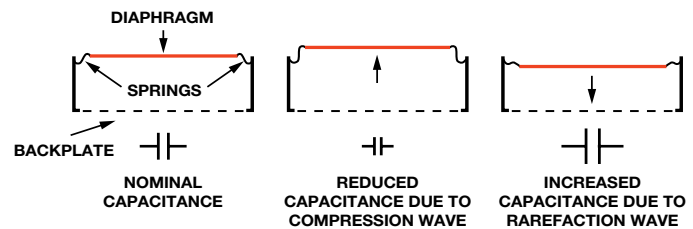


图1. MEMS麦克风的电容随声波的幅度而变化

在硅晶圆上制造麦克风传感器元件的工艺与其他集成电路(IC)的制造工艺相似。与ECM制造技术不同,硅制造工艺非常精密且高度可重复。一个晶圆上制造的所有MEMS麦克风元件都具有相同的性能,不仅如此,而且在该产品的多年生命周期中,不同晶圆上的每一个元件也都具有相同的性能。

硅制造是在严格控制的环境中,利用一系列沉积和蚀刻工艺,产生金属和多晶硅的形状集合以形成MEMS麦克风。生产MEMS麦克风涉及到的几何结构是微米(μm)级。声波所经过的背板中的孔直径可以小于10 μm ,薄膜厚度可以是1 μm 左右。薄膜与背板之间的间隙仅有数微米。图2所示为典型MEMS麦克风传感器元件的SEM图像,从顶部(薄膜)观看。图3所示为该麦克风元件中部的截面图。在该设计中,声波通过元件底部的空腔进入麦克风,并穿过背板孔以激励薄膜。

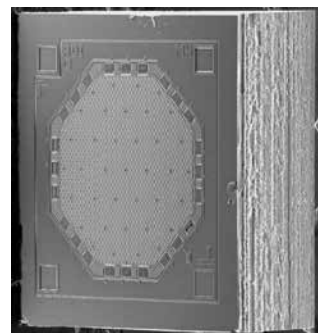


图2. MEMS麦克风的SEM图像

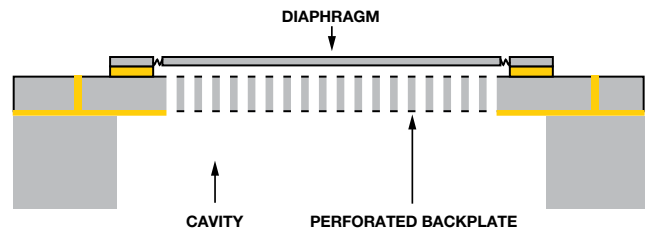


图3. MEMS麦克风的横截面

由于几何结构在制造工艺中受到严格控制，因此不同麦克风的实测性能具有高度可重复性。利用MEMS技术构建麦克风的另一个优势是薄膜极小，因此其质量非常小，相比于薄膜质量大得多的ECM，MEMS麦克风不易受振动影响。

发展、可重复性和稳定性

MEMS麦克风已发展到很高的水平，它已成为很多要求小尺寸和高性能的音频捕捉应用的默认选择，但大部分商用级麦克风并不适合助听器行业，因为后者要求小得多的器件、更低的功耗、更好的噪声性能以及更高的可靠性、环境稳定性和器件间可重复性。MEMS麦克风技术现在已经能够满足上述所有要求：超小型封装、极低功耗以及极低的等效输入噪声。

硅制造工艺的严格控制措施令MEMS麦克风的稳定性和器件间性能差异显著优于ECM。图4所示为相同型号的数个MEMS麦克风的归一化频率响应，图5所示为不同ECM的归一化频率响应。各MEMS麦克风的频率响应几乎一致，而ECM的频率响应则显示出相当大的器件间差异，尤其是在高频和低频时。

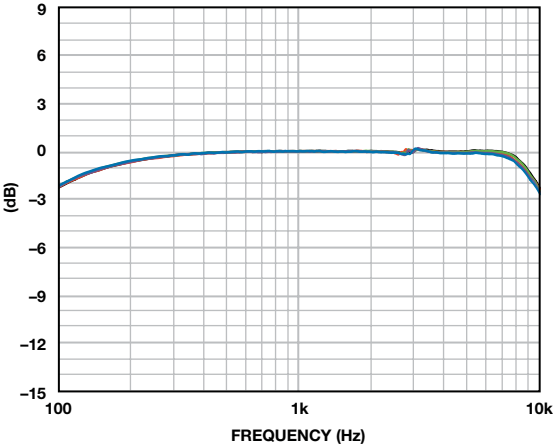
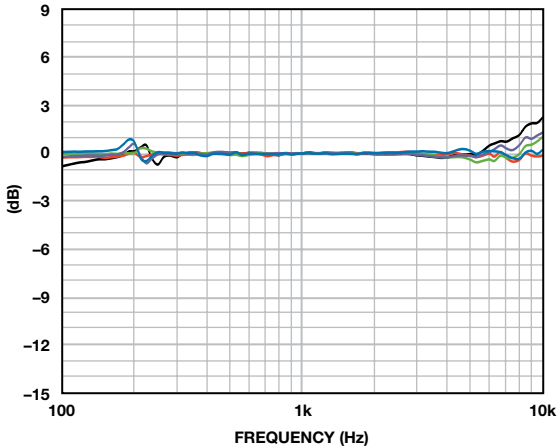
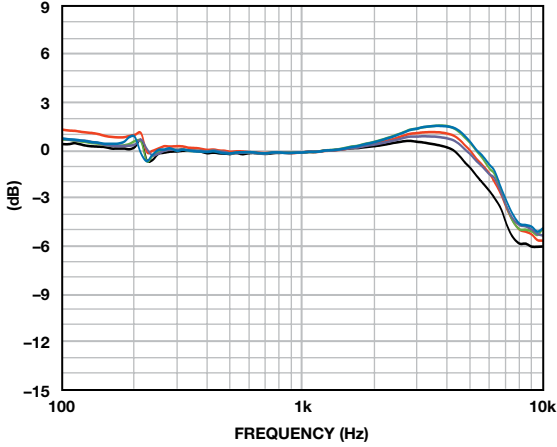
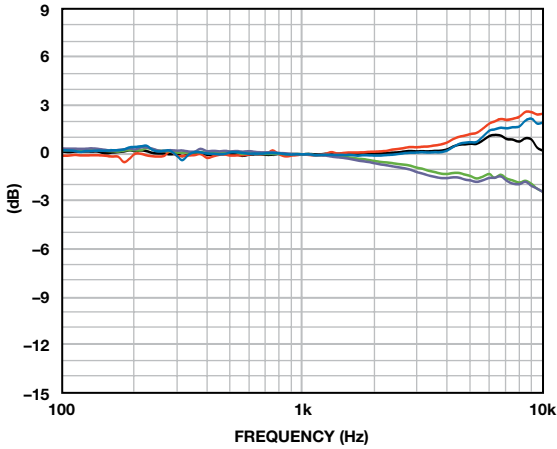


图4. 数个MEMS麦克风的频率响应

图5. 三组ECM麦克风的频率响应

MEMS麦克风还表现出卓越的宽温度范围稳定性。图6所示为环境温度在-40°C至+85°C之间改变时灵敏度的变化。黑线显示：在MEMS麦克风的温度范围内，灵敏度变化小于0.5 dB；而ECM则表现出最多8 dB的变化。

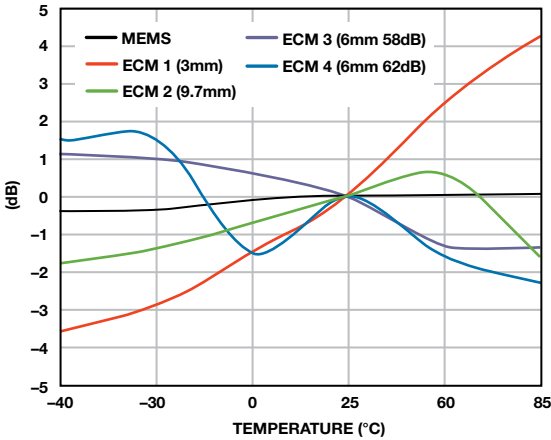


图6. 对振动的灵敏度与温度的关系：MEMS与ECM

相比于ECM，MEMS麦克风设计的电源抑制性能显著提高，典型电源抑制比(PSRR)优于-50 dB。在ECM上，输出信号和偏置电压(电源)共用一个引脚，电源上的任何纹波都会直接出现在输出信号上。MEMS麦克风优异的PSRR为音频电路设计提供的自由度是ECM无法比拟的。器件数量和系统成本得以降低。

在助听器之类电池供电的微型应用中，每毫瓦功耗都至关重要。当助听器正在工作时，麦克风无法通过周期供电来节省功耗。因此，麦克风的工作功耗极为重要。采用典型的锌空气电池电压(0.9V-1.4V)供电时，助听器所用典型ECM麦克风的功耗为35 μ A。而在相同电压下，助听器所用MEMS麦克风的功耗可以降至一半，使得助听器装一次电池可以使用更长时间。

最新一代MEMS麦克风拥有助听器行业要求的出色噪声和功耗性能。ADI公司利用20多年的MEMS技术经验来打造可用于助听器市场的高性能麦克风。典型全向MEMS麦克风的等效输入噪声(EIN)特性为27.5 dB SPL(A加权、8 kHz带宽)，适合助听应用。 $\frac{1}{3}$ 倍频程EIN噪声性能通常用于指定助听器用麦克风，在低频时非常出色，如图7所示。实现如此高的噪声性能只需17 μ A功耗(采用典型助听器电池电压)。麦克风提供微型封装，总体积小于7.5 mm³，如图8所示。

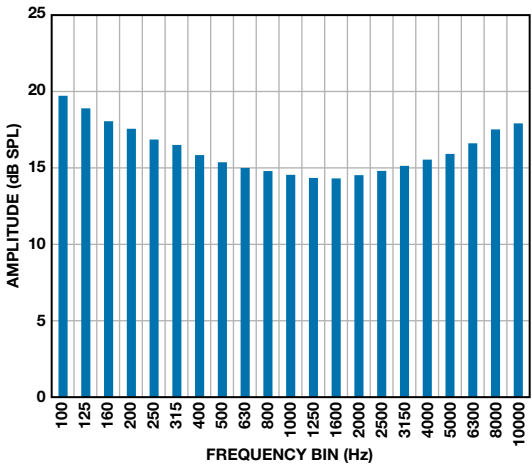


图7. MEMS麦克风的 1/3倍频程噪声

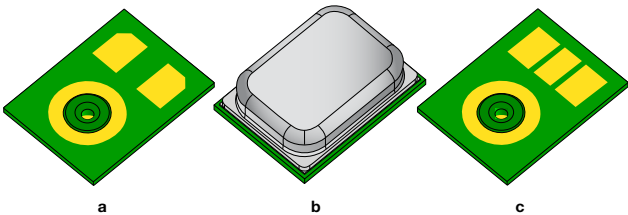


图8. 助听器用全向MEMS麦克风a) 仰视图；b) 俯视图；c) 便于手工焊接的封装俯视图

结论

新型高性能、低功耗MEMS麦克风证明它将是适用于助听器的下一代麦克风技术。MEMS麦克风在性能上可与许多助听器ECM相竞争，并在很多方面超过ECM技术，例如可重复性、稳定性、尺寸、可制造性和功耗等。MEMS麦克风是助听器的未来，而未来已经到来。

作者简介

Jerad Lewis [jlewis@invensense.com] 是InvenSense, Inc.的MEMS麦克风应用工程师。他于2001年获得美国宾州州立大学电气工程学士学位，目前正在攻读声学工程硕士学位。转职到InvenSense之前，Jerad在ADI公司工作，负责支持各种音频IC，包括SigmaDSP®、转换器和MEMS麦克风。



Brian Moss博士是InvenSense的应用工程师。他于1996年获得英国伦敦伦敦密德萨斯大学工程学士(荣誉)学位，2011年以题为“利用被动声学测量受约束气流温度”的研究成果获得哲学博士学位。转职到InvenSense之前，Brian在ADI公司工作，同时兼任利默里克大学讲师。



高性能数据采集系统增强数字X射线和MRI的图像

作者：Maithil Pachchigar

简介

数字X射线(DXR)、磁共振成像和其他医疗设备要求数据采集系统具备小型、高性能、低功耗等特性，以满足竞争市场上医生、病人和制造商的需求。本文展示一款高精度、低功耗信号链，可解决多通道应用(如数字X射线，需多路复用多通道的大信号和小信号测量)以及过采样应用(如MRI，要求低噪声、高动态范围和宽带宽)带来的挑战。高吞吐速率、低噪声、高线性度、低功耗以及小尺寸使18位、5 MSPS PulSAR®差分ADC AD7960成为这些高性能成像应用以及其他精密数据采集系统的理想选择。

数字X射线

人类于1895年通过胶片或闪烁屏检测的方式，首次发现了X射线。从此，人们便将这项技术用于各种医疗诊断场合，包括肿瘤科、牙科以及兽医学，以及众多工业成像应用。数字X射线能以固态传感器代替胶片检测器，包括平板探测器和线性扫描探测器。平板探测器使用两种技术：直接转换与间接转换。在直接转换中，硒光电池组成容性元件，直接将高频X射线光子转换为电流信号。而在间接转换中，碘化铯闪烁计数器首先将X射线光子转换为可见光，然后硅光电二极管阵列将可见光转换为电流信号。每个光电二极管代表一个像素。低噪声模拟前端将来自每个像素的小电流转换为大电压，然后再将电压转换为图像处理器能够处理的数据。如图1所示的典型DXR系统能以高采样速率，将很多通道多路复用至单ADC，而不会牺牲精度。

今天，数字X射线探测器制造商通常采用间接转换。一百万像素以上的非晶硅平板探测器或光电二极管阵列捕获光子能量，将输出多路复用至12个或24个ADC。这项技术具有高效的X射线光子吸收和高性噪比，以一半的X射线照射量实时获得动态高分辨率图像。每像素的采样速率较低，数值从针对骨头和牙齿的几Hz，到获取婴儿心脏(人体内速度最快的器官)图像所需的最高120 Hz。

测量数字放射检查探测器的图像质量即可知其性能优劣，因此对X射线束进行精确采集和精细处理显得尤为重要。数字放射检查具有更大的动态范围、高采集速度和帧速率，并采用特定的图像处理技术以保持一致性，从而增强图像质量。

医疗成像系统必须提供质量更佳的图像，以实现精确诊断和更短的扫描时间，降低病人所受X射线的照射量。高端放射检查系统(动态采集)一般用于外科中心和手术室中，而基本系统用于急诊室、小型医院或医生办公室中。工业成像系统必须耐用，因为它们的使用寿命非常长，并且可能位于高射线照射量的恶劣环境中。安保或行李检查应用可采用较低的X射线照射量，因为X射线源会在长时间内持续存在。

MRI梯度控制

如图2所示的MRI系统最适合大脑成像应用，或用于骨科、血管造影和血管研究等，因为该系统可扫描提供软组织的高对比度图像，无需将其暴露在电离辐射下。MRI工作频段为1 MHz至100 MHz RF，而计算机断层扫描(CT)和DXR工作在 10^{16} Hz至 10^{18} Hz频率范围内，并且需要让病人暴露在电路辐射下，会损害活组织。

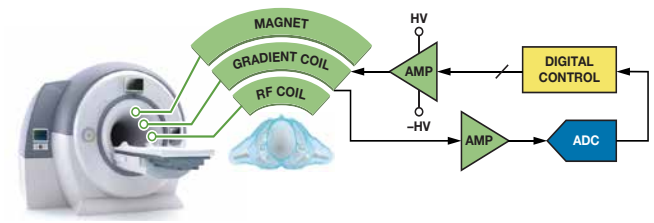


图2. MRI系统

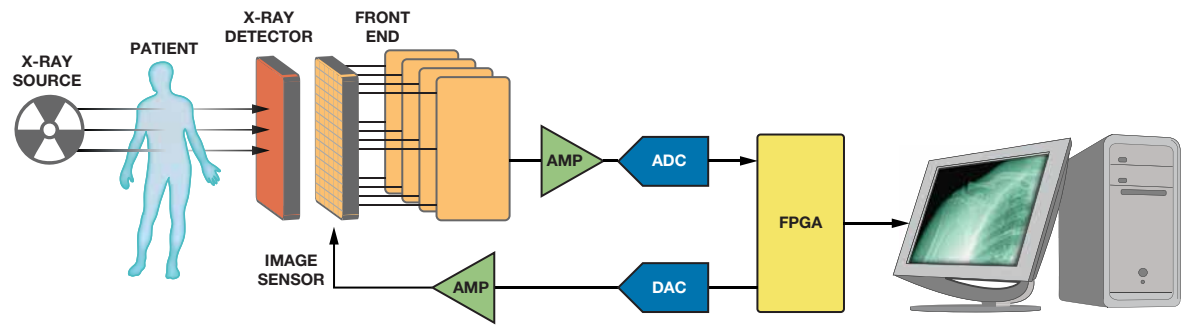


图1. 数字X射线信号链

MRI控制系统具有很小的容差,因此需要高性能元件。在MRI系统中,使用大线圈创建1.5 T至3 T主磁场。高电压(最高1000 V)施加于线圈,形成高达1000 A的所需电流。MRI系统使用梯度控制,并通过改变特定线圈内的电流,线性改变主磁场。对这些梯度线圈进行快速且精确的调制,改变主磁场,使其对准体内极小的位置。梯度控制使用RF能量,激发人体组织中某个较薄的横截面,以此产生x、y和z轴图像。MRI要求快速响应时间,并且要求其梯度精确控制到1 mA内(1 ppm)。MRI系统制造商可采用模拟

或数字域控制梯度。MRI系统的设计具有极长的开发时间、极高的物料成本等特点,并且与整体硬件和软件复杂性相关的风险极大。

高性能数据采集信号链

图3显示高精度、低噪声、18位数据采集信号链,提供 ± 0.8 LSB积分非线性(INL)、 ± 0.5 LSB差分非线性(DNL)以及99 dB信噪比(SNR)。图4显示其采用5V基准电压源时的典型FFT和线性度性能。该信号链的总功耗约为345 mW,与竞争型解决方案相比约低50%。

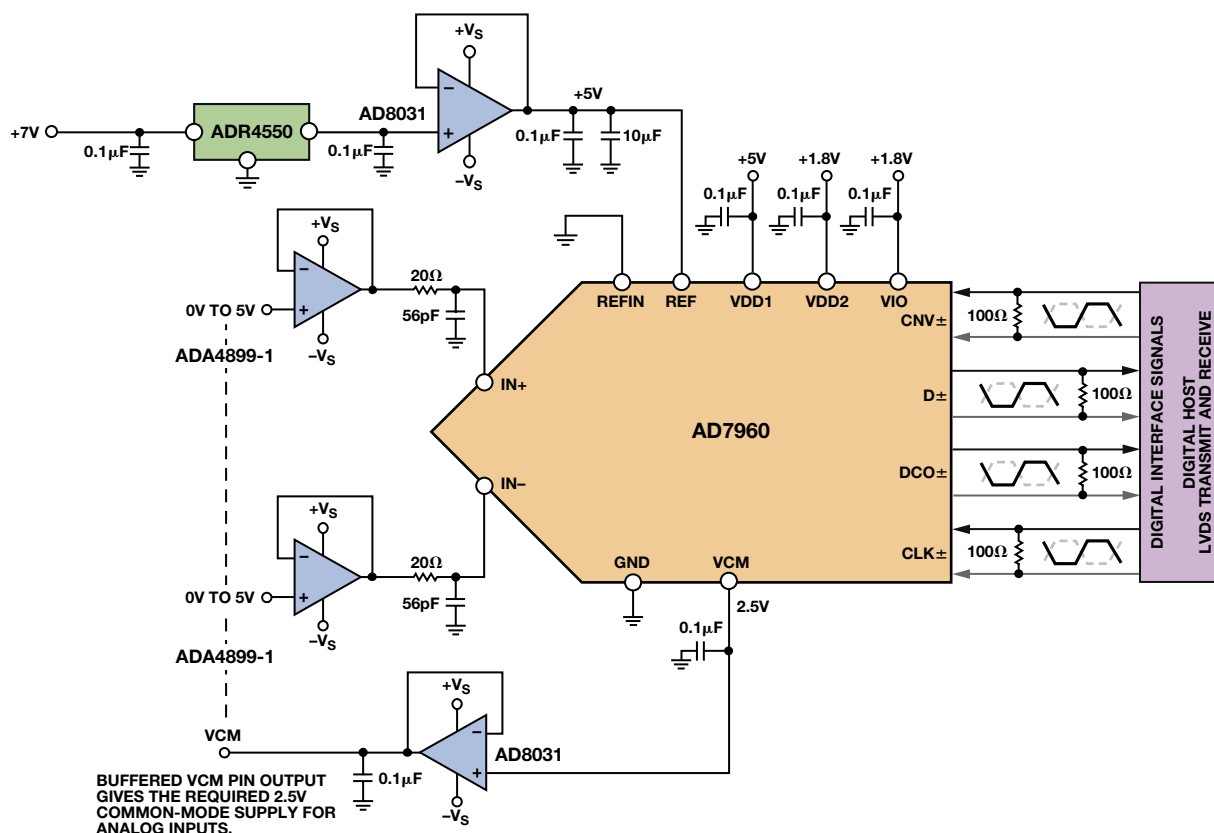


图3. 采用AD7960、ADA4899、AD8031和ADR4550的精密快速建立信号链

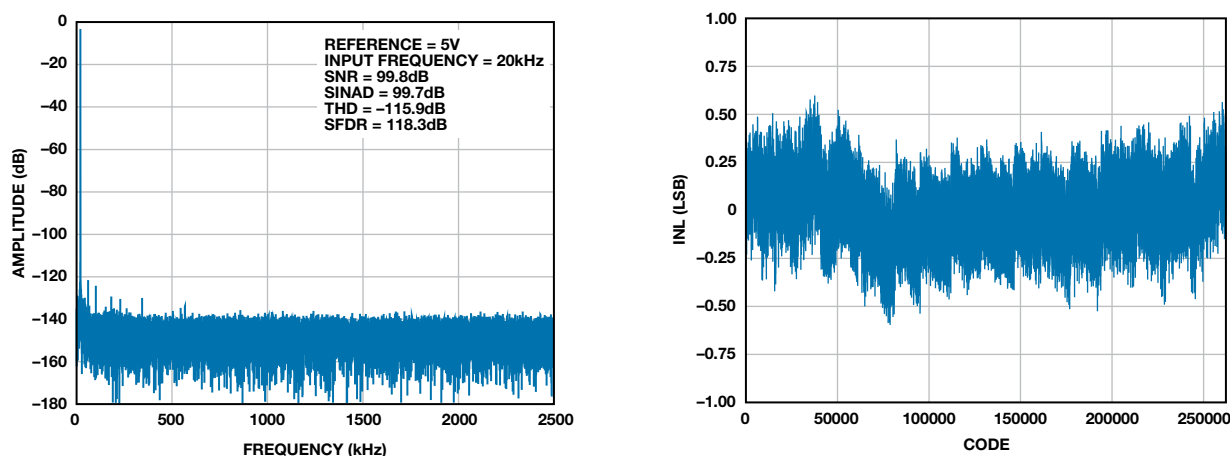


图4. AD7960典型FFT和线性度性能

这类高速、多通道数据采集系统可用于CT、DXR以及其他医疗成像应用中，这些应用都要求在不牺牲精度的前提下提供更高的采样速率。该系统的18位线性度以及低噪声性能可提升图像质量，而其5 MSPS吞吐速率可缩短扫描周期(每秒帧数更高)，降低暴露在X射线下的剂量，提供精确的医疗诊断和更佳的患者体验。对多个通道进行多路复用处理可获得分辨率更高的图像，用于器官(如心脏)的完整分析，实现成本合理的诊断，并最大程度降低功耗。精度、成本、功耗、尺寸、复杂性以及可靠性对医疗设备制造商而言极为重要。

在CT扫描仪中，每通道使用一个采样保持电路捕获连续像素电流，并将输出多路复用至高速ADC。高吞吐速率允许将很多像素多路复用至单个ADC，可节省成本、空间与功耗。低噪声和良好的线性度提供高质量的图像。高分辨率红外摄像机可从该分辨率中获益。过采样是以比奈奎斯特频率高得多的速率来对输入信号进行采样的过程。过采样用于光谱分析、MRI、气相色谱分析、血液分析以及其他需要具有宽动态范围的医疗仪器中，以便精确监控并测量多通道的小信号与大信号。高分辨率和高精度、低噪声、快速刷新速率以及极低的输出漂移等性能可大幅简化MRI系统的设计，降低开发成本与风险。

MRI系统的关键要求是在医院或医生办公室中可重复、长期稳定地测量。为了获得更佳的图片质量，这些系统还要求具有更高等级的线性度以及高动态范围(DR)，范围从直流到几十kHz。原则上讲，对ADC进行4倍过采样可额外提供1位分辨率，或增加6 dB的DR。由过采样而获得的DR改善为： $\Delta DR = \log_2(OSR) \times 3 \text{ dB}$ 。许多情况下， $\Sigma\text{-}\Delta$ 型ADC可以很好地实现过采样，但要求在通道间实现快速切换或要求进行精确直流测量时，过采样会受到限制。采用逐次逼近型(SAR)ADC进行过采样还可改善抗混叠性能，降低噪声。

最先进的ADC架构

CT、DXR和其他多通道应用(或光谱仪、MRI和其他过采样应

用)中的精密高速数据采集系统要求使用最先进的ADC。如图5所示，18位、5 MSPS PulSAR差分ADC AD7960采用容性数模转换器(CAPDAC)提供一流的噪声和线性度性能，并且无延迟或流水线延迟。该器件具有宽带宽、高精度(100 dB DR)以及快速采样(200 ns)性能，可用于医疗成像应用，极大降低多通道应用的功耗和成本。该器件采用小型(5 mm × 5 mm)、易于使用的32引脚LFCSP封装，额定工作温度为-40°C至+85°C工业温度范围。16位AD7961与AD7960引脚兼容，可用于仅需16位性能的应用中。

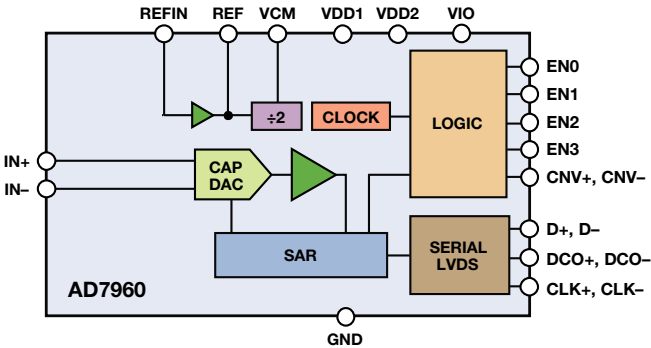


图5. AD7960功能框图

如图6所示，容性DAC由差分18位二进制加权电容阵列(该阵列还可作为采样电容使用，采集模拟输入信号)、比较器以及控制逻辑组成。采样阶段结束后，转换控制输入(CNV±)变为高电平，输入IN+和IN-之间的差分电压被捕获，转换阶段开始。电容阵列中的每一个元件在GND和REF之间逐次切换，电荷被重新分配，输入与DAC值进行比较，且位根据结果予以保留或丢弃。该过程结束时，控制逻辑产生ADC输出代码。AD7960将于开始转换后约100 ns时返回采样模式。采样时间约为总周期的50%，这使AD7960易于驱动，同时放宽了ADC驱动器的建立时间要求。

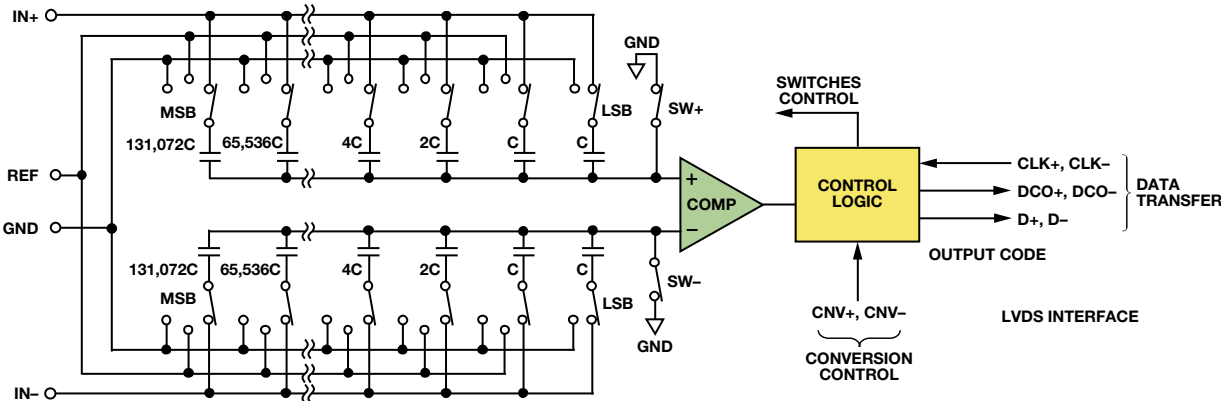


图6. AD7960内部简化原理图

AD7960系列采用1.8 V和5 V电源供电，以自时钟模式转换时的功耗仅为39 mW (5 MSPS)。功耗随采样速率线性变化，如图7所示。

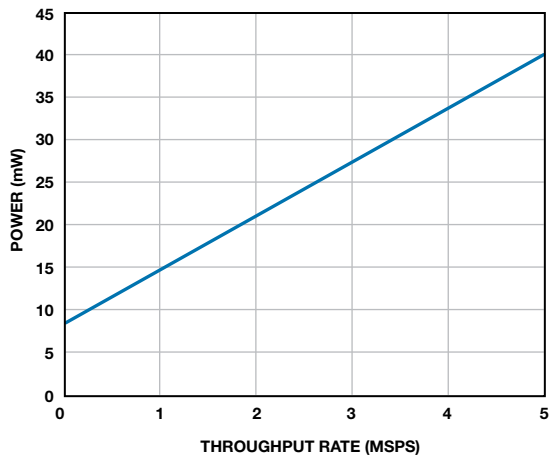


图7. AD7960功耗与吞吐速率的关系

极低采样速率下的功耗主要由LVDS静态功率所决定。相比业内速度第二的18位SAR ADC器件，AD7960的速度要快两倍，功耗低70%，占位面积小50%。

AD7960提供3种外部基准电压选项：2.048 V、4.096 V和5 V。片内缓冲器使2.048 V基准电压翻倍，因此转换等效于4.096 V或5 V。数字接口采用低电压差分信号(LVDS)，具有自时钟模式和回波时钟模式，提供ADC和主机处理器之间的高速数据传输(高达300 MHz)。由于多个器件可共享时钟，因此LVDS接口降低了数字信号的数量，简化了信号路由。它还能降低功耗，这在多

路复用应用中尤为有用。自时钟模式利用主机处理器简化接口，允许接头采用简单时序同步每次转换的数据。若要让数字主机采集数据输出，则需要用到接头，因为数据不存在时钟输出同步。回波时钟模式提供稳定的时序，但要使用一对额外的差分对。输出数据速率低于20 kSPS时，AD7960的典型动态范围超过120 dB，如图8所示。

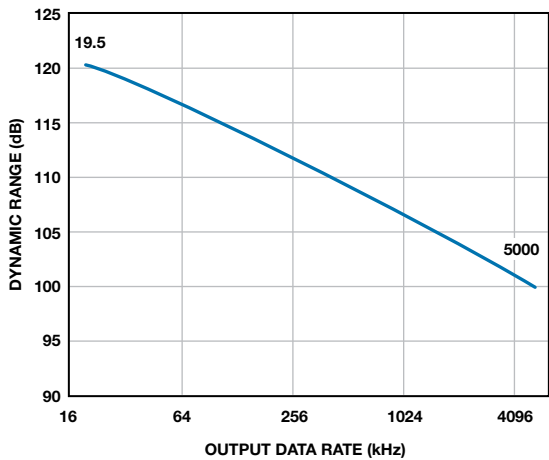


图8. AD7960动态范围与输出数据速率的关系

ADC驱动器

ADC的采样时间决定ADC驱动器的建立时间要求。表1显示选择ADC驱动器时必须考虑的一些规格。通常，信号链性能应当在工作台上进行验证，确保获得所需性能。

表1. AD7960 ADC驱动器选型基准

ADC驱动器规格	通用公式	最低配置要求
带宽(f_{-3dB_amp})	$\frac{N \ln 2}{\pi t_{acq}}$	40 MHz
压摆率	$\frac{\text{Single-ended input voltage}}{0.5 t_{acq}}$	100 V/ μ s
建立时间	来自数据手册	100 ns
SNR	$10 \log\left(\frac{V_{rms_in}^2}{\sqrt{(2(e_{n_amp})^2 \times f_{-3dB_ADC} \times \frac{\pi}{2})^2}}\right)$	105.5 dB

请注意：N = 18, t_{acq} = 100 ns, $V_{rms_in}^2 = 5^2/2 = 12.5 \text{ V}^2$, $e_{n_amp} = 2 \text{ nV}/\sqrt{\text{Hz}}$, $f_{-3dB_ADC} = 28 \text{ MHz}$.

运算放大器的数据手册通常提供线性建立时间与压摆时间相结合的建立时间规格；本文提供的公式为一阶近似，假设线性建立和压摆均为50%(多路复用应用)，采用5 V单端输入。

轨到轨放大器ADA4899-1具有600 MHz带宽、-117-dBc失真(1 MHz时)以及1 nV/√Hz噪声，如图9所示。配置为单位增益缓冲器并以5 V差分信号驱动AD7960的输入时，其0.1%建立时间不超过50 ns。

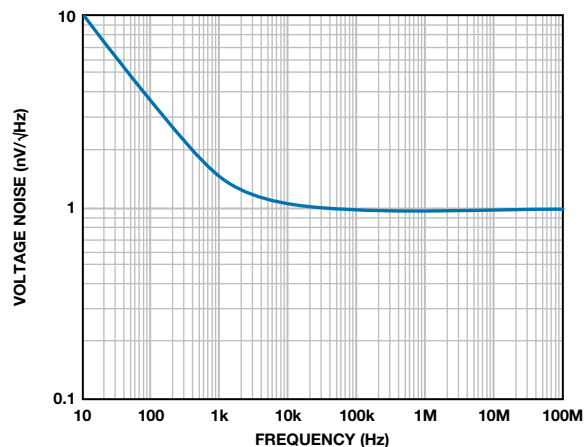


图9. ADA4899噪声频谱密度

基准电压源与缓冲器

低噪声、低功耗轨到轨放大器AD8031缓冲来自基准电压源ADR4550的5 V输出，具有高精度($\pm 0.02\%$ 最大初始误差)、低漂

移(2 ppm/°C最大值)、低噪声(1 μ V p-p)以及低功耗(950 μ A最大值)特性。第二个AD8031缓冲ADC的2.5 V共模输出电压。其低输出阻抗可保持稳定的基准电压，与ADC输入电压无关，从而最大程度降低INL。AD8031具有大容性负载稳定性，可驱动去耦电容，以便最大程度降低瞬态电流引起的尖峰。该器件适合从宽带电池供电系统到低功耗、高速、高密度系统的各种应用。

结论

采用ADI专利技术的高精度、低功耗信号链提供一流的速度、噪声和线性度性能，能够解决DXR和MRI梯度控制中高性能多路复用和过采样数据采集系统的难题。高性能信号链元器件采用小尺寸封装，节省空间，降低了多通道应用的成本。

作者简介

Maithil Pachchigar [maithil.pachchigar@analog.com] 是位于马萨诸塞州威明顿的ADI高精度转换器业务部门的应用工程师。他于2010年加入ADI公司，为工业、仪表、医疗和能源行业的客户提供高精度ADC产品技术支持。自2005年以来，Maithil一直在半导体行业工作，并已发表多篇技术文章。他于2006年获得圣何塞州立大学电气工程硕士学位，并于2010年获得硅谷大学MBA学位。



建立FETching分立式放大器的一些提示

作者: George Alexandrov和Nathan Carter

简介

用于光电二极管、压电以及其他仪器仪表应用的低噪声放大器所要求的电路参数一般是: 极高的输入阻抗、低 $1/f$ 噪声或亚皮安偏置电流等, 而提供的集成产品无法满足这些要求。本文讨论使用分立元器件设计低噪声放大器的要求与挑战, 并重点探讨了折合到输入的噪声以及失调电压调节。

高输入增益拓扑的限制

典型分立式放大器如图1所示, 在高速运算放大器前使用匹配JFET器件实现的差分放大器, 提供高输入阻抗和一定的初始增益。系统噪声主要由输入级产生, 因此无需使用低噪声运算放大器。

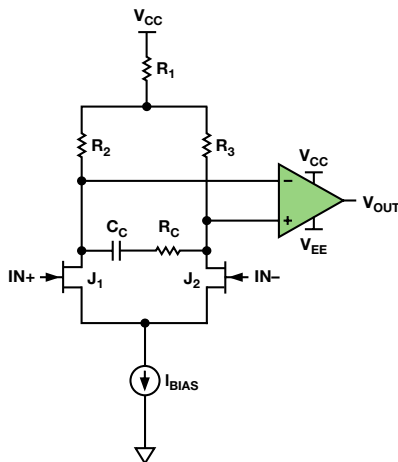


图1. 高速、低噪声仪表放大器

不过, 将输出稳定在低增益和高频率有一定难度。添加RC补偿网络、 C_c 和 R_c 后, 即可实现稳定性, 但这些元器件的最优值随增益而改变, 增加了整体设计的复杂性。另外, 大信号响应对于某些应用而言也过于缓慢。

图2所示电路在单位增益处可获得相应的噪声性能, 无需进行补偿。速度主要由运算放大器确定。该电路由三个主要部分组成: 输出运算放大器、FET输入缓冲器以及对FET进行偏置的电流源。

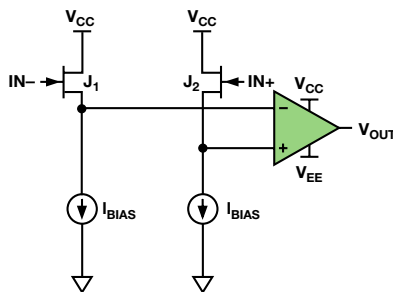


图2. 单位增益稳定版本的放大器

输入级的单位增益配置对运算放大器的噪声性能有严格要求。在图1所示电路中, 输入FET增益有限, 从而减少了跟随级的噪声影响。在单位增益配置中, 输入缓冲器和运算放大器的总噪声分离, 因此需要使用低噪声运算放大器。

输入级电流源

如果部署不当, 则用于偏置FET输入缓冲器的电流源会对总系统噪声产生极大的影响。最大程度降低偏置噪声影响的一种方法, 是在简单电流镜中添加衰减电阻, 如图3所示。

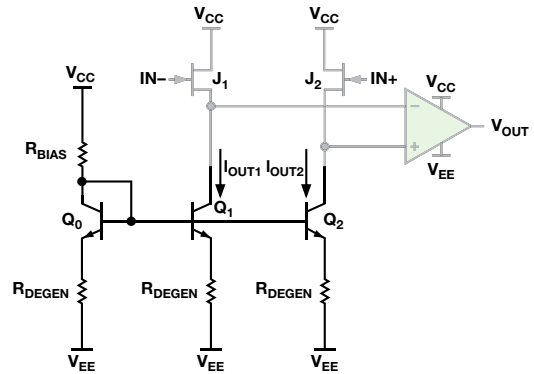


图3. 带衰减的电流镜

流过晶体管 Q_0 的电流镜像至晶体管 Q_1 和 Q_2 。噪声源包括 $1/f$ 以及晶体管的散粒噪声。增加衰减电阻可降低散粒噪声(系数为 $1 + g_m R_{DEGEN}$), 但对 $1/f$ 噪声不起作用。该噪声源以基极和发射极之间的电流建模, 无法通过增加 R_{DEGEN} 而得到改善。若要同时减少两种噪声源, 就需要使用不同的电流源架构。

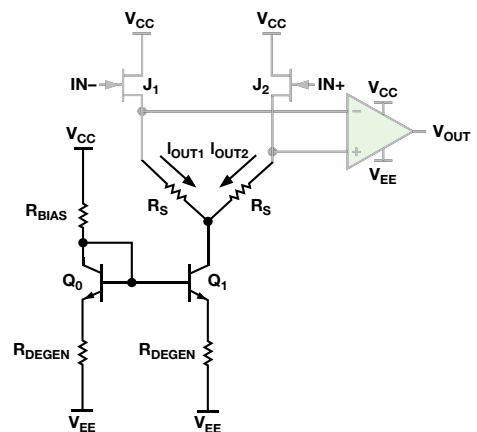


图4. 采用分流电阻的电流镜

修改后的电流镜如图4所示。该电流源所需的晶体管数目较少, 允许使用双通道晶体管对代替四通道封装, 同时降低尺寸和成本。噪声性能的提升极为明显, 因为同时消除了散粒噪声和 $1/f$ 噪声。晶体管 Q_0 电流镜像至晶体管 Q_1 。该电流通过一对电阻在集电极处分割, 因此 $1/f$ 和散粒噪声将会均分。由于噪声来自同一个晶体管, 因此它们是相干的。输出差分信号, 因此噪声被消除, 如图5所示。

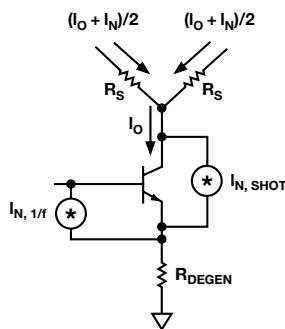


图5. 显示噪声消除的电流源理想示意图

依然可以衰减电流镜晶体管，以便改善电流匹配和输出阻抗。电流由 R_{DEGEN} 上的压降确定，因此晶体管匹配不如未衰减时来得重要。它允许使用几乎所有的匹配对，但集电极电容必须较低，以保持稳定性。两种方案的差分输入电容保持不变，因为两个输入器件的源间耦合主要由放大器的低差分输入阻抗决定。

出于测试目的，确定偏置电流的基准电压由连接 V_{CC} 的电阻设置。因此，如果 V_{CC} 发生改变，电路将比较容易产生性能问题。在实际方案中，应使用齐纳、带隙或IC基准电压源代替电阻。

运算放大器

运算放大器确定整个放大器的速度、噪声、输出性能和失真，因此必须根据应用而选择。表1显示合适运算放大器的典型值。

表1. 相关运算放大器特性

	宽带噪声 (nV/ $\sqrt{\text{Hz}}$)	电源电流 (mA/每放大器)	3 dB带宽 (MHz @ $G = 1$)	电源电压 (V)
ADA4897	1.0	3	230	± 1.5 至 ± 5
ADA4898	0.9	8	65	± 5 至 ± 18

ADA4897是大部分高速检测应用的优秀备选器件，这类应用要求具备低噪声性能。对于高电压应用，ADA4898也能胜任。该器件可采用 ± 18 V电源供电，保持低噪声的同时仅消耗8 mA电源电流。两个放大器都采用复合设计，压摆率超过50 V/ μs 。

输入FET

输入FET确定放大器的输入特性。若要达到最佳性能，则要求FET具有良好的匹配、低噪声以及低输入偏置电流等特性。更重要的是，这些JFET可确定输入失调电压，因此它们必须良好匹配。对于LSK389而言，最大 ΔV_{GS} 为20 mV，这与 V_{OS} 为20 mV相当。后文将讨论降低这一相对较高失调电压的技巧。

表2. 相关JFET特性

	宽带噪声 (nV/ $\sqrt{\text{Hz}}$ @ $f = 1$ kHz)	差分栅极至源极 截止电压 (mV最大值)	栅极至源极饱和 电流比 (最小值)	栅极电流 (pA)
LSK389A	0.9 ($I_D = 2$ mA)	20	0.90	N/A
LSK489	1.8 ($I_D = 2$ mA)	20	0.90	-2至-25
2N5564	2.0 ($I_D = 1$ mA)	5	0.95	-3
2SJ109	1.1 ($I_D = 3$ mA)	20	0.90	N/A

放大器性能

下文示例中的放大器采用nJFET LSK389A、晶体管PMP4201以及运算放大器ADA4897实现。评估板如图6所示。



图6. 放大器评估板，包含数字电位计连接

该放大器方案最明显的误差源是高输入失调电压。此失调电压大部分由输入FET的失配所造成，可高达10 mV。(LSK389数据手册声称失配可高达20 mV，但测试中从未看到如此高的数字)。增益为100时，输出失调为1 V，此时放大器基本无用。在该放大器可用作前置放大器之前，需调节高输入失调电压。采用数字电位计AD5292可完成这一调节。本文介绍基于电位计位置进行失调调节的两种方法。

输入失调电压

放大器测试版本的输入失调电压在1 mV至10 mV范围内变动。输入JFET的失配是造成这一失调的主要原因。LSK389数据手册显示IDSS的变化量可达10%之多，从而影响到器件的 V_{GS} ，并引入失调电压。幸运的是，失调源于流过JFET的偏置电流不相等，因此提供这些电流的电流源可加以调节，补偿该误差。获得零失调电压的一种方法如图7所示。

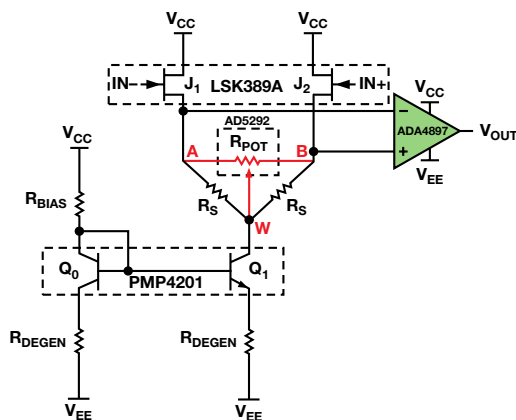


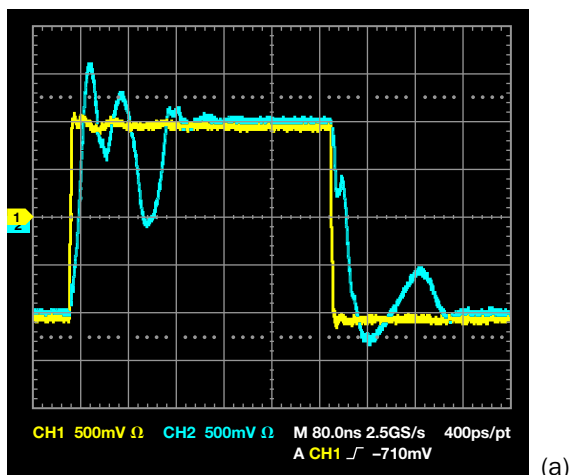
图7. 使用电位计消除输入失调电压

数字电位计(如AD5141或AD5292)可用于调节流过输入器件的电流。表3显示这些器件的关键参数，这些器件包括通过SPI接口进行控制的三端电位计，可准确地放置游标，用于精确控制电阻。

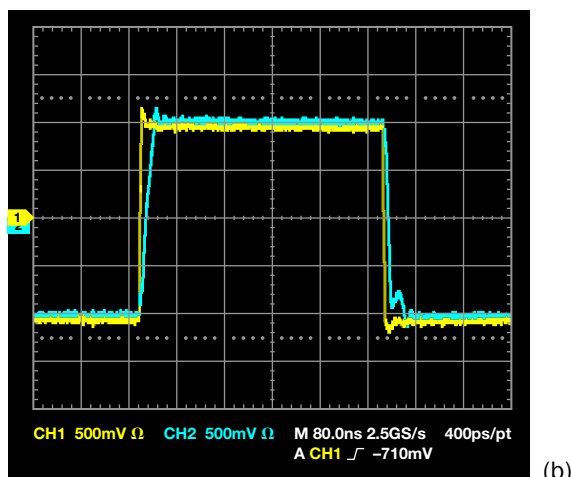
表3. 数字电位计规格

	电源电压(V)	标称电阻(k Ω)	电阻容差(%)	分辨率(位)	工作温度(°C)
AD5141	± 2.5	10, 100	8	8	-40至+125
AD5292	± 16	20, 50, 100	1	10	-40至+105

不幸的是，这些数字电位计的端点处具有高寄生电容(最高达85 pF)，高频时会造成稳定性和振铃问题。图8显示带与不带该电位计的放大器步进响应。



(a)



(b)

图8. 放大器步进响应 a) 带电位计
b) 不带电位计(用于提供失调调节)

85 pF寄生电容连接输入FET的源端与地，高频时产生极大的振铃与不稳定。一种替代的偏置设置如图9所示。该设置可降低输入失调电压，同时保持高频下的低噪声和稳定性。

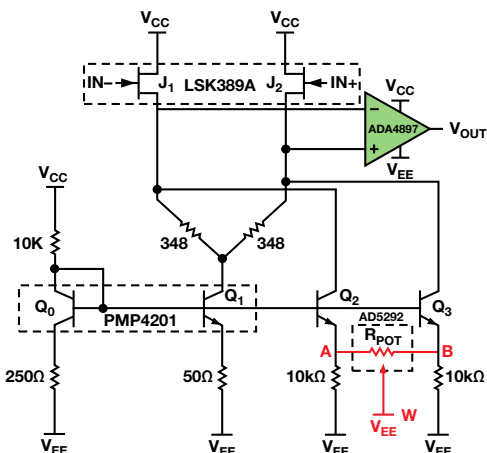


图9. 使用电位计消除输入失调电压的替代方法

在上述两种偏置方法中，数字电位计用于调节流过每个FET的电流，直到它们的栅极至源极电压匹配，且输入失调电压达到最小值。然而，图9所示的偏置方案可确保电位计的高寄生电容不会产生高频不稳定性及振铃。它将图3和图4中两个不同的电流镜配置相结合来实现。Q₀/Q₁电流镜将其集电极电流分离，作为流入FET的主要电流，从而使偏置晶体管几乎不产生噪声。Q₀/Q₂/Q₃形成更为传统，但噪声更大的电流镜。这些信号经衰减后仅消耗总FET偏置电流的1%到2%(约30 μ A)。它不足以引入大量噪声，但可提供足够的调节信号，轻松调节10 mV失调电压。更重要的是，它可确保电位计的寄生电容不影响输出。由于存在RS分路器，使噪声保持在较低水平，因此可根据Q₂/Q₃的衰减情况可靠调节失调，并且任何电位计寄生效应均不影响输出。图10显示电流镜调节后的步进响应。

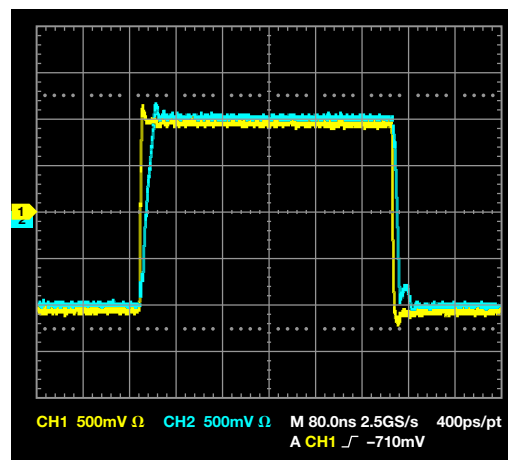


图10. 放大器在电流镜处调节后的步进响应

数字电位计提供调节失调电压的简便方法，允许在宽工作温度和电压范围内最大程度降低失调电压。AD5292集成20次可编程存储器，允许调节失调电压后永久储存游标位置。本电路使用AD5292评估板连接板外失调调节电位计。对于更为紧凑的设计，可在板上集成数字电位计，并通过其片内串行接口引脚进行编程。

使用这种方法，通过AD5292 20 kΩ电位计可成功将LSK389/ADA4897放大器的输入失调电压降低至数微伏。

失调漂移

放大器未经过调节时，失调电压温度系数(或输入失调电压随温度上升而增加的比例)约为4 μV/°C。加入AD5292可将该数值提升至大约25 μV/°C。该结果如图11所示。

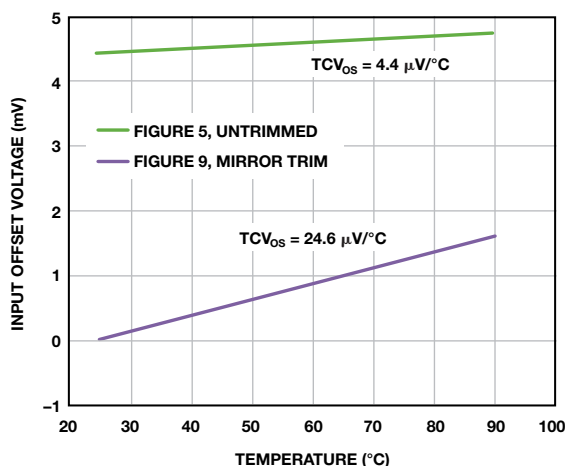


图11. 输入失调电压与温度的函数关系

虽然漂移的变化幅度巨大，但放大器的动态范围依然有明显的改进。考虑增益为100且温度为85°C时，未经调节放大器的5 mV失调情况；此时，输出失调为：

$$V_{OUT} = (V_{OS} + TCV_{OS} \times T) \times G = (5 \text{ mV} + 4 \mu\text{V}/^\circ\text{C} \times 85^\circ\text{C}) \times 100 = 534 \text{ mV}.$$

若相同工作条件下的失调调节为5 μV，则输出失调为：

$$V_{OUT} = (V_{OS} + TCV_{OS} \times T) \times G = (5 \mu\text{V} + 25 \mu\text{V}/^\circ\text{C} \times 85^\circ\text{C}) \times 100 = 213 \text{ mV},$$

因此，动态范围改善300 mV以上。它同样可提供现场校准和系统级漂移校准，并且该调节技术可进一步改善精度性能。

噪声

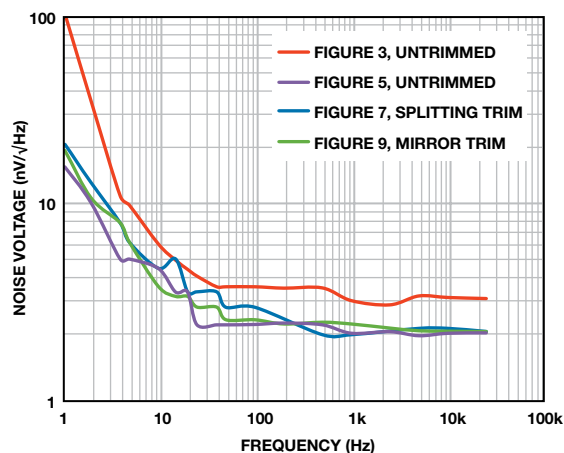


图12. 经不同方式调节后，折合到输入的噪声电压

图12显示不同放大器配置下的噪声密度。该放大器具有2 nV/√Hz的宽带噪声密度，电源电流为8 mA，性能相比现有集成式产品有所改善。10 Hz时，未经调节的1/f噪声为4 nV/√Hz；而1 Hz时为16 nV/√Hz。请注意，传统电流镜(红色曲线)的1/f和宽带噪声都要高出1.5至2倍，而调节后的总噪声几乎保持不变，如其他三根曲线所示。

小信号传递函数

图13和图14显示不同增益与调节设置下的频率响应。请注意，经过R_S调节的放大器不稳定，且未调节情况下的频率响应与电流镜调节后的频率响应相同。

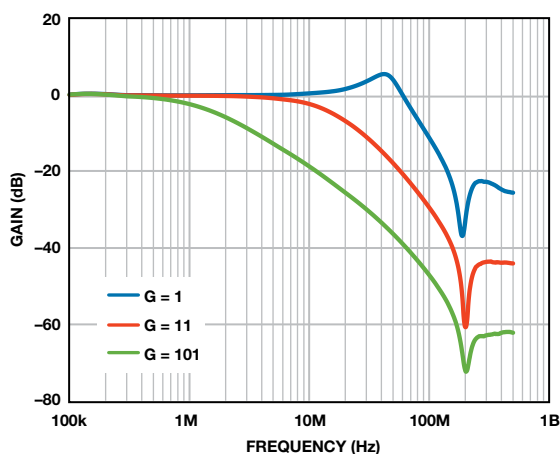


图13. 不同增益下的未调节放大器带宽

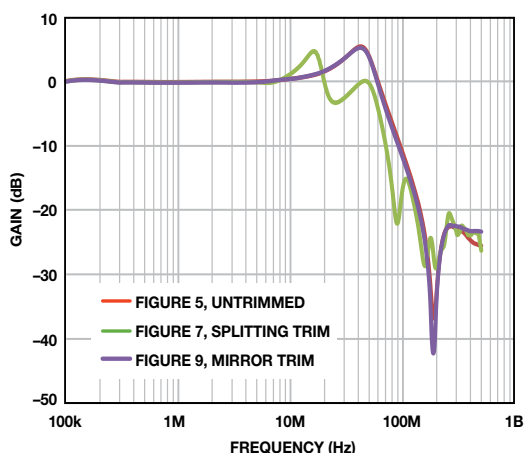


图14. 电位计处于不同位置时的单位增益带宽

输入偏置电流

使用增益配置和检测电阻测量输入偏置电流。图4显示不同器件、电压和温度情况下的典型范围。

图4. 输入偏置电流值

	ADA4897 (25°C)	ADA4897 (125°C)	ADA4898 (±5 V)	ADA4898 (±15 V)
输入偏置电流(pA)	<1	4000– 10,000	<1	15–50

结论

随着越来越多的应用要求使用具有高输入阻抗、低噪声和最小失调电压的专业运算放大器，使用分立式器件针对特定应用设计电路也变得越来越大。本文叙述仅使用4个分立式器件，且具有可调输入失调电压功能的高速、低噪声放大器。文章讨论了每一级的设计考虑因素，并重点介绍了放大器的噪声性能，以及消除散粒噪声和 $1/f$ 噪声的多种方法。采用运算放大器ADA4897和LSK389 JFET，设计并测试支持单位增益的放大器，该放大器折合到输入的噪声为 $2 \text{ nV}/\sqrt{\text{Hz}}$ ，且电源电流仅为 8 mA 。 10 mV 范围内的高输入失调电压通过AD5292数字电位计进行数字调节。本文还讨论了替代器件，以便适用于不同的应用与环境。

作者简介

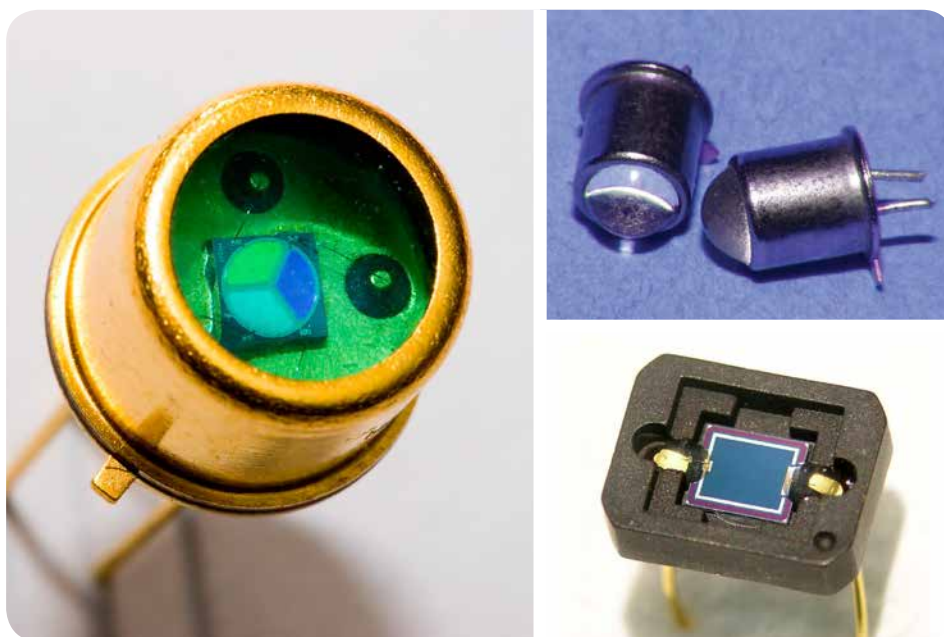
George Alexandrov [george.alexandrov@analog.com]

是高速放大器部门的实习设计工程师。他拥有斯坦福大学学士学位，目前就读于加州大学伯克利分校。



Nathan Carter [nathan.carter@analog.com] 是线

性和射频部门的一名设计工程师，在这一岗位上已工作超过10年。他拥有加利福尼亚州立工业大学和伍斯特理工学院的学位。



全球总部

One Technology Way
P.O. Box 9106, Norwood, MA
02062-9106 U.S.A.
Tel: (1 781) 329 4700
Fax: (1 781) 461 3113

大中华区总部

上海市浦东新区张江高科技园区
祖冲之路 2290 号展想广场 5 楼
邮编 : 201203
电话 : (86 21) 2320 8000
传真 : (86 21) 2320 8222

深圳分公司

深圳市福田中心区
益田路与福华三路交汇处
深圳国际商会中心 4205-4210 室
邮编 : 518048
电话 : (86 755) 8202 3200
传真 : (86 755) 8202 3222

北京分公司

北京市海淀区
上地东路 5-2 号
京蒙高科大厦 5 层
邮编 : 100085
电话 : (86 10) 5987 1000
传真 : (86 10) 6298 3574

武汉分公司

湖北省武汉市东湖高新区
珞瑜路 889 号光谷国际广场
写字楼 B 座 2403-2405 室
邮编 : 430073
电话 : (86 27) 8715 9968
传真 : (86 27) 8715 9931

亚洲技术支持中心

免费热线电话 : 4006 100 006
电子邮箱 :
china.support@analog.com
技术专栏 :
www.analog.com/zh/CIC
样品申请 :
www.analog.com/zh/sample
在线购买 :
www.analog.com/zh/BOL
在线技术论坛 :
ezchina.analog.com