

Analog Dialogue

本期介绍

- 2 编者寄语：新产品简介
- 3 鲁棒的放大器提供集成过压保护
- 7 现代DAC和DAC缓冲器有助于提升系统性能、简化设计
- 12 DDS器件产生优质波形：简单、高效而灵活
- 17 高效FSK/PSK调制器利用多通道DDS实现零交越切换
- 20 低噪声增益可选放大器
- 21 低功耗有毒气体探测器设计



本期介绍

鲁棒的放大器提供集成过压保护

当运算放大器的输入电压超过额定输入电压范围时,放大器可能发生故障甚至受损。本文讨论过压状况的一些常见原因和影响,为无保护的放大器增加过压保护是如何的麻烦,以及集成过压保护的新型放大器如何实现紧凑、鲁棒、高性价比的解决方案。详情见第3页。

现代DAC和DAC缓冲器有助于提升系统性能、简化设计

在许多仪器仪表和控制系统的核心部分,数模转换器(DAC)在系统的性能和精度方面起着关键作用。本文将考察一款新型精密、快速建立、电压输出型16位DAC,同时针对性能可与变压器媲美的高速互补电流输出型DAC的输出缓冲谈一些想法。详情见第7页。

DDS器件产生优质波形:简单、高效而灵活

直接数字频率合成(DDS)技术用于产生和修改优质波形,广泛用于通信、国防、医学、工业和仪器仪表等众多领域。本文将简要介绍这种技术,说明其优势和不足,考察一些应用示例,同时展示一些重要的新产品。详情见第12页。

高效FSK/PSK调制器利用多通道DDS实现零交越切换

本文将介绍如何利用两个同步DDS通道来实现零交越FSK或PSK调制器。在相位相干雷达系统中,零交越切换可以减少目标特征识别所需要的后期处理量,还可以减少PSK频谱散射。在此,我们将采用AD9958双通道完整DDS实现零交越切换。详情见第17页。

低噪声增益可选放大器

传统的增益可选放大器在反馈环路中用开关将电阻连接至放大器,但开关电阻会降低放大器的噪声性能,增加反相输入上的电容,并提高非线性增益误差。本文介绍一种采用创新开关技术的增益可选放大器,它既能保持噪声性能,又能降低非线性增益误差。详情见第20页。

低功耗有毒气体探测器设计

安全第一!许多工业过程涉及到有毒化合物,如氯气、磷化氢、砷化氢、氰化氢等。因此,了解有毒气体浓度是否达到危险程度十分重要。本文描述一种使用电化学传感器的便携式一氧化碳探测器。一氧化碳处理起来相对更安全,但仍然属于致命性气体,测试本文所述电路时应极其小心并采取适当的通风措施。详情见第21页。

Dan Sheingold [dan.sheingold@analog.com]

Scott Wayne [scott.wayne@analog.com]

所有ADI产品数据手册都可在www.analog.com/zh网站查到,只需在搜索框中输入产品型号即可。

1月

2W立体声、D类、数字输入功率放大器	SSM2518
16位、超稳定、电压输出DAC	AD5760
18位、可供系统立即使用、电压输出DAC	AD5780
20位、可供系统立即使用、电压输出DAC	AD5790
165 MHz高性能HDMI发送器	ADV7513

2月

多格式10位标清/高清电视视频处理器	ADV7181D
60 MHz、16 × 16、G = 2模拟交叉点开关	ADV3205
200 Mbps半双工和全双工 M-LVDS收发器	ADN4696E/ADN4697E

3月

16位低功耗逐次逼近型ADC	AD7988-1/AD7988-5
双通道差动放大器,具有电池短路保护功能	ADA4830-2
双通道、高精度、JFET输入运算放大器	ADA4610-2
双通道、低噪声、JFET输入运算放大器	ADA4001-2
快速、低功耗、汽车应用比较器	AD8469
3通道数字电源控制器	ADP1053
11位、2.5 GSPS、电流输出RF DAC	AD9737A
50 MHz至525 MHz正交解调器,内置PLL和VCO ..	ADRF6806
集成1.2 A降压转换器和两个300 mA LDO的 微型电源管理单元	ADP5040
集成1.2 A降压转换器、两个300 mA LDO和看门狗的 微型电源管理单元	ADP5041
DC-DC、高效率、4 A降压型稳压器	ADP2164
16位、汽车应用、+175°C温度传感器	ADT7312

Analog Dialogue

模拟对话杂志(www.analog.com/zh/analogdialogue)是ADI公司于1967年创办的技术杂志,至今已经连续出版45年,主要讨论有关模拟信号、数字信号和混合信号处理产品、应用、技术和技巧。模拟对话杂志提供两种版本:在线版每月发行一期;印刷版每年发行四期,印刷版和电子版作为对在线版中技术文章的定期回顾和汇集。在线版的内容包括:技术文章;近期应用笔记、新产品简介、预发布产品、在线研讨会和教程、已发表文章等及时信息;以及“集锦”栏目,其中包括从ADI网站(www.analog.com/zh)获得重要相关信息的通用链接网址。感兴趣的读者也可以至Analog Dialogue档案库www.analog.com/library/analogdialogue/archives.html查阅自1967年第1卷第1期创刊至今的每期存档,包括三期纪念特刊。如需订阅,请访问www.analog.com/library/analogdialogue/subscribe.html。欢迎提出您的宝贵意见: Facebook: www.facebook.com/analogdialogue; 模拟对话: analogdiablog.blogspot.com; 电子邮件: dialogue.editor@analog.com; 编辑Dan Sheingold, [dan.sheingold@analog.com]或出版人兼总编辑Scott Wayne, [scott.wayne@analog.com]。

鲁棒的放大器提供集成过压保护

作者：Eric Modica和Michael Arkin

当运算放大器的输入电压超过额定输入电压范围，或者在极端情况下，超过放大器的电源电压时，放大器可能发生故障甚至受损。本文讨论过压状况的一些常见原因和影响，为无保护的放大器增加过压保护是如何的麻烦，以及集成过压保护的新型放大器如何能为设计工程师提供紧凑、鲁棒、透明、高性价比的解决方案。

所有电子器件的可耐受电压都有一个上限，超过上限就会产生影响，轻则导致工作暂时中断或系统门锁，重则造成永久性损害。特定器件能够耐受的过压量取决于多个因素，包括是否安装或意外接触器件、过压事件的幅度和持续时间、器件的鲁棒性等。

精密放大器常常是传感器测量信号链中的第一个器件，因而最容易受到过压故障的影响。选择精密放大器时，系统设计师必须了解放大器的共模输入范围。在数据手册中，共模输入范围可能是用输入电压范围(IVR)、测试条件下的共模抑制比(CMRR)或以上二者来规定。

过压状况的实际原因

放大器需要两种保护：一是过压保护，用以防止电源时序控制、休眠模式切换和电压尖峰引起的故障；二是ESD(静电放电)保护，用以防止静电放电(甚至搬运过程中也可能出现静电放电)引起的故障。安装后，器件可能会受系统电源时序控制，导致重复性过压应力。系统设计师必须想方设法使故障电流避开敏感的器件，或者限制故障电流，使其不致于损坏器件。

在有多电源电压的复杂分布式电源架构(DPA)系统中，电源时序控制可以使系统电路各部分的电源在不同的时间开启和关闭。时序控制不当可能会导致某个器件的某个引脚发生过压或门锁状况。

随着人们越来越关注能源效率，许多系统要求实现复杂的休眠和待机模式。这意味着，在系统的某些部分已关断的同时，其它部分仍然可能处于上电和活动状态。与电源时序控制一样，这些情况可能会导致无法预测的过压事件，但主要是在输入引脚上。

许多类型的传感器会产生意想不到的、与它们要测量的物理现象无关的输出尖峰，这类过压状况一般仅影响输入引脚。

静电放电是一种广为人知的过压事件，常常发生在安装器件之前。它造成的损害非常广泛，以至于业界主要规范，如JESD22-A114D等，不得明确如何测试和规定半导体耐受各类ESD事件的能力。几乎所有半导体产品都包含某种形式的集成保护器件。应用笔记AN-397(标准线性集成电路的电诱发损坏：最常见起因和防止再发生的相关处理)是一篇很好的参考文献，详细讨论了这一问题。出现高能脉冲时，ESD单元应进入低阻抗状态。这不会限制输入电流，但能提供到供电轨的低阻抗路径。

一个简单的案例研究：电源时序控制

随着混合信号电路变得无处不在，单一PCB上的多电源需求也变得

非常普遍。关于新设计需要考虑的一些微妙问题，特别是需要许多不相关的电源时，请参阅应用笔记AN-932(电源时序控制)。

精密放大器可能会成为这种状况的受害者。图1显示了一个配置成差分放大器的运算放大器。放大器通过 R_{SENSE} 检测电流，并提供与相应压降成比例的输出。必须采取措施，确保由 R_3 和 R_4 构成的分压器将输入偏置在额定IVR范围内的某处。如果放大器的电源电压不是从 V_{SY} 获得，并且 V_{CC} 在 V_{SY} 之后出现，则A1反相输入端的电压为：

$$V_- = V_{SY} - (I_- \times R_1) \quad (1)$$

其中 I_- 由无电源时A1的输入阻抗决定。如果放大器不包含过压处理设计，则最有可能的电流路径是通过ESD二极管、箝位二极管或寄生二极管流向电源或地。如果此电压超出IVR范围，或者电流超过数据手册规定的额定最大值，器件可能会受损。

ADA4091和ADA4096等过压保护放大器所用的ESD结构不是二极管，而是DIAC器件(双向“交流二极管”)，这使得此类放大器即使没有电源也能承受过压状况。

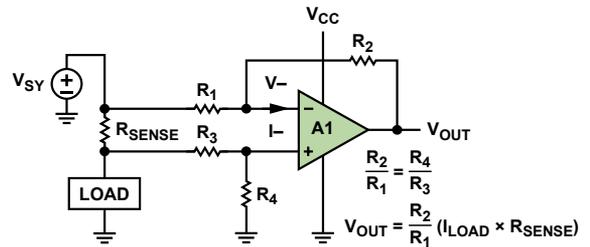


图1. 差分放大器高端电流传感器。如果 V_{SY} 先于 V_{CC} 上电，放大器的输入电压或电流可能会超过数据手册规定的最大值。

运算放大器中的故障状况

图2显示了一个N沟道JFET输入级(J_1 、 J_2 、 R_1 和 R_2)，后接一个第二增益级和输出缓冲器(A1)。当开环放大器在其额定IVR范围内时，差分输入信号($V_{IN+} - V_{IN-}$)与 V_{DIFF} 180度异相。连接为单位增益缓冲器时(如图所示)，如果 V_{IN+} 的共模电压超过放大器的IVR， J_1 的栅极-漏极进入未夹断状态并传导整个200 μ A级电流。只要 J_1 的栅极-漏极电压仍然反向偏置， V_{IN+} 的进一步增加就不会导致 V_{DIFF} 变化(V_{OUT} 仍然处于正供电轨)。然而，一旦 J_1 的栅极-漏极变为正偏， V_{IN+} 的进一步增加就会提高A1反相输入端的电压，导致输入信号与 V_{DIFF} 之间发生不需要的反相。

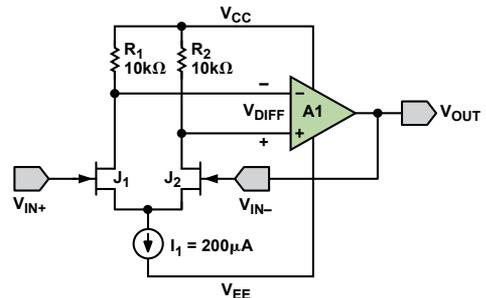


图2. N沟道JFET输入运算放大器结构示意图

图3显示了A1输出端反相的一个示例。与双极性输入放大器不同，JFET放大器的输入未箝位，因而易发生反相。CMOS放大器的栅极与漏极隔离，一般不会发生反相。如果确实会发生反相，运

算放大器制造商一般会在数据手册中说明。下列条件下可能发生反相：放大器输入端不是CMOS，最大差分输入为 V_{SY} ，数据手册未声明不会发生反相。虽然反相本身不是破坏性的，但它能导致正反馈，进而使伺服环路不稳定。

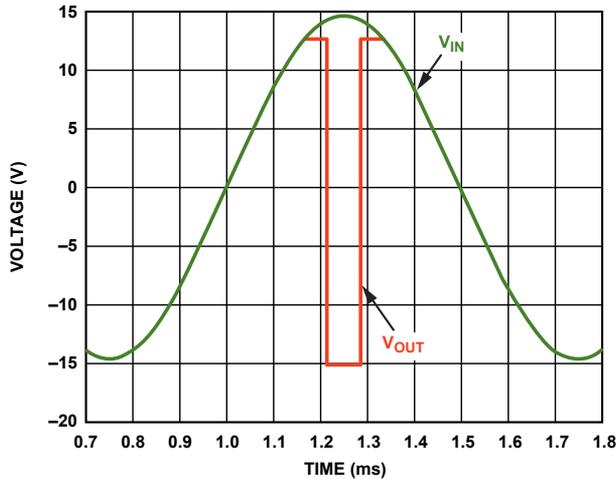


图3. 当 V_{IN} 超过额定IVR时，输入反相导致放大器输出负值

系统设计师还必须关注放大器输入超出电源范围时会发生什么。这种故障状况通常发生在电源时序控制导致一个源信号先于放大器电源激活时，或者在开启、关闭或工作中电源出现尖峰时。对于大多数放大器，这种状况是破坏性的，尤其是如果过压大于二极管压降。

图4显示了一个带ESD保护和箝位二极管的典型双极性输入级。在缓冲器配置中，当 V_{IN+} 超过任一电源轨时，ESD和箝位二极管就会正偏。这些二极管的源极阻抗非常低，源极支持多少电流，二极管就能传导多少电流。精密放大器(如AD8622等)提供少许差分保护，输入端串联500 Ω 电阻，施加差分电压时，该电阻可限制输入电流，但它只能在输入电流不超过额定最大值时提供保护。如果最大输入电流为5 mA，则允许的最大差分电压为5 V。注意，这些电阻并不与ESD二极管串联，因而无法限制流向电源轨的电流(例如在过压期间)。

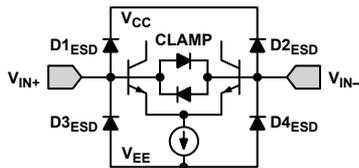


图4. 带ESD和差分保护二极管的双极性输入级

图5显示一个无保护双极性运算放大器在同时施加差分输入和过压情况下的输入电流与电压的关系。一旦施加的电压超过二极管压降，电流就可能损害、降低运算放大器的性能，甚至破坏运算放大器。

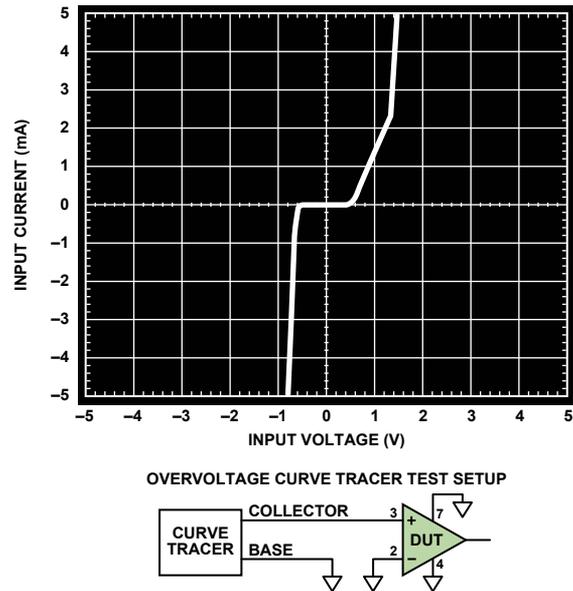


图5. 差分输入电压超过二极管压降时的运算放大器输入电流

外部输入过压保护

从半导体运算放大器问世之初，IC设计师就不得不权衡芯片架构与应对其脆弱性所需的外部电路之间的关系。故障保护一直是最棘手的问题(例如，请参阅MT-036——“[运算放大器输出反相和输入过压保护](#)”和MT-069——“[仪表放大器输入过压保护](#)”)。

系统设计师之所以需要精密运算放大器，是因为它有两个重要特性：低失调电压(V_{OS})和高共模抑制比(CMRR)，这两个特性能够简化校准并使动态误差最小。为在存在电气过应力(EOS)的情况下保持这些特性，双极性运算放大器经常内置箝位二极管，并将小限流电阻与其输入端串联，但这些措施无法应对输入电压超过供电轨时引起的故障状况。为了增加保护，系统设计师可以采用图6所示的电路。

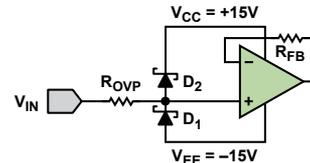


图6. 利用限流电阻和两个肖特基二极管提供外部保护的精密运算放大器。 R_{FB} 与 R_{OVP} 相等，从而平衡输入偏置电流引起的失调。

如果 V_{IN} 处的信号源先行上电， R_{OVP} 将限制流入运算放大器的电流。肖特基二极管的正向电压比典型的小信号二极管低200 mV，因此所有过压电流都会通过外部二极管 D_1 和 D_2 分流。然而，这些二极管可能会降低运算放大器的性能。例如，可以利用1N5711的反向漏电流曲线(见图7)来确定特定过压保护电阻造成的CMRR损失。1N5711在0V时的反向漏电流为0 nA，在30 V时为60 nA。对于0 V共模电压， D_1 和 D_2 引起的额外 I_{OS} 取决于其漏电流的匹配程度。当 V_{IN} 被拉至+15 V时， D_1 将反向偏置30 V， D_2 将偏置0 V。因此，额外的60 nA电流流入 R_{OVP} 。当输入被拉至-15 V时， D_1 和 D_2 的电气位置交换，60 nA电流流出 R_{OVP} 。在任意共模电压下，保护二极管引起的额外 I_{OS} 等于：

$$I_{OSaddr} = I_{D1} - I_{D2} \quad (2)$$

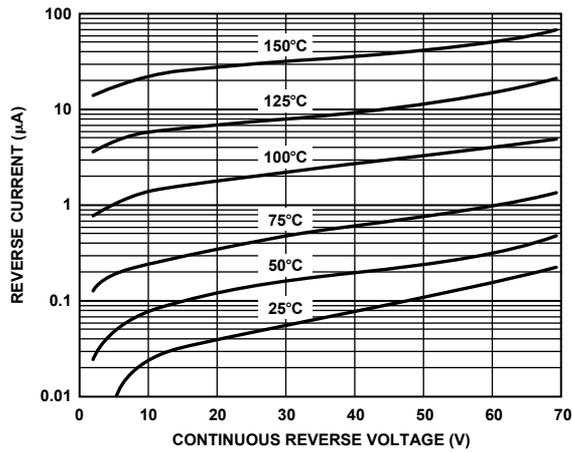


图7. 1N5711反向电流与连续反向电压之间的关系

由公式2可计算出极端共模电压下的 V_{OS} 损失:

$$V_{OSpenalty} = I_{OSaddr} \times R_{OVP} \quad (3)$$

使用1N5711在30 V时的漏电流60 nA以及5 kΩ保护电阻,两个极端共模电压下的 V_{OS} 将增加300 μV,导致整个输入电压范围内的额外 ΔV_{OS} 为600 μV。根据数据手册,一个具有110 dB CMRR的运算放大器将损失17 dB CMRR。插入反馈电阻来均衡源阻抗只能在共模电压为0 V时有帮助,但无法防止整个共模范围内产生额外的 I_{OS} 。表1显示了保护精密放大器常用的一些二极管的计算结果。对于CMRR损失计算,假设使用5 kΩ保护电阻。所有成本都是来自www.mouser.com的最新美元报价(2011)。

图6所示的方法可能还有一个缺点,那就是保护二极管会将过压电流分流到电源中。例如,如果正电源无法吸收大量电流,过压电流就可能迫使正电源电压提高。

防止这一现象的一种方法是在正输入与地之间使用背靠背齐纳二极管,如图8所示。超过 D_1 或 D_2 的齐纳电压时,二极管将过压电流分流到地,从而保护电源。这种配置能够防止过压期间的电荷泵效应,但齐纳二极管的漏电流和电容高于小信号二极管。此外,齐纳二极管的漏电流曲线具有软拐点(soft-knee)特征。在放大器的共模范围内,这会带来额外的CMRR损失,如前所述。例如,BZB84-C24是一个背靠背齐纳二极管对,工作电压范围为22.8 V至25.6 V,反向电流额定值为50 nA(最大值,16.8 V时),但制造商并未说明接近齐纳电压时的漏电流是多少。此外,为实现更陡的击穿特性,齐纳二极管一般采用比小信号二极管掺杂更重的扩散工艺制造,这就导致寄生电容相对较高,因而失真(特别是在幅度较高时)和失稳的可能性更高。

表1. 常用保护二极管及其对110 dB CMRR精密运算放大器的影响

	1N5711	BAV99	PAD5	BAS70-04	1N914	BZB84-C24
I_{OSaddr} (nA)	60	10	<<0.005	8	40	50
$V_{OSpenalty}$ (μV)	600	100	0	80	400	500
CMRR损失(dB)	17	6	0	5	14	16
成本(千片订量)	\$0.07	\$0.015	\$3.52	\$0.095	\$0.01	\$0.034

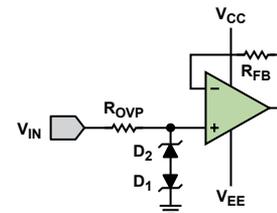


图8. 利用限流电阻和两个齐纳二极管提供外部保护的精密运算放大器。

早期集成过压保护

上面讨论了放大器的一些常用外部保护方法的缺点。如果放大器本身的设计能够耐受较大的输入过压,那么其中的一些缺点是可以避免的。图9显示了差分输入对采用的常见集成保护方案。

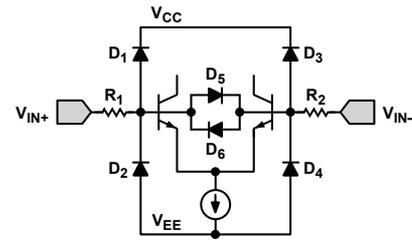


图9. 带阻性过压保护的差分输入对(未显示ESD保护)

在该电路中,两个放大器输入端均有输入保护电阻。虽然一般情况下只有一个输入端需要过压保护,但使各输入端的寄生电容和漏电流均衡可以降低失真和失调电流。此外,二极管不必处理ESD事件,因而可以相对较小。

增加电阻,无论是外置还是内置,均会增加放大器的和方根(RSS)热噪声(公式4):

$$E_{n,total} = \sqrt{(e_{n,op amp})^2 + (e_{n,Rovp})^2 + (R_S \times i_{n,op amp})^2} \quad (4)$$

如果使用1 kΩ电阻来保护噪声为4 nV/√Hz的运算放大器,总电压噪声将提高√2倍。集成保护电阻并不能改变过压保护会提高等效输入电压噪声的事实,但将 R_1 和 R_2 与运算放大器集成在一起可确保数据手册的噪声规格包括保护电路。

为了避免权衡噪声与过压,需要这样一种保护电路:当放大器输入在额定范围内时,它提供低电阻;当放大器输入超过供电轨时,它提供高电阻。这种特性将能按需改善过压保护,降低正常工作时的总噪声贡献。图10显示了一种具有该特性的电路方案。

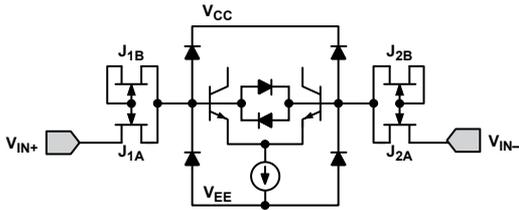


图10. 带主动过压保护的输入差分对

f_{xy} 全部是P沟道JFET, 它们是耗电型器件, 因此沟道的掺杂类型与源极和漏极相同。当放大器输入电平介于两个供电轨之间时, J_{1A} 和 J_{2A} 是简单的电阻, 阻值等于 $R_{DS(ON)}$, 因为输入偏置电流足够小, 沟道与栅极之间的任何电位差都不会使沟道关闭。如果 V_{IN-} 超出负电源一个二极管压降, 电流就会流过 J_{1A} , 导致漏极关闭。这种转换实际上是 J_{1A} 离开三极工作区, 进入线性工作区。如果 V_{IN+} 超出正电源一个二极管压降, J_{1A} 将充当横向PNP。 V_{IN+} 至栅极将用作正偏射极-基极结, 另一个结用作基极-集电极, 其高阻值避免输入管过压。图11中的电流-电压曲线显示了FET保护运算放大器在受到过压扫描时的输入阻抗变化。保护FET的 $R_{DS(ON)}$ 为4.5 k Ω ; 当放大器的正输入被拉至供电轨以上时, 保护FET的电阻迅速提高到22 k Ω (30 V时), 从而将输入电流限制为1.5 mA。

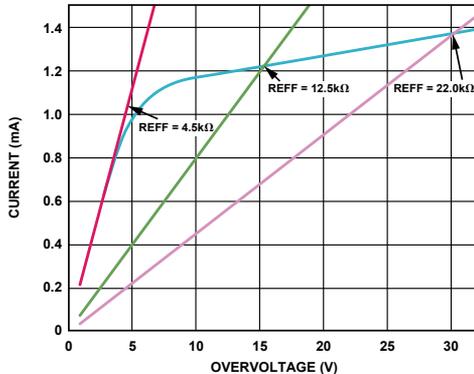


图11. FET保护运算放大器在受到直流过压扫描时的有效输入阻抗

集成的优势

ADA4091和ADA4096等放大器证明, 实现鲁棒的输入过压保护对运算放大器的精度影响非常小(如图10所示)。ADA4096能够提供与电源电平无关的32V过压保护, 从而无需虽然廉价但会大幅降低放大器精度的外部器件, 或者虽然精密但成本高于放大器本身的外部器件。

图12显示了2 mm × 2 mm LFCSP封装的ADA4096-2和几个常用于外部输入保护的分立器件。ADA4096-2的集成保护使PCB尺寸大幅缩小, 其影响已包括在运算放大器的技术规格中。即使未施加电源, 它也能保护放大器(见图13)。此外, ADA4091和ADA4096具有轨到轨输入和输出特性(RRIO), 在整个过压保护范围内都不会发生反相(见图14)。这些优势使得系统设计师可以少担心电源时序控制和闩锁问题。

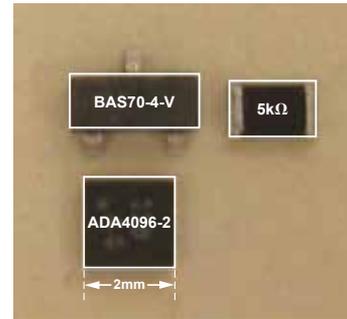


图12. 2 mm × 2 mm LFCSP封装ADA4096-2占用的面积少于两个常用于外部过压保护的器件

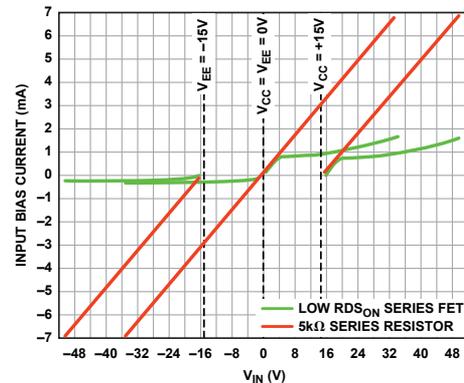


图13. 有电源和无电源两种情况下ADA4096-2输入过压保护的限流

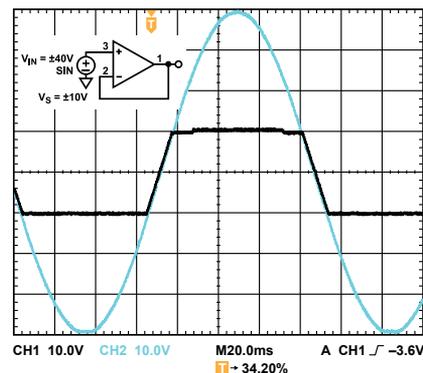


图14. ADA4096-2采用±10 V电源, 输入被拉至供电轨以上和以下30 V

(continued on Page 23)

现代DAC和DAC缓冲器有助于提升系统性能、简化设计

作者：Padraic O' Reilly和Charly El-Khoury

在许多控制系统的核心部分，数模转换器(DAC)在系统的性能和精度方面起着关键作用。本文将考察一款新型精密16位DAC，同时针对性能可与变压器媲美的高速互补电流输出DAC的输出缓冲谈一些想法。

电压开关式16位DAC提供低噪声、快速建立时间和更出色的线性度

作者：Padraic O' Reilly

基于突破性10位CMOS AD7520—推出已近40年—的电阻梯乘法DAC最初用于反相运算放大器，而放大器的求和点(I_{OUTA})则提供了方便的虚拟地(图1)。

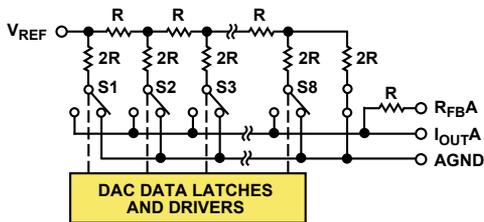
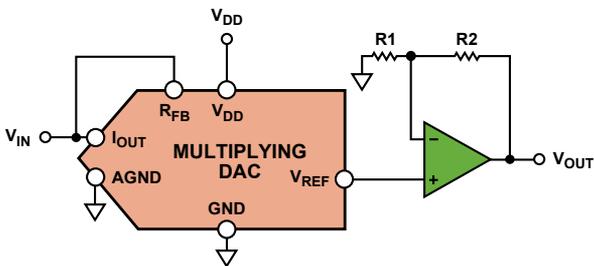


图1. CMOS乘法DAC架构

然而，在某些限制条件下，它们也可用于提供同相电压输出的电压开关配置，其中，运算放大器用作电压缓冲器(图2)。此处，基准电压 V_{IN} 施加于 I_{OUT} ，输出电压 V_{OUT} 则由 V_{REF} 提供。后来不久即出现了针对这种用途而优化的12位版本。



NOTES
1. ADDITIONAL PINS OMITTED FOR CLARITY.
2. C1 PHASE COMPENSATION (1pF TO 2pF) MAY BE REQUIRED IF A1 IS A HIGH SPEED AMPLIFIER.

图2. 电压开关模式下的乘法DAC

快速推进到现在：随着单电源系统的不断普及，设计师面对一个挑战，即在维持高电压下的性能水平的同时控制功耗。对能用于这种模式的更高分辨率(最高16位)的器件的需求也日益增加。

在电压开关模式下使用乘法DAC的显著优势是不会发生信号反相，因此，正基准电压会导致正输出电压。但当用于该模式时，R-2R梯形架构也存在一个缺陷。相对于同一DAC用于电流导引模式的情况，与R-2R梯形电阻串联的N沟道开关的非线性电阻将导致积分非线性度(INL)下降。

为了克服乘法DAC的不足并同时保持电压开关的优势，人们开发出了新型的高分辨率DAC，比如AD5541A(如图3所示)。AD5541A采用一个部分分段的R-2R梯形网络和互补开关，在16位分辨率下可实现 ± 1 -LSB精度，在 -40°C 至 $+125^{\circ}\text{C}$ 的整个额定温度范围内均无需调整，其噪声值为 $11.8\text{ nV}/\sqrt{\text{Hz}}$ ，建立时间为 $1\text{ }\mu\text{s}$ 。

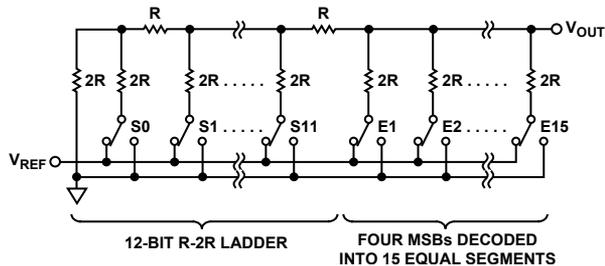


图3. AD5541A架构

性能特点

建立时间：图4和图5比较了乘法DAC在电压模式下的建立时间以及AD5541A的建立时间。当输出上的容性负载最小时，AD5541A的建立时间约为 $1\text{ }\mu\text{s}$ 。

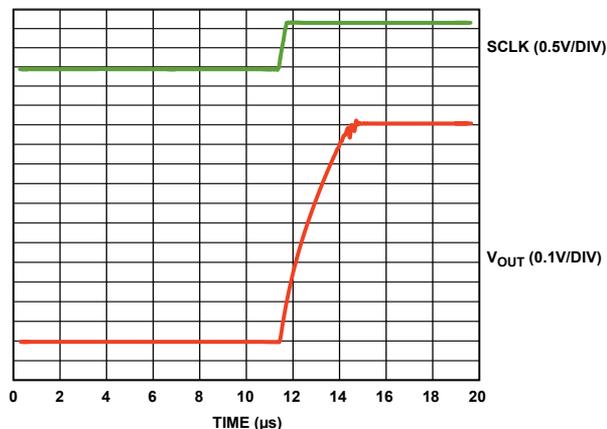


图4. 乘法DAC的建立时间。

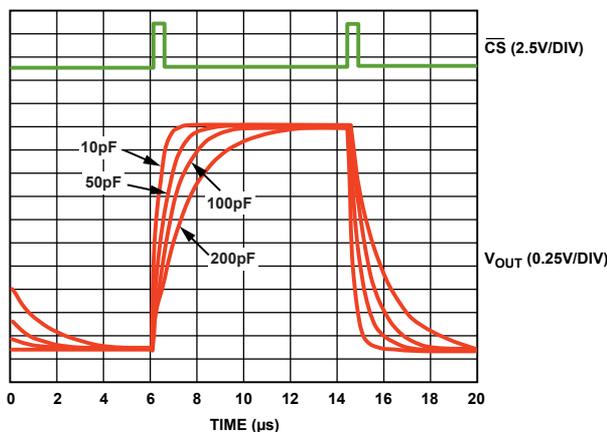


图5. AD5541A的建立时间。

噪声频谱密度：表1比较了AD5541A和乘法DAC的噪声频谱密度。AD5541A在10 kHz下的性能略占优势，在1 kHz下优势非常明显。

表1. AD5541A与乘法DAC的噪声频谱密度

DAC	噪声频谱密度 (10 kHz (nV/√Hz))	噪声频谱密度 (1 kHz (nV/√Hz))
AD5541A	12	12
MDAC	30	140

积分非线性：积分非线性(INL)衡量DAC的理想输出与排除增益和失调误差之后的实际输出之间的最大偏差。与R-2R网络串联的开关可能会影响INL。乘法DAC一般采用NMOS开关。当用于电压开关模式时，NMOS开关的源极连接至基准电压，漏极连接至梯形电阻，栅极由内部逻辑驱动(图6)。

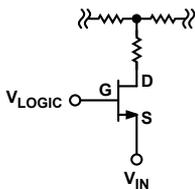


图6. 乘法DAC开关

要使电流在NMOS器件中流动， V_{GS} 必须大于阈值电压 V_T 。在电压开关模式下， $V_{GS}=V_{LOGIC}-V_{IN}$ 必须大于 $V_T=0.7V$ 。

乘法DAC的R-2R梯形电阻设计用于将电流平均分配至各个引脚。这就要求总接地电阻(从各引脚顶部看)完全相同。这可以通过调节开关来实现，其中，各个开关的大小与其导通电阻成比例。如果一个引脚的电阻发生变化，则流过该引脚的电流将发生变化，结果导致线性度误差。 V_{IN} 不能大到会使开关关闭的程度，但必须足以使开关电阻保持低位，因为 V_{IN} 的变化会影响 V_{GS} ，从而导致导通电阻发生非线性变化，如下所示：

$$R_{ON} = \frac{1}{\beta(V_{GS} - V_T)}$$

导通电阻的这种变化会使电流失衡，并使线性度下降。因此，乘法DAC上的电源电压不能减少太多。相反，基准电压超过AGND的值不得高于1V，以维持线性度。对于5V电源，当从1.25V基准电压变化至2.5V基准电压时，线性度将开始下降，如图7和图8所示。当电源电压降至3V时，线性度将完全崩溃，如图9所示。

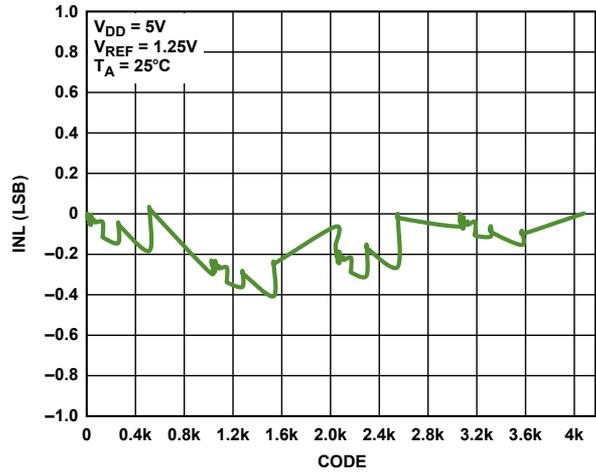


图7. I_{OUT} 乘法DAC在反相模式下的INL ($V_{DD} = 5V$, $V_{REF} = 1.25V$)

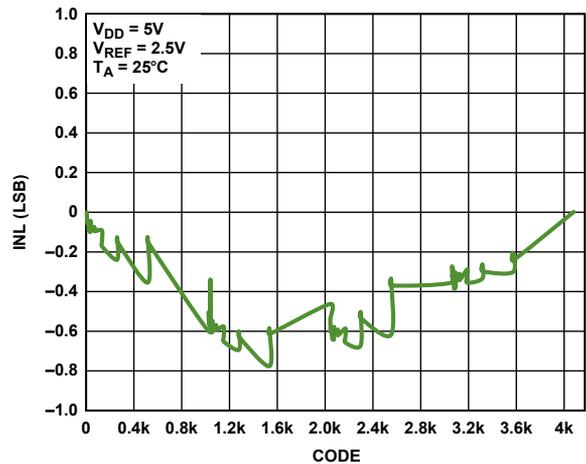


图8. I_{OUT} 乘法DAC在反相模式下的INL ($V_{DD} = 5V$, $V_{REF} = 2.5V$)

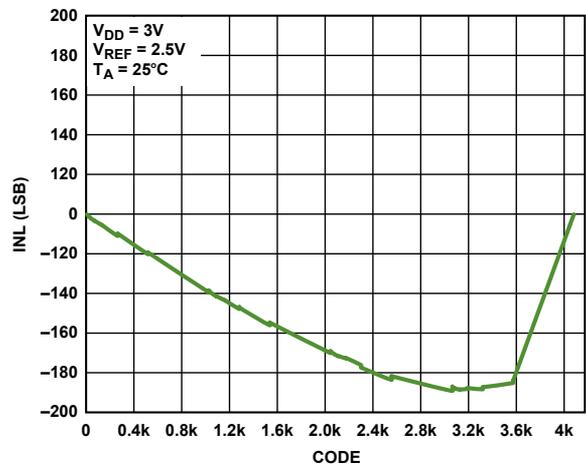


图9. 乘法DAC在反相模式下的INL ($V_{DD} = 3V$, $V_{REF} = 2.5V$)

为了减少这种影响，AD5541A采用互补NMOS/PMOS开关，如图10所示。现在，开关的总导通电阻来自NMOS和PMOS开关的共同贡献。如前所示，NMOS开关的栅极电压由内部逻辑控制。内部产生的电压 V_{GN} 设置理想栅极电压，以使NMOS的导通电阻与PMOS的相平衡。开关的大小通过代码调节，以使导通电阻随代码调节。因此，电流将上下调节，精度将得以维持。由于基准输入的阻抗随代码变化，因此，应通过低阻抗源驱动。

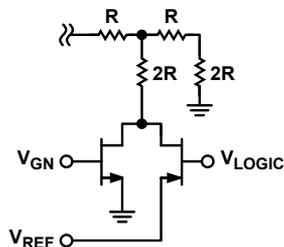


图10. 互补NMOS/PMOS开关

图11和图12所示为AD5541A在5 V和2.5 V基准电压下的INL性能。

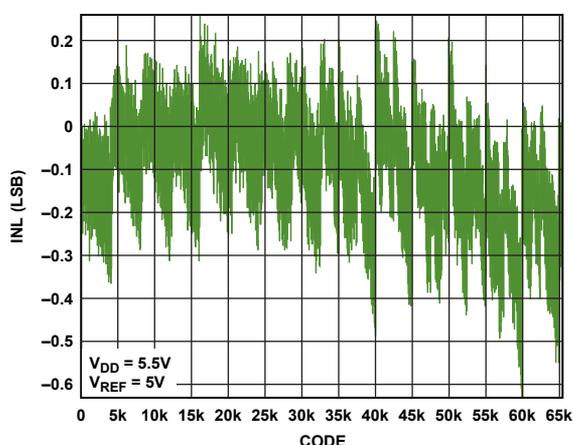


图11. AD5541A的INL
($V_{DD} = 5.5\text{ V}$, $V_{REF} = 5\text{ V}$)

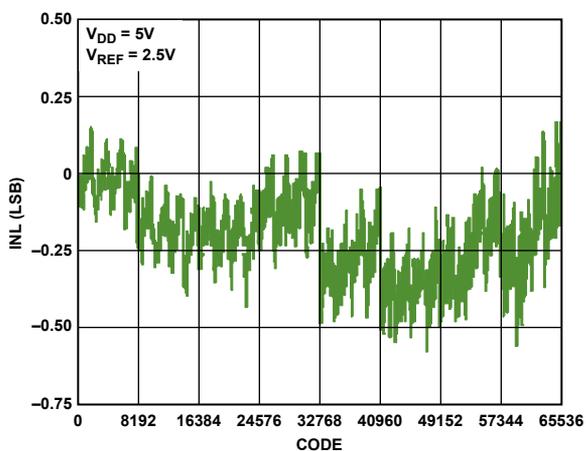


图12. AD5541A的INL
($V_{DD} = 5.5\text{ V}$, $V_{REF} = 2.5\text{ V}$)

如图13和图14所示，线性度在较宽的基准电压和电源电压下变化极小。DNL行为与INL类似。AD5541A线性度的额定范围以温度和电源电压为基础；基准电压可能从2.5 V变化至电源电压。

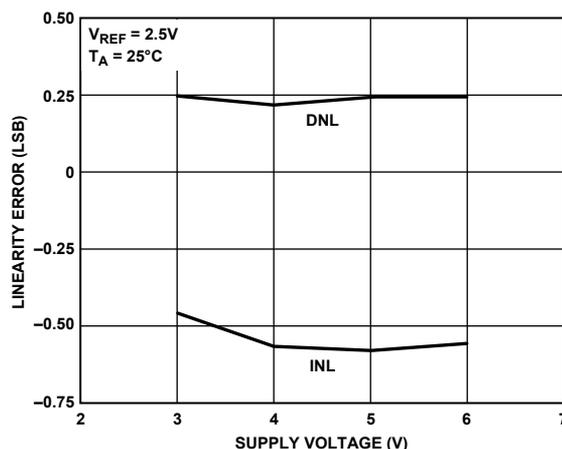


图13. AD5541A INL与电源电压

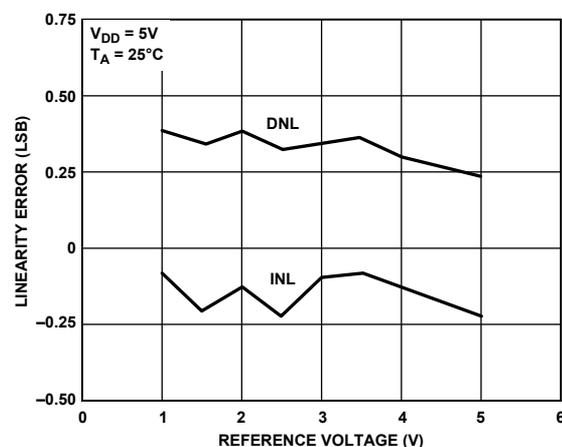


图14. AD5541A INL与基准电压

AD5541A的更多详情

AD5541A串行输入、单电源、电压输出*nano*DAC+数模转换器提供16位分辨率和 ± 0.5 LSB典型积分/微分非线性特性。特别适合将乘法DAC用于电压开关模式的应用。在额定温度范围和电源电压范围内均有优异表现，可实现出色的线性度，并可用于需要精密直流性能和快速建立时间的3 V至5 V系统。采用2 V至电源电压范围内的外部基准电压时，无缓冲电压输出可以将60 k Ω 负载从0 V驱动至 V_{REF} 。该器件可以在1 μ s内建立至 $\frac{1}{2}$ LSB，噪声为11.8 nV/ $\sqrt{\text{Hz}}$ ，并具有低毛刺特性，非常适合部署在各种医疗、航空航天、通信和工业应用中。其3线式低功耗SPI串行接口能够以高达50 MHz时钟速率工作。AD5541A采用2.7 V至5.5 V单电源供电，功耗仅125 μ A。它提供8引脚和10引脚LFCSP及10引脚MSOP封装，额定温度范围为 -40°C 至 $+125^{\circ}\text{C}$ ，千片订量报价为6.25美元/片。

高速电流输出DAC缓冲器

作者: Charly El-Khoury

变压器通常被认为是将高速电流输出DAC的互补输出转换为单端电压输出的最佳选择,因为变压器不会增加噪声,也不会消耗功率。尽管变压器在高频信号下表现良好,但它们无法处理许多仪表和医疗应用所需要的低频信号。这些应用要求一个低功耗、低失真、低噪声的高速放大器,以将互补电流转换成单端电压。此处展示的三个电路接受来自DAC的互补输出电流,并提供单端输出电压。将后两者的失真与变压器解决方案进行比较。

差分放大器: AD8129和AD8130差分转单端放大器(图15)用于第一个电路(图16)。它们在高频下具有极高的共模抑制性能。AD8129在增益为10或以上时保持稳定,而AD8130则在单位增益下保持稳定。它们的用户可调增益可以由 R_F 和 R_G 两个电阻的比值来设置。AD8129和AD8130在引脚1和引脚8上具有很高的输入阻抗,不受增益设置的影响。基准电压(V_{REF} , 引脚4)可以用来设置偏置电压,该偏置电压被乘以与差分输入电压相同的增益。

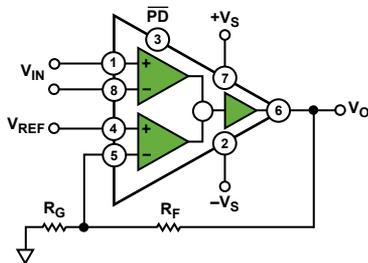


图15. AD8129/AD8130差分放大器

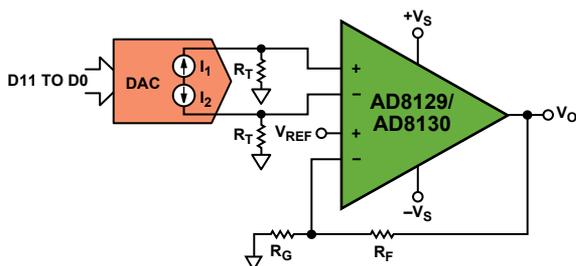


图16. 采用AD8129/AD8130的DAC缓冲器

方程1和方程2所示为放大器的输出电压与DAC的互补输出电流之间的关系。端接电阻 R_T 执行电流-电压转换; R_F 与 R_G 之比决定了增益。 V_{REF} 在方程2中被设为0。

$$V_{IN} = I_1 R_T - I_2 R_T = R_T (I_1 - I_2) \quad (1)$$

$$V_O = \left(1 + \frac{R_F}{R_G}\right) (V_{IN} + V_{REF}) \quad (2)$$

$$= \left(1 + \frac{R_F}{R_G}\right) R_T (I_1 - I_2)$$

在图16中,该电路采用一个四通道高速、低功耗、14位DAC,其中,互补电流输出级将提高速度,降低低功耗DAC的失真。

图17展示的是电路的无杂散动态范围(SFDR),它是频率的函数,采用DAC和AD8129,其中, $R_F = 2 \text{ k}\Omega$, $R_G = 221 \Omega$, $R_T = 100 \Omega$ 且 $V_O = 8 \text{ V p-p}$,两个电源电压对应的不同值。此处选择了AD8129,因为它提供较大的输出信号,在 $G = 10$ 时保持稳定,与AD8130相比,具有较高的增益带宽积。两种情况下, SFDR一般都要好于55 dB,超过10 MHz,在低电源电压下,约有>3 dB的改善。

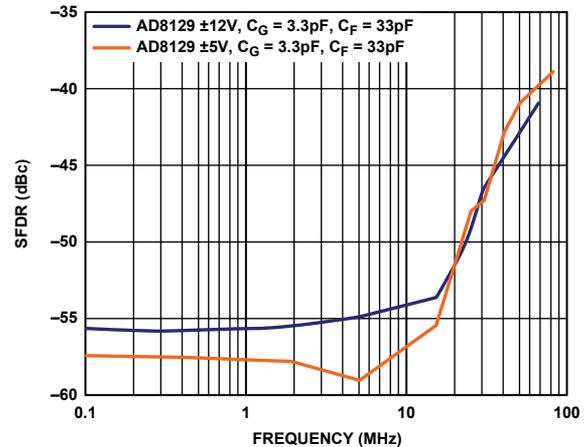


图17. DAC和AD8129的失真($V_O = 8 \text{ V p-p}$)

单位增益下的运算放大器: 第二个电路(图18)采用了一个高速放大器与两个 R_T 电阻。该放大器只是通过 R_T 将互补电流 I_1 和 I_2 转换成单端输出电压 V_O 。这个简单的电路不允许以放大器为增益模块放大信号。

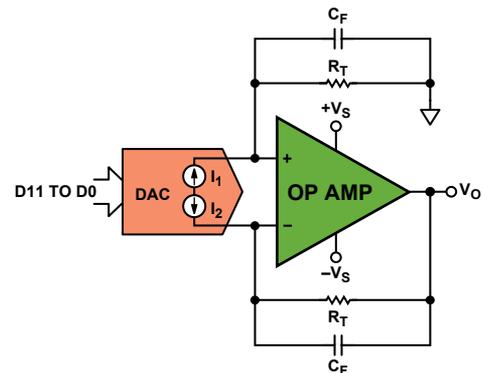


图18. 采用运算放大器的简单差分到单端转换器

方程3所示为 V_O 与DAC输出电流之间的关系。失真数据通过与 R_T 并联的5 pF电容进行测量。

$$V_O = (I_1 R_T - I_2 R_T) = R_T (I_1 - I_2) \quad (3)$$

为了展示这个电路的性能, DAC与ADA4857和ADA4817运算放大器配对,其中, $R_T = 125 \Omega$ ($C_T = C_F = 5 \text{ pF}$ 与 R_T 并联,以实现稳定性和低通滤波)。单通道ADA4857-1和双通道ADA4857-2为单位增益稳定型、高速、电压反馈放大器,具有低失真、低噪声和高压摆率等特点。作为众多应用(包括超声、ATE、有源滤波器、ADC驱动器等)的理想解决方案,其带宽为850 MHz,压摆率为 $2800 \text{ V}/\mu\text{s}$, 0.1%建立时

间为10 ns—全部都是在5 mA的静态工作电流下实现。ADA4857-1和ADA4857-2具有宽工作电压范围(5 V至10 V), 特别适合需要宽动态范围、精密、高速度和低功耗的系统。

ADA4817-1(单通道)和ADA4817-2(双通道)FastFET™放大器是具有FET输入的单位增益稳定、超高速电压反馈型运算放大器。它们采用ADI公司的专有超快速互补双极性(XFCB)工艺制造, 具有超低的噪声(4 nV/√Hz和2.5 fA/√Hz)和极高的输入阻抗。其输入电容为1.3 pF, 最大失调电压为2 mV, 功耗低(19 mA), -3 dB带宽较宽(1050 MHz), 非常适合数据采集前端、光电二极管前置放大器以及其他宽带跨阻应用。它们具有5 V至10 V的宽电源电压范围, 可采用单电源或双电源供电, 适合包括有源滤波、ADC驱动和DAC缓冲在内的各种应用。

图19比较了该电路在 $V_O = 500$ mV p-p时相对于一个采用变压器的电路的失真和频率之间的关系。变压器的失真低于放大器, 后者的增益在高频下不断下降, 但采用变压器的失真却在低频下不断变差。在此, 可在有限范围内实现接近90 dBc的SFDR, 在高达10 MHz时优于70 dB。

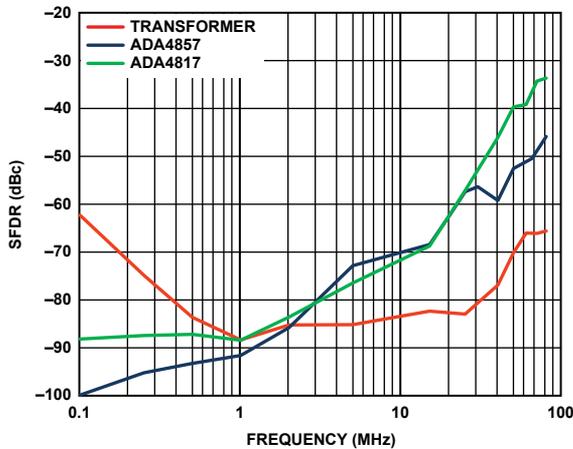


图19. DAC、ADA4857和ADA4817的失真($V_O = 500$ mV p-p, $R_L = 1$ k Ω)

具有增益运算放大器: 第三个电路(图20)也使用了相同的高速运算放大器, 但所含电阻网络拉远了放大器与DAC之间的距离, 支持增益设置, 并可以利用 V_{REF1} 和 V_{REF2} 两个基准电压之一调整输出偏置电压。

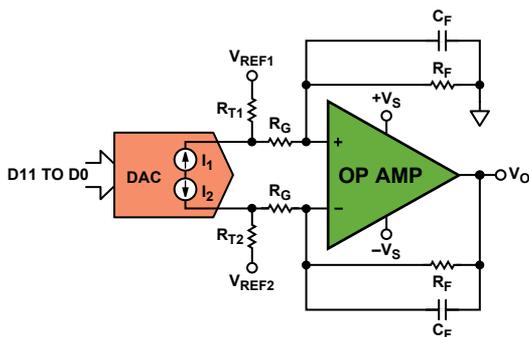


图20. 支持增益和偏置功能的差分到单端转换

方程4定义了DAC输出电流与放大器输出电压在 $V_{REF1} = V_{REF2} = 0$ 时的关系。为了匹配DAC之外的放大器网络的输入阻抗, R_{T1} 和 R_{T2} 两个端接电阻必须单独设置, 同时要考虑放大器的特性。

$$V_O = I_1 \left(\frac{R_{T1} \times R_F}{R_{T1} + R_F + R_G} \right) \left(1 + \frac{R_F}{R_G + R_{T2}} \right) - I_2 \left(\frac{R_{T2} \times R_F}{R_G + R_{T2}} \right) \quad (4)$$

图21比较了放大器在这种配置下的失真以及变压器电路的失真。 $R_{T1} = 143 \Omega$, $R_{T2} = 200 \Omega$, $R_F = R_G = 499 \Omega$, $C_F = 5$ pF—出于稳定性和高频滤波考虑—且 $R_L = 1$ k Ω 。在此, ADA4817的性能可与变压器在高频下的性能相媲美, 在最高70 MHz时, 其SFDR可维持在优于-70 dBc的水平。与变压器相比, 两个运算放大器都能维持出色的低频保真。

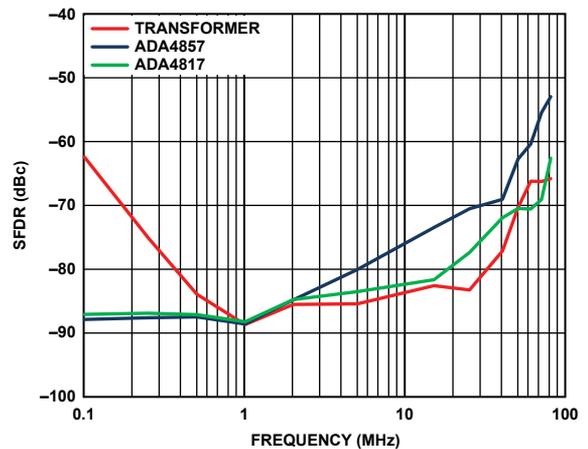


图21. DAC、ADA4817和ADA4857的失真($V_O = 500$ mV p-p)

本文讨论了将低失真、低噪声、高速放大器用作DAC缓冲器的一些优势, 并将其性能与变压器进行了比较。同时比较了采用两种不同架构的三类应用电路, 并以实例展示了DAC和AD8129、ADA4857-1/ADA4857-2以及ADA4817-1/ADA4817-2放大器的测量数据。数据显示, 放大器在频率低于1 MHz时的性能优于变压器, 在频率不超过80 MHz时, 非常接近变压器。在权衡考虑功耗和失真时, 放大器的选择非常重要。

作者简介

Padraic O' Reilly [padraic.oreilly@analog.com]



是精密数模转换器部门的应用工程师。他于2007年毕业于于利默里克大学, 获电子工程学士学位, 之后加入ADI公司。

Charly El-Khoury [charly.el-khoury@analog.com]



高速放大器部门的应用工程师。他于2006年毕业于于伍斯特理工学院(WPI), 获得电气与计算机工程(ECE)硕士学位, 之后加入ADI公司。

DDS器件产生高质量波形：简单、高效而灵活

作者: Brendan Cronin

摘要

直接数字频率合成(DDS)技术用于产生和调节高质量波形,广泛用于医学、工业、仪器仪表、通信、国防等众多领域。本文将简要介绍该技术,说明其优势和不足,考察一些应用示例,同时介绍一些有助于该技术推广的新产品。

简介

许多行业中一个关键的需求是精确产生、轻松操作并快速更改不同频率、不同类型的波形。无论是宽带收发器要求具有低相位噪声和出色的无杂散动态性能的捷变频率源,还是工业测量和控制系统需要稳定的频率激励,快速、轻松、经济地产生可调波形并同时维持相位连续性的能力都是至关重要的一项设计标准,而这正是直接数字频率合成技术的优势所在。

频率合成的任务

不断增多的频谱拥堵,加上对功耗更低、质量更高的测量设备的永无止境的需求,这些因素都要求使用新的频率范围,要求更好地利用现有频率范围。结果,人们寻求对频率产生进行更好的控制,多数情况下,均是借助于频率合成器。这些器件利用一个给定频率 f_C 来产生一个相关的目标频率(和相位) f_{OUT} 。其一般关系可以简单地表示为:

$$f_{OUT} = \epsilon_x \times f_C$$

其中,比例因子 ϵ_x 有时也被称为归一化频率。

该等式通常利用实数逐步逼近的算法实现。当比例因子为有理数时,两个相对质数(输出频率和基准频率)之比将谐波相关。但在多数情况下, ϵ_x 可能属于更广泛的实数集,逼近过程一旦处于可接受的范围之内即会被截断。

直接数字频率合成

频率合成器的一种实用型实现方式是直接数字频率合成(DDFS),通常简称为直接数字合成(DDS)。这种技术利用数字数据处理来产生一个频率和相位可调的输出,该输出与一个固定的频率参考或时钟源(f_C)相关。在DDS架构中,参考或系统时钟频率由一个比例因子分频来产生所需频率,该比例因子由二进制调谐字可编程控制。

简言之,直接数字频率合成器将一串时钟脉冲转换成一个模拟波形,通常为一个正弦波、三角波或方波。如图1所示,其主要部分为:相位累加器(产生输出波形相位角度的数据),相数转换器(将上述相位数据转换为瞬时输出幅度数据),以及数模转换器(DAC)(将该幅度数据转换成采样模拟数据点)。

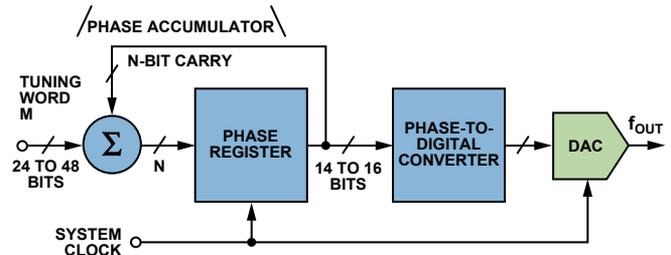


图1. DDS系统的功能框图。

对于正弦波输出,相数转换器通常为一个正弦查找表(图2)。相位累加器以 N 为单位计数,并根据以下等式产生一个相对于 f_C 的频率:

$$f_{OUT} = \frac{N}{2^M} f_C$$

其中:

M 为调谐字的分辨率(24至48位)。

N 为对应于相位累加器输出字最小增量相位变化的 f_C 的脉冲数。

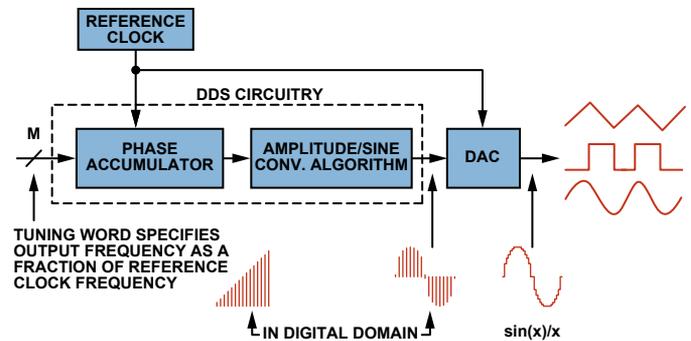


图2. 典型的DDS架构和信号路径(带DAC)。

由于更改 N 会立即改变输出相位和频率,因此,系统自身具有相位连续特点,这是许多应用的关键属性之一。无需环路建立时间,这与模拟系统不同,如锁相环(PLL)。

DAC通常为一个高性能电路,专门针对DDS内核(相位累加器和相幅转换器)而设计。多数情况下,结果形成的器件(通常为单芯片)一般称为纯DDS或C-DDS。

实际的DDS器件一般集成多个寄存器,以实现不同的频率和相位调制方案。如相位寄存器,其存储的相位内容被加在相位累加器的输出相位上。这样,可以对应于一个相位调谐字延迟输出正弦波的相位。对于通信系统相位调制应用,这非常有用。加法器电路的分辨率决定着相位调谐字的位数,因此,也决定着延迟的分辨率。

在单个器件上集成一个DDS引擎和一个DAC既有优点也有缺点,但是,无论集成与否,都需要一个DAC来产生纯度超高的品质模拟信号。DAC将数字正弦输出转换为一个模拟正弦波,可能是单端,也可能是差分。一些关键要求是低相位噪声、优秀的宽带(WB)和窄带(NB)无杂散动态范围(SFDR)以及低功耗。如果是外部器件,则DAC必须足够快以处理信号,因此,内置并行端口的器件非常常见。

DDS与其他解决方案

其他产生频率的方法包括模拟锁相环(PLL)、时钟发生器和利用FPGA对DAC的输出进行动态编程。通过考察频谱性能和功耗,可以对这些技术进行简单的比较,表1以定性方式展示了比较结果。

表1 DDS与竞争技术—高级比较

	功耗	频谱纯度	备注
DDS	低	中	易于调谐
分立式 DAC + FPGA	中	中-高	具有调谐能力
模拟 PLL	中	高	难以调谐

锁相环是一种反馈环路,其组成部分为:一个相位比较器、一个除法器和一个压控制振荡器(VCO)。相位比较器将基准频率与输出频率(通常是输出频率的 N 分频)进行比较。相位比较器产生的误差电压用于调节VCO,从而输出频率。当环路建立后,输出将在频率和/或相位上与参考频率保持一种精确的关系。PLL长期以来一直被认为是在特定频带范围内要求高保真度和稳定信号的低相位噪声和高无杂散动态范围(SFDR)应用的理想选择。

由于PLL无法精确、快速地调谐频率输出和波形,而且响应较慢,这限制了它们对于快速跳频和部分频移键控和相移键控应用的适用性。

其他方案,包括集成DDS引擎的现场可编程门阵列(FPGA)一配合现成DAC以合成输出正弦波—虽然可以解决PLL的跳频问题,但也存在自身的缺陷。主要系统缺陷包括较高的工作和接口功耗要求、成本较高、尺寸较大,而且系统开发人员还须考虑额外的软件、硬件和存储器问题。例如,利用现代FPGA中的DDS引擎选项,要产生动态范围为60 dB的10 MHz输出信号,需要多达72 kB的存储器空间。另外,设计师需要接受并熟悉细微权衡和DDS内核的架构。

从实用角度来看(见表2),得益于CMOS工艺和现代数字设计技术的快速发展以及DAC拓扑结构的改进,DDS技术已经能在广泛的应用中实现前所未有的低功耗、频谱性能和成本水平。虽然纯DDS产品不可能在性能和设计灵活性上达到高端DAC技术与FPGA相结合的水平,但DDS在尺寸、功耗、成本和简单性方面的优势使其成为许多应用的首要选择。

同时需要指出,由于DDS器件从根本上来说是用数字方法产生输出波形,因此它可以简化一些解决方案的架构,或者为对波形进行数字化编程创造条件。尽管通常利用正弦波来解释DDS的功能和工作原理,但利用现代DDS IC也可以轻松产生三角波或方波(时钟)输出,由此消除了前一种情况的查找表以及后一种情况的DAC的必要性,因为集成一个简单而精确的比较器就够了。

DDS的性能与限制

图像和包络: $\sin(x)/x$ 滚降

DAC的实际输出不是连续的正弦波,而是带有正弦时间包络的一系列脉冲。对应的频谱是一系列图像和混叠信号。图像沿 $\sin(x)/x$ 包络分布(见图3中的|幅度|曲线图)。有必要进行滤波,以抑制目标频带之外的频率,但是不能抑制通带中出现的高阶混叠(例如,因DAC非线性所致)。

奈奎斯特准则要求,每个周期至少需要两个采样点才能重建所需输出波形。镜像响应产生于采样输出频率中($K f_{CLOCK} \pm f_{OUT}$)。在本例中,其中, $f_{CLOCK} = 25$ MHz且 $f_{OUT} = 5$ MHz,第一和第二镜频出现在(见图3) $f_{CLOCK} \pm f_{OUT}$,即20 MHz和30 MHz。第三和第四镜频出现在45 MHz和55 MHz。注意, $\sin(x)/x$ 零值出现在采样频率的倍数处。当 f_{OUT} 大于奈奎斯特带宽($1/2 f_{CLOCK}$)时,第一镜频将出现于奈奎斯特带宽之内,发生混叠(例如,15 MHz的信号将向下混叠至10 MHz)。无法用传统的奈奎斯特抗混叠滤波器从输出中滤掉混叠镜频。

表2 基准分析小结——频率产生技术(<50 MHz)

	锁相环	DAC + FPGA	DDS
频谱性能	高	中-高	中
系统功耗要求	高	高	低
数字频率调谐	无	是	是
调谐响应时间	高	低	低
解决方案尺寸	中	高	低
波形灵活性	低	中	高
成本	中	高	低
设计重用	中	低	高
实现复杂度	中	高	低

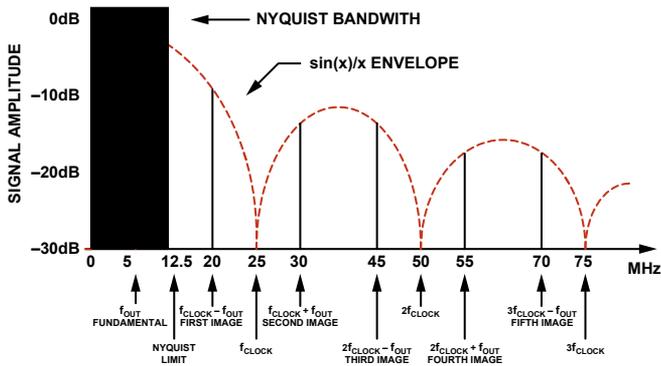


图3. DDS中的 $\sin(x)/x$ 滚降。

在典型的DDS应用中,利用一个低通滤波器来抑制输出频谱中镜像响应的影响。为了使低通滤波器的截止频率要求保持于合理水平,并使滤波器设计保持简单,一种可行的做法是利用一个经济的低通输出滤波器将 f_{OUT} 带宽限制在 f_{CLOCK} 频率的40%左右。

任何给定镜频相对于基波的幅度可用 $\sin(x)/x$ 公式来计算。由于该函数随频率滚降,因此基本输出的幅度将与输出频率成反比而降低;在DDS系统中,降低量为DC-奈奎斯特带宽范围的-3.92 dB。

第一镜频的幅度较大—基波的3 dB范围内。为了简化DDS应用的滤波要求,必须制定频率计划,并分析镜频和 $\sin(x)/x$ 幅度响应在 f_{OUT} 和 f_{CLOCK} 目标频率下的频谱要求。在线互动设计工具支持ADI DDS产品系列,可以快速、轻松地仿真镜像频率大小,并允许用户选择镜像位于目标频带之外的频率。更多有用信息,请参阅“更多信息和有用的链接”部分。

输出频谱中的其他不需要的频率(如DAC的积分和微分线性误差、与DAC相关的突发能量和时钟馈通噪声)不会遵循 $\sin(x)/x$ 滚降响应。这些不需要的频率将以谐波和杂散能量出现在输出频谱中的许多地方—但其幅度一般会远远低于镜频响应。DDS器件的一般本底噪声由基板噪声、热噪声效应、接地耦合和其他信号源耦合等因素累积组合决定。DDS器件的本底噪声、性能杂散和抖动受到电路板布局、电源质量以及—最重要的一—输入参考时钟质量的深刻影响。

抖动

完美时钟源的边沿将以精确的时间间隔发生,而该间隔永远都不会变化。当然,这是不可能的;即使最好的振荡器也是由不理想的元件构成,具有噪声等缺陷。优质的低相位噪声晶体振荡器的抖动为皮秒级,而且是从数百万个时钟边沿累积起来的。导致抖动的因素有热噪声、振荡器电路不稳定以及电源、接地和输出连接等带来的外部干扰等,所有这些因素都会干扰振荡器的时序特性。另外,振荡器受外部磁场或电场以及附近发射器的射频干扰的影响。振荡器电路中,一个简单的放大器、反相器或缓冲器也都会给信号带来额外的抖动。

因此,选择一个抖动低、边沿陡的稳定的参考时钟振荡器是至关重要的。较高频率的基准时钟允许较大的过采样,而且,通过分频可以在一定程度上减轻抖动,因为对信号进行分频将在更长时期产生相同量的抖动,因而可以降低信号上的抖动的百分比。

噪声—包括相位噪声

采样系统的噪声取决于诸多因素,首要因素是参考时钟抖动,这种抖动表现为基波信号上的相位噪声。在DDS系统中,截断相位寄存器输出可能带来因代码而异的系统误差。二进制字不会导致截断误差。但对于非二进制字,相位噪声截断误差会在频谱中产生杂散。杂散的频率/幅度取决于代码字。DAC的量化和线性误差也会给系统带来谐波噪声。时域误差(如欠冲/过冲和代码错误)都会加重输出信号的失真。

应用

DDS应用可以分为两大类:

- 要求捷变频率源以进行数据编码和调制应用的通信和雷达系统
- 要求通用频率合成功能以及可编程调谐、扫描和激励能力的测量、工业和光学应用

两种情况下,都出现了一种走向更高频谱纯度(更低的相位噪声和更高的无杂散动态范围)的趋势,同时还存在低功耗和小尺寸的要求,以适应远程或电池供电设备的需求。

调制/数据编码和同步中的DDS

DDS产品首先出现于雷达和军事应用之中,其部分特性的发展(性能的提升、成本和尺寸等)已使DDS技术在调制和数据编码应用中日渐盛行。本节将讨论两种数据编码方案及其在DDS系统中的实现方式。

二进制频移键控(BFSK,或简称FSK)是最简单的数据编码形式之一。数据的发射方式是使一个连续载波的频率在两个离散频率(—为二进制1,即传号,—为二进制0,即空号)之间变换。图4所示为数据和发射信号之间的关系。

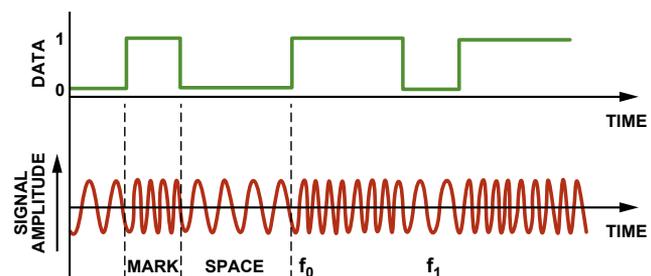


图4. 二进制FSK调制。

二进制1和0表示为两个不同的频率,分别为 f_0 和 f_1 。这种编码方案可以轻松在DDS器件中实现。代表输出频率的DDS频率调谐字被改变,以从将发射的1和0产生 f_0 和 f_1 。在ADI纯DDS产品系列中,至少有两款器件(AD9834和AD9838,另见附录),用户可以简单地将两个当前FSK频率调谐字编程进IC的嵌入式频率寄存器之中。要变换输出频率,则须用专用的引脚FSELECT选择含有相应调谐字的寄存器(见图5)。

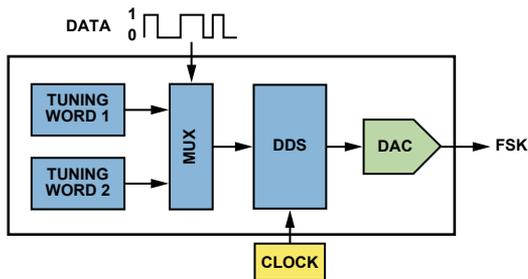


图5. 利用AD9834或AD9838 DDS的调谐字选择器实现FSK编码。

相移键控(PSK)是另一种简单的数据编码形式。在PSK中,载波的频率保持不变,通过改变发射信号的相位来传递信息。可以利用多种方案来实现PSK。最简单的方法通常称为二进制PSK(即BPSK),只采用两个信号相位:0°(逻辑1)和180°(逻辑0)。各位的状态取决于前一位的状态。如果波的相位不变,则信号状态将保持不变(低或高)。如果波的相位改变180°,即相位反转,则信号状态将改变(低变为高,或高变为低)。PSK编码可以轻松在DDS产品中实现,因为多数器件都有一个独立的输入寄存器(相位寄存器),可以加载相位值。该值被直接添加到载波的相位,而不改变其频率。更改该寄存器的内容将调制载波的相位,结果产生一个PSK输出。对于要求高速调制的应用,内置相位寄存器对的AD9834和AD9838允许其PSELECT引脚上的信号在预加载的相位寄存器之间交换,以根据需要调制载波。

更复杂的PSK采用四个或八个波相位。这样,每当相位发生变化时,二进制数据的传输速率将高于BPSK调制。在四相位调制(正交PSK)中,可能的相位角度为0°、+90°、-90°和+180°;每次相位变换可能代表两个信号因子。AD9830、AD9831、AD9832和AD9835提供四个相位寄存器,通过连续更新寄存器的不同相位偏移,可以实现复杂的相位调制方案。

以同步模式利用多个DDS元件实现I/Q功能

许多应用要求产生两个或两个以上具有已知相位关系的正弦波或方波信号。一个常见的例子是**同相和正交调制(I/Q)**,在这种技术中,在0°和90°相位角度从载波频率获得信号信息。可以用相同的源时钟来运行两个单独的DDS元件,以输出可以直接控制和操作其相位关系的信号。在图6中,用一个基准时钟对AD9838器件编程;相同的RESET引脚用于更新两个器件。这样,可以实现简单的I/Q调制。

RESET必须在上电后以及向DDS传输任何数据之前初始化。结果可将DDS输出置于已知相位,使其成为共同的参考角度,以便同步多个DDS器件。当新数据被同时送至多个DDS器件时,DDS之间可以保持相关相位关系,或者通过相位偏移寄存器可以预测性调整多个DDS之间的相对相位偏移。AD983x系列DDS产品拥有12位相位分辨率,有效分辨率为0.1°。

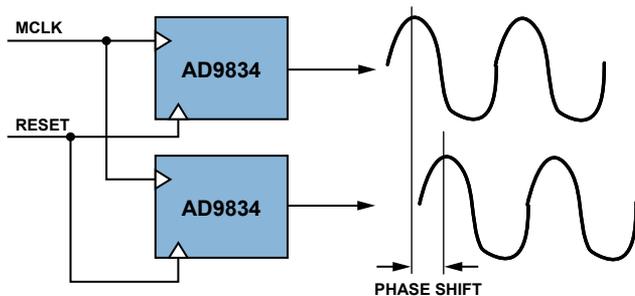


图6. 同步两个DDS元件。

有关同步多个DDS器件的更多信息,请参阅应用笔记AN-605, *同步多个基于DDS的频率合成器AD9852*。

网络分析

电子世界中的诸多应用都需要收集和解码来自网络的数据,例如模拟测量和光学通信系统。正常情况下,系统分析要求是为了以幅度和相位已知的频率模拟电路或系统,并分析通过系统的响应信号的特性。

对响应信号收集的信息用于确定关键系统信息。测试网络的范围(见图7)可能非常宽泛,包括电缆完整性测试、生物医学传感和流速测量系统。无论何时,只要基本要求是产生基于频率的信号并将响应信号的相位和幅度与原始信号进行比较,或者是要通过系统激励一系列频率,或者要求具有不同相位关系(如具有I/Q功能的系统中)的测试信号,则可利用直接数字频率合成IC,方便、优雅地通过软件以数字方式控制激励频率和相位。

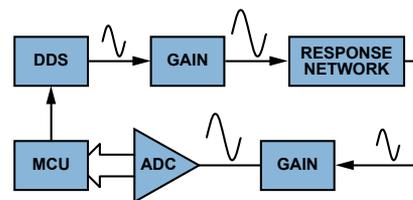


图7. 利用频率激励的典型网络分析架构。

电缆完整性/损耗测量

电缆完整性测量是一种非介入式电缆分析方法,广泛用于飞机布线、局域网(LAN)和电话线路等应用之中。确定性能的一种方式是通过电缆时损耗了多少信号。通过注入频率和幅度已知的信号,用户可以在电缆远端测量幅度和相位,由此算出电缆衰减。直流电阻和特性阻抗等参数将影响具体电缆的衰减。其结果通常表示为在整个测试频率范围内低于信号源的(0 dB)分贝数。目标频率取决于电缆类型。DDS器件因具有产生宽范围频率的能力,所以可以用作具有必要频率分辨率的激励。

流量计

一种相关应用是对管道中的水、其他液体和气体进行流量分析。一个例子是超声流量测量，其工作原理是相移原则，如图8所示。基本而言，从有液体流动的通道的一端发射信号，同时在另一端放置一个传感器以测量相位响应(取决于流速)。这种技术存在多种变化。测试频率取决于测量的物质；一般而言，往往在一系列频率范围内发射输出信号。DDS具有无缝设置和更改频率的灵活性。

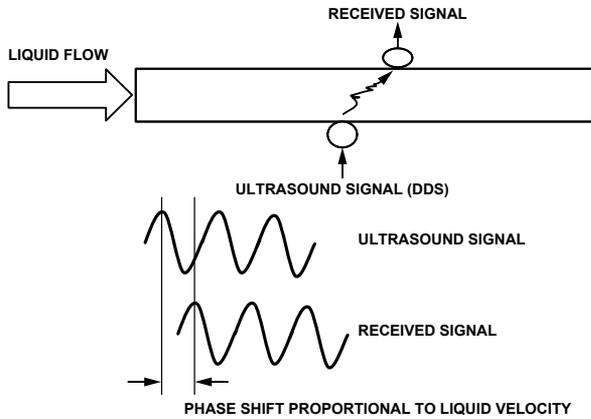


图8. 超声流量计。

作者简介

Brendan Cronin [brendan.cronin@analog.com]是ADI核心产品和技术(CPT)部门的一位产品营销工程师。Brendan于1998年加盟ADI，在工业和汽车产品部门工作了六年，担任混合信号设计工程师。Brendan目前主要研究线性和相关技术。



更多信息和有用的链接

互动式设计工具

它是什么?它是DDS的在线互动式设计工具，是在给定参考时钟和目标输出频率和/或相位时用于选择调谐字的辅助工具。该工具的编程计算结果给出了调谐字和其他配置位，供对器件串行接口编程时使用。在应用外部重构滤波器之后，可以显示选定参考时钟和输出频率的理想输出谐波。ADI设计工具的链接可以在[互动式设计工具](#)主页上找到。[AD9834设计工具](#)即是例子之一。

评估套件

AD983x系列产品配备功能完善的评估套件，并配有原理图和布局指南。借助[评估套件](#)中提供的软件，用户可以轻松对器件进行编程、配置和测试(见图9)。



图9. AD9838评估软件接口。

其他有用的DDS信号可以在DDS网站上找到。

另请参阅：

Murphy, Eva & Colm Slattery. “[直接数字频率合成全攻略](#)。”应用工程师问答—33。模拟对话。2004年第38卷第3期：8–12。

[数字信号合成技术教程](#)。1999. Analog Devices, Inc.

附录

AD9838简介：AD9838 DDS的功能框图如图10所示。该器件采用细线CMOS工艺制成，是一款超低功耗(11 mW)的纯DDS。28位的频率寄存器支持0.06 Hz频率分辨率和16 MHz时钟，以及0.02 Hz频率分辨率和5 MHz时钟。相位和频率调制通过片内寄存器利用软件或引脚选择来配置。该器件具有-68 dBc宽带和-97 dBc窄带SFDR，工作温度范围为-40°C至+125°C扩展温度范围。器件采用小型4 mm × 4 mm、20引脚LFCSP(引脚架构芯片级)封装。

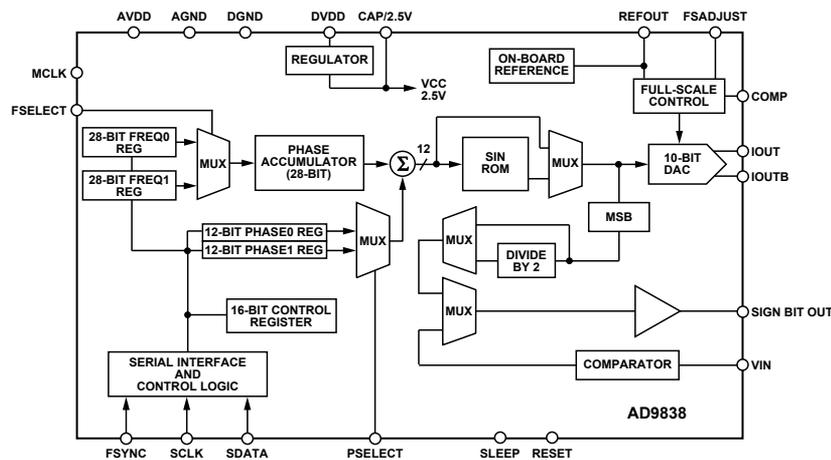


图10. AD9838 DDS的功能框图。

高效FSK/PSK调制器利用多通道DDS实现零交越切换

作者：David Brandon和Jeff Keip

频移键控(FSK)和相移键控(PSK)调制方案广泛用于数字通信、雷达、RFID以及多种其他应用。最简单的FSK利用两个离散频率来传输二进制信息，其中，逻辑1代表传号频率，逻辑0代表空号频率。最简单的PSK为二进制(BPSK)，采用两个相隔180°的相位。图1展示了这两种调制方式。

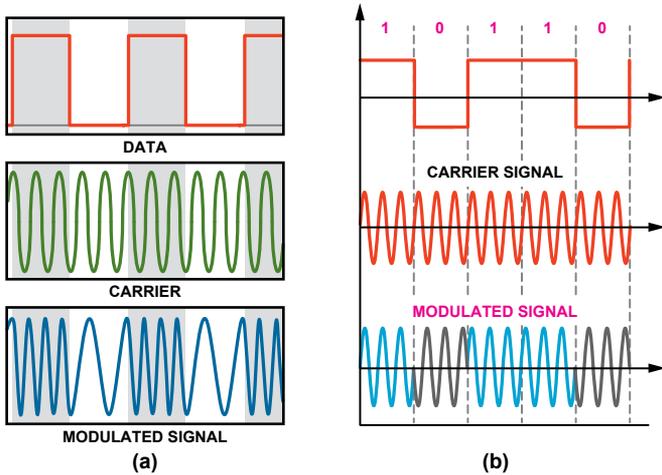


图1二进制FSK (a)和PSK (b)调制。

直接数字频率合成器(DDS)的调制输出能以相位连续或相位相干方式实现频率和/或相位切换(如图1所示，另见“利用多通道DDS实现相位相干FSK调制”)，使DDS技术成为FSK和PSK两种调制方式的理想选择。

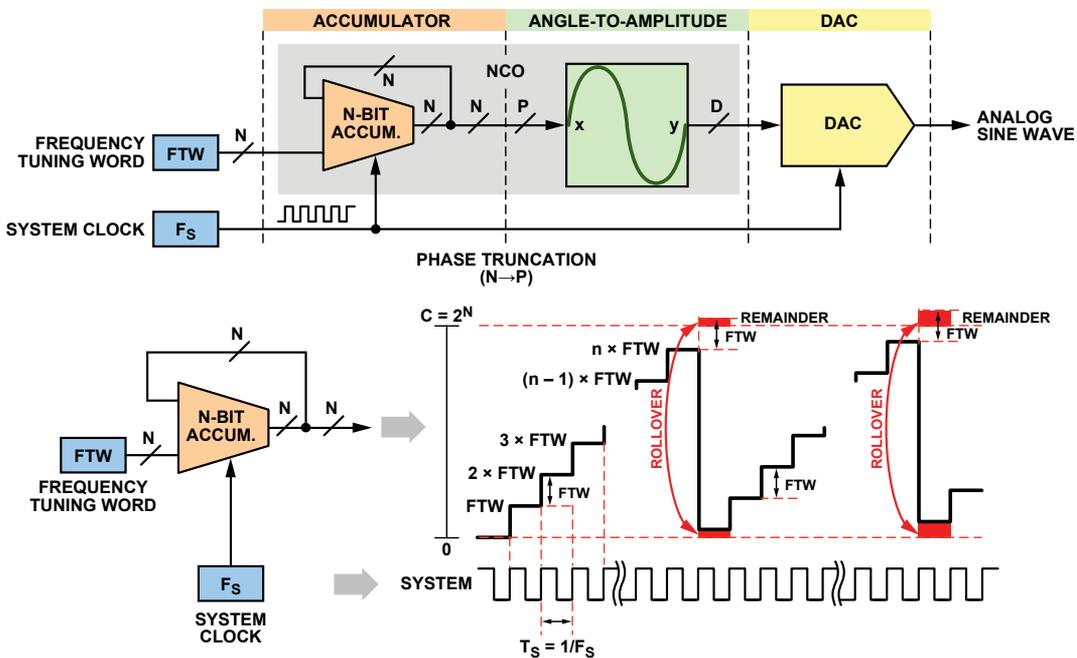


图3. 累加器溢出的基本DDS。

本文将介绍如何利用两个同步DDS通道来实现零交越FSK或PSK调制器。在此，我们将利用AD9958双通道、500 MSPS、纯粹的DDS(见附录)来实现零交越切换频率或相位，但是任何双通道同步解决方案应该都可以实现这一功能。在相位相干雷达系统中，零交越切换可以减少目标特征识别所需要的后期处理量，而且在零交越PSK可以减少频谱散射。

尽管AD9958 DDS通道的两个输出相互独立，但它们共用一个内部系统时钟，并在同一硅片上，因此，当温度和供电发生变化时，它们比同步的多个单通道器件的输出具有更加可靠的通道间一致性。另外，不同器件间可能存在的工艺差异性也大于同一硅片上两个通道之间的工艺差异性，由此使多通道DDS成为零交越FSK或PSK调制器的首选。

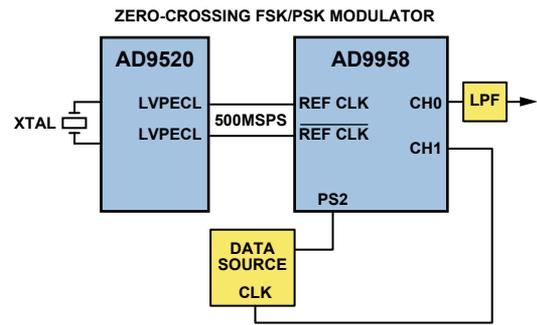


图2. 零交越FSK或PSK调制器的设置。

任何DDS的一个关键元件是相位累加器，在本方案中，其位宽为32位。当累加器溢出时，会保留任何剩余值。当累加器溢出而无余数时(见图3)，输出正好为相位0，DDS引擎从时间0时的值开始工作。零溢出的发生速率被称为DDS的完全重复率(GRR)。

GRR由DDS频率调谐字(FTW)最右侧的非零位决定,其计算公式如下:

$$GRR = F_S/2^n$$

其中:

F_S 是DDS的采样频率。

n 是FTW最右侧的非零位。

例如,设一个采样频率为1 GHz的DDS采用32位传号FTW和空号FTW,其二进制值如下所示。此时,两个FTW之一最右侧的非零位是第19位,因此, $GRR = 1 \text{ GHz}/2^{19}$, 约合1907 Hz。

```
Mark (CH0) 00101010 00100110 10100000 00000000
Space (CH0) 00111010 11110011 11000000 00000000
GRR (CH1) 00000000 00000000 00100000 00000000
```

DDS本身即以相位连续方式开关频率。这意味着,当频率调谐字变化时,不会出现瞬时相位变化。即是说,当新的FTW有效时,累加器将从其当前所处相位开始累加新的FTW。但是,相位相干却要求瞬时转换至新频率的相位,就如新频率始终存在一样。因此,为了使标准DDS能实现相位相干的FSK频率切换,从传号频率到空号频率的变换必须在两个频率具有相同的绝对相位时进行。为了以相位相干方式实现零交越切换,DDS必须在0度进行频率转换(即当累加器的溢出剩余量为零时)。因此,我们必须确定相位相干零交越发生的常数。如果已知传号和空号FTW的GRR,则两个GRR(若不同)中较小者为所需相位相干零交越点。

在实现相位相干零交越切换时必须遵循三条标准:

1. 必须能确定与图2中CH0关联的传号和空号FTW二者中较小的GRR。
2. 必须将第二DDS通道(图2中的CH1)同步至图2的CH0,并使FTW中除对应于较小GRR的一位之外全部为零。
3. 必须能利用第二通道的翻转来在图2中CH0上触发频率变换。

不幸的是,在DDS累加器达到零时与输出端出现零相位时二者之间的延迟会进一步增加解决方案的复杂程度。可喜的是,该延迟是恒定不变的。对于理想解决方案,必须对辅助通道进行相位调整,以补偿该延迟。AD9958的两个通道都有一个相位偏移字,可用其来解决这一问题。

AD9958双通道DDS产生如图4、图5和图6所示的结果。图4和图5所示为相位连续FSK切换与零交越FSK切换之间的关系。图5同时展示了相位连续切换和相位相干切换。图6所示为在多个频率之间切换的伪随机序列(PRS)数据流的结果。

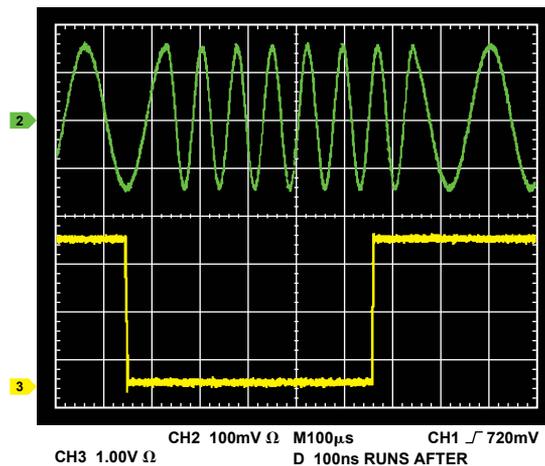


图4. 相位连续FSK转换。

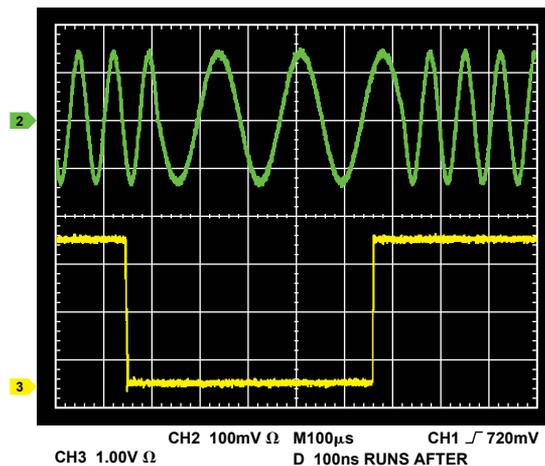


图5. 零交越FSK转换。

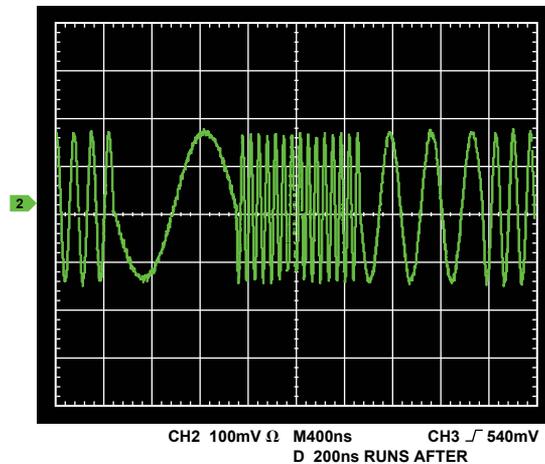


图6. 零交越(多次FSK转换)。

AD9958双通道DDS产生如图7和图8所示的结果。这些图所示为相位连续BPSK切换与零交越BPSK切换之间的关系。

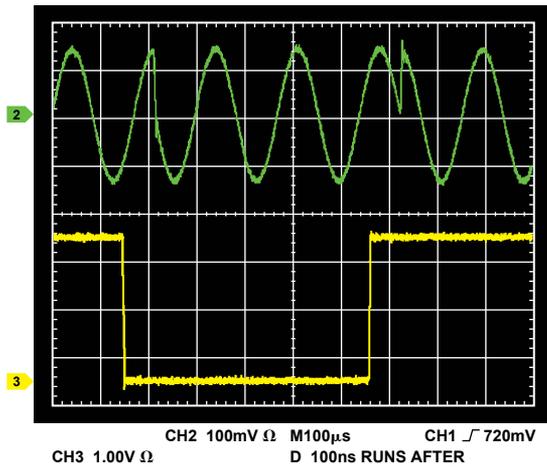


图7. 相位连续BPSK转换。

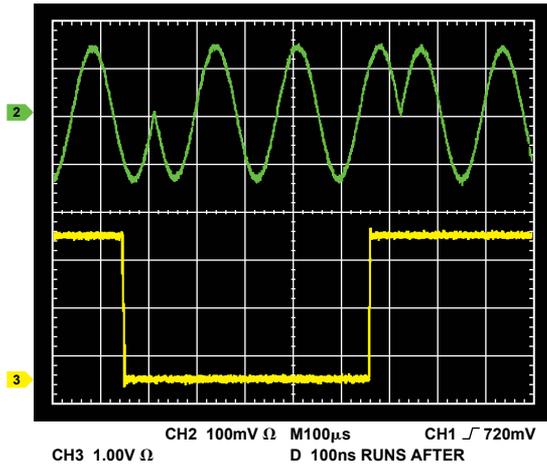


图8. 零交越BPSK转换。

作者简介

David Brandon [david.brandon@analog.com]

自1995年第一款DDS发布起便一直为DDS产品提供支持。他在ADI公司工作了28年之久，最近11年一直担任时钟和信号合成部门应用工程师。David撰写了诸多应用笔记，并在杂志上发表过多篇文章。



Jeff Keip [jeff.keip@analog.com]

在半导体行业拥有近20年从业经验，其中，与频率合成产品打交道的的时间超过15年。在过去9年中，Jeff是ADI高速DDS产品组合的主要负责人。



附录

双通道、10位、500 MSPS直接数字频率合成器

AD9958双通道直接数字频率合成器(DDS)功能完善，内置两个10位、500 MSPS电流输出DAC，如图9所示。两个通道共用一个系统时钟，因此本身就具有同步功能；在需要两个以上的通道时，可以使用额外的封装。各通道的频率、相位和幅度可以独立控制，使其可以为系统相关失配提供校正。这些参数可线性扫描；或者可为FSK、PSK或ASK调制选择16个电平。输出正弦波可以32位频率分辨率、14位相位分辨率和10位幅度分辨率进行调谐。AD9958采用1.8 V内核电源供电，与3.3 V I/O电源逻辑兼容，功耗为315 mW(所有通道开启)和13 mW(关断模式)。额定温度范围为-40°C至+85°C，采用56引脚LFCSP封装，千片订量报价为20.24美元/片。

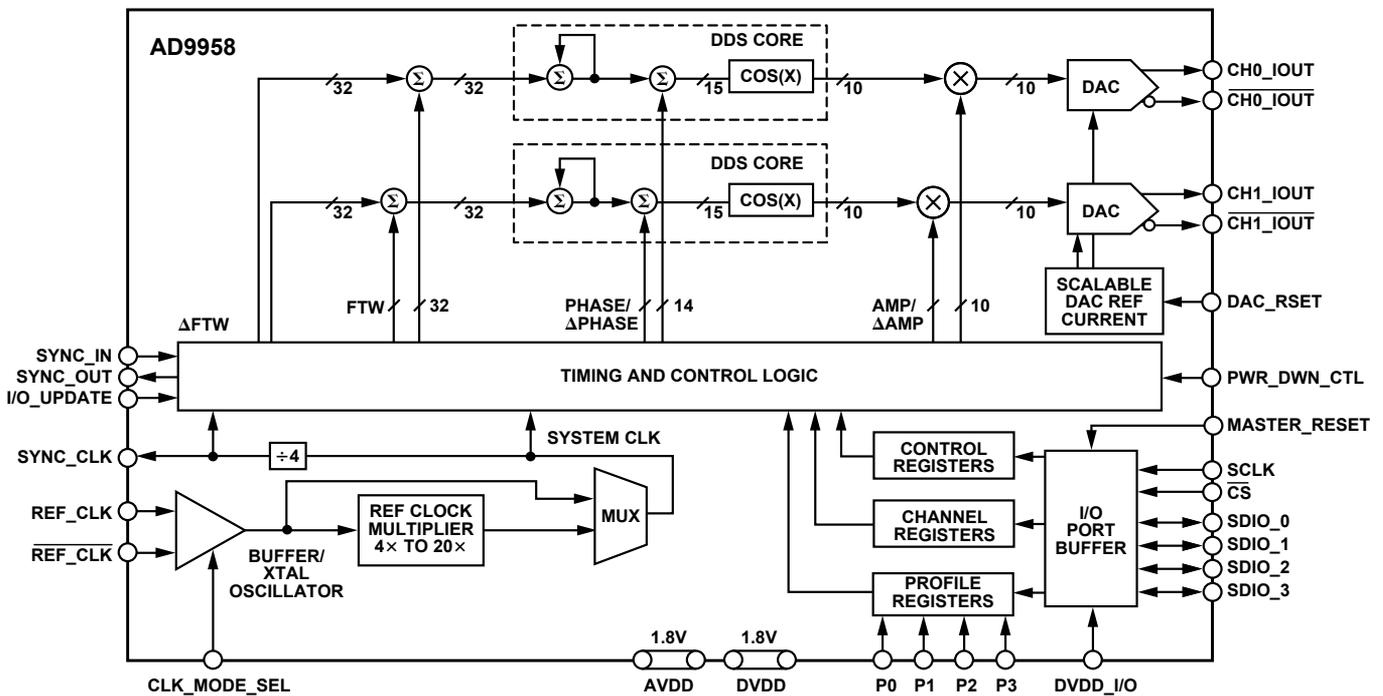


图9. AD9958框图。

低噪声增益可选放大器

作者: Nathan Carter和Chilann Chan

数据采集、传感器信号调理以及输入信号变化范围较大的其他应用要求采用增益可选放大器。传统的增益可选放大器在反馈环路中用开关将电阻连接至反相输入,但开关电阻会降低放大器的噪声性能,增加反相输入上的电容,并提高非线性增益误差。在使用低噪声放大器时,增加的噪声和电容,非线性增益误差,这些都将影响精密应用中的精度。

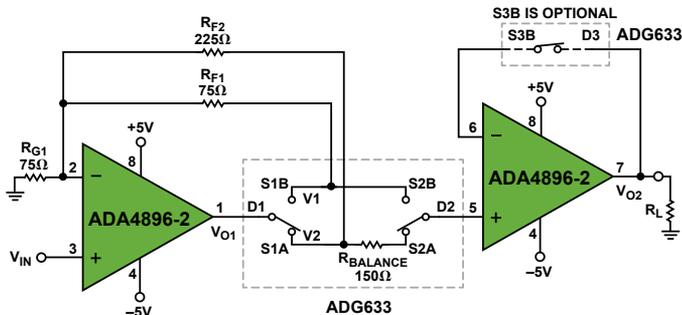


图1. 利用ADA4896-2和ADG633构建低噪声增益可选放大器来驱动低阻负载

图1所示增益可选放大器采用了一种创新的开关技术,可以保持ADA4896-2的1 nV/√Hz噪声性能,同时降低非线性增益误差。利用这种技术,用户可以选择电容最小的开关来使电路的带宽最大化。

通过ADG633三路SPDT CMOS开关实现的开关采用以下配置: S1A和S2A同时开启,或者, S1B和S2B同时开启。开关S1连接至反馈电阻的输出端,开关S2在V1或者V2进行采样,在这些点开关电阻不影响增益。这样可以降低增益误差,同时保持噪声性能不变。在所值下,第一级放大器增益为4 V/V(“A”开关开启)或2 V/V(“B”开关开启)。开关增益的数量可通过增加开关加以扩展,也可通过多路复用器(如4:1 ADG659或8:1 ADG658)进行扩展。

请注意,输出缓冲器流过S2采样开关的非线性导通电阻的输入偏置电流将产生失调。为了补偿该失调,须将未使用的开关(S3B)置于输出缓冲器的反馈路径中。

另外,输入放大器的偏置电流会导致因增益而异的失调。由于输入放大器和输出缓冲器采用同一芯片,因此可以利用其偏置电流的相对匹配性来消除上述失调变化。将一个大小等于R_{F2}与R_{F1}之差值的电阻与开关S2A串联,可以减少失调-电压差。

下面的推导公式说明,在V1采样可产生所需的信号增益,且无增益误差。R_S表示开关电阻。V2可以利用同样的方法导出。

$$V_{O1} = V_{IN} \times \left(1 + \frac{R_{F1} + R_{S1}}{R_{G1}} \right) \quad (1)$$

$$V_1 = V_{O1} \times \left(\frac{R_{F1} + R_{G1}}{R_{F1} + R_{G1} + R_{S1}} \right) \quad (2)$$

将方程1代入方程2可得,

$$V_1 = V_{IN} \times \left(1 + \frac{R_{F1}}{R_{G1}} \right) \quad (3)$$

注意,如果V_{O1}产生所需的信号增益且无增益误差,则缓冲输出V_{O2}也无增益误差。图2所示为电路在V_{O2}处的归一化频率响应。

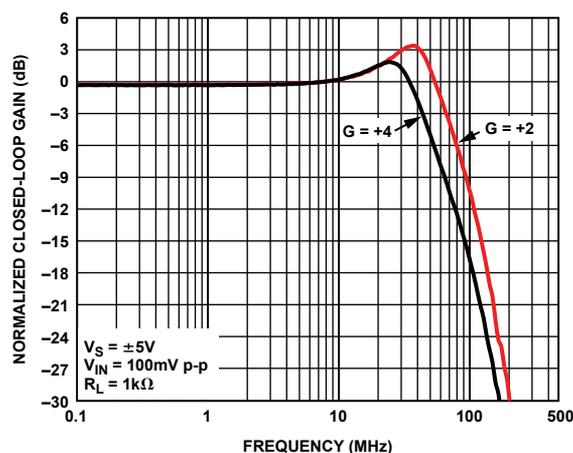


图2. V_{O2}/V_{IN}的频率响应

作者简介

Nathan Carter [nathan.carter@analog.com]是线性和射频部门的一名设计工程师,在这一岗位上已工作超过10年。他拥有加利福尼亚州立工业大学和伍斯特理工学院的学位。



Chilann Chan [chilann.chan@analog.com]于2008年8月加盟ADI公司,现为高速放大器部门的一名应用工程师。Chilann在美国达特茅斯学院获得工程学士学位。从伍斯特理工学院获得电气工程硕士学位。攻读学位期间,她研究了如何将“分离式ADC”架构用于16位、1 MSPS差分逐次逼近型模数转换器。



低功耗有毒气体探测器设计

作者: Luis Orozco

安全第一! 许多工业过程涉及到有毒化合物, 例如: 制造塑料、农用化学品和医药产品会用到氯气; 生产半导体需要使用磷化氢和砷化氢; 燃烧消费类包装材料会释放出氰化氢。因此, 了解有毒气体浓度是否达到危险程度十分重要。

在美国, 国家职业安全与健康研究所(NIOSH)和美国政府工业卫生学家会议(ACGIH)已规定了许多有毒工业气体的短时间和长时间接触限值。“阈值—时间加权平均值”(TLV-TWA)是指大多数工人可以在正常8小时工作日内反复接触而不会受到有害影响的时间加权平均浓度。“阈值—短时间接触限值”(TLV-STEL)是指大多数工人可以短间接触而不会受到刺激或伤害的浓度。“立即威胁生命或健康的浓度”(IDLHC)是一种限制性浓度, 它会对生命立即或缓慢产生威胁, 导致不可逆转的健康损害, 或者影响工人独立逃生的能力。表1列出了几种常见气体的限值。

对于检测或测量有毒气体浓度的仪器, 电化学传感器能够提供多项优势。大多数传感器都是针对特定气体而设计, 可用分辨率小于气体浓度的百万分之一(1 PPM), 所需工作电流极小, 非常适合便携式电池供电的仪器。电化学传感器的一个重要特性是响应缓慢: 首次上电后, 传感器可能需要数分钟时间才能建立至最终输出值; 暴露于中间量程的气体浓度时, 传感器可能需要25到40秒时间才能达到最终输出值的90%。

本文描述一种使用电化学传感器的便携式一氧化碳(CO)探测器。一氧化碳的IDLH浓度远高于大多数其它有毒气体, 处理起来相对更安全。但一氧化碳仍然属于致命性气体, 测试本文所述电路时应极其小心并采取适当的通风措施。



图1. CO-AX一氧化碳传感器

图1所示为Alphasense公司的CO-AX传感器。表2是CO-AX传感器技术规格摘要。

表2. CO-AX传感器技术规格

灵敏度	55 nA/ppm至90 nA/ppm (典型值65)
响应时间 (T_{90} , 0 ppm - 400 ppm CO)	< 30 s
范围(保证性能)	0 ppm至2,000 ppm
气体过量限值	4,000 ppm

对于这种应用中的便携式仪表, 实现最长的电池寿命是最重要的目标, 因此, 必须将功耗降到最低, 这一点至关重要。在典型的低功耗系统中, 测量电路上电后执行一次测量, 然后关断进入长时间待机状态。然而, 在这种应用中, 由于电化学传感器的时间常数很长, 测量电路必须始终保持上电状态。幸运的是, 因为响应缓慢, 所以我们可以使用低功耗放大器、高值电阻和低频滤波器, 从而将约翰逊噪声和1/f噪声降至最低。此外, 单电源供电可避免双极性电源的功率浪费现象。

图2给出了该便携式气体探测器的电路。双通道低功耗放大器ADA4505-2在恒电位配置(U2-A)和跨导配置(U2-B)下使用。该放大器的功耗和输入偏置电流非常低, 对于恒电位部分和跨导部分都是很好的选择。每个放大器的功耗仅10 μ A, 因此电池寿命非常长。

表1. 某些常见工业有毒气体的接触限值

有毒气体	长时间接触限值 (TLV-TWA) (ppm)	短时间接触限值 (TLV-STEL) (ppm)	立即威胁生命或健康的浓度 (IDLHC) (ppm)
一氧化碳	50	200	1,200
二氧化碳	5,000	30,000	40,000
氯气	0.5	1	10
磷化氢	0.3	1	50
硫化氢	10	20	100

在三电极电化学传感器中,目标气体扩散到传感器,通过一层薄膜后作用于工作电极(WE)。恒电位电路检测参考电极(RE)的电压,并向辅助电极(CE)提供电流,使RE端与WE端之间的电压保持恒定。RE端没有电流流进或流出,因此流出CE端的电流流进WE端,该电流与目标气体浓度成正比。流过WE端的电流可能是正值,也可能是负值,具体取决于传感器中发生的是还原反应还是氧化反应。对于一氧化碳,发生氧化时,CE端电流为负值(电流流入恒电位运算放大器的输出端)。电阻R4通常非常小,因此WE端的电压约等于 V_{REF} 。

流入WE端的电流会导致U2-A的输出端产生相对于WE端的负电压。对于一氧化碳传感器,此电压通常为数百毫伏,但对于其它类型的传感器,此电压可能高达1 V。为采用单电源供电,低功耗基准电压源ADR291(U1)将整个电路提升到地以上2.5 V。ADR291的功耗仅12 μ A;它还能提供基准电压,以使模数转换器可对此电路的输出进行数字化处理。

跨导放大器的输出电压为:

$$V_O = 2.5 \text{ V} + I_{WE} \times R_f \quad (1)$$

其中:

I_{WE} 为流入WE端的电流。

R_f 为跨导电阻(在图2中显示为U4)。

传感器的最大响应为90 nA/ppm,如表2所示,其最大输入范围为2,000 ppm。因此,最大输出电流为180 μ A,最大输出电压由跨导电阻决定,如公式2所示。

$$V_O = 2.5 \text{ V} + 2,000 \text{ ppm} \times 90 \text{ nA/ppm} \times R_f = 2.5 \text{ V} + 180 \mu\text{A} \times R_f \quad (2)$$

针对不同气体或来自不同制造商的传感器具有不同的电流输出范围。如果U4使用可编程变阻器AD5271,而不是固定电阻,就可以针对不同的气体传感器采用相同的结构和材料。此外,这样的产品还支持调换传感器,因为微控制器可以针对不同的气体传感器,将AD5271设置为适当的电阻值。AD5271的温度系数为5 ppm/ $^{\circ}$ C,优于大多数分立电阻;其电源电流为1 μ A,对系统功耗的影响极小。

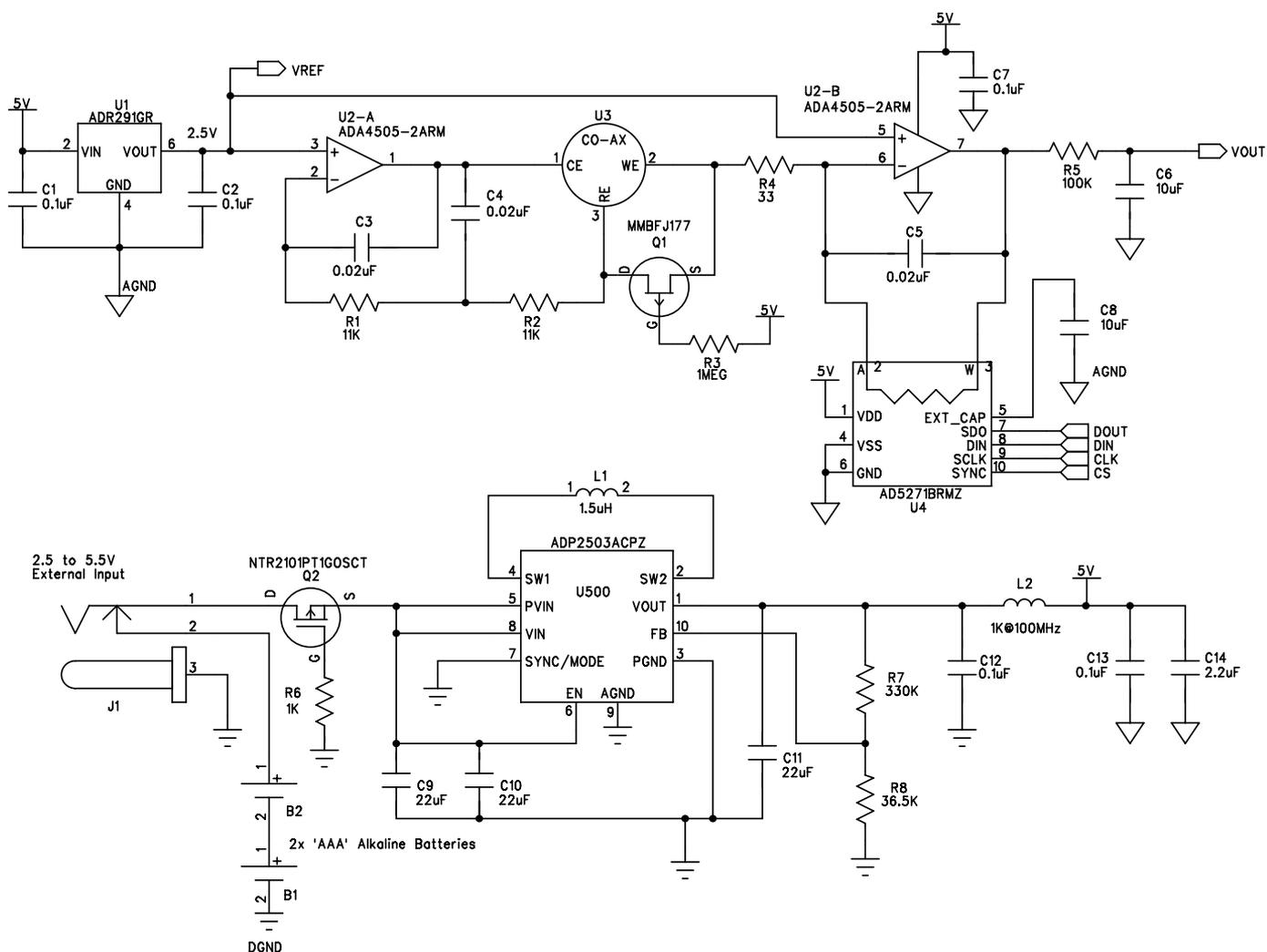


图2. 使用电化学传感器的便携式气体探测器

采用5V单电源供电时,根据公式1可知,跨导放大器U2-B的输出范围为2.5 V。如果将AD5271设置为12.5 kΩ,就可以利用传感器最差灵敏度情况下的可用范围,并能提供大约10%的超量程能力。

使用65 nA/ppm的典型传感器响应,可以通过下式将输出电压转换为二氧化碳的ppm:

$$V_O = 2.5 \text{ V} + 813 \mu\text{A/ppm} \quad (3)$$

采用差分输入ADC时,只需将2.5 V基准电压输出端连接到ADC的A_{IN}端,从而消除公式3中的2.5 V项。

电阻R4使跨导放大器的噪声增益保持在合理水平。R4的值需权衡两个因素决定:噪声增益的幅度和暴露于高浓度气体时传感器的建立时间误差。对于本电路,R4 = 33 Ω,由此可计算噪声增益等于380,如公式4所示。

$$NG = 1 + \frac{12.5 \text{ k}\Omega}{33 \Omega} = 380 \quad (4)$$

跨导放大器的输入噪声应乘以此增益。ADA4505-2的0.1 Hz至10 Hz输入电压噪声为2.95 μV p-p,因此输出端的噪声为:

$$V_{\text{output_noise}} = 2.95 \mu\text{V} \times NG = 1.1 \text{ mV p-p} \quad (5)$$

该输出噪声相当于1.3 ppm p-p以上的气体浓度,这种低频噪声难以滤除。幸好传感器响应非常慢,因此由R5和C6构成的低通滤波器可以具有0.16 Hz的截止频率。此滤波器的时间常数为1秒,与传感器的30秒响应时间相比可忽略不计。

Q1为P沟道JFET。电路启动时,栅极电压为V_{CC},晶体管断开。系统关断时,栅极电压降至0 V,JFET开启,使RE端和WE端保持相同的

电位。当电路再次启动时,这可以大大改善传感器的开启建立时间。

该电路由两节AAA电池供电。使用二极管提供反向电压保护会浪费宝贵的电能,因此本电路使用P沟道MOSFET (Q2)。该MOSFET通过阻塞反向电压来保护电路,施加正电压时导通。MOSFET的导通电阻小于100 mΩ,因此它引起的压降远小于二极管。除AAA电池以外,降压-升压调节器ADP2503还允许使用最高5.5V的外部电源。在省电模式下工作时,ADP2503的功耗仅38 μA。由L2、C12和C13构成的滤波器可消除模拟电源轨产生的任何开关噪声。连接外部电源时,该仪表不是通过一个电路来断开电池,而是利用一个插孔以机械方式断开电池,从而避免电能浪费。

使用AAA电池时,正常情况(未检测到气体)下的总功耗约为100 μA,最差情况(检测到2,000 ppm CO)下的总功耗约为428 μA。如果该仪表与一个微控制器相连,在不进行测量时可进入低功耗待机模式,则电池寿命可达1年以上。

参考文献

NIOSH化学危害袖珍指南

<http://www.cdc.gov/niosh/npg/>

Alphasense CO-AX数据手册

<http://www.alphasense.com/pdf/COAX.pdf>

作者简介

Luis Orozco [luis.orozco@analog.com]是ADI公司工业和仪器仪表部系统应用工程师,主要涉足精密仪器仪表、化学分析和环境监测应用。他于2011年2月加入ADI公司。



(continued from Page 6)

结论

总而言之,集成过压保护具有许多优势:

1. 提高模拟信号链的鲁棒性和精度。
2. 缩短产品上市时间(TTM)、设计时间,降低测试要求。
3. 降低BOM(物料清单)成本。
4. 核准器件清单所需的器件更少。
5. PCB尺寸更小、密度更高。
6. 故障率更低。

参考文献

1N914数据手册: www.fairchildsemi.com。

1N5711数据手册: www.st.com。

BAV99、BAS70-04和BZB84-C24数据手册: www.nxp.com。

PAD5数据手册: www.vishay.com。

JESD22-A114D标准: www.jedec.org。

作者简介

Eric Modica [eric.modica@analog.com] 2002年毕业于圣何塞州立大学,获得电子工程学士学位(BSEE)。他负责过程模型和精密放大器设计,已在ADI公司工作9年。



Michael Arkin [michael.arkin@analog.com]是精密运算放大器组产品营销经理。他持有西海岸大学电子工程学士学位(BSEE)和德克萨斯大学工商管理硕士学位(MBA)。他拥有超过15年的电子产品营销经验,先后在TI、Pulse、Lineage Power和ADI等公司工作。



Derek Bowers和Harry Holt二位为本文做出了技术贡献,笔者对此表示感谢。

Analog Devices, Inc.

Worldwide Headquarters

One Technology Way
P.O. Box 9106, Norwood, MA
02062-9106 U.S.A.
Tel: (1 781) 329 4700
Fax: (1 781) 461 3113

亚太区总部

上海市黄浦区湖滨路 222 号
企业天地大厦 22 层
邮编: 200021
电话: (86 21) 2320 8000
传真: (86 21) 2320 8222

深圳分公司

深圳市福田区
益田路与福华三路交汇处
深圳国际商会中心 4205-4210 室
邮编: 518048
电话: (86 755) 8202 3200
传真: (86 755) 8202 3222

北京分公司

北京市海淀区
上地东路 5-2 号
京蒙高科大厦 5 层
邮编: 100085
电话: (86 10) 5987 1000
传真: (86 10) 6298 3574

武汉分公司

湖北省武汉市东湖高新区
珞瑜路 889 号光谷国际广场
写字楼 B 座 2403-2405 室
邮编: 430073
电话: (86 27) 8715 9968
传真: (86 27) 8715 9931

亚洲技术支持中心

免费热线电话: 4006 100 006
电子邮箱: china.support@analog.com
技术专栏: www.analog.com/zh/CIC
样品申请: www.analog.com/zh/sample
在线技术论坛: www.analog.com/zh/forum