第45卷第3期

现实世界信号处理电路、系统和软件技术交流论坛

Analog Dialogue

本期介绍

2 编者寄语；新产品简介

3 PLL的电源管理设计

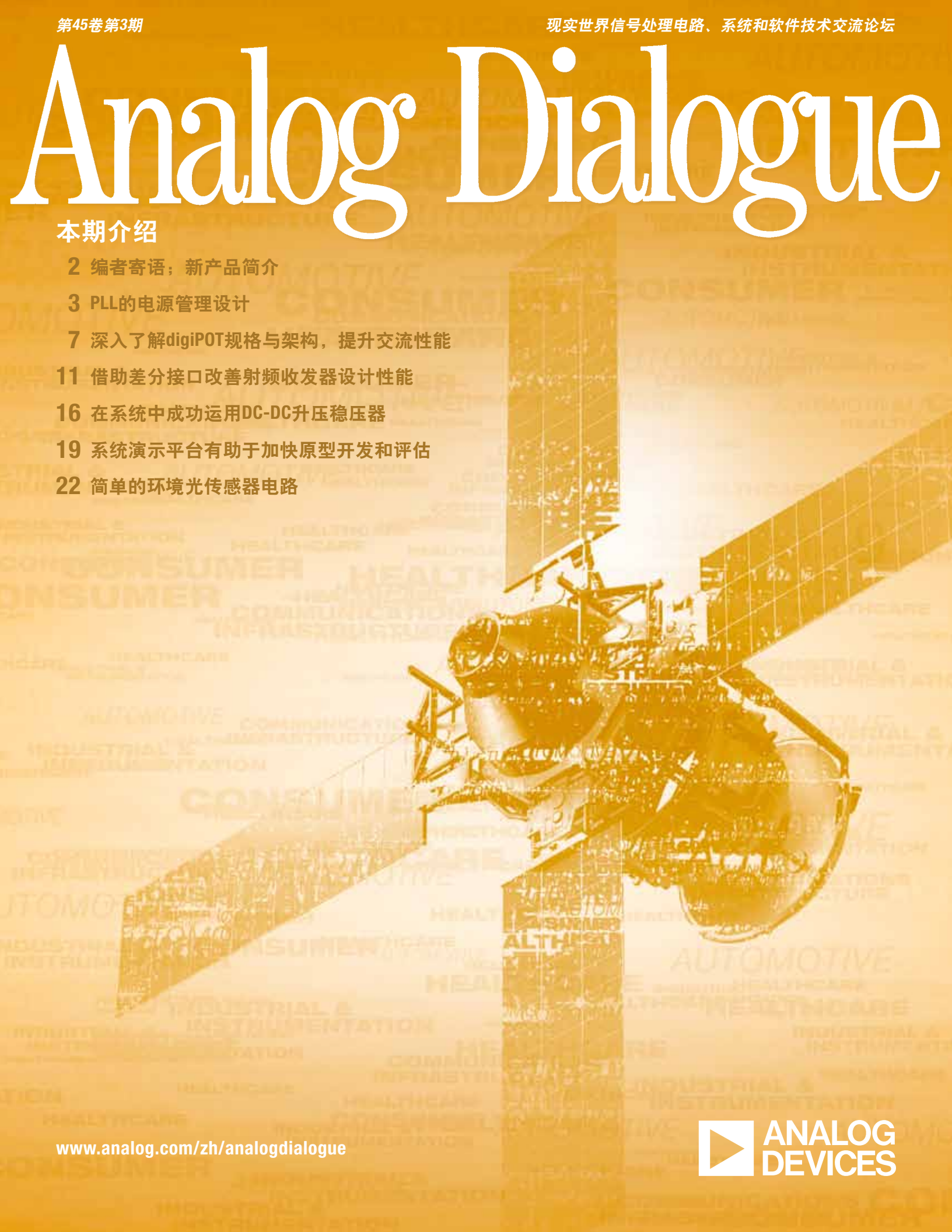
7 深入了解digiPOT规格与架构，提升交流性能

11 借助差分接口改善射频收发器设计性能

16 在系统中成功运用DC-DC升压稳压器

19 系统演示平台有助于加快原型开发和评估

22 简单的环境光传感器电路



www.analog.com/zh/analogdialogue

ANALOG DEVICES

编者寄语

本期介绍

PLL的电源管理设计

*锁相环(PLL)*通常用于提供无线电接收机和发射机中的本振(LO)功能，也可用于时钟信号分配和降噪，以及用作高速模数转换器和数模转换器的时钟源。随着PLL噪声的降低，电源噪声的影响逐渐凸显，某些情况下甚至会限制噪声性能。本文讨论基本的PLL以及PLL各构建模块的电源管理要求。详情见第3页。

深入了解digiPOT规格与架构，提升交流性能

*数字电位计*通常用于方便地调整传感器、电源、或其他需要校准器件的输出。数字设置可以避免与机械电位计相关的问题，比如物理尺寸、机械磨损、游标调定、电阻漂移以及环境效应敏感性，还可以消除因需要实体接近导致的布局不灵活问题。详情见第7页。

借助差分接口改善射频收发器设计性能

传统的中频和射频收发器采用50 Ω单端接口，其互连电路全部具有匹配的输入和输出阻抗。在现代收发器设计中，虽然差分接口可以提供更好的性能，但实施时设计师需要处理阻抗匹配、共模电压匹配以及复杂的增益计算等问题。本文将提供一些帮助。详情见第11页。

在系统中成功运用DC-DC升压稳压器

电池供电系统通常将电池串联叠置以实现更高的电压，但由于空间不足，此技术未必总是可行。*开关转换器*使用电感的磁场来交替地存储电能，并以不同电压释放至负载。因为损耗很低，所以是个不错的高效选择。本文介绍的*升压*转换器可提供更高的电压。详情见第16页。

系统演示平台有助于加快原型开发和评估

系统设计可能较复杂，但如果解决方案的各环节可以进行原型制作并快速演示，就可以简化过程，减少设计人员面临的风险。利用系统演示平台(SDP)，系统设计师可以重复使用核心元件，在最终系统实施前评估并演示各设计环节。详情见第19页。

简单的环境光传感器电路

人们越来越多地认为环境光是一种能源，可用于驱动心率监控器、浴室灯具、远程天气传感器和其他低功耗器件。对于能量采集系统，最关键的是精确测量环境光的能力。本设计思路将描述一种简单的低成本电路，可以根据环境光的强度按一定比例提供电压。详情见第22页。

Dan Sheingold [dan.sheingold@analog.com]

Scott Wayne [scott.wayne@analog.com]

产品目录：第45卷，第3期

所有ADI产品数据手册都可在www.analog.com/zh网站查到，只需在搜索框中输入产品型号即可。

7月

±2 g、双轴、PWM输出**加速度计** **ADXL212**
±5 g、双轴、175°C工作范围**加速度计** **ADXL206**
双通道、12位170 MSPS/210 MSPS/250 MSPS **ADC** **AD9613**
双通道、14位170 MSPS/210 MSPS/250 MSPS **ADC** **AD9643**
立体声音频、扬声器/耳机放大器**编解码器** **ADAU1373**
3 MHz、800 mA、DC-DC降压驱动**转换器** **ADP2147**
6 MHz、500 mA、DC-DC降压驱动**转换器** **ADP2126/ADP2127**
四通道、16位、电压/电流输出**DAC** **AD5755**
内置ADC的6通道LNA/PGA/AAF模拟前端 **AD8283**
集成两个800 mA降压稳压器和两个300 mA
LDO的**微型电源管理单元** **ADP5033**
1550 MHz至2650 MHz正交**调制器** **ADRF6703**
4:1、高压、防闩锁型**多路复用器** **ADG5204**
双通道中频**接收机** **AD6643**
中频分集**接收机** **AD6649**
数字交叉点、4.25 Gbps、40 × 40**开关** **ADN4605**
高端电源逻辑电平控制**开关** **ADP194**
12位、165 MHz HDMI**发送器** **ADV7511W**

8月

双通道、3 A、20 V降压稳压器 **ADP2323**
高压、防闩锁型双通道SPDT**开关** **ADG5236**
集成总线侧DC-DC转换器的隔离式CAN**收发器** **ADM3053**
集成总线侧LDO的隔离式CAN**收发器** **ADM3052**

9月

1 W、700 MHz至1000 MHz驱动**放大器** **ADL5605**
1 W、1800 MHz至2700 MHz驱动**放大器** **ADL5606**
双通道、轨到轨仪表**放大器** **AD8426**
双通道、RRIO、OVP运算**放大器** **ADA4096-2**
单通道/双通道低噪声运算**放大器** **ADA4897-1/ADA4896-2**
内置D类扬声器和无电容耳机驱动器的**音频系统** **SSM2804**
DC-DC降压控制器 **ADP1878/ADP1879**
rms-to-dc转换器 **AD8436**
四通道、12位、电流输出**DAC**，提供HART连接 **AD5737**
四通道、12位、电压/电流输出**DAC** **AD5735**
8通道、18位、同步采样ADC **DAS** **AD7609**
直流至6 GHz、包络和均方根**检波器** **ADL5511**
三通道、差分、宽带视频**驱动器** **AD8141/AD8142**
集成两个1200 mA降压稳压器和两个300 mA
LDO的**微型电源管理单元** **ADP5034**
2300 MHz至2900 MHz平衡**混频器** **ADL5363**
700 MHz至2800 MHz双平衡**混频器** **ADL5811**
700 MHz至2800 MHz双通道、双平衡**混频器** **ADL5812**
4:1差分、高压、防闩锁型**多路复用器** **ADG5209**
8:1、高压、防闩锁型**多路复用器** **ADG5208**
双端口、3 GHz、Xpressview™、HDMI**接收机** **ADV7619**
带有HDMI发射机的MIPI/DSI**接收机** **ADV7533**
双通道、可调输出、300 mA驱动**稳压器** **ADP223/ADP225**
双通道、固定输出、300 mA驱动**稳压器** **ADP222/ADP224**
三轴、数字、FFT分析振动**传感器** **ADIS16228**
三/四通道SPDT、高压、防闩锁型**开关** **ADG5233/ADG5234**
小数N分频/整数N分频PLL频率**合成器** **ADF4150**
RS-485、500 kbps/16 Mbps、5 kV隔离**收发器** **ADM2682E/ADM2687E**
100 MHz至4000 MHz数字控制**VGA** **ADL5240/ADL5243**

Analog Dialogue

模拟对话杂志(www.analog.com/zh/analogdialogue)是ADI公司于1967年创办的技术杂志，至今已经连续出版45年，主要讨论有关模拟信号、数字信号和混合信号处理产品、应用、技术和技巧。模拟对话杂志提供两种版本：在线版每月发行一期；印刷版每年发行四期，印刷版和电子版作为对在线版中技术文章的定期回顾和汇集。在线版的内容包括：技术文章；近期应用笔记、新产品简介、预发布产品、在线研讨会和教程、已发表文章等及时信息；以及“集锦”栏目，其中包括从ADI网站(www.analog.com/zh)获得重要相关信息的通用链接网址。感兴趣的读者也可以至Analog Dialogue档案库www.analog.com/library/analogdialogue/archives.html查阅自1967年第1卷第1期创刊至今的每期存档，包括三期纪念特刊。如需订阅，请访问www.analog.com/library/analogdialogue/subscribe.html。欢迎提出您的宝贵意见：Facebook：www.facebook.com/analogdialogue；模拟对话：analogdiablog.blogspot.com；电子邮件：dialogue.editor@analog.com、编辑Dan Sheingold，[dan.sheingold@analog.com]或出版人兼总编辑Scott Wayne，[scott.wayne@analog.com]。

PLL的电源管理设计

作者：Austin Harney和Grzegorz Wawrzola

摘要

锁相环(PLL)是现代通信系统的基本构建模块。PLL通常用在无线电接收机或发射机中，主要提供“本振”(LO)功能；也可用于时钟信号分配和降噪，而且越来越多地用作高采样速率模数或数模转换的时钟源。

由于每一代PLL的噪声性能都在改善，因此电源噪声的影响变得越来越明显，某些情况下甚至可限制噪声性能。

本文讨论图1所示的基本PLL方案，并考察每个构建模块的电源管理要求。

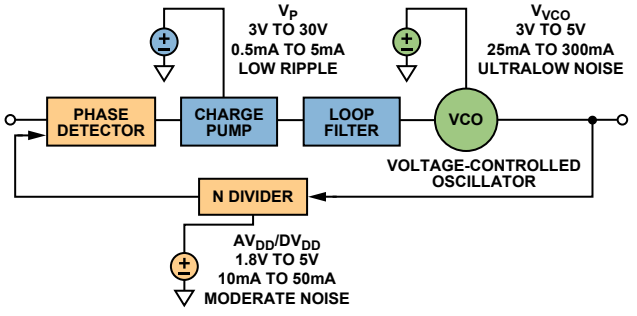


图1. 显示各种电源管理要求的基本锁相环

PLL中，反馈控制环路驱动电压控制振荡器(VCO)，使振荡器频率(或相位)精确跟踪所施加基准频率的倍数。许多优秀的参考文献(例如Best的*锁相环*[1])解释了PLL的数学分析；ADI的ADIsimPLL™等仿真工具则对了解环路传递函数和计算很有帮助。下面让我们依次考察一下PLL构建模块。

VCO和VCO推压

电压控制振荡器将来自鉴相器的误差电压转换成输出频率。器件“增益”定义为K_{VCO}，通常以MHz/V表示。电压控制可变电容二极管(变容二极管)常用于调节VCO内的频率。VCO的增益通常足以提供充分的频率覆盖范围，但仍不足以降低相位噪声，因为任何变容二极管噪声都会被放大K_{VCO}倍，进而增加输出相位噪声。

多频段集成VCO的出现，例如用于频率合成器ADF4350的集成VCO，可避免在K_{VCO}与频率覆盖范围间进行取舍，使PLL设计人员可以使用包含数个中等增益VCO的IC以及智能频段切换程序，根据已编程的输出频率选择适当的频段。这种频段分割提供了宽广的总体范围和较低噪声。

除了需要从输入电压变化转换至输出频率变化(K_{VCO})外，电源波动也会给输出频率变化带来干扰成分。VCO对电源波动的灵敏度定义为*VCO推压*($K_{pushing}$)，通常是所需K_{VCO}的一小部分。例如，$K_{pushing}$通常是K_{VCO}的5%至20%。因此，对于高增益VCO，推压效应增大，VCO电源的噪声贡献就更加举足轻重。

VCO推压的测量方法如下：向VTUNE引脚施加直流调谐电压，改变电源电压并测量频率变化。推压系数是频率变化与电压变化之比，如表1所示，使用的是ADF4350 PLL。

表1. ADF4350 VCO推压测量

VCO频段 (MHz)	V_{tune} (V)	V_{VCO} = 3 V时的f_1 (MHz)	V_{VCO} = 3.3 V时的f_2 (MHz)	$K_{pushing} = \Delta f/\Delta V$ (MHz/V)
2200	2.5	2233.446	2233.061	1.28
3300	2.5	3331.112	3331.799	2.3
4400	2.5	4462.577	4464.242	5.55

参考文献2中提到了另一种方法：将低频方波直流耦合至电源内，同时观察VCO频谱任一侧上的*频移键控*(FSK)调制峰值(图2)。峰值间频率偏差除以方波幅度，便得出VCO推压系数。该测量方法比静态直流测试更精确，因为消除了与直流输入电压变化相关的任何热效应。图2显示ADF4350 VCO输出在3.3 GHz、对标称3.3 V电源施加10 kHz、0.6 V p-p方波时的频谱分析仪曲线图。对于1.62 MHz/0.6 V或2.7 MHz/V的推压系数，最终偏差为3326.51 MHz – 3324.89 MHz = 1.62 MHz。该结果可与表1中的静态测量值2.3 MHz/V比较。

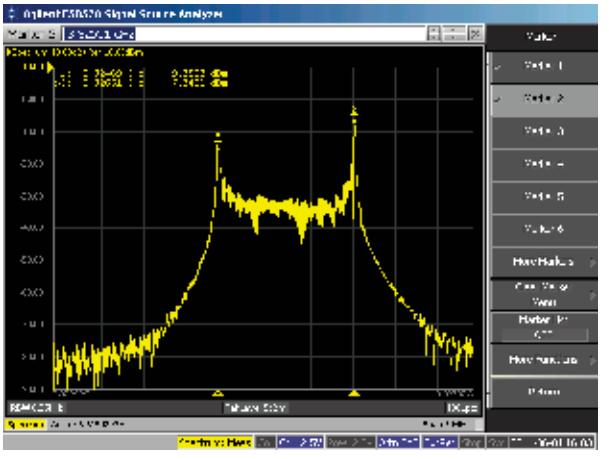


图2. ADF4350 VCO通过10 kHz、0.6 V p-p方波响应电源调制的频谱分析仪曲线图

在PLL系统中，较高的VCO推压意味着VCO电源噪声的增加倍数更大。为尽可能降低对VCO相位噪声的影响，需要低噪声电源。

参考文献3和参考文献4提供了不同低压差调节器(LDO)如何影响PLL相位噪声的示例。例如，文献中对ADP3334和ADP150 LDO为ADF4350供电时的性能进行了比较。ADP3334调节器的集成均方根噪声为27 μV(40多年来，从10 Hz至100 kHz)。该结果可与ADF4350评估板上使用的LDO ADP150的9 μV比较。图3中可以看出已测量PLL相位噪声频谱密度的差异。测量使用4.4 GHz VCO频率进行，其中VCO推压为最大值(表1)，因此属于最差情况结果。ADP150调节器噪声足够低，因此对VCO噪声的贡献可以忽略不计，使用两节(假定“无噪声”)AA电池重复测量可确认这一点。

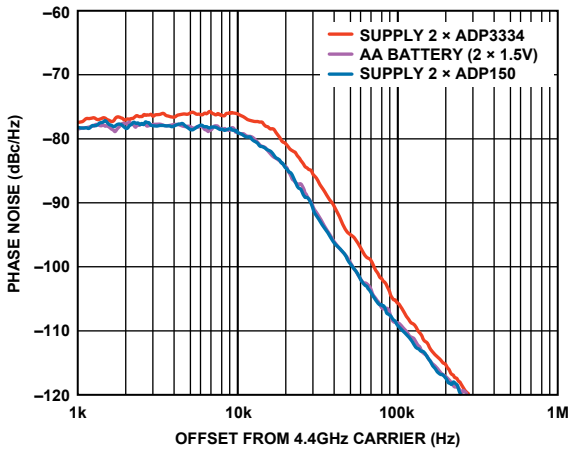


图3. 使用ADP3334和ADP150 LDO对(AA电池)供电时，ADF4350在4.4 GHz下的相位噪声比较

图3强调了低噪声电源对于ADF4350的重要性，但对电源或LDO的噪声该如何要求呢?

与VCO噪声类似，LDO的相位噪声贡献可以看成加性成分$\Phi_{LDO}(t)$，如图4所示。再次使用VCO超额相位表达式得到：

$$\Phi_{LDO}(t) = K_{pushing}\int V_{LDO}(t)dt$$

或者在频域中为：

$$\Phi_{LDO}(f) = \frac{K_{pushing}v_{LDO}(f)}{f}$$

其中$v_{LDO}(f)$是LDO的电压噪声频谱密度。

1 Hz带宽内的单边带电源频谱密度$S\Phi(f)$由下式得出：

$$S\Phi(f) = \Phi^2{}_{LDO}(f)/2$$

以dB表示时，用于计算电源噪声引起的相位噪声贡献的公式如下：

$$L_{LDO} = 10\log\left[\frac{(K_{pushing}\times v_{LDO}(f))^2}{2\times f^2}\right]$$

$$L_{(LDO)} = 20\log\left[\frac{K_{pushing}\times v_{LDO}(f)}{\sqrt{2}\times f}\right] \quad (1)$$

其中$L_{(LDO)}$是失调为f时，调节器对VCO相位噪声(以dBc/Hz表示)的噪声贡献；$K_{pushing}$是VCO推压系数，以Hz/V表示；$v_{LDO}(f)$是给定频率偏移下的噪声频谱密度，以V/√Hz表示。

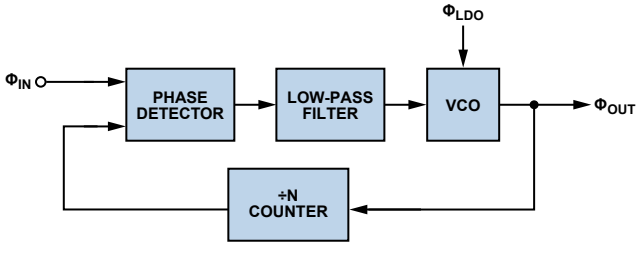


图4. 小信号加性VCO电源噪声模型

在自由模式VCO中，总噪声为L_{LDO}的*方和根*(rss)值加VCO噪声。以dB表示则为：

$$L_{TOTAL} = 10\log\left[\log^{-1}\left(\frac{L_{LDO}}{10}\right) + \log^{-1}\left(\frac{L_{VCO}}{10}\right)\right]$$

例如，试考虑推压系数为10 MHz/V、在100 kHz偏移下测得相位噪声为–116 dBc/Hz的VCO：要在100 kHz下不降低VCO噪声性能，所需的电源噪声频谱密度是多少? 电源噪声和VCO噪声作为方和根添加，因此电源噪声应比VCO噪声至少低6 dB，以便将噪声贡献降至最低。所以L_{LDO}应小于–122 dBc/Hz。使用公式1，

$$\log^{-1}\left(-\frac{122}{20}\right) = \frac{10\text{ MHz/V}\times v_{LDO}(f)}{\sqrt{2}\times 100\text{ kHz}}$$

求解$v_{LDO}(f)$，

在100 kHz偏移下，$v_{LDO}(f)$ = 11.2 nV/√Hz。

给定偏移下的LDO噪声频谱密度通常可通过LDO数据手册的典型性能曲线读取。

当VCO连接在负反馈PLL内时，LDO噪声以类似于VCO噪声的方式通过PLL环路滤波器进行高通滤波。因此，上述公式仅适用于大于PLL环路带宽的频率偏移。在PLL环路带宽内，PLL可成功跟踪并滤除LDO噪声，从而降低其噪声贡献。

LDO滤波

要改善LDO噪声，通常有两种选择：使用具有更少噪声的LDO，或者对LDO输出进行后置滤波。当无滤波器的噪声要求超过经济型LDO的能力时，滤波选项可能是不错的选择。简单的LC π滤波器通常足以将带外LDO噪声降低20 dB(图5)。

图5. 用于衰减LDO噪声的LC π滤波器

选择器件时需要非常小心。典型电感为微亨利范围内(使用铁氧体磁芯)，因此需要考虑电感数据手册中指定的*饱和电流*(I_{SAT})，作为电感下降10%时的直流电平。VCO消耗的电流应小于I_{SAT}。*有效串联电阻*(ESR)也是一个问题，因为它会造成滤波器两端的IR压降。对于消耗300 mA直流电流的微波VCO，需要ESR小于0.33 Ω的电感，以产生小于100 mV的IR压降。较低的非零ESR还可抑制滤波器响应并改善LDO稳定性。为此，选择具有极低寄生ESR的电容并添加专用串联电阻可能较为实际。上述方案可使用可下载的器件评估器(如NI Multisim™)在SPICE中轻松实现仿真。

电荷泵和滤波器

电荷泵将鉴相器误差电压转换为电流脉冲，并通过PLL环路滤波器进行积分和平滑处理。电荷泵通常可在最多低于其电源电压(V_P) 0.5 V的电压下工作。例如，如果最大电荷泵电源为5.5 V，那么电荷泵只能在最高5 V输出电压下工作。如果VCO需要更高的调谐电压，则通常需要有源滤波器。有关实际

PLL的有用信息和参考设计，请参见电路笔记CN-0174[5]，处理高压的方式请参见“利用高压VCO设计高性能锁相环”[6]，该文章发表于《*模拟对话*》第43卷第4期(2009)。有源滤波器的替代方案是使用PLL和针对更高电压设计的电荷泵，例如ADF4150HV。ADF4150HV可使用高达30 V的电荷泵电压工作，从而在许多情况中省去了有源滤波器。

电荷泵的低功耗使其看似颇具吸引力，可使用升压转换器从较低的电源电压产生高电荷泵电压，然而与此类DC-DC转换器相关的开关频率纹波可能在VCO的输出端产生干扰杂散音。高PLL杂散可能造成发射机发射屏蔽测试失败，或者降低接收机系统内的灵敏度和带外阻塞性能。为帮助指导转换器纹波的规格，使用图6的测量设置针对各种PLL环路带宽获得全面电源抑制曲线图与频率的关系。

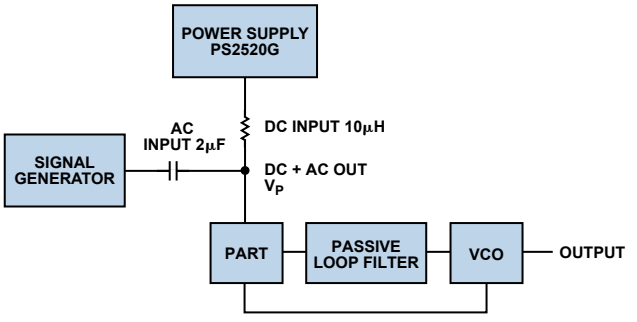


图6. 测量电荷泵电源抑制的设置

17.4 mV (–22 dBm)的纹波信号经交流耦合至电源电压，并在频率范围内进行扫描。在每一频率下测量杂散水平，并根据–22 dBm输入与杂散输出电平间的差异(以dB表示)计算PSR。留在适当位置的0.1 µF和1 nF电荷泵电源去耦电容为耦合信号提供一定衰减，因此发生器处的信号电平增加，直至在各频率点下引脚上直接测得17.4 mV。结果如图7所示。

在PLL环路带宽内，随着频率增加，电源抑制最初变差。随着频率接近PLL环路带宽，纹波频率以类似于基准噪声的方式衰减，PSR改善。该曲线图显示，需要具有较高开关频率(理想情况下大于1 MHz)的升压转换器，以便尽可能降低开关杂散。另外，PLL环路带宽应尽可能降至最低。

开关速度为1.3 MHz时，ADP1613就是一款合适的升压转换器。如果将PLL环路带宽设置为10 kHz，PSR可能达到大约90 dB；环路带宽为80 kHz时，PSR为50 dB。首先解决PLL杂散水平要求后，可以回头决定升压转换器输出所需的纹波电平。例如，如果PLL需要小于–80 dBm的杂散，且PSR为50 dB，则电荷泵电源输入端的纹波功率需小于–30 dBm，即20 mV p-p。如果在电荷泵电源引脚附近放置足够的去耦电容，上述水平的纹波电压可使用纹波滤波器轻松实现。例如，100 nF去耦电容在1.3 MHz时可提供20 dB以上的纹波衰减。应小心使用具有适当电压额定值的电容；例如，如果升压转换器产生18V电源，应使用具有20V或更高额定值的电容。

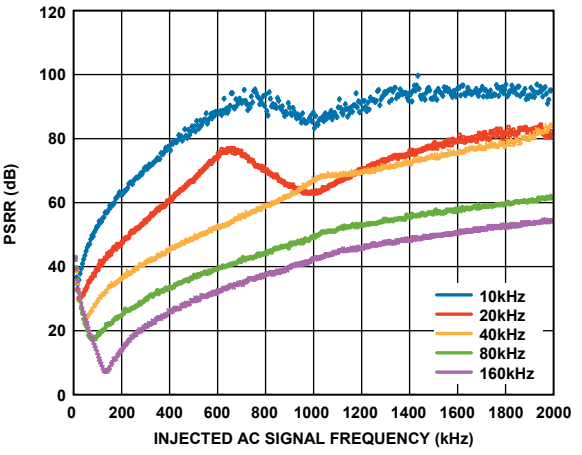


图7. ADF4150HV电荷泵电源抑制曲线图

使用基于Excel的设计工具ADP161x可以简化升压转换器和纹波滤波器的设计。图8显示用于5 V输入至20 V输出设计的用户输入。为将转换器级输出端的电压纹波降至最低，该设计选择噪声滤波器选项，并将V_{OUT}纹波场设定为最小值。高压电荷泵的功耗为2 mA(最大值)，因此I_{OUT}为10 mA以提供裕量。该设计使用20 kHz的PLL环路带宽，通过ADF4150HV评估板进行测试。根据图7，可能获得约70 dB的PSR。由于PSR极佳，此设置未在VCO输出端呈现明显的开关杂散(< –110 dBm)，即使是在省去噪声滤波器时。

图8. ADP1613升压转换器Excel设计工具

作为最终实验，将高压电荷泵的PSR与有源滤波器(目前用于产生高VCO调谐电压的最常见拓扑结构)进行比较。为执行测量，使用无源环路滤波器将幅度为1 V p-p的交流信号注入ADF4150HV的电荷泵电源(V_P)，与图6的测量设置相同。然后以有源滤波器代替相等带宽的无源滤波器，重复相同的测量。所用的有源滤波器为CPA_PPFFBP1型，如ADIsimPLL所述(图9)。

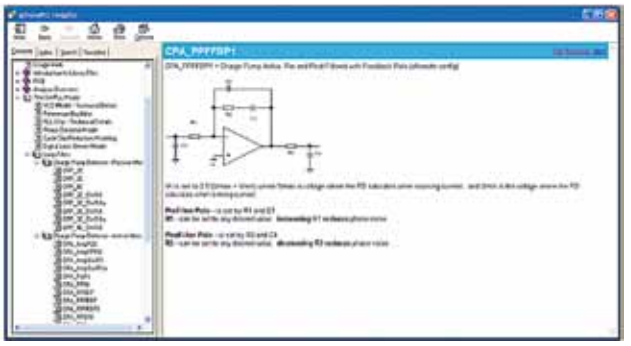


图9. ADIsimPLL中CPA_PPFFBP1滤波器设计的屏幕视图

为提供公平的比较，电荷泵和运算放大器电源引脚上的去耦相同，即10 µF、10 nF和10 pF电容并联。测量结果显示于图10中：与有源滤波器相比，高压电荷泵的开关杂散水平降低了40 dB至45 dB。利用高压电荷泵改善的杂散水平部分可解释为通过有源滤波器看到的环路滤波器衰减更小，其中注入的纹波在第一极点之后，而在无源滤波器中注入的纹波位于输入端。

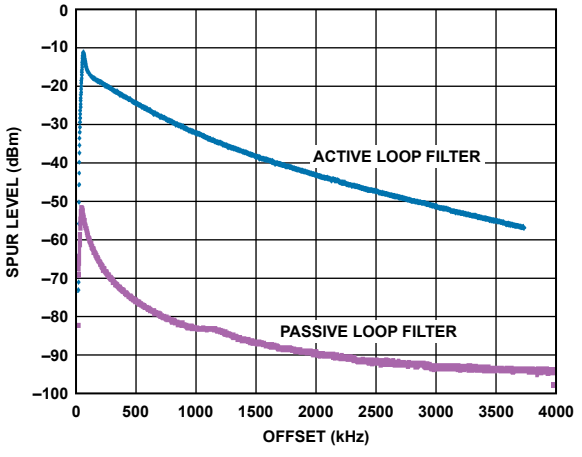


图10. 有源环路滤波器与高压无源滤波器的电源纹波电平

最后一点：图1所示的第三电源电轨(分压器电源，AV_{DD}/DV_{DD})与VCO和电荷泵电源相比具有较宽松的电源要求，因为PLL (AV_{DD})的RF部分通常是具有稳定带隙参考偏置电压的双极性ECL逻辑级，所以相对不受电源影响。另外，数字CMOS模块(DV_{DD})本质上对电源噪声具有更强的抵抗力。因此，建议选择能够满足此电轨电压和电流要求的中等性能LDO，并在所有电源引脚附近充分去耦；通常100 nF和10 pF并联就够了。

结束语

以上已讨论主要PLL模块的电源管理要求，并针对VCO和电荷泵电源推算出规格。ADI公司为电源管理和PLL IC提供多种设计支持工具，包括参考电路和解决方案，还有各种仿真工具，如ADIsimPLL和ADIsimPower。了解电源噪声和纹波对PLL性能的影响后，设计人员可以回头推算电源管理模块的规格，进而实现性能最佳的PLL设计。

参考文献

[1]Best, Roland E. *Phase-Locked Loops*: *Design, Simulation, and Applications*. 6th edition. 2007. McGraw-Hill. ISBN 9780071493758.

[2]Colin, Dennis. *Externally Induced VCO Phase Noise*. Micronetics, Inc. Reprint: *Microwave Journal*. Feb 2002.

[3]http://www.radio-electronics.com/analysis/rf-technology-design/2010-11/integrated-plls-vcos-02.php.

[4]Circuit Note CN-0147, *Powering a Fractional-N Voltage-Controlled Oscillator (VCO) with Low Noise LDO Regulators for Reduced Phase Noise*. Analog Devices. 2010.

[5]Circuit Note CN-0174, *Low Noise, 12 GHz, Microwave Fractional-N Phase-Locked Loop (PLL) Using an Active Loop Filter and RF Prescaler*. Analog Devices. 2010.

[6]Harney, Austin. "Designing High-Performance Phase-Locked Loops with High-Voltage VCO." *Analog Dialogue*, 43-12. 2009.

作者简介

Austin Harney[austin.harney@analog.com]于1999年毕业于爱尔兰都柏林大学，获得工程学士学位，2006年获得利默里克大学工商管理硕士学位。12年来他在ADI公司从事各种RF相关工作，目前是ADI公司PLL和VCO产品系列的应用工程师。

Grzegorz Wawrzola [grzegorz.wawrzola@analog.com]于2006年毕业于波兰弗罗茨瓦夫理工大学，获得电子通信硕士学位。他在ADI公司RF部担任PLL和VCO设计评估工程师五年后，于2011年8月调至RF应用部。

深入了解digiPOT规格与架构，提升交流性能

作者：Miguel Usach Merino

数字电位计(digiPOT)通常用于方便的调整传感器的交流或直流电压或电流输出、电源供电、或其他需要某种类型校准的器件，比如定时、频率、对比度、亮度、增益，以及失调调整。数字设置几乎可以避免机械电位计相关的所有问题，比如物理尺寸、机械磨损、游标调定、电阻漂移，以及对振动、温度和湿度敏感等问题，还可以消除因使用螺丝刀导致的布局不灵活问题。

digiPOT有两种使用模式，即*电位计模式*或*可变电阻器模式*。图1所示为电位计模式，此时有3个端子，信号通过A端和B端连接，W端(*类似游标*)则提供衰减的输出电压。当数字比率控制输入为全零时，游标通常与B端连接。

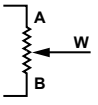


图1. 电位计模式

游标硬连线至任一端时，电位计就变成了简单的*可变电阻器*，如图2所示。可变电阻器模式时需要的外部引脚更少，因此尺寸更小。部分digiPOT只有可变电阻器模式。

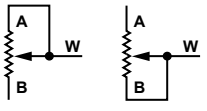


图2. 可变电阻器模式

digiPOT电阻端的电流或电压极性没有限制，但是交流信号的幅度不能超过电源供电轨 (V_{DD}和V_{SS})，器件在可变电阻器模式，尤其是低电阻设置状态下工作时，最大电流或*电流密度*应加以限制。

典型应用

信号衰减是电位计模式的固有特性，因为该器件本质上属于分压器。输出信号定义为：$V_{OUT} = V_{IN} \times (R_{DAC}/R_{POT})$，其中$R_{POT}$是digiPOT的标称端对端电阻，$R_{DAC}$是通过数字方式选择的W端和输入信号参考引脚之间的电阻，参考引脚通常为B端，如图3所示。

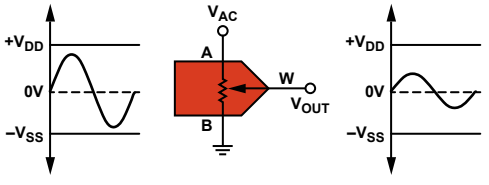


图3. 信号衰减器

信号放大需要有源器件，通常是反相或同相放大器。通过适当的增益公式，电位计模式或可变电阻器模式均可使用。

图4显示的是同相放大器，此时digiPOT相当于电位计，可通过反馈调整增益。由于部分输出会反馈，$R_{AW}/(R_{WB} + R_{AW})$应等于输入，理想增益为：

$$G = 1 + \frac{R_{WB}}{R_{AW}}$$

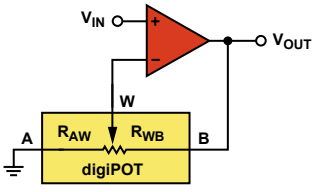


图4. 电位计模式中的同相放大器

该电路的增益与R_{AW}成反比，R_{AW}接近零时会迅速上升，显示出双曲线传递函数特性。为了限制最大增益，可插入一个电阻与R_{AW}(位于增益公式的分母内)串联。

如果需要线性增益关系，可以采用可变电阻器模式以及固定外部电阻，如图5所示，增益现定义如下：

$$G = 1 + \frac{R_{WB}}{R}$$

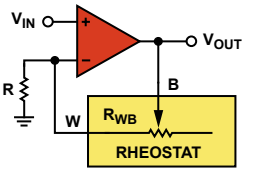


图5. 可变电阻器模式中的同相放大器

将低电容端(最新器件中为W引脚)连接至运算放大器输入可获得最佳性能。

digiPOT用于信号放大的优势

图4和图5所示的电路具有高输入阻抗和低输出阻抗，可工作于单极性和双极性信号。digiPOT可用于游标操作，采用固定外部电阻在更小的范围内提供更高的分辨率，还可用于运算放大器电路，信号有无反转均可。此外，digiPOT的温度系数较低，电位计模式时通常为5 ppm/°C，可变电阻器模式时则为35 ppm/°C。

digiPOT用于信号放大的限制

处理交流信号时，digiPOT的性能受带宽和失真的限制。受寄生器件影响，*带宽*是指在小于3 dB衰减时能够通过digiPOT的最大频率。*总谐波失真*(THD)(此处定义为后四个谐波的rms之和与输出基波值的比值)是信号通过器件时衰减的量度。这些规格涉及的性能限制由内部digiPOT架构决定。通过分析，我们可以更好地全面了解这些规格，减少其负面影响。

内部架构已从传统的串联电阻阵列(如图6a所示)发展至分段式架构(如图6b所示)。主要的改进是减少了所需内部开关的数量。第一种情况采用串行拓扑结构，开关数量为$N = 2^n$，n是分辨率的位数。n = 10时，需要1024个开关。

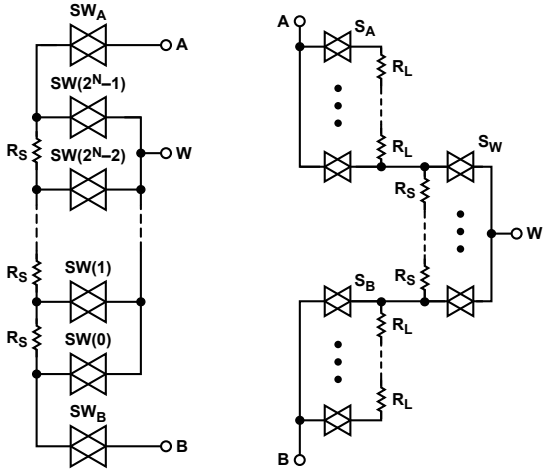


图6. a)传统架构，b)分段式架构

专有(专利)分段式架构采用级联连接，可以最大限度地减少开关总数。图6b的例子显示的是两段式架构，由两种类型的模块组成，即左侧的MSB和右侧的LSB。

左侧上下模块是一串用于粗调位数的开关(MSB段)。右侧模块是一串用于精调位数的开关(LSB段)。MSB开关粗调后接近R_A/R_B比。LSB串的总电阻等于MSB串中的单个阻性元件，LSB开关可对主开关串上的任一点进行比率精调。A和B MSB开关为互补码。

分段式架构的开关数量为：

$$N = 2^{m+1} + 2^{n-m},$$

其中n是总位数，m是MSB字的分辨率位数。例如，n = 10，m = 5，则需要96个开关。

分段式方案需要的开关数少于传统开关串：

$$\text{两者相差的开关数} = 2^n - (2^{m+1} + 2^{n-m})$$

在该例中，节省的数量为

$$1024 - 96 = 928!$$

两种架构都必须选择不同电阻值的开关，充分考虑到模拟开关中的交流误差源。这些CMOS(互补金属氧化物半导体)开关由并行P沟道和N沟道MOSFET构成。这种基本双向开关可以保持相当恒定的电阻(R_{ON})，信号可达完整的供电轨。

带宽

图7显示的是影响CMOS开关交流性能的寄生器件。

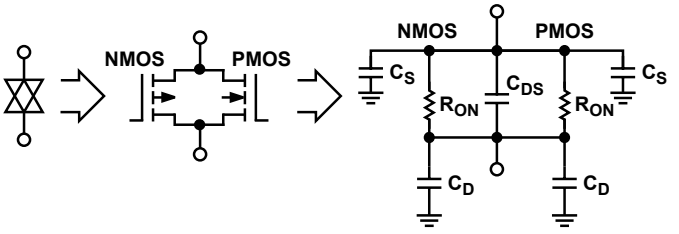


图7. CMOS开关模式

C_{DS}=漏极-源级电容；C_D=漏极-栅级 + 漏极-体电容；C_S=源级-栅级 + 源级-体电容。

传递关系如以下公式定义，其中包含的假设为：

- 源阻抗为0 Ω
- 无外部负载影响
- 无来自C_{DS}的影响
- R_{LSB} << R_{MSB}

其中：

R_{DAC}是设定电阻

R_{POT}是端对端电阻

C_{DLSB}是LSB段的总漏极-栅级 + 漏极-体电容

C_{SLSB}是LSB段的总源级-栅级 + 源级-体电容

C_{DMSB}是MSB开关的漏极-栅级 + 漏极-体电容

C_{SMSB}是MSB开关的源级-栅级 + 源级-体电容

m_{off}是信号MSB路径的*断开开关数量*

m_{on}是信号MSB路径的*接通开关数量*

传递公式受各种因素影响，与代码存在一定关联，因此我们采用以下额外假设来简化公式

$C_{DMSB} + C_{SMSB} = C_{DSMSB}$

$C_{DLSB} + C_{SLSB}$ >> C_{DSMSB}

($C_{DLSB} + C_{SLSB}$) = C_W (详见数据手册)

C_{DS}对传递公式没有影响，但由于其出现的频率通常比极点高的多，RC低通滤波器是主要的响应。理想的近似简化公式为：

$$H(s) = \frac{R_{RAC}}{R_{POT}} \times \left[\frac{1}{(s \times [R_{DAC} \,||\, (R_{POT} - R_{DAC})] \times C_W + 1} \right]$$

带宽(BW)定义为：

$$BW = \frac{1}{2\pi \times (R_{POT} - R_{DAC}) \,||\, R_{DAC}) \times (C_W + C_L)}$$

其中C_L是负载电容。

$$H(s) = \frac{R_{RAC}}{R_{POT}} \times \left[\frac{1}{s \times [R_{DAC} \,||\, (R_{POT} - R_{DAC})] \times (C_{DLSB} + C_{SLSB} + (m_{on} \times C_{DMSB}) + (m_{off} \times C_{SMSB})) + 1} \right]$$

*BW*与代码有关，最差的情况是代码在半量程时，AD5292的数字值为2^9 = 512，AD5291的数字值为2^7 =128(见附录)。图8显示的是低通滤波效应，它受代码影响，在不同标称电阻与负载电容值时会发生变化。

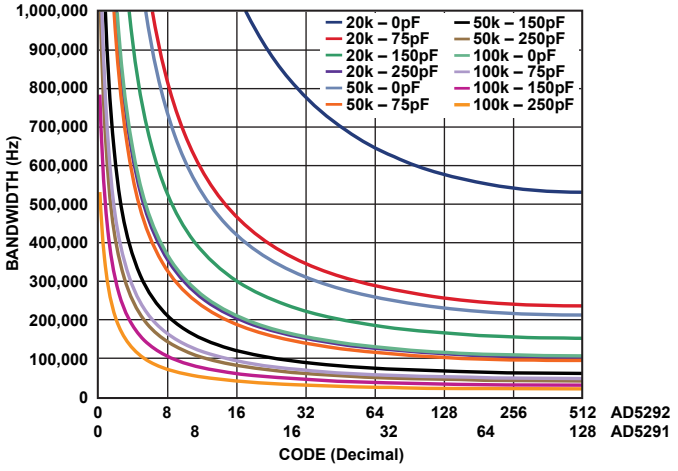


图8. 各种电阻值的最大带宽与负载电容

PC板的寄生走线电容也应加以考虑，否则最大带宽会低于预期值，走线电容可以采用以下公式简单计算：

$$C\,(\text{pF}) = 0.09 \times \varepsilon_r \times \frac{A}{d}$$

其中：

ε_R是板材的介电常数

A是走线区域(cm^2)

d是层间距(cm)

例如，假设FR4板材有两个信号层和电源/接地层，ε_R = 4，走线长度= 3 cm，宽度= 1.2 mm，层间距= 0.3 mm，则总走线电容约为4 pF。

失真

THD用于量化器件作为衰减器的非线性。该非线性由内部开关及其随电压变化的导通电阻(R_{ON})而产生。图9所示为放大的幅度失真示例。

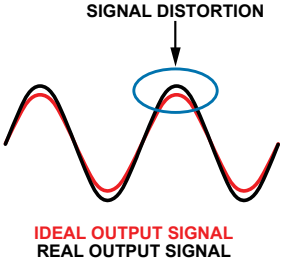


图9. 失真

与单个内部无源电阻相比，开关的R_{ON}很小，其在信号范围内的变化则更小。图10显示的是典型的导通电阻特性。

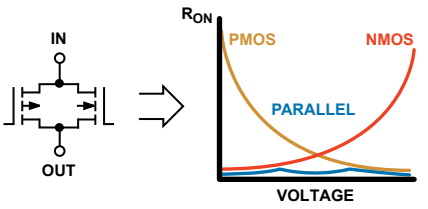


图10. CMOS电阻

电阻曲线取决于电源电压轨，电源电压最大时，内部开关的R_{ON}变化最小。电源电压降低时，R_{ON}变化和非线性都会随之增加。图11对比了低压digiPOT在两种供电电平下的R_{ON}变化。

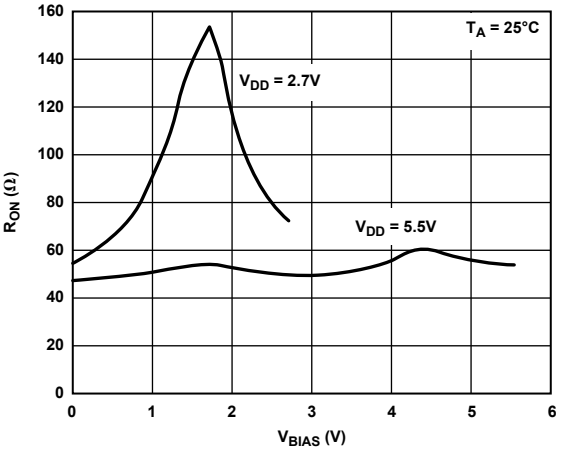


图11. 开关电阻变化与电源电压的关系

THD取决于各种因素，因此很难量化，若假设R_{ON}的变化为10%，则以下公式可用于近似计算：

$$THD\ (dB) = 20 \times log\ \frac{10\% \times R_{ON}}{R_{POT}}$$

一般说来，标称digiPOT电阻(R_{POT})越大，则分母越大，THD就越小。

权衡

R_{POT}增加后，失真和带宽都会随之降低，所以改进一项指标的同时必定会牺牲另一项。因此，电路设计人员必须在两者之间做出适当的权衡。这也关系到器件的设计水平，因为IC设计人员必须平衡设计公式中的各个参数：

$$R_{ON} = \frac{L}{\mu \times C_{OX} \times W}$$

$$C = C_{OX} \times W \times L$$

其中：

C_{OX}是氧化电容

μ是电子(NMOS)或空穴(PMOS)的迁移常数

W是宽度

L是长度

偏置

从实用的角度来看，我们必须充分发挥各项特性。digiPOT通过容性耦合衰减交流信号时，若信号偏置达到电源的中值，则失真最小。这意味着开关工作在电阻特性线性最强的部分。

一种方法是采用双电源供电，只需将电位计接地至电源共模端，信号便会产生正负向摆动。如果需要单电源供电，或者某些digiPOT不支持双电源时，可以采用另一种方法，即添加V_{DD}/2的失调电压至交流信号。该失调电压必须添加到两个电阻端，如图12所示。

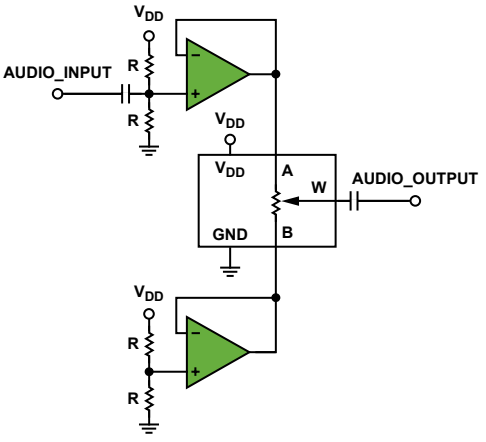


图12. 单电源供电交流信号调理

若需要使用信号放大器，双电源供电的反相放大器优于同相放大器(如图13所示)，原因有以下两项：

- THD性能更佳，因为反相引脚的虚地可将开关电阻集中在电压范围中间。
- 因为反相引脚位于虚地，所以几乎取消了游标电容C_{DLSB}，令带宽增幅较小(必须注意电路稳定性)。

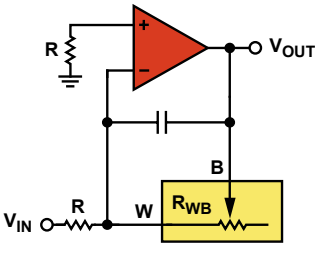


图13. 采用反相放大器digiPOT可调整放大

作者简介

Miguel Usach Merino [miguel.usach@analog.com]，获瓦伦西亚大学电子工程学位。2008年加入ADI公司，任爱尔兰利默里克精密DAC部的应用工程师。

附录——关于AD5291/AD5292

256/1024位数字电位计精度为1%，可编程20次

AD5291/AD5292数字电位计，如图14所示，具有256/1024位分辨率。端对端电阻有20 kΩ、50 kΩ和100 kΩ可供选择，误差优于1%，温度系数在*可变电阻器*模式下时为35 ppm/°C，*分压器*模式下时为5 ppm/°C(比率)。这些器件可实现与机械电位计相同的电子调整功能，但尺寸更小且更可靠。其游标位置可通过SPI兼容接口调整。在熔断熔丝，将游标位置固定(此过程类似于将环氧树脂涂在机械式调整器上)之前，可进行无限次调整。“去除环氧树脂”过程最多可以重复20次。AD5291/AD5292采用9 V至33 V单电源或±9 V至±16.5 V双电源，功耗8 µW。采用14引脚TSSOP封装，工作温度范围为−40°C至+105°C

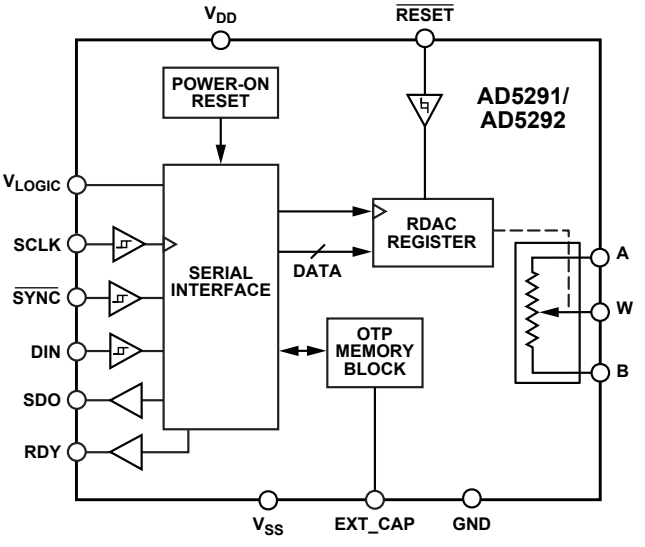


图14. AD5291/AD5292功能框图

借助差分接口改善射频收发器设计性能

作者: Mingming Zhao

简介

传统收发器设计中，50 Ω单端接口广泛用于射频和中频电路。当电路进行互连时，应全部具有匹配的50 Ω输出和输入阻抗。然而在现代收发器设计中，差分接口常用在中频电路中以获得更好的性能，但实际设计过程中，工程师需要处理几个常见问题，包括阻抗匹配、共模电压匹配以及复杂的增益计算。了解发射机和接收机中的差分电路对优化增益匹配和系统性能很有帮助。

差分接口优势

差分接口有三大主要优势。首先，差分接口可抑制外部干扰和接地噪声。其次，它可以抑制偶次阶输出失真。这对于零中频(ZIF)接收机非常重要，因为出现在低频信号中的偶次阶成分无法滤除。第三，输出电压可达到单端输出的两倍，从而将给定电源上的输出线性度提高6 dB。

本文论述三种情况下的接口解决方案：ZIF接收机、超外差式接收机和发射机。这三种架构广泛用于射频拉远单元(RRU)、数字直放站和其他无线测试仪器中。

ZIF接收机接口设计和增益计算

在零中频(ZIF)接收机设计中，IF信号是复信号，直流和低频率信号来提供有用信息。典型解调器在驱动200 Ω至450 Ω负载时可提供最佳性能，同时ADC驱动器的输入阻抗一般并非50 Ω，因此设计系统时采用直流耦合很重要也很困难。

图1显示了一个ZIF接收机配置，它使用两个低噪声放大器(LNA) ADL5523、一个400MHz至6000MHz正交I/Q解调器ADL5380、一个作为本振(LO)的宽带频率合成器ADF4350以及一个双通道数字可编程可变增益放大器(VGA) AD8366。表1显示了相关ADL5380接口和增益参数。

表1. ADL5380接口和增益参数

测试条件	V_S = 5 V, T_A = 25°C, f_{LO} = 900 MHz, f_{IF} = 4.5 MHz, P_{LO} = 0 dBm, Z_{IN} = 50 Ω	
参数	**值**	**备注**
电压转换增益	6.9 dB	I和Q输出上具有450 Ω差分负载
	5.9 dB	I和Q输出上具有200 Ω差分负载
共模输出电压	2.5 V	ADJ连接至V_S
I/Q差分输出阻抗	50 Ω	

与具有217 Ω差分输入阻抗的AD8366接口时，ADL5380具有5.9 dB电压增益和−0.5 dB功率增益[5.9 dB − 10log (217/50)]。为获得最佳性能，将ADL5380 ADJ引脚连接至V_S，使ADL5380与AD8366间的共模电压设置为2.5 V。在ADL5380与AD8366间放置具有0.5 dB插入损耗的差分四阶巴特沃兹低通滤波器，以便抑制噪声和高频干扰成分。虽然滤波器会输入和输出阻抗并不匹配，但在基带频率下这些不匹配是可以忽略的。

表2. AD8366接口和增益参数

测试条件	V_S = 5 V, T_A = 25°C, Z_S = 200 Ω, Z_L = 200 Ω, f = 10 MHz	
参数	**值**	**备注**
电压转换增益	4.5 dB	最小数字增益设置
	20.25 dB	最大数字增益设置
共模输出电压	1.5 V	最小值
	2.5 V	最大值或输入自偏置
差分输入阻抗	217 Ω	
共模输出电压	1.6 V	最小值
	3 V	最大值
	2.5 V	VCMA和VCMB保持浮空
差分输出阻抗	28 Ω	
线性输出摆幅	6 V p-p	1 dB增益压缩

AD8366的共模输出电压可设置为2.5 V；当VCM保持浮空时其线性度最佳。遗憾的是，AD6642在0.9 V共模输入电压(0.5 × AVDD)下具有最佳性能。由于AD8366的共模输出电压必须介于1.6 V与3 V之间，因此AD6642 VCM和AD8366 VCM引脚无法直接连接，必须使用电阻将AD8366共模输出电压分压至0.9 V。

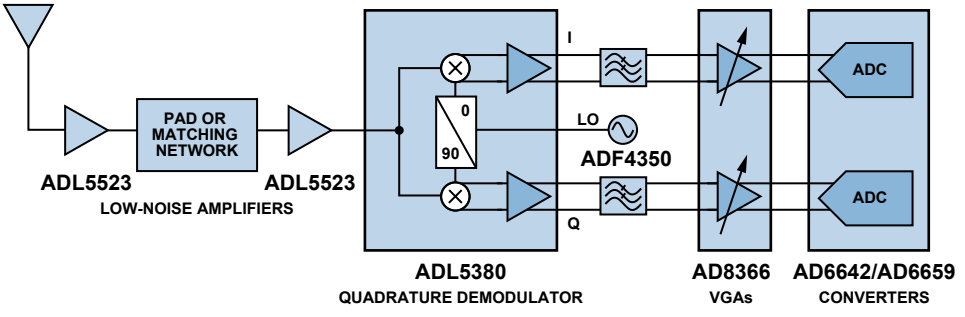


图1. ZIF接收机框图

为获得最佳性能，AD8366应驱动200 Ω负载。要实现所需的共模电平和阻抗匹配，可在AD8366后添加63 Ω串联电阻和39 Ω并联电阻。这一电阻网络将使信号功率衰减4 dB。

AD8366的输出摆幅可达6 V p-p，但电阻网络提供的4 dB衰减使AD6642得到的电压限于2.3 V p-p，避免了较大干扰尖峰或增益的失控对ADC带来损害。

在AD8366与AD6642间放置具有1.5 dB插入损耗的差分六阶巴特沃兹低通滤波器，可以滤除高频干扰成分。I或者Q通道的完整差分接口如图2所示。

为保留足够的余量来应付整个温度范围内的增益变化，AD8366在正常模式下的增益设置为16 dB。

采用这种配置，整个信号链的增益如下：

$$5.9\ \text{dB} - 10\log(217/50) - 0.5\ \text{dB} + 16\ \text{dB} - 10\log(200/217) - 1.5\ \text{dB} - 4\ \text{dB} = 9.9\ \text{dB}.$$

在ADL5380之前以级联方式插入的两个LNA实现了32 dB的射频增益。由于模数转换器被配置为2 V p-p满幅摆幅和78 Ω等效输入阻抗，它可以接收最大–34 dBm的单音RF输入信号。如果输入信号是具有10 dB峰均比(PAR)的调制信号，在不改变VGA设置情况下，接收机可以接收的最大输入信号为 41dBm。

换言之，电压增益可用于计算信号链链路预算。当输入端口阻抗等于输出端口阻抗时，电压增益等于功率增益。整个信号链的电压增益为：

$$32\ \text{dB} + 5.9\ \text{dB} - 0.5\ \text{dB} + 16\ \text{dB} - 1.5\ \text{dB} - 8\ \text{dB} = 43.9\ \text{dB}.$$

对于单音信号输入，要获得2 V p-p摆幅范围，正确的输入功率为：

$$8\ \text{dBm} - 43.9\ \text{dB} + 10\log(78/50) = -34\ \text{dBm}.$$

用电压增益计算的结果与功率增益计算出结果是相同的。

某些应用中，ADL5380可能需要直接连接至AD6642，这种情况下，可为AD6642差分输入添加500 Ω电阻以改善匹配。ADL5380电压增益为6.9 dB，且具有与AD8366相同的共模问题。所以应使用160 Ω串联电阻和100 Ω并联电阻来实现500 Ω负载和所需的共模电压。同样，电阻网络可将电压增益衰减8 dB(功率则衰减4 dB)。

在ADL5380与AD6642间放置具有1.5 dB插入损耗的低通滤波器，从而滤除干扰频率成分。整个链路的输入阻抗为50 Ω，输出阻抗为500 Ω。采用这种配置，整个信号链的增益如下：

$$6.9\ \text{dB} - 10\log(500/50) - 1.5\ \text{dB} - 4\ \text{dB} = -8.6\ \text{dB}.$$

超外差式接收机接口设计和增益计算

超外差式接收机设计中，系统使用交流耦合，因此设计超外差接收机电路时不必考虑直流共模电压匹配。

许多混频器，例如ADL535x和ADL580x，具有200 Ω的差分输出阻抗，因此不同输出阻抗呈现不同功率增益和电压增益。

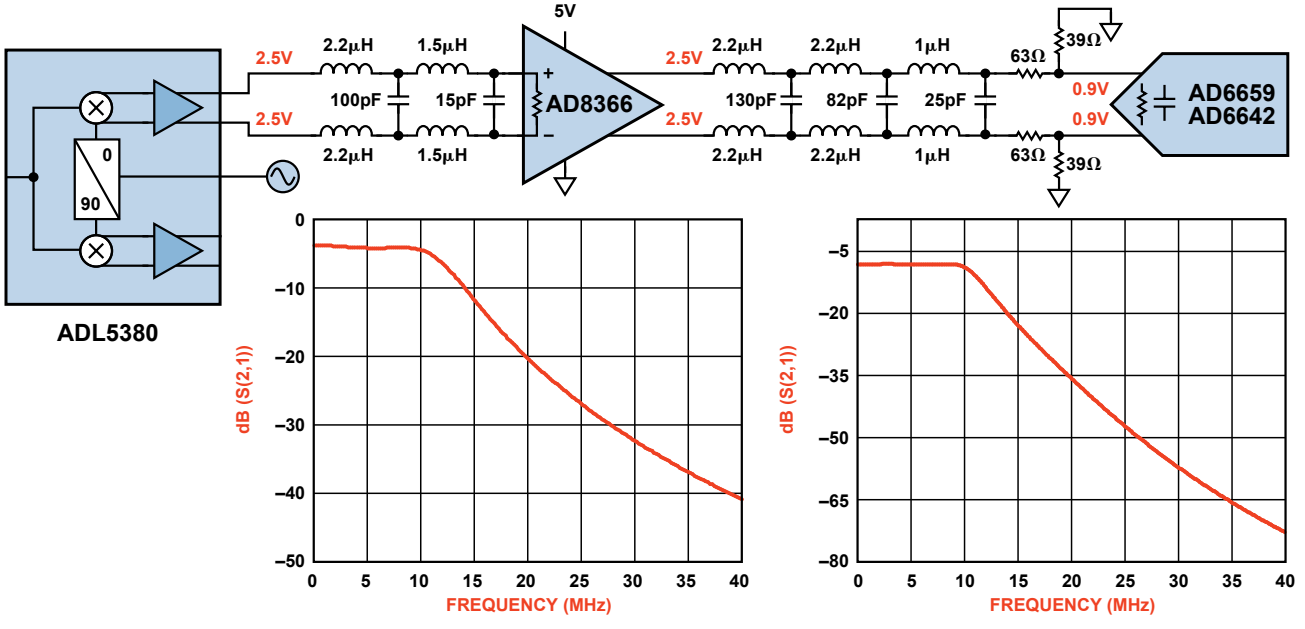


图2. ZIF接收机接口框图和仿真滤波器特性

图3显示了超外差式接收机的一个通道，该器件采用以下元件：低噪声放大器ADL5523；具有LO缓冲器、IF放大器和RF巴伦的双通道平衡混频器ADL5356；带通或者低通滤波器；双通道、超低失真IF VGA AD8376；另一个低通或者带通抗混叠滤波器；双通道IF接收机AD6642。

该设计使用140MHz 中频和20MHz带宽，因此器件连接时可采用交流耦合。

AD5356在200 Ω负载下具有最佳性能，而AD8376的输入阻抗为150 Ω。因此，为了抑制混频器输出杂散并提供良好的阻抗匹配，差分LC滤波器必须具有200 Ω的输入阻抗和150 Ω的输出阻抗。在某些应用中，需要通过过渡带极窄滤波器抑制频带外信号，可使用差分SAW滤波器来实现，但这会给接收机信号链引入过大的损耗和群延迟。四阶差分带通巴特沃兹滤波器可适合许多无线接收机，因为前端RF滤波器可以为带外干扰提供足够的衰减。

表3. ADL5356和AD8376接口和增益参数

ADL5356测试条件	**V_S = 5 V, T_A = 25°C, f_{RF} = 1900 MHz, f_{LO} = 1760 MHz, LO power = 0 dBm.**	
参数	**值**	**备注**
电压转换增益	14.5 dB	Z_{SOURCE} = 50 Ω差分 Z_{LOAD} = 200 Ω差分
功率转换增益	8.2 dB	包括4:1 IF端口变压器和PCB损耗

AD8376测试条件	**V_S = 5 V, T_A = 25°C, R_S = R_L = 150 Ω at 140 MHz**	
参数	**值**	**备注**
差分输入电阻	150 Ω	
电压转换增益	−4 dB	最小数字设置
	20 dB	最大数字设置
输出阻抗	16 kΩ||0.8 pF	

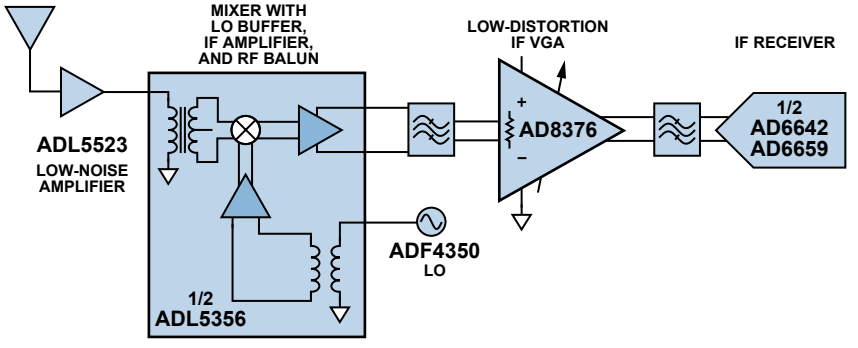


图3. 超外差式接收机框图(仅显示一个通道)

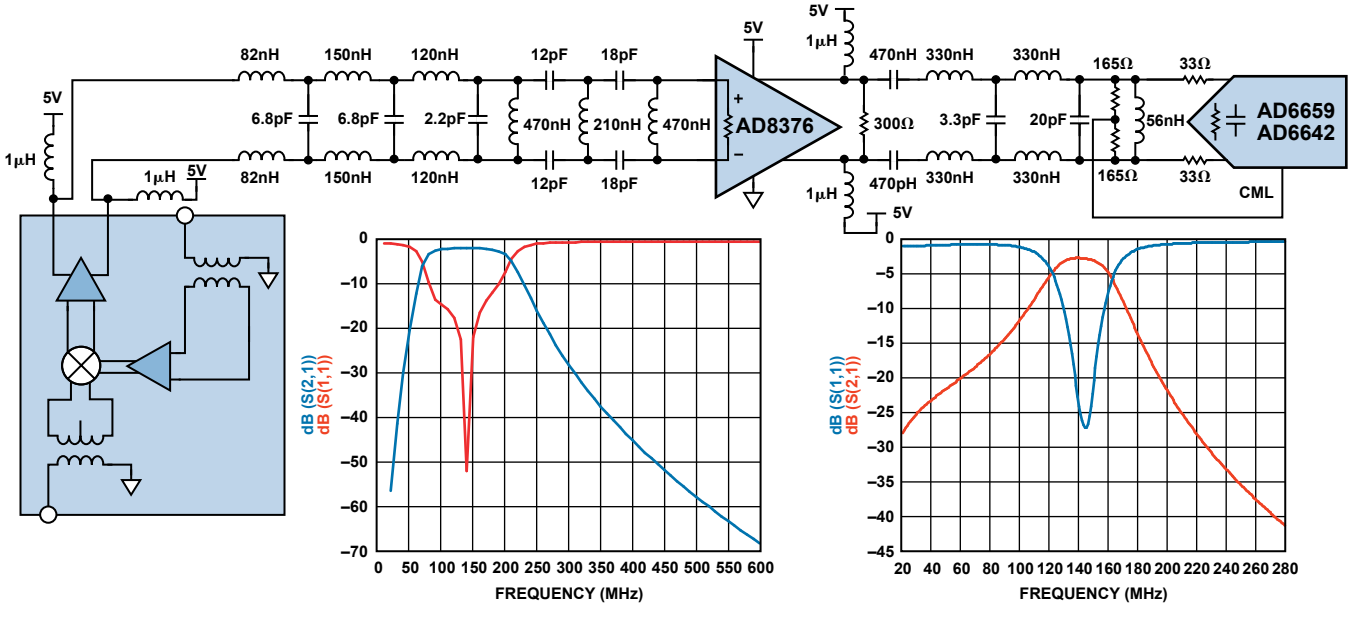


图4. 超外差式接收机接口框图和滤波器仿真结果

AD8376的电流输出型电路具有高输出阻抗，因此其差分输出需要接150 Ω电阻实现电压输出。另一个差分滤波器放置在AD8376和ADC之间，用于衰减二阶和三阶谐波失真成分，因此该150 Ω负载可以被分成两部分。首先将300 Ω电阻安装于AD8376的输出端。另一个300 Ω电阻由两个165 Ω电阻和ADC的3 kΩ输入阻抗构成。两个165 Ω电阻同时为ADC输入提供直流共模电压。LC滤波器的输入和输出阻抗均为300 Ω。对于高中频应用，信号源和负载的阻抗的完美匹配是非常重要的。完整接口如图4所示。

此接收机中，混频器之前放置一个20 dB LNA。混频器之后的滤波器具有2 dB插入损耗；AD8376与ADC之间的滤波器具有1.2 dB插入损耗。AD8376增益设置为14 dB，以便提供足够的余量来应对温度变化。接收机的总体增益为：

$$20\ dB + 8.2\ dB - 2\ dB + 14\ dB - 1.2\ dB = 39\ dB.$$

为将ADC输入电压限制在2 V p-p以下，传输到150 Ω电阻(300 Ω || (165 Ω × 2) || 3 k Ω)的功率应小于5.2 dBm。因此对于单音信号，接收机最大输入功率为–33.8 dBm。如果输入信号是10 dB PAR调制信号，使用此增益设置的最大输入信号为–40.8 dBm。

发射机接口设计和增益计算

对于发射通道设计，ZIF和超外差式架构具有相似的接口特性，均需要在TxDAC®与调制器间执行直流耦合。大多数调制器的中频输入电路需要外部提供直流偏置；TxDAC输出可为直流耦合模式下的调制器提供直流偏置。大多数高速DAC是电流输出架构，因此需要外输出电阻才能为调制器产生输入电压。

图5显示了超外差式或ZIF发射机，该器件采用以下元件：TxDAC AD9122、低通滤波器、正交调制器ADL537x、另一个RF滤波器、频率合成器ADF4350、数字控制VGA ADL5243、功率放大器、用于控制功率放大器(PA)栅极电压的DAC AD562x。

对于AD9122，满量程输出电流可设置在8.66 mA与31.66 mA之间。对于大于20 mA的满量程电流，无杂散动态范围(SFDR)会变差，但DAC的输出功率和ACPR也随着满量程电流降低而减小。适当折衷的方案是将20 mA交流电流叠加于10 mA直流电平上，得到0 mA至20 mA的电流输出。

表4. AD9122和ADL5372接口和增益参数

AD9122测试条件	**AVDD33 = 3.3 V, DVDD33 = 3.3 V, DVDD18 = 1.8 V, CVDD18 = 1.8 V**	
参数	**值**	**备注**
满量程输出电流	8.66 mA	最小数字满量程设置
	31.66 mA	最大数字满量程设置
输出电阻	10 MΩ	

ADL5372测试条件	**V_S = 5 V, T_A = 25°C, f_{LO} = 1900 MHz, f_{IF} = 140 MHz**	
参数	**值**	**备注**
输出功率	7.1 dBm	V_{IQ} = 1.4 V p-p 差分
I和Q输入偏置电平	0.5 V	推荐
差分输入阻抗	2900 kΩ	

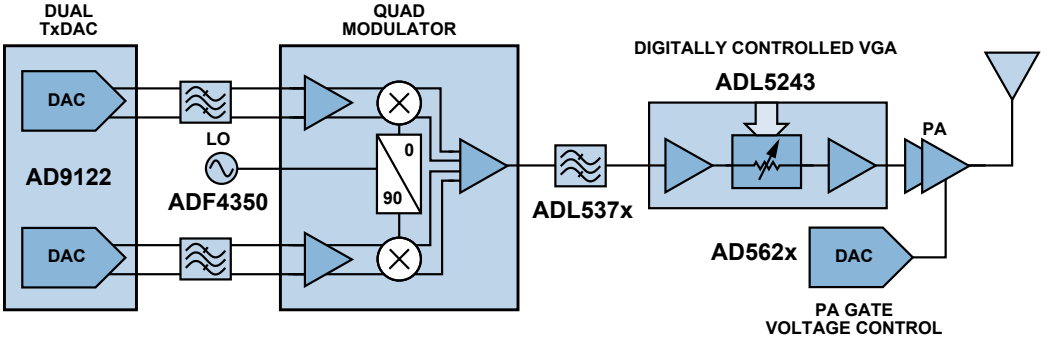


图5. 发射机框图

ADL5372的输入电路需要0.5 V共模电压，由流经50 Ω电阻的10 mA直流电流提供。0 mA至20 mA交流电流由两个50 Ω电阻和一个100 Ω电阻共享。因此调制器输入的交流电压为20 mA × ((50 × 2) || 100) = 1 V p-p。TxDAC与调制器之间的滤波器用于去除高频杂散和谐波成分。滤波器的输入和输出阻抗为100 Ω。完整接口如图6所示。

采用50 Ω输出时，ADL5372的电压转换增益为0.2 dBm。使用13 dB PAR调制器信号时，平均功率必须至少减小15 dB，以便适应Tx数字预失真过程。ADL5372具有1 V p-p单音输入时，平均调制器输出功率为7.1 dBm – 2.9 dB = 4.2 dBm。如果考虑低通滤波器的2.2 dB插入损耗，平均输出功率为4.2 dBm – 2.2 dB = 2 dBm。这种状态下，调制器输出端平均输出功率为-10dBm。

为了保证发射链路提供11 dBm平均发射功率，Tx信号链内后端需要具有26 dBm 的P-1dB的PA驱动器。如果需要2 dB插入损耗的RF滤波器以抑制LO馈通和调制器边带输出，那么增益模块和PA驱动器必须提供23 dB的总增益。针对此应用，建议使用具有集成式增益模块、数字控制衰减器和PA驱动器的VGA ADL5243。

结束语

本文介绍了ZIF和超外差式接收机解调器、IFVGA、混频器和ADC模拟端口差分设计，以及TxDAC与FMOD之间的发射机差分接口，其中均使用ADI器件作为信号链有源部分。另外还提供了设计用于这些电路的应用滤波器的增益计算和仿真结果。本振差分接口设计以及其他相关设计详情请参阅以下参考文献。

参考文献

Circuit Note CN-0018, *Interfacing the ADL5372 I/Q Modulator to the AD9779A Dual-Channel, 1 GSPS High-Speed DAC.*

Circuit Note CN-0134, *Broadband Low Error Vector Magnitude (EVM) Direct Conversion Transmitter.*

Calvo, Carlos. "The differential-signal advantage for communications system design." *EE Times*. Feb 2010.

作者简介

Mingming Zhao [mingming.zhao@analog.com] 是ADI北京分公司的一名现场应用工程师，主要负责RF和高速转换器产品应用。他于中国科学院获得电磁和微波技术专业硕士学位之后，在大唐移动通信设备有限公司担任RF工程师两年多，随后在2010年加入ADI公司。

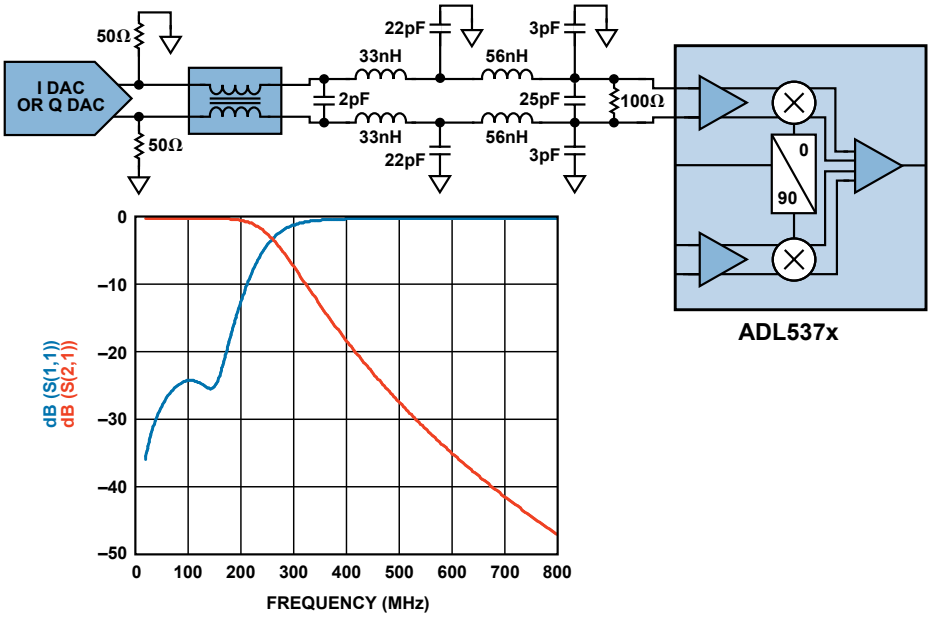


图6. 直流耦合发射机IF接口框图和滤波器仿真结果

在系统中成功运用DC-DC升压调节器

作者：Ken Marasco

便携式电子器件(如智能手机、GPS导航系统和平板电脑)的电源可以来自低压太阳能电池板、电池或AC-DC电源。电池供电系统通常将电池串联叠置以实现更高的电压，但此技术由于空间不足未必总是可行。*开关转换器*使用电感磁场来交替存储电能，并以不同电压释放至负载。因为损耗很低，所以是个不错的高效选择。连接至转换器输出端的电容可降低输出电压纹波。本文所讨论的*升压*转换器提供较高电压；而前一篇文章[1]所讨论的*降压*转换器提供较低输出电压。内置FET作为开关的开关转换器称为*开关调节器*[2]，需要外部FET的开关转换器则称为开关控制器[3]。

图1显示采用两节串联的AA电池供电的典型低功耗系统。电池可用输出范围约为1.8 V至3.4 V，而IC工作时需要1.8 V和5.0 V电压。升压转换器可在不增加电池单元数量的情况下提升电压，从而为WLED背光、微型硬盘驱动器、音频设备和USB外设供电，而降压转换器可为微处理器、内存和显示器供电。

电感阻碍电流变化的倾向可提供升压功能。充电时，电感用作负载并存储电能；放电时，可用作电源。放电过程中产生的电压与电流变化速率相关，与原始充电电压无关，因此可提供不同的输入和输出电平。

升压调节器包括两个开关、两个电容和一个电感，如图2所示。非交叠开关驱动机制确保任一时间只有一个开关导通，避免发生不良的直通电流。在第1阶段(t_{ON})，开关B断开，开关A闭合。电感连接到地，因此电流从V_{IN}流到地。由于电感端为正电压，因此电流增大，使电能存储于电感中。在第2阶段(t_{OFF})，开关A断开，开关B闭合。电感连接到负载，因此电流从V_{IN}流到负载。由于电感端为负电压，因此电流减小，电感中存储的能量释放到负载中。

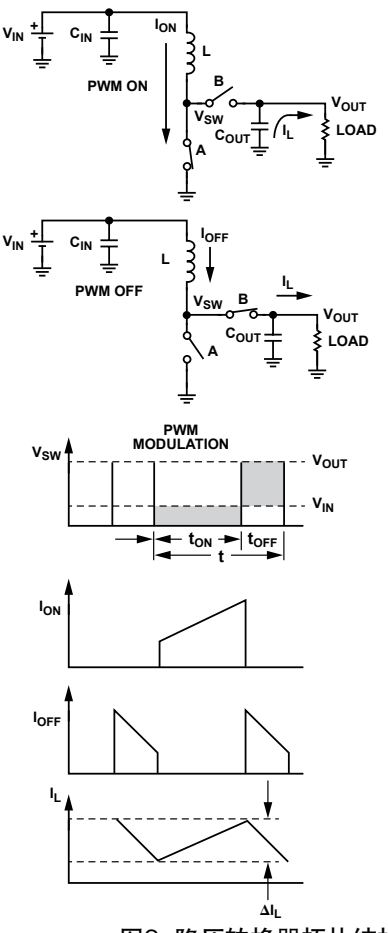


图2. 降压转换器拓扑结构和工作波形

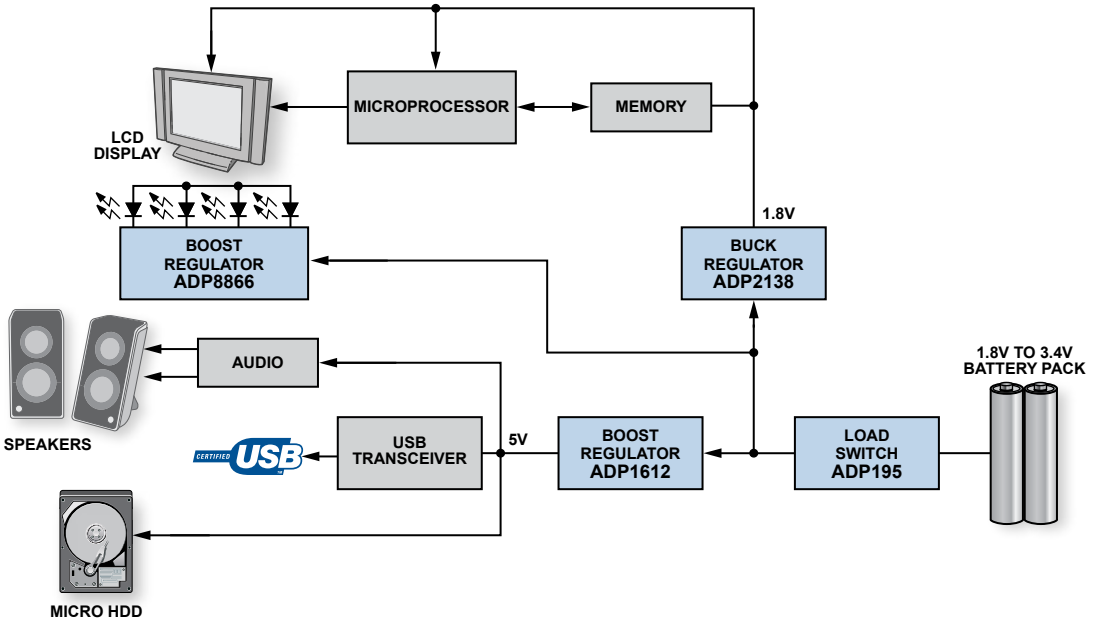
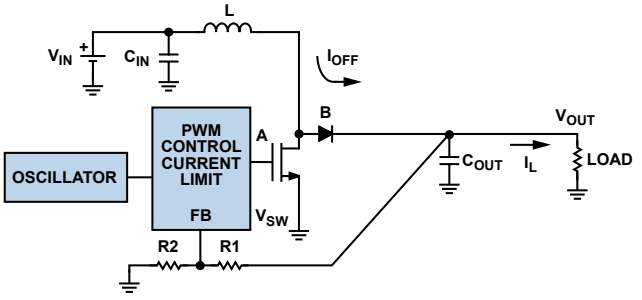


图1. 典型低功耗便携式系统

注意，开关调节器既可以连续工作，也可以断续工作。以连续导通模式(CCM)工作时，电感电流不会降至0；以*断续导通模式*(DCM)工作时，电感电流可以降至0。*电流纹波*在图2中显示为ΔI_L，使用公式$\Delta I_L = (V_{IN} \times t_{ON})/L$计算。平均电感电流流入负载，而纹波电流流入输出电容。



switching FETs.

图3. 升压调节器集成振荡器、PWM控制环路和开关FET

使用肖特基二极管代替开关B的调节器定义为*异步*(或非同步)调节器，而使用FET作为开关B的调节器定义为*同步*调节器。图3中，开关A和B已分别使用内部NFET和外部肖特基二极管来实施，从而形成异步升压调节器。对于需要负载隔离和低关断电流的低功耗应用，可添加外部FET，如图4所示。将器件的EN引脚驱动至0.3 V以下便可关断调节器，使输入与输出完全断开。

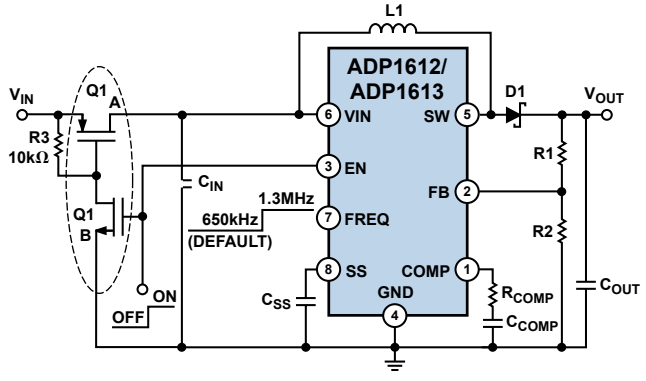


图4. ADP1612/ADP1613典型应用电路

现代低功耗同步降压调节器以脉宽调制(PWM)为主要工作模式。PWM保持频率不变，通过改变脉冲宽度(t_{ON})来调整输出电压。输送的平均功率与占空比D成正比，因此这是一种向负载提供功率的有效方式。

$$D = \frac{t_{ON}}{t_{ON} + t_{OFF}} = \frac{V_{OUT} - V_{IN}}{V_{OUT}}$$

例如，所需输出电压为15 V，可用输入电压为5 V时：

$$D = (15 - 5)/15 = 0.67 \text{ or } 67\%.$$

由于功耗降低，输入功率必须等于传递至负载的功率减去所有损耗。假定转换十分有效，则少量的功率损失可在基本功耗计算中省略不计。因此输入电流可近似表示为：

$$I_{IN} = (V_{OUT}/V_{IN}) \times I_{OUT}$$

例如，如果负载电流在15 V时为300 mA，则5 V时I_{IN} = 900 mA，即输出电流的三倍。因此，可用负载电流随着升压电压增大而降低。

升压转换器使用电压或电流反馈来调节选定的输出电压；控制环路则可根据负载变化保持输出调节。低功耗升压转换器的工作频率范围一般是600 kHz到2 MHz。开关频率较高时，所用的电感可以更小，但开关频率每增加一倍，效率就会降低大约2%。在ADP1612和ADP1613升压转换器(参见附录)中，开关频率可通过引脚选择，最高效率下的工作频率为650 kHz，最小外部器件的工作频率为1.3 MHz。对于650 kHz的工作频率，将FREQ连接至GND，而1.3 MHz的工作频率则连接至VIN。

电感是升压调节器的关键器件，它在电源开关导通期间存储电能，而在关断期间通过输出整流器将电能传输至输出端。为了在低电感电流纹波与高效率之间取得平衡，ADP1612/ADP1613数据手册建议电感值范围为4.7 µH至22 µH。一般而言，较低值的电感在给定实体尺寸下具有更高的饱和电流和更低的串联电阻，而较低的电感导致较高的峰值电流，可降低效率并增加纹波和噪声。通常最好在断续导通模式下执行升压，以便缩小电感尺寸并改善稳定性。峰值电感电流(最大输入电流加一半的电感纹波电流)必须小于电感的额定饱和电流；而调节器的最大直流输入电流必须小于电感的电流有效值额定值。

升压调节器主要规格和定义

输入电压范围：升压转换器的输入电压范围决定了最低的可用输入电源。规格可能提供很宽的输入电压范围，但输入电压必须低于V_{OUT}才能实现高效率工作。

地电流或静态电流：未输送给负载的直流偏置电流I_q。I_q越低则效率越高，然而，I_q可以针对许多条件进行规定，包括关断、零负载、PFM工作模式或PWM工作模式。因此，为了确定某个应用的最佳升压调节器，最好查看特定工作电压和负载电流下的实际工作效率。

关断电流：这是使能引脚禁用时器件消耗的输入电流，低I_q对于电池供电器件在休眠模式下能否长时间待机很重要。

开关占空比：工作占空比必须小于最大占空比，否则输出电压无法调节。例如，D = $(V_{OUT} - V_{IN})/V_{OUT}$。$V_{IN}$= 5 V且$V_{OUT}$ = 15 V时，D = 67%。ADP1612和ADP1613的最大占空比为90%。

输出电压范围：即器件可支持的输出电压范围。升压转换器的输出电压可以是固定的，或者可利用电阻设定所需的输出电压来调节。

限流：升压转换器通常指定峰值电流限值而不是负载电流。请注意，V_{IN}与V_{OUT}间的差异越大，可用负载电流越低。峰值电流限值、输入电压、输出电压、开关频率和电感值均会决定最大可用输出电流。

线路调整率：线路调整率是指输出电压随输入电压变化而发生的变化率。

负载调整率：负载调整率是指输出电压随输出电流变化而发生的变化率。

软启动：升压转换器具有软启动功能很重要，启动时输出电压以可控方式缓升，从而避免启动时出现输出电压过冲现象。某些升压转换器的软启动可通过外部电容调节。随着软启动电容充电，它会限

制器件允许的峰值电流。凭借可调软启动功能，可改变启动时间以满足系统要求。

热关断(TSD)：当结点温度超过规定的限值时，热关断电路就会关闭调节器。一直较高的结温可能由工作电流高、电路板冷却不佳或环境温度高等原因引起。保护电路包括迟滞，以防止发生热关断后，器件在片内温度降至预设限值以下后才返回正常工作状态。

欠压闭锁(UVLO)：如果输入电压低于UVLO阈值，IC便自动关闭电源开关并进入低功耗模式。这可以防止低输入电压下可能发生的工作不稳定现象，并防止电源器件在电路无法控制它时启动。

结束语

低功耗升压调节器通过提供成熟的设计使开关DC-DC转换器设计变得简单。数据手册应用部分提供了设计计算，ADIsimPower[4]设计工具可简化最终用户的任务。如需其他信息，请联系ADI公司应用工程师，或者访问www.analog.com/zh/forum的中文技术论坛寻求帮助。有关ADI升压调节器选型指南、数据手册和应用笔记，请访问：www.analog.com/zh/power。

参考文献

(*Information on all ADI components can be found at www.analog.com.*)

[1] www.analog.com/library/analogDialogue/archives/45-06/buck_regulators.html.

[2] www.analog.com/en/power-management/switching-regulators-integrated-fet-switches/products/index.html.

[3] www.analog.com/en/power-management/switching-controllers-external-switches/products/index.html.

[4] http://designtools.analog.com/dtPowerWeb/dtPowerMain.aspx

Lenk, John D. *Simplified Design of Switching Power Supplies*. Elsevier/Newnes. 1996.

Marasco, K. "How to Apply DC-to-DC Step-Down (Buck) Regulators Successfully." *Analog Dialogue*. Volume 45. June 2011.

Marasco, K. "How to Apply Low-Dropout Regulators Successfully." *Analog Dialogue*. Volume 43, Number 3. 2009.

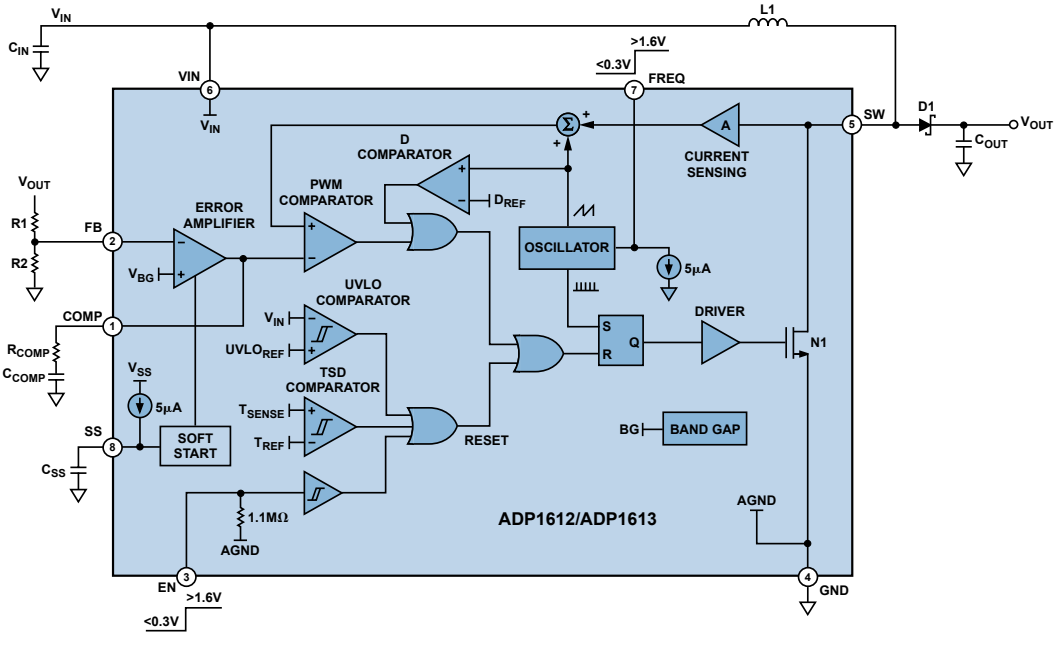
作者简介

Ken Marasco [ken.marasco@analog.com]是ADI公司系统应用经理，负责便携式电源产品的技术支持，在ADI公司便携式应用小组已经工作了三年。他毕业于NYIT，持有应用物理专业学士学位，在系统和元件设计方面拥有35年的丰富经验。

附录

升压DC-DC开关转换器的工作频率是650 kHz/1300 kHz

分别采用1.8 V至5.5 V单电源或2.5 V至5.5 V单电源供电时，升压转换器ADP1612和ADP1613能够以高达20 V的电压供应超过150 mA的电流。通过将一个1.4 A/2.0 A、0.13 Ω功率开关与一个电流模式脉宽调制调节器集成在一起，其输出随输入电压、负载电流和温度变化仅改变不到1%。工作频率可通过引脚选择，并通过优化实现高效率或最小外部元件尺寸：650 kHz时，其效率可达到90%；1.3 MHz时，其电路能够以最小空间实现，因而非常适合便携式设备和液晶显示器中的空间受限环境。可调软启动电路防止发生浪涌电流，确保安全、可预测的启动条件。ADP1612和ADP1613在开关状态下的功耗为2.2 mA，在非开关状态下的功耗为700 μA，在关断模式下的功耗为10 nA。这些器件采用8引脚MSOP封装，额定温度范围为−40°C至+85°C，千片订量报价为1.50/1.20美元/片。



图A. ADP1612/ADP1613功能框图

系统演示平台便于快速进行原型制作与评估

作者：Rosemary Ryan

系统设计有时十分复杂，需要充分了解许多不同的元件，如果解决方案的各环节可以进行原型制作并快速演示，就可以简化过程，更重要的是，可以减少设计师面临的风险。凭借ADI公司的系统演示平台(SDP)，系统设计师可以重复使用核心元件，在最终系统实施前评估并演示各设计环节。SDP上提供ADI公司系列产品的元件和实验室电路评估板，并随时更新。由于之前使用过该平台，对其有一定的认知，用户很容易在熟悉的环境中评估新类别的元件。SDP连接至FPGA评估与原型制作平台，可以轻松创建并演示采用ADI元件通信的定制FPGA嵌入式设计。用户可以迅速建立定制评估与原型制作系统，还可以重复使用各种平台元件，演示各种丰富的硬件与软件概念，十分简单经济。

平台概述

如图1所示，系统演示平台包含一系列*控制器板*、*内插器板*和子板，ADI元件和实验室电路均可轻松使用评估系统。控制器板通过USB 2.0连接至个人计算机，并通过片上连接器连接至SDP兼容子板。子板包括专用元件评估板和Circuits from the Lab™实验室电路。内插器板可将控制器板连接至子板，或调整SDP子板，令其适应第三方工具。采用定义引脚排列的标准小尺寸120引脚连接器是平台上各电路板上的常见元件，可建立定制且易更改的系统。控制器板上有120引脚的连接器接头，子板上有插座连接器，内插器板上则根据功能不同，有接头或插座(或两者都有)。

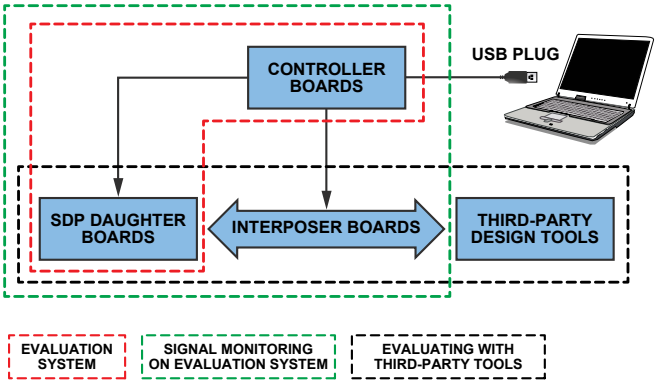


图1. 系统演示平台概述

控制器板

如图2所示，控制器板有两种类型，即SDP-B和SDP-S。两者都需要通过USB 2.0连接在系统和个人计算机用户接口之间进行控制和数据传输。

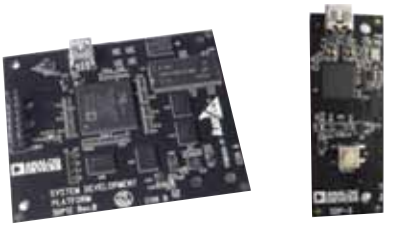


图2. 控制器板：a) SDP-B，b) SDP-S。

如图3所示，SDP-B是一款小尺寸电路板，采用USB mini-B连接器连接个人计算机，其内核为ADSP-BF527 Blackfin®处理器。Blackfin处理器的功能相当于USB控制器，也为子板提供一系列外设接口。这些接口通过两个相同的120引脚连接器提供，包括SPI、SPORT、I^2C、GPIO、定时器、PPI和异步并行接口。SDP-B控制器可与专为SDP设计的任意子板共同使用。两个120引脚连接器便于将两个子板同步连接至一个控制器板。

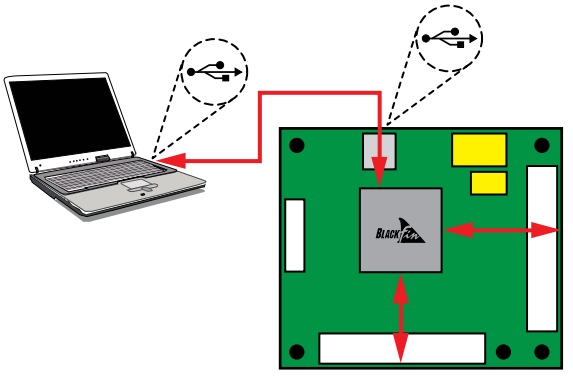


图3. SDP-B控制器功能概述

SDP-S是一款小尺寸、低成本、仅兼容串行的控制器板，外设接口少于SDP-B。SDP-S的核心元件是USB-串口引擎，它具有一个120引脚的连接器，与SDP-B上的连接器引脚兼容。部分外设接口包括SPI、I^2C和GPIO。SDP-B包含SDP-S的所有功能，因此所有适合SDP-S的电路板均适合SDP-B。表1对比了SDP-B和SDP-S板提供的外设接口。

表1. 控制器板

外设接口	SDP-B	SDP-S
SPI	•	•
SPORT	•	
GPIO	•	•
I^2C	•	•
异步并行	•	
PPI	•	
定时器	•	

子评估板

如图4所示，可用于系统演示平台的数据转换器、混合信号和射频元件评估板越来越多。凭借单块控制板，用户只需购买一块子板，便可在选型过程中将其用于准备评估的具体元件或实验室电路。实验室电路结合了子系统级构建模块和多种ADI元件，可解决常见的设计难题。这些电路板经过精心设计、测试与记录后，可轻松快捷地实现系统集成，将电路板连接至SDP后，用户可以地对整个实验室电路进行原型制作，制作过程和单个元件一样便捷。如需兼容子板的完整列表，请访问http://www.analog.com/zh/data-converters/products/evaluation-boardstools/System_Demonstration_Platform_SDP/resources/fca.html子板必要时可采用外部供电，每个子板均包括相应软件，可通过控制器与个人计算机通信，如图5所示。

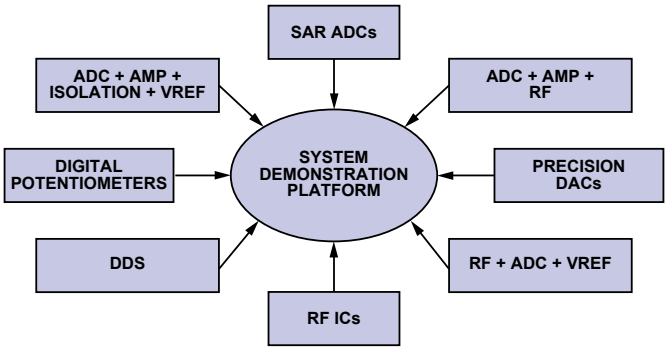


图4. 系统关键技术通用评估平台

内插器板

SDP包括多种内插器板，可在平台的两个元件之间发送信号，或将平台的元件连接至第三方评估系统。SDP分线板位于控制器板和子板之间。一端有120引脚的插座连接器，可连接至控制器板，另一端有120引脚的接头连接器，可连接至子板。来自插座的信号可直接发送至接头。每个信号线都有一个通孔探测点，可令其单独接受监控。这样，120引脚连接器上的每个信号都可以轻松访问。

轻松集成FPGA设计

BeMicro SDK-SDP内插器可将SDP子板连接至BeMicro SDK(解决方案开发套件)，创建嵌入式FPGA系统原型。BeMicro SDK由Arrow于Altera共同开发。它具有120引脚连接器接头，可将信号从元件评估板或实验室电路板发送至与BeMicro SDK相连的Samtec边缘连接器。BeMicro SDK由NIOS®II处理器供电，采用Eclipse集成设计环境，用户可以通过Altera的Cyclone®4 FPGA和一系列ADI评估板轻松定制嵌入式处理器设计和原型制作解决方案。BeMicro SDK采用了Arrow和Altera共同提供的类似USB棒尺寸。BeMicro SDK和BeMicro SDK-SDP内插器可从Arrow公司直接购买。图6显示的是BeMicro SDK、BeMicro SDK-SDP内插器和ADI元件评估板。

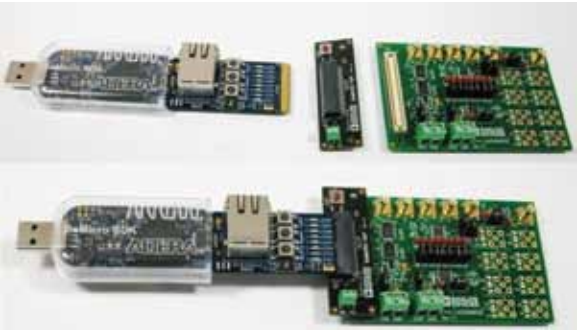


图6. BeMicro SDK、内插器和SDP控制器

购买平台元件

有关控制器板、内插器板和子板的更多信息，请访问http://www.analog.com/zh/data-converters/products/evaluation-boardstools/System_Demonstration_Platform_SDP/resources/fca.html和www.arrownac.com/interposer表2列出了平台电路板的报价。

表2. 平台电路板报价

电路板	报价
SDP-B	$99
SDP-S	$49
SDP分线板	$49.95
BeMicro-SDP内插器	$30
子板	$50起

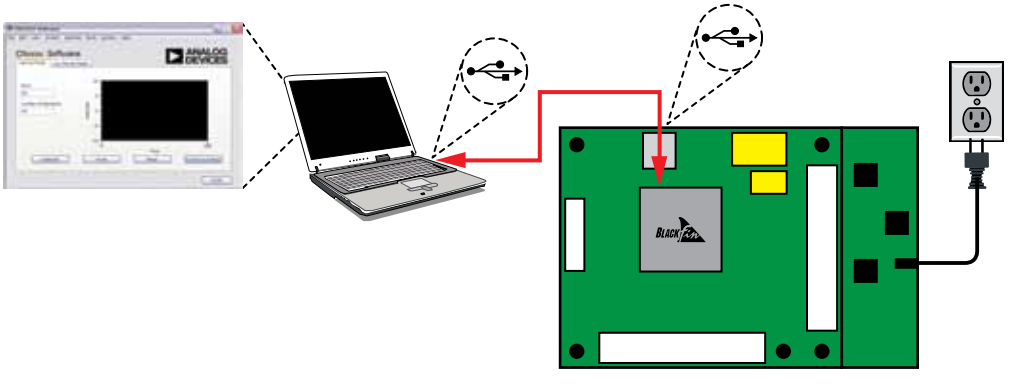


图5.评估设置

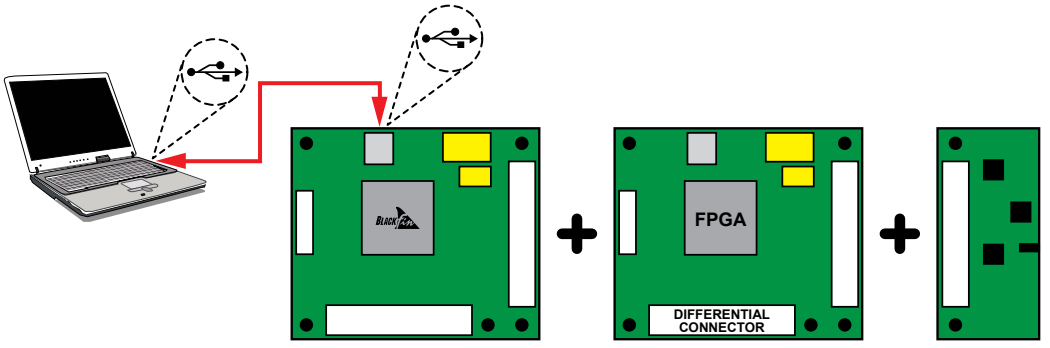


图7.FPGA系统功能模块

未来模块

为了简化系统设计过程，我们需要提供易于使用的演示和评估元件，以解决日益增加的问题，系统演示平台将不断发展壮大。2011年9月，平台中将增加系统功能模块，为现有平台提供更多功能。第一个模块就是FPGA模块。SDP-FPGA模块位于控制器板和子板之间，增加了演示或原型制作系统的灵活性。SDP-FPGA模块可将120引脚连接器连接至控制器板，还具有120引脚的接头连接器，可连接至子板。SDP-FPGA板还有一个差分连接器，带差分通信接口的元件可用于SDP平台。

结论

系统演示平台为系统设计师提供了之前的单一ADI平台所不具备的灵活性。随着平台的不断发展，其可重复使用、定制系统演示与原型制作的强大功能也会愈加显现。子板种类繁多，其中包括元件评估板和实验室电路，确保系统演示平台可以提供一站式解决方案，以满足设计师的评估和演示需求。请访问http://www.analog.com/zh/data-converters/products/evaluation-boardstools/System_Demonstration_Platform_SDP/resources/fca.html，及时掌握SDP的新闻动态。

作者简介

Rosemary Ryan [rosemary.ryan@analog.com]，精密系统应用团队应用工程师,2005年毕业于利默里克大学，获计算机工程工学学士学位，2006年加入利默里克ADI公司。2010年毕业于沃特福德理工学院，获电子工程工学硕士学位。目前就职于精密系统应用团队，负责系统演示平台(SDP)的开发。

简单的环境光传感器电路

作者：Chau Tran和Paul Mullins

人们越来越多地认为环境光是一种能源，可用于驱动心率监控器、浴室灯具、远程天气传感器和其他低功耗器件。对于能量采集系统，最关键的是精确测量环境光的能力。本设计思路将描述一种简单的低成本电路，可以根据环境光的强度按一定比例提供电压。

所用传感器是一款光敏电阻(LDR)——由RadioShack提供的276-1657型光敏电阻——其电阻随环境光强度而变化，如图1所示。其电阻值可从黑暗环境中的数百万Ω降低至亮光环境中的几百Ω。该传感器可以检测到光线水平的大小波动，能区分一个或两个灯泡的亮度、直射阳光、全黑或者中间水平。每种应用都需要适当的电路和物理设置，可能还需要进行一定的校准，以满足具体光照场合的需要。该传感器可以装在透明的防水外壳中，因此可用于各种天气条件下的任何作业现场。

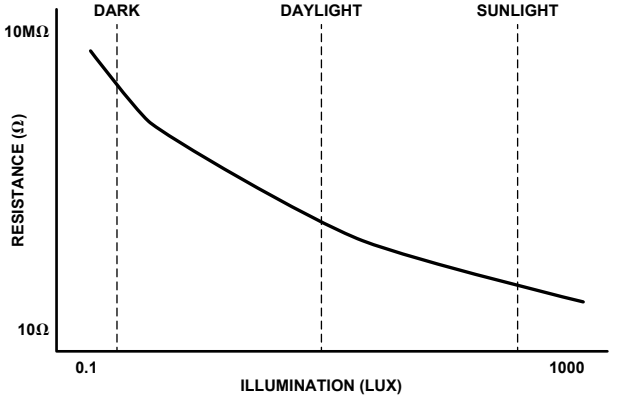


图1. 传感器电阻与光线强度的关系

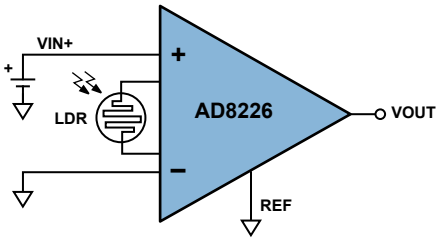


图2. 用简单电路测量光线强度

图2所示电路根据输入电压和光线强度产生输出电压，光敏电阻充当AD8226仪表放大器(in-amp)的增益电阻。AD8226的传递函数为：

$$V_{OUT} = G\,(V_{IN+} - V_{IN-}) + V_{REF}$$

其中，G为电路增益，V_{IN+}和V_{IN-}分别为正负输入的电压，V_{REF}为REF引脚的电压。当负输入和REF引脚接地时，V_{IN+}应用于正输入，增益为：

$$G = \frac{V_{OUT}}{V_{IN+}} = 1 + \frac{49.4\ \text{k}\Omega}{LDR}$$

或者

$$LDR = \frac{49.4\ \text{k}\Omega}{\frac{V_{OUT}}{V_{IN+}} - 1}$$

若LDR的值已知，则可转换成光照水平。因此，在已知输入电压的情况下，任务就变成了对仪表放大器输出进行监控。V_{IN+}可以是交流电压、直流电压或电源的一部分。请注意，增益精度取决于两个内部调整薄膜电阻的精度。

这种电路通过将远程测量的光敏电阻值转换成电压，为环境光的测量提供了一种极具成本优势的解决方案。我们选择AD8226是因为它具有宽电源电压工作范围(2.7 V至36 V)、低静态电流(不到500 µA，全电源电压范围)、轨到轨输出和功能齐全等特性。该电路可使用任何增益电阻，从几Ω到无穷大均可。日益下降的成本、不断提升的性能使仪表放大器成为运算放大器的理想替代产品。

图3所示为这种电路的典型响应，其中用100-mV p-p、900-Hz正弦波作为V_{IN+}。从图中可以看出，LDR在明亮和黑暗环境中的值为~840 Ω和~5500 Ω。利用LDR的校准，可以将这些电阻值换算成光线水平。

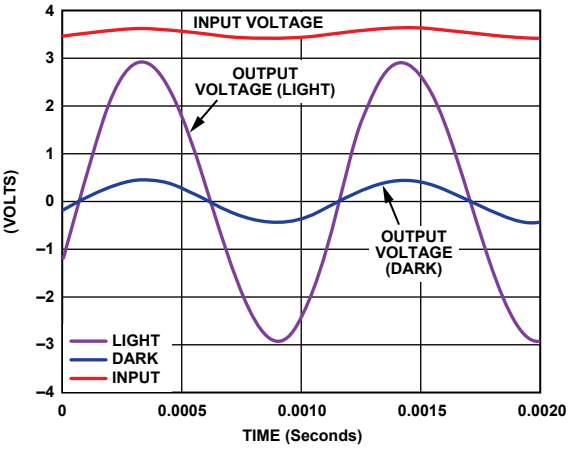


图3. 电路在明亮和黑暗环境条件下的房间中的性能

作者简介

Chau Tran [chau.tran@analog.com]于1984年加入ADI公司，目前在位于美国马萨诸塞州威尔明顿市的集成放大器产品(IAP)部门工作。他于1990年毕业于塔夫斯大学，获得电子工程硕士学位。Chau拥有10多项专利，并撰写了十几篇技术文章。

Paul Mullins [paul.mullins@analog.com] ADI公司马萨诸塞州威尔明顿市集成放大器产品部门的一名产品/测试工程师。他于1994年加入ADI公司，负责精密信号处理器件的产品特性和测试开发工作。他毕业于马萨诸塞大学洛厄尔分校，获电气工程学士学位(BSEE)。

Analog Devices, Inc.
Worldwide Headquarters
One Technology Way
P.O. Box 9106, Norwood, MA
02062-9106 U.S.A.
Tel: (1 781) 329 4700
Fax: (1 781) 461 3113

亚太区总部
上海市黄浦区湖滨路 222 号
企业天地大厦 22 层
邮编：200021
电话 : (86 21) 2320 8000
传真 : (86 21) 2320 8222

深圳分公司
深圳市福田中心区
益田路与福华三路交汇处
深圳国际商会中心 4205-4210 室
邮编：518048
电话 : (86 755) 8202 3200
传真 : (86 755) 8202 3222

北京分公司
北京市海淀区
上地东路 5-2 号
京蒙高科大厦 5 层
邮编：100085
电话 : (86 10) 5987 1000
传真 : (86 10) 6298 3574

武汉分公司
湖北省武汉市东湖高新区
珞瑜路 889 号光谷国际广场
写字楼 B 座 2403-2405 室
邮编：430073
电话 : (86 27) 8715 9968
传真 : (86 27) 8715 9931

亚洲技术支持中心
免费热线电话：4006 100 006
电子邮箱：china.support@analog.com
技术专栏：www.analog.com/zh/CIC
样品申请：www.analog.com/zh/sample
在线技术论坛：www.analog.com/zh/forum

©2011 Analog Devices, Inc. All rights reserved.
Trademarks and registered trademarks are the property of their respective owners.
M02000453sc-0-7/12

ANALOG DEVICES