

## 微带线和带状线设计

### 简介

人们撰写了大量文章来阐述如何端接PCB走线特性阻抗以避免信号反射。但是，妥善运用传输线路技术的时机尚未说清楚。

下面总结了针对逻辑信号的一条成熟的适用性指导方针。

当PCB走线单向传播延时等于或大于施加信号上升/下降时间(以最快边沿为准)时端接传输线路特性阻抗。

例如，在 $\epsilon_r = 4.0$ 介电质上2英寸微带线的延时约270 ps。严格贯彻上述规则，只要信号上升时间不到~500 ps，端接是适当的。

更保守的规则是使用2英寸(PCB走线长度)/纳秒(上升/下降时间)规则。如果信号走线超过此走线长度/速度准则，则应使用端接。

例如，如果高速逻辑上升/下降时间为5 ns，PCB走线等于或大于10英寸(其中测量长度包括曲折线)，就应端接其特性阻抗。

在模拟域内，必须注意，运算放大器和其他电路也应同样适用这条2英寸/纳秒指导方针，以确定是否需要传输线路技术。例如，如果放大器必须输出最大频率 $f_{\max}$ ，则等效上升时间 $t_r$ 和这个 $f_{\max}$ 相关。这个限制上升时间 $t_r$ 可计算如下：

$$t_r = 0.35/f_{\max} \quad \text{等式 1}$$

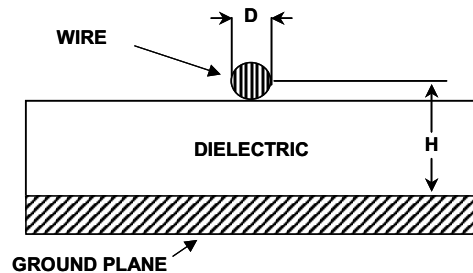
然后将 $t_r$ 乘以2英寸/纳秒来计算最大PCB走线长度。例如，最大频率100 MHz对应于3.5 ns的上升时间，所以载送此信号的7英寸或以上走线应视为传输线路。

### PCB板上受控阻抗走线的设计

在受控阻抗设计中，可以采用多种走线几何形状，既可与PCB布局图合二为一，也可与其相结合。在下面的讨论中，基本模式遵循IPC标准2141A的规定(见参考文献1)。

请注意，下面的图示中将使用术语“接地层”。需要了解的是，该接地层实际上是一个大面积、低阻抗的参考层。在实践中，可能是一个接地层或电源层，假定二者的交流电位均为零。

首先是简单的平面上布线形式的传输线路，也称微带线。图1所示为横截面视图。这类传输线路可能是实验板中使用的信号线。其构成非常简单，一条分立的绝缘线以固定间距分布于接地层上。介电质既可能是线材的绝缘层，也可能是该绝缘层与空气的结合体。



**图1：一种阻抗既定的微带线传输线路  
由一条分布于接地层的绝缘线形成**

该线路的阻抗(单位：欧姆)可以用等式2估算。其中，D为导体直径，H为线材在接地层上的间距， $\epsilon_r$ 为介电常数。

$$Z_0(\Omega) = \frac{60}{\sqrt{\epsilon_r}} \ln \left[ \frac{4H}{D} \right]. \quad \text{等式 2}$$

对于与PCB相融合的图形，有多种几何模型可供选择，分为单端和差分两类。这些在IPC标准2141A(见参考文献1)中有详细说明，这里对两个常见示例略加说明。

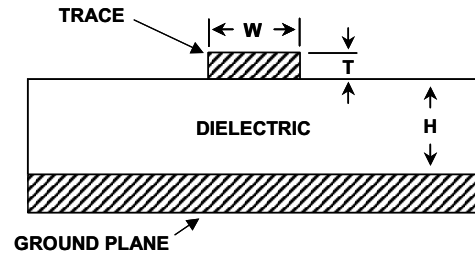
在开始进行任何基于PCB传输线路设计时，必须知道，有大量的等式都声称适用于此类设计。此时，一个极其重要的问题就是，“哪些等式是精确的呢？”不幸的是，没有一个等式是完全精确的！所有现有等式都是近似值，因而，其精度不尽相同，取决于具体情况。最知名也是引用最多的是参考文献1中给出的等式，但是，即使这些等式也存在一些应用问题。

参考文献2针对不同几何图形，在试验PCB样品上对参考文献1中的等式进行了评估。结果发现，预测精度因目标阻抗而异。下面引述的等式均来自参考文献1，这里只是作为设计的起点，实际设计时，还需要进一步的分析、测试和进行设计验证。原则就是，要仔细研究，谨慎面对PCB走线阻抗等式。

## 微带线PCB传输线路

对于其中一面为接地层的简单双面PCB设计，可以在另一面设计一条信号走线以控制阻抗。这种几何图形被称为表面微带，简称微带。

图2中的双层PCB横截面视图展示了这种微带几何图形。



**图2：一种阻抗既定微带传输线路由一条分布于接地层、采用适当几何图形的PCB走线形成**

对于给定的PCB基板和铜重量，需要注意的是， $W$  (信号走线宽度) 以外的所有参数都是事先确定的。因而，可用等式3来设计一种PCB走线，以匹配电路要求的阻抗。若信号走线宽 $W$ 、厚 $T$ ，且由介电常数为 $\epsilon_r$ 的PCB电介质以距离 $H$ 与接地层(或电源层)相分离，则其特性阻抗为：

$$Z_0(\Omega) = \frac{87}{\sqrt{\epsilon_r + 1.41}} \ln \left[ \frac{5.98H}{(0.8W + T)} \right] \quad \text{等式 3}$$

请注意，在这些表达式中，测量值均为常用单位(mil)。

这些传输线路不但有特性阻抗，也有特性电容。其计算单位为pF/in，如等式4所示。

$$C_0(\text{pF/in}) = \frac{0.67(\epsilon_r + 1.41)}{\ln[5.98H/(0.8W + T)]} \quad \text{等式 4}$$

作为包括这些计算的示例，一块双层板可能用20 mil宽( $W$ )、1盎司( $T=1.4$ )的铜走线，并由10 mil ( $H$ ) FR-4 ( $\epsilon_r = 4.0$ )的介电材料分离。结果，该微带线的阻抗为50  $\Omega$ 左右。对于其他标准阻抗(如75  $\Omega$ 的视频标准阻抗)，使" $W$ "调整为8.3 mil左右即可。

## 微带线设计的一些指导原则

本例涉及到一个有趣且微妙的要点。参考文献2讨论了与微带PCB阻抗相关的有用指导原则。若介电常数为4.0 (FR-4)，结果显示，当W/H为2/1时，阻抗将接近50 Ω(与第一个示例类似，其中，W = 20 mil)。

仔细的读者会发现，根据等式3预测， $Z_0$ 应为46 Ω左右，与参考文献2提到的精度(>5%)相吻合。IPC微带线等式在50 Ω与100 Ω之间最精确，但当阻抗低于或超过该范围时，其精度则大幅下降。

根据等式5，也可以计算微带线的传播延迟。这是微带信号走线的单向通过时间。有趣的是，对于给定的几何模型，延迟常数(单位：ns/ft)仅为介电常数而非走线维度的函数(见参考文献6)。请注意，这可以带来极大的便利。意味着，当给定PCB基板(并给定 $\epsilon_r$ )时，各种阻抗线路的传播延迟常数是固定不变的。

$$t_{pd}(\text{ns/ft}) = 1.017\sqrt{0.475\epsilon_r + 0.67} \quad \text{等式 5}$$

该延迟常数也可以ps/in为单位，这样更适用于小型PCB。即：

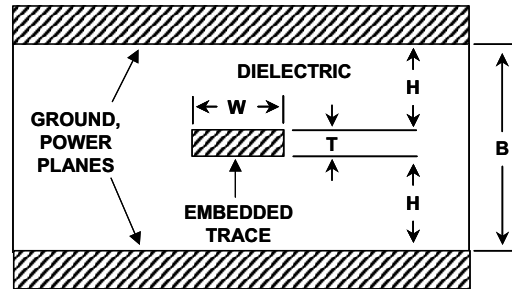
$$t_{pd}(\text{ps/in}) = 85\sqrt{0.475\epsilon_r + 0.67} \quad \text{等式 6}$$

因此，举例来说，对于PCB介电常数4.0，不难发现微带线的延迟常数约为1.63 ns/ft，合136 ps/in。这两条额外的准则对于设计PCB走线中信号的时序具有参考意义。

## 对称带状线PCB传输线路

从多种角度来看，多层PCB是一种更好的PCB设计方法。在这种模式下，信号走线嵌入电源层与接地层之间，如图3中的横截面视图所示。低阻抗交流接地层和嵌入的信号走线形成一条对称带状线传输线路。

从图中可以看出，高频信号走线的电流回路直接位于接地层/电源层上的信号走线的上方和下方。因此，高频信号被完全限制在PCB板内部，结果使放射降至最低，为输入杂散信号提供了天然的屏障。



**Figure 3: A Symmetric Stripline Transmission Line With Defined Impedance is Formed by a PCB Trace of Appropriate Geometry Embedded Between Equally Spaced Ground and/or Power Planes**

该设计的特性阻抗同样取决于几何图形以及PCB介电质的 $\epsilon_r$ 。该带状传输线路的 $Z_0$ 可表示为：

$$Z_0(\Omega) = \frac{60}{\sqrt{\epsilon_r}} \ln \left[ \frac{1.9(B)}{(0.8W + T)} \right] \quad \text{等式 7}$$

这里的所有维度同样以mil为单位，B为两个层的间距。在这种对称几何图形中，需要注意的是，B同样等于 $2H + T$ 。参考文献2指出，参考文献1中的这个等式的精度通常在6%左右。

适用于 $\epsilon_r = 4.0$ 的对称带状线的另一条便利准则是，使B成为W的倍数，范围为2至2.2。结果将得到约 $50 \Omega$ 的带状线阻抗。当然，这条法则是以另一近似法为基础的，忽略了T。尽管如此，该法则对于粗略估算还是很有用的。

对称带状线同样有一个特性电容，其计算单位为pF/in，如等式8所示。

$$C_0(\text{pF/in}) = \frac{1.41(\epsilon_r)}{\ln[3.81H/(0.8W + T)]} \quad \text{等式 8}$$

对称带状线的传播延迟如等式9所示。

$$t_{pd}(\text{ns/ft}) = 1.017\sqrt{\epsilon_r} \quad \text{等式 9}$$

或者以ps为单位：

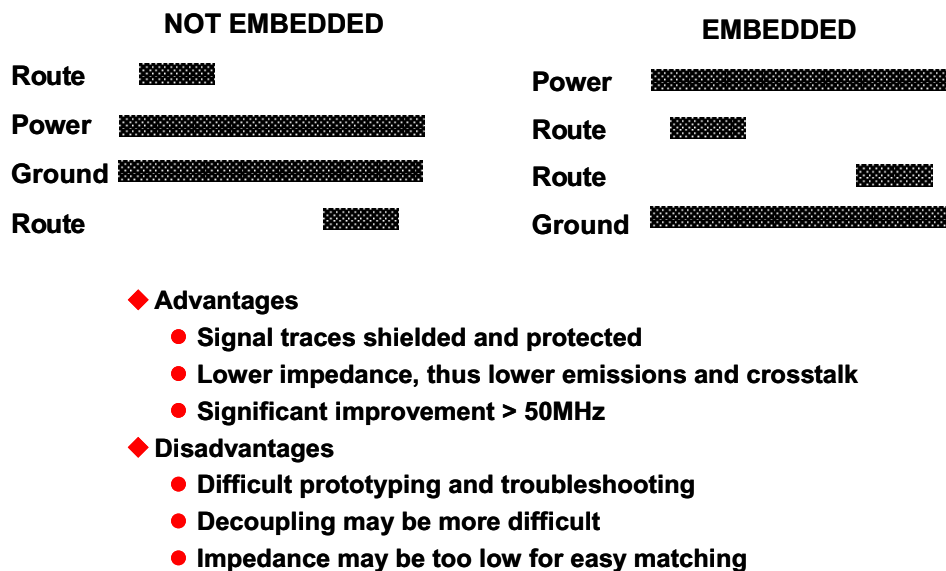
$$t_{pd}(\text{ps/in}) = 85\sqrt{\epsilon_r} \quad \text{等式 10}$$

当PCB介电常数为4.0时，可以发现，对称带状线的延迟常数几乎正好为2 ns/ft，合170 ps/in。

### 走线嵌入法的利弊

根据上述讨论，在设计阻抗既定的PCB走线时，既可以置于一个表层之上，也可嵌入两层之间。当然，在这些阻抗因素之外，还有许多其他考虑因素。

嵌入式信号确实存在一个明显的大问题——隐藏电路走线的调试非常困难，甚至无法做到。图4总结了嵌入式信号走线的利弊。



**图4：多层PCB设计中嵌入与不嵌入信号走线的利弊**

设计多层PCB时也可能不使用嵌入式走线，如最左边的横截面视图所示。可以将这种嵌入式设计看作一种双重双层PCB设计(共有四层铜)。顶部的走线与电源层构成微带，底部的走线则与接地层构成微带。在本例中，两个外层的信号走线可以方便地供测量和故障排查使用。但这种设计并未利用各层的屏蔽作用。

这种非嵌入式设计的辐射量较大，更容易受到外部信号的影响，而右侧的嵌入式设计采用了嵌入法，则很好地利用了各层的优势。就如诸多其他工程设计一样，PCB设计中到底采用嵌入法还是非嵌入法是折衷的结果。这里的折衷则体现在减少辐射与方便测试之间。

**参考文献:**

1. Standard IPC-2141A, "Controlled Impedance Circuit Boards and High Speed Logic Design," 2004, [Institute for Interconnection and Packaging Electronic Circuits](#), 3000 Lakeside Drive, 309 S, Bannockburn, IL 60015, 847-615-7100.
2. Eric Bogatin, BTS015, PCB Impedance Design: Beyond the IPC Recommendations, [BeTheSignal.com](#).
3. Eric Bogatin, *Signal Integrity – Simplified*, Prentice Hall PTR, 2003, ISBN-10: 0130669466, ISBN-13: 978-0130669469.
4. Andrew Burkhardt, Christopher Gregg, Alan Staniforth, "Calculation of PCB Track Impedance," Technical Paper S-19-5, presented at the *IPC Printed Circuits Expo '99 Conference*, March 14–18, 1999.
5. Brian C. Wadell, *Transmission Line Design Handbook*, Artech House, Norwood, MA, 1991, ISBN: 0-89006-436-9.
6. William R. Blood, Jr., [MECL System Design Handbook \(HB205/D, Rev. 1A May 1988\)](#), ON Semiconductor, August, 2000.
7. Hank Zumbahlen, *Basic Linear Design*, Analog Devices, 2006, ISBN: 0-915550-28-1. Also available as [Linear Circuit Design Handbook](#), Elsevier-Newnes, 2008, ISBN-10: 0750687037, ISBN-13: 978-0750687034. Chapter 12
8. Walt Kester, [Analog-Digital Conversion](#), Analog Devices, 2004, ISBN 0-916550-27-3, Chapter 9. Also available as [The Data Conversion Handbook](#), Elsevier/Newnes, 2005, ISBN 0-7506-7841-0, Chapter 9.
9. Walter G. Jung, [Op Amp Applications](#), Analog Devices, 2002, ISBN 0-916550-26-5, Chapter 7. Also available as [Op Amp Applications Handbook](#), Elsevier/Newnes, 2005, ISBN 0-7506-7844-5. Chapter 7.

Copyright 2009, Analog Devices, Inc. All rights reserved. Analog Devices assumes no responsibility for customer product design or the use or application of customers' products or for any infringements of patents or rights of others which may result from Analog Devices assistance. All trademarks and logos are property of their respective holders. Information furnished by Analog Devices applications and development tools engineers is believed to be accurate and reliable, however no responsibility is assumed by Analog Devices regarding technical accuracy and topicality of the content provided in Analog Devices Tutorials.