

STEP-MX02 软件手册

小脚丫 STEP FPGA

STEP

2018/12/1

STEP-MXO2 软件手册

目录

1. 概述.....	2
2. 软件安装.....	2
2.1 Diamond 软件下载:	2
2.2 Diamond 安装步骤:	2
2.3 Diamond 软件注册:	9
3. 创建第一个工程.....	14
3.1 新建一个工程.....	14
3.2 添加设计文件.....	20
3.3 综合.....	22
3.4 管脚分配.....	23
3.5 生成编译文件.....	25
3.6 下载.....	27
3.7 小结.....	30
4. 仿真工具 Active-HDL.....	31
5. STEP-MXO2-C 版本.....	38
5.1 STEP-MXO2-C 版本差异.....	38
5.2 STEP-MXO2-C 下载方式.....	38
6. 版本.....	40

1. 概述

Lattice Diamond 设计软件提供了最先进的设计和实现工具，专门针对成本敏感、低功耗的莱迪思 FPGA 架构进行了优化——使用低密度和超低密度 FPGA 的应用设计需要灵活性、验证和可快速重用的特性。

- 基于 GUI 的完整 FPGA 设计和验证环境
- 可通过多个工程实现以及设置策略对单个设计项目进行设计探索
- 提供时序和功耗管理的图形化操作环境小脚丫

在 Lattice 官网可以免费下载最新的 Diamond 工具，支持 Windows 系统和 Linux 系统。

2. 软件安装

2.1 Diamond 软件下载：

1、到 Lattice 官网注册，到如下网址

<http://www.latticesemi.com/zh-CN/Products/DesignSoftwareAndIP/FPGAandLDS/LatticeDiamond.aspx>

下载对应操作系统的最新 Diamond 软件安装包。

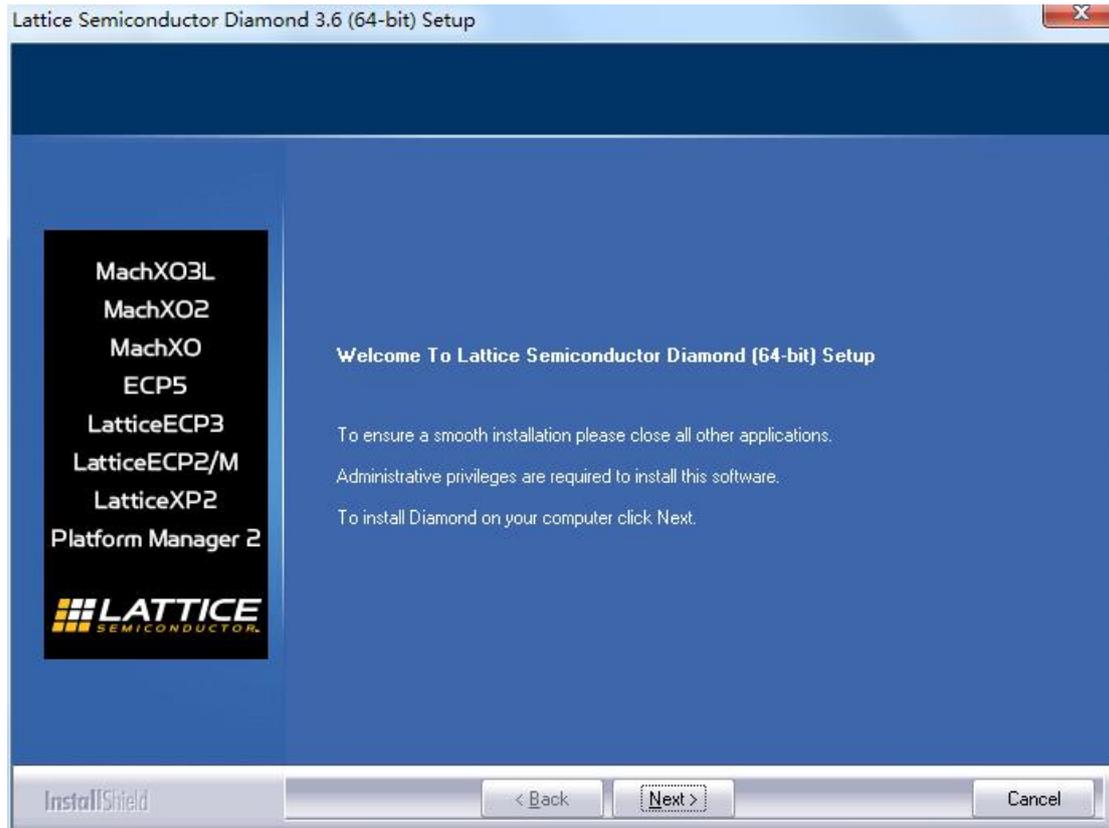
2、根据安装指南进行安装。

3、点击许可证页面链接获取许可证。（邮箱获取，免费）

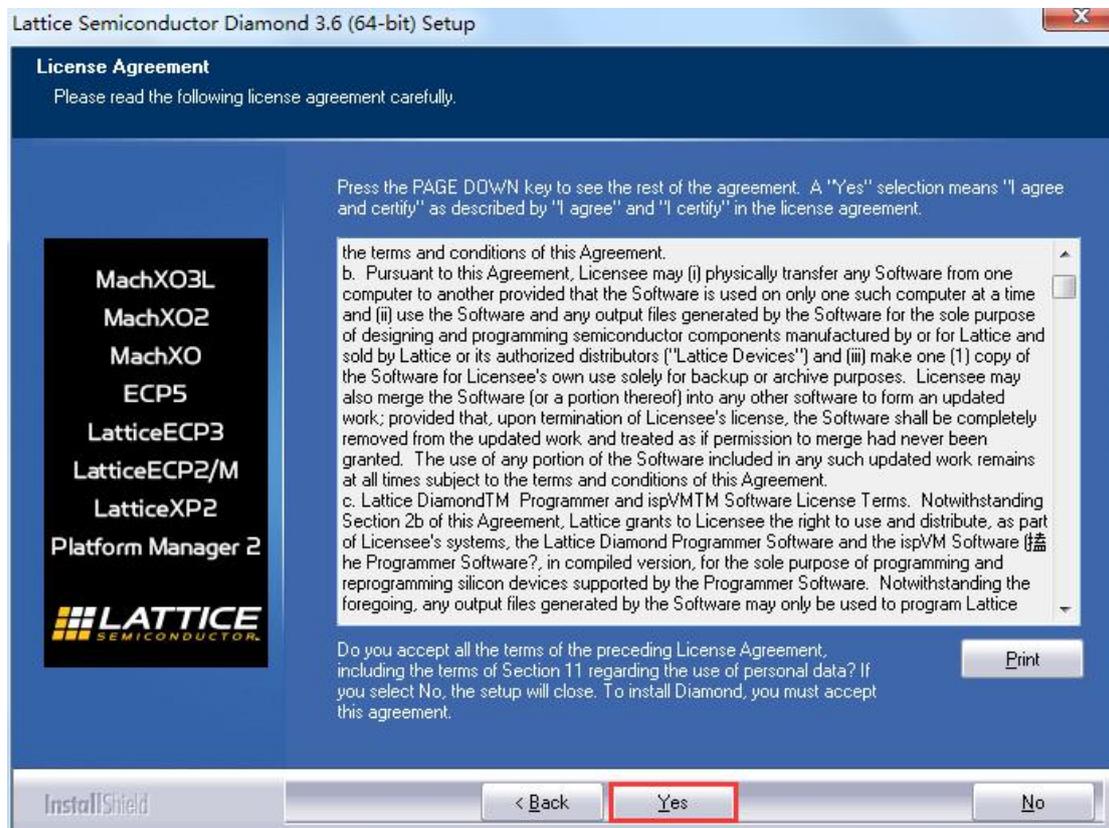
2.2 Diamond 安装步骤：

1、双击打开下载好的软件（请注意操作系统的版本和下载软件的版本）。

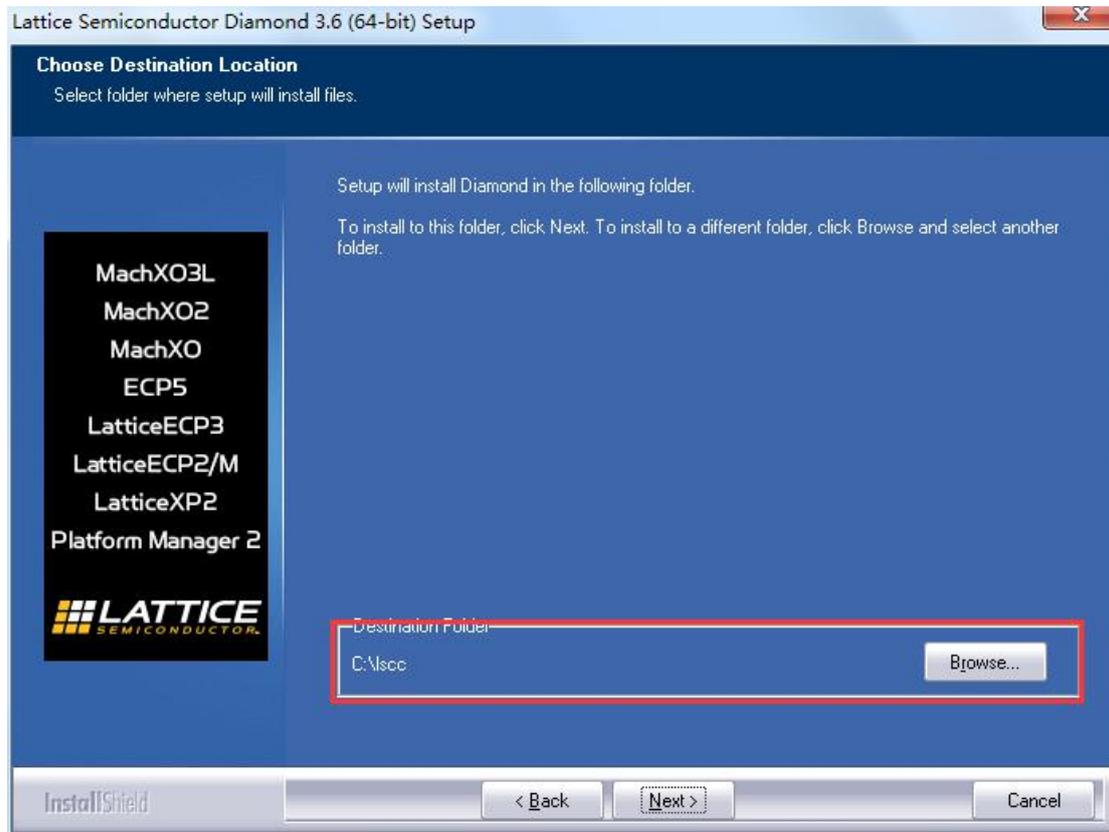
2、进入安装首页。



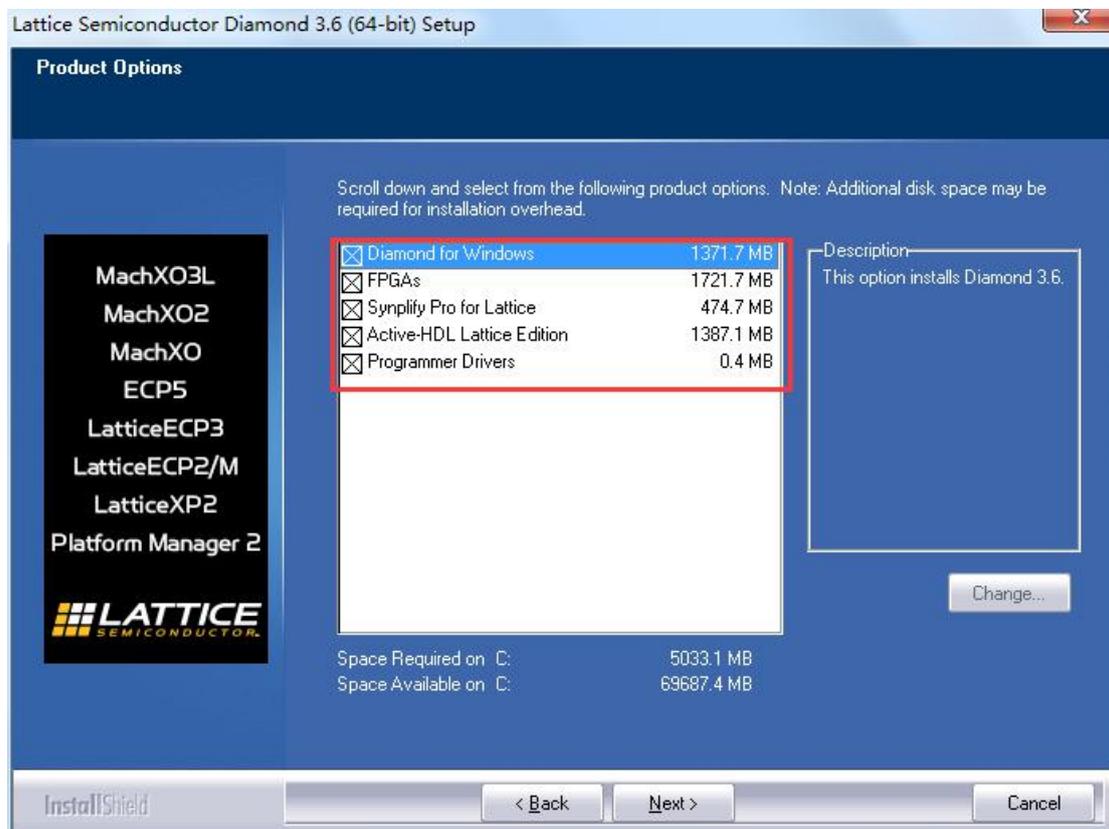
3、点击 Next，进入协议界面，不同意就不让你安装，那同意就是了。。。



4、修改安装路径，默认是安装在 C 盘。



5、修改完路径后，点击 Next，进入工具选项界面。

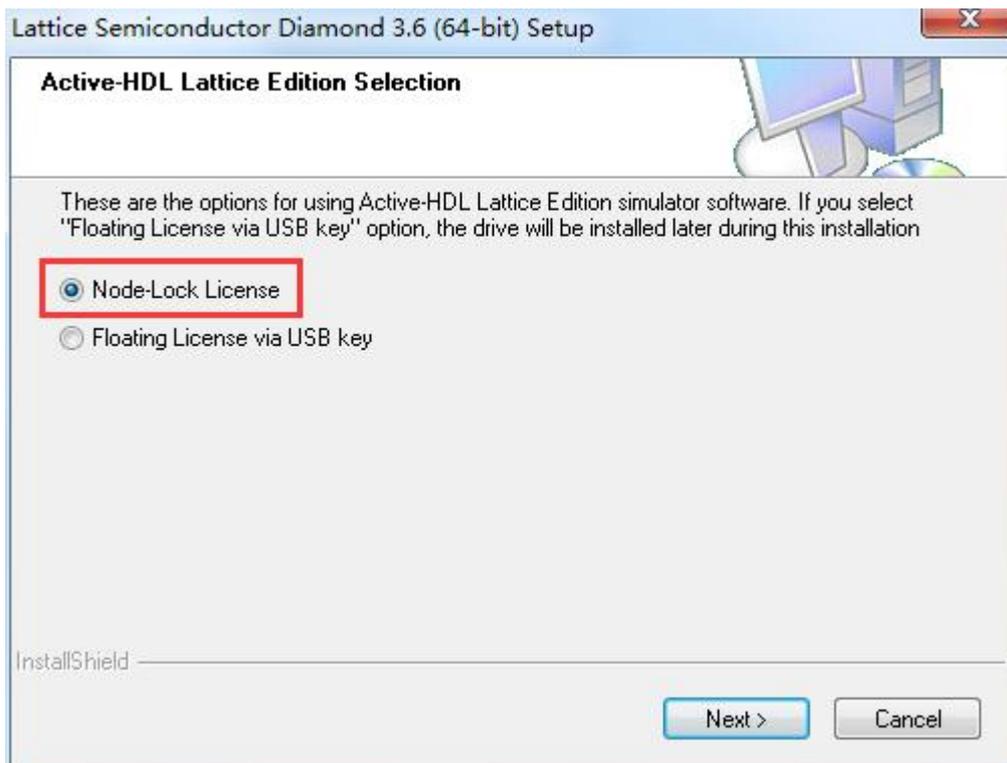


6、我是选择默认设置，即全部安装。注意叉又是表示选择。点击 **Next**，进入文件夹名设置。当然你可以根据自己喜好，修改文件夹的名字。

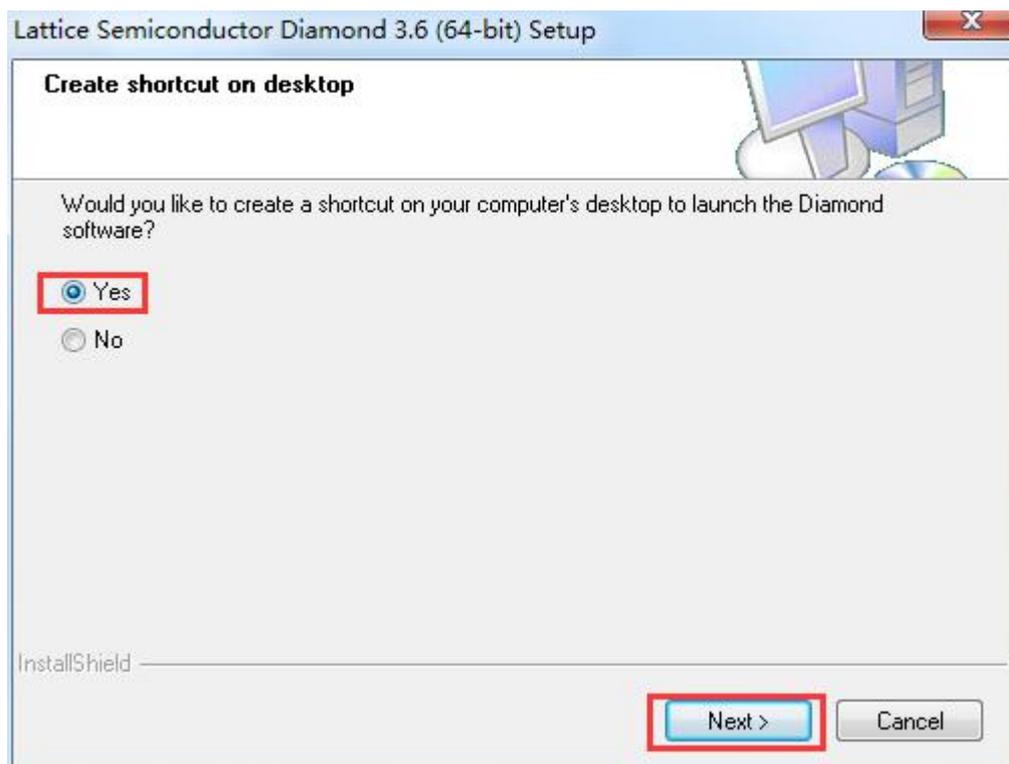


7、接下来就是认证设置。没有 USB key，就只能选择 Node-Lock License。关于 Node-Lock License 和 Floating License 的区别可以参考下面这个博客：

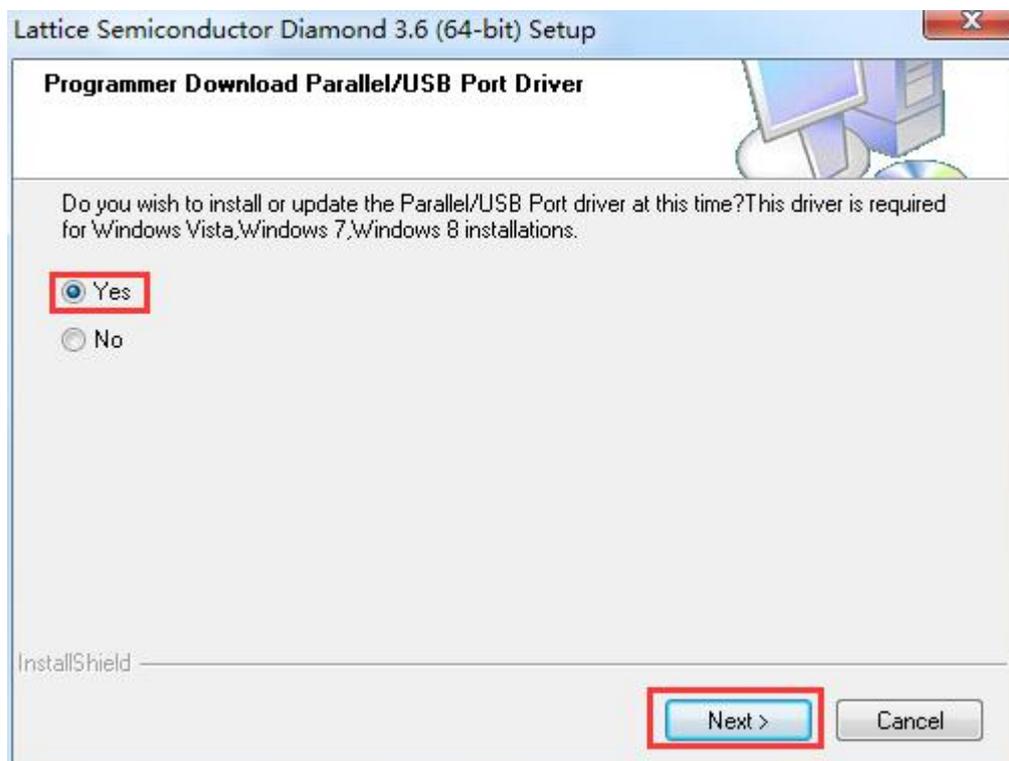
TestComplete 浮动许可证（Floating license）与节点锁定许可证(Node-locking license) 区别



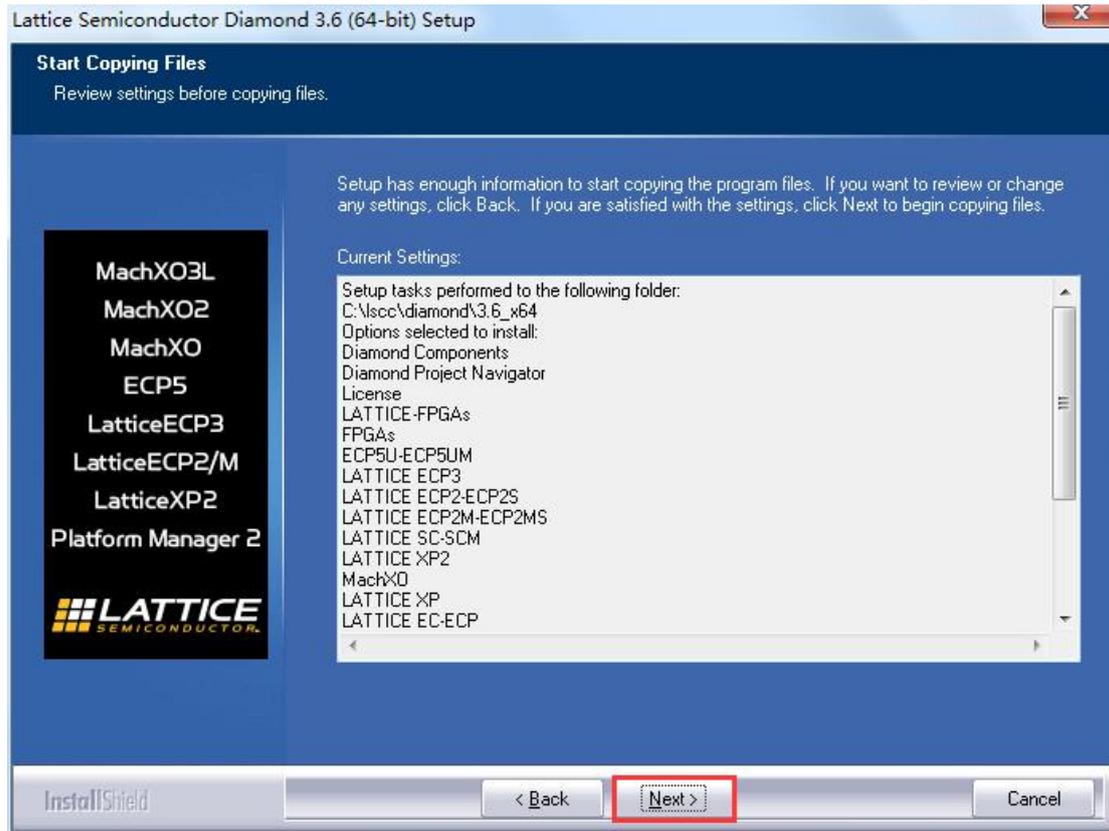
8、点击 **Next**，选择是否创建桌面快捷键。



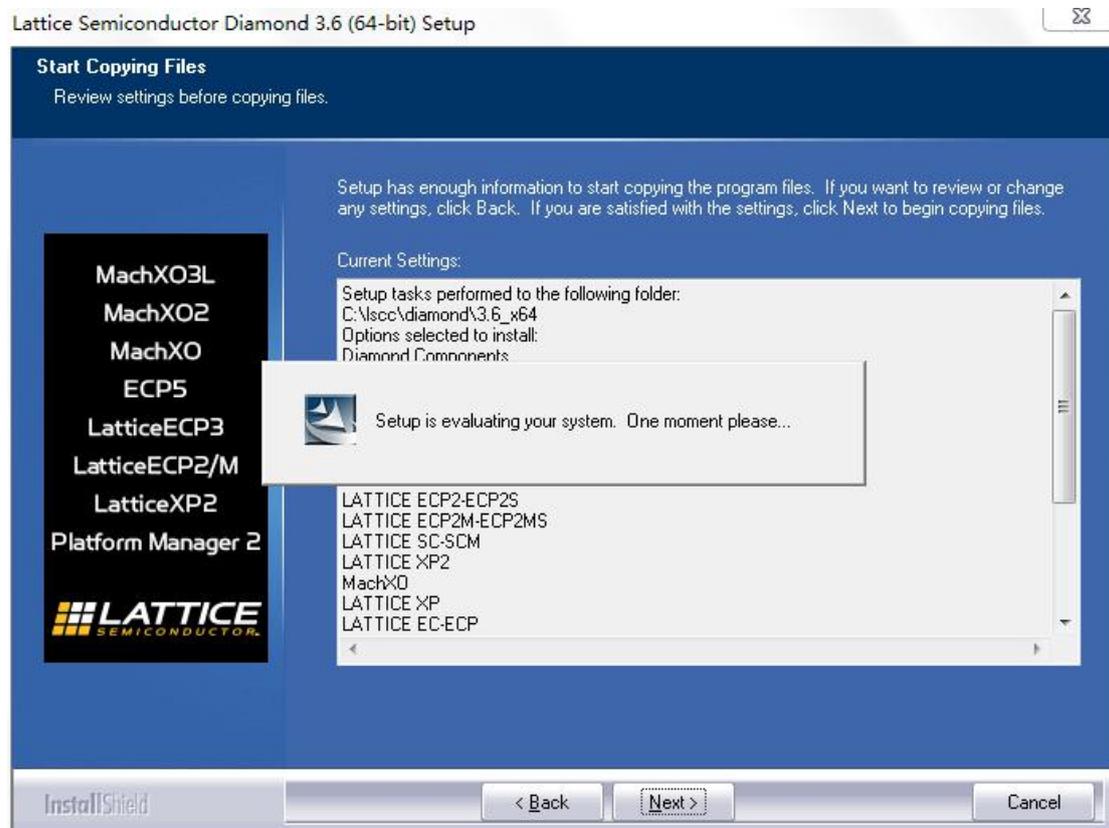
9、点击 Next，选择是否安装 USB 驱动，这个必须同意!!!



10、完成这一系列设置后，软件列出所有设置内容。



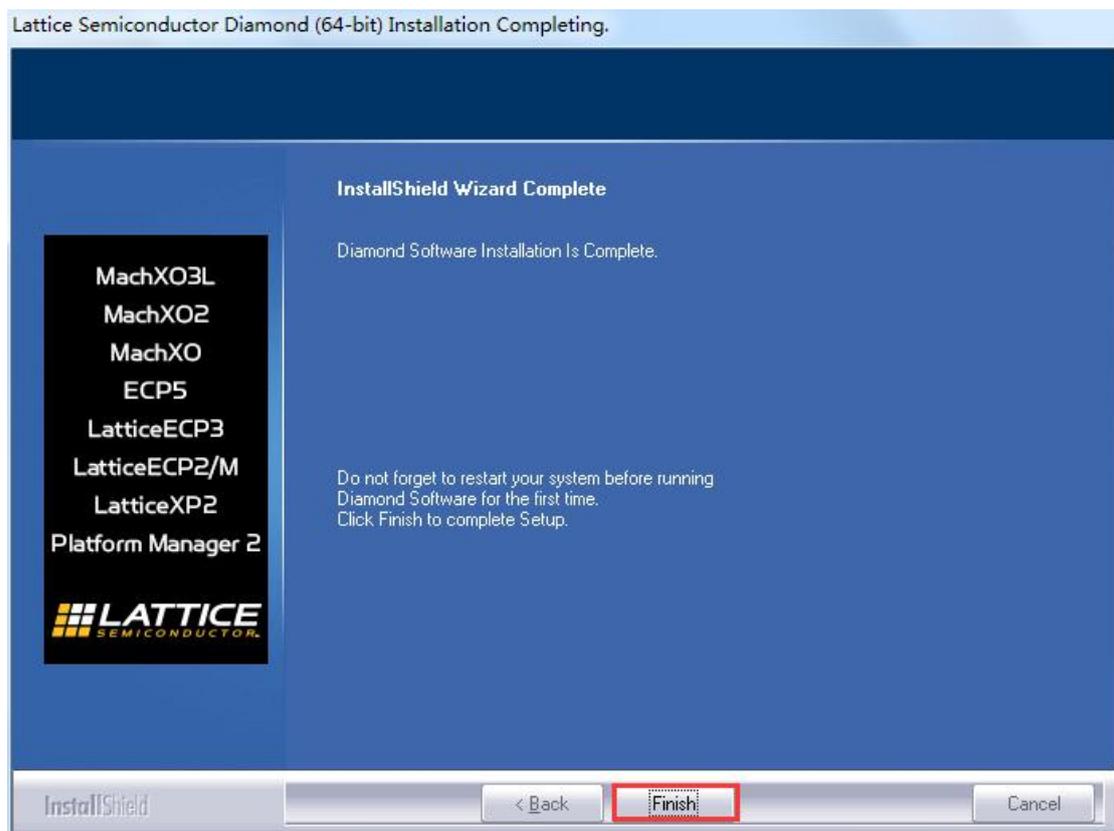
11、点击 Next，正式进入安装环节。软件会评估一下本机系统，决定是否继续安装。



12、一般配置的 PC 机都可以通过评估。进入安装。



13、耐心等待=====>



14、点击 Finish，完成安装。

2.3 Diamond 软件注册:

- 1、Diamond 软件不仅提供了简单易用的操作环境，而且提供免费许可证使得用户能够设计并评估 Diamond 软件支持的不带 SERDES 的器件的性能。免费许可证获取十分简单，首先在 Lattice 官网注册一个账号（需要邮箱）。
- 2、访问官网页面 <http://latticesemi.com/Support/Licensing.aspx>，点击获得一个免费许可证。

Lattice Diamond 设计软件

改用一个新的工具通常比较困难，但莱迪思通过



Lattice Diamond免费许可证

Lattice Diamond设计软件提供了最先进的设计和实现工具，专门针对成本敏感、低功耗的莱迪思FPGA架构进行了优化。免费许可证使得用户能够设计并评估Diamond软件支持的不带SERDES的器件的性能。

获取一个许可证您需要：

- 物理MAC地址（12位十六进制值）

[获取一个免费许可证](#)

- 3、填写机器物理地址，生成一个 license.dat 文件，将会发送到注册所用的邮箱。

Please follow these steps to request your Lattice Diamond Free Software license:

1. Review and update your Web Account Information below by clicking on the Update Your Account button.
2. Fill in the Software License Request Form and Submit.

Host NIC: You can find your PC Network Interface Card ID by opening an MS-DOS window, typing "ipconfig /all" and pressing Enter. The Physical Address is a 12-digit hexadecimal value split into pairs with dashes, like this: 00-01-02-66-1D-E0. Please enter this information without dashes like this: 000102661DE0.

After you successfully complete and submit this form, a new license file with instructions on how to install it will be e-mailed to you.

For any questions, email lic_admin@latticesemi.com

If you have experienced an Aldec license check out error, please check out a new license.

Software License Request Form

Note: The license file will be sent to the web account email address:

[REDACTED]

Host NIC (physical address) *:

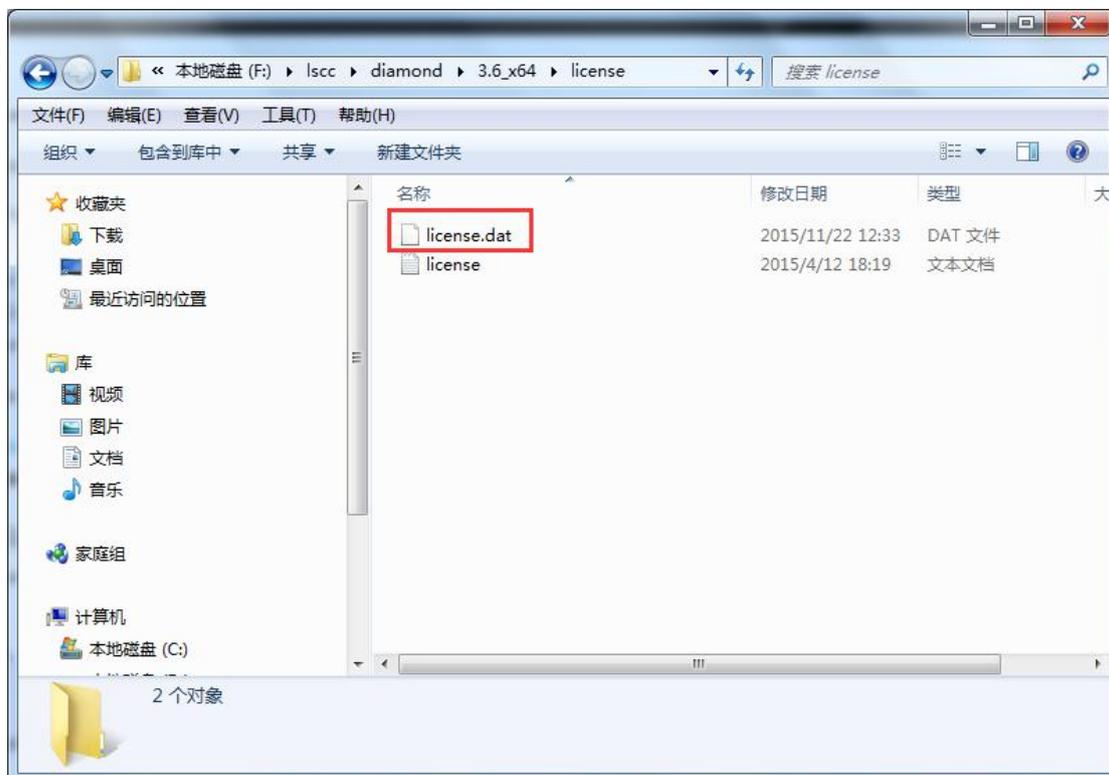
* required field

I verify that I am not an employee of Cadence Design Systems, Mentor Graphics Corporation, or Magma Design Automation

(click once)

NOTE: This form requires JavaScript to be enabled in your web browser in order to process your request.

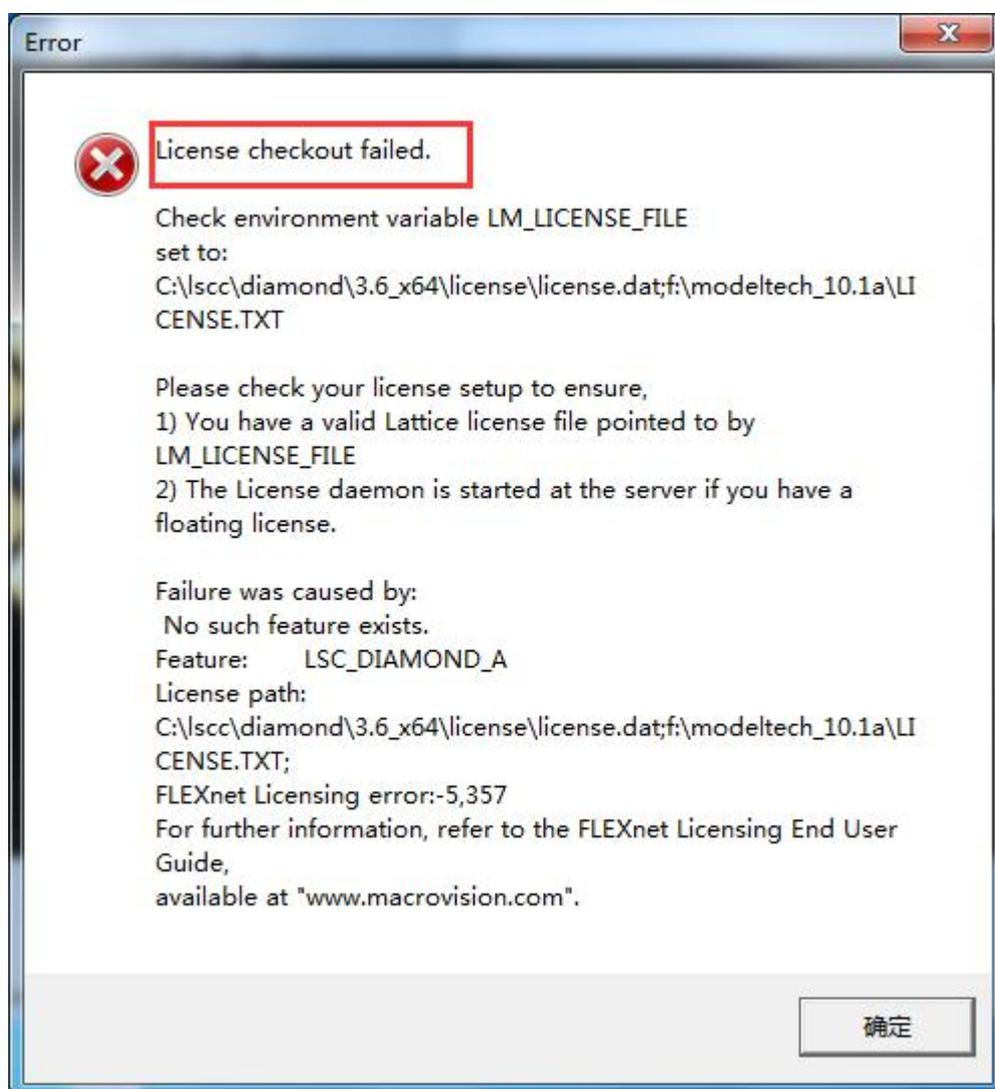
- 4、在软件安装过程中，已自动添加系统环境变量。只需将申请的 license.dat 文件拷贝到安装目录下的 license 文件夹中，本文例为：D:\lsc\diamond\3.6_x64\license\



至此完成 License 文件设置，可以开始使用 Diamond 进行设计了。

注意!!!

如双击打开 Diamond 软件是出现如下错误，则表示环境变量设置有问题。

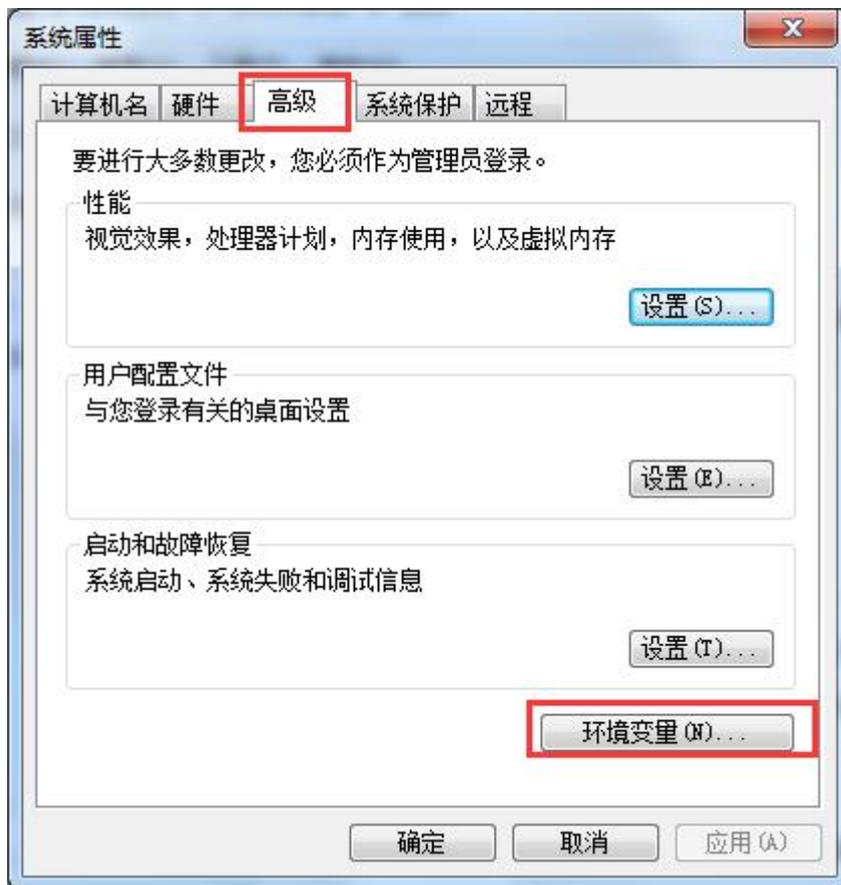


解决方法是：

右击“计算机”选择属性，进入控制面板中的系统属性界面。

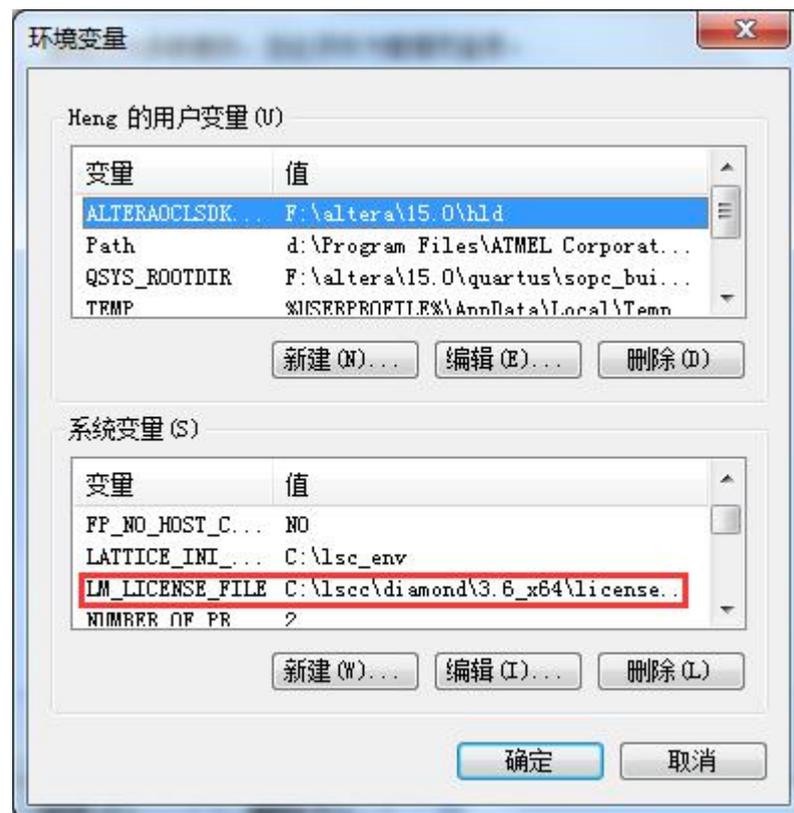


点击高级系统设置。选择高级，点击环境变量！



进入环境变量设置界面，查看用户变量中是否存在与系统变量 LM_LICENSE_FILE 相冲突的变

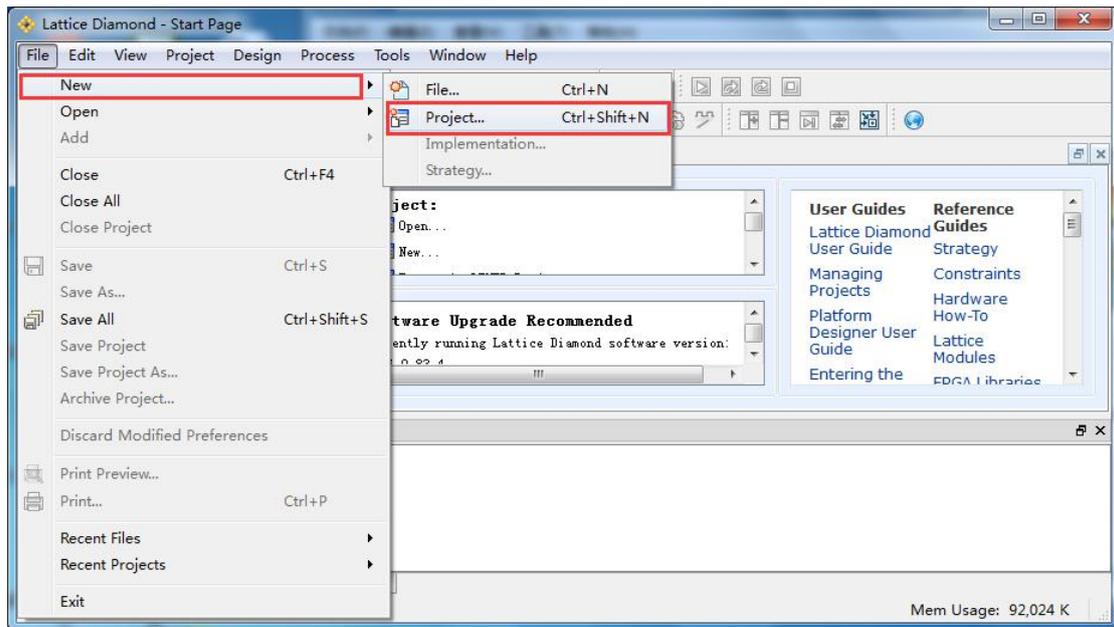
量。



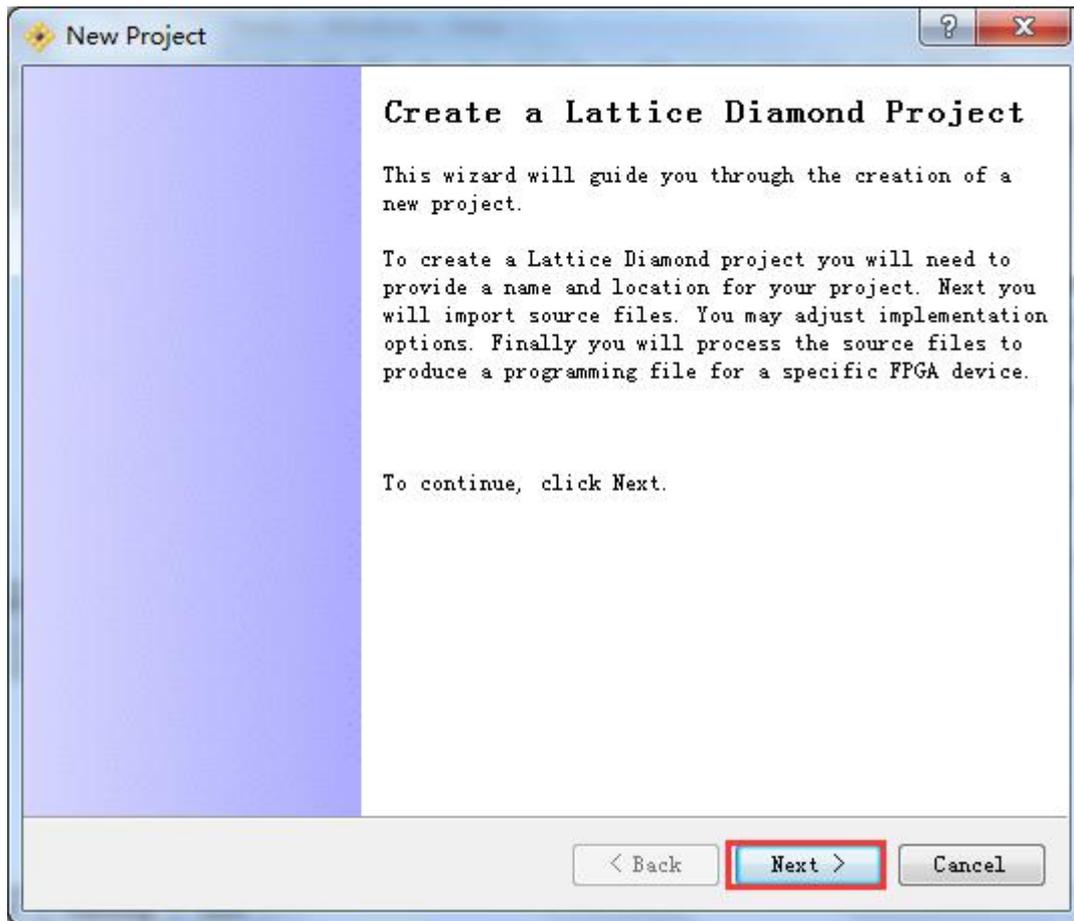
3. 创建第一个工程

3.1 新建一个工程

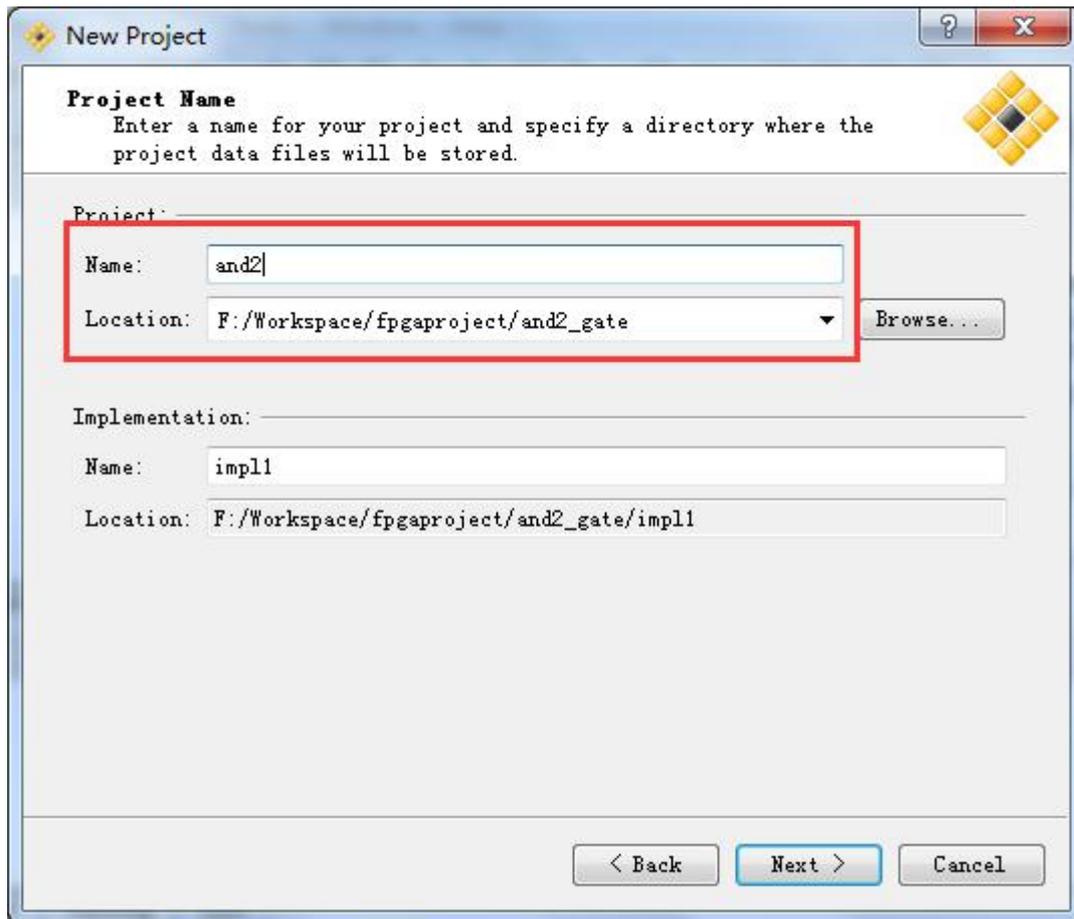
1、在 Diamond 软件面板上，选择 File>New>Project，进行新工程创建。



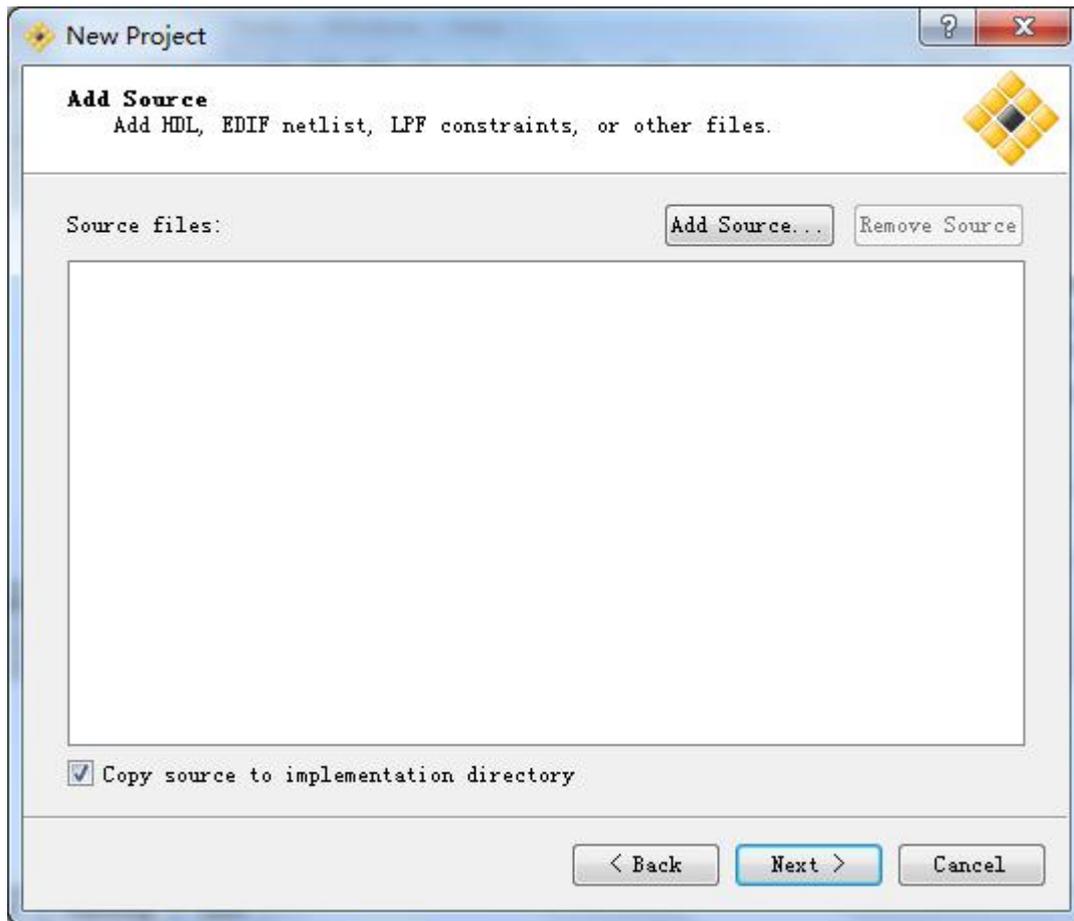
2、创建新工程，点击 Next，开始工程设置。



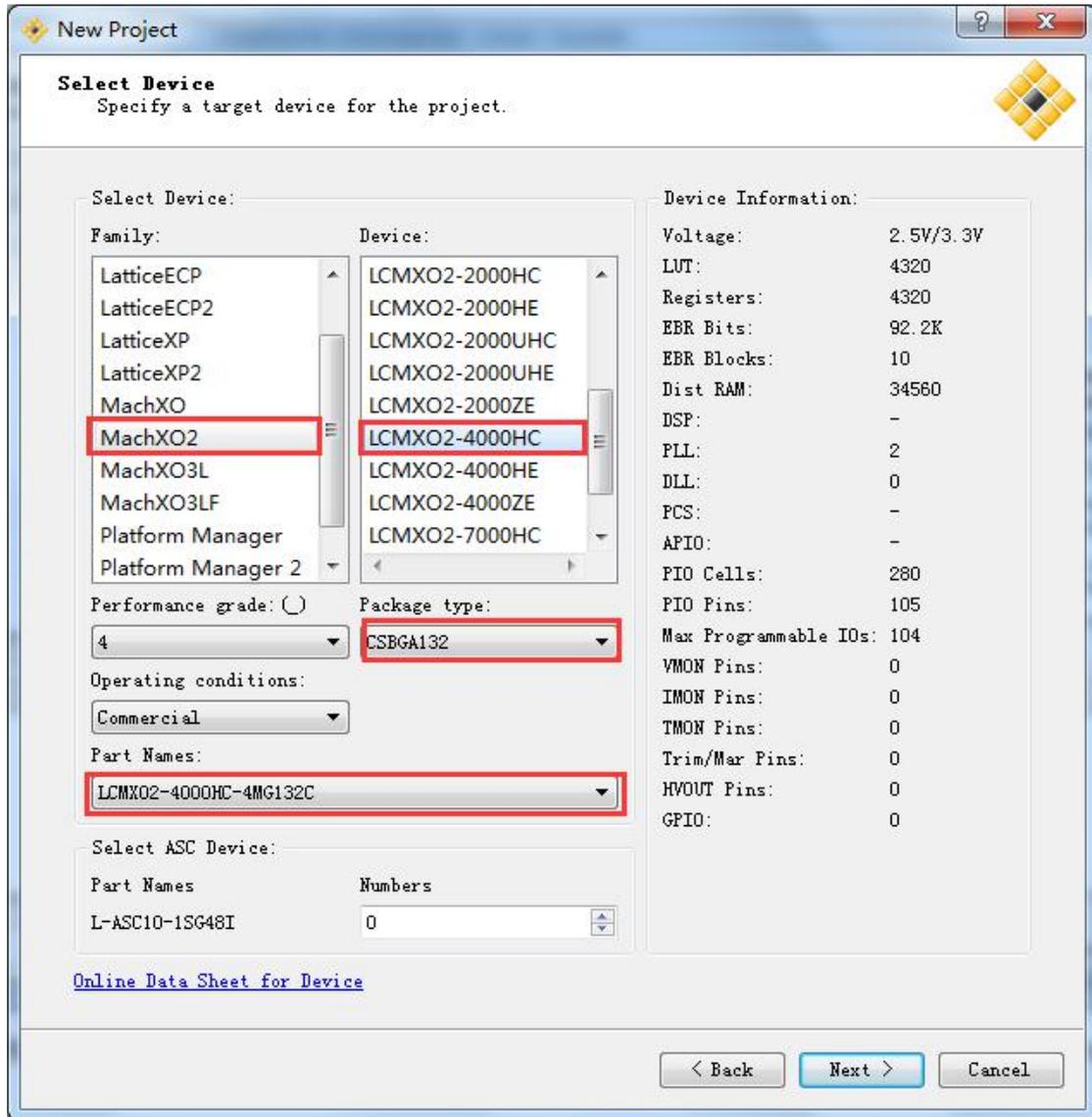
3、设置工程名称和工程所在路径，此处要注意：工程路径必须创建并选择工程文件夹，否则所有相关文件均会在上一层目录中。如本例，若路径仅选择 E:/Step_FPGA，则 And_Gate 工程所有文件均保存在 Step_FPGA 中。完成设置后点击 Next。



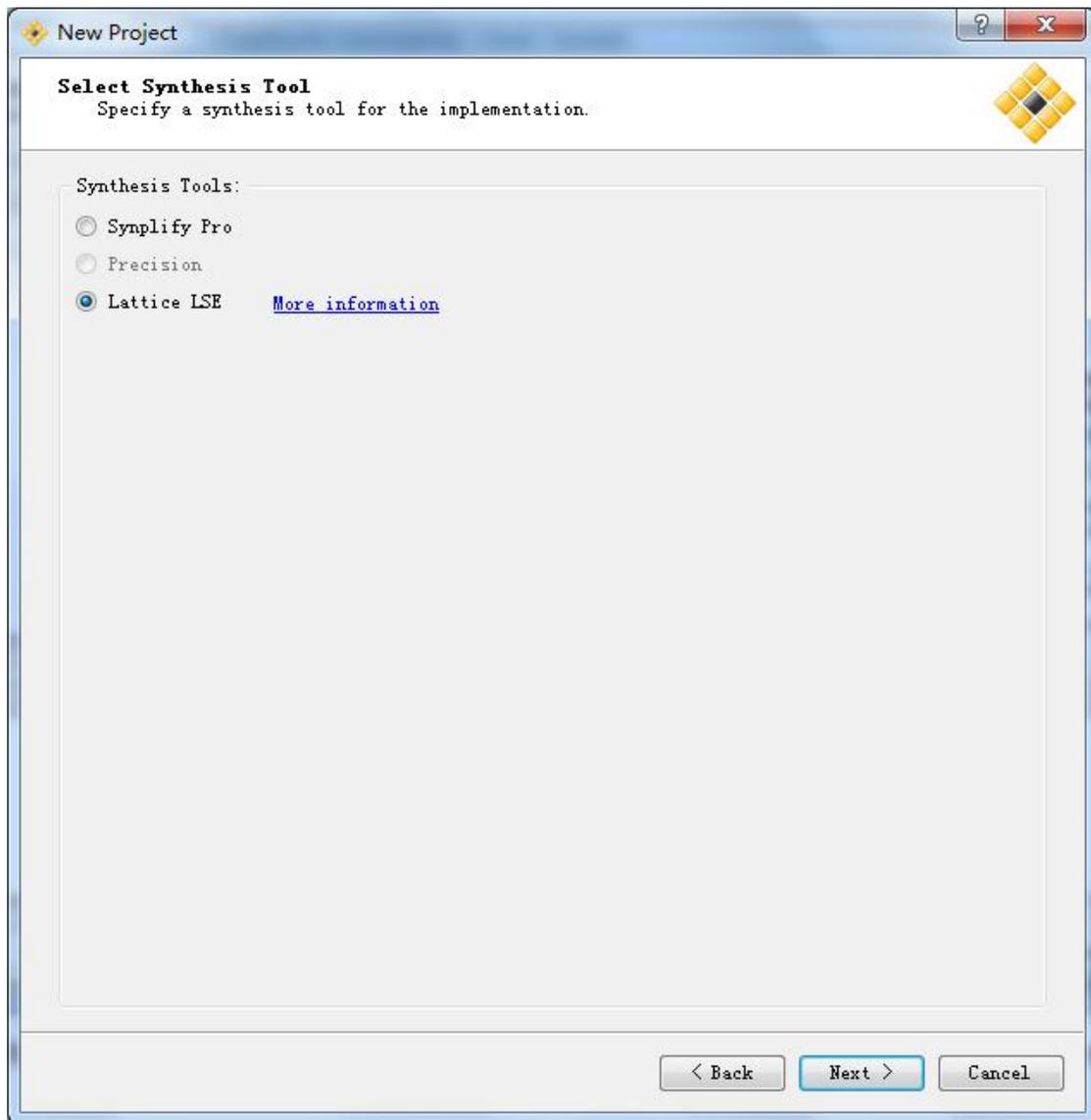
4、添加相关设计文件或约束文件。有必要提醒：务必勾选 Copy source to implementation directory，否则会影响原文件。若无需添加则直接 Next。



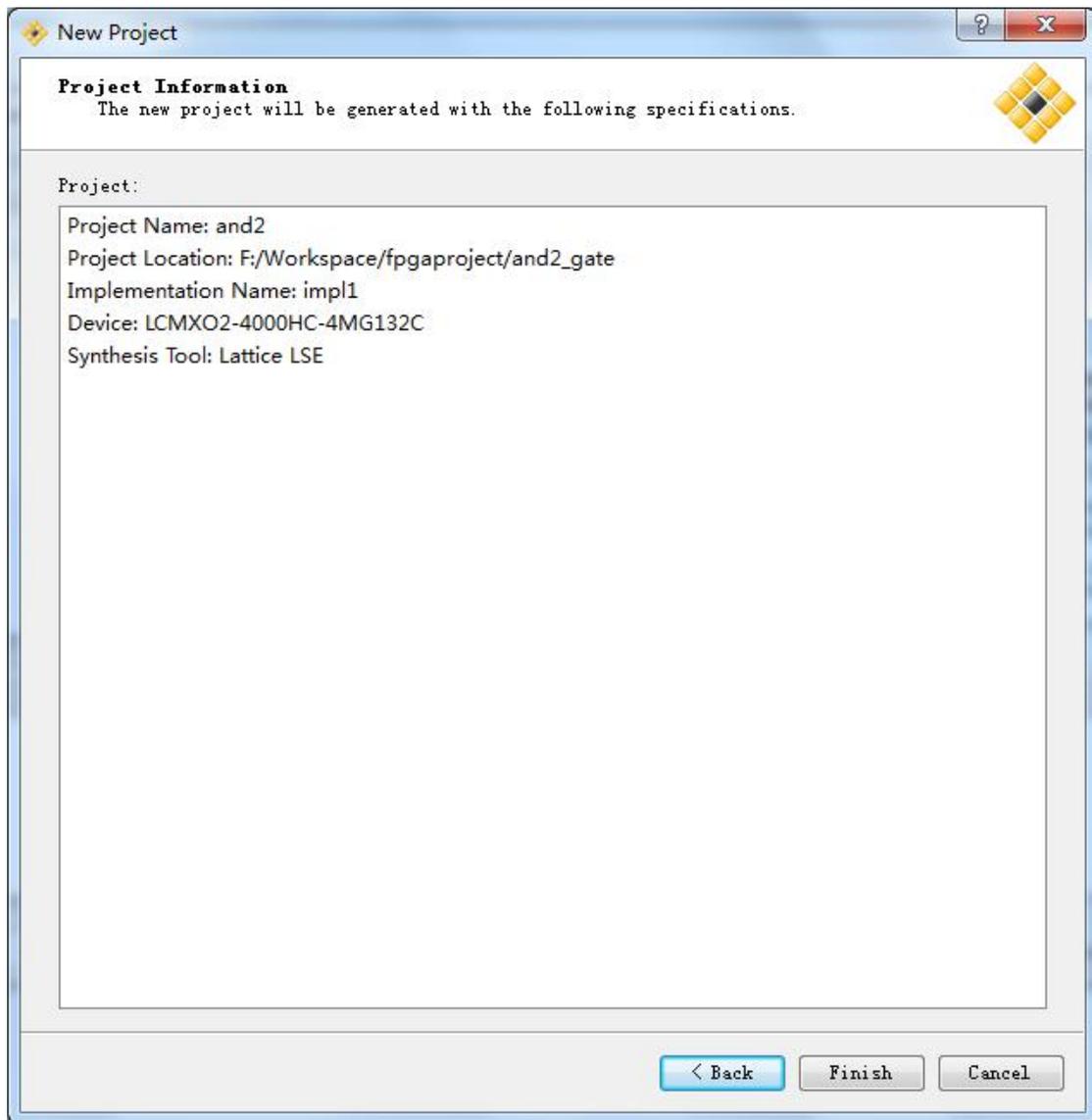
5、器件选择：LCMXO2-4000HC-4MG132C。务必按照下图所示选择。完成设置后点击 Next。



6、综合工具选择，可以选择第三方综合工具，但本人一般使用原厂综合工具，故默认设置。直接 Next。

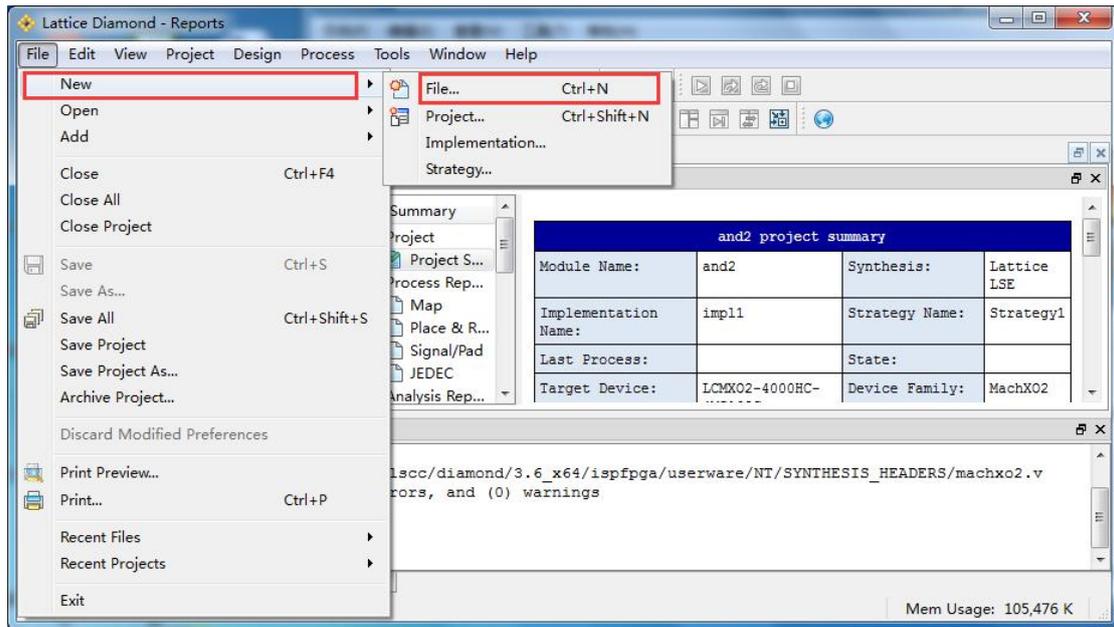


7、当看到下图，说明工程创建已经完成。点击 Finish 就 OK 了。

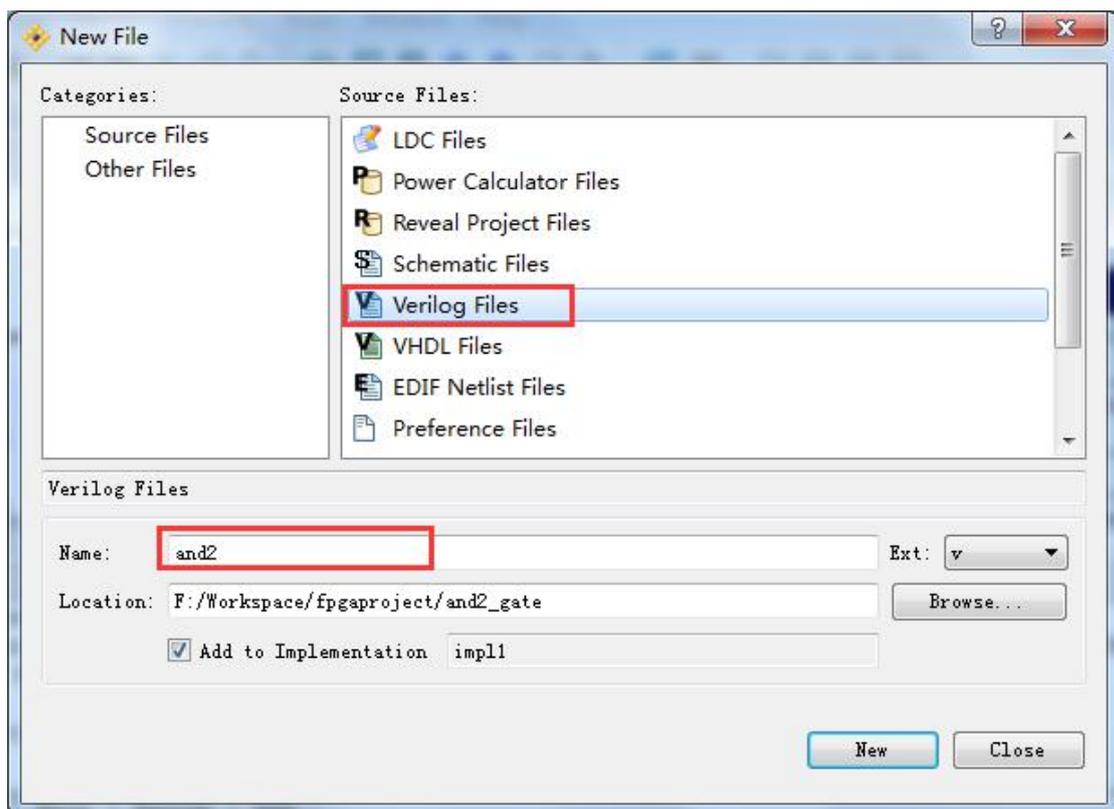


3.2 添加设计文件

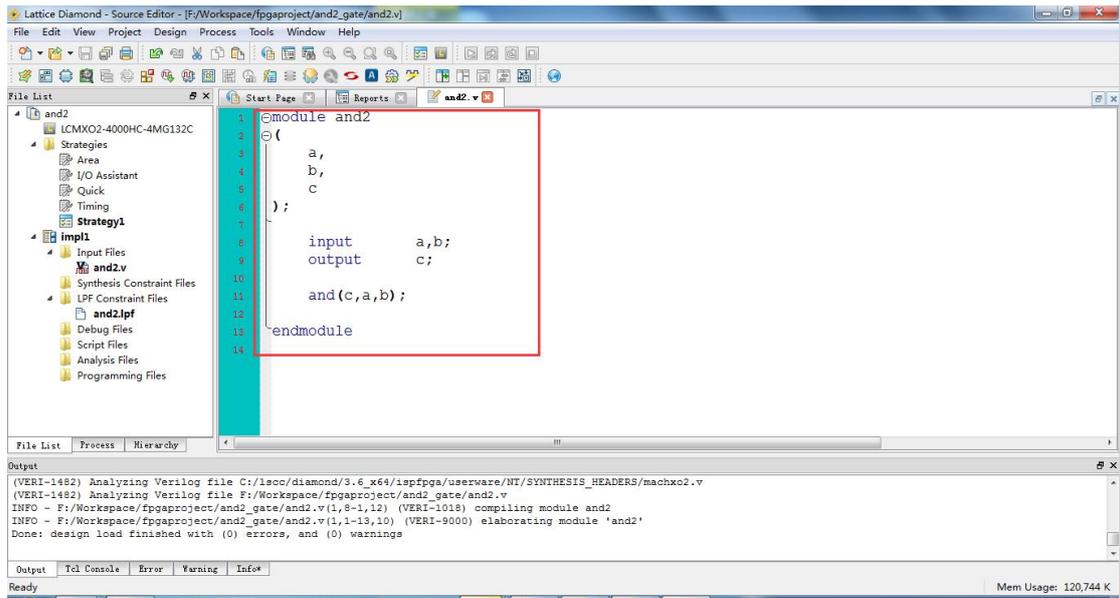
- 1、在 Diamond 软件面板上，选择 File>New>File，进行新文件创建。



2、在文件创建界面，选择合适的文件类型。本文添加 Verilog HDL 设计文件。选好类型，设置文件名称。点击 Yes，完成创建。



3、在新创建的 Verilog 文件中进行 Verilog HDL 代码编写。编写完成后，保存。IDE 自动将模块更新到左侧 Hierarchy(层次)窗口。



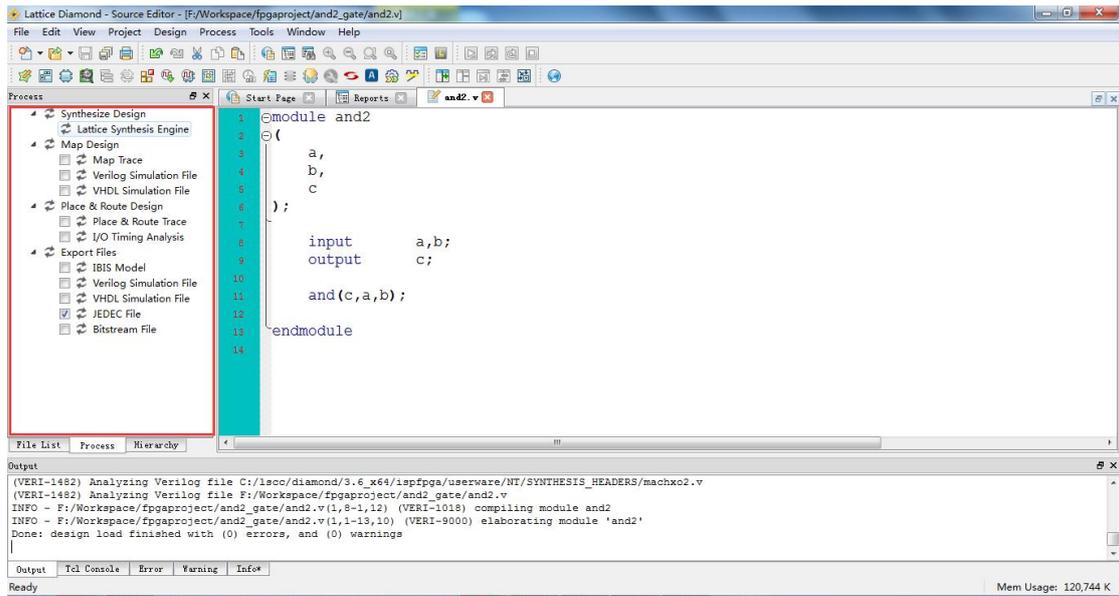
代码如下：

1. module and2
2. (
3. a,
4. b,
5. c
6.);
7. Input a,b;
8. Output c;
- 9.
10. and(c,a,b);
- 11.
12. endmodule

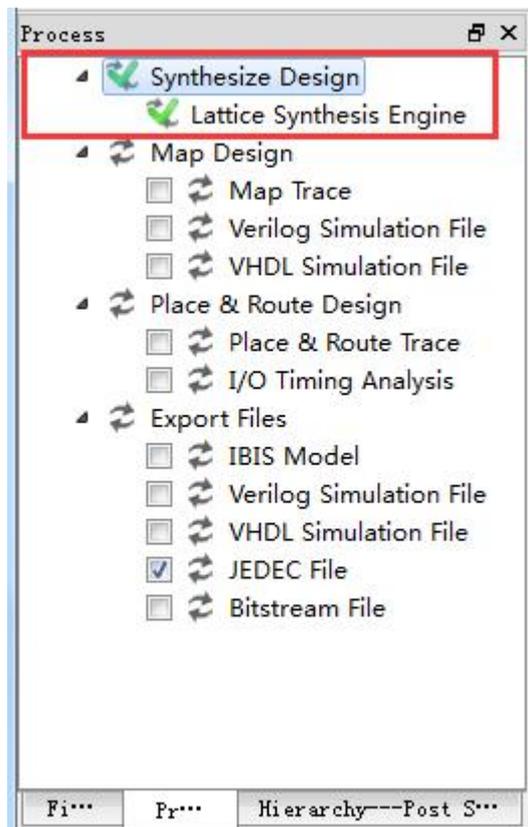
3.3 综合

编写好代码，需要进行验证。在 IDE 左侧，选择 Process。双击 Synthesis Design，对设计进行综合。

Synthesis Design: 综合是将我们语言描述的逻辑转换成门级电路的过程，同时针对 Lattice 的 FPGA 进行了优化。

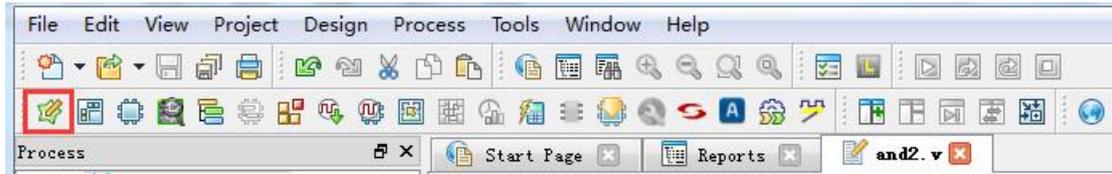


若设计没有问题，在选项前面会有绿色的对号。。。若出错都是红色的叉号。。。还不知道如果是警告会是什么符号，黄色的叹号？

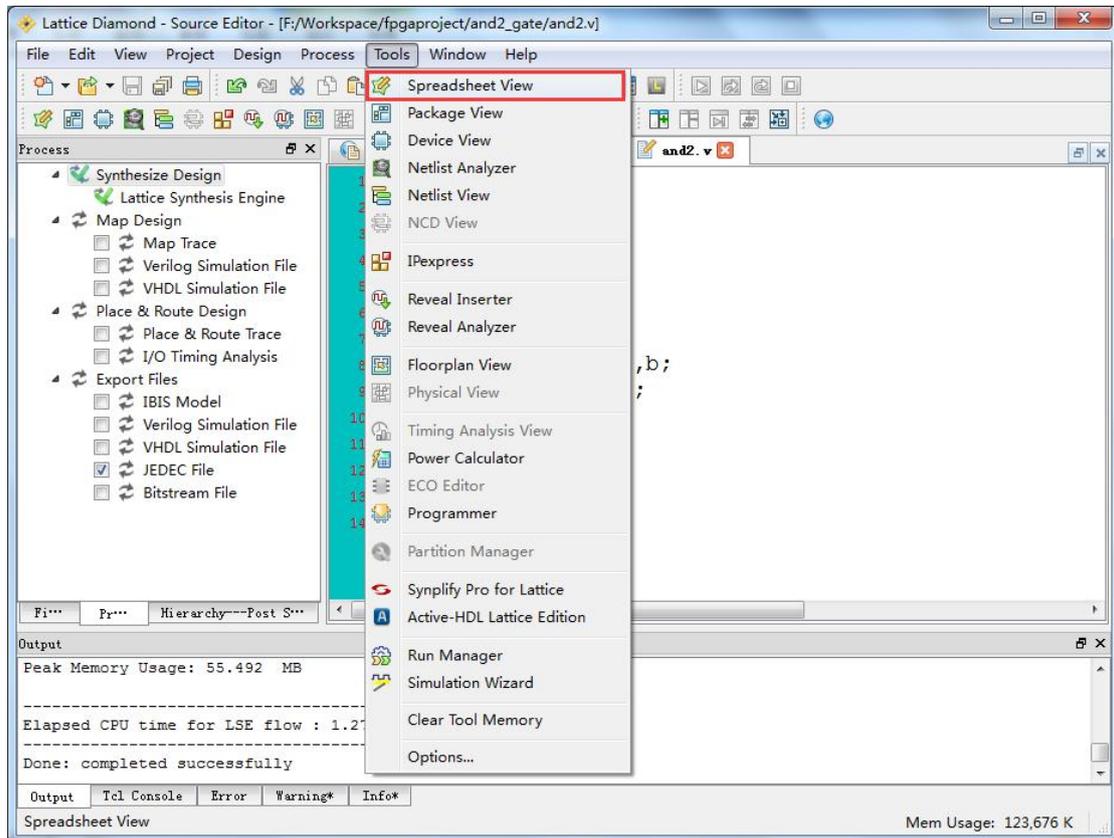


3.4 管脚分配

1、在工具栏中选择第三行第一个图标，点击即可进入管脚分配界面。



或者选择 Tools->Spreadsheet View



2、管脚设置约束界面。

 A screenshot of the Spreadsheet View window showing a table of pin constraints. The table has columns for Name, Group Bv, Pin, BANK, BANK VCC, VREF, IO TYPE, PULLMODE, DRIVE, SLEWRATE, CLAMP, and OPENDRAIN. The rows represent different pins and their configurations.

	Name	Group Bv	Pin	BANK	BANK VCC	VREF	IO TYPE	PULLMODE	DRIVE	SLEWRATE	CLAMP	OPENDRAIN
1	▼ All Ports	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
1.1	▼ Input	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
1.1.1	▶ a	N/A			N/A	N/A	LVCOS25	DOWN	NA	NA	ON	OFF
1.1.2	▶ b	N/A			N/A	N/A	LVCOS25	DOWN	NA	NA	ON	OFF
1.2	▼ Output	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
1.2.1	▶ c	N/A			N/A	N/A	LVCOS25	DOWN	8	SLOW	OFF	OFF

3、管脚设置需要的约束如下。a---L14，对应的板卡上按键 K1；b---M13，对应的板卡上按键 K2,c---N13，对应的板卡上 LD1。同时把管脚的 IO 类型都调整到 LVCOM33（3.3V 电平）。完成设置后，Ctrl+S 保存设置。

	Name	Group By	Pin	BANK	BANK_VCC	VREF	IO_TYPE	PULLMODE	DRIVE	SLEWRATE	CLAMP	OPENDRAIN
1	All Ports	N/A	N/A	N/A	N/A	N/A	LVC MOS33		N/A	N/A		
1.1	Input	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
1.1.1	a	N/A	L14	1	Auto	N/A	LVC MOS33	DOWN	NA	NA	ON	OFF
1.1.2	b	N/A	M13	1	Auto	N/A	LVC MOS33	DOWN	NA	NA	ON	OFF
1.2	Output	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A
1.2.1	c	N/A	N13	1	Auto	N/A	LVC MOS33	DOWN	8	SLOW	OFF	OFF

Port Assignments | Pin Assignments | Clock Resource | Route Priority | Cell Mapping | Global Preferences | Timing Preferences | Group | Misc Preferences

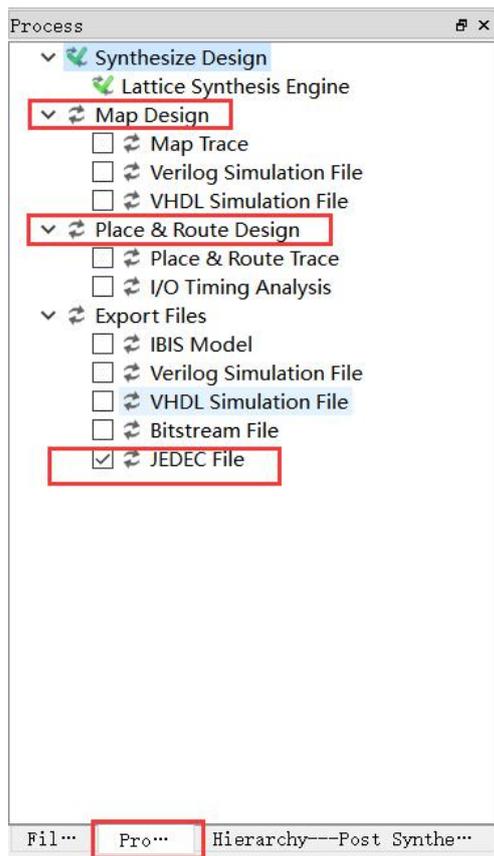
3.5 生成编译文件

1、综合成功以及管脚设置正确后，要想生成编译流文件需要经过映射、布局布线、输出流文件等几个步骤，这些步骤都是软件 EDA 工具自动完成。

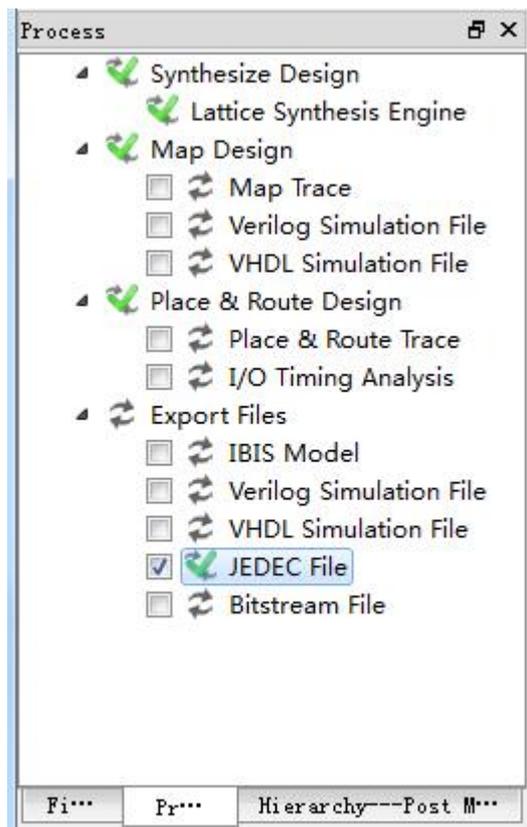
Map Design: 映射是将综合过程产生的门级电路（这些门级电路逻辑目前是与具体芯片不相关）转换为与特定 FPGA 芯片结构相关的电路过程。例如将门电路逻辑或者触发器逻辑转换为特定的与芯片相关查找表结构

Place&Route Design: 布局布线过程就是根据映射过程所产生的基于 FPGA 芯片电路逻辑在该 FPGA 芯片上面进行物理布局布线过程

Export Files: 输出编译文件。在小脚丫开发板上的 MXO2 系列芯片需要用 JEDEC 文件进行编译下载，所以在这里要将 JEDEC File 项勾选上



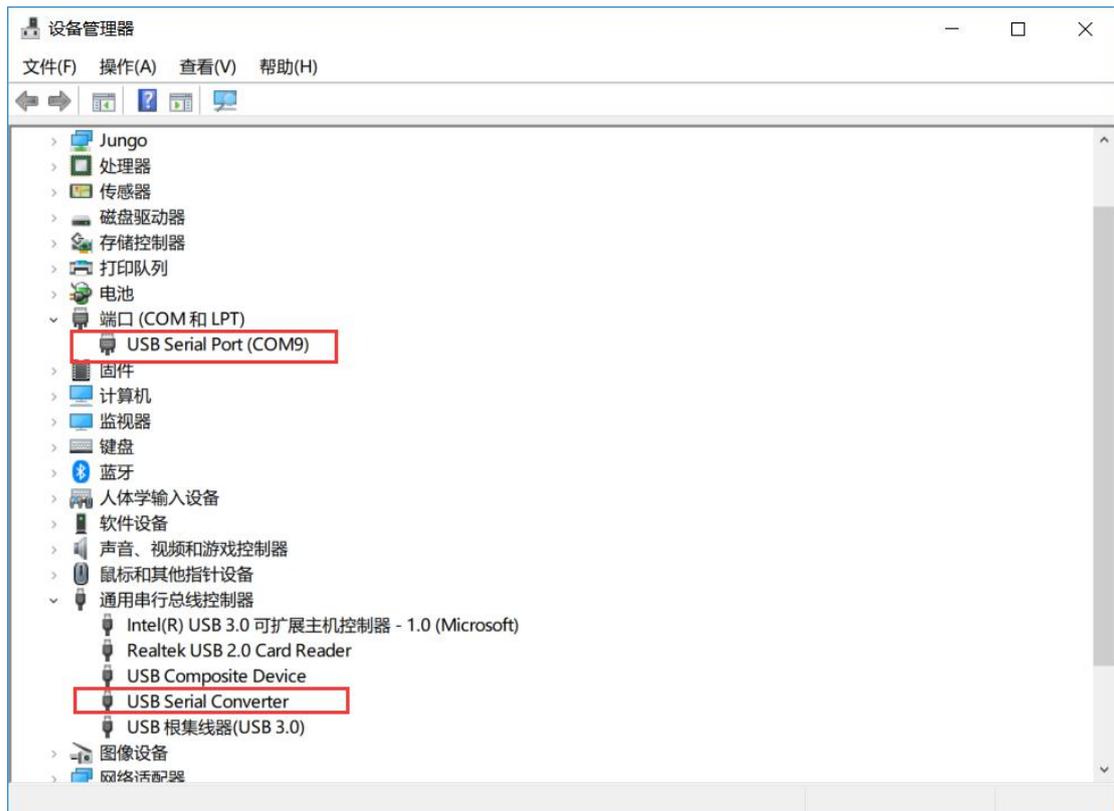
2、双击对应的步骤，软件会自动运行该过程。也可以直接双击 **Export Files** 项，自动完成以上步骤



3.6 下载

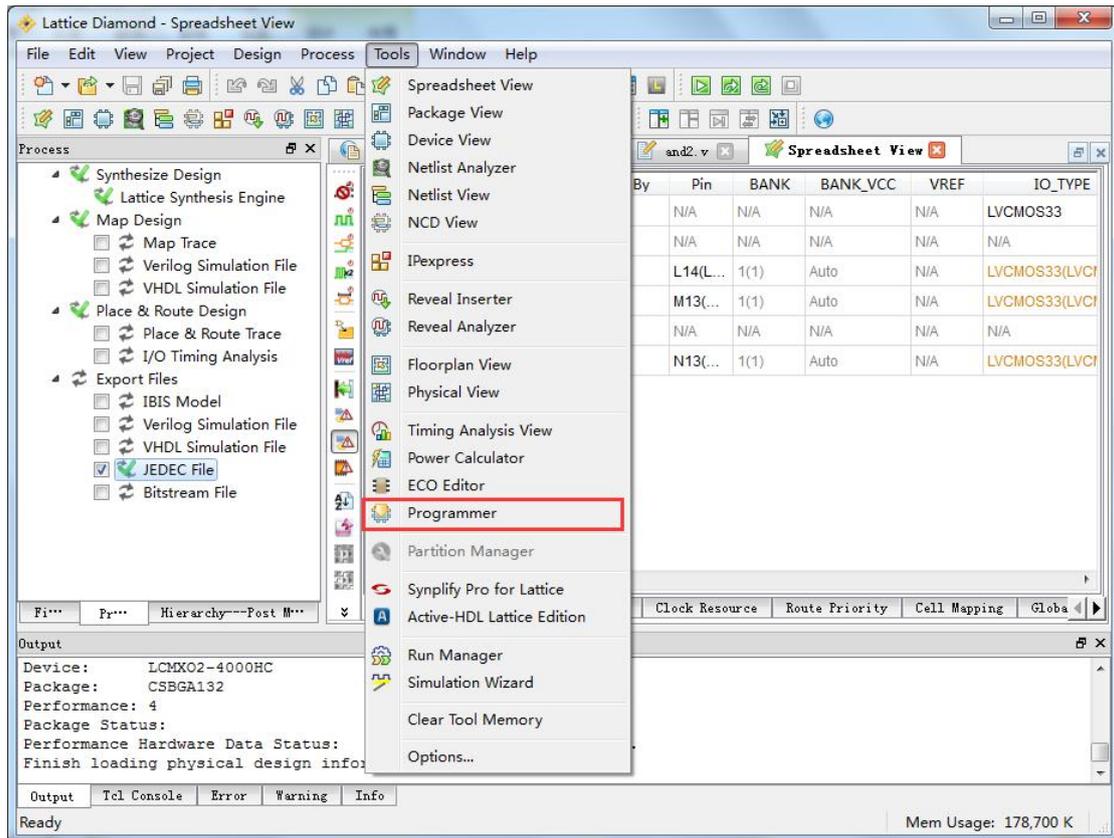
1、完成输出编译文件后，则可以将编译文件下载到板卡上测试了。这里是针对 STEP-MX02 小脚丫开发板。

将 STEP-MX02 开发板通过 USB 线连接到 PC 供电，这时查看电脑的设备管理器增加了一个 USB 串行设备，这说明下载器的驱动已经安装成功。

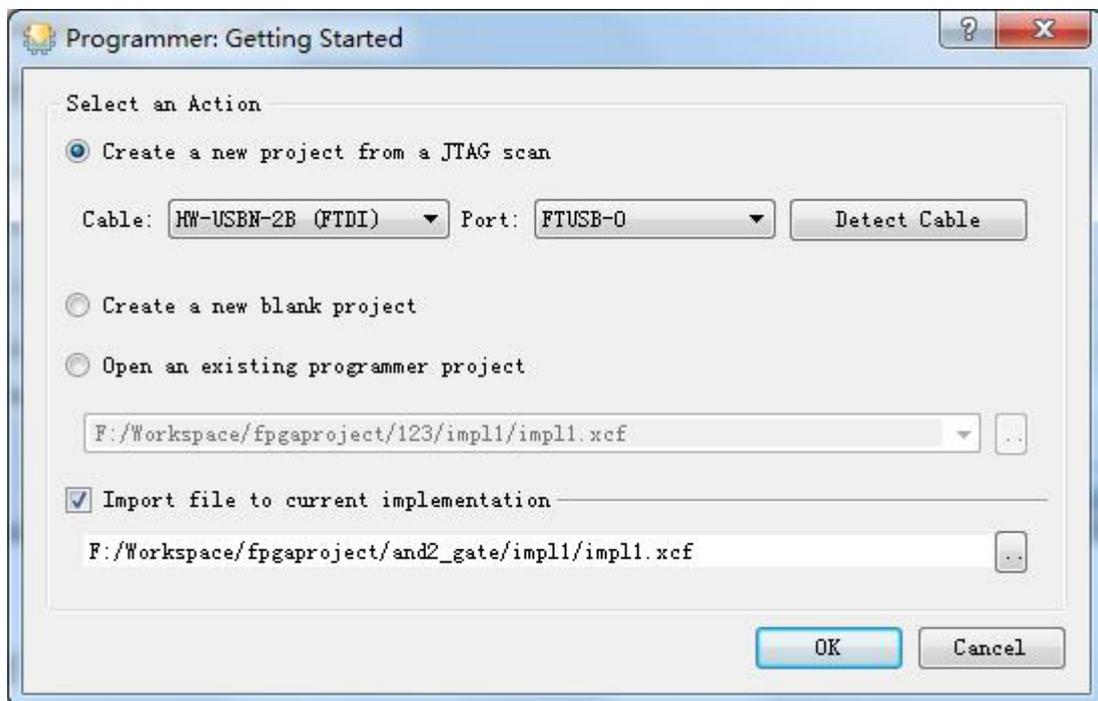


2、选择工具栏第三行  图标，也可以选择 Tools->Programmer。

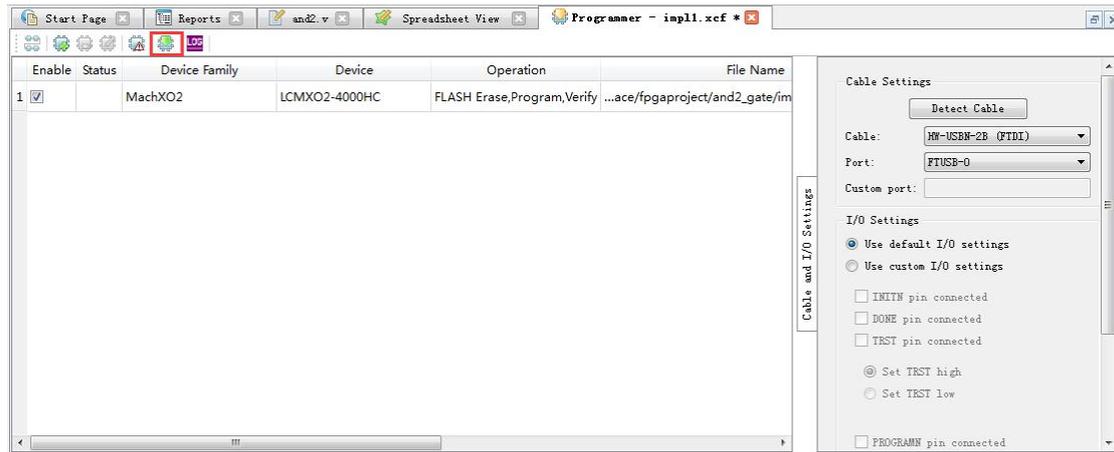




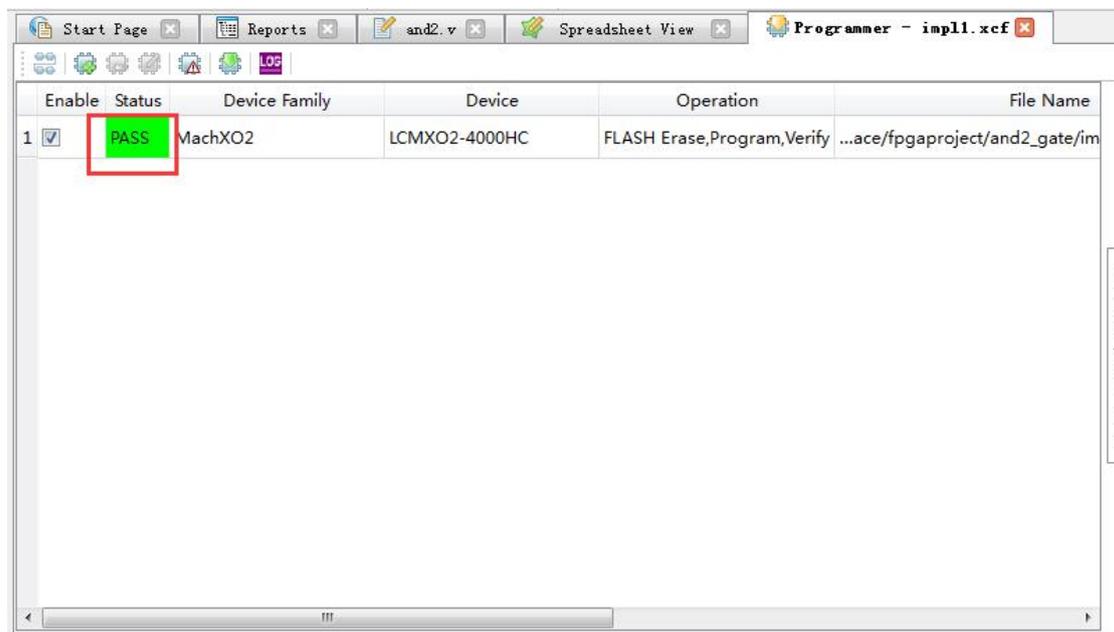
3、在进入 FPGA 编程前，IDE 会检测调试工具，如下图。调试工具正确安装驱动后，会自动识别，因此选择默认即可。



4、进入编程下载界面后，点击界面中  图标。



5、下载完成后，界面显示 PASS。



至此，新工程从创建到综合实现，再到编译下载都已完成。

接下来就是看看下载到小脚丫上的程序运行结果了。实例是一个简单的二输入与门逻辑，利用两个按键（K1、K2）来控制 LED 灯（LD1）的亮灭。在 FPGA 板上 LD1 的信号为高时，LD1 不亮；当 LD1 的信号为低时，LD1 点亮。而按键 K1 和 K2 初始状态是高，当按键按下时信号变低。所以程序运行后，按任意一个键或者两个键同时按下，LD1 变亮；否则的话，LD1 应该不亮。

3.7 小结

总结一下 FPGA 的一般开发步骤：

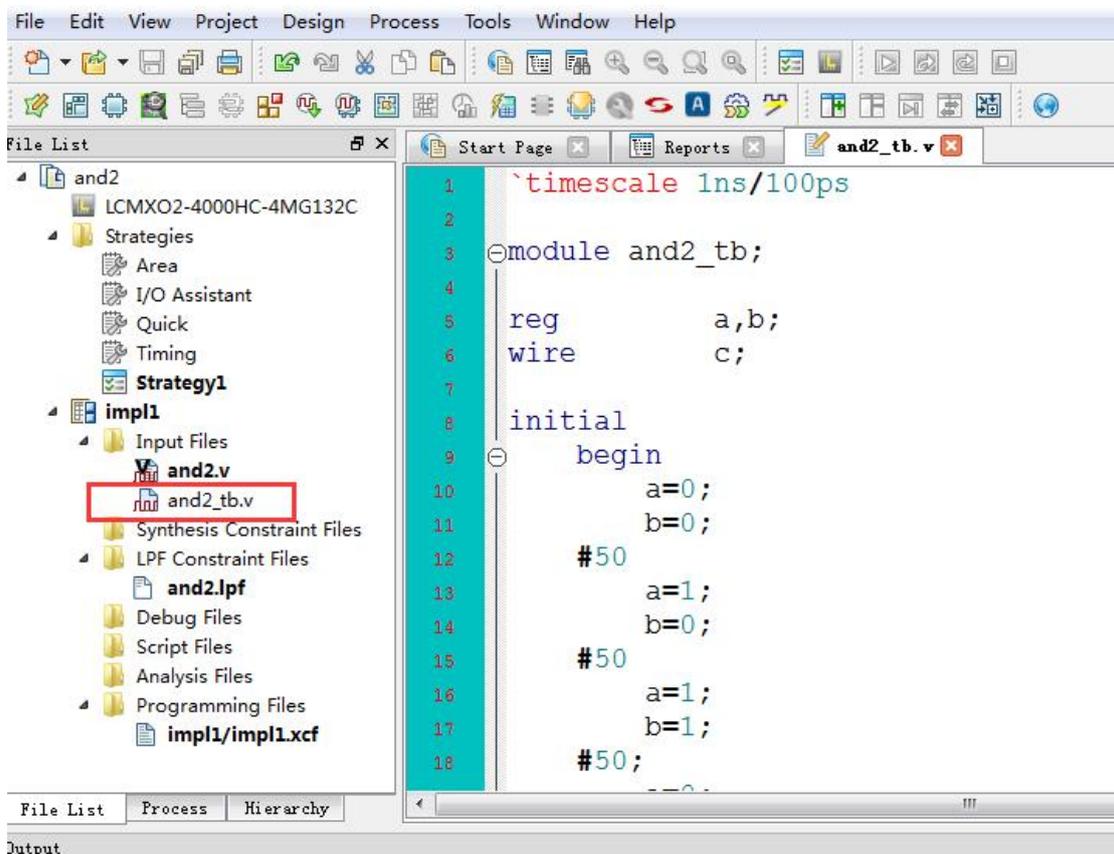
- 1、建立工程，包括工程路径、芯片选型

- 2、源文件输入，一般有图形和文本输入两种方式，文本的话，一般公司使用 Verilog 较多吧
 - 3、编译综合（Synthesis），将行为和功能层次表达的电子系统转化为低层次模块的组合，一般可以查看系统的 RTL 层次图
 - 4、添加约束，包括分配管脚，可以使用图形和文本输入两种方式
 - 5、映射，将综合生成的 RTL 逻辑转换成和特定 FPGA 芯片相关逻辑构成
 - 6、布局布线，映射后的逻辑在 FPGA 芯片上实现物理布局布线
 - 7、验证（Verification），包括时序仿真和功能仿真，一般会结合 ModelSim 编写 testbench 进行测试
 - 7、生成下载的编译流文件文件
 - 8、下载工程文件到开发板，包括仿真器连接和配置
 - 9、效果演示
- 比较简单的工程可以省略其中的一些步骤，直接上板看效果。

4. 仿真工具 Active-HDL

FPGA 设计里还有一个重要的步骤就是仿真，Diamond 软件开发环境同时集成了 Active-HDL 工具，下面看看如何进行功能仿真

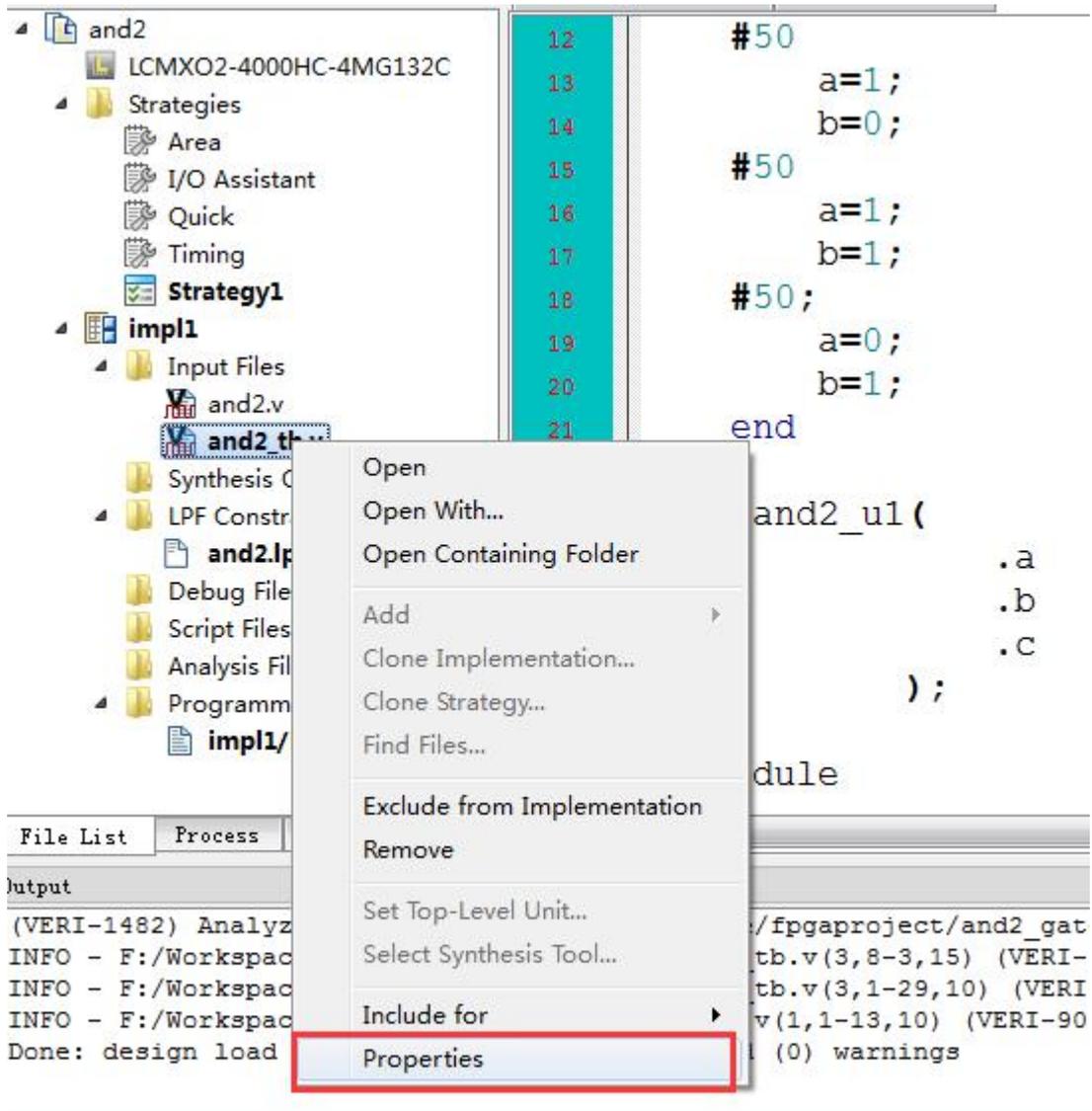
- 1、首先新建一个 testbench 文件，方法和新建 Verilog 源文件一样。我们命名为 and2_tb



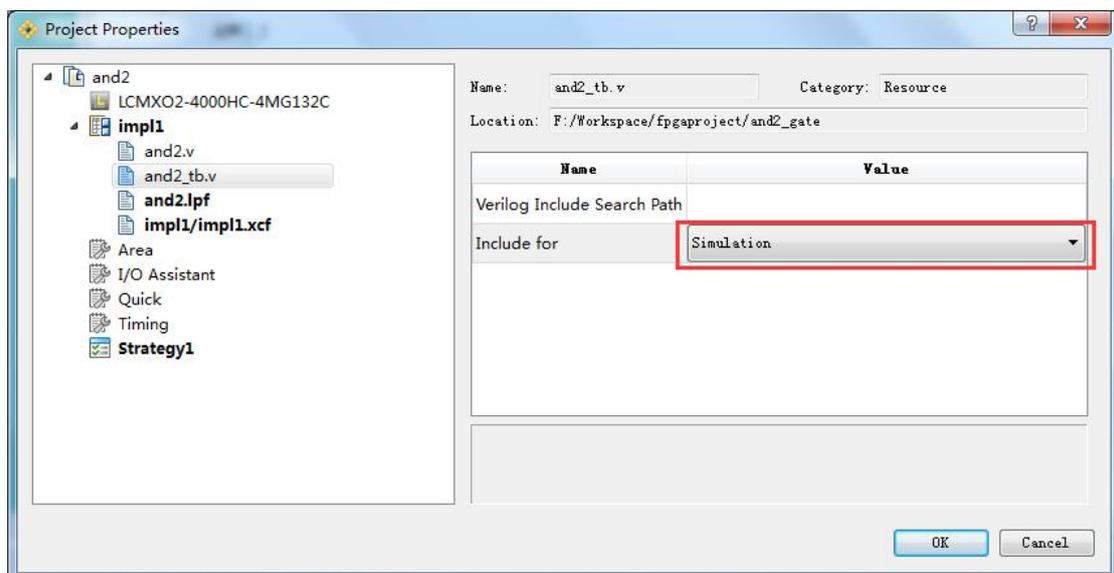
- 2、testbench 测试文件内容如下：

```
`timescale 1ns/100ps
module and2_tb;
reg      a,b;
wire     c;
initial
begin
    a=0;
    b=0;
    #50
    a=1;
    b=0;
    #50
    a=1;
    b=1;
    #50;
    a=0;
    b=1;
end
and2 and2_u1(
    .a      (a),
    .b      (b),
    .c      (c)
);
endmodule
```

3、这里需要注意的是测试文件只是用来仿真的，很多语句是不可综合的，所以要设置文件的属性。在工程目录里右键点击 `and2_tb` 文件，



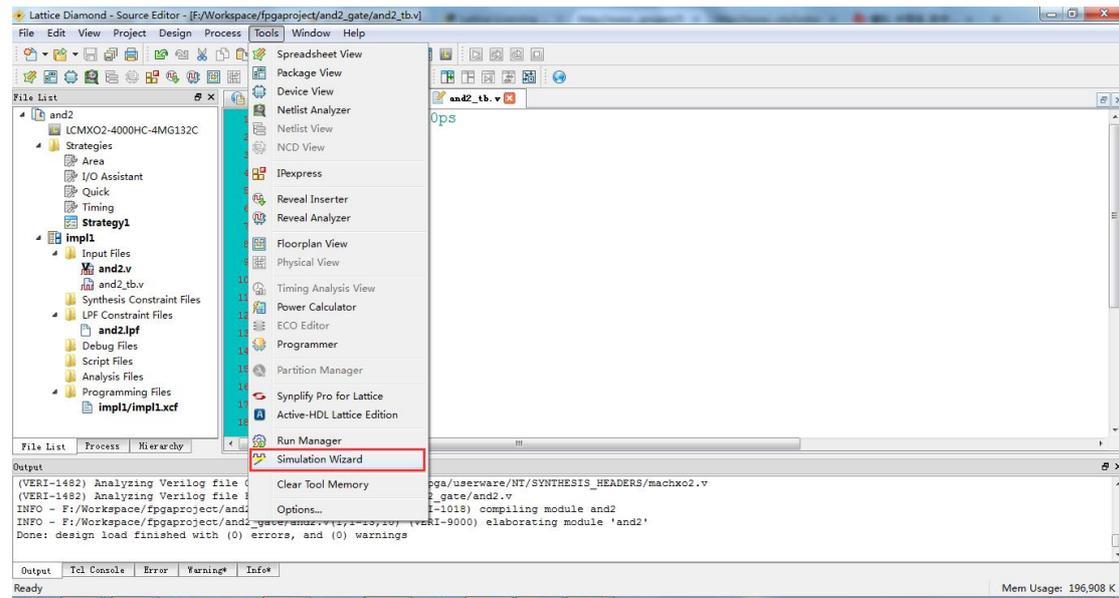
弹出一个属性窗口，把测试文件属性值改为 simulation 表示只做仿真。



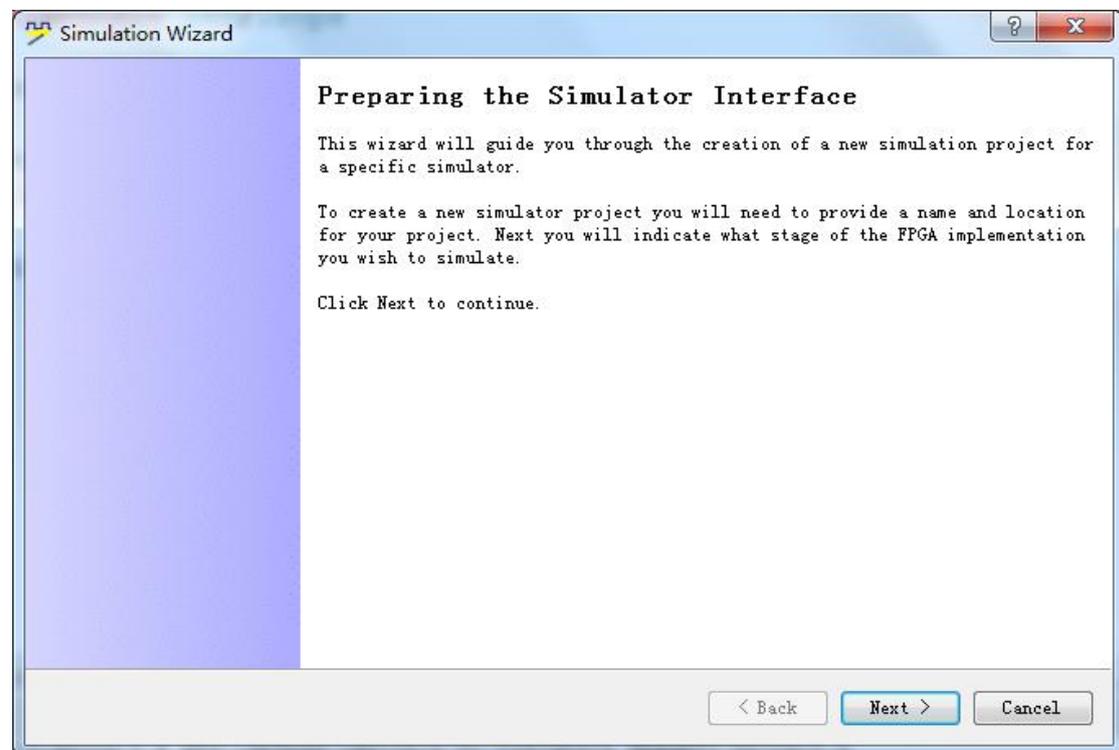
4、点击工具栏的仿真向导按钮,



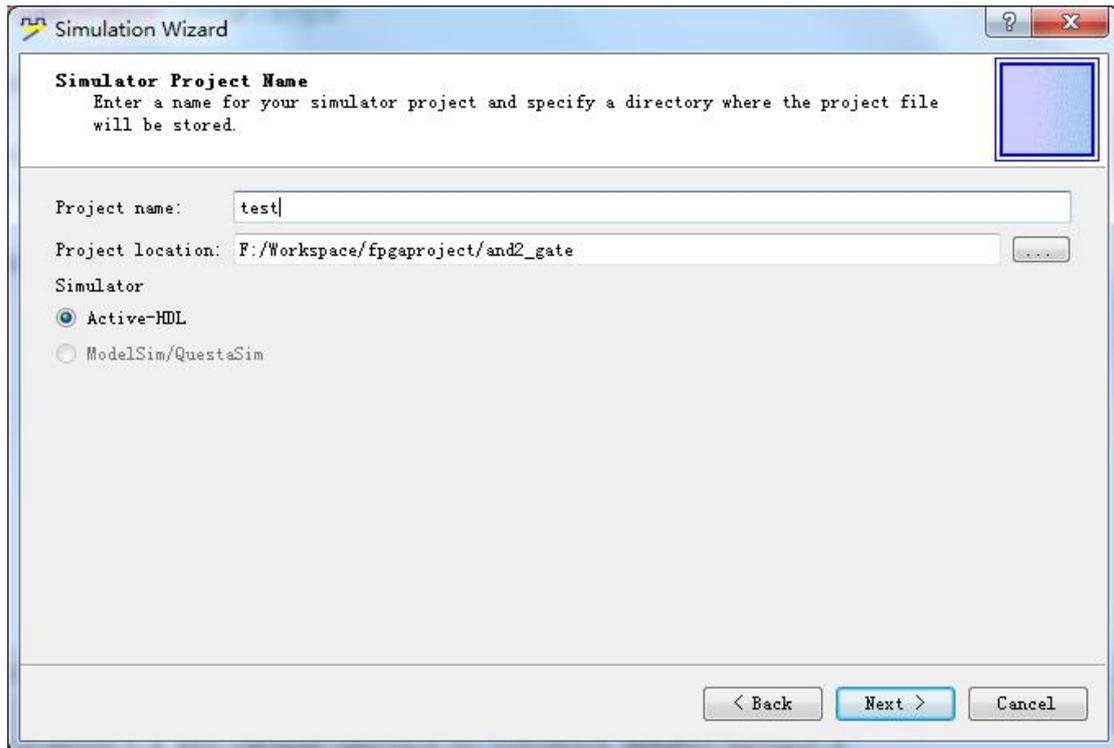
或者是 Tool->Simulation Wizard



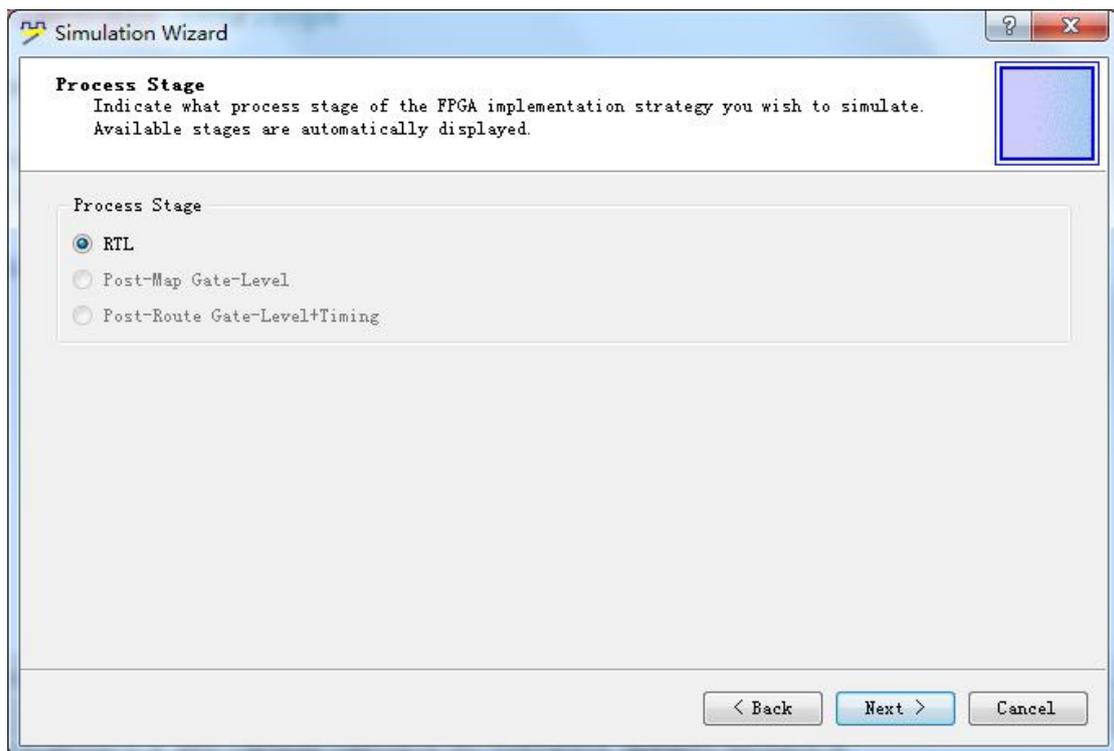
5、弹出仿真向导窗口，



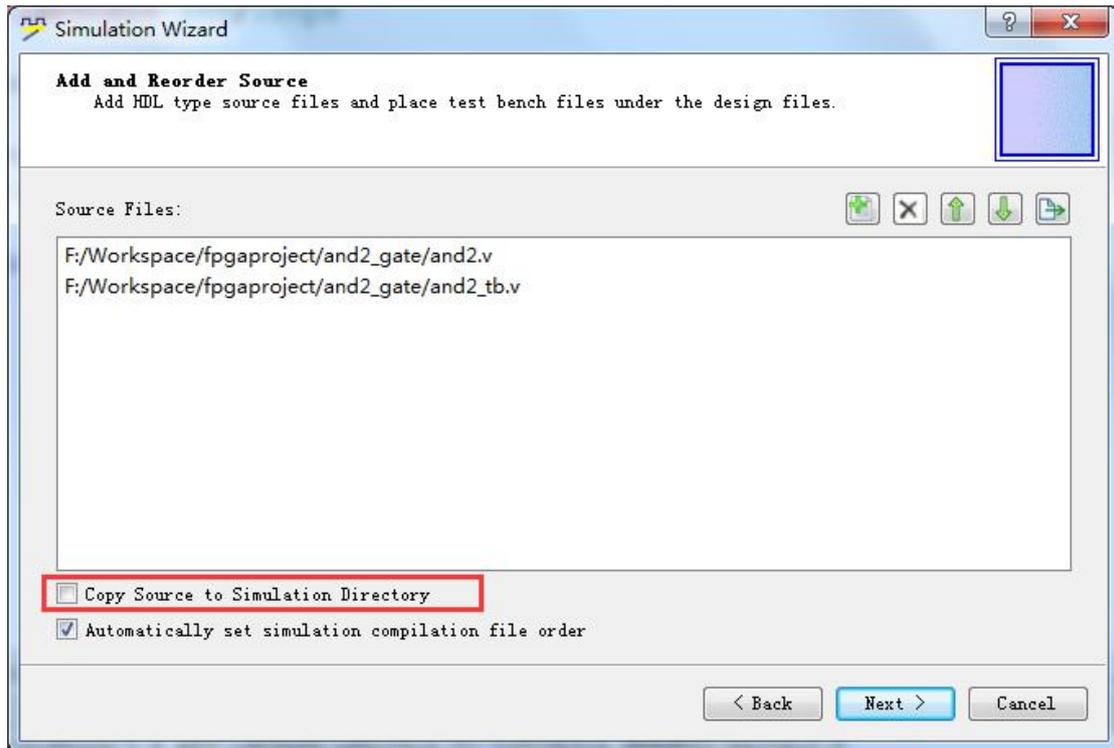
6、给仿真的工程去一个名字，



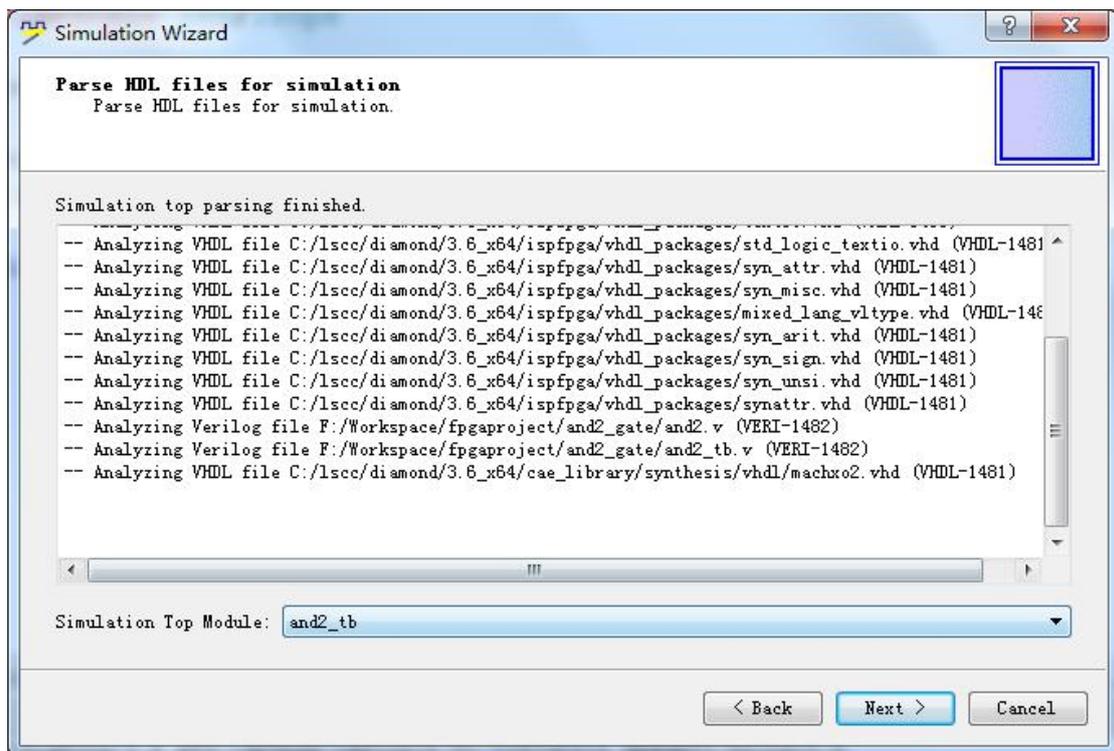
7、选择仿真的阶段，这里是功能仿真，所以只能选 RTL 级。



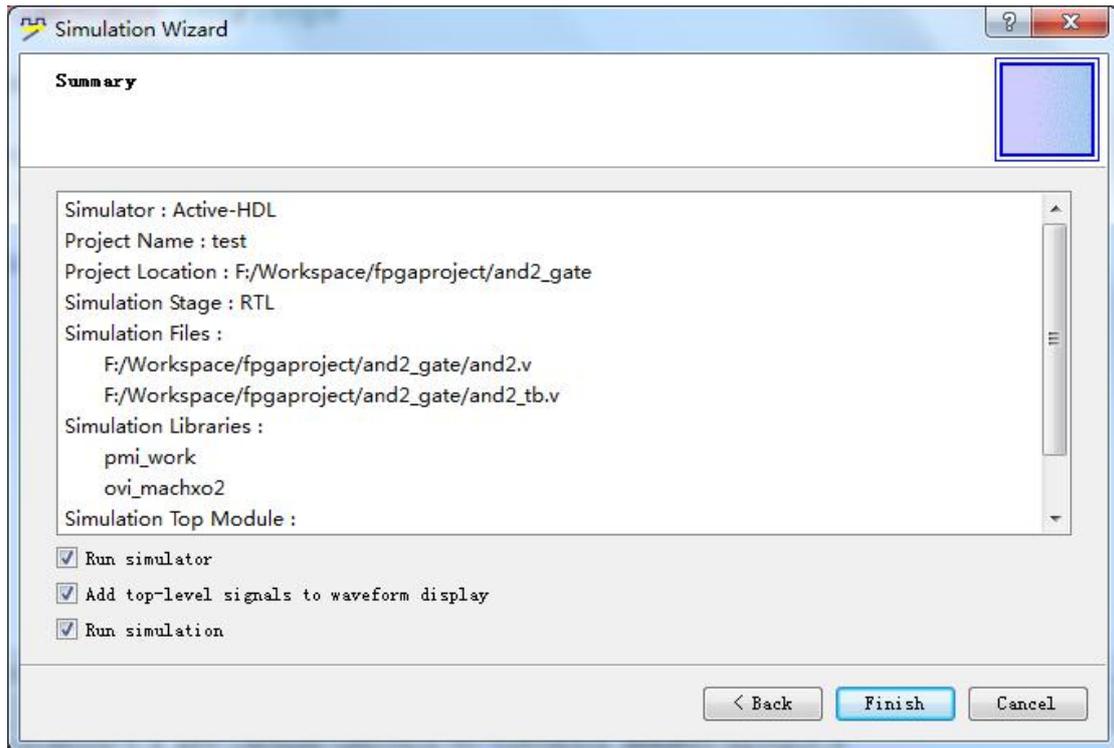
8、选择添加或者删除所要仿真的源文件和测试文件，如果确认了 Copy Source to Simulation Directory 选项，将会拷贝源文件到仿真工程目录。



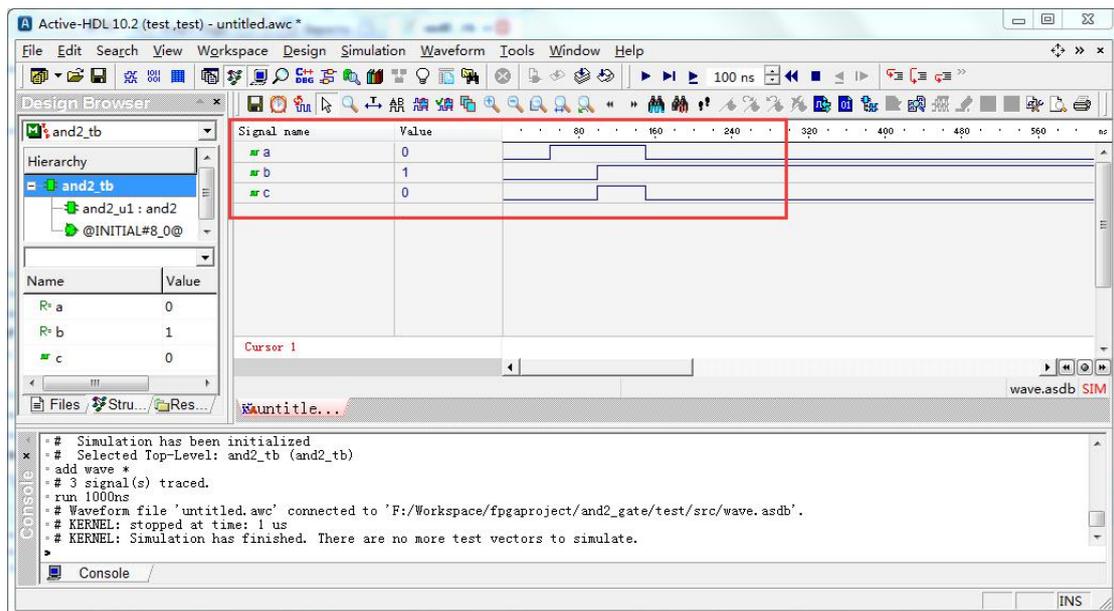
9、仿真工程列表，如果有多个测试文件可以选择顶层测试文件。



10、仿真工程项目创建完成，如果下方选项确定，将会在完成后自动执行仿真并显示波形文件。



11、完成仿真向导后，执行方针显示仿真后波形。



5. STEP-MX02-C 版本

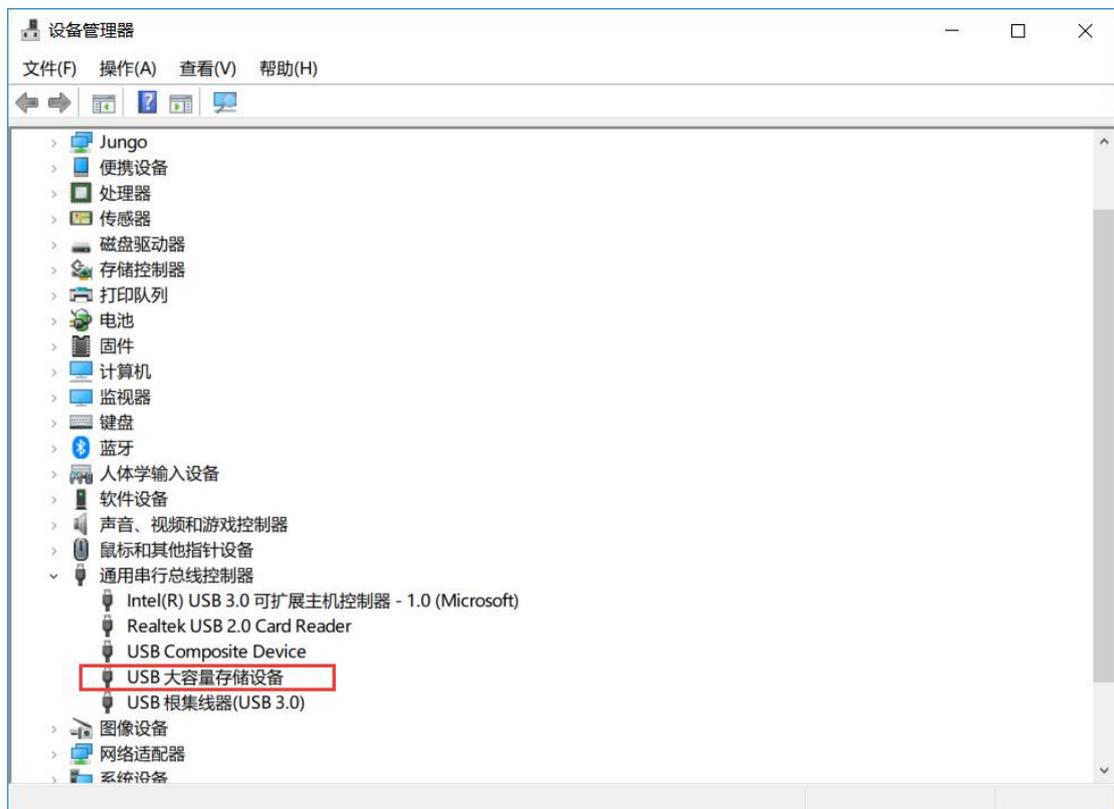
5.1 STEP-MX02-C 版本差异

小脚丫 STEP-MX02-C 是与 STEP-MX02 相似的一款硬件版本，它们之前最大的区别就是下载编译文件到 FPGA 芯片的方式不一样。STEP-MX02 是通过 JTAG 模式下载文件，而 STEP-MX02-C 则是虚拟 USB 磁盘，通过文件拷贝方式。具体的硬件上差别请参考文档 STEP-MX02 硬件手册

5.2 STEP-MX02-C 下载方式

1、使用小脚丫 STEP-MX02-C 时，建工工程到生成编译文件的过程与之前 STEP-MX02 开发板完全一样，不同的是在 3.6 节下载这一步。

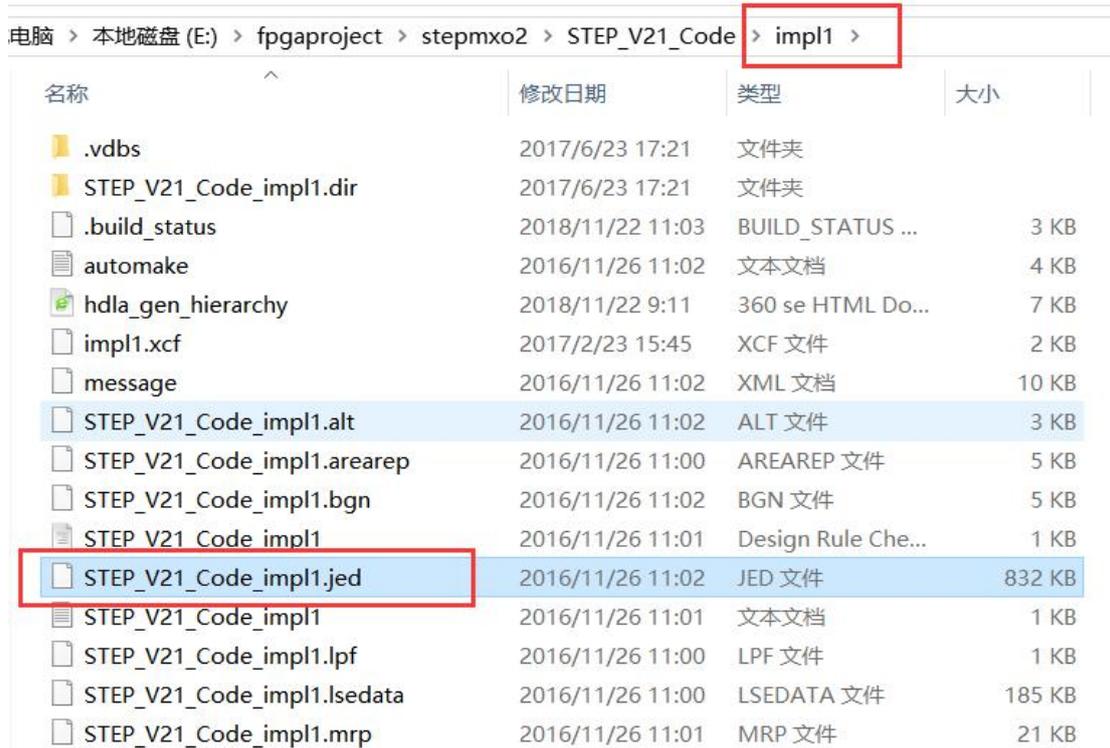
将 STEP-MX02-C 开发板通过 USB 线连接到 PC，查看设备管理器增加 USB 大容量存储设备



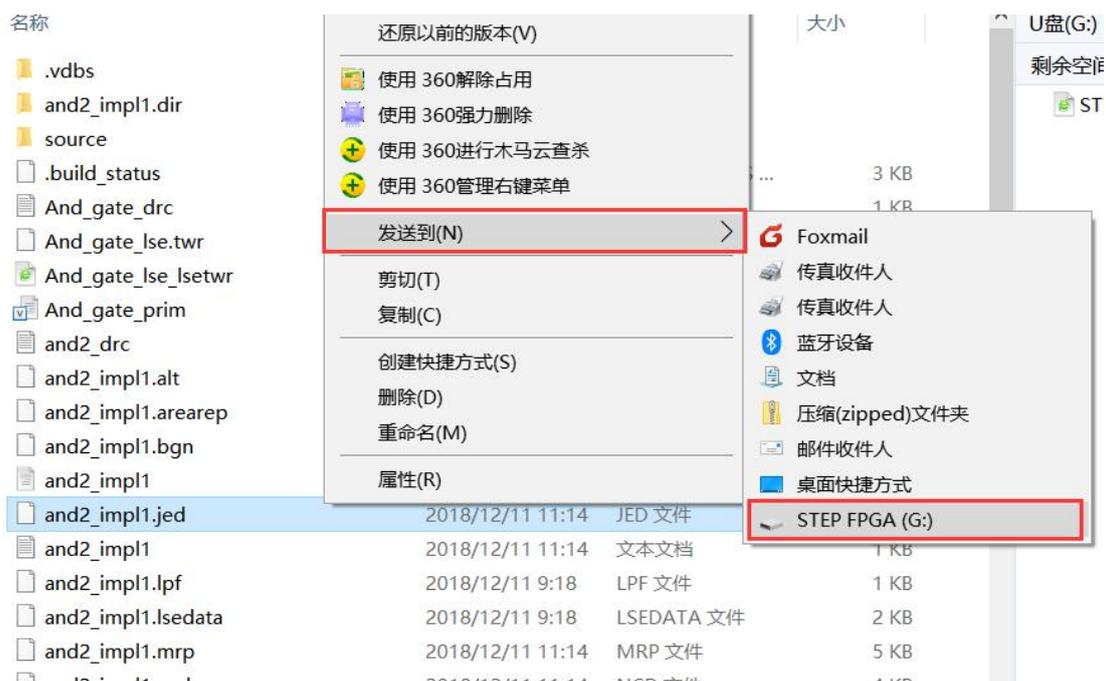
同时可以看到电脑增加了一个名为 STEP FPGA 的 USB 盘符



2、前面工程生成的 JEDEC File 在工程目录下 impl1 文件夹下面，后缀为 jed 的文件就是我们下载的文件。



3、拷贝.jed 文件到 STEP FPGA 磁盘



文件拷贝完成后会有一个重新识别 USB 盘的过程，这是已经完成了文件下载。

4、下载小结

STEP-MXO2-C 开发板采用了一种全新的下载文件方式，在 PC 上虚拟一个 USB 盘，通过文件拷贝的方式自动完成文件下载，速度更快更方便。

6. 版本

版本号	修改日期	修改
V1.0	2016/8/28	初始版本
V1.1	2017/1/20	修订微小错误
V1.2	2018/12/1	增加 STEP-MXO2-C 下载方式