|  |
| --- |
|  |
| STEP-MXO2 V2 软件手册 |
| 小脚丫STEP FPGA |
|  |
| **STEP** |
| **2016/8/28** |

|  |
| --- |
|  |

**STEP-MXO2 V2 软件手册**

目录

[1．概述 2](#_Toc460277548)

[2．软件安装 2](#_Toc460277549)

[2.1 Diamond软件下载： 2](#_Toc460277550)

[2.2 Diamond安装步骤： 2](#_Toc460277551)

[2.3 Diamond软件注册： 9](#_Toc460277552)

[3．创建第一个工程 14](#_Toc460277553)

[3.1 新建一个工程 14](#_Toc460277554)

[3.2 添加设计文件 20](#_Toc460277555)

[3.3 管脚分配 23](#_Toc460277556)

[3.4 生成编译文件与下载 24](#_Toc460277557)

[3.5 小结 28](#_Toc460277558)

[4．仿真工具Active-HDL 28](#_Toc460277559)

[5．版本 35](#_Toc460277560)

# 1．概述

Lattice Diamond设计软件提供了最先进的设计和实现工具，专门针对成本敏感、低功耗的莱迪思FPGA架构进行了优化——使用低密度和超低密度FPGA的应用设计需要灵活性、验证和可快速重用的特性。

* 基于GUI的完整FPGA设计和验证环境
* 可通过多个工程实现以及设置策略对单个设计项目进行设计探索
* 提供时序和功耗管理的图形化操作环境小脚丫

在Lattice官网可以免费下载最新的Diamond工具，支持Windows系统和Linux系统。

# 2．软件安装

## 2.1 Diamond软件下载：

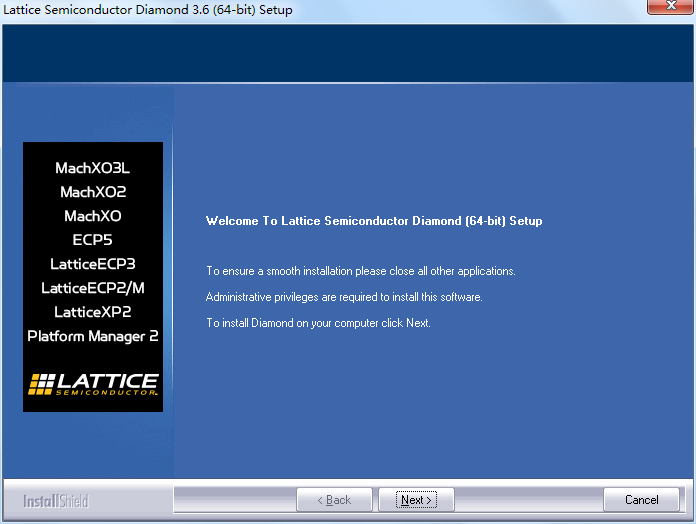
1、到Lattice官网注册，到如下网址<http://www.latticesemi.com/zh-CN/Products/DesignSoftwareAndIP/FPGAandLDS/LatticeDiamond.aspx>

下载对应操作系统的最新Diamond软件安装包。

2、根据安装指南进行安装。

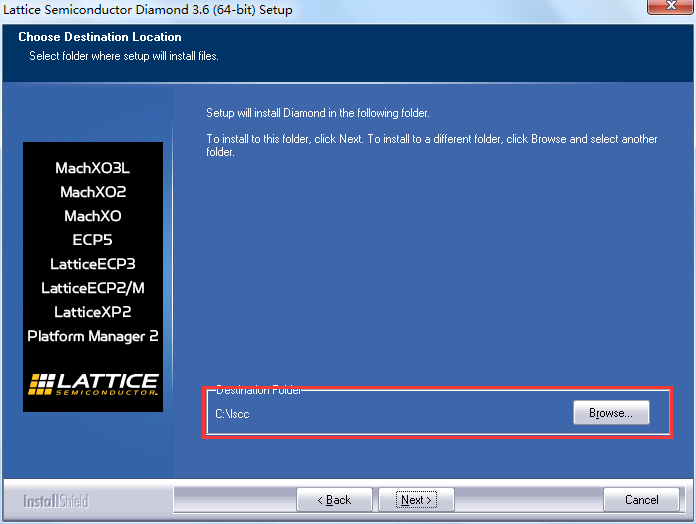
3、点击许可证页面链接获取许可证。（邮箱获取，免费）

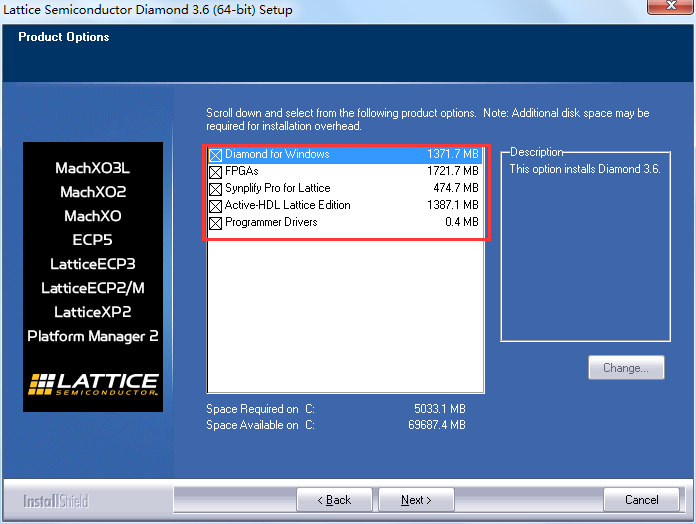
## ****2.2 Diamond安装步骤：****

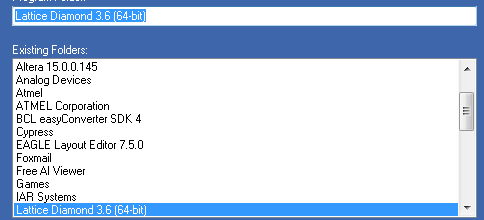
1、双击打开下载好的软件（请注意操作系统的版本和下载软件的版本）。  
2、进入安装首页。  
  
3、点击Next，进入协议界面，不同意就不让你安装，那同意就是了。。。



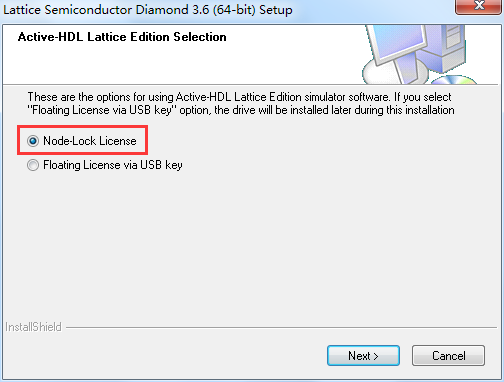
4、修改安装路径，默认是安装在C盘。

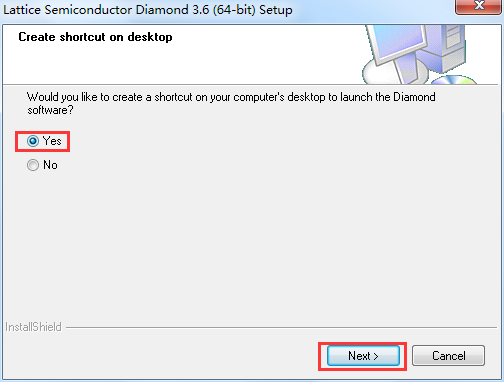
5、修改完路径后，点击Next，进入工具选项界面。

  
6、我是选择默认设置，即全部安装。注意叉叉是表示选择。点击Next，进入文件夹名设置。当然你可以根据自己喜好，修改文件夹的名字。

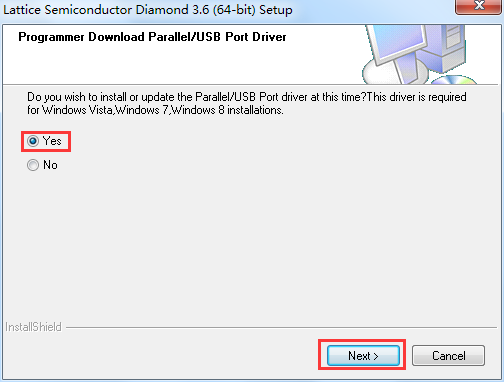


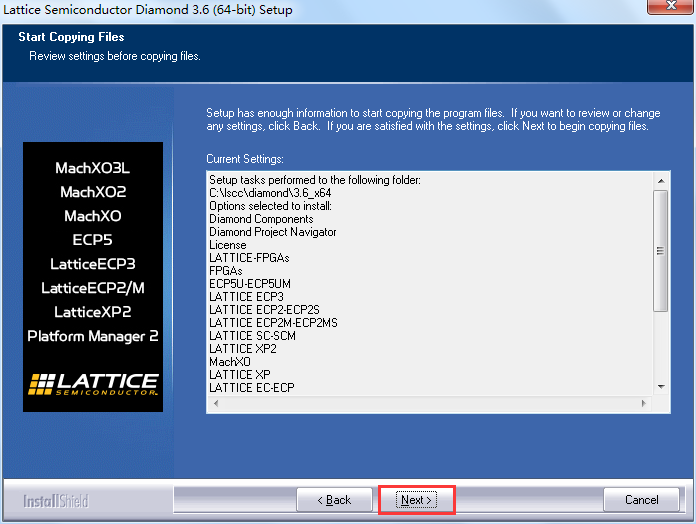
7、接下来就是认证设置。没有USB key，就只能选择Node-Lock License。关于Node-Lock License和Floating License的区别可以参考下面这个博客：  
TestComplete 浮动许可证（Floating license)与节点锁定许可证(Node-locking license) 区别

  
8、点击Next，选择是否创建桌面快捷键。

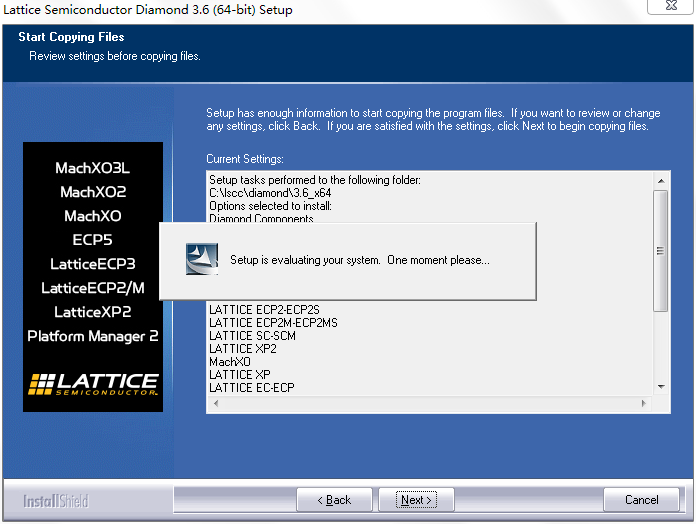


9、点击Next，选择是否安装USB驱动，这个必须同意！！！

  
10、完成这一系列设置后，软件列出所有设置内容。

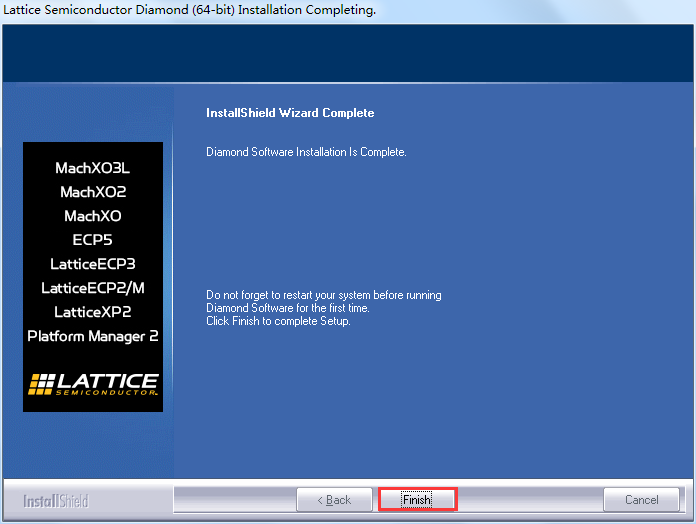


11、点击Next，正式进入安装环节。软件会评估一下本机系统，决定是否继续安装。

  
12、一般配置的PC机都可以通过评估。进入安装。



13、耐心等待=========>

  
14、点击Finish，完成安装。

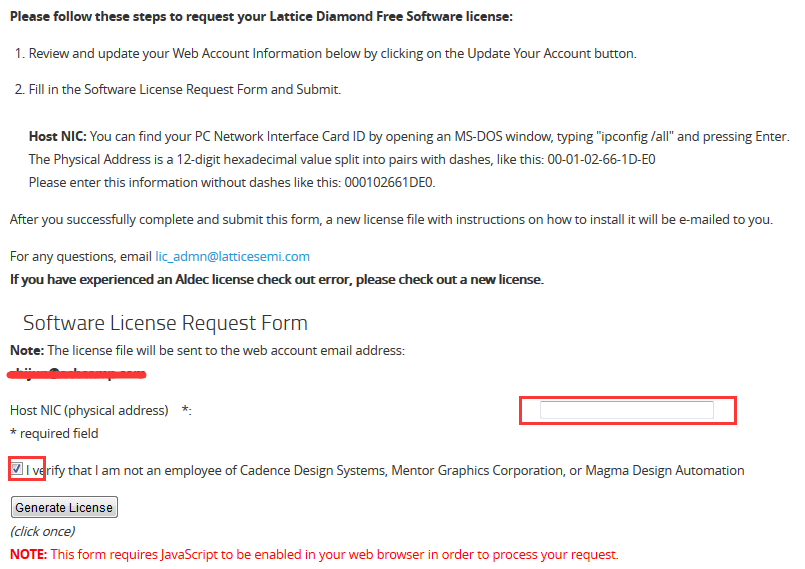
## 2.3 Diamond软件注册：

1、Diamond软件不仅提供了简单易用的操作环境，而且提供免费许可证使得用户能够设计并评估Diamond软件支持的不带SERDES的器件的性能。免费许可证获取十分简单，首先在Lattice官网注册一个账号（需要邮箱）。

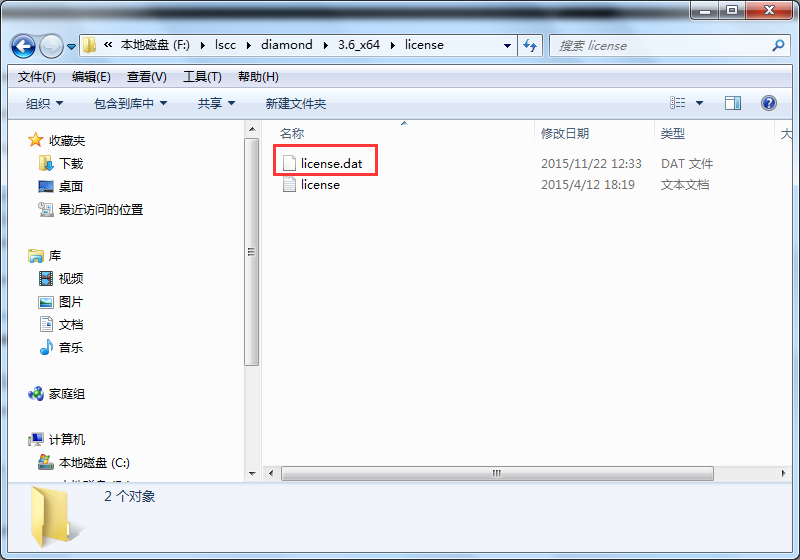
2、访问官网页面<http://latticesemi.com/Support/Licensing.aspx>，点击获得一个免费许可证。



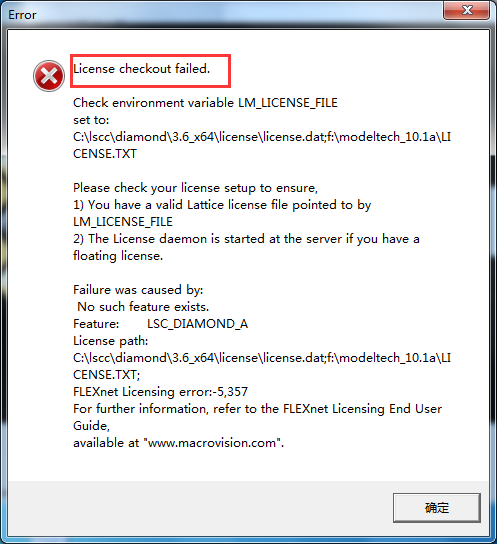
3、填写机器物理地址，生成一个license.dat文件，将会发送到注册所用的邮箱。



4、在软件安装过程中，已自动添加系统环境变量。只需将申请的license.dat文件拷贝到安装目录下的license文件夹中，本文例为：D:\lscc\diamond\3.6\_x64\license\

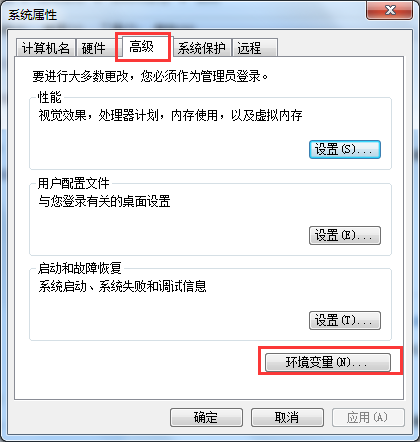


至此完成License文件设置，可以开始使用Diamond进行设计了。  
  
**注意！！！**  
如双击打开Diamond软件是出现如下错误，则表示环境变量设置有问题。

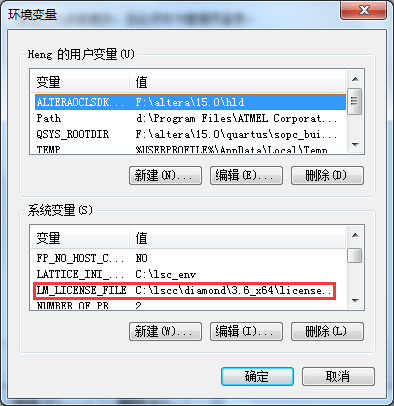


解决方法是：  
右击“计算机”选择属性，进入控制面板中的系统属性界面。

  
点击高级系统设置。选择高级，点击环境变量！



进入环境变量设置界面，查看用户变量中是否存在与系统变量LM\_LICENSE\_FILE相冲突的变量。



# 3．创建第一个工程

|  |
| --- |
| 3.1 新建一个工程 1、在Diamond软件面板上，选择File>New>Project，进行新工程创建。 2、创建新工程，点击Next，开始工程设置。  3、设置工程名称和工程所在路径，此处要注意：工程路径必须创建并选择工程文件夹，否则所有相关文件均会在上一层目录中。如本例，若路径仅选择E:/Step\_FPGA，则And\_Gate工程所有文件均保存在Step\_FPGA中。完成设置后点击Next。  4、添加相关设计文件或约束文件。有必要提醒：务必勾选Copy source to implementation directory，否则会影响原文件。若无需添加则直接Next。  5、器件选择：LCMXO2-4000HC-4MG132C。务必按照下图所示选择。完成设置后点击Next。  6、综合工具选择，可以选择第三方综合工具，但本人一般使用原厂综合工具，故默认设置。直接Next。  7、当看到下图，说明工程创建已经完成。点击Finish就OK了。  3.2 添加设计文件 1、在Diamond软件面板上，选择File>New>File，进行新文件创建。  2、在文件创建界面，选择合适的文件类型。本文添加Verilog HDL设计文件。选好类型，设置文件名称。点击Yes，完成创建。  3、在新创建的Verilog文件中进行Verilog HDL代码编写。编写完成后，保存。IDE自动将模块更新到左侧Hierarchy(层次)窗口。  代码如下：   1. module and\_gate( 2. input wire a,b, 3. output wire c 4. ); 5. and(c,a,b); 7. endmodule   4、编写好代码，需要进行验证。在IDE左侧，选择Process。双击Synthesis Design，对设计进行综合。  若设计没有问题，在选项前面会有绿色的对号。。。若出错都是红色的叉叉。。。还不知道如果是警告会是什么符号，黄色的叹号？  3.3 管脚分配 1、在工具栏中选择第三行第一个图标，点击即可进入管脚分配界面。 或者选择Tools->Spreadsheet View  2、管脚设计需要的约束如下。a---key1,b----key2,c----led1。完成设置后，Ctrl+S保存设置。  3.4 生成编译文件与下载 1、由于本设计极其简单，故没有将仿真、布局、布线、生成编译文件一步一步介绍给大家。在此，想告诉大家，若设计简单可直接生成编译文件。    2、完成编译后，打开您工程的所在目录下的impl1（若在新建工程时更改名称，则为该名称的文件夹）文件夹，找到XXX.jed文件。    3、连接小脚丫STEP MXO2-C板卡至电脑，打开“我的电脑”，找到名为“STEP FPGA”的存储设备，将JED文件复制进“STEP FPGA”中。      5、稍等几秒，即可下载完成。  至此，新工程从创建到综合实现，再到编译下载都已完成。  接下来就是看看下载到小脚丫上的程序运行结果了。实例是一个简单的二输入与门逻辑，利用两个按键（key1、key2）来控制LED灯（led1）的亮灭。在FPGA板上led1的信号为高时，led1不亮；当led1的信号为低时，led1点亮。而按键key1和key2初始状态是高，当按键按下时信号变低。所以程序运行后，按任意一个键或者两个键同时按下，led1变亮；否则的话，led1应该不亮。 |

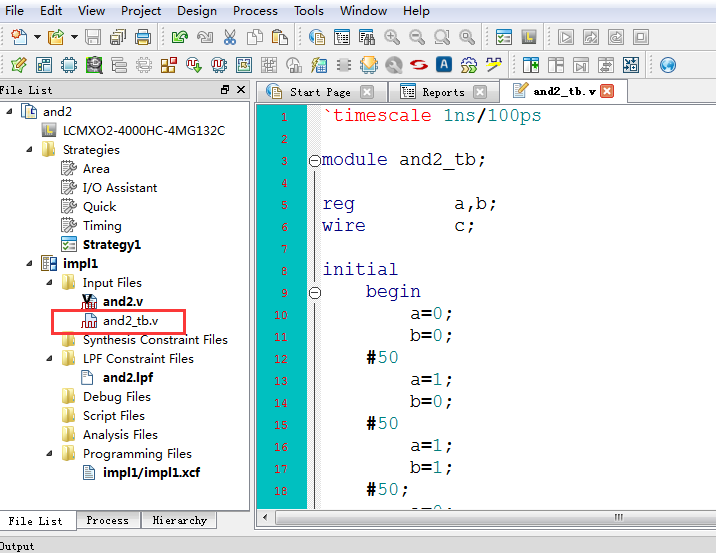
## 3.5 小结

总结一下FPGA的一般开发步骤：  
1、建立工程，包括工程路径、芯片选型  
2、源文件输入，一般有图形和文本输入两种方式，文本的话，一般公司使用Verilog较多吧  
3、编译综合（Synthesis），将行为和功能层次表达的电子系统转化为低层次模块的组合，一般可以查看系统的RTL层次图  
4、添加约束，包括分配管脚，可以使用图形和文本输入两种方式  
5、实现(Implementation)，实现逻辑网表文件，布局布线  
6、验证（Verification），包括时序仿真和功能仿真，一般会结合ModelSim编写testbench进行测试  
7、生成下载的bitstream文件  
8、下载工程文件到开发板，包括仿真器连接和配置  
9、效果演示  
比较简单的工程可以省略其中的一些步骤，直接上板看效果。

# 4．仿真工具Active-HDL

FPGA设计里还有一个重要的步骤就是仿真，Diamond软件开发环境同时集成了Active-HDL工具，下面看看如何进行功能仿真

1、首先新建一个testbench文件，方法和新建Verilog源文件一样。我们命名为and2\_tb



2、testbench测试文件内容如下：

`timescale 1ns/100ps

module and2\_tb;

reg a,b;

wire c;

initial

begin

a=0;

b=0;

#50

a=1;

b=0;

#50

a=1;

b=1;

#50;

a=0;

b=1;

end

and2 and2\_u1(

.a (a),

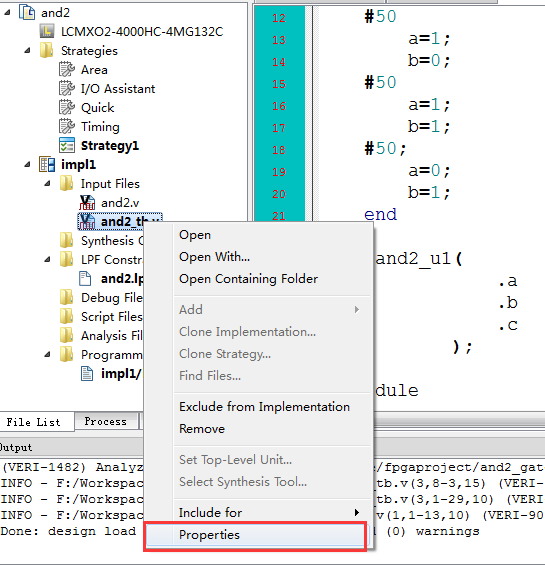
.b (b),

.c (c)

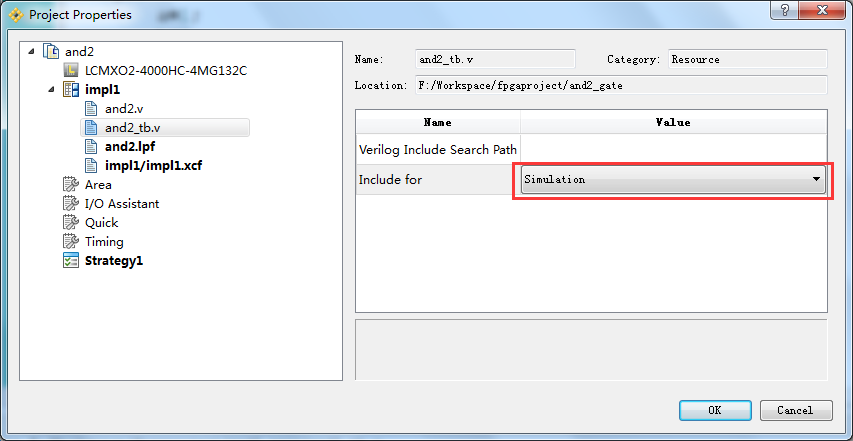
);

endmodule

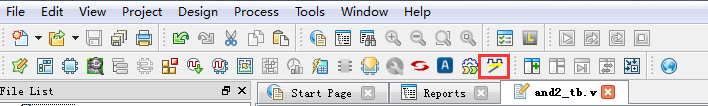
3、这里需要注意的是测试文件只是用来仿真的，很多语句是不可综合的，所以要设置文件的属性。在工程目录里右键点击and2\_tb文件，



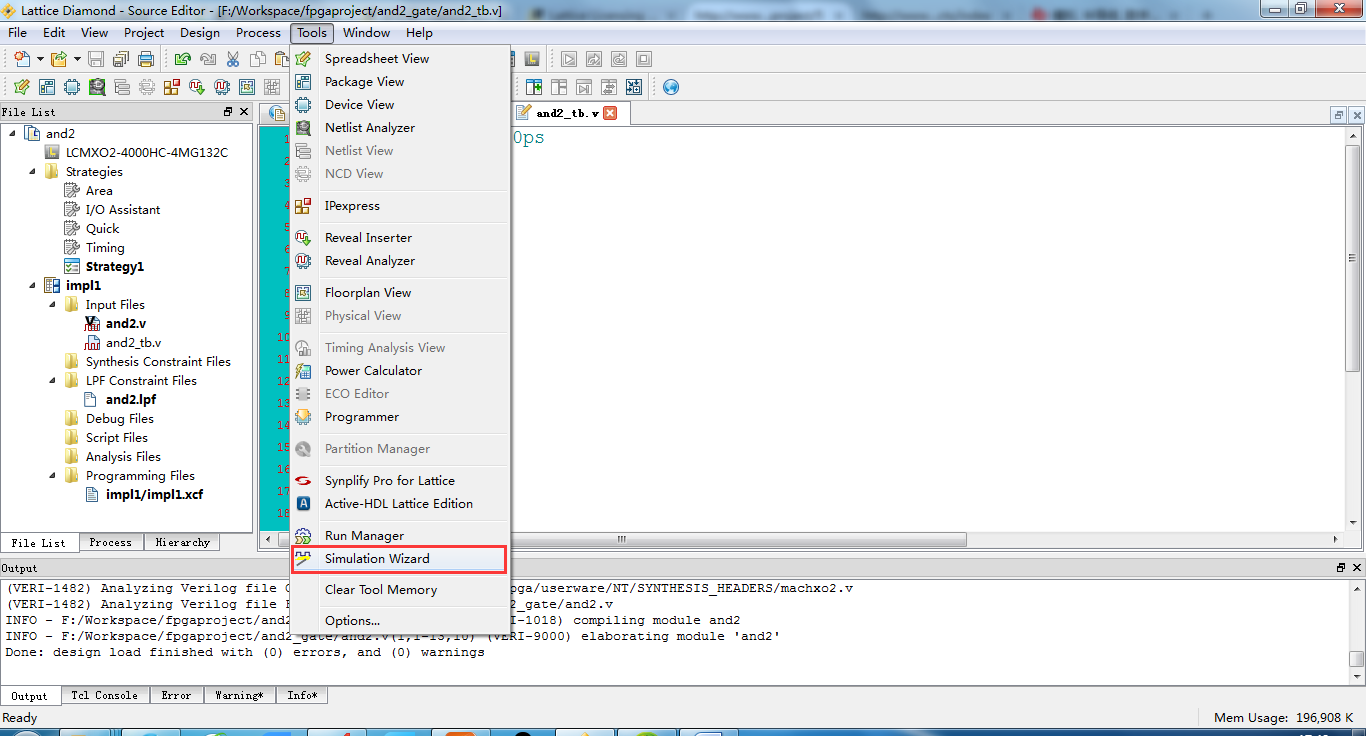
弹出一个属性窗口，把测试文件属性值改为simulation表示只做仿真。



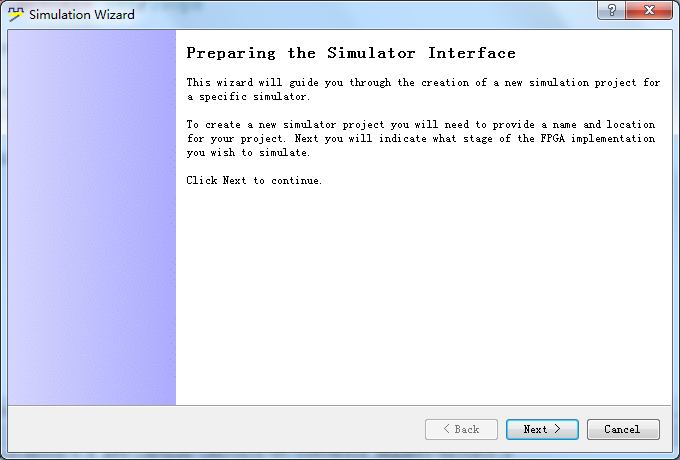
4、点击工具栏的仿真向导按钮，



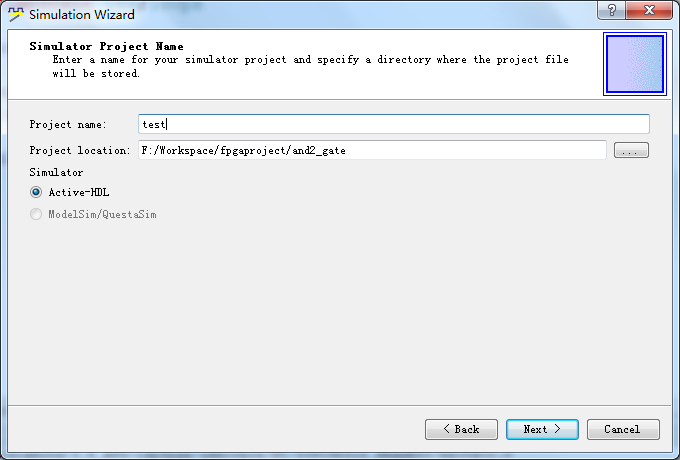
或者是Tool->Simulation Wizard



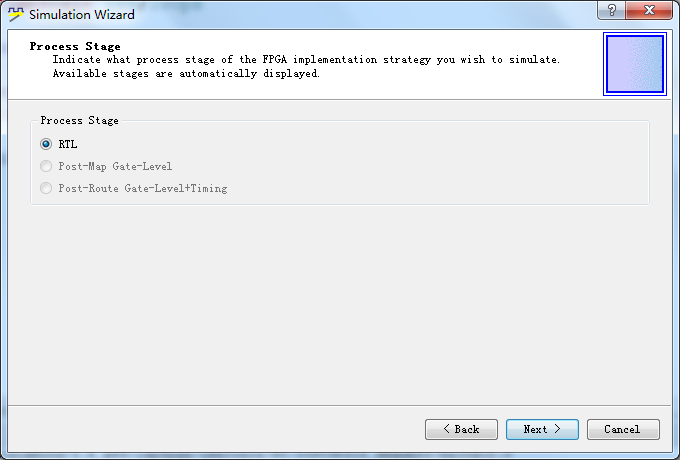
5、弹出仿真向导窗口，



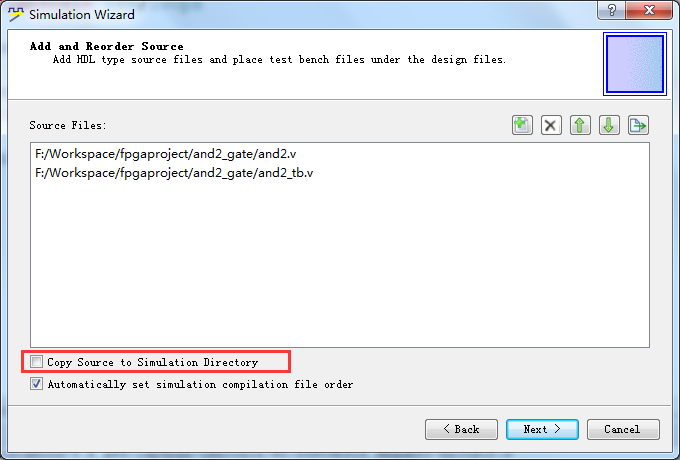
6、给仿真的工程去一个名字，



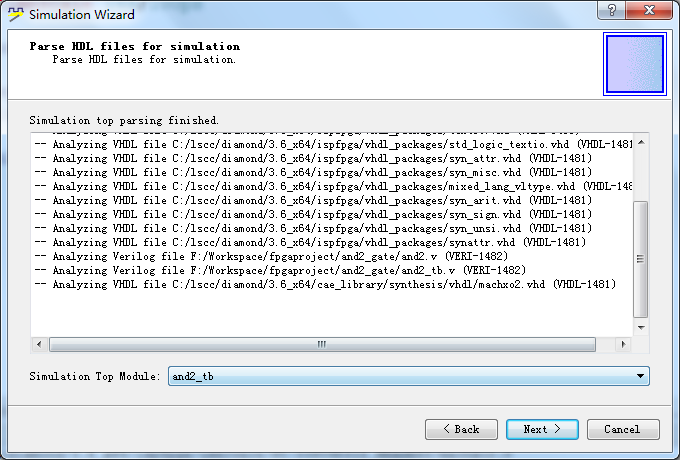
7、选择仿真的阶段，这里是功能仿真，所以只能选RTL级。



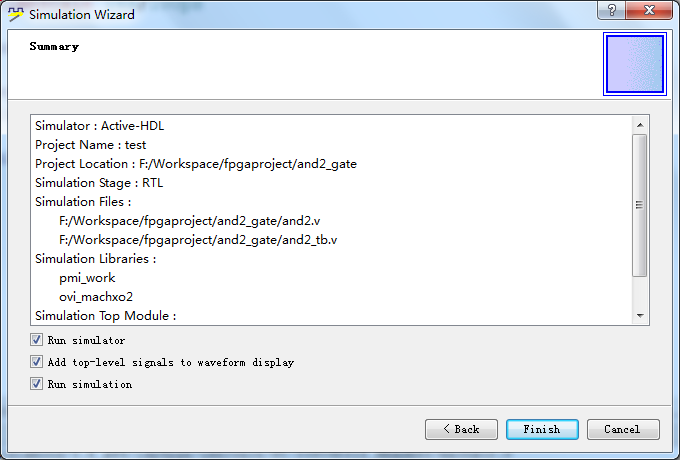
8、选择添加或者删除所要仿真的源文件和测试文件，如果确认了Copy Source to Simulation Directory选项，将会拷贝源文件到仿真工程目录。



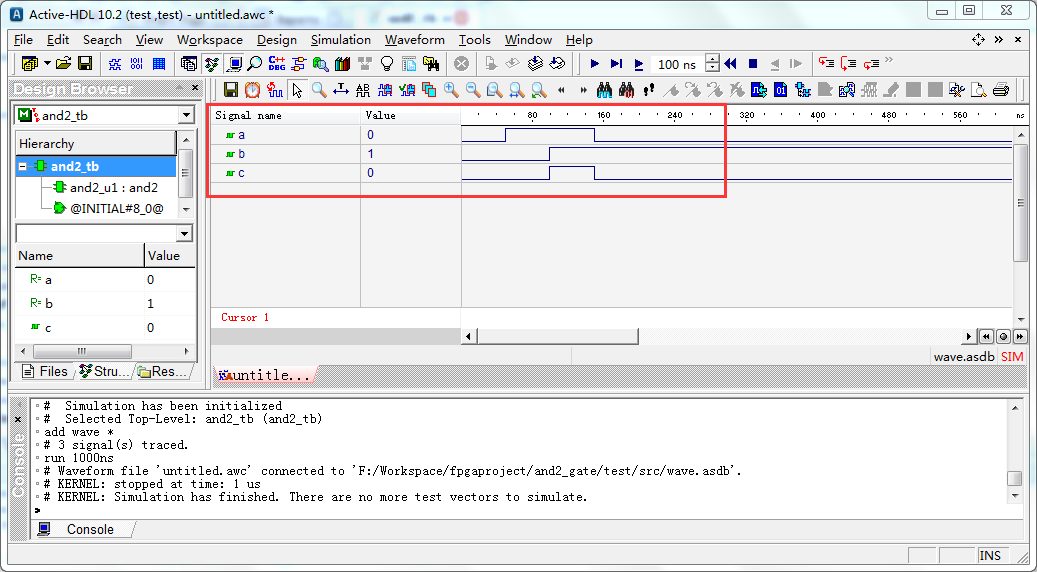
9、仿真工程列表，如果有多个测试文件可以选择顶层测试文件。



10、仿真工程项目创建完成，如果下方选项确定，将会在完成后自动执行仿真并显示波形文件。



11、完成仿真向导后，执行方针显示仿真后波形。



# 5．版本

|  |  |  |
| --- | --- | --- |
| 版本号 | 修改日期 | 修改 |
| V1.0 | 2017/7/12 | 初始版本 |
|  |  |  |