

# STEP-CYC10 软件手册

---

小脚丫 STEP FPGA

STEP

2017/12/28

---

# STEP-CYC10 软件手册

## 目录

1. 概述.....	2
2. 软件安装.....	3
2.1 Quartus Prime 软件下载: .....	3
2.2 Quartus 安装步骤: .....	4
3. 创建第一个工程.....	9
3.1 新建工程.....	9
3.2 添加设计文件.....	14
3.3 管脚约束.....	16
3.4 FPGA 加载.....	18
4. 仿真工具 Modelsim.....	20
5. 版本.....	33

# 1. 概述

Quartus II 是 Intel（原 Altera）公司的综合性 PLD/FPGA 开发软件，作为一种可编程逻辑的设计环境，由于其强大的设计能力和直观易用的接口，具有运行速度快，界面统一，功能集中，易学易用等特点，越来越受到数字系统设计者的欢迎

- 可利用原理图、结构框图、Verilog HDL、AHDL 和 VHDL 完成电路描述，并将其保存为设计实体文件
- 支持大量 ALTERA 的 IP 核，简化了设计的复杂性，加快了设计速度
- 可使用 SignalTap II 逻辑分析工具进行嵌入式的逻辑分析

支持 Windows 系统，Linux 系统和 Unix 系统，提供了完善的用户图形界面设计方式。

## 2. 软件安装

### 2.1 Quartus Prime 软件下载:

1、打开 Intel-Altera 官网，找到 Quartus 系列软件安装包下载页面，下载软件安装包。

- Intel-Altera 官网：  
<https://www.altera.com.cn/>
- 软件下载：  
<https://www.altera.com/downloads/download-center.html>
- 选择软件版本和操作系统，同时勾选 Quartus Prime、ModelSim-Intel FPGA Edition 和 Cyclone 10 系列器件支持

Intel FPGA 产品 | 解决方案 | 支持 | 关于 | 购买 登录 Search

下载中心  
获取全套 Intel® 设计工具

myAltera 帐号帮助 条款和条件

设计软件  
嵌入式软件  
存档  
许可  
编程软件  
驱动  
电路板系统设计  
电路板布局 and 测试  
原有软件

Quartus Prime 精简版  
发布日期: 十一月, 2017  
最新发布: v17.1

Intel® Quartus® Prime  
Design Software

选择版本类型: Lite  
选择版本: 17.1

操作系统: Windows Linux

下载方法: Akamai DLM3 下载管理器 直接下载

Quartus Prime 软件版本 17.1 支持以下器件系列: Arria II, Cyclone 10 LP, Cyclone IV, Cyclone V, MAX II, MAX V, and MAX 10 FPGA.  
[更多](#)

组合文件 独立文件 其他软件 更新

下载并安装指令: [更多](#)  
[阅读 Intel FPGA 软件 v17.1 安装 FAQ](#)  
[点击开始指南](#)

Select All

Quartus Prime Lite Edition (Free) [Updates Available](#)

Quartus Prime (includes Nios II EDS)  
大小: 1.7 GB MD5: C6E662E428D1F5E93B6CC5B5076C3ED4

ModelSim-Intel FPGA Edition (includes Starter Edition)  
大小: 1.1 GB MD5: 9F0FCC22EB8ADD19200D3C00B20EDCC5

Devices  
您必须至少为一个器件系列安装器件支持才能使用 Quartus Prime 软件

Arria II device support  
大小: 499.6 MB MD5: EA15FB95662AB632F2CD95A93D995A

Cyclone IV device support  
大小: 466.6 MB MD5: 09D346E4AE7AC403DF4F36563E6B7B

Cyclone 10 LP device support  
大小: 266.1 MB MD5: C9D4AC6A692BE4C3EAC1547332521E

Cyclone V device support  
大小: 1.1 GB MD5: 747202966905F7917FB3B8F95228E026

MAX II, MAX V device support  
大小: 11.4 MB MD5: 77B086D125489CD74D05FD9ED1AA48

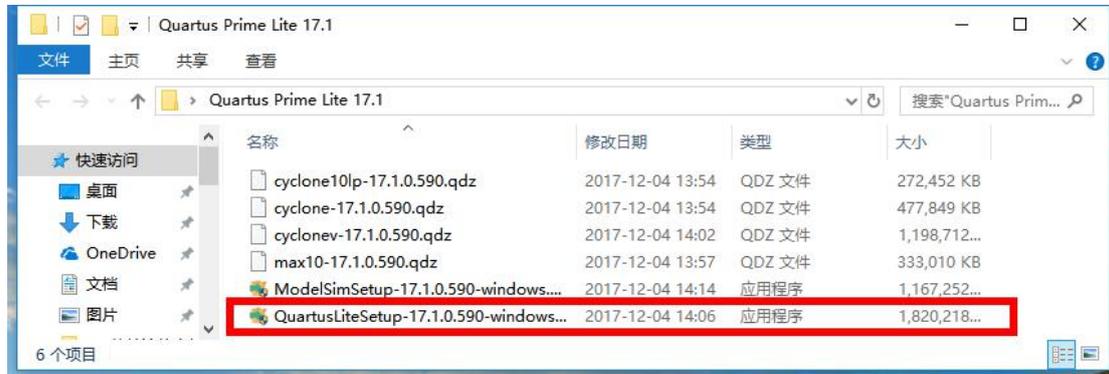
MAX 10 FPGA device support  
大小: 325.2 MB MD5: 9B55655054A7EA1409160F27592F231

下载所选的文件

2、根据安装指南进行安装。

## 2.2 Quartus 安装步骤:

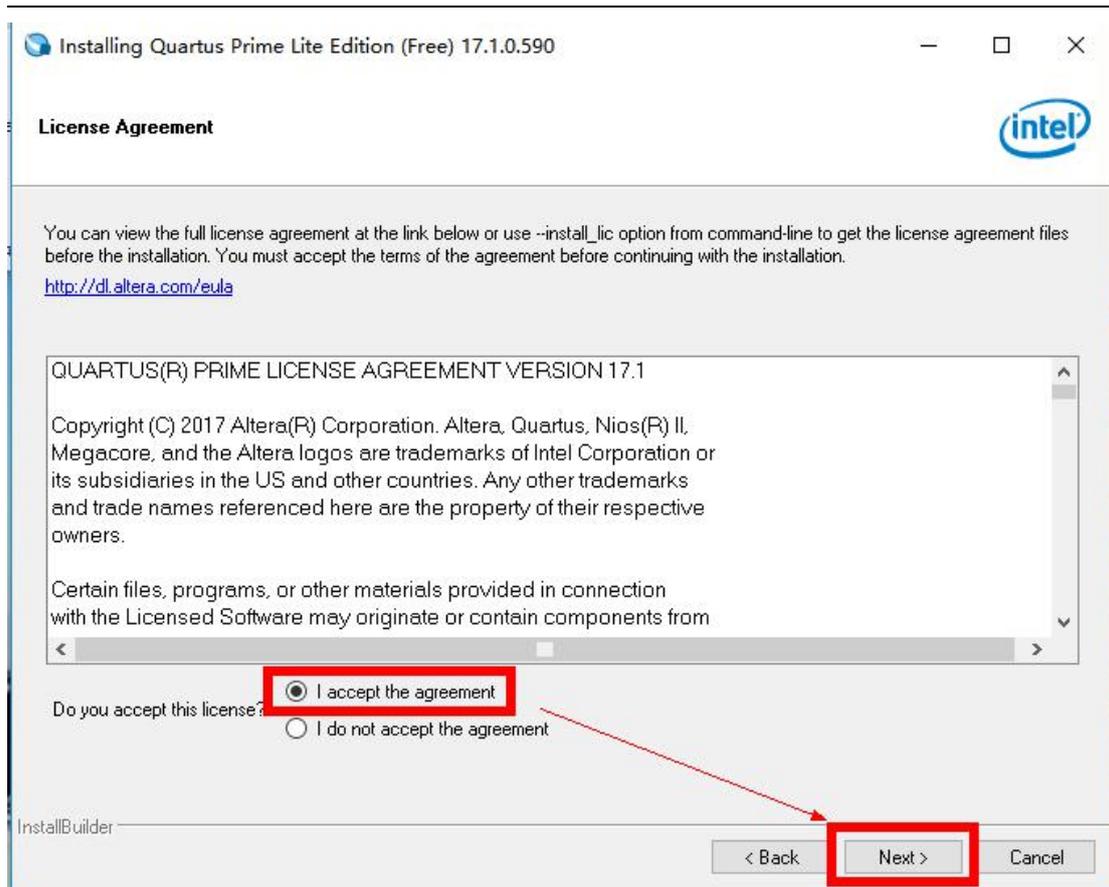
1、将下载的文件放在同一文件夹中，文件如下，双击运行 QuartusLiteSetup 文件。



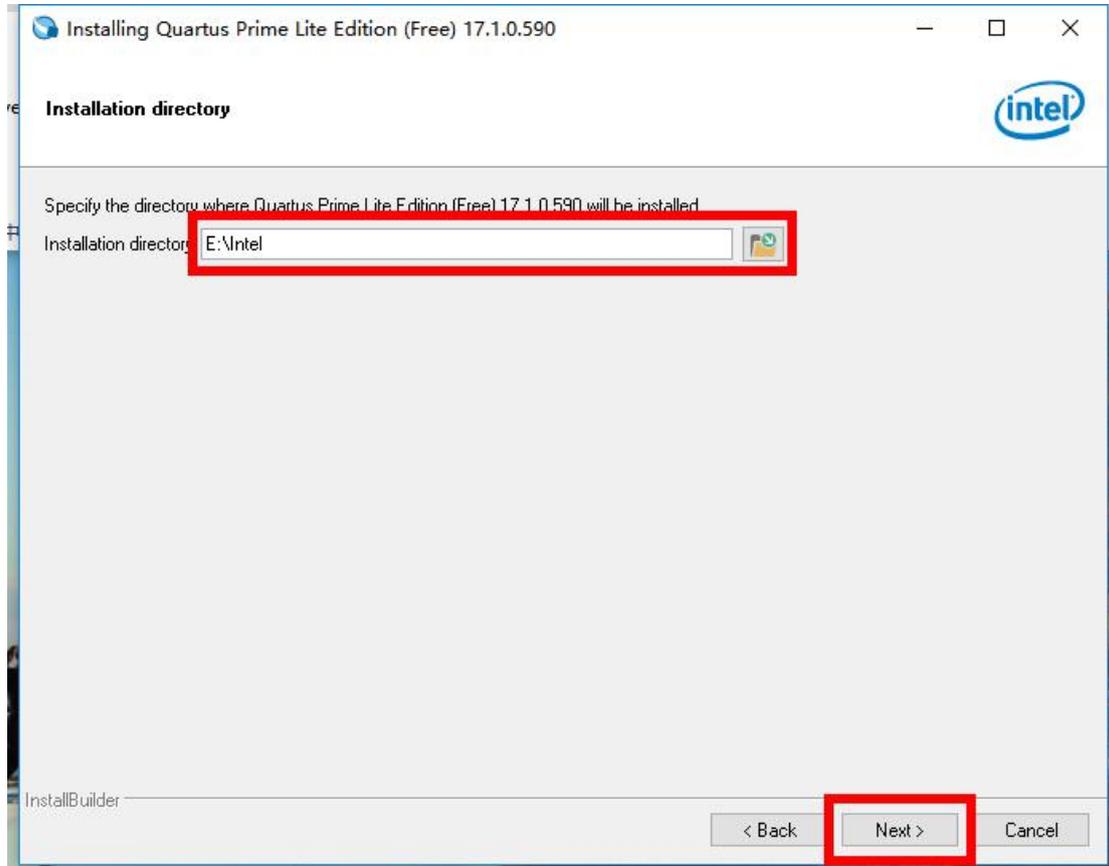
2、Quartus 启动界面之后出现安装提示窗口，点击 Next 进入下一步。



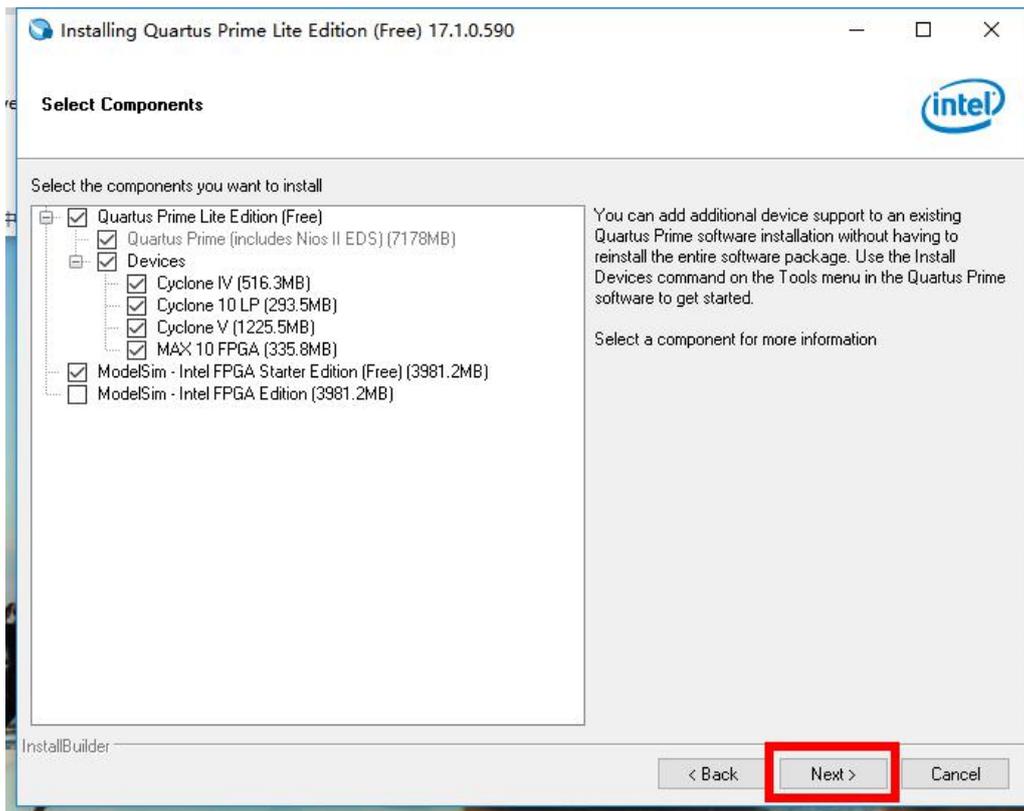
3、选择同意此协议，点击 Next 进入下一步。



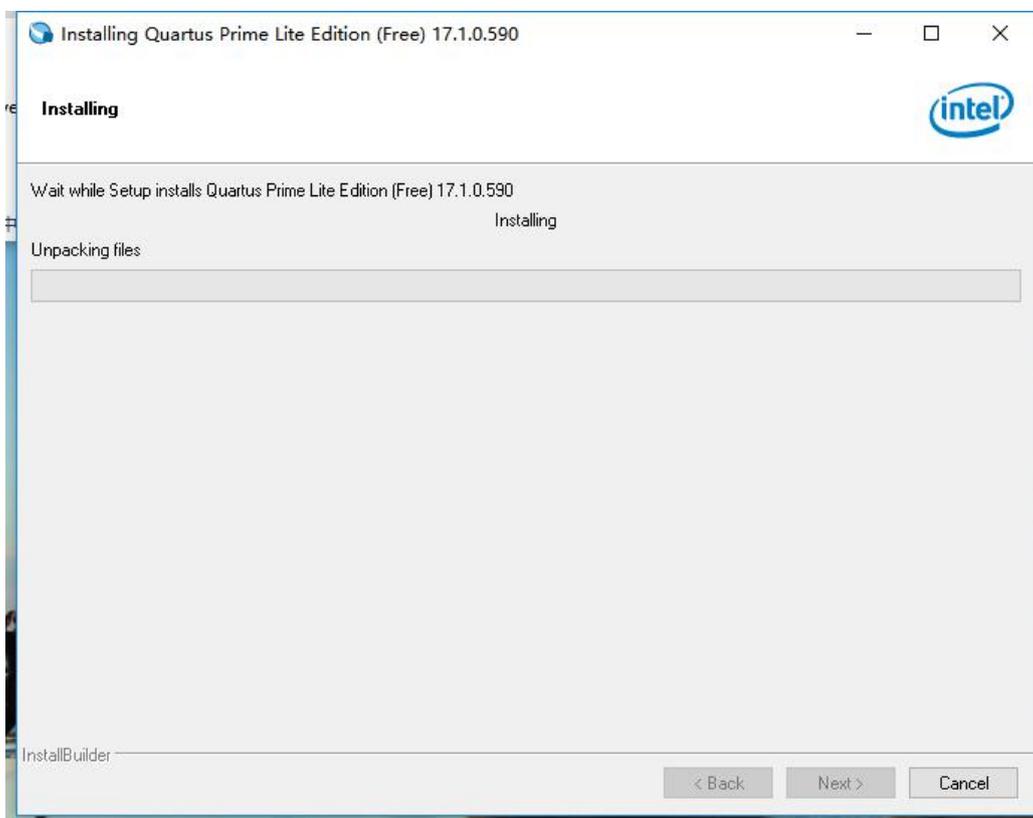
4、安装路径，默认是安装在 C 盘，可以根据实际情况修改（建议只更改盘符），Next。



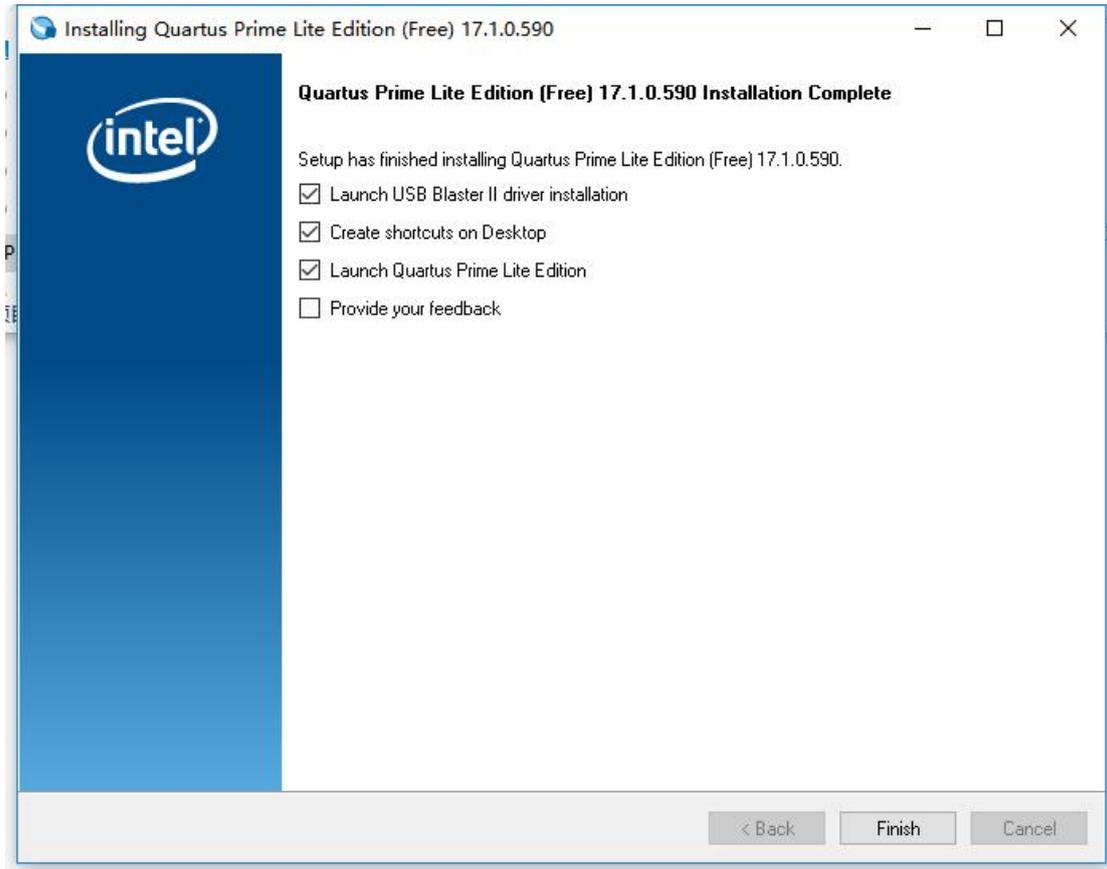
5、选择安装组件，如下图，勾选对应的组件，点击 **Next** 进入下一步。



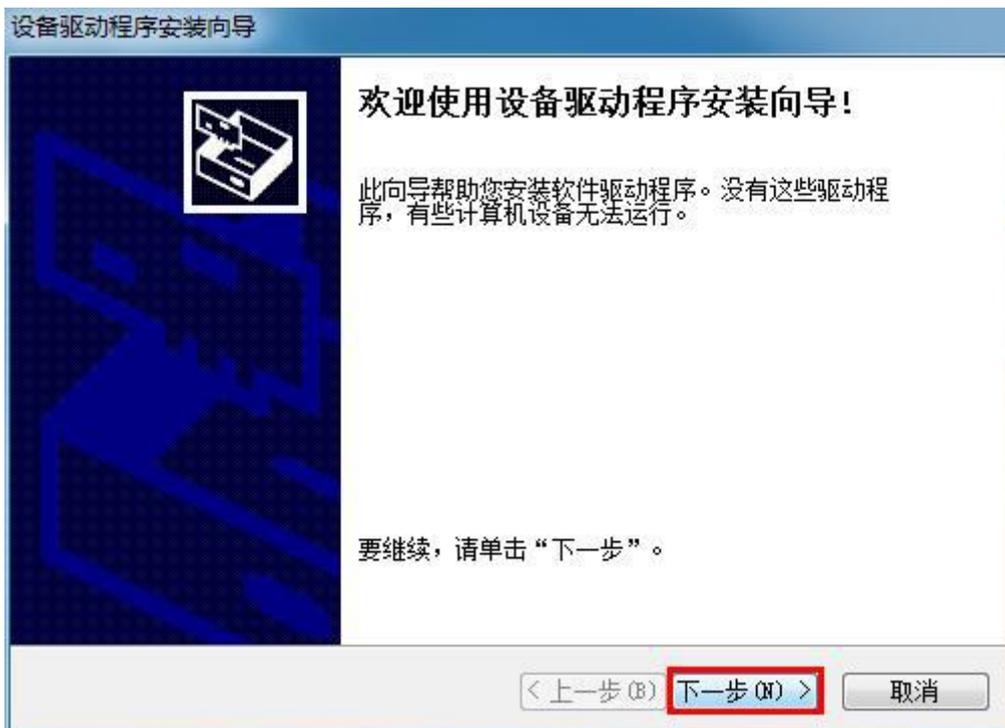
6、连接点击 **Next** 进入 Quartus 软件自动安装界面，大约需要半个小时的等待，软件会将 Quartus 软件，Modelsim 软件和 MAX 系列设备支持全部安装。



7、自动安装完成进入安装完成界面，勾选“Launch USB Blaster II driver installation”和“Create shortcuts on Desktop”选项后，点击“Finish”按钮。



8、完成上一步后，弹出设备驱动程序安装向导页面如下，点击 Next 进入下一步。



9、电脑弹出安装设备软件的提示，点击“安装”



10、电脑自动安装设备驱动程序，完成后弹出界面，点击“完成”如下。

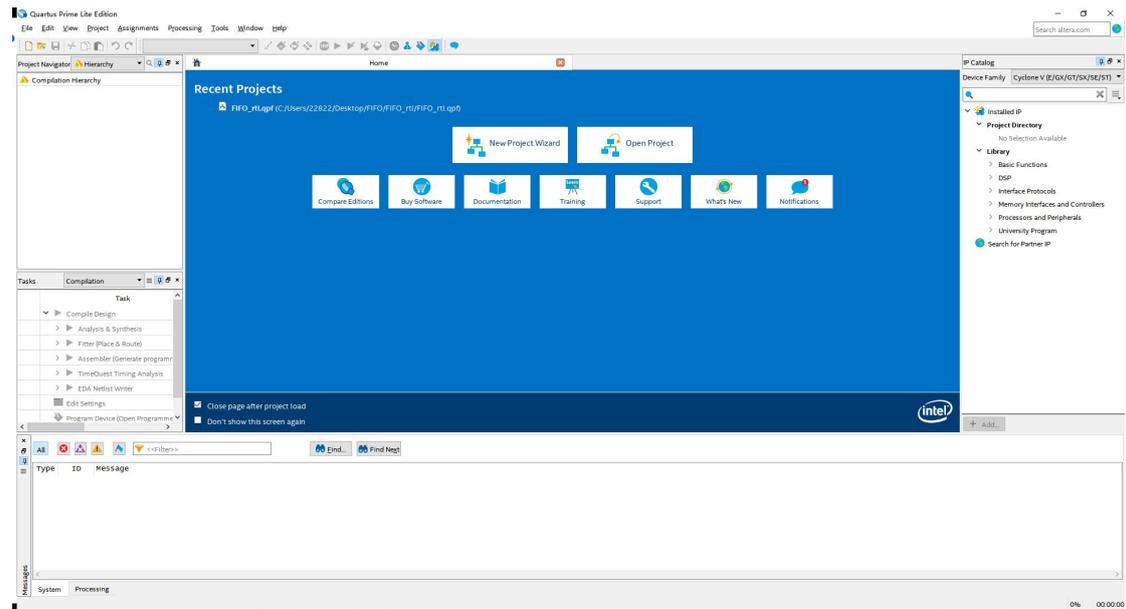


## 3. 创建第一个工程

### 3.1 新建工程

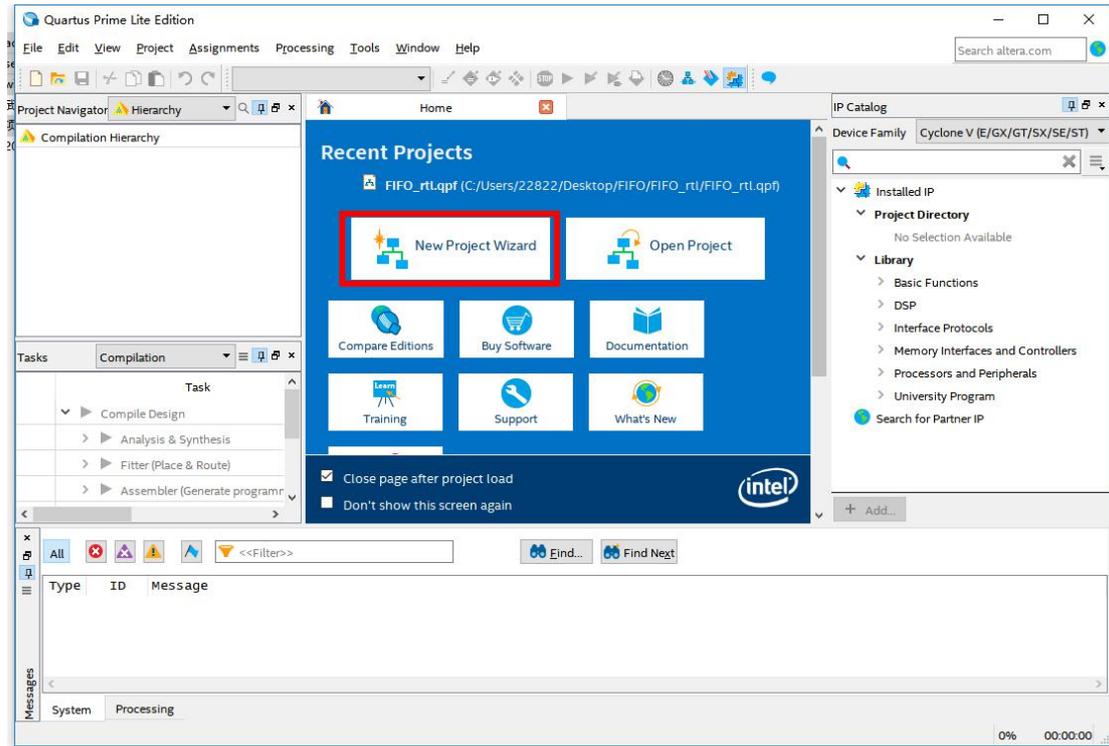
1、启动 Quartus 软件：

双击 Quartus 系列软件图标，界面如下（以 Quartus II 17.1 为例）。



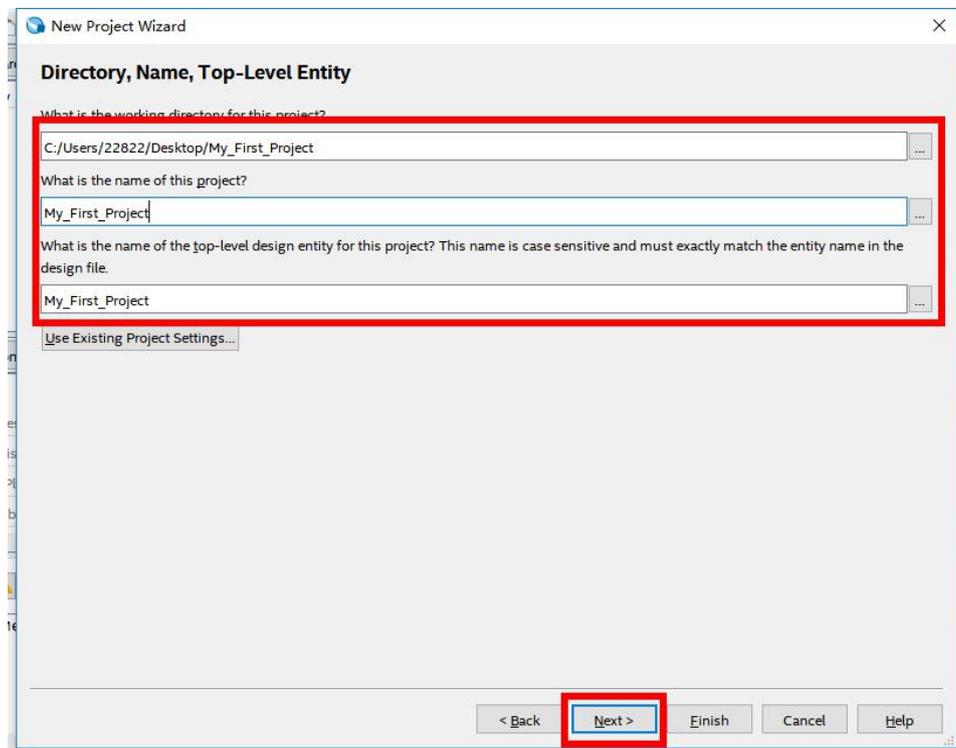
2、创建工程：

点击 File→New Project Wizard 选项 或 点击 Home 页面中的 New Project Wizard 图标。



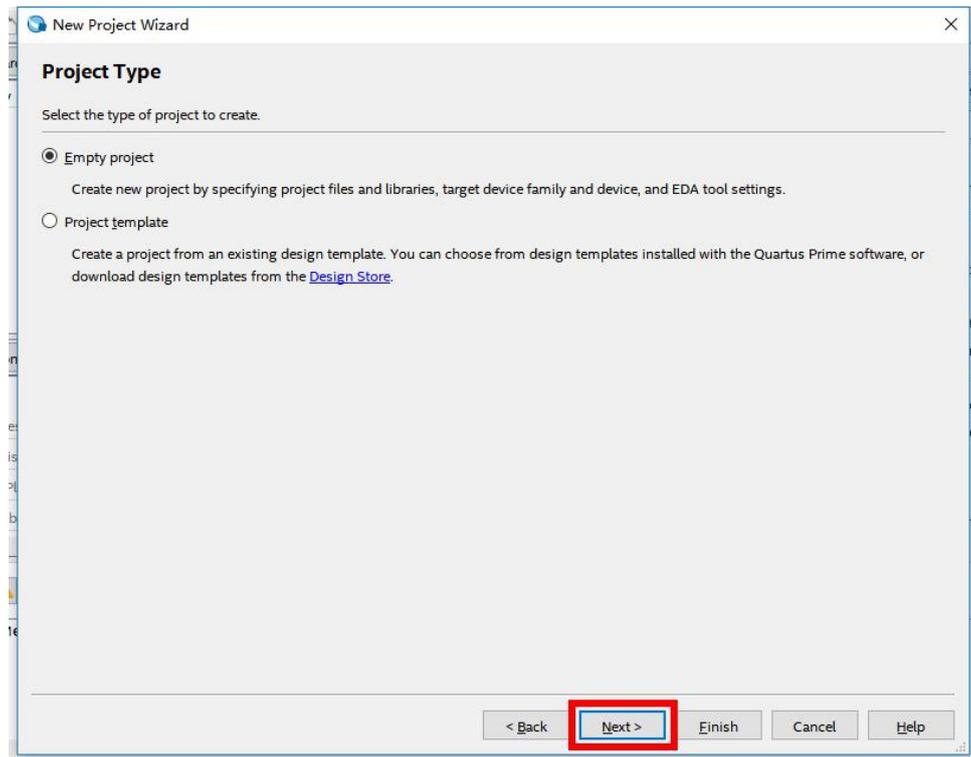
### 3、工程目录、名称填写：（注意：工程目录中不能有汉语、空格等字符）

- 工程目录：选择新建工程的目录
- 工程名称：填写工程名称
- 顶层模块名称：设计文件中 top module 的模块名称，软件默认跟工程名称相同



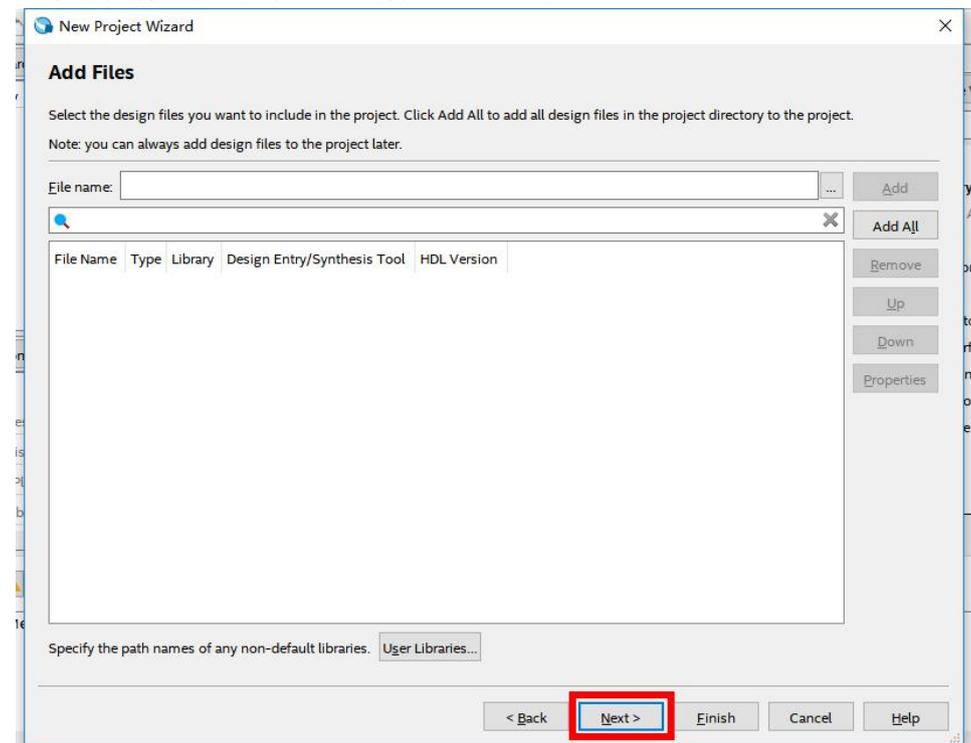
### 4、工程类型：

选择 Empty project，点击 Next。



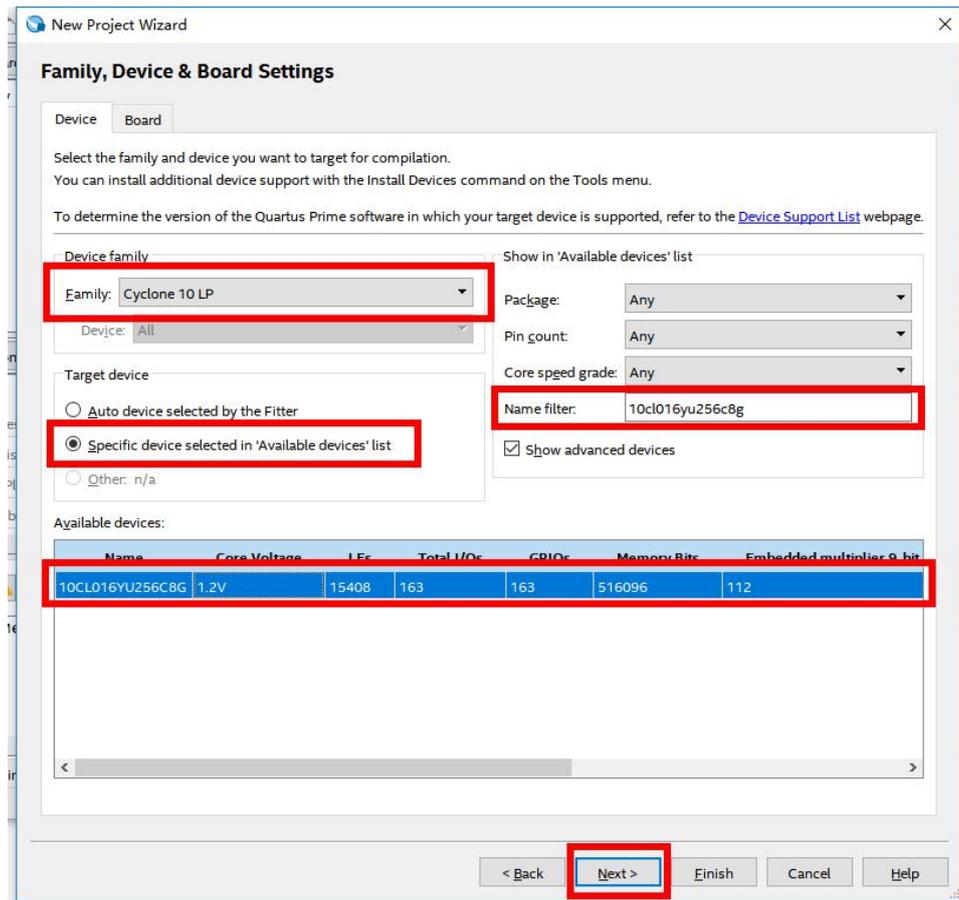
#### 5、添加文件：

如果已有设计文件，在当前页面选择并添加，点击 Next。



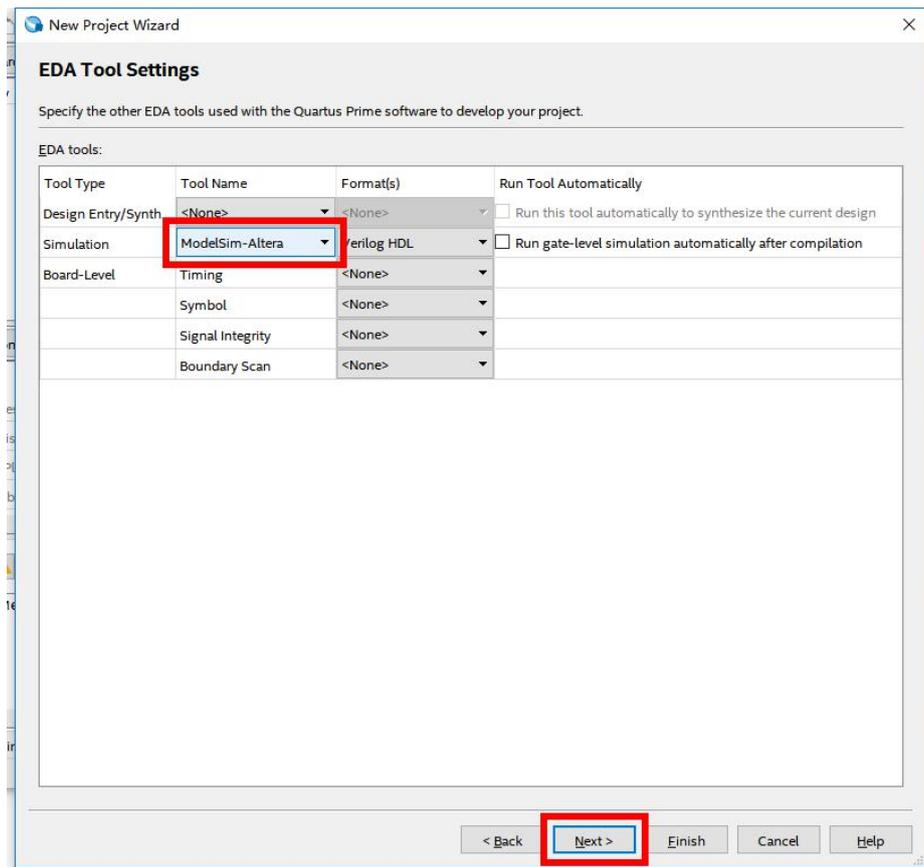
#### 6、器件选择：

根据开发平台使用的 FPGA 选择对应器件（10CL016YU256C8G），点击 Next。



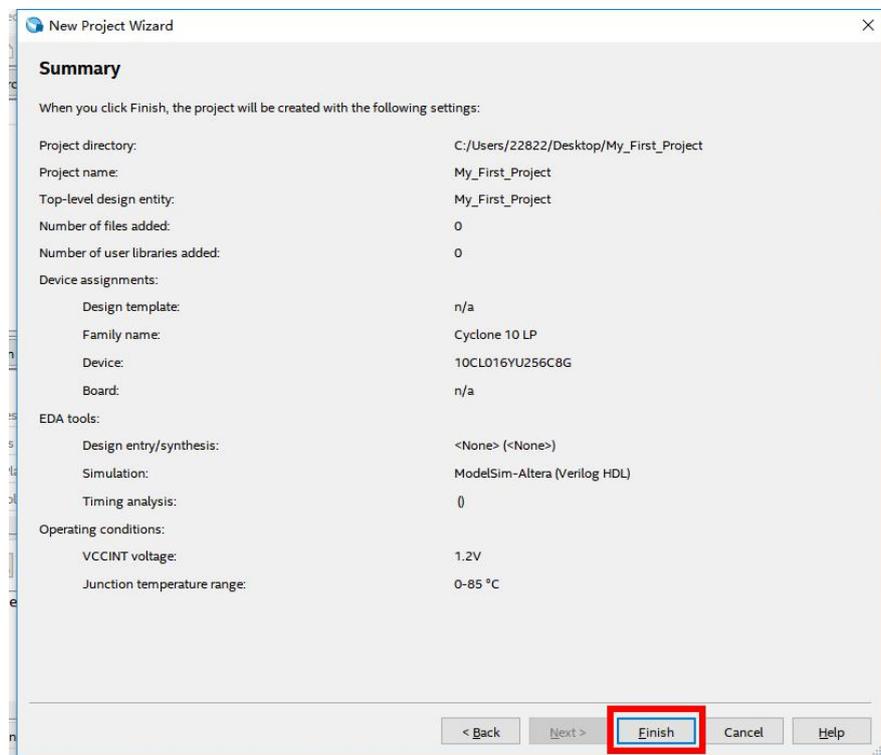
## 7、EDA 工具选择：

选择第三方 EDA 工具：如果有需要可以选择第三方的综合或仿真工具（第三方工具需要另外安装并设置启动路径），这里我们选择使用 modelsim 工具仿真，点击 Next。

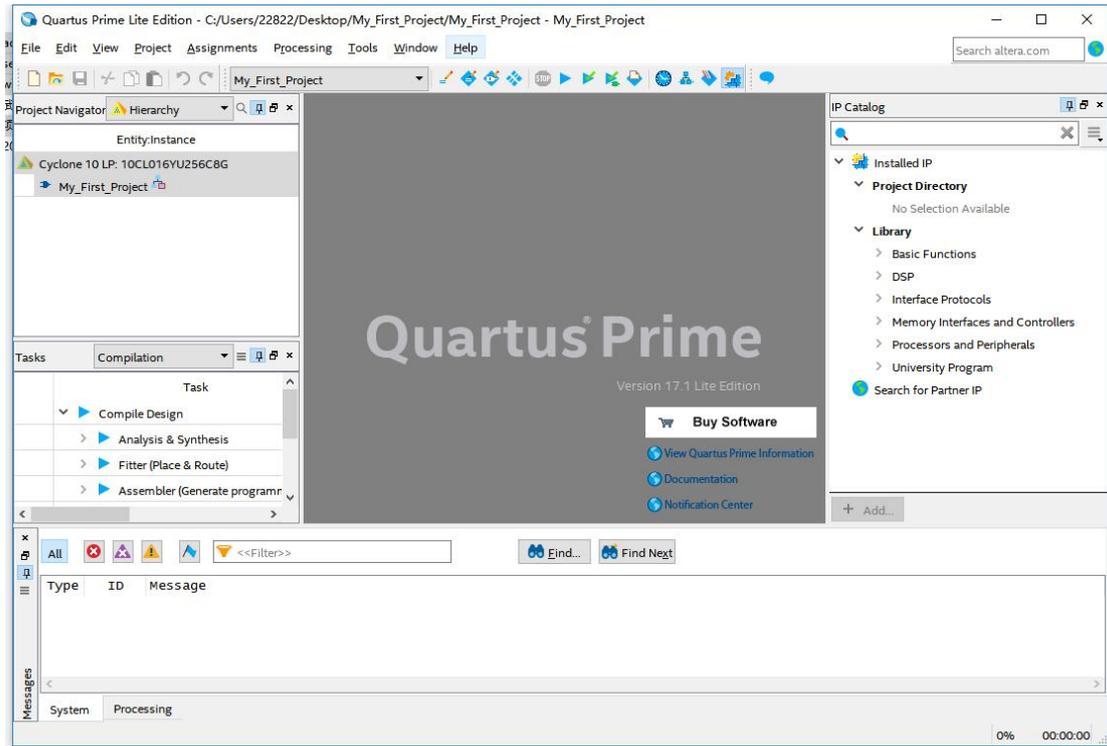


#### 8、工程设置确认：

确认工程相应的设置，如需调整点击 Back 返回修改，若确认设置，点击 Finish。

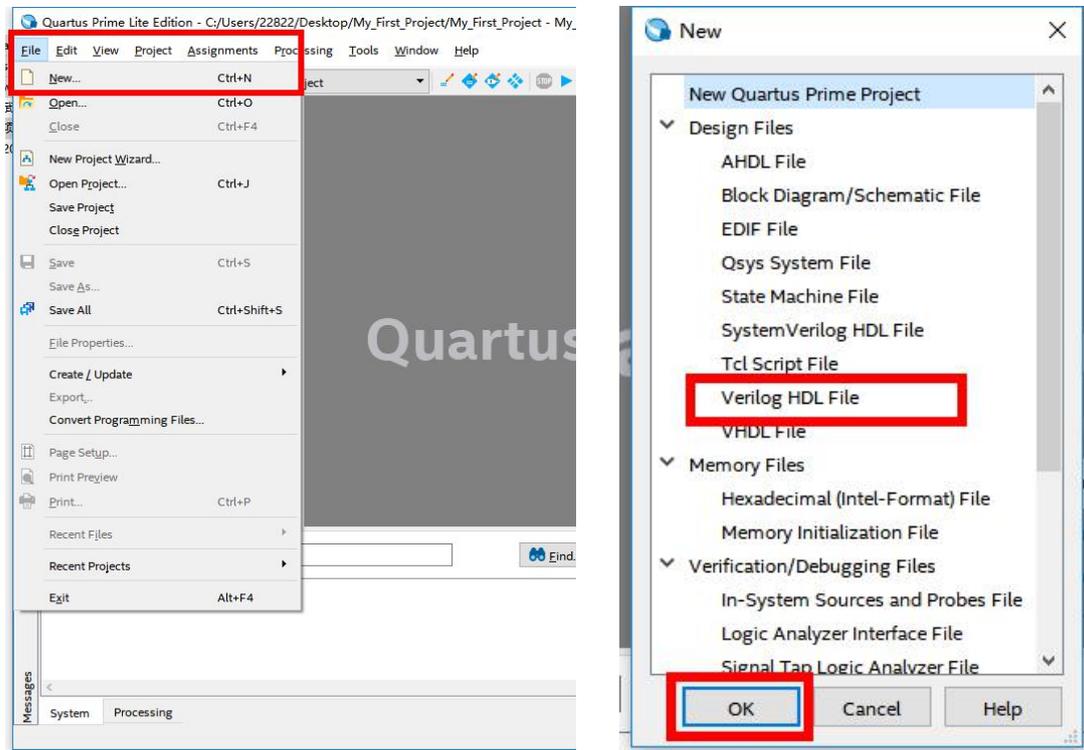


#### 9、工程创建完毕，Quartus 软件自动进入开发界面，如下：



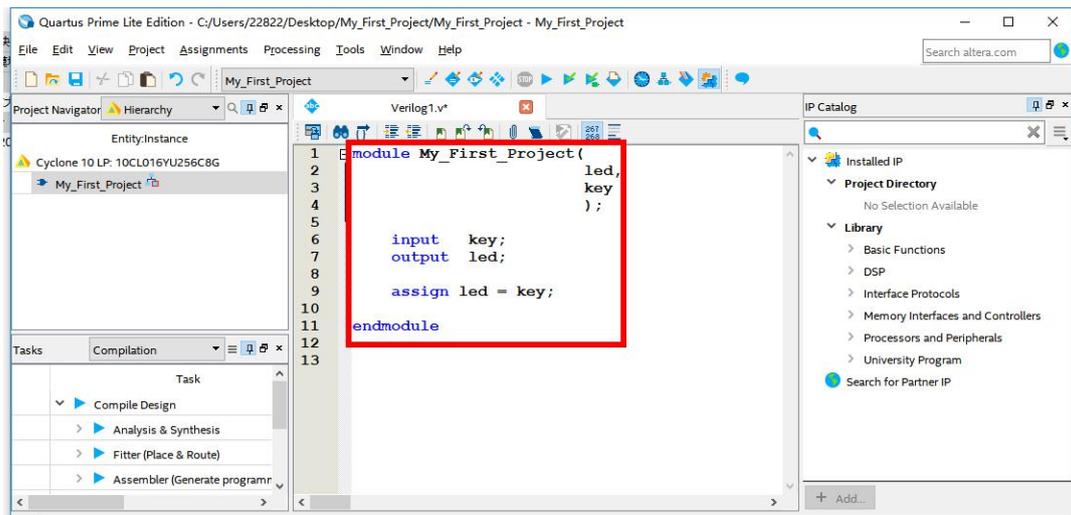
## 3.2 添加设计文件

1、选择 File→New 或 点击工具栏中的 New 按钮，选择 Verilog HDL File 文件类型，点击 OK，Quartus 软件会新建并打开 Verilog 文件。



2、在新建的 Verilog 文件中进行 Verilog HDL 代码编写、保存，文件名为 LED\_shining.v，如下

图所示，程序源码如下。



程序源码：

```

module My_First_Project(
    led,
    key
);

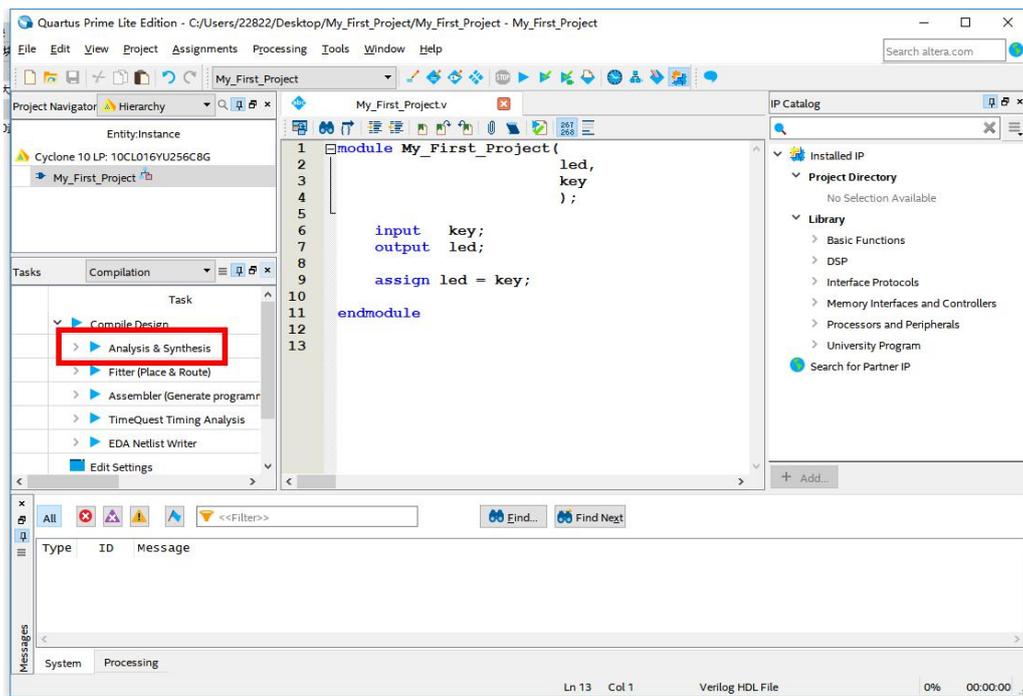
input  key;
output led;

assign led = key;

endmodule

```

3、选择菜单栏中 Processing→Start→Start Analysis & Synthesis 选项 或 工具栏中 Start Analysis & Synthesis 按钮，如下图所示。

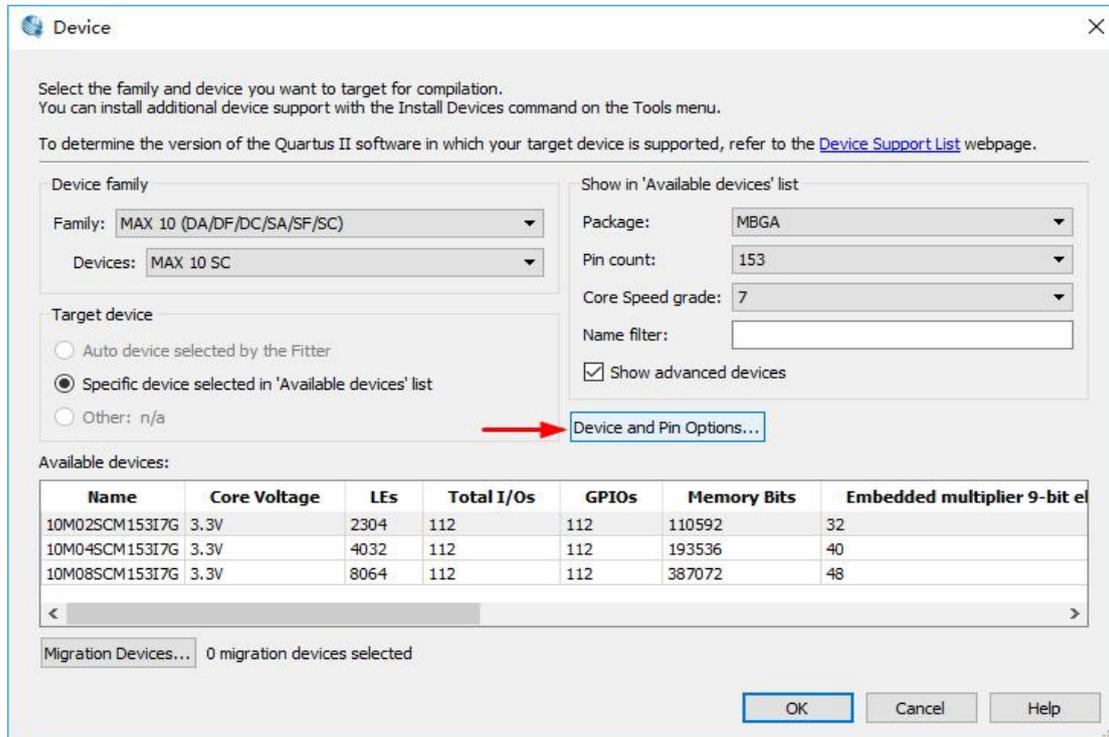


4、Quartus 软件会完成分析综合，若设计没有问题，综合 Tasks 栏中 Analysis & Synthesis 会

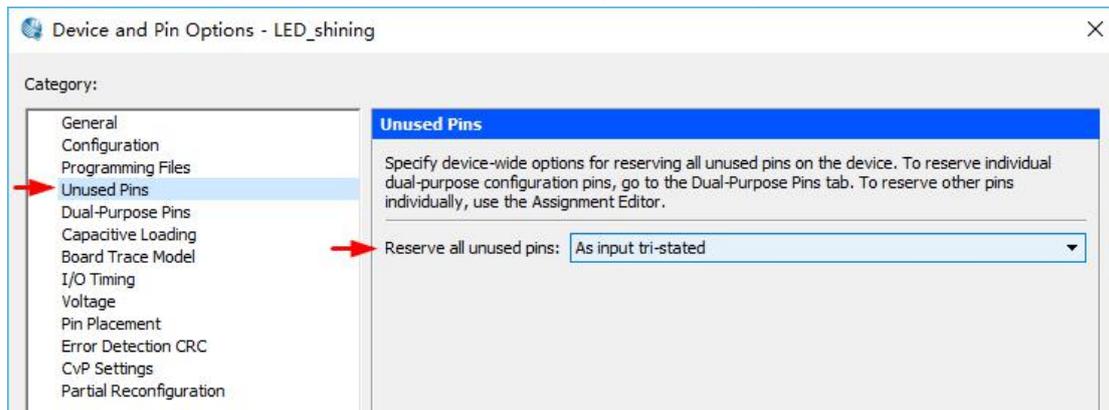
变成绿色，同时左侧出现绿色对勾。

### 3.3 管脚约束

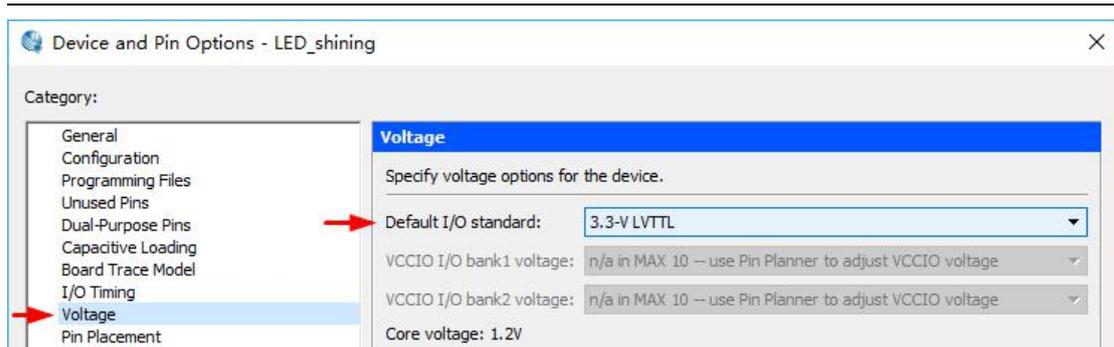
1、选择 Assignments→Device 打开器件配置页面，然后点击页面中的 Device and Pin Options... 选项打开器件和管脚选项页面。



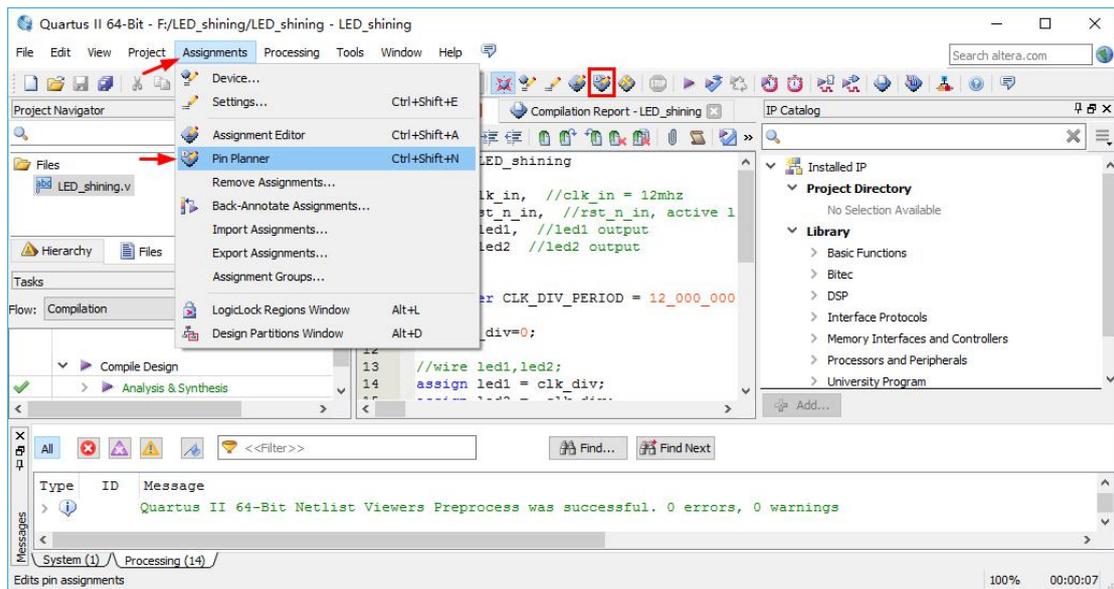
2、在 Unused Pins 选项中配置 Reserve all unused pins 为 As input tri-stated 状态。



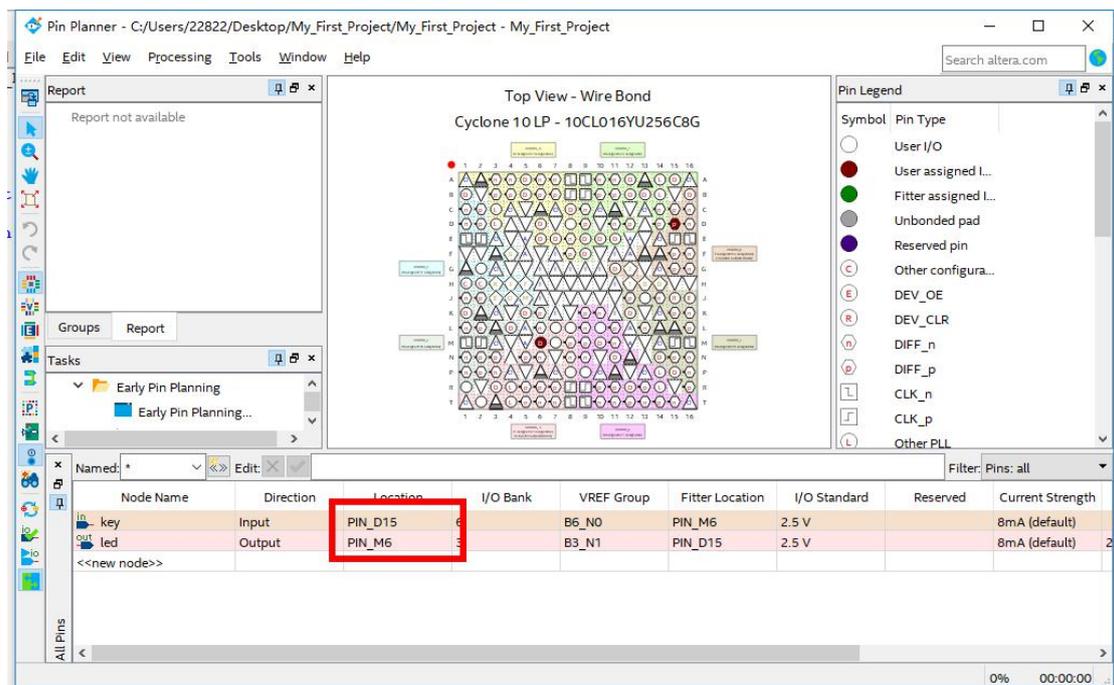
3、在 Voltage 选项中配置 Default I/O standard 为 3.3-V LVTTTL 状态。然后 OK 回到设计界面。



4、选择菜单栏中 Assignments→Pin planner 选项 或 工具栏中 Pin planner 图标，进入管脚分配界面。

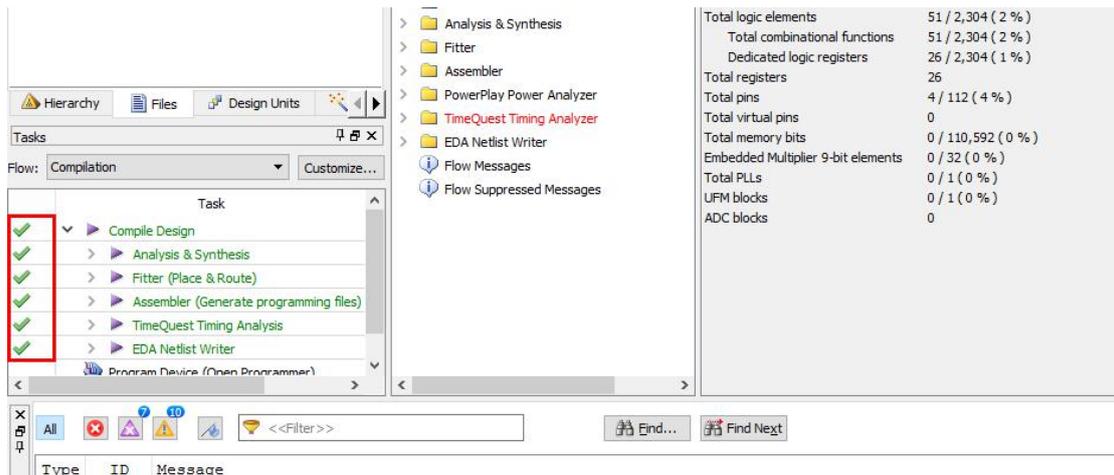


5、在 Pin Planner 页面中将所有端口分配对应的 FPGA 管脚，如下图，然后关闭（自动保存）。



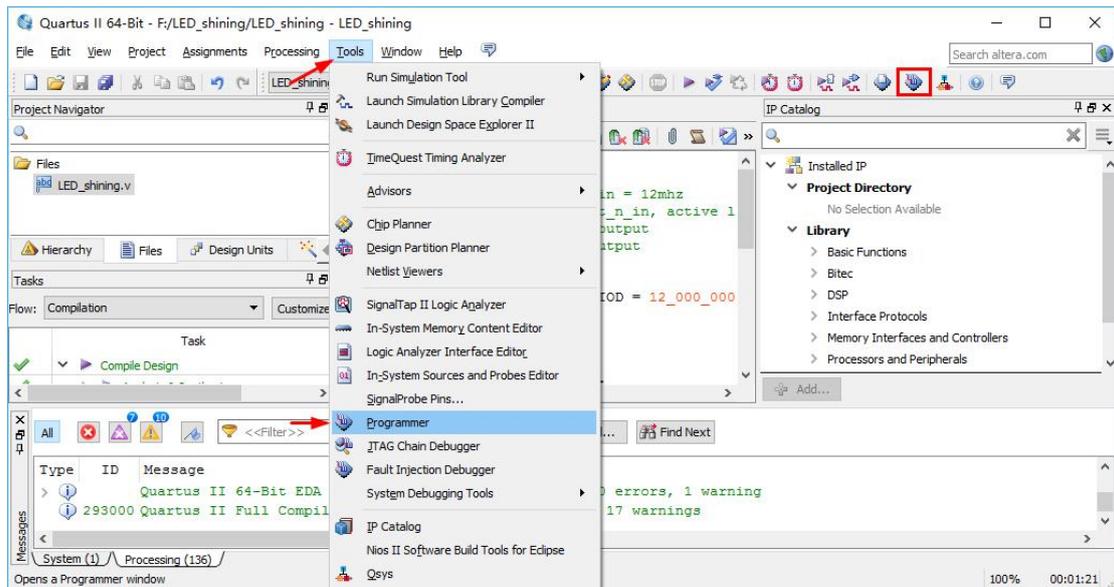
5、选择菜单栏中 Processing→Start Compilation 选项 或 工具栏中 Start Compilation 按钮，开

始所有编译，等待 Tasks 列表中所有选项完成，如下图。

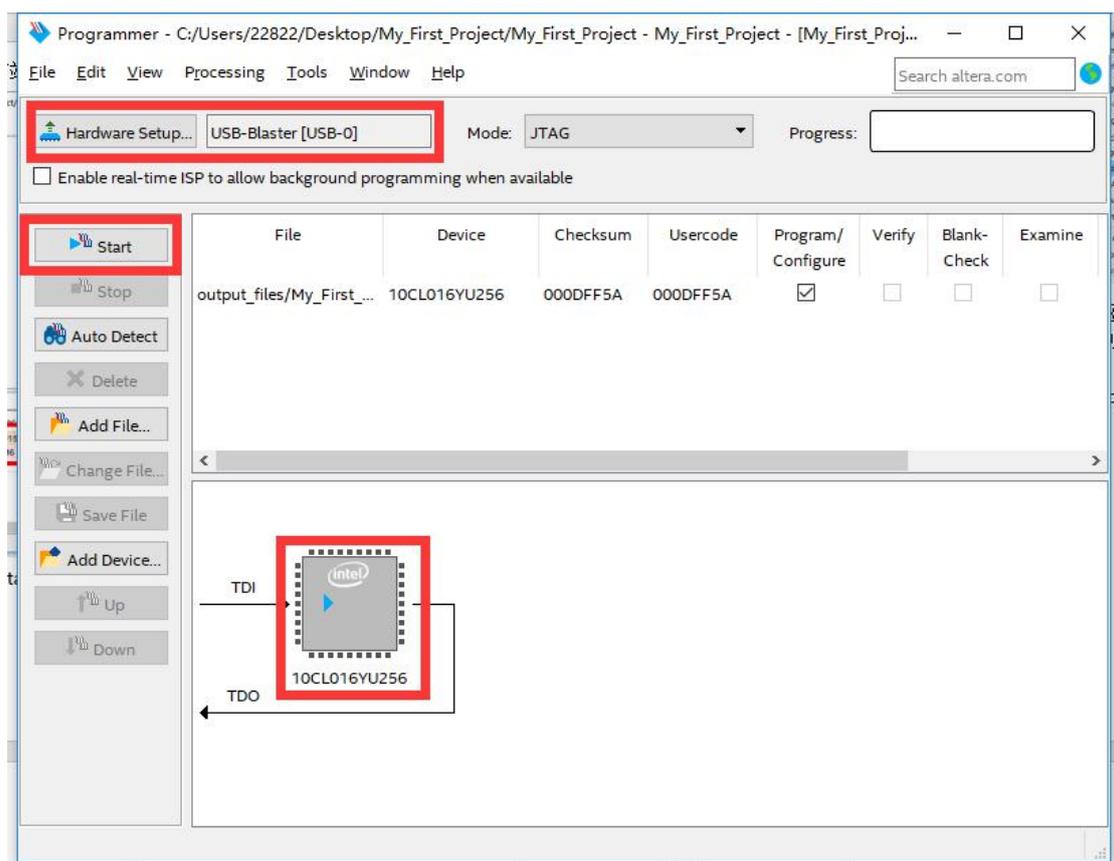


### 3.4 FPGA 加载(Sof 配置)

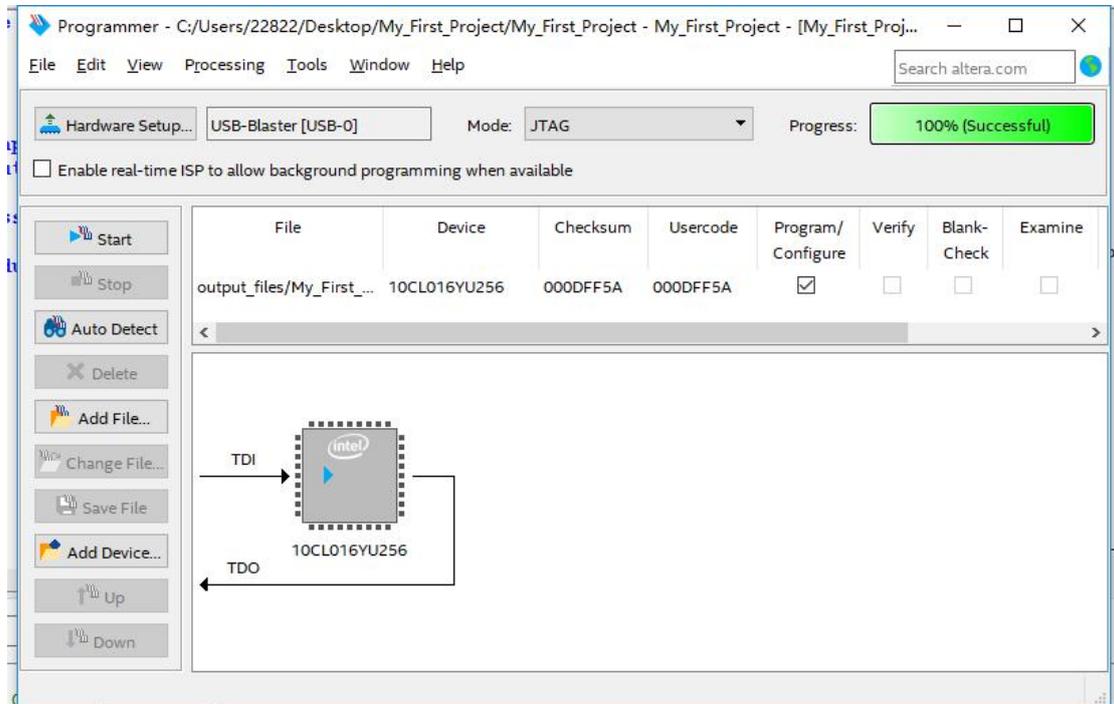
1、使用 micro-usb 线将 STEP-MAX10 二代开发平台连接至电脑 USB 接口，选择菜单栏中 Tools → Programmer 选项 或 工具栏中 Programmer 按钮，进入烧录界面。



2、烧录界面如下，确认硬件驱动为 USB-Blaster[USB-0]，选择 Add File 添加工程输出文件中 sof 格式文件，勾选 Program 列和 Verify 列，点击 Start 按钮进行 FPGA 加载。



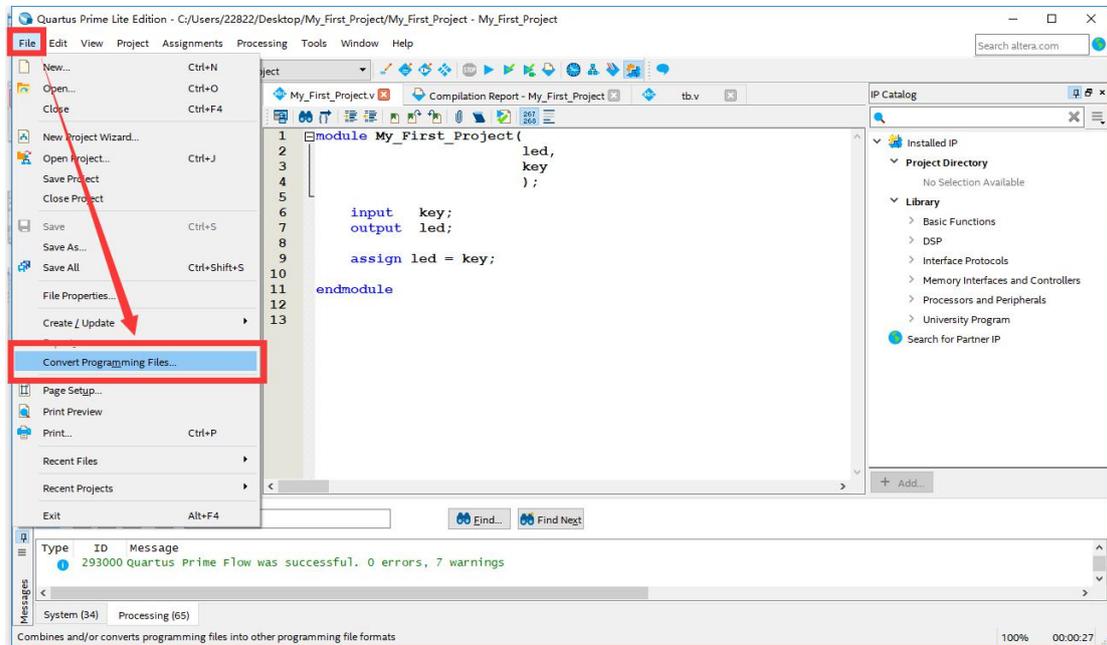
3、FPGA 加载完成，界面中 Progress 状态显示 100% (Successful)。观察开发板现象。



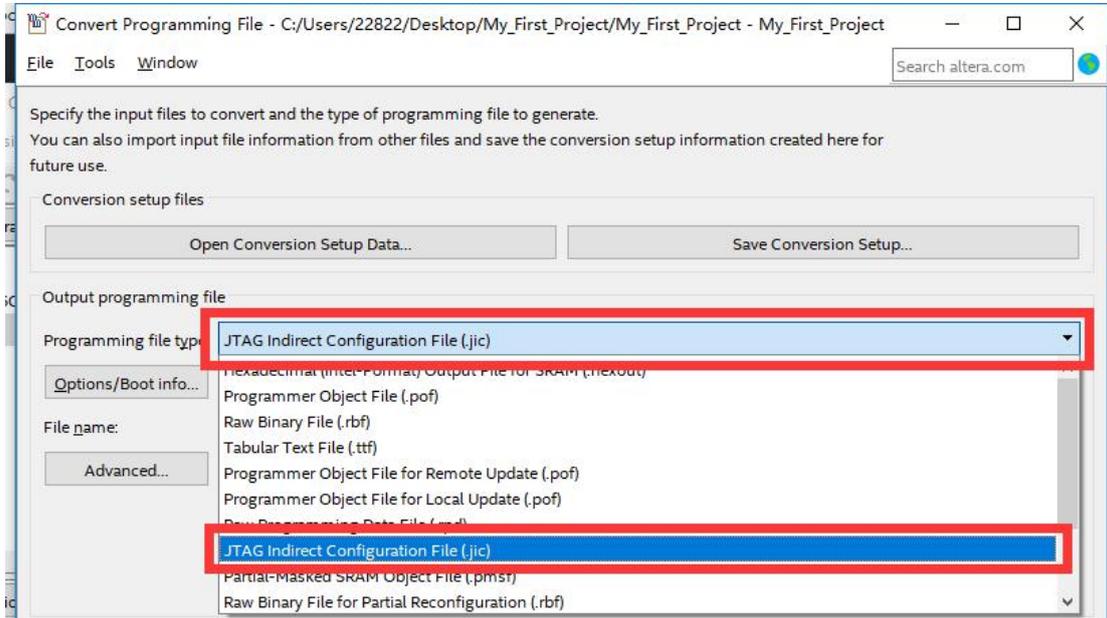
## 3.5 FPGA 加载(Jic 配置)

Sof 配置方法是将配置文件配置在芯片内部的 SRAM 中，在板卡掉电后会程序会丢失，在本小节将介绍配置到外部 Flash 的方法，能够使程序能够掉电保持。

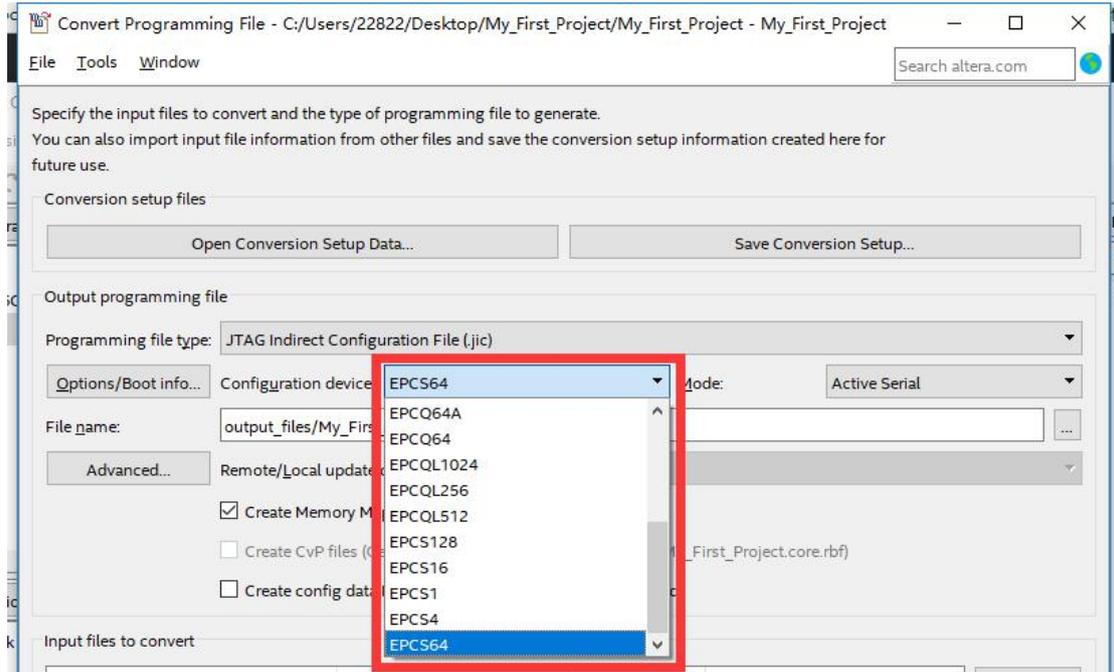
1. 首先，点击 File – Convert Programming Files...



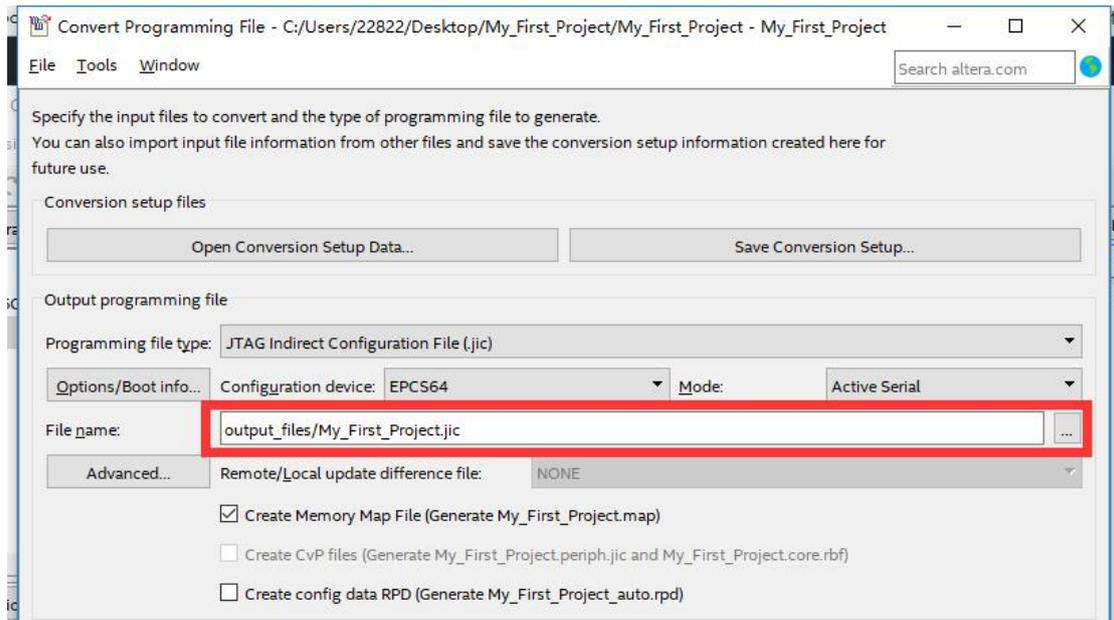
2. 选择 JTAG Indirect Configuration File (.jic)



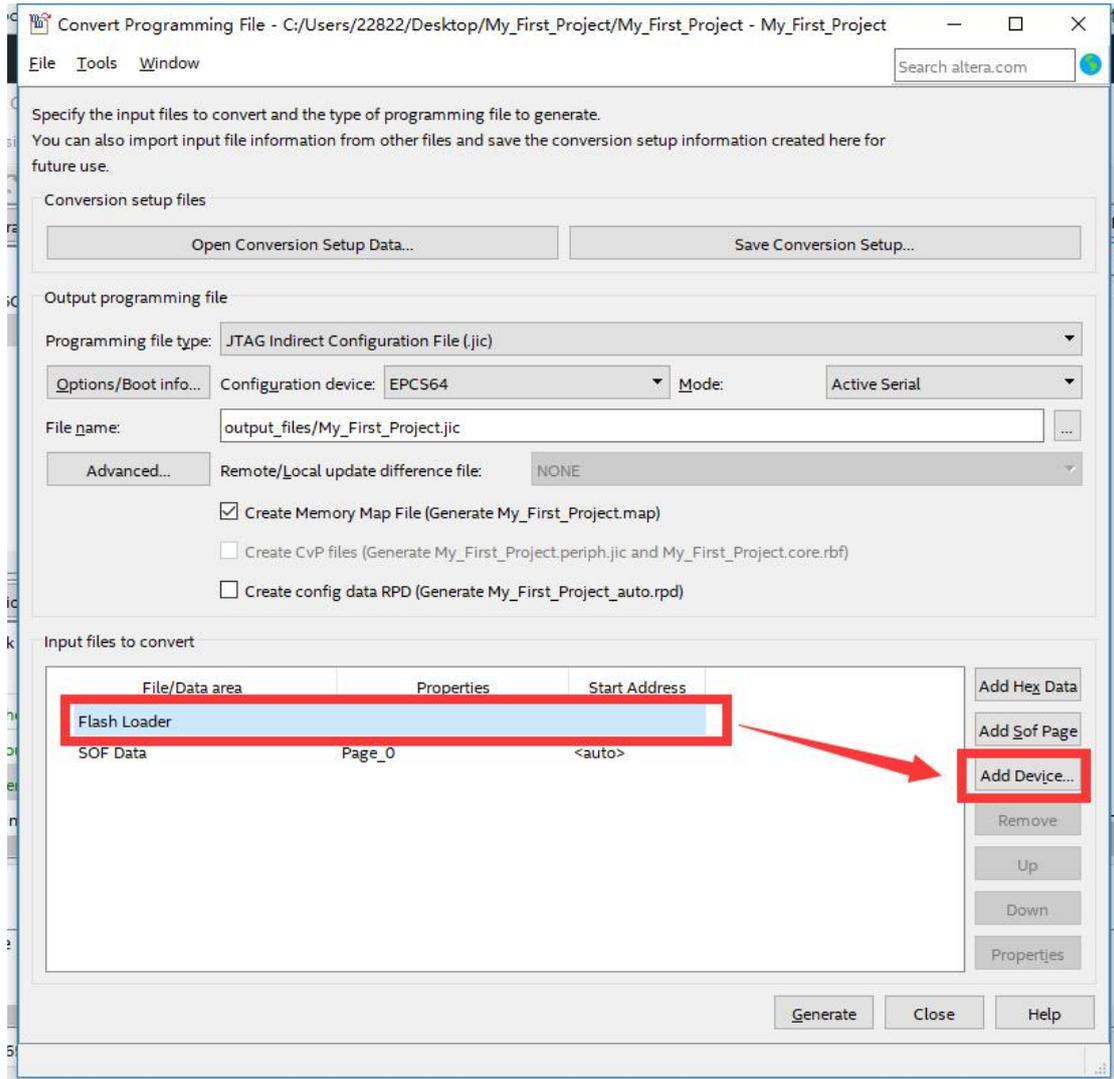
3. 选择设备为 EPCS64



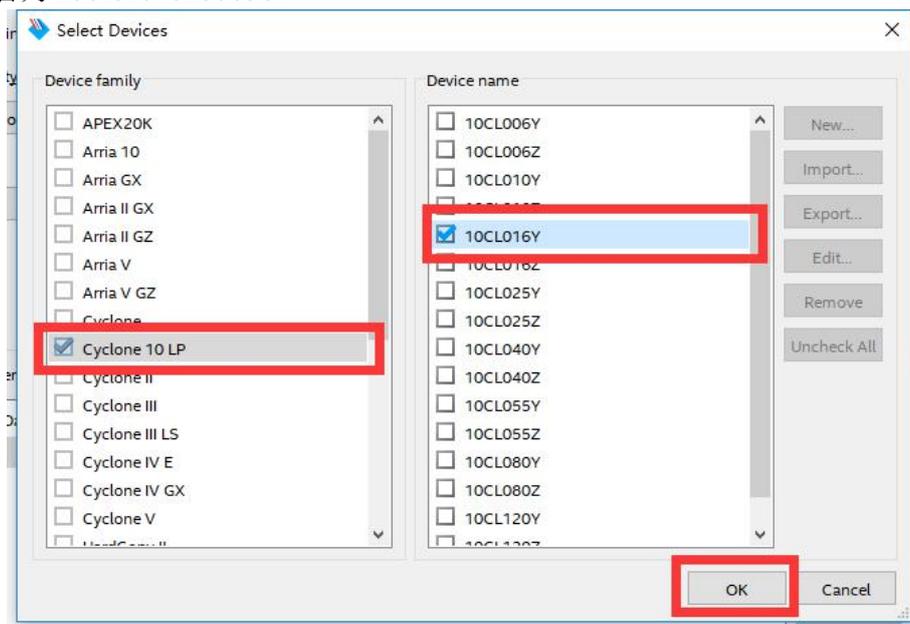
#### 4. 配置输出路径。



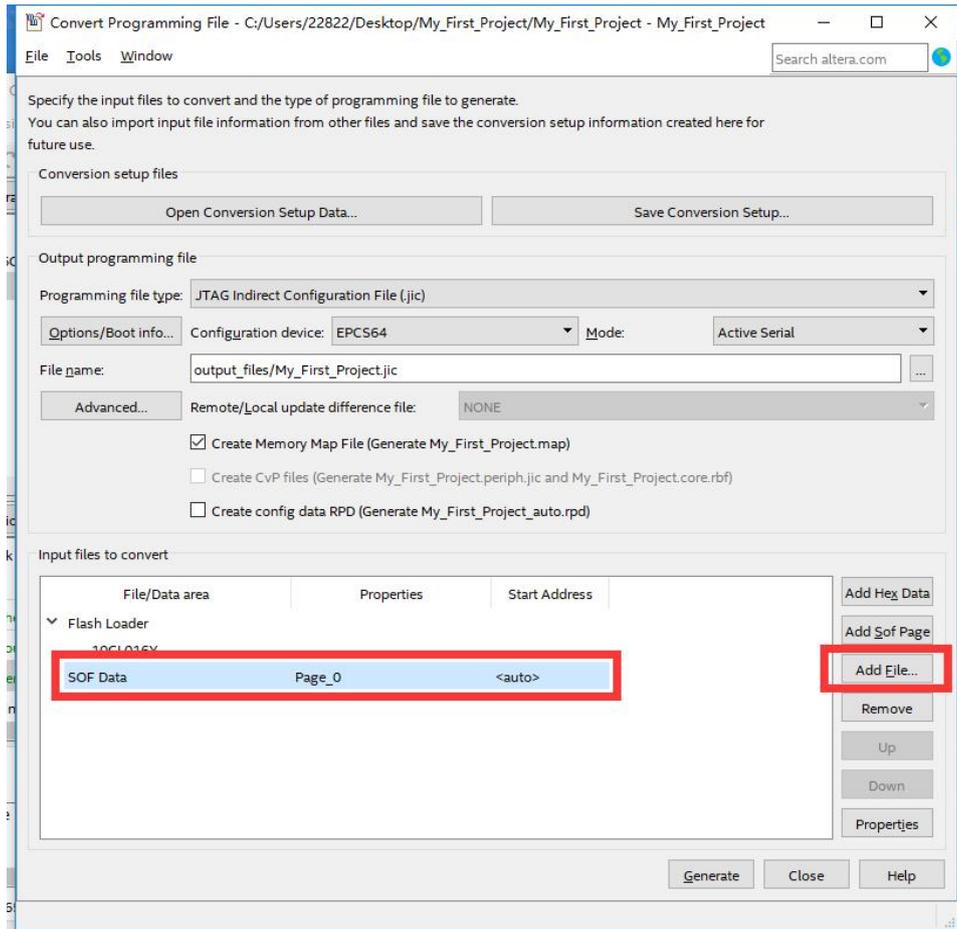
#### 5. 添加编程设备



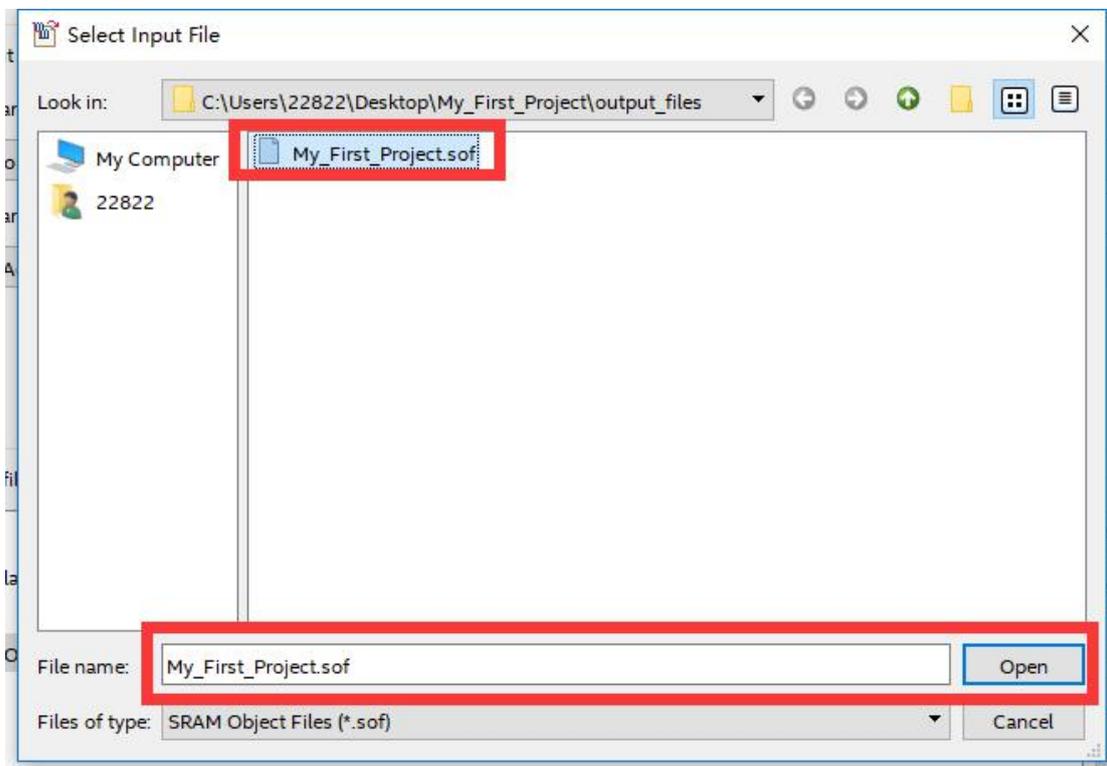
选择设备为 10CL016YU256C8G:



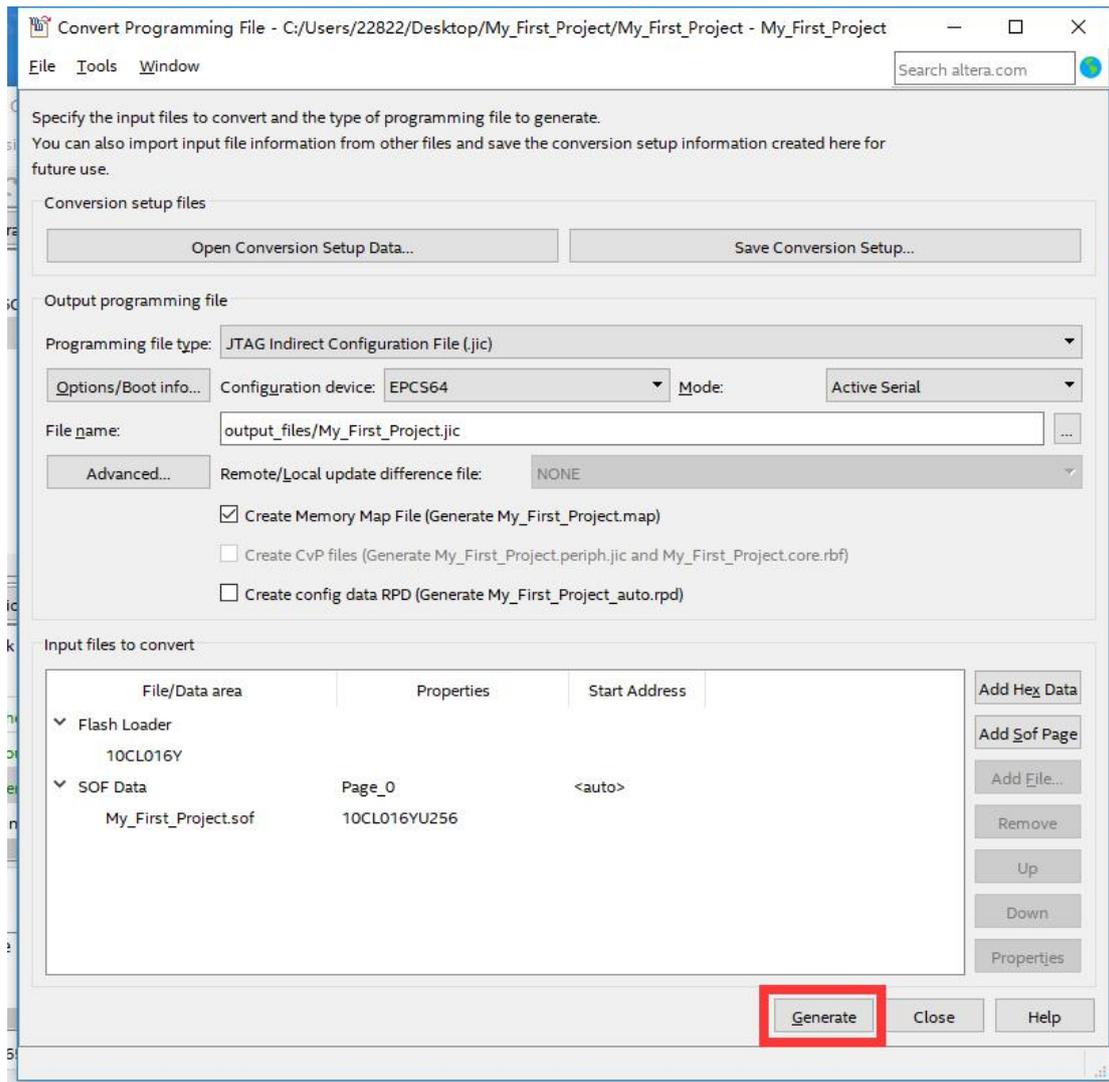
6. 添加 SOF 文件:



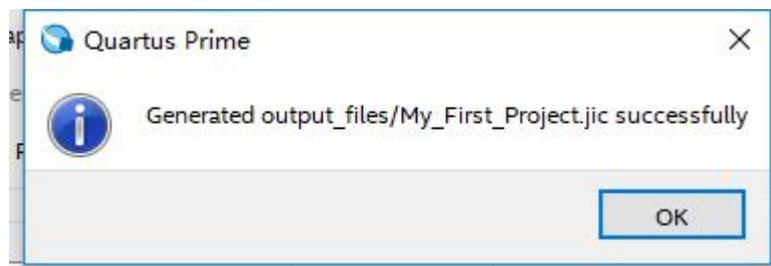
## 7. 选择 SOF 文件



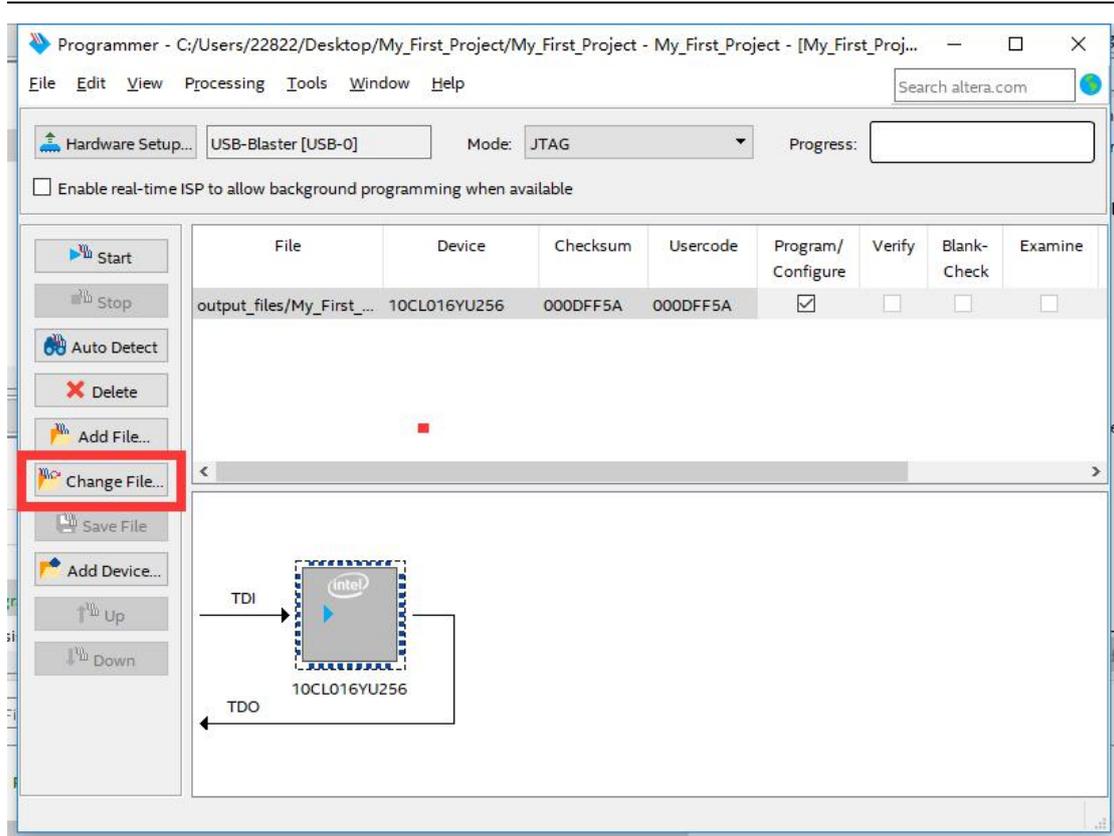
## 8. 点击 Generate



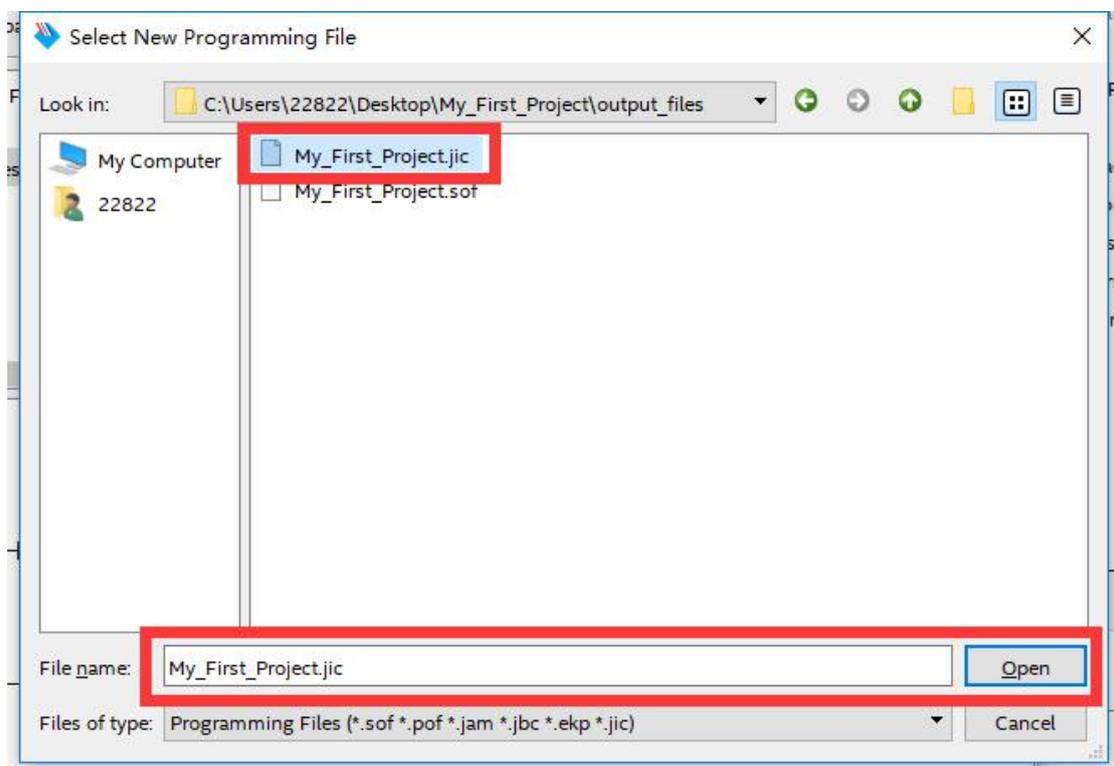
## 9. 生成成功



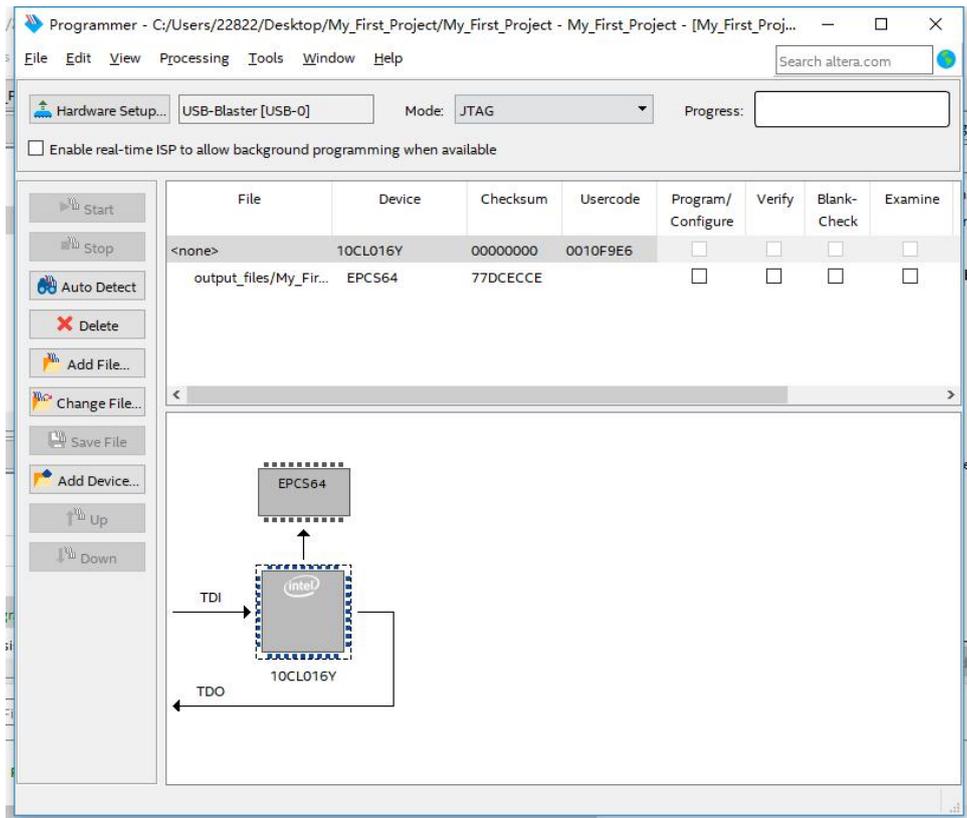
## 10. 进入编程界面，点击 Change File...



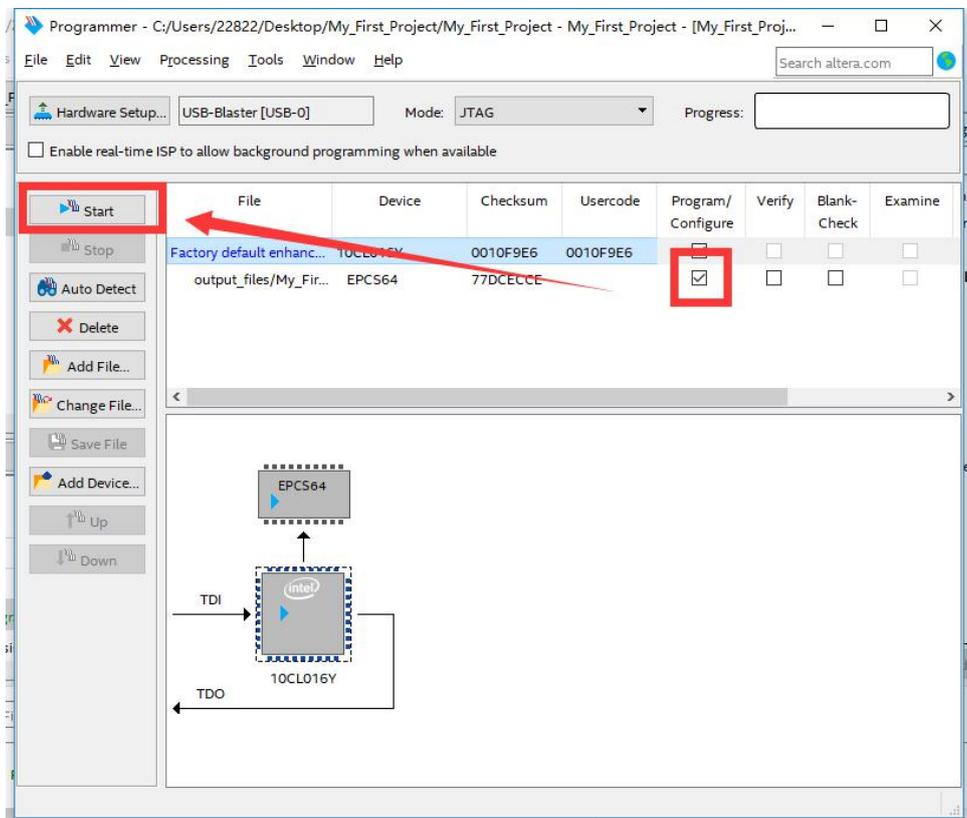
## 11. 选择.jic 文件



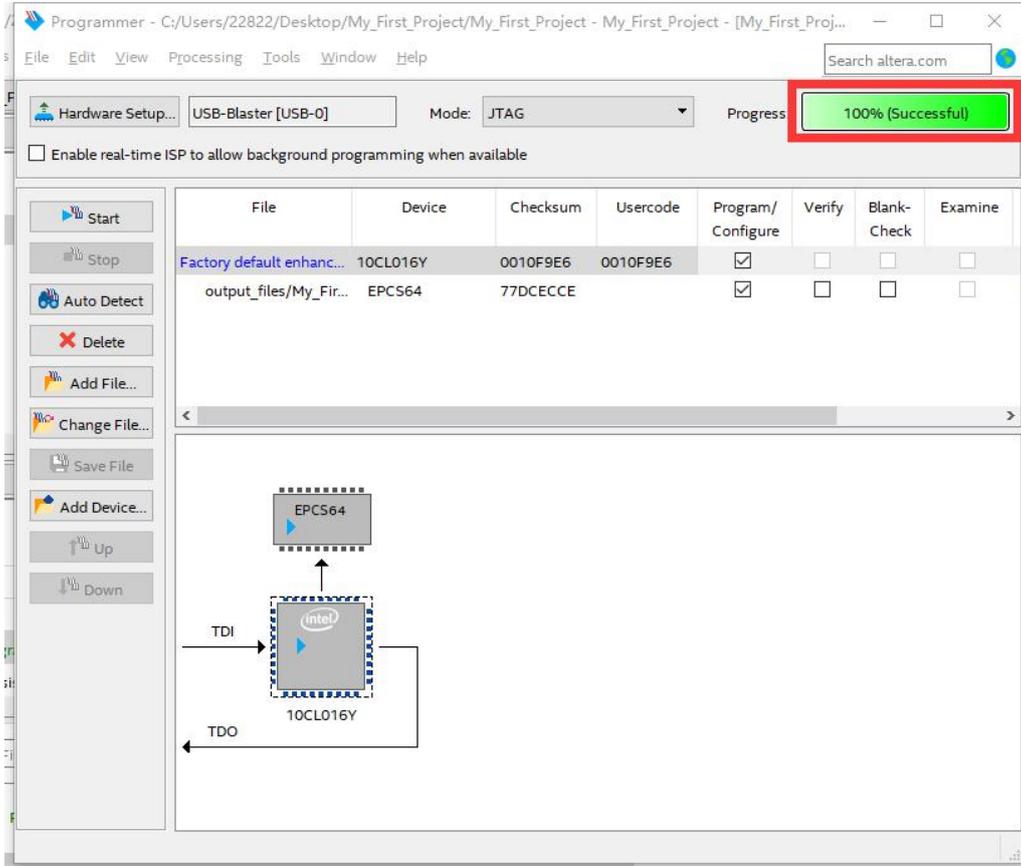
## 12. 编程界面如下



## 13. 选中 Program/Configure，点击 Start



14. 编程会比 SRAM 编程慢一些，下图为编程完成，编程后需要重新给 FPGA 板卡的供电，可以观察到程序没有丢失。



## 4. 仿真工具 Modelsim

- 1、首先提前准备测试文件（Textbench）：LED\_shining\_tb.v，测试文件源码如下：

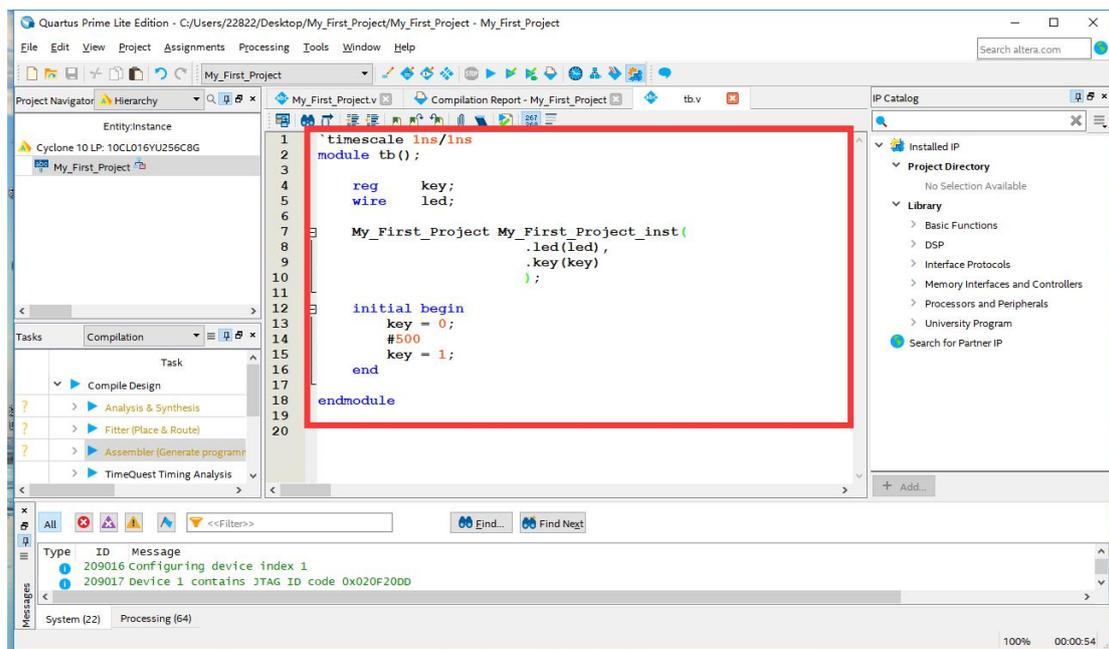
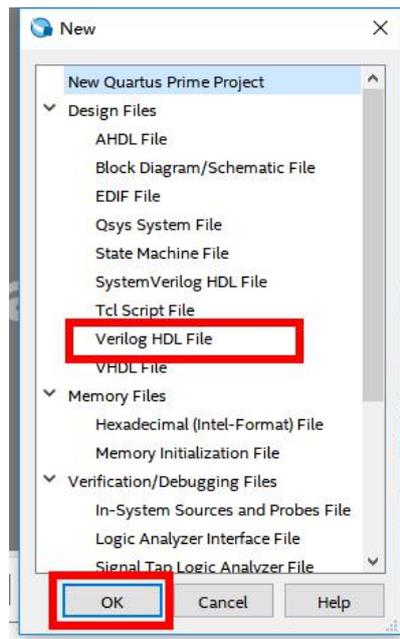
```

`timescale 1ns/1ns
module tb();
    reg    key;
    wire   led;
    My_First_Project My_First_Project_inst (
        .led(led) ,
        .key(key)
    );

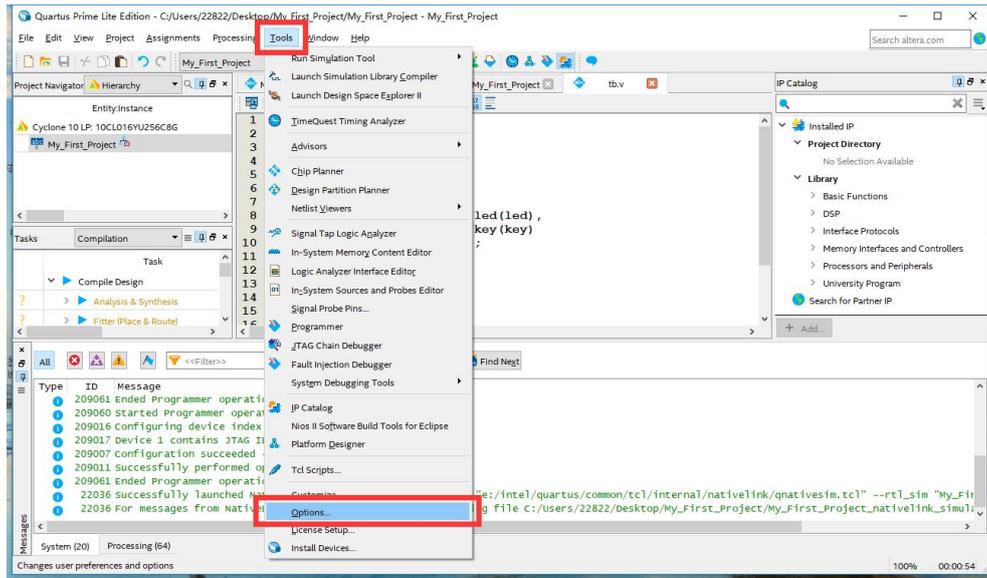
    initial begin
        key = 0;
        #500
        key = 1;
    end
endmodule

```

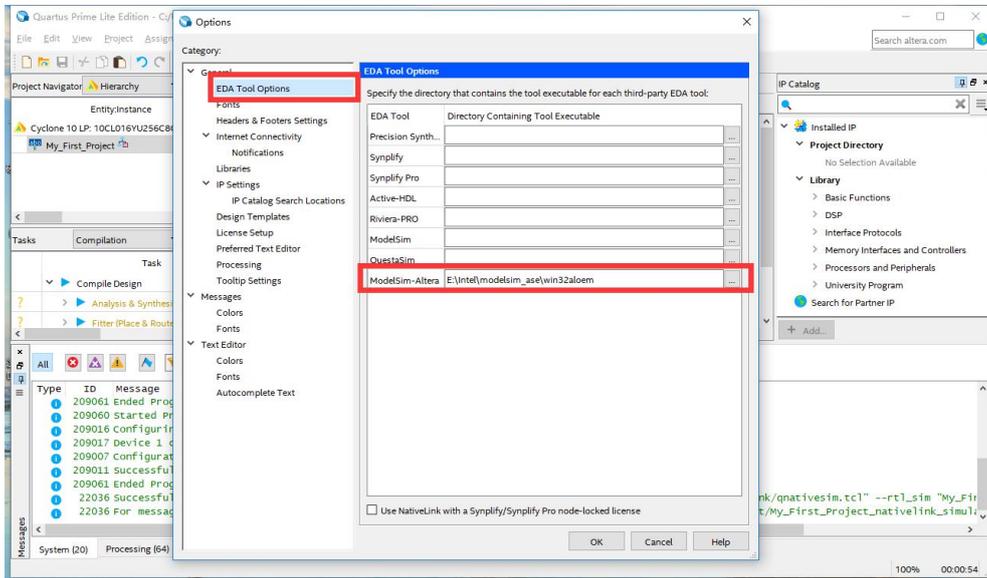
2.新建一个 Verilog 文件，导入测试文件。



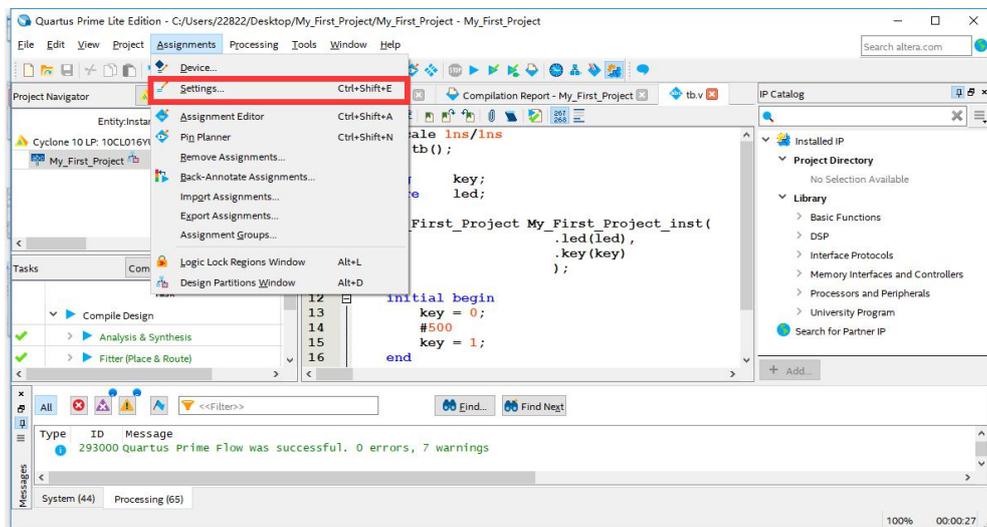
3.检查 ModelSim-Altera 启动路径，点击 Tool – Options...



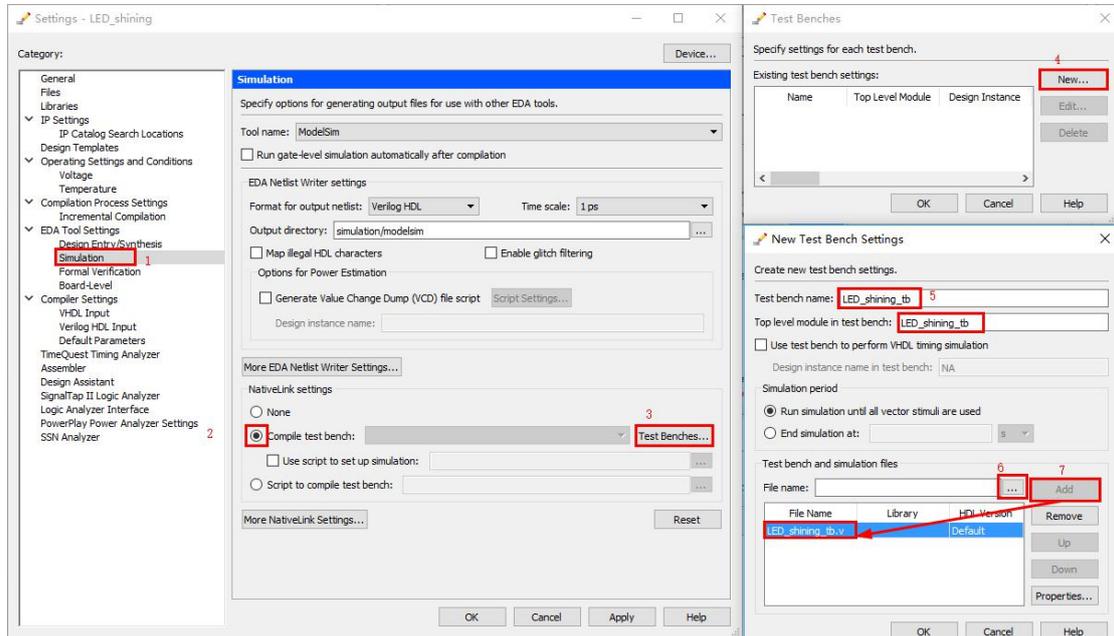
#### 4. 若未配置，选择路径如下



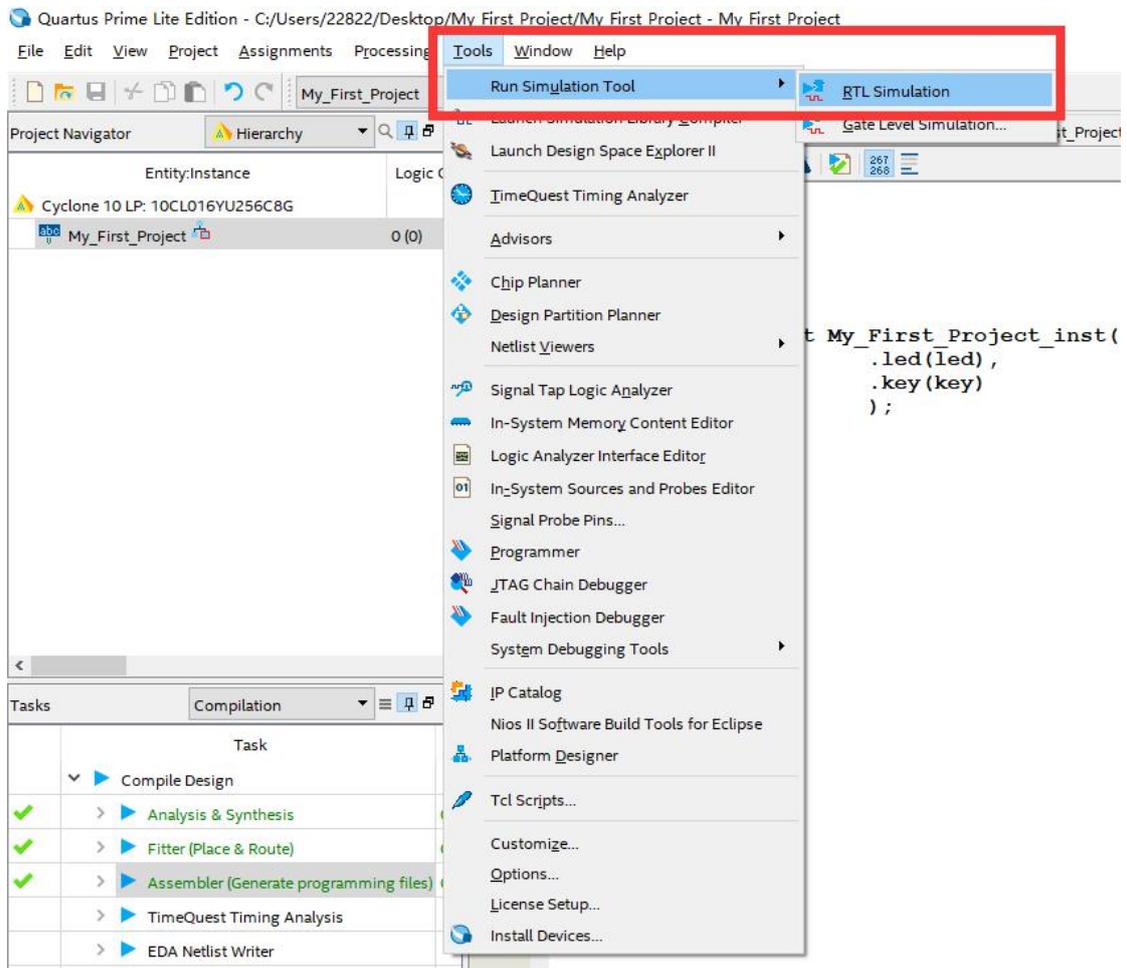
#### 5. 选择菜单栏 Assignments→Settings 或 工具栏中 Settings 按钮，进入设置界面。



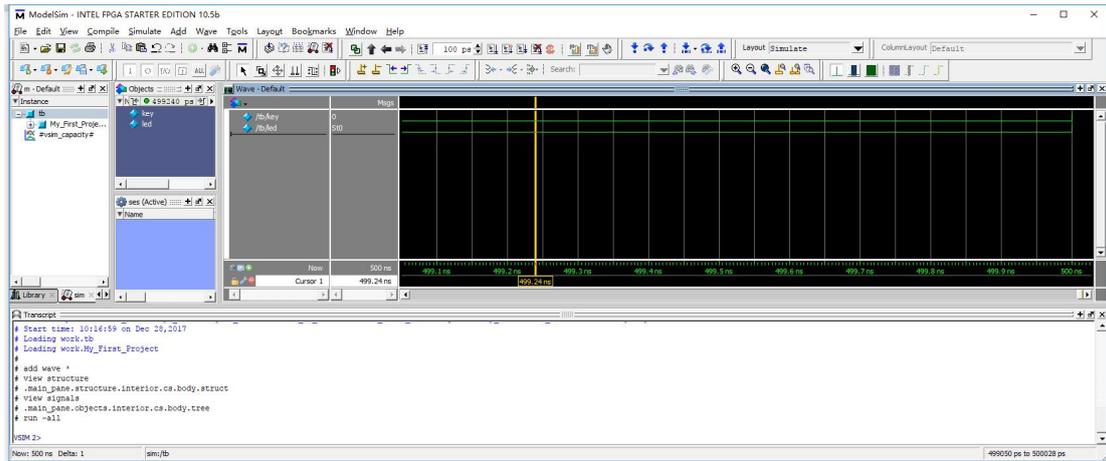
6. 选择菜单栏 Simulation 选项，单选 Compile test bench，点击 Test Benches，在弹出的对话框中点击 New，填写 Test bench name，按照目录添加测试文件，如下图标识顺序，最后点击 OK 回到设计界面。



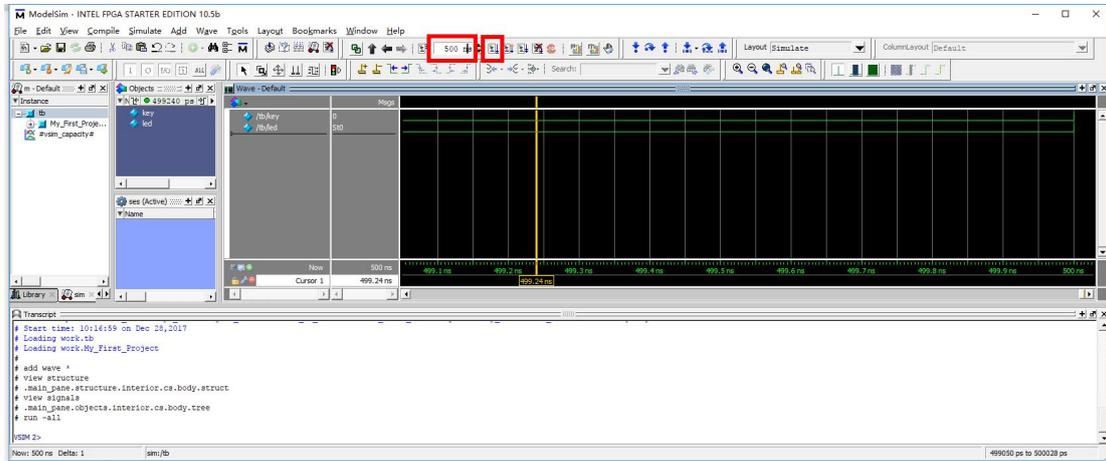
7. 选择菜单栏 Tools→Run Simulation Tool→RTL Simulation 选项 或 工具栏中 RTL Simulation 按钮，Quartus 软件会自动启动 Modelsim 软件。



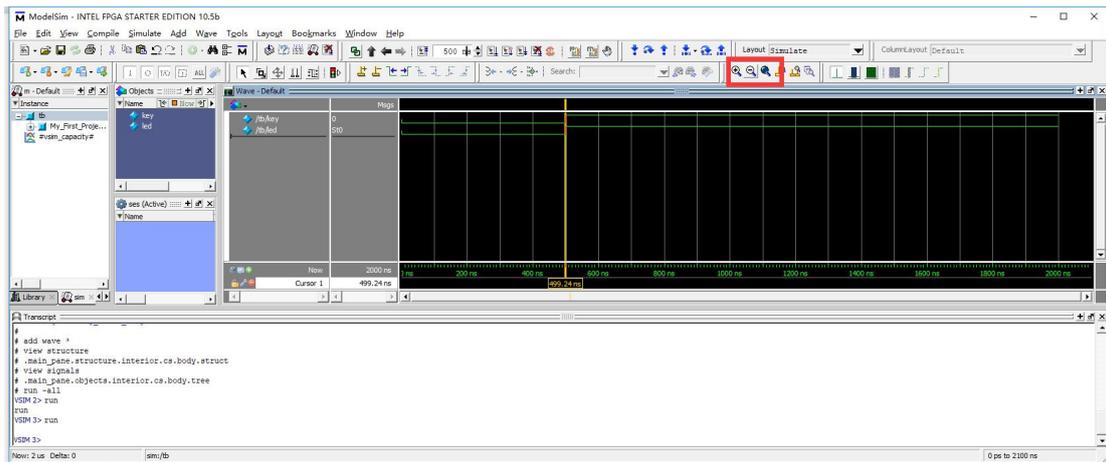
8. ModelSim 软件启动后自动完成代码编译，界面如下图。



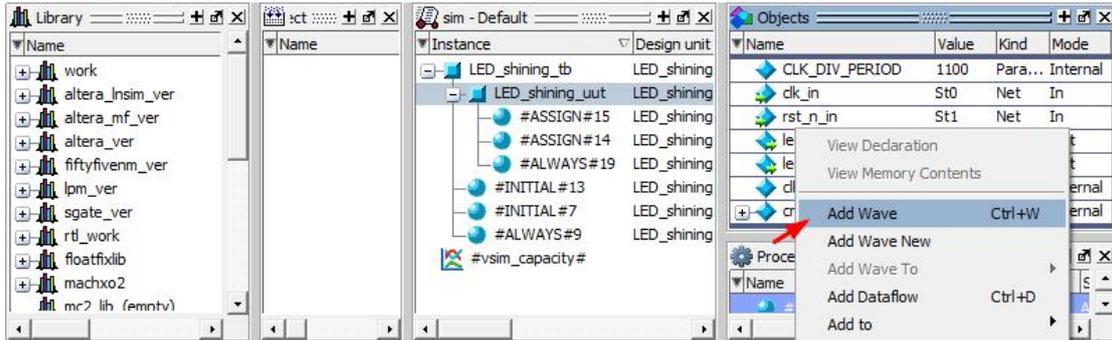
9. 输入仿真时间，点击运行。



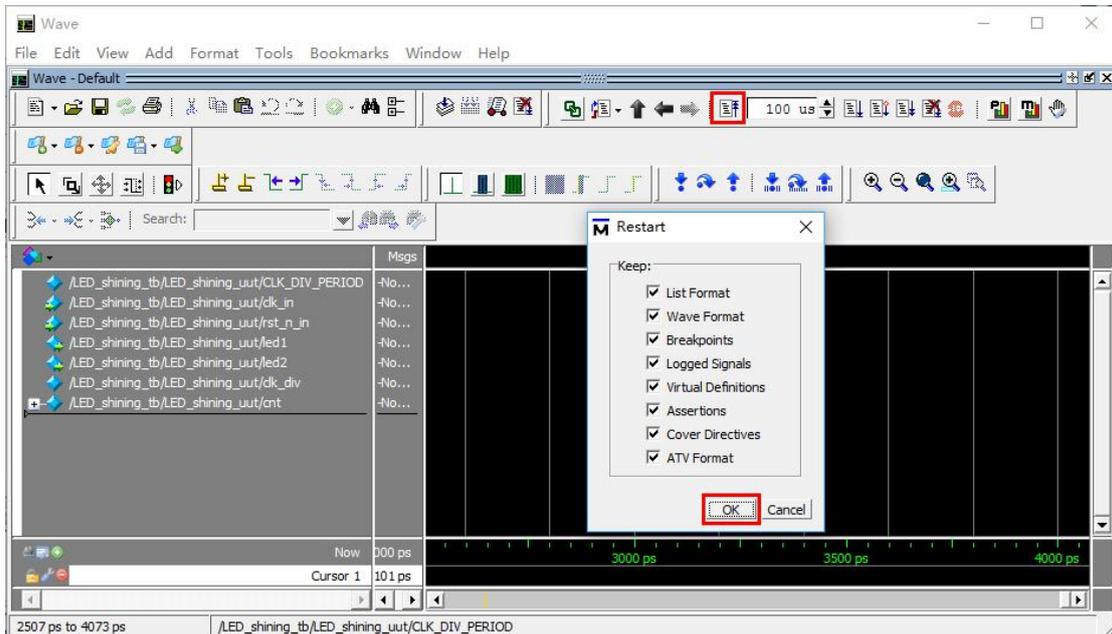
10. 观察波形，可发现 LED 跟随着 KEY 的输入进行变化，本工程仿真完成。



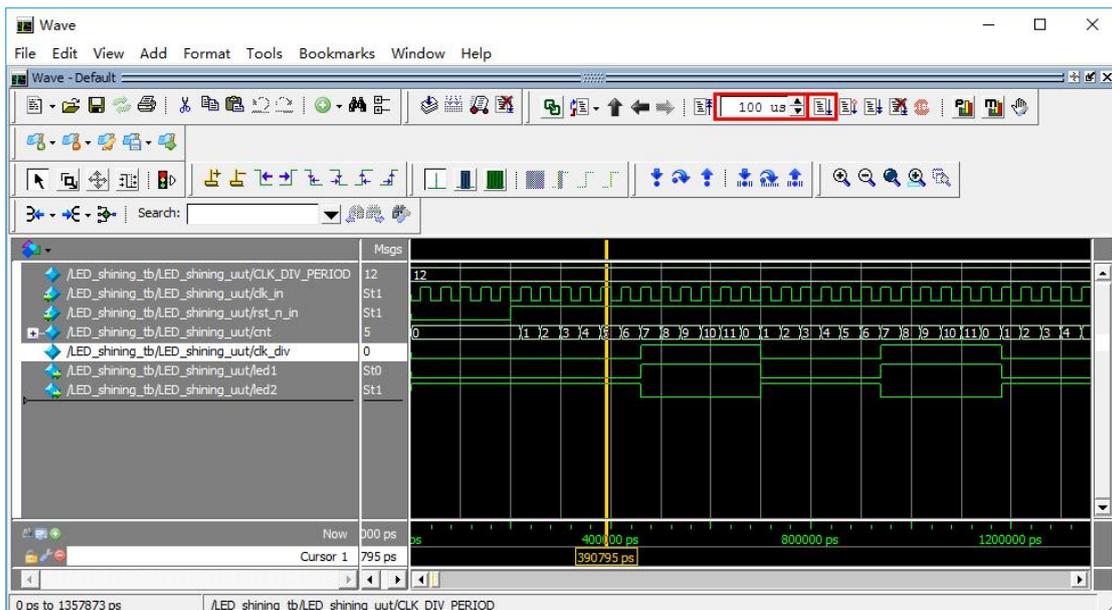
11. 若仿真其它工程，需要观察波形的信号时，你可以点击右键，在弹出的右键菜单中选择 Add Wave，这样就将对应信号添加至 Wave 窗口。



12. 弹出的 Wave 窗口如下，选择工具栏中 Restart 按钮，在弹出的 Restart 窗口点击 OK，复位仿真 Wave 窗口。



13. 修改工具栏中仿真时间，点击工具栏中 Run 按钮，进行仿真，仿真波形如下，仿真完成。



---

## 5. 版本

版本号	修改日期	修改
V0.1	2017/12/28	
V1.0	2018/11/01	初始版本