

**ADI 技术指南合集**  
**第一版**  
**电路仿真和 PCB 设计**

# 目录

EMI、RFI 和屏蔽概念.....	1	微带和带线设计.....	76
RFI 整流原理.....	17	散热设计基础.....	83
低电压逻辑接口.....	27	模拟电路仿真.....	96
去耦技术.....	41	试验板和原型制作技术.....	111
实现数据转换器的接地并解开“AGND”和 “DGND”的谜团.....	55	静电放电 (ESD).....	126
工程经理初次使用 Multisim.....	72	高速逻辑的处理.....	135

## EMI、RFI和屏蔽概念

### 电磁兼容性(EMC)简介

模拟电路性能常常会因附近电气活动产生的高频信号而受到不利影响。此外，内置模拟电路的设备也可能对其外部的系统产生不利影响。参考文献1(第4页)根据IEC-60050定义给出了“电磁兼容性(EMC)”定义：

EMC是指器件、整套设备或系统在电磁环境下保持良好性能且不会向该环境中的任何器件、设备或系统引入大量电磁干扰的能力。

因此，术语“EMC”描述以下两个方面：

1. 电气电子系统保持正常工作且不干扰其它系统的能力。
2. 此类系统在额定电磁环境中按预期工作的能力。

因此，完整的EMC保证将会表明：设计中的设备应该既不会产生杂散信号，也不易受带外外部信号(即目标频率范围之外的那些信号)影响。模拟设备多数时候深受后一类EMC问题之害。此部分将重点介绍如何恰当处理这类杂散信号。

外部产生的电气活动可能产生噪声，这种噪声称为“电磁干扰(EMI)”或“射频干扰(RFI)”。下面将从电磁干扰和射频干扰两个方面探讨EMI。对模拟设计人员来说，较具挑战性的任务之一就是合理控制设备，防止出现因EMI而造成的不良操作。必须注意，这种情况下，EMI和/或RFI通常都是有害的。一旦进入设备内部，它既能够也会造成设备性能下降，而且通常影响相当大。

此部分将着重介绍如何最大程度地减少因收到EMI/RFI信号而导致的不良模拟电路操作。此类不良行为也称为“EMI或RFI敏感度”，指示设备暴露于EMI/RFI时出现异常行为的倾向。当然还有互补EMC问题，即关于杂散“辐射”。不过，与高速逻辑等相比，模拟电路通常较少涉及到脉冲驱动的高速、高电流信号边沿(即产生此类杂散信号的信号边沿)，所以此处并未重点介绍EMC的这一方面。但无论如何，读者应当注意，这点可能很重要，尤其是模拟电路与高速逻辑一起共同构成混合信号环境时。

由于所有这些EMC设计重点都至关重要，因此强烈建议各位读者补充阅读教程结尾部分的参考文献。实际上，为了实现针对EMI、RFI和EMC周密完善的设计，设计人员需要非常熟悉这些参考文献中的一个或多个(参见参考文献1-6)。这项课题范围极其广阔，现在也变得越来越重要，以下材料仅为其简介。

## EMI/RFI机制

要了解并合理控制EMI和RFI，首先需要将其分离成便于管理的各部分。因此，请记住，当确实出现EMI/RFI问题时，基本上都可以将其分成“来源”、“路径”和“接收器”几部分，这点非常有用。系统设计人员可以直接控制其中的接收器部分，同时还可能控制部分路径。但是，设计人员几乎不可能控制实际来源。

## EMI噪声源

干扰噪声总是可以通过这样或那样的方式耦合至模拟电路，从而破坏电路精度。这样的噪声源有很多，图1列出了其中一些。

- ◆ EMI/RFI noise sources can couple from *anywhere*
- ◆ Some common sources of externally generated noise:
  - Radio and TV Broadcasts
  - Mobile Radio Communications
  - Cellular Telephones
  - Vehicular Ignition
  - Lightning
  - Utility Power Lines
  - Electric Motors
  - Computers
  - Garage Door Openers
  - Telemetry Equipment

**图1：一些常见的EMI噪声源**

由于几乎不可能控制这些EMI来源，那么退而求其次，就是发现和了解EMI耦合至设计中设备的可能路径。



## EMI耦合路径

EMI耦合路径实际上寥寥无几，最常见的三种路径如下：

1. 因传导而产生的干扰(公共阻抗)
2. 因容性或感性耦合而产生的干扰(近场干扰)
3. 电磁辐射(远场干扰)

## 噪声耦合机制

只要系统中存在阻抗不匹配或不连续，EMI能量就可能进入系统。一般而言，这种情况发生在接口处(即承载敏感模拟信号的电缆连接到PCB，并通过电源引脚的地方)。电缆连接不当或电源滤波方案不佳通常都是干扰滋生的“完美温床”。

当两个或以上的电流共享公共路径(阻抗)时，也可能产生传导噪声。这种公共路径通常为高阻抗“接地”连接。如果两个电路共享此路径，那么一个电路的噪声电流就会在另一电路中产生噪声电压。这种潜在干扰源可以通过几个步骤来识别(参见参考文献1和2，以及教程[MT-031](#))。

图2所示为噪声从外部来源进入电路的一些常见方式。

- ◆ Impedance mismatches and discontinuities
- ◆ Common-mode impedance mismatches → Differential Signals
- ◆ Capacitively Coupled (Electric Field Interference)
  - $dV/dt \rightarrow$  Mutual Capacitance  $\rightarrow$  Noise Current  
(Example: 1V/ns produces 1mA/pF)
- ◆ Inductively Coupled (Magnetic Field)
  - $di/dt \rightarrow$  Mutual Inductance  $\rightarrow$  Noise Voltage  
(Example: 1mA/ns produces 1mV/nH)

**图2：EMI如何进入设备**

以电介质(空气、真空以及所有固态或液态绝缘体都属于电介质)隔开的任何两条导线之间都存在电容。如果一条导线上的电压发生变化，则另一导线上的电荷就会发生变化，而电介质中将出现位移电流。当电容或 $dV/dT$ 很高时，就很容易耦合噪声。例如，1 V/ns的变化速率会引起1 mA/pF的位移电流。

如果一个电路中电流流动产生的磁通密度变化耦合至另一电路，则会在第二个电路中引入电动势。这种“互感”是一种非常麻烦的噪声源，其耦合自 $dI/dT$ 值较大的电路。例如，如果互感为1 nH，则电流变化速率为1 A/ns时，会引入1 V的电动势。

## 降低公共阻抗噪声

图3中列出了可消除或降低公共阻抗噪声(因传导路径共享阻抗而出现的噪声)的一些步骤。

- ◆ **Common-impedance noise**
  - Decouple op amp power leads at LF and HF
  - Reduce common-impedance
  - Eliminate shared paths
- ◆ **Techniques**
  - Low impedance electrolytic (LF) and local low inductance (HF) bypasses
  - Use ground and power planes
  - Optimize system design

**图3：公共阻抗噪声的一些解决方案**

这些方法应与教程[MT-031](#)中介绍的所有相关技术配合使用。

给多个电路供电的供电轨就是很好的公共阻抗例子。实际电源可能具有低输出阻抗，也可能不是，尤其是在频率发生变化时。另外，用于配电的PCB走线同时具有感性和阻性，也可能构成接地环路。使用电源层和接地层还可以降低配电阻抗。PCB上的这些专用导体层是连续的(理想情况下如此)，因此实际电阻和电感极低。

在某些应用中，低电平信号会遇到高电平公共阻抗噪声，此时不可能防止干扰，而是可能需要改变系统架构。可能需要改变以下几方面：

1. 以差分形式传输信号
2. 将信号放大到较高电平，以改善信噪比
3. 将信号转换为电流以便传输
4. 将信号直接转换为数字形式

## 近场干扰的感生噪声

“串扰”是第二常见的干扰形式。在噪声源附近(即近场)时，干扰不是以电磁波形式传送，而串扰一词可以指代感性或容性耦合信号。

## 降低容性耦合噪声

容性耦合噪声可以通过减少耦合电容(方法是增加导线间距)来降低, 但最简单的解决方法是采用屏蔽。通过在信号源和受影响节点之间放置导电且接地的屏蔽体(称为“法拉第屏蔽体”), 可将位移电流直接路由至地, 从而消除这种噪声。

使用此类屏蔽体时, 值得注意的是, 法拉第屏蔽体必须接地, 这点非常重要。屏蔽体浮动或开路无一例外都会导致容性耦合噪声增加。如需简单回顾这种屏蔽方法, 请参见本文结尾部分的参考文献2和3。

图4汇总了消除电容耦合干扰的方法。

- ◆ Reduce Level of High dV/dt Noise Sources
- ◆ Use Proper Grounding Schemes for Cable Shields
- ◆ Reduce Stray Capacitance
  - Equalize Input Lead Lengths
  - Keep Traces Short
  - Use Signal-Ground Signal-Routing Schemes
- ◆ Use Grounded Conductive Faraday Shields to Protect Against Electric Fields

**图4: 降低电容耦合噪声的方法**

## 降低磁耦合噪声

图5汇总了消除磁场导致干扰的方法。

- ◆ Careful Routing of Wiring
- ◆ Use Conductive Screens for HF Magnetic Shields
- ◆ Use High Permeability Shields for LF Magnetic Fields ( $\mu$ -Metal)
- ◆ Reduce Loop Area of Receiver
  - Twisted Pair Wiring
  - Physical Wire Placement
  - Orientation of Circuit to Interference
- ◆ Reduce Noise Sources
  - Twisted Pair Wiring
  - Driven Shields

**图5: 降低磁耦合噪声的方法**

为了说明磁耦合噪声的影响，假设闭环面积为 $A \text{ cm}^2$ 的电路在通量密度均方根值为 $B$ (高斯)的磁场内工作。那么，此电路中的感生噪声电压 $V_n$ 可以用下式表示：

$$V_n = 2 \pi f B A \cos\theta \times 10^{-8} \text{ V} \quad \text{公式 1}$$

在此公式中， $f$ 表示磁场频率， $\theta$ 表示磁场 $B$ 与环路面积为 $A$ 的电路之间的角度。通过减少电路环路面积、磁场强度或入射角，便可以降低磁场耦合。要减少电路环路面积，则需要将电路导线排列得更紧密。将导线绞合在一起可以减少环路净面积。理想情况下，正负增量环路面积等于零，因此具有消除磁场耦合的效果。直接减弱磁场可能比较困难。不过，由于磁场强度和电路与干扰源的距离立方成反比，因此使受影响的电路远离磁场可以显著降低感生噪声电压。最后，如果电路与磁场垂直，则可以将耦合降至最低。如果电路的导线与磁场平行，那么入射角为零，因此感生噪声将达到最大。

还有一些技术可用于从来源上降低磁场干扰情况。在前面的段落中，接收器电路的导线被绞合在一起，以消除导线周围的感生磁场。同一原理也可用于干扰源走线。如果磁场源为流过临近导线的大电流，那么可以将这些导线绞合在一起，从而减少净磁场。

虽然屏蔽体和屏蔽套对磁场的屏蔽效果远远不如对电场的屏蔽效果，但有时也会有用。低频时，采用高导磁合金等高导磁率材料的磁屏蔽体可以在一定程度上衰减磁场。高频时，只要屏蔽体的厚度大于所用导线的集肤深度(在所涉频率条件下)，简单的导电屏蔽体就非常有效。注意，铜的集肤深度为 $6.6/\sqrt{f} \text{ cm}$ ，其中 $f$ 单位为Hz。

### 无源元件：EMI克星

只要使用得当，电阻、电容和电感等无源元件都是降低外部感生干扰的强有力工具。

简单的RC网络可以构成高效、经济的单极、低通滤波器。输入噪声会通过电阻转换成热量而消耗掉。但要注意固定电阻本身会产生热噪声。另外，在运算放大器或仪表放大器的输入电路中使用时，此类电阻会产生由输入偏置电流感生的失调电压。虽然使两个电阻相匹配可以将直流失调降至最低，但该噪声将保持不变。图6汇总了一些能够将EMI降至最低的常用低通滤波器。

如果应用中信号和回路导线没有实现良好地磁耦合，那么可以使用共模(CM)扼流圈来增加两者之间的互感。注意，这些注释主要适用于仪表放大器，后者接收平衡输入信号(除非构建仪表放大器，否则运算放大器本来要求用非平衡输入信号)。CM扼流圈非常容易构建，只需将差分信号导线在高导磁率(> 2000)氧化铁磁珠上绕几圈即可。磁珠的磁性允许差模电流顺畅通过，但却会抑制CM电流。

LP Filter Type	ADVANTAGE	DISADVANTAGE
RC Section	Simple Inexpensive	Resistor Thermal Noise $I_B \times R$ Drop $\rightarrow$ Offset Single-Pole Cutoff
LC Section (Bifilar)	Very Low Noise at LF Very Low IR Drop Inexpensive Two-Pole Cutoff	Medium Complexity Nonlinear Core Effects Possible
$\pi$ Section (C-L-C)	Very Low Noise at LF Very Low IR Drop Pre-packaged Filters Multiple-Pole Cutoff	Most Complex Nonlinear Core Effects Possible Expensive

**图6：在滤波器内使用无源元件来抑制EMI**

此外，还可以在扼流圈的前后连接电容，分别提供额外的CM滤波和差模滤波。这种CM扼流圈价格便宜，而且由于线路的直流电阻很低，因此热噪声和由偏置电流感生的失调极低。不过，核芯周围有磁场。为了防止与其它电路发生耦合，核芯可能需要用金属屏蔽体包围起来。同时注意，应避免核芯中出现高电平电流，因为这样可能会使氧化铁饱和。

第三种无源滤波方法是采用封装的 $\pi$ 网络(C-L-C)。这类封装滤波器完全独立，在输入端和输出端都连接穿心式电容，并集成一个屏蔽体以防止电感的磁场辐射噪声。这类网络价格较贵，可提供较高的衰减水平并可在宽频率范围内工作，但选择滤波器时必须确保磁珠所涉及的工作电流电平不会出现饱和。

### 降低系统的EMI敏感度

本文前面通过一些通用示例和技术概述了可用于降低或消除EMI/RFI的步骤。图7给出了一些基于系统考量的可能措施。

如需了解其它抗EMI的滤波技术示例，请参见“[教程MT-070](#)”

下文将进一步细述屏蔽原理。

- ◆ **Always Assume That Interference Exists!**
- ◆ **Use Conducting Enclosures Against Electric and HF Magnetic Fields**
- ◆ **Use mu-Metal Enclosures Against LF Magnetic Fields**
- ◆ **Implement Cable Shields Effectively**
- ◆ **Use Feedthrough Capacitors and Packaged PI Filters**

**图7：降低系统EMI/RFI敏感度**

### 屏蔽概念回顾

接下来讨论屏蔽效果概念这些背景知识。有兴趣的读者可以查看教程结尾的参考文献4-9来了解更多详情。

要有效地运用屏蔽概念，需要了解干扰源、干扰源周围的环境以及干扰源与观察点(接收器)之间的距离。如果电路在干扰源附近工作(即近场或感应场)，那么场特性取决于干扰源。如果电路位于远处(即远场或辐射场)，那么场特性取决于传输介质。

如果电路与干扰源之间的距离小于干扰波长( $\lambda$ )除以 $2\pi$ (即 $\lambda/2\pi$ )，则电路在近场内工作。如果电路与干扰源之间的距离大于该数值，那么电路在远场内工作。例如，对于由1 ns脉冲边沿导致的干扰，其带宽上限大约为350 MHz。350 MHz信号的波长约为32英寸(光速约为12"/ns)。将该波长除以 $2\pi$ 即可得到距离大约为5英寸，这就是近场和远场之间的界限。如果电路位于350 MHz干扰源的5英寸范围之内，那么该电路在干扰源近场内工作。如果距离大于5英寸，那么该电路在干扰源远场内工作。

无论是何种干扰类型，都具有相关的特征阻抗。该特征(即场的波阻抗)由其电场(以E表示)与其磁场(以H表示)的比值决定。在远场中，电场与磁场的比值为自由空间的特征(波阻抗)，即 $Z_0 = 377 \Omega$ 。在近场中，波阻抗由干扰性质以及与干扰源的距离决定。如果干扰源具有高电流和低电压(如环路天线或电源线路变压器)，那么主要是磁场，波阻抗小于 $377 \Omega$ 。如果干扰源具有低电流和高电压(如拉杆天线或高速数字开关电路)，那么主要是电场，波阻抗大于 $377 \Omega$ 。



可以使用导电外壳来屏蔽敏感电路，以免其受到这些外部场影响。这类材料可以形成与入射干扰的“阻抗不匹配”，原因是屏蔽体的阻抗小于入射场的波阻抗。导电屏蔽体的有效性取决于以下两项：首先是因屏蔽材料反射入射波而造成的损耗。其次是因屏蔽材料吸收透射波而造成的损耗。反射损耗量取决于干扰类型及其波阻抗。但是，吸收损耗量则与干扰类型无关。无论是对于近场辐射与远场辐射，还是对于电场与磁场，该损耗量都相同。

两种介质间表面的反射损耗取决于两种介质的特征阻抗差异。对于电场，反射损耗取决于干扰频率和屏蔽材料。该损耗可以用dB表示，计算公式如下：

$$R_e(\text{dB}) = 322 + 10\log_{10} \left[ \frac{\sigma_r}{\mu_r f^3 r^2} \right] \quad \text{公式 2}$$

其中， $\sigma_r$ 是屏蔽材料的相对导电率，单位为西门子每米； $\mu_r$ 是屏蔽材料的相对导磁率，单位为亨利每米； $f$ 是干扰频率，而 $r$ 是与干扰源的距离，单位为米。

对于磁场，该损耗也取决于屏蔽材料和干扰频率。对于磁场，反射损耗的计算公式如下：

$$R_m(\text{dB}) = 14.6 + 10\log_{10} \left[ \frac{fr^2 \sigma_r}{\mu_r} \right] \quad \text{公式 3}$$

而对于平面波( $r > \lambda/2\pi$ )，则反射损耗的计算公式如下：

$$R_{pw}(\text{dB}) = 168 + 10\log_{10} \left[ \frac{\sigma_r}{\mu_r f} \right] \quad \text{公式 4}$$

“吸收”是屏蔽材料的第二种损耗机制。因吸收而造成的波衰减计算公式如下：

$$A(\text{dB}) = 3.34t\sqrt{\sigma_r \mu_r f} \quad \text{公式 5}$$

其中， $t$ 是屏蔽材料的厚度，单位为英寸。该表达式适用于平面波、电场和磁场。由于透射场的强度相对于屏蔽材料的厚度呈指数减少，因此当屏蔽体的厚度为一个集肤深度( $\delta$ )时，则吸收损耗为9 dB。吸收损耗与厚度成正比，但却与集肤深度成反比，因此通过增加屏蔽材料厚度可以改善高频条件下的屏蔽效果。

在远场中，由于屏蔽体阻抗 $Z_s$ 随频率升高而增加，因此平面波的反射损耗随频率升高而减少。然而，因为集肤深度减少，所以吸收损耗会随频率升高而增加。对于电场和平面波，主要屏蔽机制为反射损耗，而在高频条件下，屏蔽机制为吸收损耗。

因此，对于高频干扰信号，铜或铝等轻便、易加工的高导电性材料可以提供足够的屏蔽效果。不过，在低频条件下，磁场的反射损耗和吸收损耗都很低。因此，很难通过屏蔽体来保护电路不受低频磁场的影响。在这类应用中，采用具有低磁阻的高导磁率材料效果最佳。这类低磁阻材料提供漏磁路径，可使磁场偏离受保护的电路。例如钢和高导磁合金就是高导磁率材料。

总而言之，常用于屏蔽的金属材料具有以下特性：对于高频干扰，采用高导电性金属，而对于低频干扰，则采用高导磁性金属。

具有适当屏蔽效果的外壳可以非常有效地防止外部干扰影响其内部器件，并可以抑制任何内部产生的干扰。不过，在实际应用中，屏蔽体上通常需要有开口，以便配置调整旋钮、开关或连接器或者提供通风。不幸的是，这些开口让高频干扰得以借机进入仪器内部，因此可能影响屏蔽效果。

评估外部场进入外壳的能力时，请使用开口的最长尺寸(而非总面积)，因为开口就好比槽形天线。公式6可用于计算外壳上开口的屏蔽效果(即EMI泄漏或渗透敏感度)：

$$\text{Shielding Effectiveness (dB)} = 20 \log_{10} \left( \frac{\lambda}{2 \cdot L} \right) \quad \text{公式 6}$$

其中， $\lambda$ 是干扰波长，而 $L$ 是开口的最大尺寸。

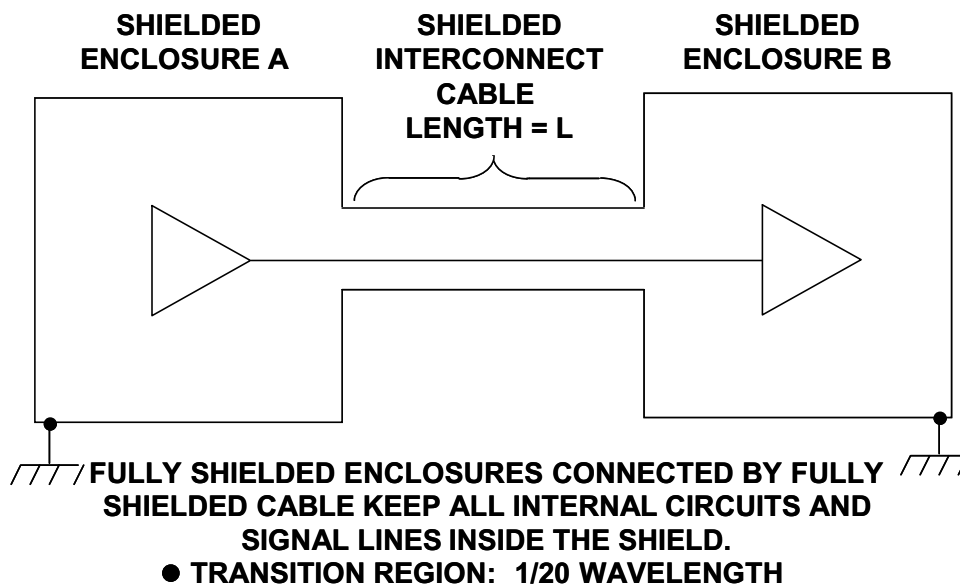
当开口的最大尺寸等于干扰频率的半波长时，穿过开口的EMI辐射达到最大(即屏蔽效果为0 dB)。根据经验应确保最长尺寸小于干扰信号的1/20波长，这时屏蔽效果为20 dB。另外，在外壳每侧分别开一些小口要优于在一侧开很多口。这是因为不同侧面上的开口会向不同方向辐射能量，这样屏蔽效果反而不会受影响。如果不得不出开口和缝隙，那么应当合理地单独或混合使用导电垫片、网屏和涂料，将任意开口的最长尺寸限制在1/20波长以内。穿过外壳的所有电缆、走线、连接器、指示器或控制轴都应该用环绕金属屏蔽体包裹，并且该屏蔽体应该在入口点处连接到外壳上。在那些使用无屏蔽电缆/走线的应用中，建议在屏蔽体入口点处连接滤波器。



## 关于电缆和屏蔽体的基本要点

虽然其他地方已经详细说明，但此处还值得一提的是，电缆及其屏蔽体使用不当可能成为辐射干扰和传导干扰的重要来源。这里就不再对这些问题做长篇大论，有兴趣的读者可以查看参考文献2、3、5和6来了解背景知识。

如图8所示，适当的电缆/外壳屏蔽可以将敏感电路和信号“完全限制在屏蔽体内”，屏蔽效果丝毫不受影响。



**图8：屏蔽互连电缆可以是长线或短线，具体取决于工作频率**

如图中所示，外壳和屏蔽体必须适当接地，否则会起到天线作用，进而导致辐射干扰和传导干扰变得更糟(而不是变好)。

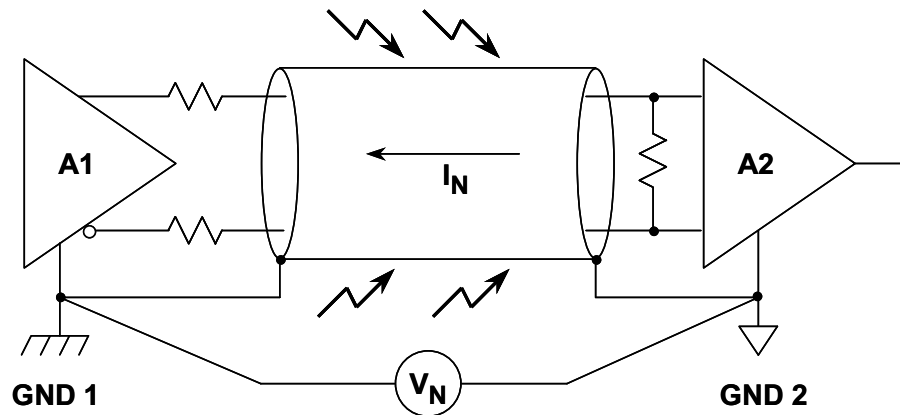
视干扰类型(拾取/辐射、低频/高频)，需以不同的方式来实现适当的电缆屏蔽，并且与电缆长度密切相关。第一步是确定电缆长度在相关频率下属于“长线”还是“短线”。如果电缆长度小于最高干扰频率的1/20波长，那么视为短线。否则，则视为长线。

例如，50/60 Hz时，长度小于150英里的所有电缆都属于短线，而这些低频电场的主要耦合机制为容性耦合。因此，对于长度小于150英里的所有电缆，整条电缆上的干扰幅度都相同。

如果应用中电缆长度属于长线或需要针对高频干扰提供保护，那么首选方法是将电缆屏蔽体“两端”都连接到低阻抗点。正如下文所述，可以是直接链接(驱动端)或容性连接(接收器端)。如果未接地，末端接的传输线路效应可能导致电缆出现反射和驻波。当频率为10 MHz及以上时，屏蔽体环焊(360°)和金属连接器需要与地之间具有低阻抗连接。

总而言之，要针对低频(<1 MHz)电场干扰提供保护，可以在一端将屏蔽体接地。对于高频干扰(>1 MHz)，首选方法是将屏蔽体两端都接地，即在屏蔽体和连接器之间使用360°环焊，而连接器和外壳之间保持金属间导通。

不过，在实际操作中，屏蔽体两端都直接接地时有一点需要注意，就是这样做会构成低频接地环路，如图9所示。



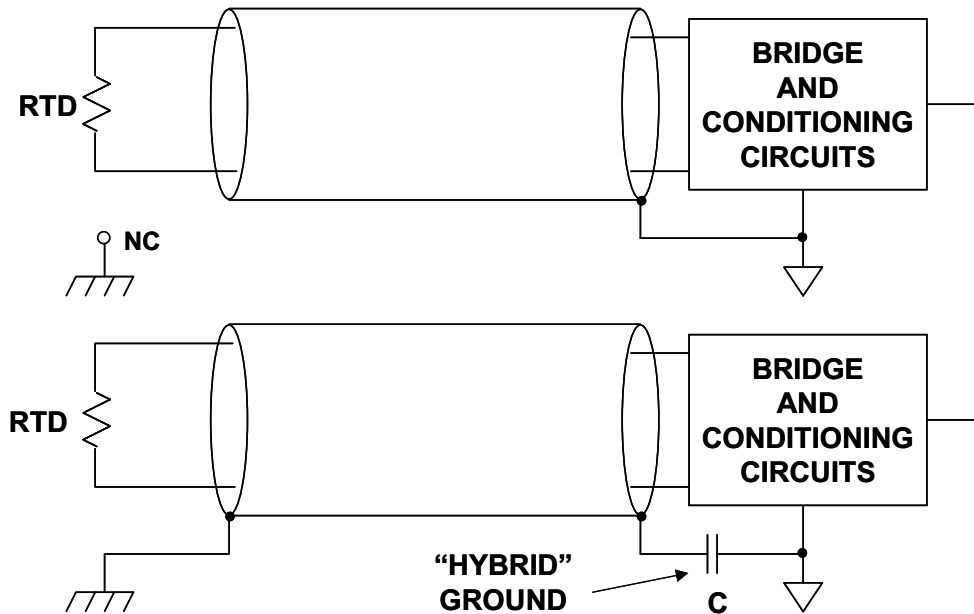
- ◆  $V_N$  Causes Current in Shield (Usually 50/60Hz)
- ◆ Differential Error Voltage is Produced at Input of A2 Unless:
  - A1 Output is Perfectly Balanced and
  - A2 Input is Perfectly Balanced and
  - Cable is Perfectly Balanced

**图9：屏蔽双绞线中的接地环路可能导致误差**

只要两个系统A1和A2相距较远，各系统的地电位(即 $V_N$ )通常都存在差异。此电位差的频率通常为线路频率(50或60 Hz)及其倍数。但是，如果屏蔽体按照图中所示两端都直接接地，那么屏蔽体中会出现噪声电流 $I_N$ 。在完美平衡的系统中，系统的共模抑制能力无穷大，因此这一电流不会在接收器A2处产生任何差分误差。然而，驱动器、其阻抗、电缆和接收器中永远不可能实现完美平衡，因此会有一部分屏蔽电流以差分噪声信号形式出现在A2的输入端。下面针对各示例说明屏蔽体正确接地方式。

如上所述，电缆屏蔽体会受低频和高频干扰影响。良好的设计要求：如果电缆相对于干扰频率为长线(射频干扰通常就是如此)，则屏蔽体两端都应接地。

图10所示为远程无源RTD传感器通过屏蔽电缆连接到电桥和调理电路。正确的接地方式如图中上部所示，其中屏蔽体在接收端接地。



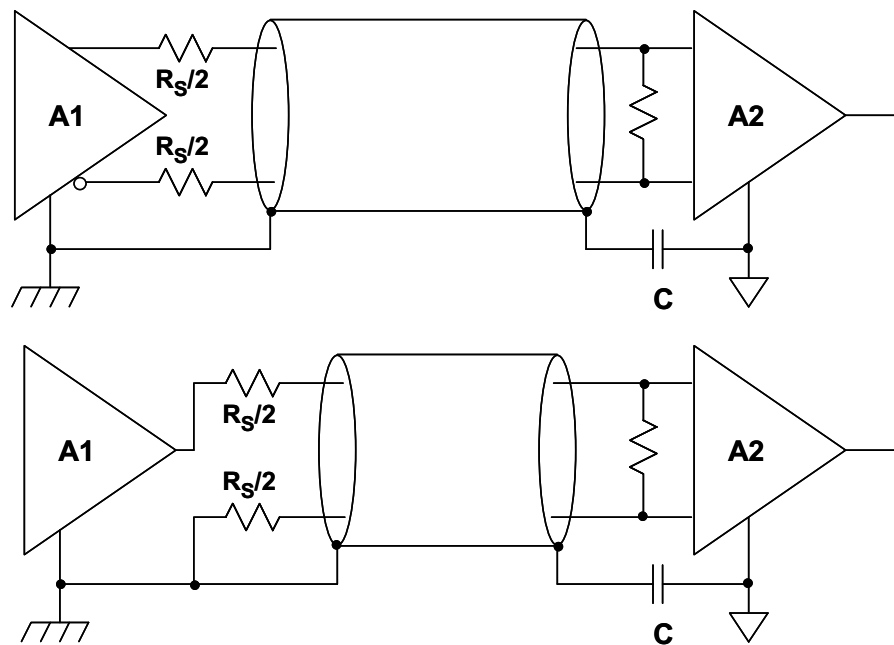
**图10：屏蔽电缆(带无源传感器)的混合接地**

不过，出于安全考虑，该屏蔽体的远端可能也要接地。这种情况下，可以利用低电感陶瓷电容( $0.01\ \mu\text{F}$ 至 $0.1\ \mu\text{F}$ )在接收端接地，这样仍可提供高频接地。该电容可用作屏蔽体上射频信号的地，但却会阻止低频线路电流在屏蔽体中流动。这种技术通常称为“混合接地”。

图11所示为使用有源远程传感器和/或其它电子器件的情况。这两种情况下，无论是平衡驱动器(上部)还是单端驱动器(下部)，混合接地都同样适合。两种情况下，电容“C”会断开低频接地环路，同时为图中右侧A2接收端的屏蔽电缆提供有效的射频接地。

此外，对于所使用的源端接电阻 $R_s$ ，还有一些细微之处应当注意。在平衡驱动和单端驱动情形下，平衡线路上的驱动信号均由净阻抗 $R_s$ 产生，而后者又作为两个 $R_s/2$ 分散在两个双绞引脚上。在图中上部的全差分驱动情形下，这点比较直观，一个取值为 $R_s/2$ 的电阻与A1的互补输出串联。

在图中下部的单端驱动情形下，注意仍然使用了两个 $R_s/2$ 电阻，其中一个电阻与两个引脚串联。此处，接地哑回路引脚电阻可以为差分线路提供阻抗平衡的接地连接驱动，从而帮助提高系统整体抗扰度。注意，这种实施方案仅适用于A2处具有平衡接收器的那些应用，如图所示。



**图11：平衡屏蔽电缆的阻抗平衡驱动可帮助提高平衡信号源或单端信号源的抗扰度**

同轴电缆与屏蔽双绞线的不同之处在于，信号电流回路要穿过屏蔽体。因此，理想的状况是在驱动端将屏蔽体接地，而在差分接收器(A2)端则允许屏蔽体悬空，如图12的上部所示。不过，为使这种技术有效，接收器必须是差分类型且必须具有良好的高频CM抑制能力。

然而，接收器可能是单端类型，如标准单运放型电路中的典型元件。图12中的下部示例就是如此，因此这种情况下就必须将同轴电缆屏蔽体两端都接地。

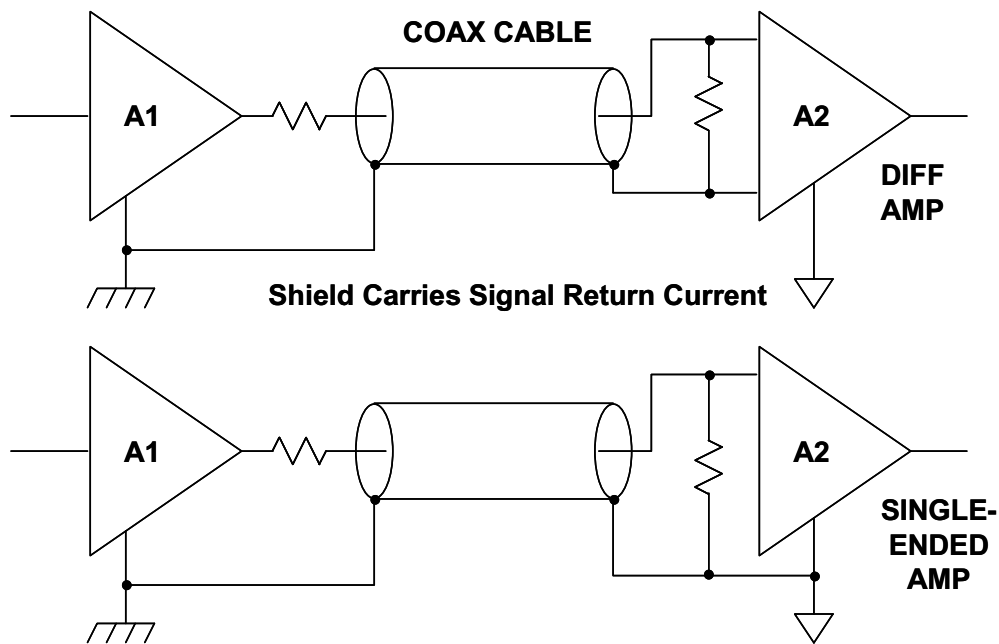


图12：同轴电缆可以使用平衡接收器或单端接收器

#### 参考文献：

1. Tim Williams, *EMC for Product Designers*, 2<sup>nd</sup> Ed., Newnes, Oxford, 1996, ISBN: 0 7506 2466 3.
2. Henry Ott, *Noise Reduction Techniques In Electronic Systems*, 2<sup>nd</sup> Ed., John Wiley & Sons, New York, 1988, ISBN 0-471-85068-3.
3. Mark Montrose, *EMC and the Printed Circuit Board*, IEEE Press, 1999, ISBN 0-7803-4703-X.
4. Ralph Morrison, *Grounding And Shielding Techniques in Instrumentation*, 3<sup>rd</sup> Ed., John Wiley & Sons, New York, 1986, ISBN 0-471-83805-5.
5. Daryl Gerke and William Kimmel, "Designer's Guide to Electromagnetic Compatibility," *EDN*, January 20, 1994.
6. *Designing for EMC* (Workshop Notes), Kimmel Gerke Associates, Ltd., 1994.
7. Daryl Gerke and William Kimmel, "EMI and Circuit Components," *EDN*, September 1, 2000.
8. Alan Rich, "Understanding Interference-Type Noise," *Analog Dialogue*, Vol. 16, No. 3, 1982, pp. 16-19 (also available as [application note AN-346](#)).
9. Alan Rich, "Shielding and Guarding," *Analog Dialogue*, Vol. 17, No. 1, 1983, pp. 8-13 (also available as [application note AN-347](#)).

10. James Wong, Joe Buxton, Adolfo Garcia, James Bryant, "Filtering and Protection Against EMI/RFI" and "Input Stage RFI Rectification Sensitivity", Chapter 1, pg. 21-55 of *Systems Application Guide*, 1993, Analog Devices, Inc., Norwood, MA, ISBN 0-916550-13-3.
11. Adolfo Garcia, "EMI/RFI Considerations", [Chapter 7, pg 42-80 of High Speed Design Techniques](#), 1996, Analog Devices, Inc., Norwood, MA, 1993, ISBN 0-916550-17-6.
12. Walt Kester, Walt Jung, Chuck Kitchen, "Preventing RFI Rectification", Chapter 10, pg 10.39-10.43 of [Practical Design Techniques for Sensor Signal Conditioning](#), Analog Devices, Inc., Norwood, MA, 1999, ISBN 0-916550-20-6.
13. Charles Kitchin and Lew Counts, [A Designer's Guide to Instrumentation Amplifiers, 3<sup>rd</sup> Edition](#), Analog Devices, 2006.
14. *B4001 and B4003 common-mode chokes*, Pulse Engineering, Inc., 12220 World Trade Drive, San Diego, CA, 92128, 619-674-8100, <http://www.pulseeng.com>
15. *Understanding Common Mode Noise*, Pulse Engineering, Inc., 12220 World Trade Drive, San Diego, CA, 92128, 619-674-8100, <http://www.pulseeng.com>
16. Hank Zumbahlen, *Basic Linear Design*, Analog Devices, 2006, ISBN: 0-915550-28-1. Also available as [Linear Circuit Design Handbook](#), Elsevier-Newnes, 2008, ISBN-10: 0750687037, ISBN-13: 978-0750687034. Chapter 11
17. Walt Kester, [Analog-Digital Conversion](#), Analog Devices, 2004, ISBN 0-916550-27-3, Chapter 9. Also available as [The Data Conversion Handbook](#), Elsevier/Newnes, 2005, ISBN 0-7506-7841-0, Chapter 9.
18. Walter G. Jung, [Op Amp Applications](#), Analog Devices, 2002, ISBN 0-916550-26-5, Chapter 7. Also available as [Op Amp Applications Handbook](#), Elsevier/Newnes, 2005, ISBN 0-7506-7844-5. Chapter 7.

### 一些与EMC和信号完整性相关的实用链接:

1. Kimmel Gerke Associates website, <http://www.emiguru.com>
2. Henry Ott website, <http://www.hottconsultants.com>
3. IEEE EMC website, <http://www.ewh.ieee.org/soc/emcs>
4. Mark Montrose website, <http://www.montrosecompliance.com/index.html>
5. Tim Williams website, <http://www.elmac.co.uk>
6. Eric Bogatin website, <http://www.bethesignal.com>
7. Howard Johnson website, <http://signalintegrity.com>

Copyright 2009, Analog Devices, Inc. All rights reserved. Analog Devices assumes no responsibility for customer product design or the use or application of customers' products or for any infringements of patents or rights of others which may result from Analog Devices assistance. All trademarks and logos are property of their respective holders. Information furnished by Analog Devices applications and development tools engineers is believed to be accurate and reliable, however no responsibility is assumed by Analog Devices regarding technical accuracy and topicality of the content provided in Analog Devices Tutorials.

## RFI整流原理

### 输入级RFI整流灵敏度

模拟集成电路中有一种众所周知却又了解不深的现象，即RFI整流，在运算放大器和仪表放大器中尤为常见。放大极小信号时，这些器件可以对大幅度带外HF信号进行整流，即RFI。因此，除所需信号外，输出端还会出现直流误差。不需要的HF信号可以通过多种途径进入敏感模拟电路。引入和引出电路的导体为进入电路的干扰耦合提供了通路。这些导体会通过容性、感性或辐射耦合拾取噪声。杂散信号会和所需信号一起出现在放大器输入端。杂散信号的幅度虽然可能只有几十毫伏，但是也会产生一些问题。简言之，敏感低带宽直流放大器未必总能抑制带外杂散信号。对简单的线性低通滤波器而言，情况确实如此，而运算放大器和仪表放大器实际上会对高电平HF信号进行整流，从而导致非线性异常失调。本指南将讨论RFI整流的分析和预防方法。

### 背景知识：运算放大器和仪表放大器RFI整流灵敏度测试

几乎所有的仪表放大器和运算放大器输入级都采用某种类型的射极耦合BJT或源极耦合FET差分对。根据器件工作电流、干扰频率及其相对幅度，这些差分对可以像高频检波器一样工作。检波过程会在干扰的谐波频谱成分上产生噪声，同样也会在直流分量上产生噪声！从干扰中检测到的直流成分会转换放大器偏置电平，导致结果不准确。

运算放大器和仪表放大器中的RFI整流效果可以通过相对简单的测试电路来评估，如RFI整流测试配置中所述(参见参考文献1第1至38页)。在这些测试中，运算放大器或仪表放大器增益配置为-100(运算放大器)或100(仪表放大器)，直流输出在100 Hz低通滤波器后测量，以防来自其它信号的干扰。测试激励选用100 MHz、20 mV<sub>p-p</sub>信号，远高于测试器件的频率限制。操作时，测试可以评估存在激励时观察到的直流输出偏移。该测量的理想直流偏移为零，给定器件的实际直流偏移表示相对RFI整流灵敏度。采用BJT和FET技术的器件都可以通过该方法来测试，因为这些器件在高低电源电流水平下都可以工作。

在参考文献1中的原始运算放大器测试中，有些FET输入器件([OP80](#)、[OP42](#)、[OP249](#)和[AD845](#))的输出电压不具有可观察的偏移，而其它有些器件则表现出小于10 μV的偏移(折合到输入端)。在BJT输入运算放大器中，偏移量会随着器件电源电流的增加而减小。只有两款器件不具有可观察的输出电压偏移([AD797](#)和[AD827](#))，其它器件([OP200](#)和[OP297](#))的偏移则小于10 μV(折合至输入端)。可想而知，其它运算放大器在接受此类测试时也会表现出类似模式。



通过这些测试，可以概括出RFI整流的一些特点。首先，器件耐受性似乎与电源电流成反比，也就是说，在低静态电源电流下偏置的器件具有最高的输出电压偏移。其次，具有FET输入级的IC似乎比具有BJT的IC不易受整流影响。注意，无论是运算放大器还是仪表放大器，这些特点都是独立的。实际上，这意味着低功耗运算放大器或仪表放大器更易受RFI整流影响。而且，FET输入运算放大器(或仪表放大器)更不易受RFI整流的影响，在较高电流下工作时尤为如此。

根据上述数据和BJT与FET的基本差异，我们可以总结一下之前了解的内容。双极性晶体管效应受正偏PN结(基极-发射极结)的控制，该结点的I-V特性具有指数特性和明显的非线性。另一方面，FET特性受施加到反向偏置PN结二极管上电压的控制(栅极-源极结)。FET的I-V特性满足平方律，因此，本身就比较BJT更具有线性。

对低电源电流器件而言，电路中的晶体管经过偏置后，电流远低于其峰值 $I_T$ 集电极电流。虽然IC构建所用的工艺涉及的器件 $f_T$ 可达几百MHz，但是晶体管在低电流水平下工作时，电荷跃迁时间会增加。采用的阻抗水平也使这些器件中的RFI整流变得更差。在低功耗运算放大器中，阻抗约为几百到几千千欧，而在中等电源电流设计中，阻抗可能不超过几千欧。在这些因素的共同作用下，低功耗器件的RFI整流特性变差。

图1总结了关于RFI整流灵敏度的一般性观察，运算放大器和仪表放大器均适用。

- ◆ **BJT input devices *rectify readily***
  - Forward-biased B-E junction
  - Exponential I-V Transfer Characteristic
- ◆ **FET input devices *less sensitive to rectifying***
  - Reversed-biased p-n junction
  - Square-law I-V Transfer Characteristic
- ◆ **Low  $I_{supply}$  devices versus High  $I_{supply}$  devices**
  - Low  $I_{supply} \Rightarrow$  *Higher* rectification sensitivity
  - High  $I_{supply} \Rightarrow$  *Lower* rectification sensitivity

**图1: 关于运算放大器和仪表放大器输入级RFI整流灵敏度的一些一般性观察**



### 分析方法：BJT RFI整流

实验表明，与具有FET输入的类型器件相比，BJT输入器件具有更高的RFI整流灵敏度，可以采用分析性更强的方法来解释这一现象。

RF电路设计人员早就知道，由于具备非线性I-V特性，PN结二极管是有效的整流器。HF正弦波输入的BJT晶体管电流输出频谱分析表明，器件偏置越接近“膝部”，非线性就越高。这会进而使其用作检波器时更为有效。这一点在低功耗运算放大器中尤为重要，此时输入晶体管在极低集电极电流时会发生偏置。

参考文献1中说明了BJT集电极电流的整流分析方法，在此恕不赘述，除非需要作出重要结论。这些结果表明，原始二次二阶项可以简化为频率相关项 $\Delta i_C(AC)$ (两倍输入频率下)和直流项 $\Delta i_C(DC)$ 。后一项可以采用公式2表示，整流直流项的最终形式为：

$$\Delta i_C(DC) = \left( \frac{V_X}{V_T} \right)^2 \cdot \frac{I_C}{4} \quad \text{公式 1}$$

该公式表明，二阶项的直流成分与HF噪声幅度 $V_X$ 的平方以及晶体管的静态集电极电流 $I_C$ 成正比。为了表明整流的这一特点，注意，在 $I_C$ 为1 mA条件下工作、具有10 mV<sub>peak</sub>高频信号冲击的双极性晶体管的直流集电极电流变化约为38  $\mu$ A。

减少整流集电极电流需要减少静态电流或干扰幅度。由于运算放大器和仪表放大器输入级很少提供可调整静态集电极电流，迄今为止，减少干扰噪声 $V_X$ 水平还是最佳(也几乎是唯一)解决方案。例如，将干扰幅度减少2倍至5 mV<sub>peak</sub>后，会使整流集电极电流产生4到1的净减少量。显然，这说明必须使杂散HF信号远离RFI敏感放大器输入端。

### 分析方法：FET RFI整流

参考文献1中也说明了JFET漏极电流的整流分析方法，在此恕不赘述。类似的方法也用于FET漏极电流整流分析，该电流与施加到其栅极的小电压 $V_X$ 成函数关系。公式2概括了FET漏极电流二阶整流项的评估结果。和BJT一样，FET二阶项也有交流和直流成分。此处给出了整流漏极电流直流项的简化公式，其中整流直流漏极电流与杂散信号，即 $V_X$ 幅度的平方成正比。

但是，公式2也说明，由FET和BJT产生的整流度的差异非常重要。

$$\Delta i_D(\text{DC}) = \left( \frac{V_X}{V_P} \right)^2 \cdot \frac{I_{DSS}}{2} \quad \text{公式 2}$$

但是，在BJT中，集电极电流的变化与其静态集电极电流水平存在直接关系，JFET漏极电流的变化与处于零栅极-源极电压的漏极电流 $I_{DSS}$ 成正比，与其通道夹断电压 $V_p$ 的平方成反比，参数为几何参数，取决于过程。通常，用于仪表放大器和运算放大器输入级的JFET偏置时的静态电流约 $0.5 \cdot I_{DSS}$ 。因此，JFET漏极电流的变化与其静态漏极电流无关，所以也和工件点无关。

图2所示为BJT和FET之间二阶整流直流项的定量比较。本例中，双极性晶体管具有 $576 \mu\text{m}^2$ 的单位发射面积，相对于用于 $20 \mu\text{A } I_{DSS}$ 和2 V夹断电压的单位面积JFET。每个器件都在 $10 \mu\text{A}$ 条件下偏置，工作温度 $T_A = 25^\circ\text{C}$ 。

◆ BJT:

$$\text{Emitter area} = 576 \mu\text{m}^2$$

$$I_C = 10 \mu\text{A}$$

$$V_T = 25.68 \text{mV} @ 25^\circ\text{C}$$

$$\begin{aligned} \Delta i_C &= \left( \frac{V_X}{V_T} \right)^2 \cdot \frac{I_C}{4} \\ &= \frac{V_X^2}{264} \end{aligned}$$

◆ JFET:

$$I_{DSS} = 20 \mu\text{A} (Z/L=1)$$

$$V_p = 2\text{V}$$

$$I_D = 10 \mu\text{A}$$

$$\begin{aligned} \Delta i_D &= \left( \frac{V_X}{V_p} \right)^2 \cdot \frac{I_{DSS}}{2} \\ &= \frac{V_X^2}{400 \times 10^3} \end{aligned}$$

◆ Conclusion: *BJTs ~1500 more sensitive than JFETs!*

**图2: BJT与JFET相对灵敏度比较**

在相同的静态电流水平下，双极性晶体管中集电极电流的变化比JFET漏极电流的变化约大1500倍，这一结论非常重要。这就可以解释为什么FET输入放大器表现出的灵敏度小于大幅度HF激励。因此，它们可以提供更多RFI整流抗扰度。

根据上述内容，可以作出如下总结：由于用户几乎无法查看放大器的内部电路，防止因RFI导致IC电路性能下降对IC外部电路而言就显得尤为重要。

上述分析表明，无论采用哪种类型的放大器，RFI整流都与干扰信号幅度的平方成正比。因此，为了尽可能减少精密放大器中的RFI整流，必须在输入级之前减少或消除干扰电平。减少或消除干扰噪声的最直接方法是适当滤波。

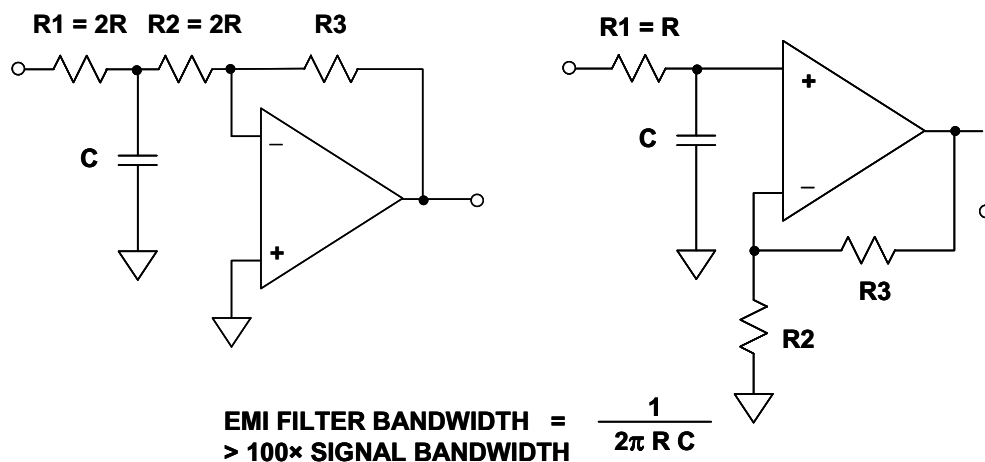
### 减少运算放大器和仪表放大器电路中的RFI整流

EMI和RFI会严重影响高精度模拟电路的直流性能。由于带宽相对较低，精密运算放大器和仪表放大器不会精确放大MHz范围内的RF信号。但是，如果这些带外信号能够通过精密放大器的输入、输出或电源引脚耦合至精密放大器，这些信号就会通过各种放大器结点进行内部整流，并最终在输出端导致不必要的直流失调。之前关于该现象的理论探讨已经说明其基本机制。下一步要介绍合适的滤波如何减少或消除这些误差。

合适的电源去耦可以将IC电源引脚上的RFI降至最低。放大器输入和输出还需要在器件级进一步探讨。此时，假定系统级EMI/RFI方法已经实现，如紧凑的RFI外形、正确接地的屏蔽层、电源轨滤波等。这些后续步骤可视为电路级EMI/RFI防护。

### 运算放大器输入

防止输入级整流的最佳方法是采用靠近运算放大器输入的低通滤波器，如图3所示。



**图3：用于运算放大器电路的简单EMI/RFI噪声滤波器**

在左侧示意图的反相运算放大器中，滤波器电容C位于等值电阻R1-R2之间。由此可以得出简单的转折频率表达式，如图所示。在极低频率或直流情况下，电路的闭环增益为 $-R3/(R1+R2)$ 。注意，C不能直接连接至运算放大器的反相输入，否则会产生不稳定性。所选的滤波器带宽至少为信号带宽的100倍，以便将信号损失降至最低。

在右侧示意图的同相运算放大器中，电容C可以直接连接至运算放大器输入，阻值为“R”的输入电阻会和反相运算放大器产生相同的转折频率。两种情况下都应采用低电感芯片式电容，如NP0陶瓷电容。电容在任何情况下都不应出现损耗或电压系数问题，因此只能选用上述NP0陶瓷电容或薄膜型电容。

需要注意的是，可以用铁氧体磁珠代替R1，但是，铁氧体磁珠阻抗无法精确控制，一般不超过100 Ω(10 MHz至100 MHz时)。因此，需要采用容值较大的电容来衰减低频。

## 仪表放大器输入

由于存在共模(CM)EMI/RFI，精密仪表放大器对直流失调误差尤为敏感。这和运算放大器中存在的问题很像。而且，和运算放大器相比，采用低功耗仪表放大器时，EMI/RFI灵敏度问题尤为严重。

图4所示为仪表放大器器件级应用正确的通用滤波方法。实际上，该电路中的仪表放大器可以采用各种器件中的任何一种。仪表放大器之前相对复杂的平衡RC滤波器可以处理所有的高频滤波。仪表放大器可以通过其增益设置电阻，针对应用所需的增益进行编程(图中未显示)。

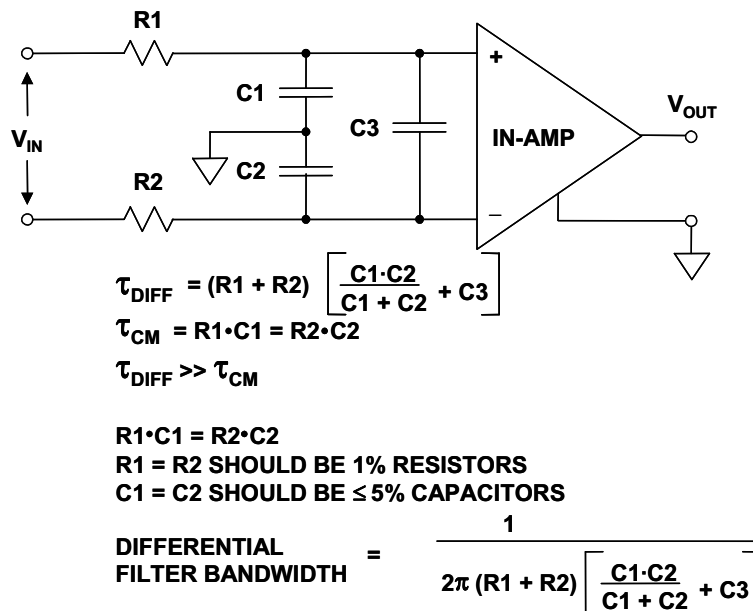
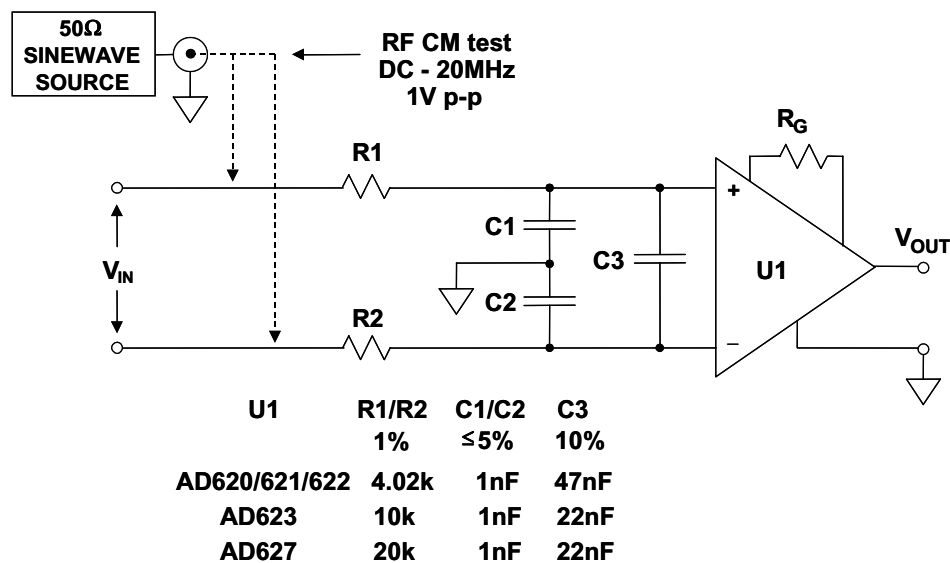


图4：仪表放大器通用共模/差模RC EMI/RFI滤波器

注意，在滤波器中，共模(R1-C1和R2-C2)和差模(DM)信号(R1+R2，以及C3 || 串联的C1-C2)均受到完全平衡的滤波。如果R1-R2和C1-C2匹配不佳， $V_{IN}$ 的部分输入共模信号就会转换为仪表放大器输入端的差模信号。因此，C1和C2相互间至少有5%匹配。R1和R2应为1%金属薄膜电阻，以利于匹配。假定从 $V_{IN}$ 端获得的源阻抗相对R1-R2较低，且能够匹配。在这种滤波器中，所选的C3应远大于C1或C2( $C3 \geq C1、C2$ )，以便抑制由于R1-C1和R2-C2时间常数不匹配引起共模(CM)-差模(DM)转换，从而导致的杂散差分信号。

整体滤波器带宽应至少为输入信号带宽的100倍。实际上，滤波器元件应对称安装在具有大面积接地层的PC电路板上，而且必须靠近仪表放大器输入端，以便实现最佳性能。

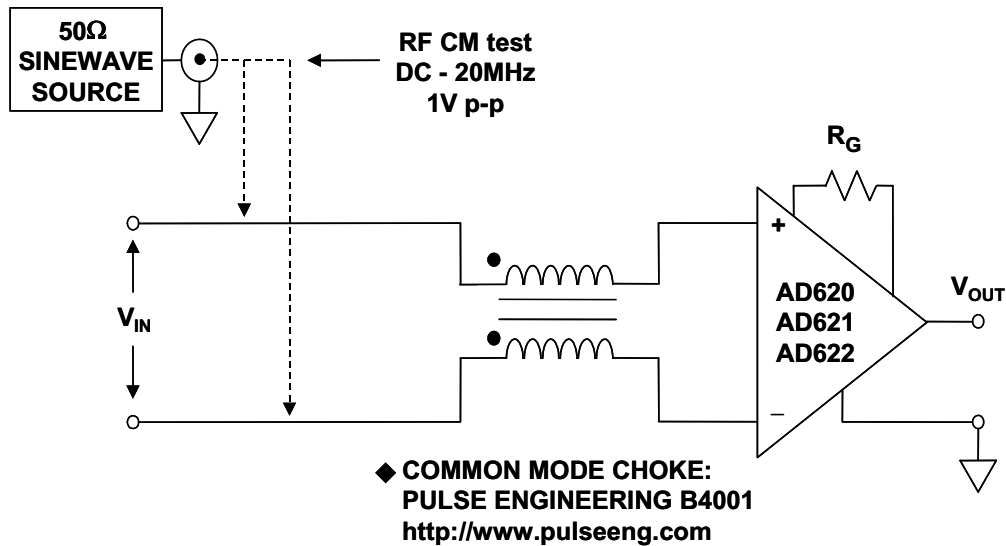
图5所示为该滤波器系列，适合各种不同的仪表放大器。RC元件应按照表中要求，根据不同的仪表放大器量身定制。选择这些滤波器元件是为了使低EMI/RFI灵敏度和低噪声增加量达到适度平衡(与无滤波器的相关仪表放大器相比)。



**图5：适用于AD620系列、AD623、AD627和其它仪表放大器的灵活共模和差模RC EMI/RFI滤波器**

为了测试配置的EMI/RFI灵敏度，可以向输入电阻施加1 V<sub>p-p</sub>的共模信号，如图所示。采用常用的仪表放大器(如AD620)，在增益为1000的条件下工作时，获得的最大RTI输入失调电压偏移在20 MHz范围内为1.5 μV。在AD620滤波器示例中，差分带宽约为400 Hz。

共模扼流圈提供简单的单器件EMI/RFI保护，可以替代无源RC滤波器，如图6所示。



**图6：为简明起见，以及实现最低噪声EMI/RFI滤波操作，共模扼流圈适用于AD620系列仪表放大器**

除了采用的元件数量较少以外，通过电阻的消除作用，基于扼流圈的滤波器还具有低噪声。但是，选择合适的共模扼流圈至关重要。图6所示电路中采用的扼流圈是Pulse Engineering B4001。从DC至20 MHz( $G = 1000$ )测得的最大RTI失调偏移为 $4.5 \mu\text{V}$ 。可以采用现成的扼流圈(如B4001)，也可以另行制造。绕组的平衡非常重要，因此，建议采用双线绕组。当然，磁芯材料必须能够在预期频带内工作。注意，和图5中的RC滤波器系列不同，只采用扼流圈的滤波器无法提供差分滤波。通过增加图5所示的R1-C3-R2连接，可以在扼流圈后采用第二级设置选择增加差模滤波。

欲了解关于仪表放大器EMI/RFI滤波的更多信息，请参见参考文献1-9。

### 放大器输出和EMI/RFI

除了对输入和电源引脚进行滤波外，还需要防止放大器输出受到EMI/RFI的影响，在需要驱动用作天线的较长电缆时尤其必须注意。从输出线路收到的RF信号可以耦合回其受到整流的放大器输入端，并以失调偏移的形式再次出现在输出端。

电阻和/或铁氧体磁珠(或两者)与输出串联后，即构成最简单廉价的输出滤波器，如图7(上方电路)所示。

增加图7所示的电阻-电容-电阻“T”型电路(下方电路)后，可以改进该滤波器，只会略微变得复杂一些。输出电阻和电容会使大部分高频能量移出放大器，使该配置即使在低功耗有源器件中也同样适用。当然，必须仔细选择滤波器元件的时间常数，将所需输出信号下降程度降至最低。

本例中，所选的RC元件约为3 MHz信号带宽，适用于仪器仪表或其他低带宽级应用。

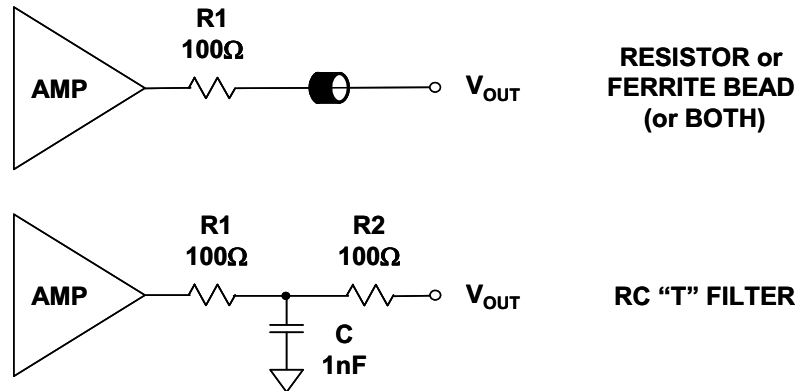


图7：应防止运算放大器和仪表放大器输出受到EMI/RFI的影响，尤其在驱动长电缆的情况下



**参考文献:**

1. James Wong, Joe Buxton, Adolfo Garcia, James Bryant, "Filtering and Protection Against EMI/RFI" and "Input Stage RFI Rectification Sensitivity", Chapter 1, pg. 21-55 of *Systems Application Guide*, 1993, Analog Devices, Inc., Norwood, MA, ISBN 0-916550-13-3.
2. Adolfo Garcia, "EMI/RFI Considerations", [Chapter 7, pg 69-88 of \*High Speed Design Techniques\*](#), 1996, Analog Devices, Inc., Norwood, MA, 1993, ISBN 0-916550-17-6.
3. Walt Kester, Walt Jung, Chuck Kitchen, "Preventing RFI Rectification", Chapter 10, pg 10.39-10.43 of [Practical Design Techniques for Sensor Signal Conditioning](#), Analog Devices, Inc., Norwood, MA, 1999, ISBN 0-916550-20-6.
4. Charles Kitchin and Lew Counts, [A Designer's Guide to Instrumentation Amplifiers, 3<sup>rd</sup> Edition](#), Analog Devices, 2006.
5. *B4001 and B4003 common-mode chokes*, Pulse Engineering, Inc., 12220 World Trade Drive, San Diego, CA, 92128, 619-674-8100, <http://www.pulseeng.com>
6. *Understanding Common Mode Noise*, Pulse Engineering, Inc., 12220 World Trade Drive, San Diego, CA, 92128, 619-674-8100, <http://www.pulseeng.com>
7. Hank Zumbahlen, *Basic Linear Design*, Analog Devices, 2006, ISBN: 0-915550-28-1. Also available as [Linear Circuit Design Handbook](#), Elsevier-Newnes, 2008, ISBN-10: 0750687037, ISBN-13: 978-0750687034. Chapter 12
8. Walt Kester, [Analog-Digital Conversion](#), Analog Devices, 2004, ISBN 0-916550-27-3, Chapter 9. Also available as [The Data Conversion Handbook](#), Elsevier/Newnes, 2005, ISBN 0-7506-7841-0, Chapter 9.
9. Walter G. Jung, [Op Amp Applications](#), Analog Devices, 2002, ISBN 0-916550-26-5, Chapter 7. Also available as [Op Amp Applications Handbook](#), Elsevier/Newnes, 2005, ISBN 0-7506-7844-5. Chapter 7.

Copyright 2009, Analog Devices, Inc. All rights reserved. Analog Devices assumes no responsibility for customer product design or the use or application of customers' products or for any infringements of patents or rights of others which may result from Analog Devices assistance. All trademarks and logos are property of their respective holders. Information furnished by Analog Devices applications and development tools engineers is believed to be accurate and reliable, however no responsibility is assumed by Analog Devices regarding technical accuracy and topicality of the content provided in Analog Devices Tutorials.



## 低电压逻辑接口

### 简介

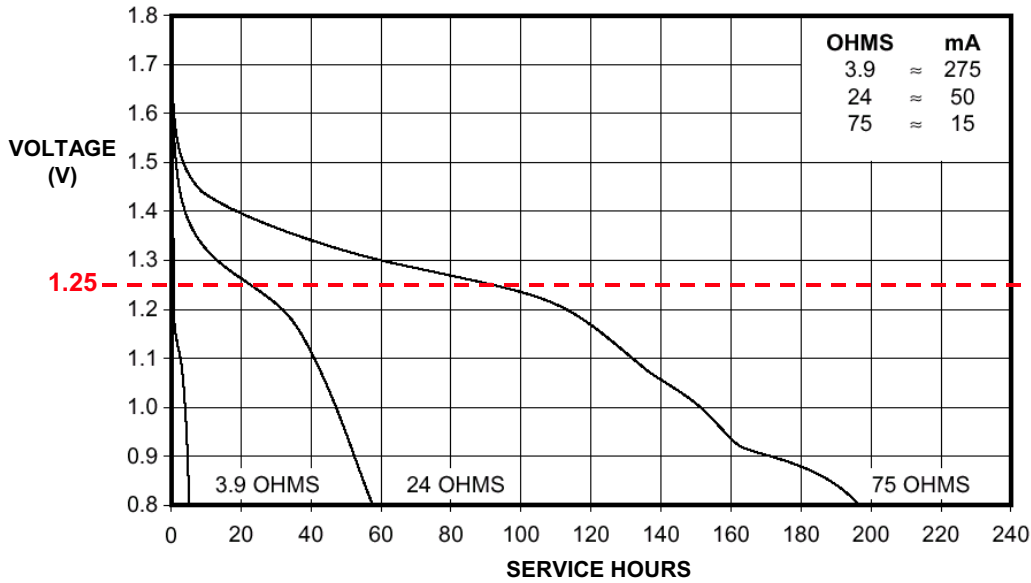
在近20年的时间中，数字电路的标准 $V_{DD}$ 一直是5 V。之所以使用这一电平，是因为双极性晶体管技术要求5 V的电压来提供正常工作所需要的裕量。然而，在20世纪80年代末，互补金属氧化物半导体(CMOS)成为了数字IC设计的标准。该工艺虽然不要求一定和TTL电路采用同样的电平，但是，业内仍然采用了5 V TTL标准的逻辑阈值电平，以维持与老系统的兼容性(参考文献1)。

目前，对更快、更小、成本更低的产品们的旺盛需求推动着降低电源电压这一革命性的发展趋势。在这种需求的推动下，硅尺寸从20世纪80年代初的2  $\mu\text{m}$ 减小到0.90 nm和45 nm，这种小尺寸的硅被广泛用于当今的最新FPGA、微处理器和DSP设计当中。随着器件尺寸的不断缩小，实现器件最佳性能的电压也降至了5 V以下。这体现在当今的FPGA、微处理器和DSP之中，其最佳内核工作电压最低达1 V或者更低。

对低电压DSP的强烈兴趣十分清楚地体现在了5 V和3.3 V器件的销量变化中。3.3 V DSP的销售增长速度达DSP市场中所有其他器件的两倍以上(所有DSP器件的销量增长速度为30%，3.3 V器件则超过了70%)。在大批量/高增长便携式市场对具有低电压DSP全部特性的信号处理器的需求保持高速增长背景下，这一趋势将继续下去。

一方面，低电压IC的工作在低功耗模式下，有利于缩小芯片面积，提高速度。另一方面，低电压IC必须与其他IC连接，而这些IC却工作于更大的 $V_{DD}$ 电源电压，因而会导致接口兼容性问题。尽管更低的工作电压意味着更小的信号摆幅、更小的开关噪声，从而低电源电压IC的噪声裕量也更低。

2.5 V器件之所以大行其道，其部分原因在于，它们支持2个AA碱性电池供电。图1展示了AA电池在各种负载条件下的典型放电特性(参考文献2)。请注意，在15 mA的负载电流下，电压可以维持在+1.25 V以上(两节电池串联则为2.5 V)近100小时。因此，可以在 $2.5\text{ V} \pm 10\%$  (2.25 V - 2.75 V)的电源电压下有效地进行低功耗工作的IC对于便携式设计十分有用。



Courtesy: Duracell, Inc., Berkshire Corporate Park, Bethel, CT 06801  
<http://www.duracell.com>

图1: 金霸王MN1500 "AA"碱性电池的放电特性

为了了解工作于不同 $V_{DD}$ 电源电压下的IC接口兼容性的问题，不妨先看看典型CMOS逻辑级的结构，如图2所示。

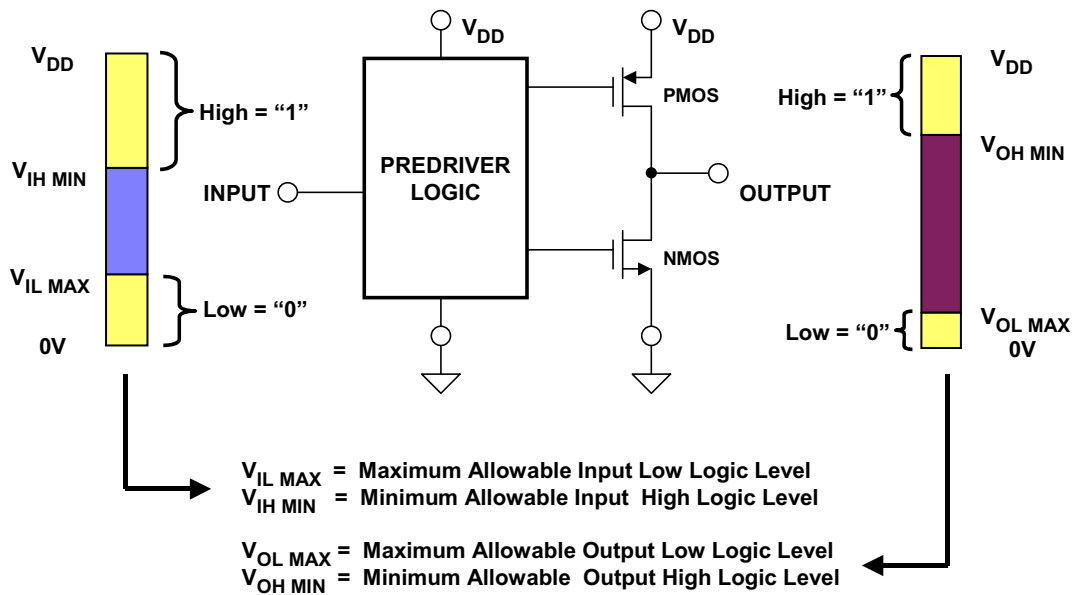


图2: 典型CMOS IC输出驱动器的配置

注意，输出驱动器级由一个PMOS和一个NMOS晶体管构成。当输出为高时，PMOS晶体管通过低导通电阻( $R_{ON}$ )把输出连接至 $+V_{DD}$ 电源，NMOS晶体管关闭。当输出为低时，NMOS晶体管通过导通电阻把输出连接至地，PMOS晶体管关闭。CMOS输出级的 $R_{ON}$ 在 $5\ \Omega$ 至 $50\ \Omega$ 之间不等，具体取决于晶体管的尺寸，而尺寸又决定着输出电流驱动能力。

典型逻辑IC的电源和地是分离于输出驱动器和电路其余部分之间的(包括前置驱动器)。这是为了维持干净的电源，以减少噪声和地反弹对I/O电平的影响。这一点越来越重要，因为在I/O驱动器规格中，尤其是在低电压下，增加容差和顺度是至关重要的。

图2同时展示了决定着产生有效高逻辑电平或低逻辑电平所需要的最低和最高输入和输出电压的“条形”。注意，对于CMOS逻辑来说，实际输出逻辑电平取决于晶体管的驱动电流和 $R_{ON}$ 。对于轻负载，输出逻辑电平非常接近 $0\ V$ 和 $+V_{DD}$ 。另一方面，输入逻辑阈值取决于IC的输入电路。

“输入”条中有三个部分。最下面的部分展示的是被理解为逻辑低电平的输入范围。对于 $5\ V$  TTL，该范围在 $0\ V$ 和 $0.8\ V$ 之间。中间部分为被理解为既不是逻辑低电平也不是逻辑高电平的输入电压范围。最上面的部分展示的是被理解为逻辑高电平的输入范围。对于 $5\ V$  TTL，该范围为 $2\ V$ 至 $5\ V$ 。

类似地，“输出”条中也有三个部分。最下面的范围表示逻辑低电平输出的容许电压。对于 $5\ V$  TTL，IC必须输出 $0\ V$ 至 $0.4\ V$ 的电压。中间部分所示电压范围不是有效的高电平或低电平——除非在电平之间过渡时，否则器件不得发送处于该部分的电平。最上面的范围表示逻辑高电平输出信号的容许电压范围。对于 $5\ V$  TTL，该电压在 $2.4\ V$ 和 $5\ V$ 之间。图表中并未反映逻辑标准输入允许的10%过冲/下冲容差。

图3总结了基于这些定义的现有逻辑标准。注意，经典CMOS逻辑(如4000系列)的输入阈值定义为 $0.3\ V_{DD}$ 和 $0.7\ V_{DD}$ 。然而，目前使用的多数CMOS逻辑电路兼容TTL和LVTTTL电平，它们是目前DSP的主流 $5\ V$ 和 $3.3\ V$ 工作电压标准。注意， $5\ V$  TTL和 $3.3\ V$  LVTTTL输入和输出阈值电压是相同的。其差异体现在容许高电平的上限方面。

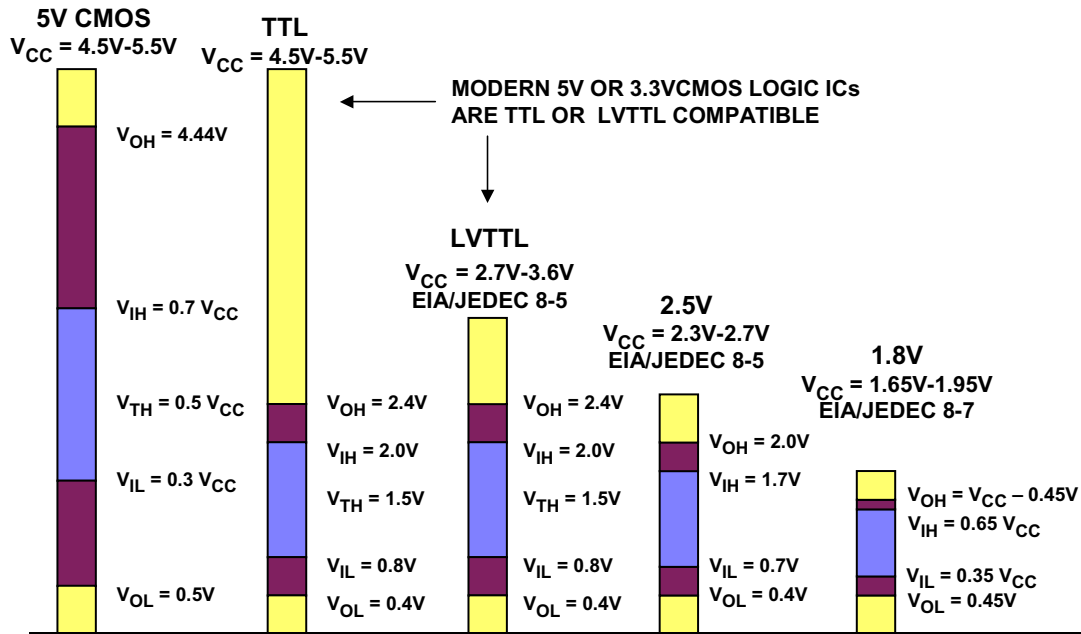


图3: 标准逻辑电平

国际标准化组织JEDEC(联合电子设备工程委员会)制定了2.5 V标准(JEDEC 8-5号标准)和1.8 V标准(参考文献3)。还有众多其他低电压标准,比如GTL(射补收发器逻辑)、BTL(基架收发器逻辑)、ECL(射极耦合逻辑)、PECL(正ECL逻辑)和LVDS。然而,多数这些标准都是针对具体的应用市场,并非针对通用半导体系统。

从图3可以看出,对连接两个工作于不同标准的IC时可能存在的问题进行可视化是有可能的。一个例子是把一个5 V TTL器件连接至一个3.3 V LVTTL IC。5 V TTL高电平超过了LVTTL的处理能力( $> 3.3 V$ )。这可能给LVTTL芯片造成永久性损坏。另一个可能的问题是在系统中用2.5 V IC驱动5 V CMOS器件。来自2.5 V器件的逻辑高电平不足以达到5 V CMOS输入的逻辑高电平的条件( $V_{IH\ MIN} = 3.5 V$ )。这些例子展示了两类潜在的逻辑电平兼容性问题——要么是用过高的电压驱动器件,要么驱动电压过低,达不到接收IC端的有效逻辑高电平的要求。这些接口问题带来了两个重要的概念:电压容差和电压顺度。

### 电压容差和电压顺度

电压容差型器件的I/O引脚可以承受大于其 $V_{DD}$ 的电压。例如,如果一个器件的 $V_{DD}$ 为2.5 V,可以接受等于3.3 V的输入电压,并且其输出端可以承受3.3 V的电压,则称该2.5 V器件的容差电压为3.3 V。输入电压容差的意义是显而易见的,但输出电压容差却需要稍加说明。在高电平状态下,2.5 V CMOS驱动器输出的表现类似于连接至2.5 V电压的小电阻(PMOS FET的 $R_{ON}$ )。显然,将该器件的输出直接连接到3.3 V的电压,过高的电流很可能会

损坏器件。然而，如果2.5 V器件有一个三态输出，连接着一个同样由3.3 V IC驱动的总线，则其意义将更加明显。即使2.5 V IC处于关闭(第三态)条件，3.3 V IC也可驱动高于2.5 V的总线电压，结果可能损坏2.5 V IC输出。

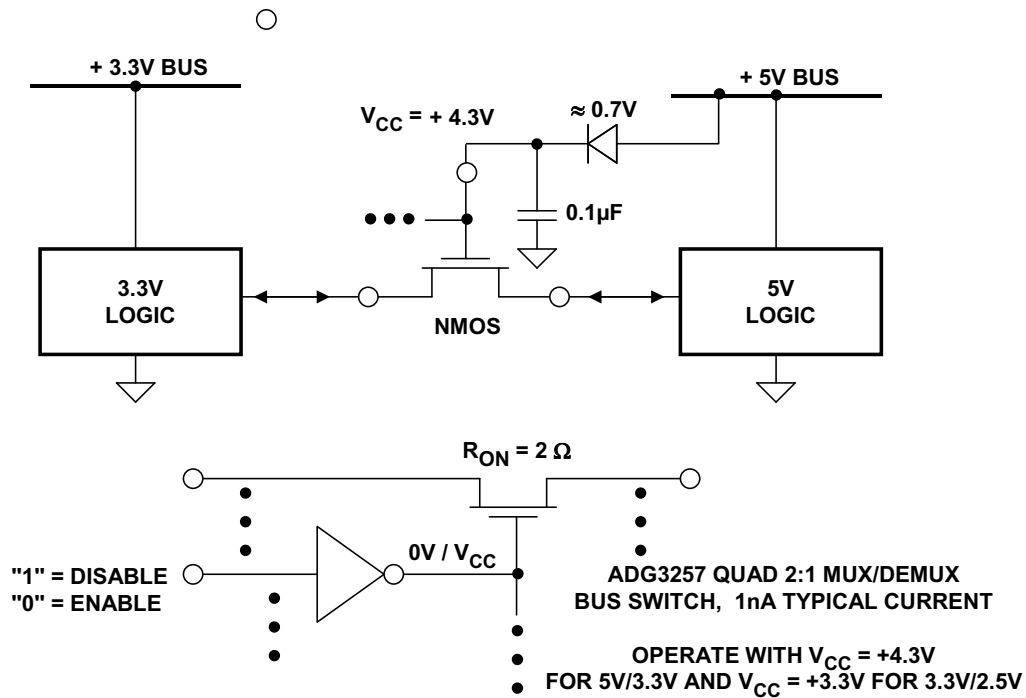
电压顺从型器件可以接收来自工作电压大于其自身 $V_{DD}$ 的器件的信号，也可把信号发送到此类器件。例如，如果一个器件的 $V_{DD}$ 为2.5 V，并可向3.3 V器件发送信号或者从其接收信号，则称该2.5 V器件的顺从电压为3.3 V。

5 V CMOS与3.3 V LVTTTL器件之间的接口展现了电压容差的缺乏；LVTTTL IC输入由5 V CMOS器件输出过驱。2.5 V JEDEC与5 V CMOS器件之间的接口展示了电压顺度的缺乏；JEDEC IC的高输出电平不符合5 V CMOS器件的输入电平要求。

### 利用NMOS FET“总线开关”连接5V系统和3.3V系统

在连接工作于不同电压标准的IC时，我们往往被迫添加额外的分离式元件，以确保电压容差和电压顺度。例如，为了在5 V和3.3 V逻辑之间实现电压容差，可以使用[ADG3257](#)一类的总线开关电压转换器(另见参考文献4和5)。总线开关将限制应用于IC的电压。这是为了避免应用大于接受器件容许范围的高输入电压。

举例来说，可以在5 V CMOS和3.3 V LVTTTL IC之间放置一个总线开关，此时，这两种器件就可以正常发送数据了，如图4所示。基本而言，总线开关是一种NMOS FET。如果将4.3 V的电压置于FET的栅极上，则最大可通过信号为3.3 V(比栅极电压约低1 V)。如果输入和输出均低于3.3 V，则NMOS FET将充当低电阻( $R_{ON} \approx 2 \Omega$ )。随着输入接近3.3 V，FET导通电阻会增大，从而限制信号输出。ADG3257是一款四通道2:1 Mux/Demux总线开关，具有一个栅极驱动使能引脚，如图4下半部分所示。ADG3257的 $V_{CC}$ 设置栅极驱动的高电平。



**图4：采用NMOS FET的+5 V/+3.3 V  
双向接口实现电压容差**

在5 V/3.3 V系统板上实现4.3 V电源电压的一种方式是在5 V电源和总线开关 $V_{CC}$ 之间放置一个硅二极管，如图4所示。对于3.3 V/2.5 V应用， $V_{CC}$ 引脚可以直接连接至+3.3 V电源。有些总线开关设计用于直接工作于3.3 V或5 V的电源电压，并在内部产生内部栅极偏置电平。

在这种混合型逻辑设计中，总线开关可以消除电压容差问题。总线开关有一个便利的特性，即它们是双向的；借助该特性，设计人员可以在两个IC之间放一个总线转换器，而无需为输入和输出信号创建额外的路由逻辑。

总线开关会增加总功耗以及系统布局所需要的总面积。由于电压总线开关通常为CMOS电路，因此，其额定功耗都很低。连续功耗增加部分的平均值为每个封装5 mW(10个开关)，这与通过电路的信号频率无关。总线开关每个封装一般有8到20个I/O引脚，大约占用25至50 mm<sup>2</sup>的电路板空间。

在电路中增加接口逻辑的一个顾虑是可能导致传播延迟增加。增加传播延迟可能给设计带来诸多时序问题。总线开关的传播延迟值非常低。

实际上，总线开关不会增加传播延迟(ADG3257的典型值为0.1 ns)，只会增加在由理想电压源驱动时的开关的典型 $R_{ON}$ 以及负载电容的RC延迟。由于时间常数一般比典型驱动信号的上升/下降时间要小得多，所以总线开关只会为系统增加极小的传播延迟。因此，低 $R_{ON}$ 是总线开关的关键特性，因为开关导通电阻和总线电容会形成一个单极滤波器，结果会增加延迟、降低最大数据速率。ADG3257的典型导通电容为10 pF，再加上4  $\Omega$ 的 $R_{ON}$ ，结果会产生约90 ps的上升/下降时间。图5所示为ADG3257的导通电阻和5.5、5、4.5、3.3、3.0以及2.7 V电源输入电压的函数关系。作为输入电压函数的最大导通电压如图6所示。

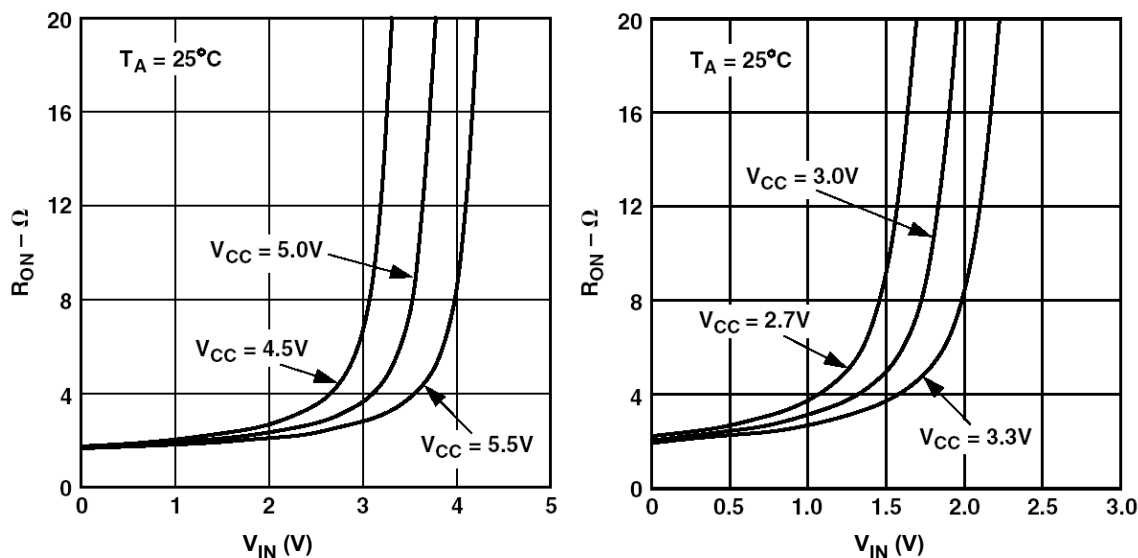


图5: ADG3257总线开关导通电阻与输入电压的关系

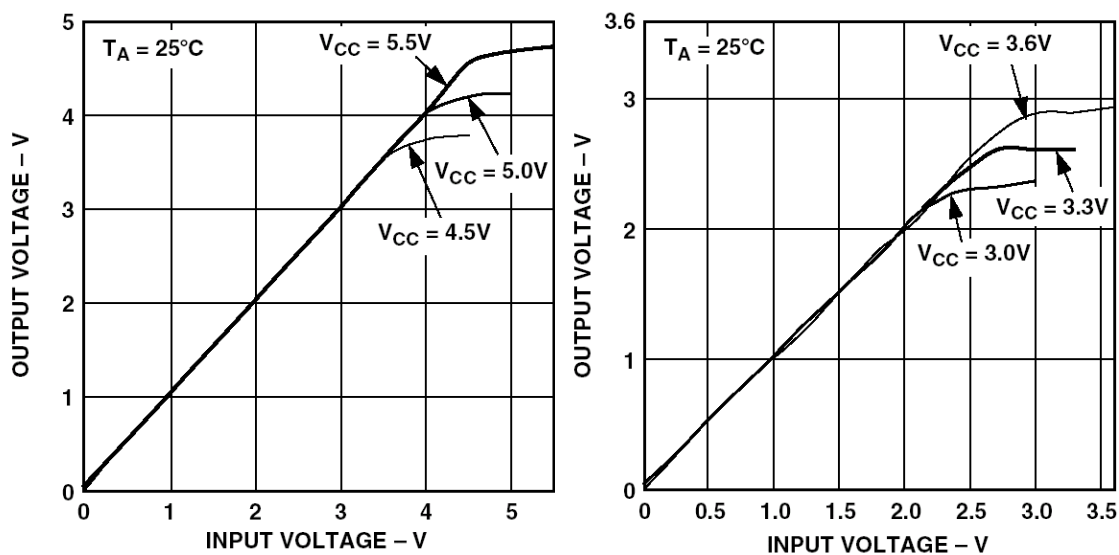


图6: ADG3257总线开关最大导通电压与输入电压的关系



ADG3257在622 Mbps和933 Mbps工作频率下的眼图如图7所示。

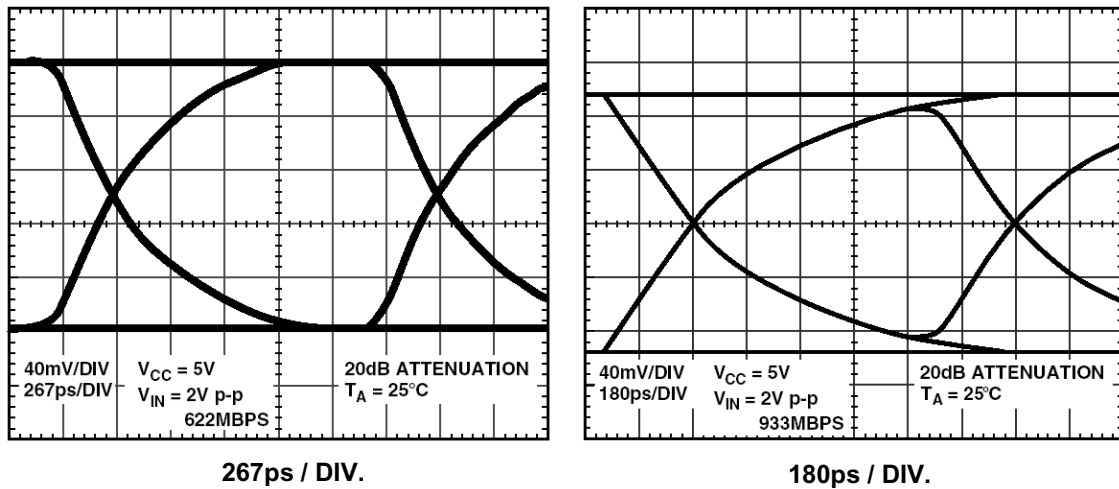


图7: 622 Mbps和933 Mbps数据速率下的眼图

### 3.3V/2.5V接口

图8展示了3.3 V至2.5 V逻辑接口的两种可能性。上部图示(A)展示的是直接连接模式。只要2.5 V IC输入端的容差电压为3.3 V，则该模式有效。如果2.5 V IC不能承受3.3 V，则可使用ADG3231一类的低电压总线开关。在多数情况下，3.3 V和2.5 V两种系统之间的连接可以是双向的，即使2.5 V逻辑 $V_{OH}$ 的额定值与3.3V逻辑的 $V_{IH}$ 额定值都是+2.0 V(参见前面的图3)。这一点需要进一步的讨论。

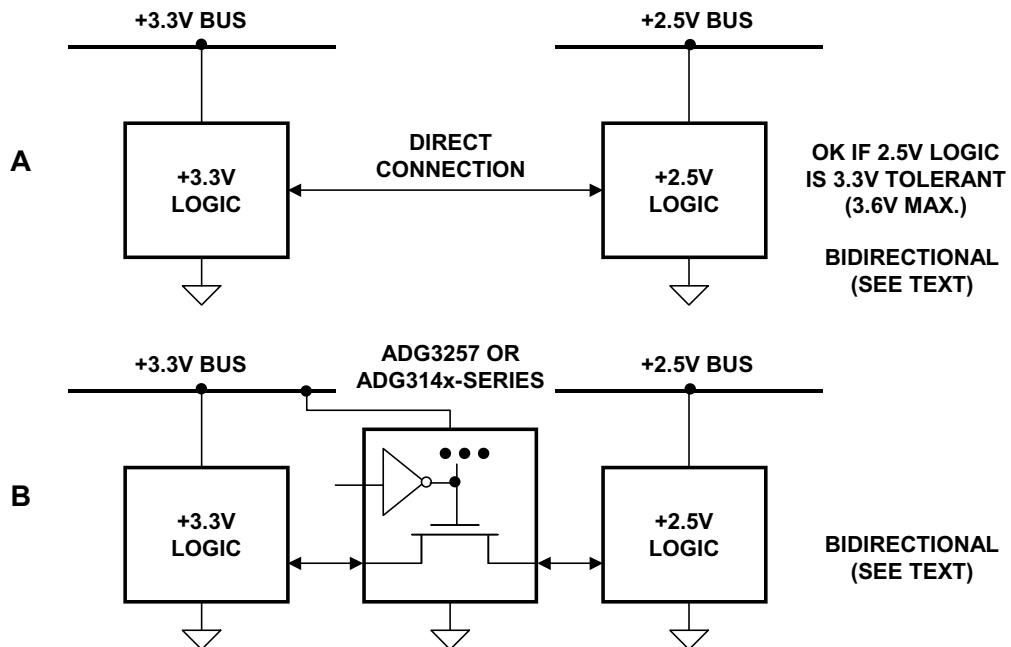


图8: +3.3 V至+2.5 V接口



图9A所示为2.5 V和3.3 V逻辑之间的直接连接。为了使该连接有效，据JEDEC规范，2.5 V输出的最小值不得低于2 V。当2.5 V输出端无负载时，3.3 V IC输入通过PMOS晶体管的导通电阻直接连接至+2.5 V。这为2.5 V的额定电源电压提供了0.5 V的噪声裕量。然而，2.5 V总线的容差允许其下降至2.3 V的最小值，此时，噪声裕量降至0.3 V。这在相对安静的环境中可能仍然有效，但是，如果电源电压存在噪声，则可能有些牵强。

如图9B所示，增加一个1.6 k $\Omega$ 上拉电阻，在3.3 V器件输入电流的作用下，可以确保2.5 V输出不会降至2.5 V以下，但2.3 V电源的噪声裕量下降问题仍然存在。在50%的占空比下，电阻给每个输出端增加约3.4 mW的功耗。

图9C展示了2.5 V和3.3 V逻辑之间更可靠的一种接口，其中使用了ADG3231一类的逻辑转换器。这就解决了(A)和(B)两种情况下的全部噪声裕量问题，每个输出端只需大约2  $\mu$ A(最大值)的功耗。

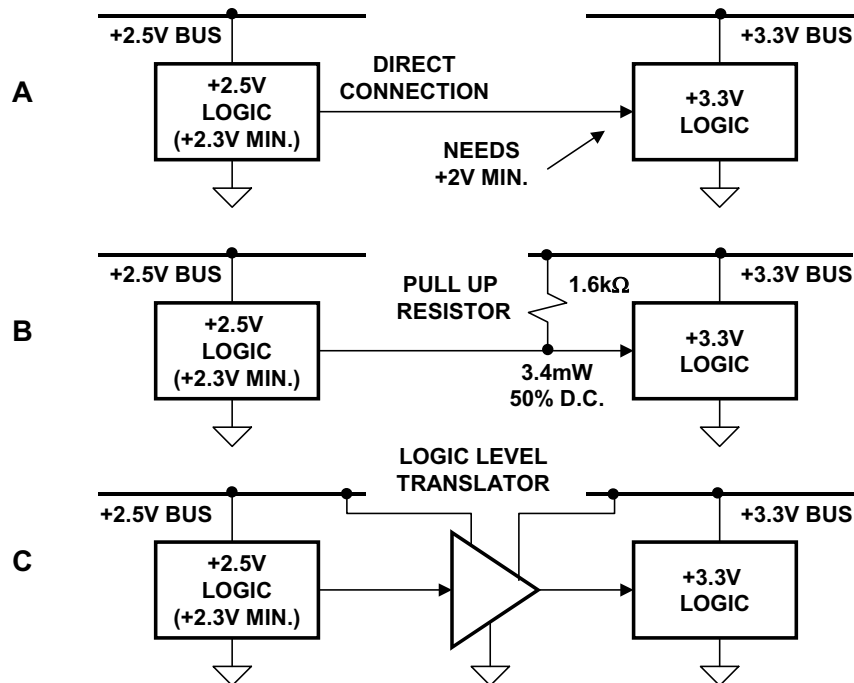


图9: +2.5V至+3.3V接口分析

### 3.3V/2.5V、3.3V/1.8V、2.5V/1.8V接口

[ADG3241](#)、[ADG3242](#)、[ADG3243](#)、[ADG3245](#)、[ADG3246](#)、[ADG3247](#)、[ADG3248](#)和[ADG3249](#)是针对3.3 V或2.5 V电源而优化过的低电压总线开关。该系列包括1位、2位、8位、10位和双通道8位开关，全部都是双端口开关。ADG3241、ADG3242、ADG3245、ADG3246、ADG3247和ADG3249具有2.5 V或1.8 V可选电平转换能力。该系列为3.3/2.5 V、

3.3 /1.8 V和2.5 /1.8 V单向接口提供了一种快速的低功耗解决方案。图10所示ADG32xx系列分别用作3.3 /1.8 V电平转换器和2.5 /1.8 V转换器。

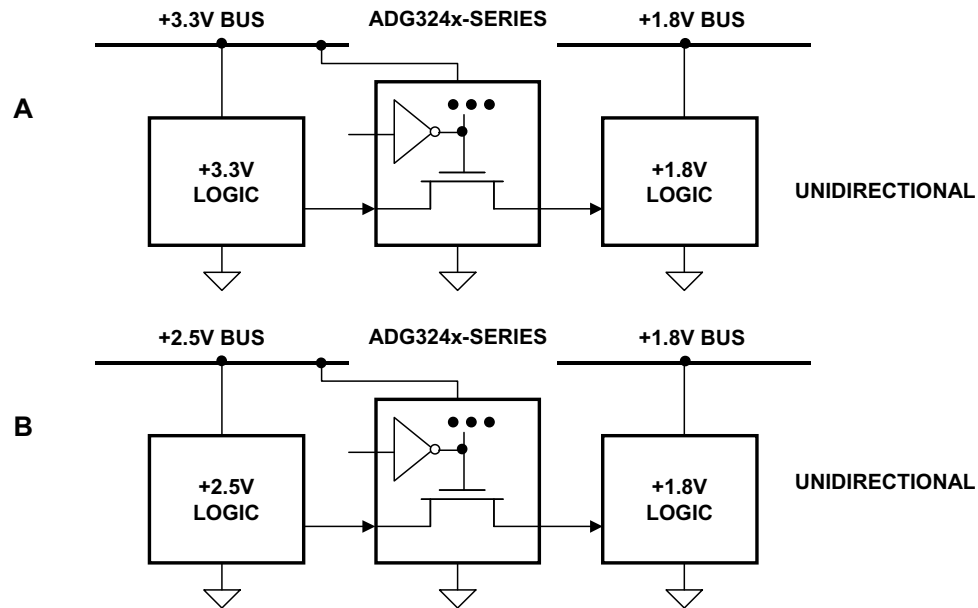


图10: +3.3 V至+1.8 V、2.5 V至+1.8 V单向接口

从1.8 V转换至2.5 V，从1.8 V转换至3.3 V(如前所述，有时是从2.5 V转换至3.3 V)要求使用类似于图11所示ADG3231一类的逻辑转换器。两个电压总线的值可以为1.65 V和3.6 V之间的任意值。[ADG3231](#)是一款采用SOT-23封装的单通道转换器，[ADG3232](#)是一款同样采用SOT-23封装的2:1多路复用器/电平转换器。

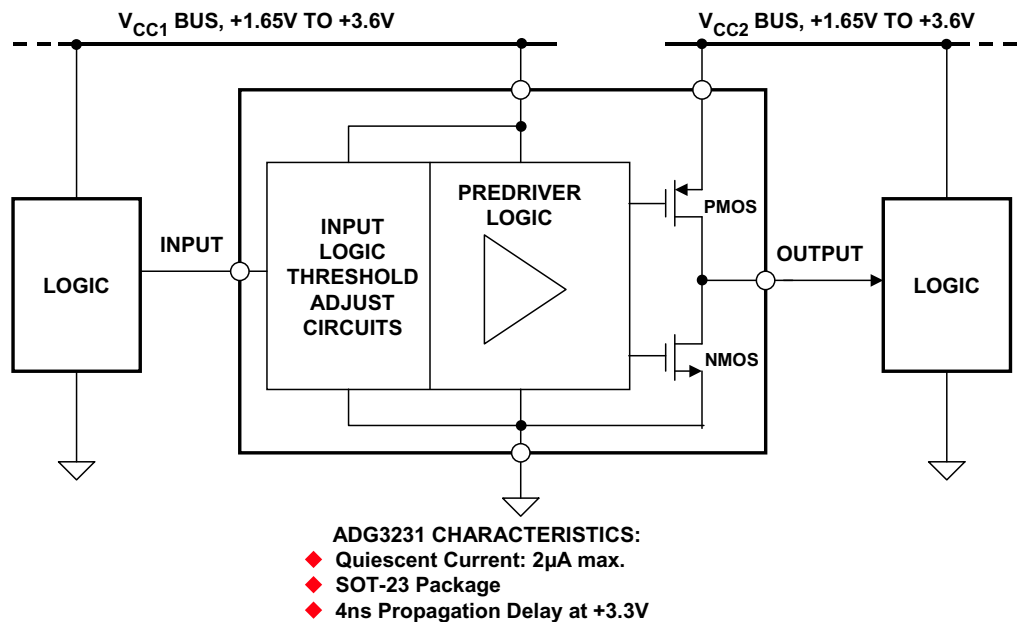
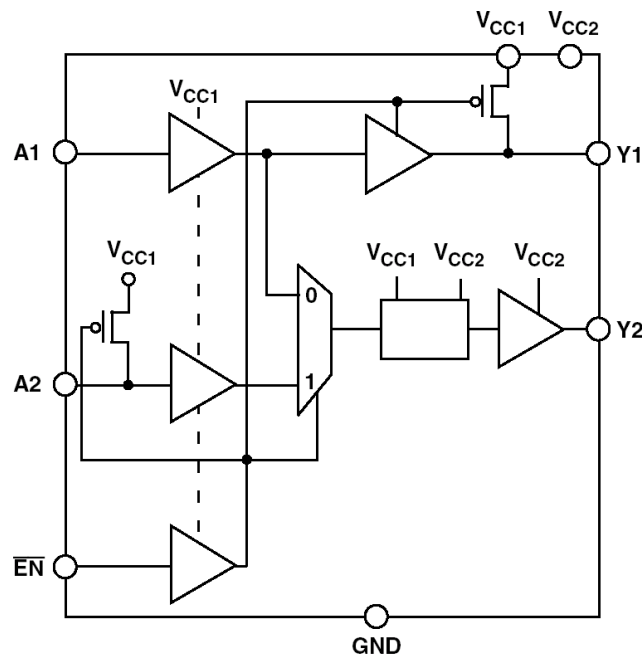


图11: ADG3231低电压逻辑电平转换器

[ADG3233](#)是一款采用亚微米工艺设计的旁路开关，可支持最低1.65 V的工作电压。该器件可以保证在1.65 V至3.6 V的电源电压范围内正常工作，采用双电源电压，支持双向电平转换，也就是将低电压转换为高电压，反之亦然。信号路径是单向的，也就是说数据只能从A流向Y。这类器件可以用于要求旁路功能的应用之中。非常适合JTAG链中或者菊花链环路中的旁路器件。一个开关可以用于一个器件或多个器件，从而轻松旁路链中的一个或多个器件。这在测试JTAG链或菊花链应用中的器件时特别有用，用户不必更改特定器件的设置，从而节省时间开销。

这款旁路开关采用所需引脚数量的两种最小封装。8引脚SOT-23封装仅需8.26 mm × 8.26 mm 电路板空间，而MSOP封装则占用大约15 mm × 15 mm电路板面积。图12所示为[ADG3233](#)的功能框图。



**图12: ADG3233低电压1.65 V至3.6 V  
逻辑电平转换器和旁路开关**

图13所示旁路开关用于正常模式。在该模式下，信号路径是从A1到Y1及从A2到Y2。该器件将把应用到A1的信号的电平转换为一种 $V_{CC1}$ 逻辑电平(这种电平转换可以针对高电平电源，也可针对低电平电源)，并把信号路由至Y1输出，该输出在 $V_{CC1}$ 电源下为标准 $V_{OL}/V_{OH}$ 电平。然后，信号通过器件1，再回到旁路开关A2输入引脚。A2的逻辑电平输入是针对 $V_{CC1}$ 电源而言的。信号的电平将从 $V_{CC1}$ 转换至 $V_{CC2}$ ，并路由到旁路开关的Y2输出引脚。Y2输出逻辑电平是针对 $V_{CC2}$ 电源而言的。

图14展示的是用在旁路操作中的器件。现在的信号路径是从A1直接到Y2，从而完全绕过了器件1。信号的电平将转换至一种 $V_{CC2}$ 逻辑电平，并提供给Y2，在这里，信号可以直接应用至器件2的输入引脚。在旁路模式下，Y1上拉至 $V_{CC1}$ 。图13和图14中的三种电源可以是任意电源组合，即 $V_{CC0}$ 、 $V_{CC1}$ 和 $V_{CC2}$ 可以是任意电源组合，如1.8 V、2.5 V和3.3 V。

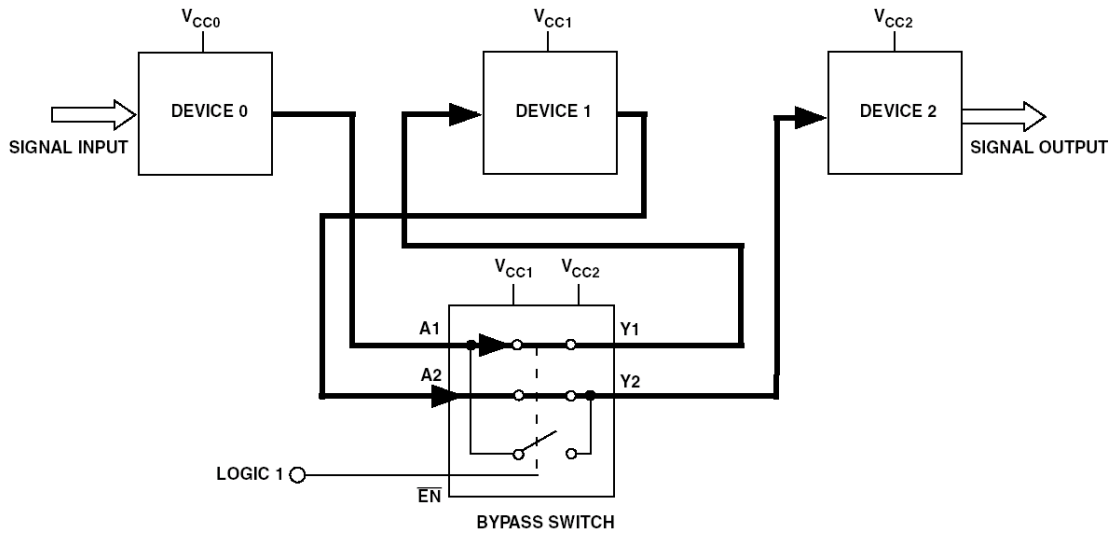


图13：正常模式下的ADG3233旁路开关

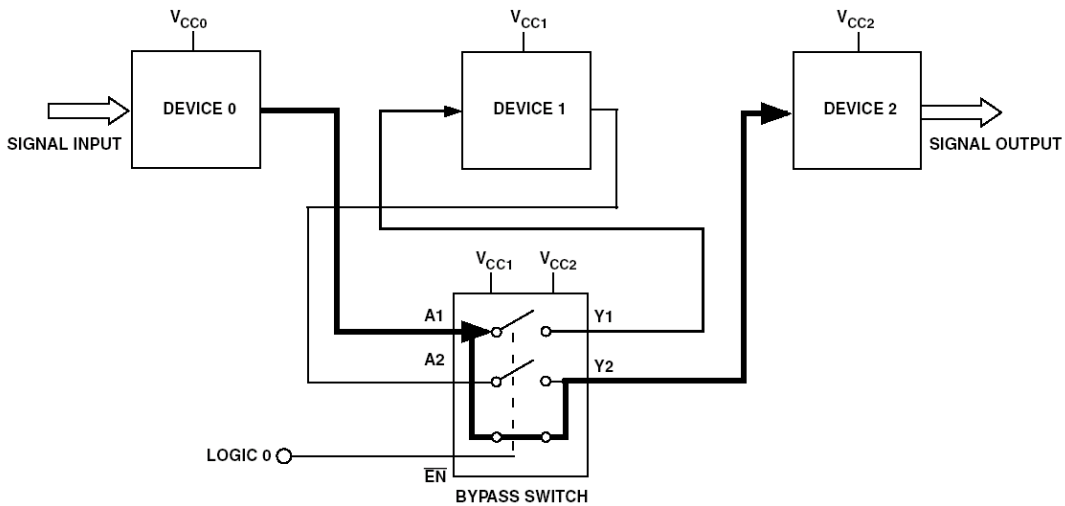
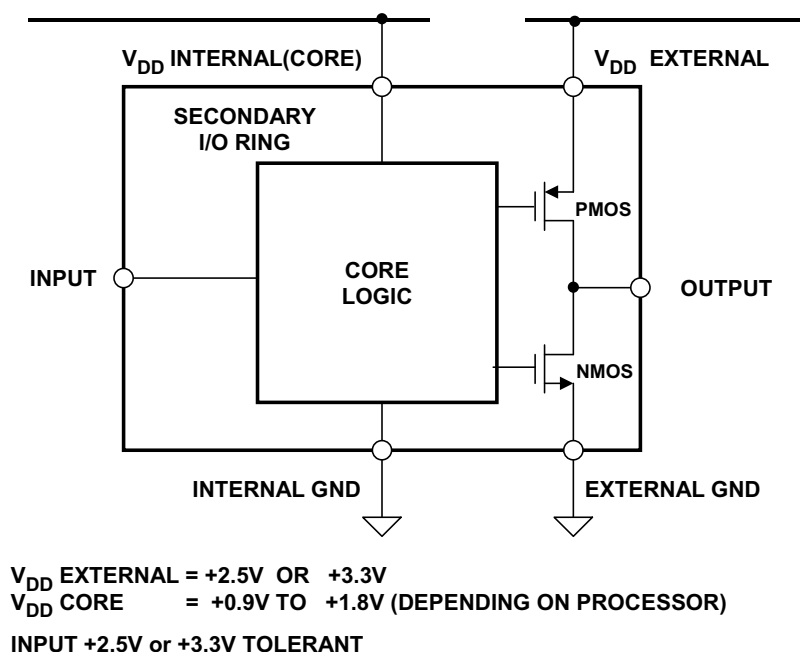


图14：旁路模式下的ADG3233旁路开关

## 内部形成的电压容差和电压顺序

现代高性能CMOS DSP和微处理器一般采用1 V至2 V的内核电压。这种低电压会带来最佳的速度-功耗性能。然而，内核中的逻辑电平并不兼容标准的2.5 V或3.3 V I/O接口。这个问题一般以图15所示方式解决，其中，逻辑内核以低电压工作，但输出驱动器则以2.5 V或3.3 V标准电源电压工作。



**图15: 具有次级I/O环的CMOS IC的内部顺序和容差**

许多IC制造商采取的技术是提供一个次级I/O环，即I/O驱动器由2.5 V或3.3 V电源驱动，因此，这种器件可以兼容2.5 V或3.3 V逻辑电平。注意，输入必须能顺从并承受I/O电源电压。在这种双电源逻辑IC的设计中，需要考虑多种问题：

- **上电时序控制：** 如果需要用两个电源来提供额外的IC容差/顺序，那么该上电时序是什么？是要求电源同时开启，还是要求器件只在内核上或仅在I/O环上提供电压？如果内核电压是用低压差线性调节器从I/O电源电压产生的，则可以很容易地解决这个问题。时序控制电路也可用来解决这些问题。
- **工艺支持和静电放电(ESD)保护：** 以IC制造工艺生产的晶体管必须能承受并驱动高电压。高电压晶体管会形成额外的制造成本，因为它们需要更多的处理步骤以形成高电压容差。采用标准晶体管的设计需要额外的电路。I/O驱动器也必须为器件提供ESD保护。多数电路设计把过压限制为超过电源电压的一个二极管压降(0.7 V)以下。更大的过压保护要求采用更多的串联二极管。

- 内部高电压的产生：PMOS晶体管需要置于一个基板阱中，后者与最高的片上电压相关联，以避免横向二极管开启、消耗过多的电流。该高电压既可以用电荷泵在片上产生，也可用外部电源产生。这种要求可能使设计复杂化，因为我们无法有效利用电荷泵来产生较高的电压，并同时实现低待机电流。多数情况下，该电压以外部方式提供。
- 芯片面积：芯片尺寸是降低成本、提高产量的一个主要因素。容差电路和顺从电路可能要求更多或更大的I/O器件来实现目标性能水平。
- 测试：由于内核和I/O可以在不同电压下工作，因此，测试器件在各种可能电压组合下的特性是非常复杂的，会增加IC的总体成本。

### 参考文献

1. P. Alfke, "Low-Voltage FPGAs Allow 3.3V/5V System Design," *Electronic Design*, p. 70-76, August 18, 1997.
2. AA Alkaline Battery Discharge Characteristics, Duracell Inc., Berkshire Corporate Park, Bethel, CT 06801, [www.duracell.com](http://www.duracell.com).
3. Joint Electron Device Engineering Council (JEDEC), [www.jedec.org](http://www.jedec.org), Standard JESD8-5, October 1995, and Standard JESD8-7, February, 1997,
4. QS3384 Data Sheet, Integrated Device Technology (IDT), Inc., 2975 Stender Way, Santa Clara, CA 95054, [www.idt.com](http://www.idt.com)
5. Pericom Semiconductor Corporation, 2380 Bering Drive, San Jose, CA 95131, <http://www.pericom.com>
6. H. Johnson, M. Graham, *High Speed Digital Design*, Prentice Hall, 1993.
7. Eva Murphy and Catherine Redmond, "[Bus Switches for Speed, Safety, and Efficiency: What They Are and What You Should Know about Them.](#)" *Analog Dialogue* 36-06, Analog Devices, Inc., 2002.
8. Hank Zumbahlen, *Basic Linear Design*, Analog Devices, 2006, ISBN: 0-915550-28-1. Also available as [Linear Circuit Design Handbook](#), Elsevier-Newnes, 2008, ISBN-10: 0750687037, ISBN-13: 978-0750687034. Chapter 12
9. Walt Kester, [Analog-Digital Conversion](#), Analog Devices, 2004, ISBN 0-916550-27-3, Chapter 9. Also available as [The Data Conversion Handbook](#), Elsevier/Newnes, 2005, ISBN 0-7506-7841-0, Chapter 9.

Copyright 2009, Analog Devices, Inc. All rights reserved. Analog Devices assumes no responsibility for customer product design or the use or application of customers' products or for any infringements of patents or rights of others which may result from Analog Devices assistance. All trademarks and logos are property of their respective holders. Information furnished by Analog Devices applications and development tools engineers is believed to be accurate and reliable, however no responsibility is assumed by Analog Devices regarding technical accuracy and topicality of the content provided in Analog Devices Tutorials.

## 去耦技术

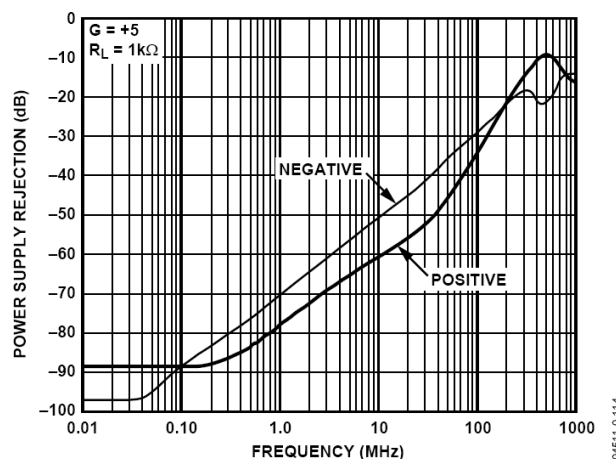
### 何谓正确去耦？有何必要性？

如果电源引脚上存在纹波和/或噪声，大多数IC都会有某种类型的性能下降。数字IC的噪声裕量会降低，时钟抖动则可能增加。对于高性能数字IC，例如微处理器和FPGA，电源额定容差(例如 $\pm 5\%$ )包含直流误差、纹波和噪声之和。只要电压保持在容差内，数字器件便符合规范。

说明模拟IC对电源变化灵敏度的传统参数是电源抑制比(PSRR)。对于放大器，PSRR是输出电压变化与电源电压变化之比，用比率(PSRR)或dB (PSR)表示。PSRR可折合到输出端(RTO)或输入端(RTI)。RTI值等于RTO值除以放大器增益。

图1显示典型高性能放大器([AD8099](#)) PSR随频率、以大约6 dB/8倍频程(20 dB/10倍频程)下降的情况。图中显示了采用正负电源两种情况下的曲线图。尽管PSR在直流下是90 dB，但较高频率下会迅速降低，此时电源线路路上有越来越多的无用能量会直接耦合至输出。因此必须一开始就要防止此高频能量进入芯片。一般通过组合电解电容(用于低频去耦)、陶瓷电容(用于高频去耦)来完成，也有可能使用铁氧体磁珠。

数据转换器以及其他模拟和混合信号电路的电源抑制可能在数据手册中都有相关规定。不过，在数据手册的应用部分，经常会针对几乎所有的线性混合信号IC推荐电源去耦电路。用户应始终遵循这些建议，以确保器件正常工作。



**图1：AD8099高性能运算放大器的电源抑制与频率的关系**



低频噪声需要较大的电解电容，用作瞬态电流的电荷库。将低电感表面贴装陶瓷电容直接连接到IC电源引脚，便可最大程度地抑制高频电源噪声。所有去耦电容必须直接连接到低电感接地层才有效。此连接需要短走线或过孔，以便将额外串联电感降至最低。

铁氧体磁珠(以镍、锌、锰的氧化物或其他化合物制造的绝缘陶瓷)也可用于在电源滤波器中去耦。铁氧体在低频下(<100 kHz)为感性，因此对低通LC滤波器有用。100 kHz以上，铁氧体成阻性(高Q)。铁氧体阻抗与材料、工作频率范围、直流偏置电流、匝数、尺寸、形状和温度成函数关系。

铁氧体磁珠并非始终必要，但可以增强高频噪声隔离和去耦，通常较为有利。这里可能需要验证磁珠永远不会饱和，特别是在运算放大器驱动高输出电流时。当铁氧体饱和时，它就会变为非线性，失去滤波特性。

请注意，某些铁氧体甚至可能在完全饱和前就是非线性。因此，如果需要功率级，以低失真输出工作，当原型在此饱和区域附近工作时，应检查其中的铁氧体。

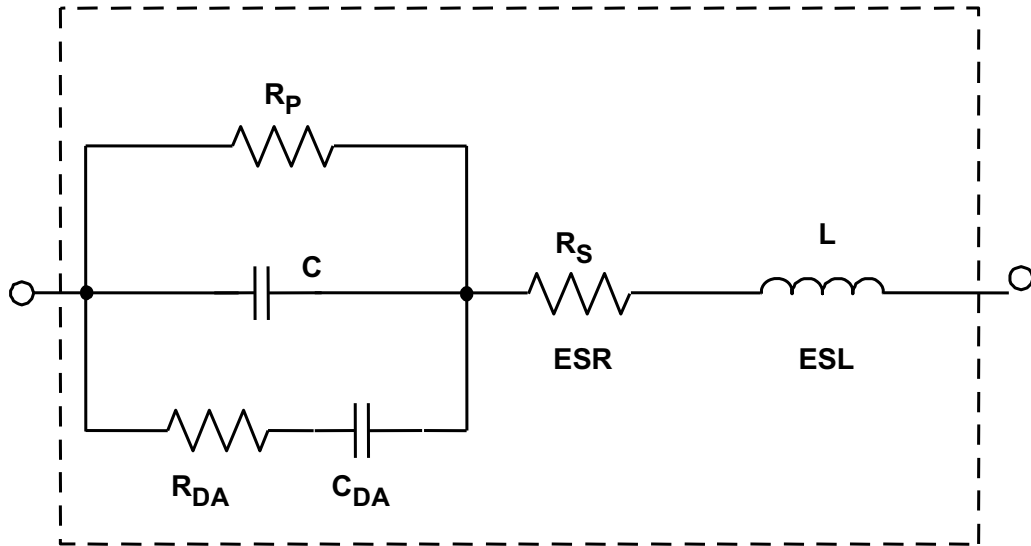
图2总结了正确去耦的重要方面。

- ◆ **A large electrolytic capacitor (typically 10  $\mu$ F – 100  $\mu$ F) no more than 2 in. away from the chip.**
  - The purpose of this capacitor is to be a reservoir of charge to supply the instantaneous charge requirements of the circuits locally so the charge need not come through the inductance of the power trace.
- ◆ **A smaller cap (typ. 0.01  $\mu$ F – 0.1  $\mu$ F) as physically close to the power pins of the chip as is possible.**
  - The purpose of this capacitor is to short the high frequency noise away from the chip.
- ◆ **All decoupling capacitors should connect to a large area low impedance ground plane through a via or short trace to minimize inductance.**
- ◆ **Optionally a small ferrite bead in series with the supply pin.**
  - Localizes the noise in the system.
  - Keeps external high frequency noise from the IC.
  - Keeps internally generated noise from propagating to the rest of the system.

**图2：何谓正确去耦？**

## 实际电容及其寄生效应

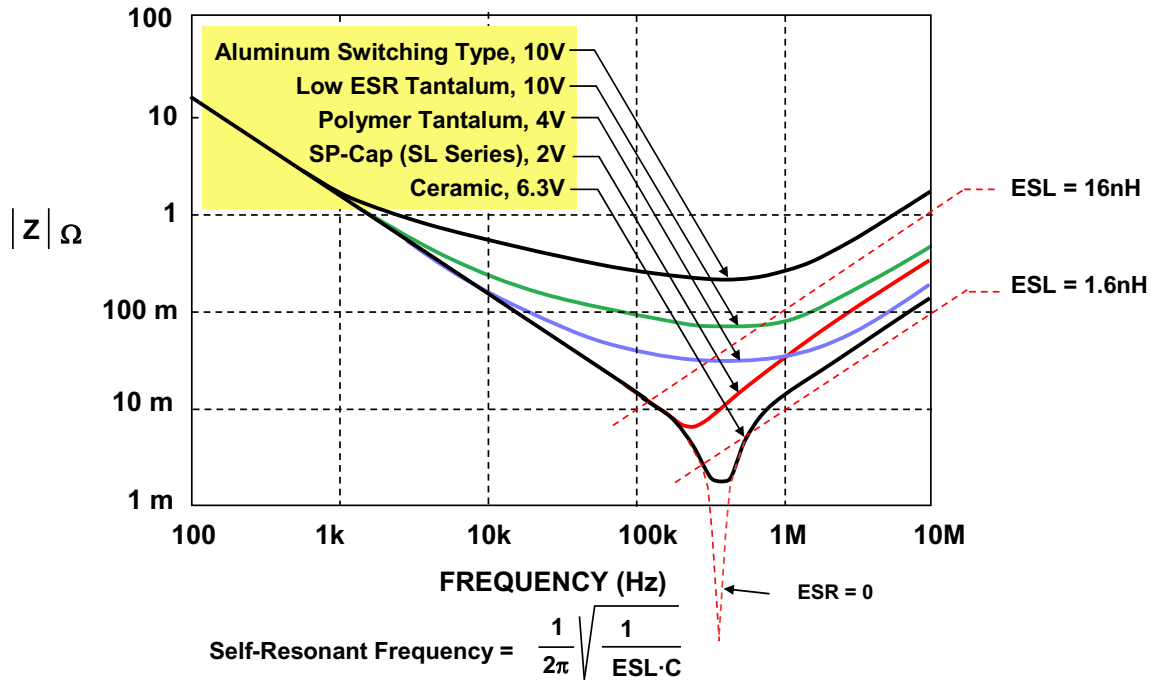
图3显示了一个非理想电容的模型。电阻 $R_p$ 代表绝缘电阻或泄漏，与标称电容 $C$ 并联。第二个电阻 $R_s$ (等效串联电阻或ESR)与电容串联，代表电容引脚和电容板的电阻。



**图3：实际电容等效电路包括寄生元件**

电感 $L$ (等效串联电感或ESL)代表引脚和电容板的电感。最后，电阻 $R_{DA}$ 和电容 $C_{DA}$ 一起构成称为电介质吸收或DA现象的简化模型。在采样保持放大器(SHA)之类精密应用中使用电容时，DA可造成误差。但在去耦应用中，电容的DA一般不重要。

图4显示了各种100  $\mu\text{F}$ 电容的频率响应。理论上，电容阻抗将随着频率增加呈单调下降。实际操作中，ESR使阻抗曲线变得平坦。随着频率不断升高，阻抗由于电容的ESL而开始上升。“膝部”的位置和宽度将随着电容结构、电介质和等效器件的值而变化。因此常常可以看到较大值电容与较小值电容并联。较小值电容通常具有较低ESL，与较高频率的电容看似相同。这可以在更宽频率范围内扩展并联组合的总体性能。



**图4：各种100µF电容的阻抗**

电容自谐振频率就是电容电抗( $1/\omega C$ )等于ESL电抗( $\omega ESL$ )的频率。对这一谐振频率等式求解得到下式：

$$f_{\text{RESONANCE}} = \frac{1}{2\pi\sqrt{ESL \cdot C}} \quad \text{等式 1}$$

所有电容将显示大致形状与图示类似的阻抗曲线。虽然实际曲线图有所不同，但大致形状相同。最小阻抗由ESR决定，高频区域由ESL决定(后者很大程度上受封装样式影响)。

### 去耦电容类型

图5显示适合去耦的各种常见电容类型。电解系列具有宽值范围、高电容体积比和广泛的工作电压，是极佳的高性价比低频滤波器元件。它包括通用铝电解开关类型，提供10 V以下直至约500 V的工作电压，尺寸为1 µF至数千µF(以及成比例的外形尺寸)。

TECHNOLOGY	ADVANTAGES	DISADVANTAGES	APPLICATIONS
Aluminum Electrolytic, Switching Type. Avoid general purpose types	<ul style="list-style-type: none"> <li>•High CV product/cost</li> <li>•Large energy storage</li> <li>•Best for 100V - 400V</li> </ul>	<ul style="list-style-type: none"> <li>•Temperature related wearout</li> <li>•High ESR/size</li> <li>•High ESR @ low temp</li> </ul>	<ul style="list-style-type: none"> <li>•Consumer products</li> <li>•Large bulk storage</li> </ul>
Solid Tantalum	<ul style="list-style-type: none"> <li>•High CV product/size</li> <li>•Stable @ cold temp</li> <li>•No wearout</li> </ul>	<ul style="list-style-type: none"> <li>•Fire hazard with reverse voltage</li> <li>•Expensive</li> <li>•Only rated up to 50V</li> </ul>	<ul style="list-style-type: none"> <li>•Popular in military</li> <li>•Concern for tantalum raw material supply</li> </ul>
Aluminum-Polymer, Special-Polymer, Poscap, Os-Con	<ul style="list-style-type: none"> <li>•Low ESR</li> <li>•Z stable over temp</li> <li>•Relatively small case</li> </ul>	<ul style="list-style-type: none"> <li>•Rapid degradation above 105°C</li> <li>•Relatively high cost</li> </ul>	<ul style="list-style-type: none"> <li>•Newest technology</li> <li>•CPU core regulators</li> </ul>
Ceramic	<ul style="list-style-type: none"> <li>•Lowest ESR, ESL</li> <li>•High ripple current</li> <li>•X7R good over wide temp</li> </ul>	<ul style="list-style-type: none"> <li>•CV product limited</li> <li>•Microphonics</li> <li>•C decreases with increasing voltage</li> </ul>	<ul style="list-style-type: none"> <li>•Excellent for HF decoupling</li> <li>•Good to 1GHz</li> </ul>
Film (Polyester, Teflon, polypropylene, polystyrene, etc.)	<ul style="list-style-type: none"> <li>•Hi Q in large sizes</li> <li>•No wearout</li> <li>•High voltage</li> </ul>	<ul style="list-style-type: none"> <li>•CV product limited</li> <li>•Not popular in SMT</li> <li>•High cost</li> </ul>	<ul style="list-style-type: none"> <li>•High voltage, current</li> <li>•AC</li> <li>•Audio</li> </ul>

图5: 常见电容类型

所有电解电容均有极性，因此无法耐受约一伏以上的反向偏置电压而不造成损坏。此类器件具有相对较高的泄漏电流(可能为数十 $\mu\text{A}$ )，很大程度上取决于特定系列的设计、电气尺寸、额定电压及施加电压。不过，泄漏电流不可能是基本去耦应用的主要因素。

大多数去耦应用不建议使用“通用”铝电解电容。不过，铝电解电容的一个子集是“开关型”，设计并规定用于在最高达数百kHz的频率下处理高脉冲电流，且仅具有低损耗。此类电容在高频滤波应用中可直接媲美固态钽电容，且具有更广泛的可用值。

固态钽电解电容一般限于50 V或更低的电压，电容为500  $\mu\text{F}$ 或更低。对于给定尺寸，钽电容比铝开关电解电容呈现出更高的电容体积比，且具有更高的频率范围和更低的ESR。一般也比铝电解电容更昂贵，对于浪涌和纹波电流，必须谨慎处理应用。

最近，使用有机或聚合物电解质的高性能铝电解电容也已问世。这些电容系列拥有略低于其他电解类型的ESR和更高的频率范围，另外低温ESR下降也最小。此类器件使用铝聚合物、特殊聚合物、Poscap和Os-Con等标签。

陶瓷或多层陶瓷(MLCC)具有尺寸紧凑和低损耗特性,通常是数MHz以上的首选电容材料。不过,陶瓷电介质特性相差很大。对于电源去耦应用,一些类型优于其他类型。在X7R的高K电介质公式中,陶瓷电介质电容的值最高可达数 $\mu\text{F}$ 。在高达200 V的额定电压下推荐Z5U和Y5V。X7R型在直流偏置电压下的电容变化小于Z5U和Y5V型,因此是较佳选择。

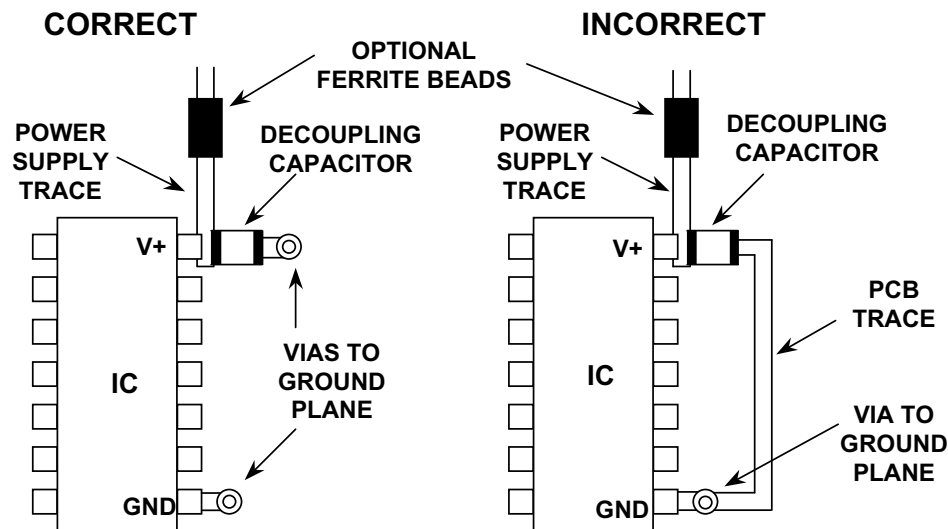
NP0(也称为COG)型使用更低的介电常数公式,通常具有零TC和低电压系数(不同于较不稳定的高K型)。NP0型的可用值限于0.1  $\mu\text{F}$ 或更低,0.01  $\mu\text{F}$ 是更实用的上限值。

多层陶瓷(MLCC)表面贴装电容的极低电感设计可提供近乎最佳的RF旁路,因此越来越频繁地用于10 MHz或更高频率下的旁路和滤波。更小的陶瓷芯片电容工作频率范围可达1 GHz。对于高频应用中的这些及其他电容,可通过选择自谐振频率高于最高目标频率的电容,确保有效值。

薄膜型电容一般使用绕线,增加了电感,因此不适合电源去耦应用。此类型更常用于音频应用,此时需要极低电容和电压系数。

### 局部高频去耦建议

图6显示了高频去耦电容必须尽可能靠近芯片的情况。否则,连接走线的电感将对去耦的有效性产生不利影响。



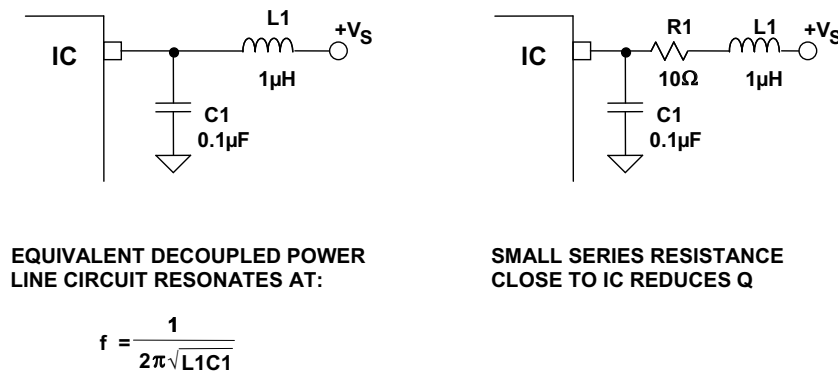
**图6: 高频电源滤波器**  
需要通过较短的低电感路径(接地层)去耦

左图中，电源引脚和接地连接尽可能短，所以是最有效的配置。然而右图中，PCB走线内的额外电感和电阻将造成去耦方案的有效性降低，且增加封闭环路可能造成干扰问题。

### 由LC去耦网络构成的谐振电路

许多去耦应用中，电感或铁氧体磁珠与去耦电容串联，如图7所示。电感L与去耦电容C串联后构成谐振或“调谐”电路，主要特性是显示谐振频率下的显著阻抗变化。谐振频率计算公式如下：

$$f = \frac{1}{2\pi\sqrt{LC}} \quad \text{等式 2}$$



**图7：由电源线路去耦构成的谐振电路**

去耦网络的总体阻抗在谐振频率下可表现出峰化现象。峰化程度取决于调谐电路的相对Q (品质因子)值。谐振电路的Q衡量其对电阻的电抗。计算公式如下：

$$Q = \frac{2\pi fL}{R} \quad \text{等式 3}$$

正常走线电感和0.01 µF至0.1 µF的典型去耦电容将在高于数MHz的频率下产生谐振。例如，0.1 µF和1 nH将在16 MHz下产生谐振。

不过，由100 µF电容和1 µF电感组成的去耦网络在16 kHz下产生谐振。如果不予检查，一旦此频率出现在电源线路上，可带来谐振问题。该效应可通过降低电路Q降至最低。在电源线路内靠近IC的地方插入小电阻(~10 Ω)便可轻松完成，如右例所示。电阻应尽可能压低，最大程度地减小电阻两端的IR压降。也可用小铁氧体磁珠替代电阻，它在谐振频率下主要表现为阻性。

使用铁氧体磁珠代替电感可以减少谐振问题，因为铁氧体磁珠在100 kHz以上表现为阻性，所以会降低电路的有效Q值。典型铁氧体磁珠阻抗如图8所示。

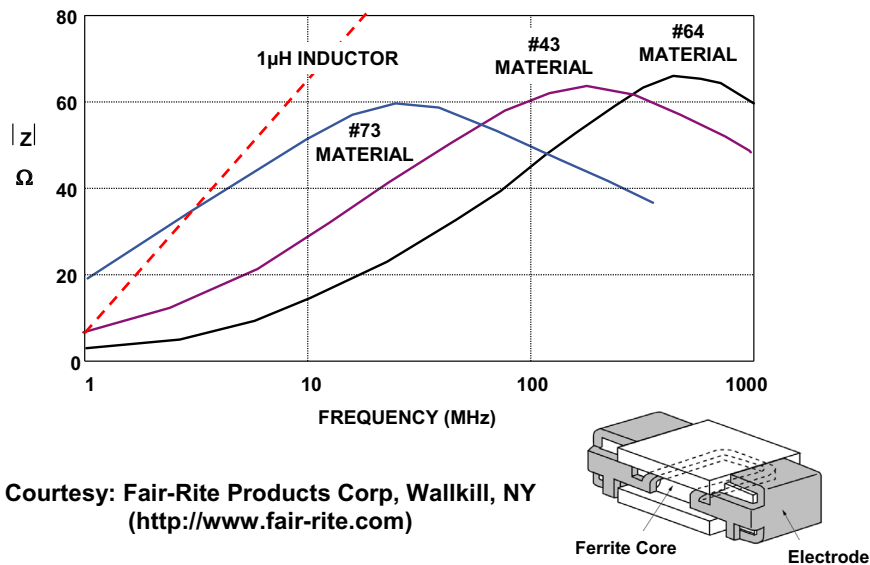


图8: 铁氧体磁珠阻抗与1μH电感的比较

简单LRC去耦网络的响应可以使用基于SPICE的程序轻松仿真，例如National Instruments Multisim™，ADI公司版。典型电路模型如图9所示，仿真响应如图10所示。

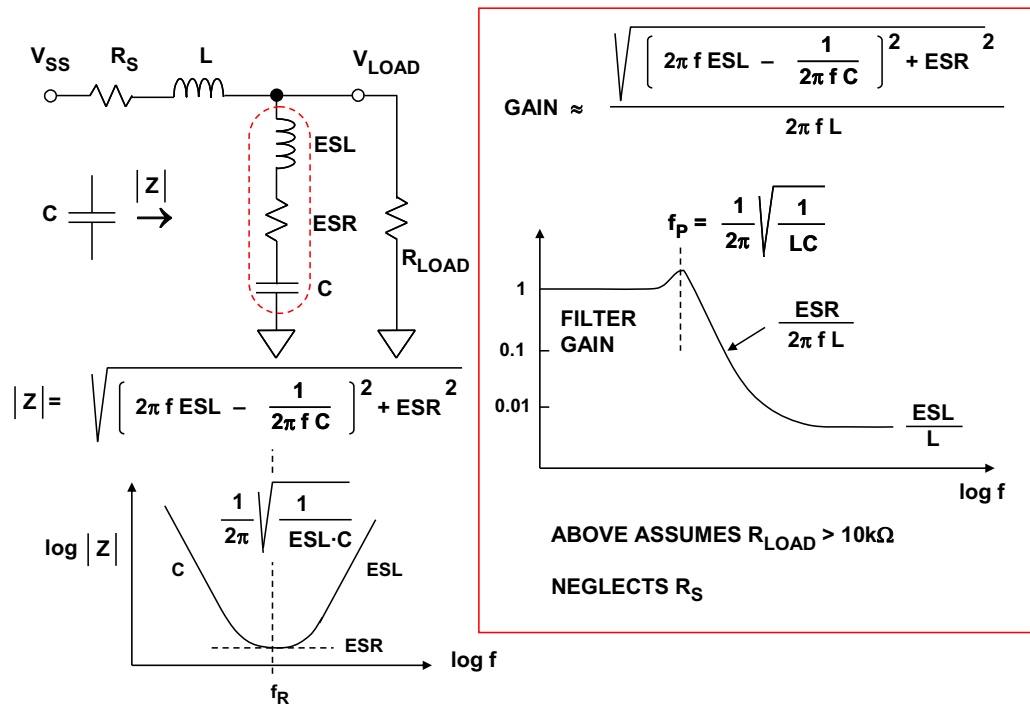


图9: LC滤波器衰减近似值



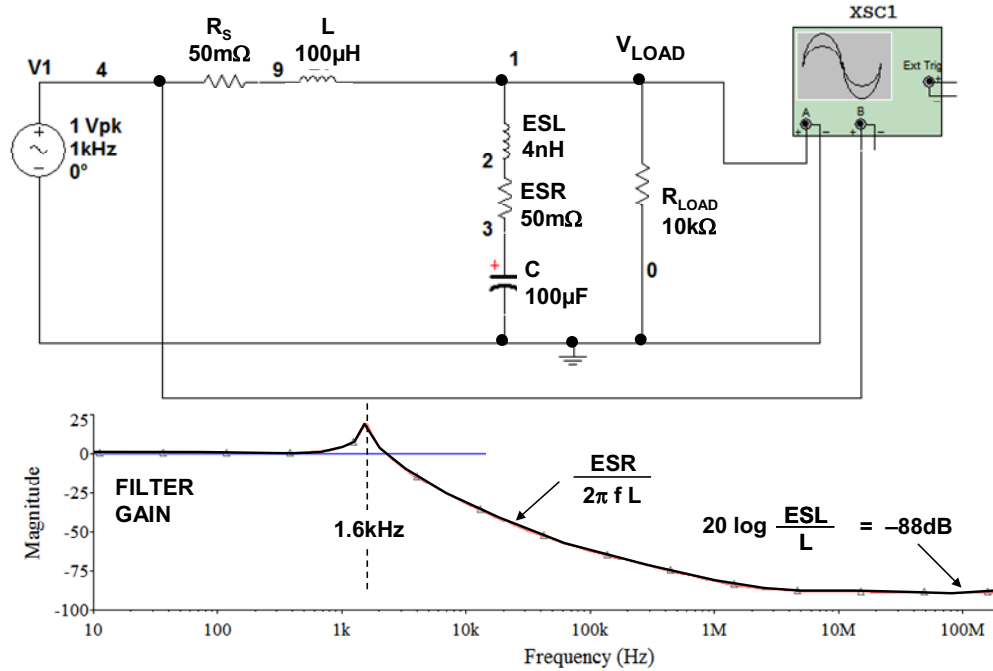


图10: 使用NI Multisim™ Analog Devices® 版仿真LC网络增益

### 不良去耦技术对性能的影响

本节考察不良去耦技术对两种基础元件：运算放大器和ADC的影响。

图11显示1.5 GHz高速电流反馈运算放大器AD8000的脉冲响应。两种示波器图表均使用评估板获得。左侧走线显示正确去耦的响应，右侧走线显示同一电路板上去除去耦电容后的相同响应。两种情况中，输出负载均为100 Ω。

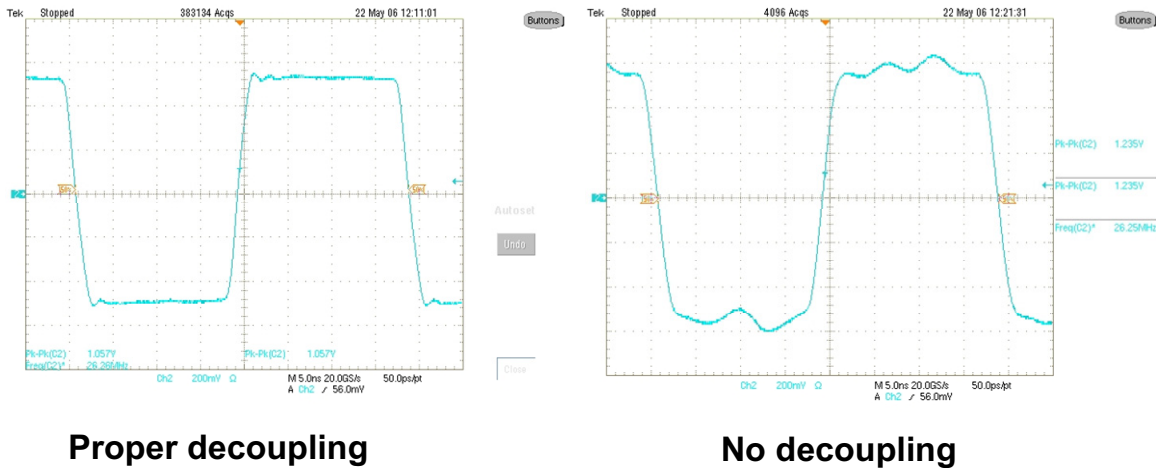


图11: 去耦对AD8000运算放大器性能的影响

图12显示AD8000的PSRR，它与频率成函数关系。请注意，较高频率下PSRR下降至相对较低值。这意味着电源线路上的信号很容易传播至输出电路。图13显示用于测量AD8000 PSRR的电路。

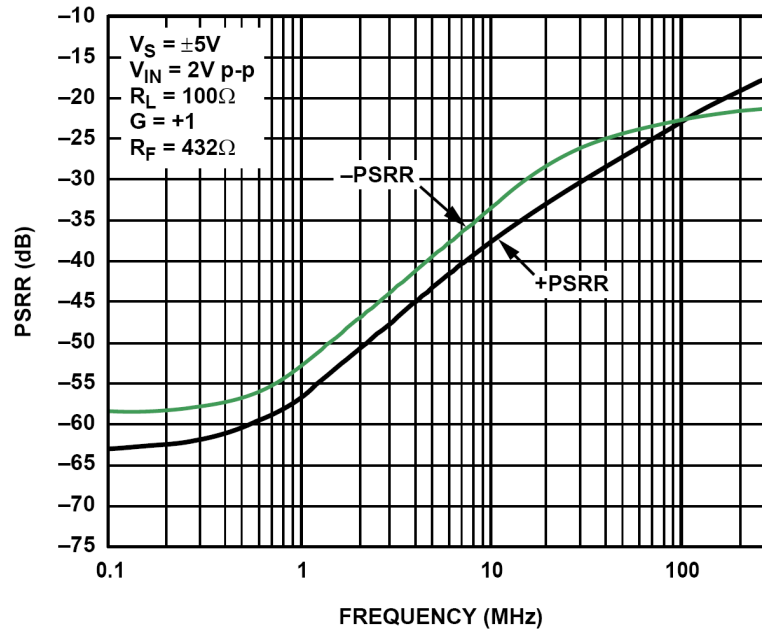


图12: AD8000电源抑制比(PSRR)

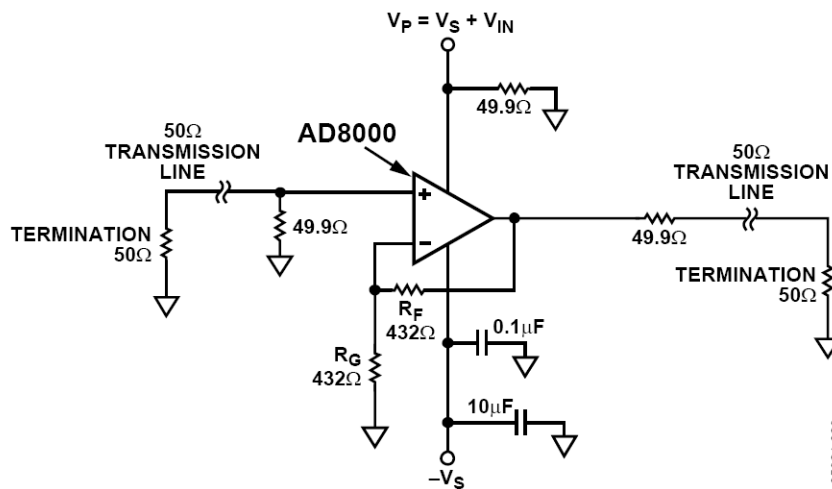


图13: AD8000正PSRR测试设置

现在考察正确及错误去耦对14位、105/125MSPS高性能数据转换器ADC [AD9445](#)的影响。虽然转换器通常无PSRR规格，但正确去耦仍非常重要。图14显示正确设计电路的FFT输出。这种情况下，对AD9445使用评估板。注意频谱较为干净。

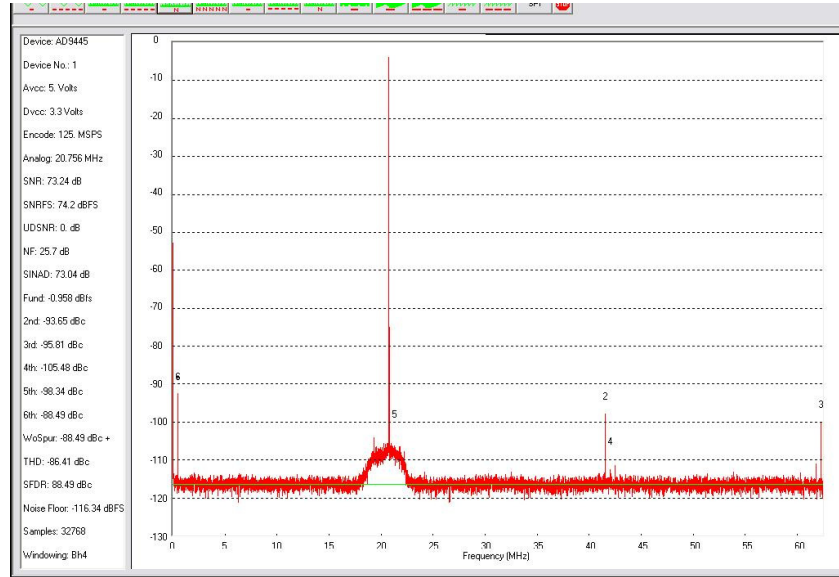


图14: 正确去耦时AD9445评估板的FFT坐标图

AD9445的引脚排列如图15所示。请注意，电源和接地引脚有多个。这是为了降低电源阻抗(并联引脚)。

模拟电源引脚有33个。18个引脚连接到AVDD1(电压为+3.3 V ± 5%)，15个引脚连接到AVDD2(电压为+5 V ± 5%)。DVDD(电压为+5 V ± 5%)引脚有4个。在本实验中所用的评估板上，每个引脚具有陶瓷去耦电容。此外还有数个10 μF电解电容。

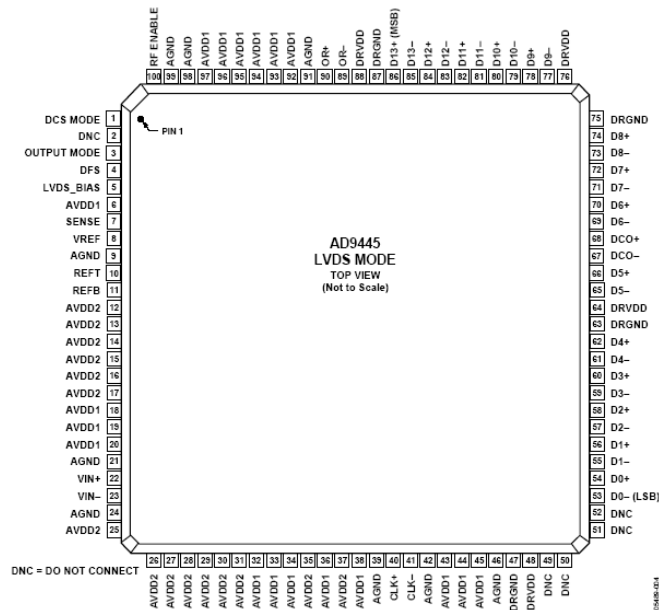
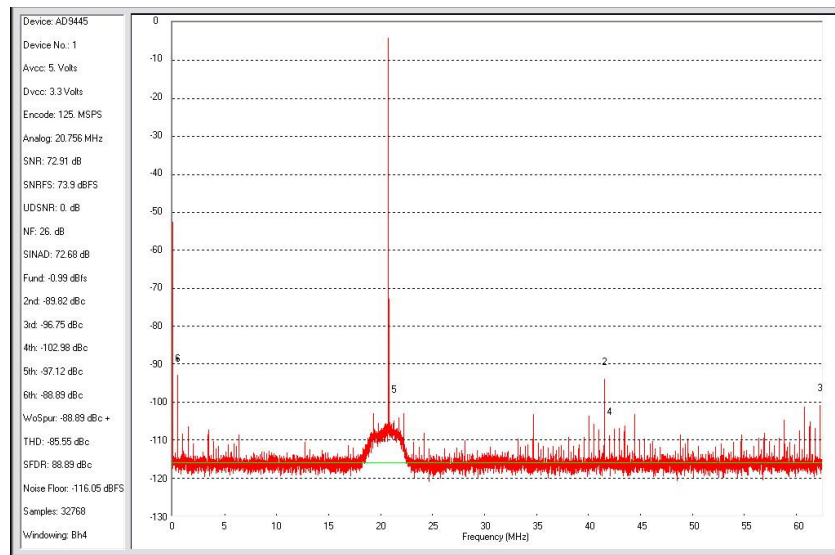


图15: AD9445引脚排列图

图16显示了从模拟电源去除去耦电容后的频谱。请注意，高频杂散信号增加了，还出现了一些交调产物(低频成分)。

信号SNR已显著降低。

本图与上图的唯一差异是去除了去耦电容。同样使用AD9445评估板进行测量。



**图16：从模拟电源去除电容后AD9445评估板的FFT坐标图**

图17显示从数字电源去除去耦电容的结果。注意杂散同样增加了。另外应注意杂散的频率分布。这些杂散不仅出现在高频下，而且跨越整个频谱。本实验使用转换器的LVDS版本进行。

可以想象，CMOS版本会更糟糕，因为LVDS的噪声低于饱和CMOS逻辑。

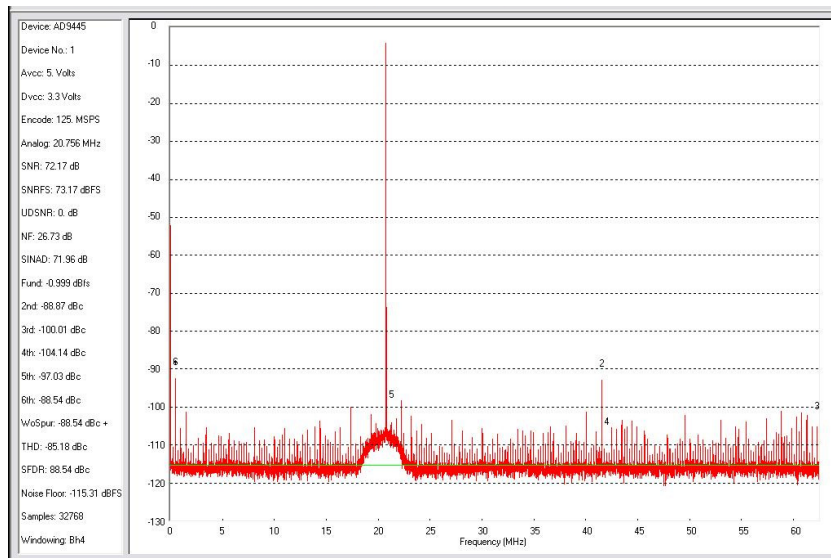


图17：从数字电源去除电容后AD9445评估板的SNR图

#### 参考文献：

1. Henry W. Ott, *Noise Reduction Techniques in Electronic Systems*, 2<sup>nd</sup> Edition, John Wiley, Inc., 1988, ISBN: 0-471-85068-3.
2. Paul Brokaw, "An IC Amplifier User's Guide to Decoupling, Grounding and Making Things Go Right for a Change", [Analog Devices, AN-202](#).
3. Paul Brokaw, "Analog Signal-Handling for High Speed and Accuracy," [Analog Devices, AN-342](#).
4. Jerald Graeme and Bonnie Baker, "Design Equations Help Optimize Supply Bypassing for Op Amps," *Electronic Design, Special Analog Issue*, June 24, 1996, p.9.
5. Jerald Graeme and Bonnie Baker, "Fast Op Amps Demand More Than a Single-Capacitor Bypass," *Electronic Design, Special Analog Issue*, November 18, 1996, p.9.
6. Jeffrey S. Pattavina, "Bypassing PC Boards: Thumb Your Nose at Rules of Thumb," *EDN*, Oct. 22, 1998, p.149.
7. Howard W. Johnson and Martin Graham, *High-Speed Digital Design*, PTR Prentice Hall, 1993, ISBN-10: 0133957241, ISBN-13: 978-0133957242.
8. Ralph Morrison, *Solving Interference Problems in Electronics*, John Wiley, 1995, ISBN-10: 0471127965, ISBN-13: 978-0471127963
9. C. D. Motchenbacher and J. A. Connelly, *Low Noise Electronic System Design*, John Wiley, 1993, ISBN-10: 0471577421, ISBN-13: 978-0471577423.
10. Mark Montrose, *EMC and the Printed Circuit Board*, Wiley-IEEE Press, 1999, ISBN-10: 078034703X, ISBN-13: 978-0780347038.

11. Bonnie Baker, *A Baker's Dozen: Real Analog Solutions for Digital Designers*, Elsevier/Newnes, 2005, ISBN-10: 0750678194, ISBN-13: 978-0750678193.
12. Jerald Graeme, *Optimizing Op Amp Performance*, McGraw Hill, 1996, ISBN-10: 0070245223, ISBN-13: 978-0070245228.
13. Tamara Schmitz and Mike Wong, [Choosing and Using Bypass Capacitors \(Part 1 of 3\)](#), *Planet Analog*, June 19, 2007.
14. Tamara Schmitz and Mike Wong, [Choosing and Using Bypass Capacitors \(Part 2 of 3\)](#), *Planet Analog*, June 21, 2007.
15. Tamara Schmitz and Mike Wong, [Choosing and Using Bypass Capacitors \(Part 2 of 3\)](#), *Planet Analog*, June 27, 2007.
16. Yun Chase, ["Introduction to Choosing MLC Capacitors for Bypass/Decoupling Applications."](#) AVX Corporation, Myrtle Beach, SC.
17. [Panasonic SP-Capacitor Technical Guide](#), Panasonic, Inc.
18. [National Instruments Multisim™, Analog Devices' Edition](#)
19. Hank Zumbahlen, *Basic Linear Design*, Analog Devices, 2006, ISBN: 0-915550-28-1. Also available as [Linear Circuit Design Handbook](#), Elsevier-Newnes, 2008, ISBN-10: 0750687037, ISBN-13: 978-0750687034. Chapter 12
20. Walter G. Jung, [Op Amp Applications](#), Analog Devices, 2002, ISBN 0-916550-26-5, Chapter 7. Also available as [Op Amp Applications Handbook](#), Elsevier/Newnes, 2005, ISBN 0-7506-7844-5. Chapter 7.
21. Walt Kester, [High Speed System Applications, Analog Devices, 2006, ISBN-10: 1-56619-909-3, ISBN-13: 978-1-56619-909-4, Part 4.](#)

Copyright 2009, Analog Devices, Inc. All rights reserved. Analog Devices assumes no responsibility for customer product design or the use or application of customers' products or for any infringements of patents or rights of others which may result from Analog Devices assistance. All trademarks and logos are property of their respective holders. Information furnished by Analog Devices applications and development tools engineers is believed to be accurate and reliable, however no responsibility is assumed by Analog Devices regarding technical accuracy and topicality of the content provided in Analog Devices Tutorials.

## 实现数据转换器的接地并解开“AGND”和“DGND”的谜团

作者: Walt Kester、James Bryant、Mike Byrne

### 简介

目前的信号处理系统一般需要混合信号器件,例如模数转换器(ADC)、数模转换器(DAC)和快速数字信号处理器(DSP)。由于需要处理宽动态范围的模拟信号,因此拥有高性能ADC和DAC显得更加重要。在恶劣的数字环境内,能否保持宽动态范围和低噪声与采用良好的高速电路设计技术密切相关,包括适当的信号路由、去耦和接地。

过去,一般认为“高精度、低速”电路与所谓的“高速”电路有所不同。对于ADC和DAC,采样(或更新)频率一般用作区分速度标准。不过,以下两个示例显示,实际操作中,目前大多数信号处理IC真正实现了“高速”,因此必须作为此类器件来对待,才能保持高性能。DSP、ADC和DAC均是如此。

所有适合信号处理应用的采样ADC(内置采样保持电路的ADC)均采用具有快速上升和下降时间(一般为数纳秒)的高速时钟工作,即使吞吐量看似较低也必须视为高速器件。例如,中速12位逐次逼近型(SAR)ADC可采用10 MHz内部时钟工作,而采样速率仅为500 kSPS。

$\Sigma$ - $\Delta$ 型ADC具有高过采样比,因此还需要高速时钟。即使是高分辨率、所谓的“低频” $\Sigma$ - $\Delta$ 工业测量ADC(吞吐速率10 Hz至7.5 kHz)也采用5 MHz或更高时钟工作,并且提供高达24位的分辨率(例如ADI公司的AD77xx系列)。

更复杂的是,混合信号IC具有模拟和数字两种端口,因此如何使用适当的接地技术就更加茫然。此外,某些混合信号IC具有相对较低的数字电流,而另一些具有高数字电流。许多情况下,两种类型必须区分对待,才能实现最佳接地。

数字和模拟设计工程师倾向于从不同角度考察混合信号器件,本教程旨在确立适用于大多数混合信号器件的一般接地原则,而不必了解内部电路的具体细节。



## 接地层和电源层

保持低阻抗大面积接地层对目前所有的模拟和数字电路都很重要。接地层不仅用作去耦高频电流(源于快速数字逻辑)的低阻抗返回路径,还能将EMI/RFI辐射降至最低。由于接地层的屏蔽作用,电路受外部EMI/RFI的影响也会降低。

接地层还允许使用传输线路技术(微带线或带状线)传输高速数字或模拟信号,此类技术需要可控阻抗。

由于“母线(buss wire)”在大多数逻辑转换等效频率下具有阻抗,将其用作“地”完全不能接受。例如,#22标准导线具有约20 nH/英寸的电感。由逻辑信号产生的压摆率为10 mA/ns的瞬态电流,在此频率下流经1英寸该导线将形成200 mV的无用压降:

$$\Delta v = L \frac{\Delta i}{\Delta t} = 20 \text{ nH} \times \frac{10 \text{ mA}}{\text{ns}} = 200 \text{ mV.} \quad \text{公式1}$$

对于具有2 V峰峰值范围的信号,此压降会转化为约10%的误差(大约3.5位精度)。即使在全数字电路中,该误差也会大幅降低逻辑噪声裕量。

图1为数字返回电流调制模拟返回电流的典型情况(顶图)。接地返回导线电感和电阻由模拟和数字电路共享,这会造成相互影响,最终产生误差。一个可能的解决方案是让数字返回电流路径直接流向GND REF,如底图所示。这就是“星型”或单点接地系统的基本概念。在包含多个高频返回路径的系统中很难实现真正的单点接地,因为各返回电流导线的物理长度将引入寄生电阻和电感,所以获得低阻抗高频接地就很困难。实际操作中,电流回路必须由大面积接地层组成,以便实现高频电流下的低阻抗。如果无低阻抗接地层,则几乎不可能避免上述共享阻抗,特别是在高频下。

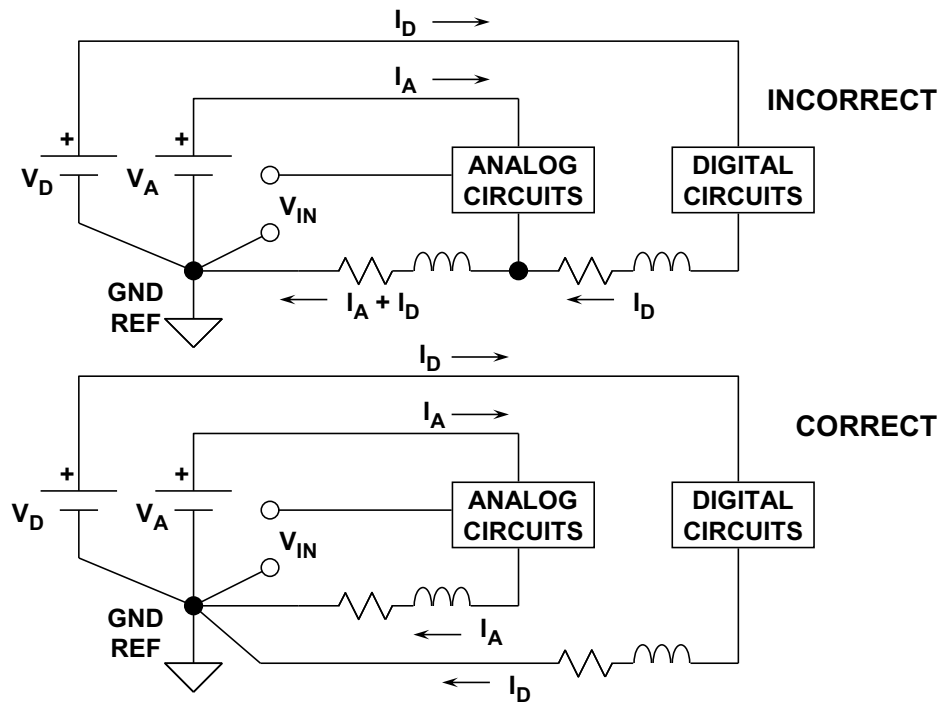


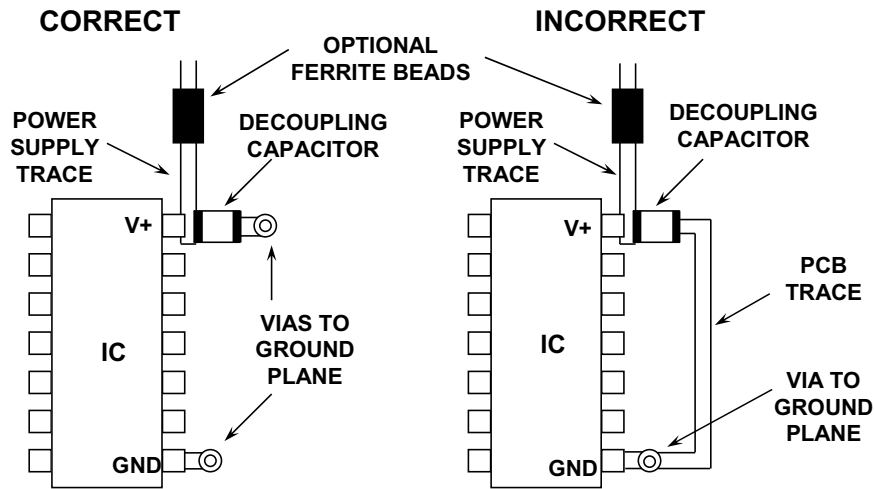
图1：流入模拟返回路径的数字电流产生误差电压

所有集成电路接地引脚应直接焊接到低阻抗接地层，从而将串联电感和电阻降至最低。对于高速器件，不推荐使用传统IC插槽。即使是“小尺寸”插槽，额外电感和电容也可能引入无用的共享路径，从而破坏器件性能。如果插槽必须配合DIP封装使用，例如在制作原型时，个别“引脚插槽”或“笼式插座”是可以接受的。以上引脚插槽提供封盖和无封盖两种版本(AMP产品型号5-330808-3和5-330808-6)。由于使用弹簧加载金触点，确保了IC引脚具有良好的电气和机械连接。不过，反复插拔可能降低其性能。

### 低频和高速去耦

每个电源在进入PC板时，应通过高质量电解电容去耦至低阻抗接地层。这样可以将电源线路上的低频噪声降至最低。在每个独立的模拟级，各IC封装电源引脚需要更局部、仅针对高频的滤波。

图2显示了此技术，图示左侧为正确实施方案，右侧为错误实施方案。左侧示例中，典型的 $0.1\ \mu\text{F}$ 芯片陶瓷电容借助过孔直接连接到PCB背面的接地层，并通过第二个过孔连接到IC的GND引脚上。相比之下，右侧的设置不太理想，给去耦电容的接地路径增加了额外的PCB走线电感，使有效性降低。



**图2：局部高频电源滤波器通过较短的低电感路径(接地层)提供最佳滤波和去耦**

所有高频(即 $\geq 10$  MHz)IC应使用类似于图2的旁路方案实现最佳性能。铁氧体磁珠并非100%必要，但会增强高频噪声隔离和去耦，通常较为有利。这里可能需要验证磁珠永远不会在IC处理高电流时饱和。

请注意，对于一些铁氧体，即使在完全饱和前，部分磁珠也可能变成非线性，所以如果需要功率级在低失真输出下工作，应检查这一点。

### 双面和多层印刷电路板

系统内的每个PCB至少应有完整的一层专用于接地层。理想情况下，双面电路板的一面应完全用于接地层，另一面用于互连。但在实际操作中，这不可能，因为必须去除部分接地层，用于配置信号和电源跨越、过孔和通孔。尽管如此，还是应尽可能节约面积，至少保留75%。完成初始布局后，请仔细检查接地层，确保没有隔离的接地“孤岛”，因为位于接地“孤岛”内的IC接地引脚没有通向接地层的电流返回路径。另外应检查接地层的相邻大面积间有无薄弱连接，否则可能大幅降低接地层有效性。毫无疑问，自动路由电路板布局技术一般不适合混合信号电路板上的布局，因此强烈建议手动干预。

用表面贴装IC高密度集成的系统有大量互连，必须使用多层电路板。这样，至少一整层可专用于接地。简单的4层电路板有内部接地和电源层，外面两层用于表面贴装元件的互连。电源层和接地层彼此相邻可以提供额外的层间电容，有助于电源的高频去耦。大多数系统中，4层也嫌不足，还需要其他层用于信号和电源的路由。

## 多卡混合信号系统

在多卡系统中，降低接地阻抗的最佳方式是使用“母板”PCB作为卡间互连背板，从而为背板提供连续接地层。PCB连接器的引脚应至少有30至40%专用于接地，这些引脚应连接到背板母板上的接地层。最后，实现整体系统接地方案有两种可能途径：

1. 背板接地层可通过多个点连接到机壳接地，从而扩散各种接地电流返回路径。该方法通常称为“多点”接地系统，如图3所示。
2. 接地层可连接到单个系统“星型接地”点(一般位于电源)。

前一个方法最常用于全数字系统，不过，只要数字电路引起的接地电流足够低且扩散到大面积上，也可用于混合信号系统。PC板、背板直到机壳都一直保持低接地阻抗。不过，接地与金属板壳连接的部位必须具有良好的电气接触。这需要自攻金属板螺丝或“咬合”垫圈。机壳材料使用阳极氧化铝时必须特别小心，此时机壳表面用作绝缘体。

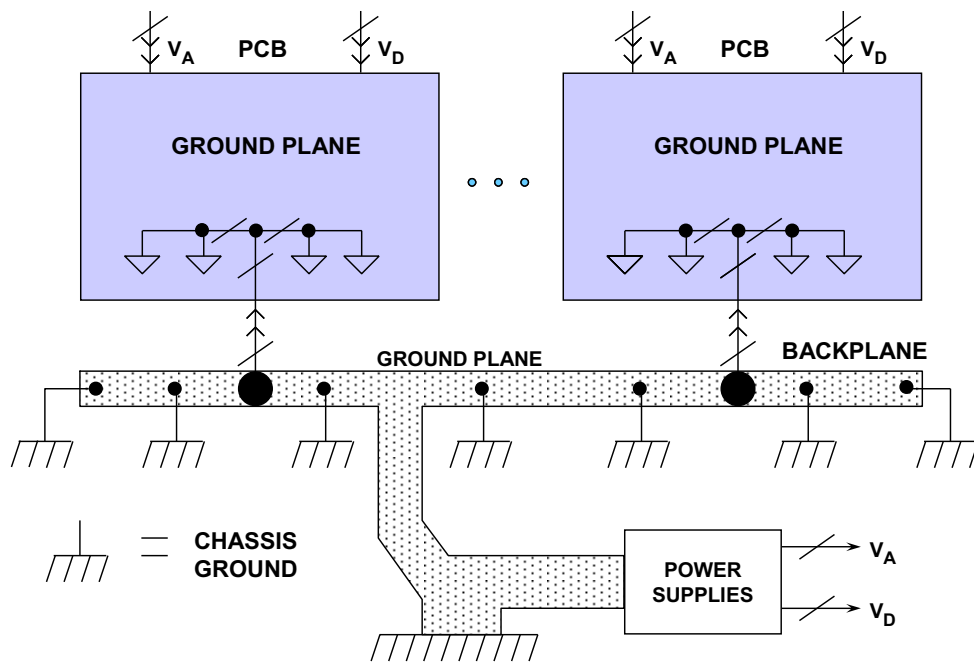


图3：多点接地概念

第二种方法(“星型接地”)通常用于模拟和数字接地系统相互分离的高速混合信号系统,需进一步讨论。

### 分离模拟和数字接地层

在使用大量数字电路的混合信号系统中,最好在物理上分离敏感的模拟元件与多噪声的数字元件。另外针对模拟和数字电路使用分离的接地层也很有利。避免重叠可以将两者间的容性耦合降至最低。分离的模拟和数字接地层通过母板接地层或“接地网”(由连接器接地引脚间的一连串有线互连构成),在背板上继续延伸。如图4所示,两层一直保持分离,直至回到共同的系统“星型”接地,一般位于电源。接地层、电源和“星型”接地间的连接应由多个总线条或宽铜织带构成,以便获得最小的电阻和电感。每个PCB上插入背对背肖特基二极管,以防止插拔卡时两个接地系统间产生意外直流电压。此电压应小于300 mV,以免损坏同时与模拟和数字接地层相连的IC。推荐使用肖特基二极管,它具有低电容和低正向压降。低电容可防止模拟与数字接地层间发生交流耦合。肖特基二极管在约300 mV时开始导电,如果预期有高电流,可能需要数个并联的二极管。某些情况下,铁氧体磁珠可替代肖特基二极管,但会引入直流接地环路,在高精度系统中会很麻烦。

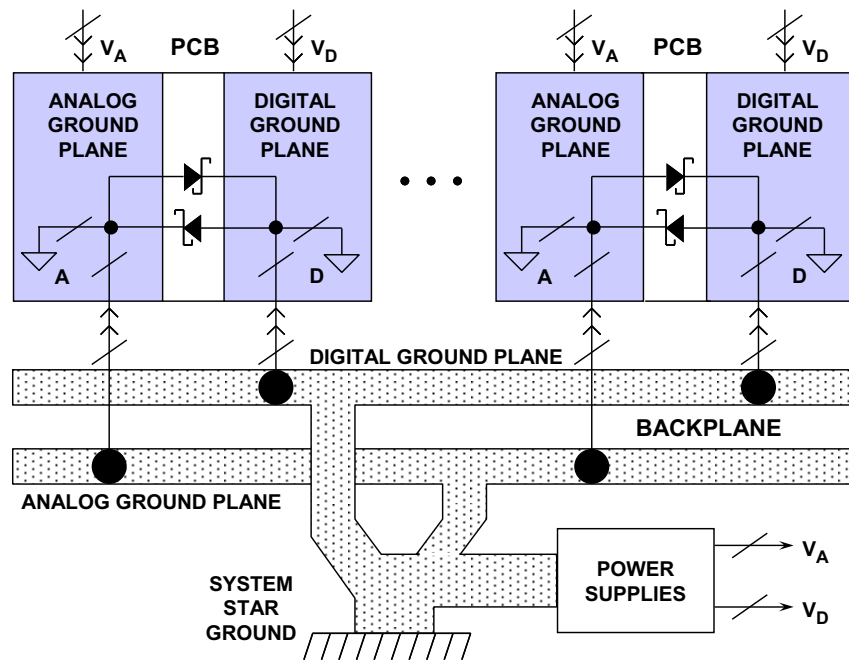


图4: 分离模拟和数字接地层

接地层阻抗必须尽可能低，直至回到系统星型接地。两个接地层间高于300 mV的直流或交流电压不仅会损坏IC，还会导致逻辑门的误触发以及可能的闭锁。

### 具有低数字电流的接地和去耦混合信号IC

敏感的模拟元件，例如放大器和基准电压源，必须参考和去耦至模拟接地层。具有低数字电流的ADC和DAC(和其他混合信号IC)一般应视为模拟元件，同样接地并去耦至模拟接地层。乍看之下，这一要求似乎有些矛盾，因为转换器具有模拟和数字接口，且通常有指定为模拟接地(AGND)和数字接地(DGND)的引脚。图5中的图示有助于解释这一表面困境。

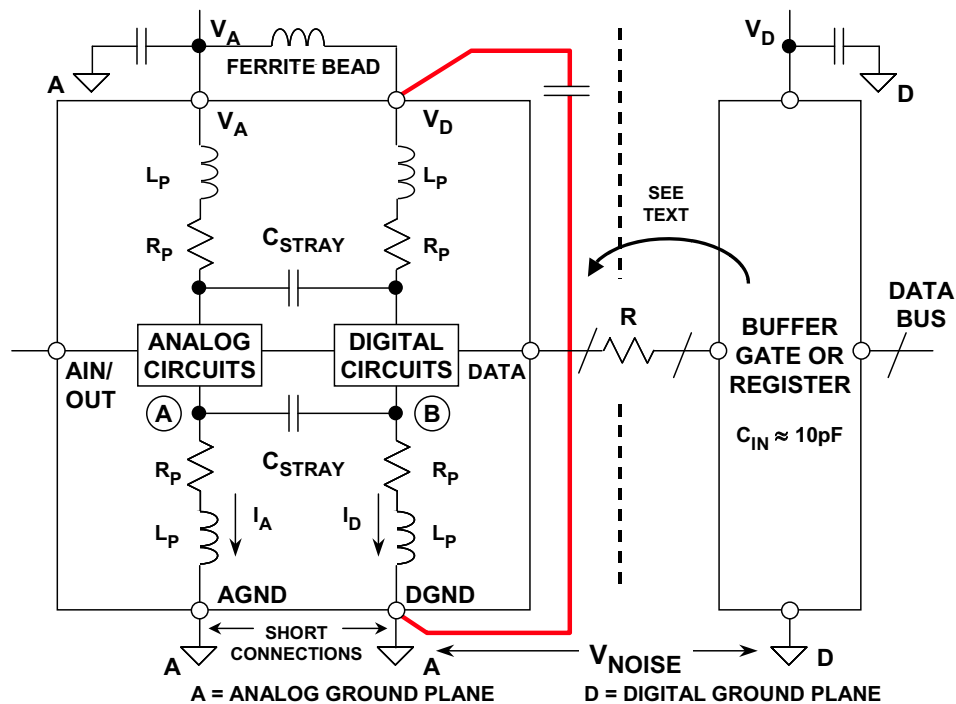


图5: 具有低内部数字电流的混合信号IC的正确接地

同时具有模拟和数字电路的IC(例如ADC或DAC)内部，接地通常保持独立，以免将数字信号耦合至模拟电路内。图5显示了一个简单的转换器模型。将芯片焊盘连接到封装引脚难免产生线焊电感和电阻，IC设计人员对此是无能为力的，心中清楚即可。快速变化的数字电流在B点产生电压，且必然会通过杂散电容 $C_{STRAY}$ 耦合至模拟电路的A点。此外，IC封装每个引脚间约有0.2 pF的杂散电容，同样无法避免！IC设计人员的任务是排除此影响让芯片正常工作。不过，为了防止进一步耦合，AGND和DGND应通过最短的引线在外部连在一起，并接到模拟接地层。DGND连接内的任何额外阻抗将在B点产生更多数字噪声；继而使更多数字噪声通过杂散电容耦合至模拟电路。请注意，将DGND连接到数字接地层会在AGND和DGND引脚两端施加 $V_{NOISE}$ ，带来严重问题！



IC上的“DGND”名称表示此引脚连接到IC的数字地，但并不意味着此引脚必须连接到系统的数字地。

这种安排确实可能给模拟接地层注入少量数字噪声。但这些电流非常小，只要确保转换器输出不会驱动较大扇出(通常不会如此设计)就能降至最低。将转换器数字端口上的扇出降至最低，还能让转换器逻辑转换少受振铃影响，尽可能减少数字开关电流，从而降低耦合至转换器模拟端口的可能。通过插入小型有损铁氧体磁珠，如图5所示，逻辑电源引脚( $V_D$ )可进一步与模拟电源隔离。转换器的内部瞬态数字电流将在小环路内流动，从 $V_D$ 经去耦电容到达DGND(此路径用图中粗实线表示)。因此瞬态数字电流不会出现在外部模拟接地层上，而是局限于环路内。 $V_D$ 引脚去耦电容应尽可能靠近转换器安装，以便将寄生电感降至最低。这些去耦电容应为低电感陶瓷型，通常介于0.01  $\mu\text{F}$ 和0.1  $\mu\text{F}$ 之间。

### 小心对待ADC数字输出

将缓冲寄存器放置在转换器旁(如图5所示)不失为好办法，可将转换器数字线路与数据总线上的噪声隔离开。寄存器也有助于将转换器数字输出上的负载降至最低，同时提供数字输出与数据总线间的法拉第屏蔽。尽管许多转换器具有三态输出/输入，但此隔离寄存器依然代表着一种良好的设计方式。某些情况下，可能需要在模拟接地层上紧靠转换器输出添加额外的缓冲寄存器，以提供更好的隔离。

ADC输出与缓冲寄存器输入间的串联电阻(图5中标示为“R”)有助于将数字瞬态电流降至最低，这些电流可能影响转换器性能。电阻可将数字输出驱动器与缓冲寄存器输入的电容隔离开。此外，由串联电阻和缓冲寄存器输入电容构成的RC网络用作低通滤波器，以减缓快速边沿。

典型CMOS栅极与PCB走线和通孔结合在一起，将产生约10 pF的负载。如果无隔离电阻，1 V/ns的逻辑输出压摆率将产生10 mA的动态电流：

$$\Delta I = C \frac{\Delta v}{\Delta t} = 10 \text{ pF} \times \frac{1 \text{ V}}{\text{ns}} = 10 \text{ mA} . \quad \text{公式2}$$



驱动10 pF的寄存器输入电容时，500 Ω串联电阻可将此输出电流降至最低，并产生约11 ns的上升和下降时间：

$$t_r = 2.2 \times \tau = 2.2 \times R \cdot C = 2.2 \times 500 \Omega \times 10 \text{ pF} = 11 \text{ ns.} \quad \text{公式3}$$

TTL寄存器具有较高输入电容，可略微增加动态开关电流，应避免使用。

缓冲寄存器和其他数字电路应接地并去耦至PC板的数字接地层。请注意，模拟与数字接地层间的任何噪声均可降低转换器数字接口上的噪声裕量。由于数字噪声抗扰度在数百或数千毫伏水平，因此一般不太可能有问题。模拟接地层噪声通常不高，但如果数字接地层上的噪声(相对于模拟接地层)超过数百毫伏，则应采取措施减小数字接地层阻抗，从而将数字噪声裕量保持在可接受的水平。任何情况下，两个接地层之间的电压不得超过300 mV，否则IC可能受损。

另外最好分离模拟与数字电路的电源，即使两者电压相同。模拟电源应当用于为转换器供电。如果转换器具有指定的数字电源引脚( $V_D$ )，应采用独立模拟电源供电，或者如图6所示进行滤波。所有转换器电源引脚应去耦至模拟接地层，所有逻辑电路电源引脚应去耦至数字接地层，如图6所示。

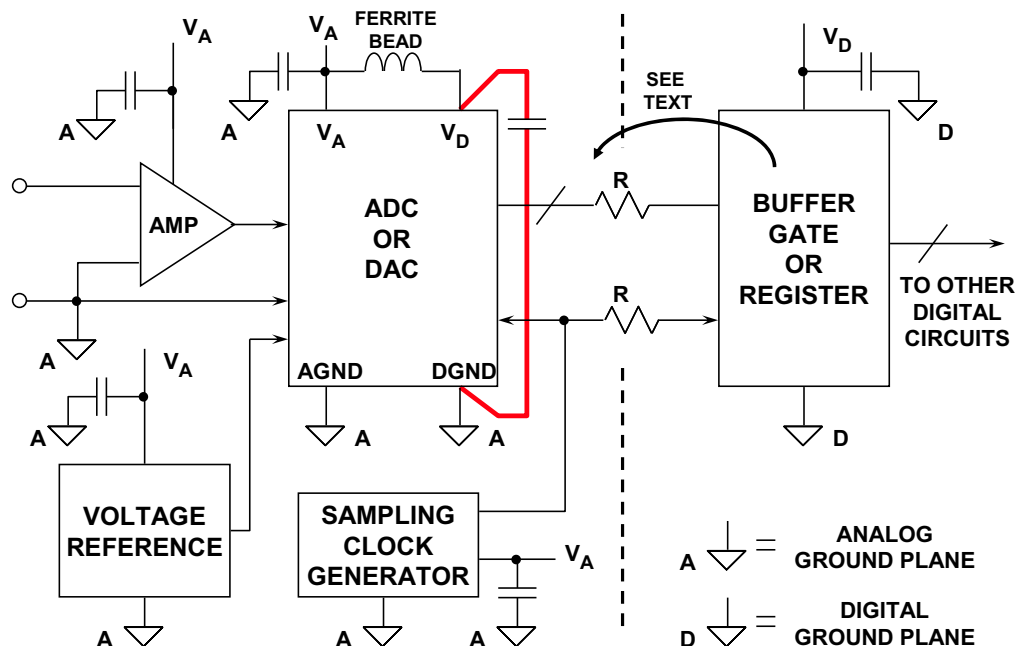


图6: 接地和去耦点

某些情况下，不可能将 $V_D$ 连接到模拟电源。一些较新的高速IC可能采用+5 V电源为模拟电路供电，而采用+3 V电源为数字接口供电，以便与3 V逻辑接口。这种情况下，IC的+3 V引脚应直接去耦至模拟接地层。另外建议将铁氧体磁珠与电源走线串联，以便将引脚连接到+3 V数字逻辑电源。

采样时钟产生电路应与模拟电路同样对待，也接地并深度去耦至模拟接地层。采样时钟上的相位噪声会降低系统SNR，下文将予以讨论。

### 采样时钟考量

在高性能采样数据系统中，应使用低相位噪声振荡器产生ADC(或DAC)采样时钟，因为采样时钟抖动会调制模拟输入/输出信号，并提高噪声和失真底。采样时钟发生器应与高噪声数字电路隔离开，同时接地并去耦至模拟接地层，与处理运算放大器和ADC一样。

采样时钟抖动对ADC信噪比的(SNR)影响可用以下公式近似计算：

$$\text{SNR} = 20 \log_{10} \left[ \frac{1}{2\pi f t_j} \right], \quad \text{公式4}$$

其中SNR是完美无限分辨率ADC的SNR，此时唯一的噪声源来自均方根采样时钟抖动 $t_j$ 。注意，以上公式中的 $f$ 是模拟输入频率。通过简单示例可知，如果 $t_j = 50 \text{ ps rms}$ ， $f = 100 \text{ kHz}$ ，则 $\text{SNR} = 90 \text{ dB}$ ，相当于约15位的动态范围。时钟抖动对SNR的这一影响在[教程MT-007](#)中有详细论述。

应注意，以上示例中的 $t_j$ 是外部时钟抖动和内部ADC时钟抖动(称为孔径抖动)的方和根(rss)值。不过，在大多数高性能ADC中，内部孔径抖动与采样时钟上的抖动相比可以忽略。

理想情况下，采样时钟振荡器应参考分离接地系统中的模拟接地层。不过由于系统限制，此方法未必可行。许多情况下，采样时钟必须从数字接地层上产生的更高频率、多用途系统时钟获得，接着必须从数字接地层上的原点传递至模拟接地层上的ADC。两层之间的接地噪声直接添加到时钟信号，并产生过度抖动。抖动可造成信噪比降低，还会产生干扰谐波。

通过使用图7所示的小RF变压器或高速差分驱动器和接收机IC，发射采样时钟信号作为差分信号，可在某种程度上解决此问题。许多高速ADC具有差分采样时钟输入，更便于采用此方法。如果使用有源差分驱动器和接收机，应选择ECL、低电平ECL或LVDS，从而将相位抖动降至最低。在+5 V单电源系统中，ECL逻辑可连接在地与+5 V(PECL)电源之间，并将输出交流耦合至ADC采样时钟输入。不管是哪种情况，原始主系统时钟必须从低相位噪声振荡器产生，而不是DSP、微处理器或微控制器的时钟输出。

为了促进系统时钟管理，ADI公司提供一系列[时钟产生和分配产品](#)和全套[锁相环\(PLL\)](#)。

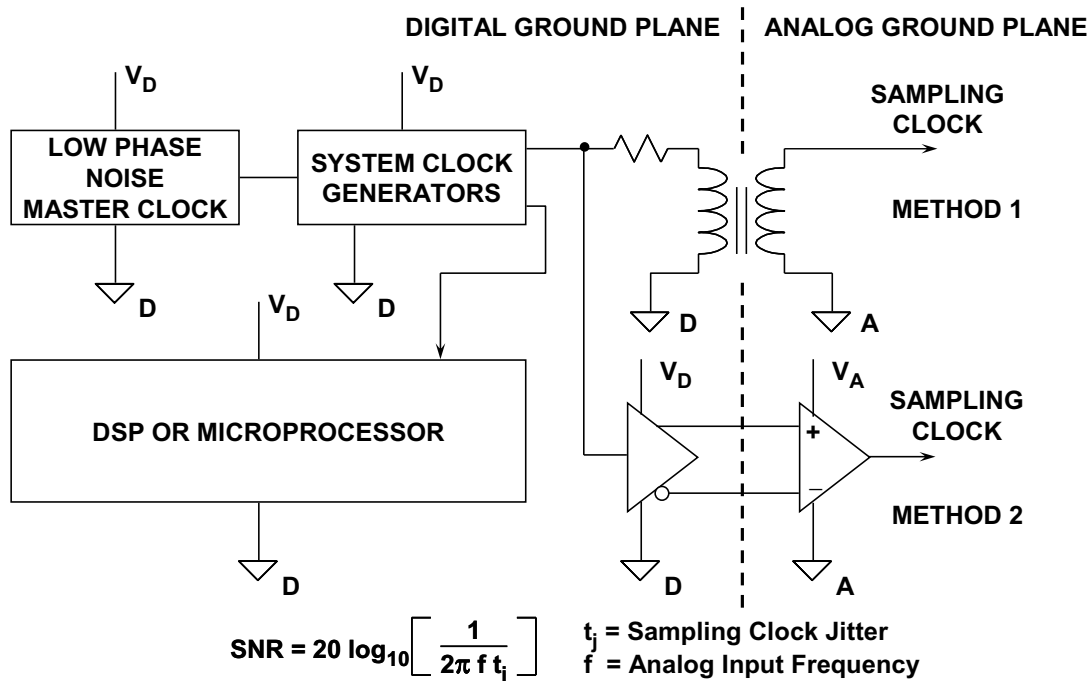


图7: 从数模接地层进行采样时钟分配

### 混合信号接地的困惑根源：对多卡系统应用单卡接地概念

大多数ADC、DAC和其他混合信号器件数据手册是针对单个PCB讨论接地，通常是制造商自己的评估板。将这些原理应用于多卡或多ADC/DAC系统时，就会让人感觉困惑茫然。通常建议将PCB接地层分为模拟层和数字层。另外建议将转换器的AGND和DGND引脚连接在一起，并且在同一点连接模拟接地层和数字接地层，如图8所示。这样就基本在混合信号器件上产生了系统“星型”接地。

所有高噪声数字电流通过数字电源流入数字接地层，再返回数字电源；与电路板敏感的模拟部分隔离开。系统星型接地结构出现在混合信号器件中模拟和数字接地层连接在一起的位置。该方法一般用于具有单个PCB和单个ADC/DAC的简单系统，通常不适合多卡混合信号系统。在不同PCB(或适用情况的相同PCB上)上具有数个ADC或DAC的系统中，模拟和数字接地层在数个点连接，使得建立接地环路成为可能，而单点“星型”接地系统则不可能。鉴于以上原因，此接地方法不适用于多卡系统，上述方法应当用于具有低数字电流的混合信号IC。

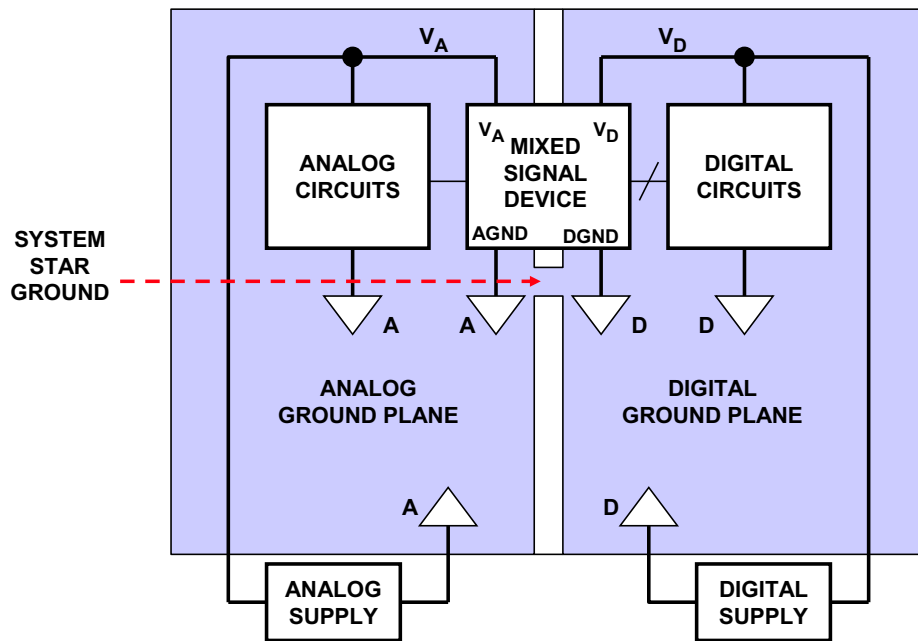


图8：混合信号IC接地：单个PC板(典型评估/测试板)

### 总结：多卡系统中具有低数字电流的混合信号器件的接地

图9总结了上述具有低数字电流的混合信号器件的接地方法。由于小数字瞬态电流流入去耦电容 $V_D$ 与DGND(显示为粗实线)间的小环路，模拟接地层未被破坏。混合信号器件适合作为模拟元件的所有应用。接地层间的噪声 $V_N$ 会降低数字接口上的噪声裕量，但如果使用低阻抗数字接地层保持在300 mV以下，且一直回到系统星型接地，则一般无不利影响。

不过， $\Sigma$ - $\Delta$ 型ADC、编解码器和DSP等具有片内模拟功能的混合信号器件数字化密集度越来越高。再加上其他数字电路，使数字电流和噪声越来越大。例如， $\Sigma$ - $\Delta$ 型ADC或DAC含有复杂的数字滤波器，会大量增加器件内的数字电流。上述方法依靠 $V_D$ 与DGND间的去耦电容，将数字瞬态电流隔离在小环路内。不过，如果数字电流太大，且具有直流或低频成分，去耦电容可能因过大而变得不可行。在 $V_D$ 与DGND间的环路外流动的任何数字电流必须流经模拟接地层。这可能会降低性能，特别是在高分辨率系统中。

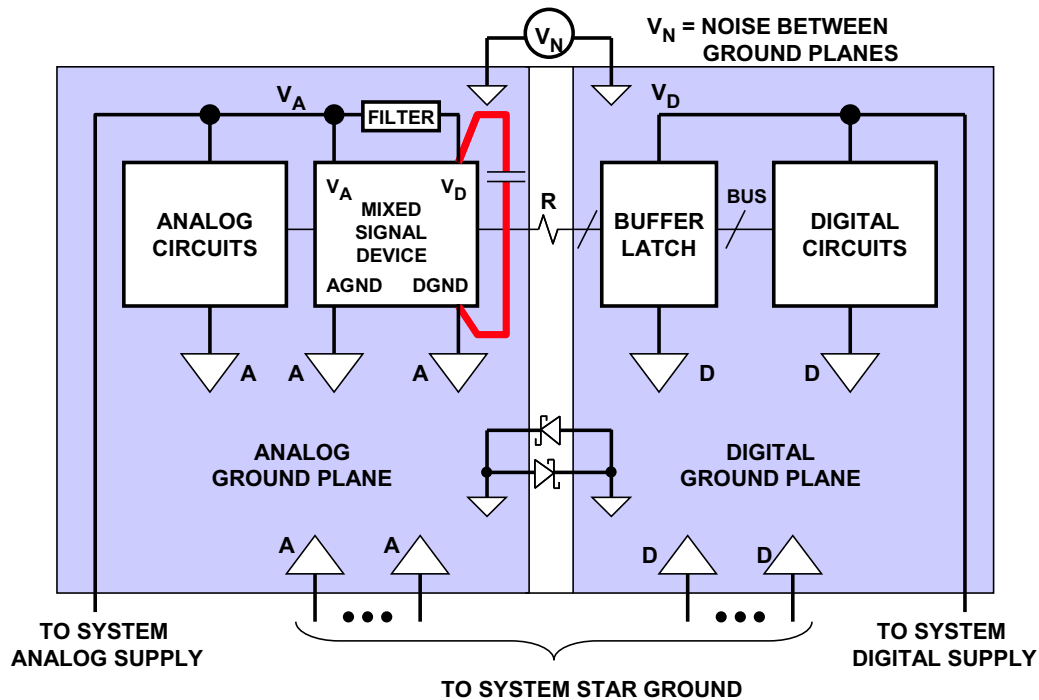


图9：具有低内部数字电流的混合信号IC的接地：多个PC板

要预测流入模拟接地层的多大数字电流会让系统无法接受很困难。目前我们只能推荐可能提供较佳性能的替代接地方法。

**总结：多卡系统中具有高数字电流的混合信号器件的接地(请谨慎使用本方法！)**

图10中显示了适合高数字电流混合信号器件的替代接地方法。混合信号器件的AGND连接到模拟接地层，而DGND连接到数字接地层。数字电流与模拟接地层隔离开，但两个接地层之间的噪声直接施加于器件的AGND与DGND引脚间。为了成功实施本方法，混合信号器件内的模拟和数字电路必须充分隔离。

AGND与DGND引脚间的噪声不得过大，以免降低内部噪声裕量或损坏内部模拟电路。

图10显示可选用连接模拟和数字接地层的肖特基二极管(背对背)或铁氧体磁珠。肖特基二极管可防止两层两端产生大的直流电压或低频电压尖峰。如果这些电压超过300 mV，由于是直接出现在AGND与DGND引脚之间，可能会损坏混合信号IC。作为背对背肖特基二极管的备选器件，铁氧体磁珠可在两层间提供直流连接，但在高于数MHz的频率下，由于铁氧体磁珠变为电阻，会导致隔离。这可以保护IC不受AGND与DGND间直流电压的影响，但铁氧体磁珠提供的直流连接可能引入无用的直流接地环路，因此可能不适合高分辨率系统。

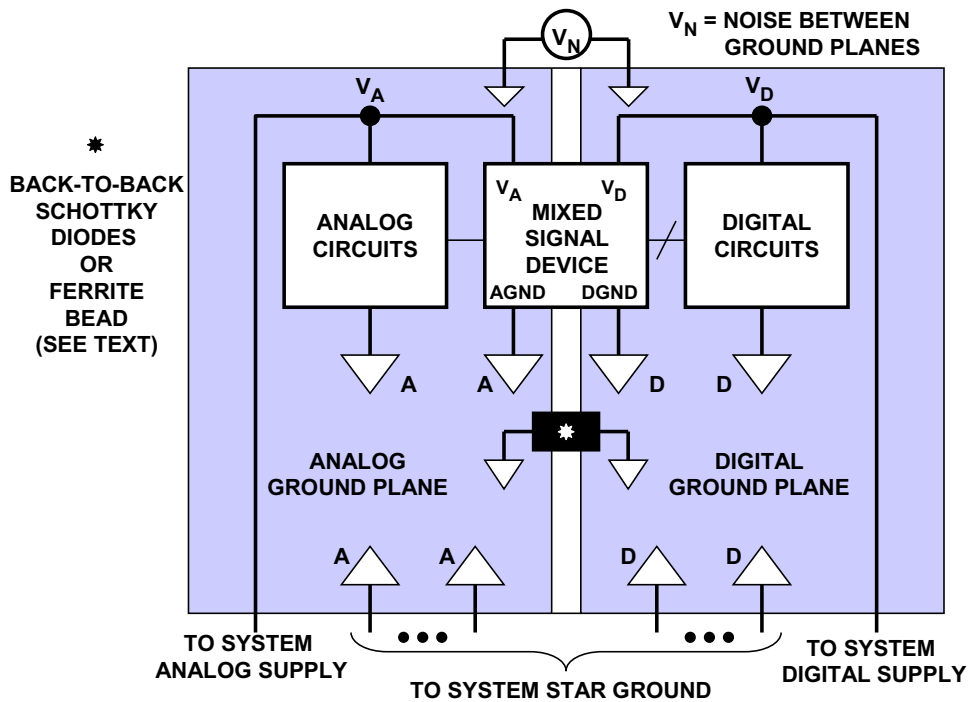


图10：具有高数字电流的混合信号IC的替代接地法：多个PC板

AGND与DGND引脚在具有高数字电流的特殊IC内分离时，必要时应设法将其连接在一起。通过跳线和/或带线选项，可以尝试两种方法，看看哪一种提供最佳的系统整体性能。

### 接地总结

没有单一一种接地方法能始终保证最佳性能！本节根据所考虑的特定混合信号器件特性提出了几种可能的选项。但在实施初始PC板布局时，提供尽可能多的选项会很有帮助。



PC板必须至少有一层专用于接地层！初始电路板布局应提供非重叠的模拟和数字接地层，如果需要，应在数个位置提供焊盘和过孔，以便安装背对背肖特基二极管或铁氧体磁珠。提供焊盘和过孔也极为重要，必要时可以使用跳线将模拟和数字接地层连接在一起。目前，预测“多点”(单一接地层)还是“星型”接地(分离模拟和数字接地层)方法能提供最佳整体系统性能还很困难；因此，可能需要使用跳线对最终PC板做一些实验。

如有疑问，最好先分离模拟和数字接地层，以后再用跳线连接，而不要一开始就使用单一接地层，随后又尝试分离！

### 混合信号系统的一些通用PC板布局指南

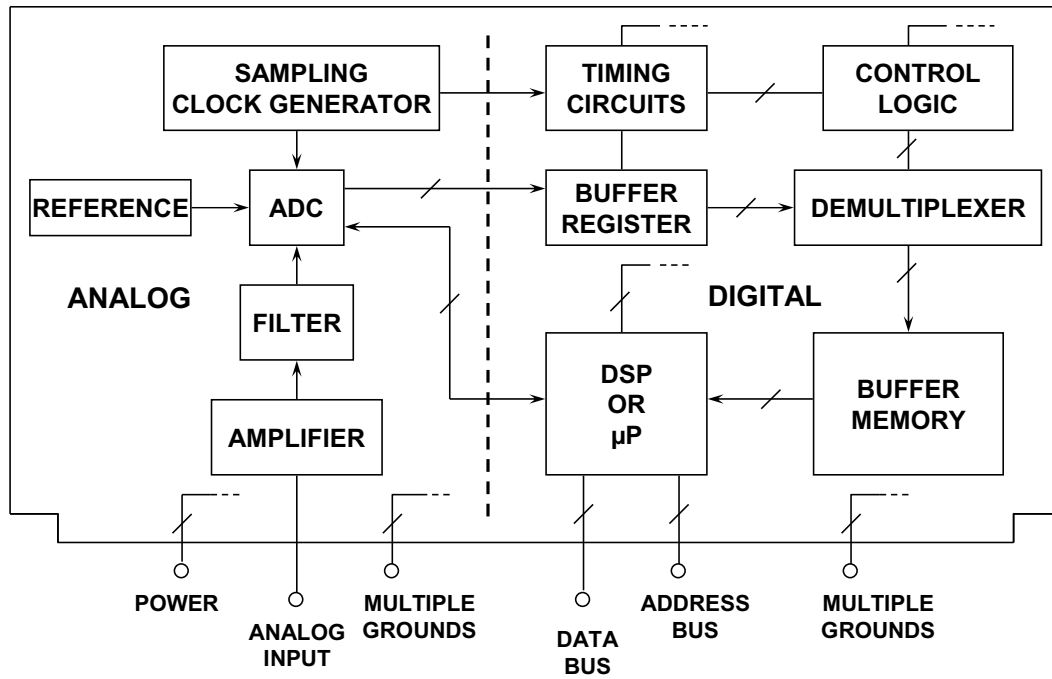
很显然，多关注系统布局并防止不同信号彼此干扰，可以将噪声降至最低。高电平模拟信号应与低电平模拟信号隔离开，两者均应远离数字信号。我们曾经在波形采样和重建系统中发现，采样时钟(数字信号)与模拟信号一样易受噪声影响，同时与数字信号一样易于产生噪声，因此必须与模拟和数字系统都隔离开。如果在时钟分配中使用时钟驱动器封装，应仅有一个频率时钟通过单个封装。在相同封装内的不同频率时钟间共享驱动器将产生过度抖动和串扰，并降低性能。

在敏感信号穿过的地方，接地层可发挥屏蔽作用。图11显示了数据采集电路板的良好布局，其中所有敏感区域彼此隔离开，且信号路径尽量短。虽然实际布局不太可能如此整洁，但基本原则仍然适用。

执行信号和电源连接时有许多要点需要考虑。首先，连接器是系统中所有信号传输线必须并行的几个位置之一，因此它们必须与接地引脚分开(形成法拉第屏蔽)，以减少其间的耦合。

多接地引脚非常重要还有另一原因：可以降低电路板与背板间结点的接地阻抗。对于新电路板，PCB连接器单一引脚的接触电阻很低(10 mΩ水平)，随着电路板变旧，接触电阻可能升高，电路板性能会受影响。因此通过分配额外PCB连接器引脚来增加接地连接很有必要(PCB连接器上所有引脚中约30至40%应为接地引脚)。出于同样的理由，每个电源连接应有数个引脚，当然数量不必像接地引脚一样多。





**图11：在PCB布局中应将模拟和数字电路分开**

ADI公司和其他高性能混合信号IC制造商提供评估板来协助客户进行初始评估和布局。ADC评估板一般包含片上低抖动采样时钟振荡器、输出寄存器和适当的电源和信号连接器。另外还有额外的支持电路，例如ADC输入缓冲放大器和外部基准电压。

评估板布局已针对接地、去耦和信号路由进行优化，可用作系统内ADC PCB布局的模型。实际评估板布局通常由ADC制造商以电脑CAD文件形式(Gerber文件)提供。许多情况下，器件数据手册都会提供各层的布局。

## 参考文献

1. Ralph Morrison, *Grounding and Shielding Techniques*, 4<sup>th</sup> Edition, John Wiley, Inc., 1998, ISBN: 0471245186.
2. Henry W. Ott, *Noise Reduction Techniques in Electronic Systems*, 2<sup>nd</sup> Edition, John Wiley, Inc., 1988, ISBN: 0-471-85068-3.
3. Paul Brokaw, "An IC Amplifier User's Guide to Decoupling, Grounding and Making Things Go Right for a Change", Analog Devices Application Note [AN-202](#).
4. Paul Brokaw and Jeff Barrow, "Grounding for Low- and High-Frequency Circuits," Analog Devices Application Note [AN-345](#).
5. Howard W. Johnson and Martin Graham, *High-Speed Digital Design*, PTR Prentice Hall, 1993, ISBN: 0133957241.
6. Ralph Morrison, *Solving Interference Problems in Electronics*, John Wiley, 1995.
7. Crystal Oscillators: MF Electronics, 10 Commerce Drive, New Rochelle, NY, 10801, 914-576-6570.
8. Mark Montrose, *EMC and the Printed Circuit Board*, IEEE Press, 1999 (IEEE Order Number PC5756).
9. John Ardizzoni, "[A Practical Guide to High-Speed Printed-Circuit-Board Layout.](#)" *Analog Dialogue*, Vol. 39, Sept. 2005.
10. Grant, Doug and Scott Wurcer, "Avoiding Passive-Component Pitfalls," Analog Devices Application Note [AN-348](#)
11. Walt Kester, [Analog-Digital Conversion](#), Analog Devices, 2004, ISBN 0-916550-27-3, Chapter 9. Also available as [The Data Conversion Handbook](#), Elsevier/Newnes, 2005, ISBN 0-7506-7841-0, Chapter 9.

Copyright 2009, Analog Devices, Inc. All rights reserved. Analog Devices assumes no responsibility for customer product design or the use or application of customers' products or for any infringements of patents or rights of others which may result from Analog Devices assistance. All trademarks and logos are property of their respective holders. Information furnished by Analog Devices applications and development tools engineers is believed to be accurate and reliable, however no responsibility is assumed by Analog Devices regarding technical accuracy and topicality of the content provided in Analog Devices Tutorials.

## 工程经理初次使用Multisim

作者：佚名，ADI公司

### 引言

本文以第一人称讲述ADI公司经理初次使用NI Multisim™ 器件评估软件——Analog Devices™版仿真工具设计简单运算放大器的过程。

### 简介

作为一名在模拟电路领域有着几十年经验的工程经理，我迄今为止还没有用过SPICE或其它仿真软件，说起来有些惭愧。最近，我在电脑上安装了Analog Devices版的Multisim，下面我要尝试能否设计出一个简单可行的运算放大器电路。我锁好办公室大门，打开Multisim，开始探索模拟仿真世界。

### 开始使用

当然，Multisim的“Help(帮助)”菜单下有各种指南；但是，和大多数工程师一样，我决定跳过这一步，直接进入程序。难度会有多大？

打开程序，先看一下菜单。不妨先从“Place(放置)”菜单项(见图1)入手。

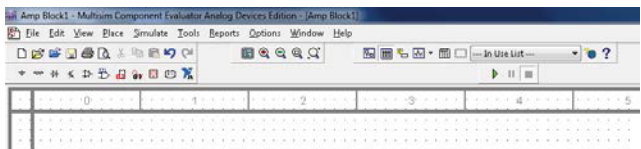


图1. Multisim菜单工具栏

单击“Place(放置)”后，选择“Component(器件)”菜单(见图2)，现在可以选择运算放大器了，我选中了OP282GP。

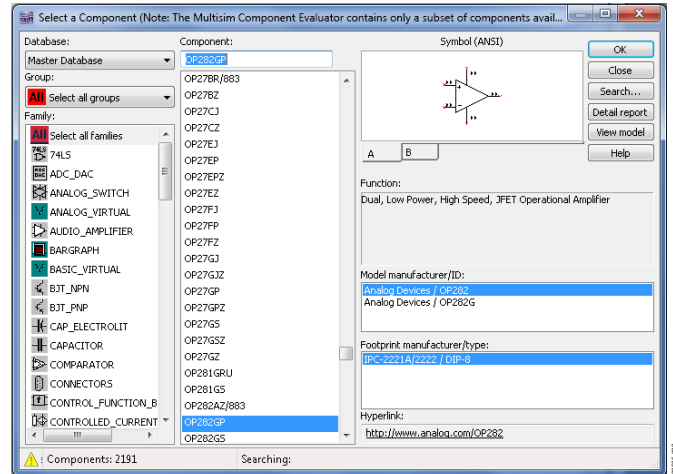


图2 选择运算放大器

### 选择器件

现在，选择屏幕上显示的其中一个字母(A或B)(见图3)。这些字母似乎是表示放大器的不同通道(虽然这是一个双通道运算放大器)；我选择A。目前为止，一切顺利。接下来，会弹出另一个窗口，显示更多可选的同一器件。单击“Cancel(取消)”，因为现在选择一项已经足够了。屏幕最后显示图4的画面。

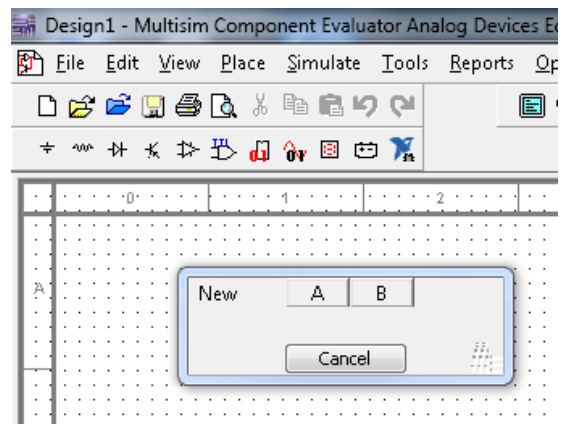


图3. 去除双运算放大器中的第二个运算放大器

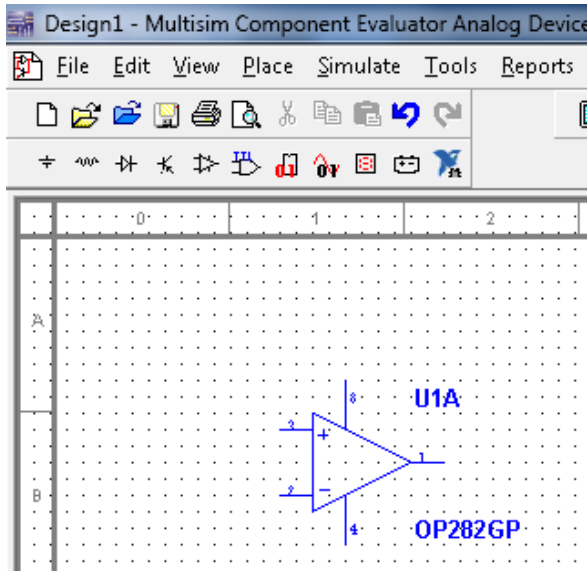


图4. 准备接受更多连接的单运算放大器

接着，我注意到有很多方法可以放置器件。在网格的任意位置右击，就会显示一个窗口，可以轻松“Select a Component(选择一个器件)”，如图2所示。

现在可以考虑保存了。我保存好文件，将电路命名为AMP Block1。

## 连接电源

看着屏幕上显示的器件，我决定连接电源。我没有看到能提供电源的菜单，不过后来我发现可以通过“Component(器件)”菜单完成。

右击菜单栏时，跳出一个下拉框，可以选择电源器件。我不大清楚怎么操作，就把光标移到可能的电源上。一个是“数字地”，另一个是“地”。我知道需要模拟地，于是就选择了“地”。然后放在图中。

接下来，选择VCC，再单击放大器的引脚8；它会自动连接。VEE应该也是这样操作。确实如此，但是放在了引脚4线路上方，看起来有些别扭(见图5)。把它拖到下方后，看着顺眼些(见图6)。电源上已经有了+和- 5 V。有了这些值后，器件就可以工作了，于是我暂时将其搁置。

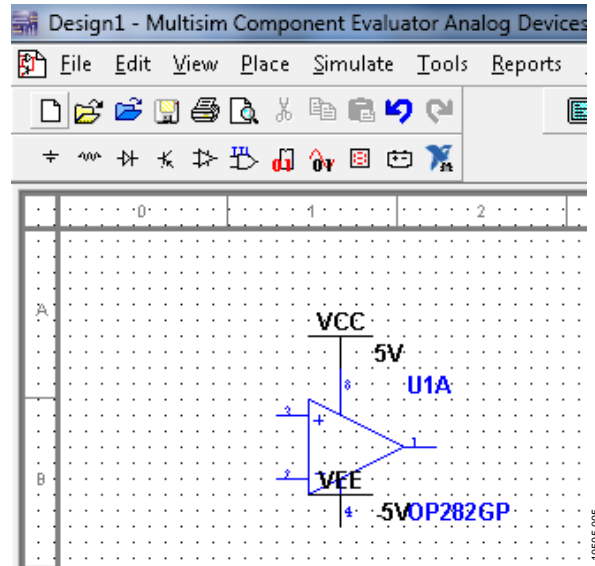


图5. 第一次尝试连接VEE

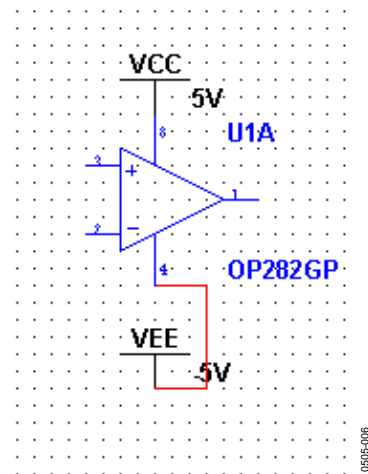


图6. 拖放VEE，使得看着顺眼些

## 增加电阻

我所关注的是放大器，反相增益放大器就比较简单；下面我要增加一些电阻。同样，还是用之前选择放大器的“Place(放置)”菜单。但是，我发现屏幕的左侧有各种器件可供选择。我从“Family(系列)”中选择“RESISTOR(电阻)”(见图7)，阻值选择“10 k $\Omega$ ”，然后单击“OK(确认)”，放置电阻，连接至引脚2。菜单自动弹出，我在同一个节点上又放置了另一个10 k $\Omega$ 的电阻。菜单又一次弹出。虽然这是一个JFET运算放大器，但是同相输入还需要一个电阻，我选择了一个5 k $\Omega$ 的电阻，本来没有它我可以做得更好。稍后可以检查这么做是否增加了噪声，究竟是不是正确的决定。

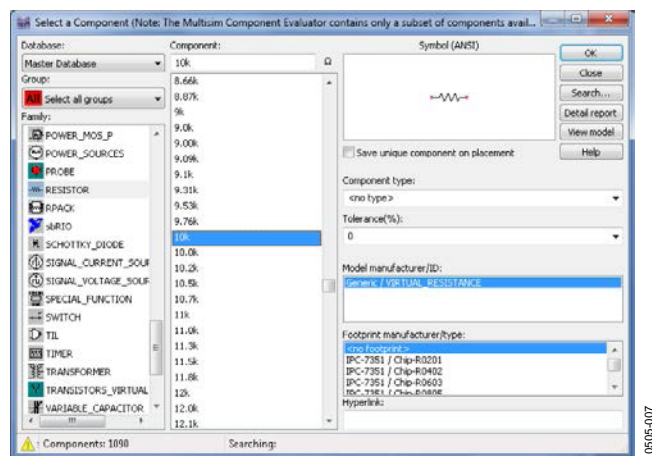


图7. 选择电阻值

现在可以将5 k $\Omega$ 电阻接地。单击该电阻，将其拖到接地符号上。连接成功。如果想要旋转电阻，可以选择“Control-R(控制电阻)”。10 k $\Omega$ 反馈电阻位于放大器上方，于是我把它拖低一些。现在我发现它并未连接到输入端，无法连接了。看了一下菜单之后，我决定依次选择“Place(放置)”和“Junction(结点)”。试了几次后，我终于将三个器件连接到同一个节点(见图8)。

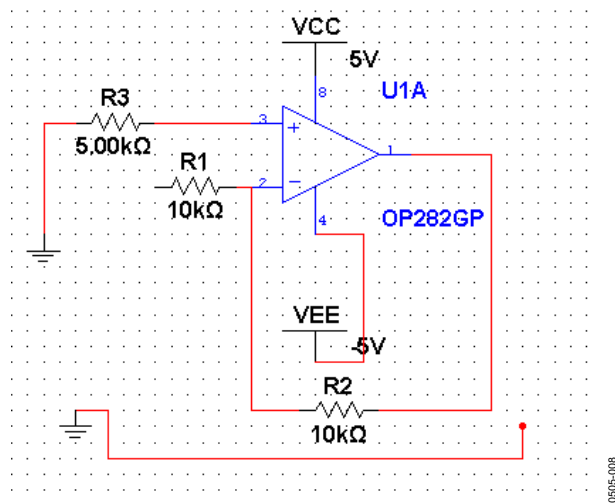


图8. 所有电阻均放置到位，但某些连接缺失

现在，我觉得离成功不远了。我准备增加另一个结点，这样就有了输出。

## 完成

做完这些以后，差不多快完成了。我不知道如何连接输入和输出，也不知道如何进行其它操作。于是我决定切换“Simulation(仿真)”开关。窗口底部出现了提示(见图9)。

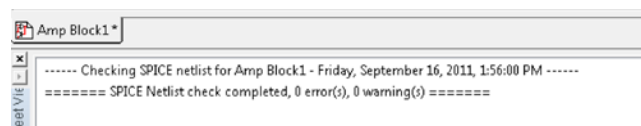


图9. 电路中无错误

情况还算不错，没有出现错误。我觉得需要有输入，还需要有一些设置来测量输出。

浏览了一遍菜单后，我依次选择“Place > Component > Sources(放置 > 器件 > 源)”，然后选择“SIGNAL\_VOLTAGE\_SOURCES”。接着选择“AC\_VOLTAGE”，把它连接到10 k $\Omega$ 输入电阻。

接下来，需要想办法查看输出。在选项“Simulate > Instruments(仿真 > 仪器)”中，我找到了示波器。我选中示波器，然后将一个通道连接至AC\_VOLTAGE的输出，将另一个通道连接至放大器的输出。将一个示波器通道接地。后来，我发现大多数情况下不需要这么做。现在可以试一下了(见图10)。

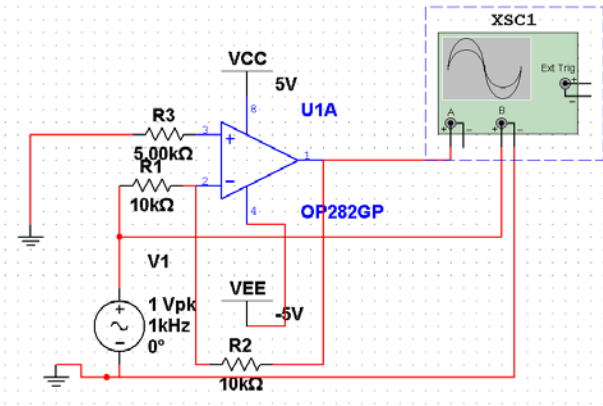


图10. 将输入源和示波器连接至输出

单击右上方的“Simulate(仿真)”按钮时，没有任何反应。

于是，我双击示波器，竟然成功了(见图11)!

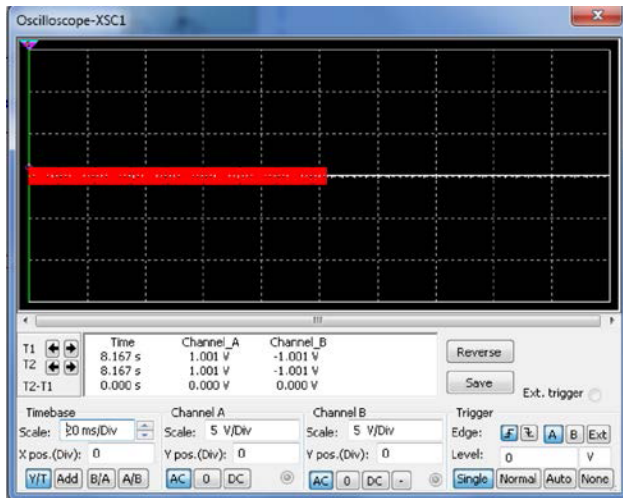


图11. 示波器显示

我迅速更改刻度，得到了图12所示的结果。

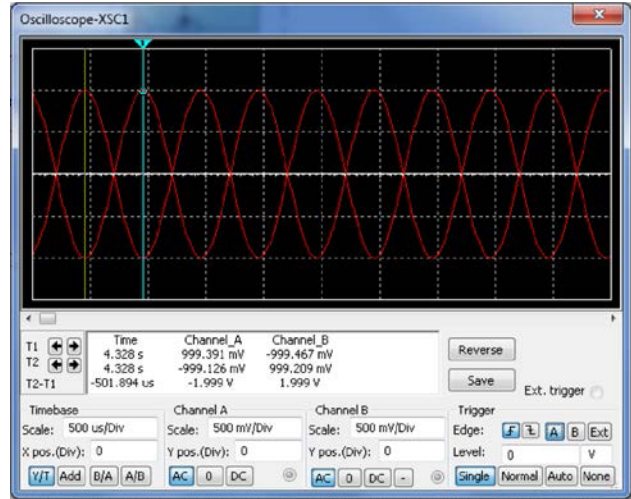


图12. 更改刻度后的示波器显示

第一次仿真完成。虽然只是一个简单的反相放大器，却是将来进行更多仿真的开始。我可以轻松设计出一个滤波器了。另外，我可能还会试着检查应用中的噪声是否足够低。至少，现在我可以打开办公室门了。

## 修订历史

2012年1月—修订版0：初始版



## 微带线和带状线设计

### 简介

人们撰写了大量文章来阐述如何端接PCB走线特性阻抗以避免信号反射。但是，妥善运用传输线路技术的时机尚未说清楚。

下面总结了针对逻辑信号的一条成熟的适用性指导方针。

当PCB走线单向传播延时等于或大于施加信号上升/下降时间(以最快边沿为准)时端接传输线路特性阻抗。

例如，在 $\epsilon_r = 4.0$ 介电质上2英寸微带线的延时约270 ps。严格贯彻上述规则，只要信号上升时间不到~500 ps，端接是适当的。

更保守的规则是使用2英寸(PCB走线长度)/纳秒(上升/下降时间)规则。如果信号走线超过此走线长度/速度准则，则应使用端接。

例如，如果高速逻辑上升/下降时间为5 ns，PCB走线等于或大于10英寸(其中测量长度包括曲折线)，就应端接其特性阻抗。

在模拟域内，必须注意，运算放大器和其他电路也应同样适用这条2英寸/纳秒指导方针，以确定是否需要传输线路技术。例如，如果放大器必须输出最大频率 $f_{\max}$ ，则等效上升时间 $t_r$ 和这个 $f_{\max}$ 相关。这个限制上升时间 $t_r$ 可计算如下：

$$t_r = 0.35/f_{\max} \quad \text{等式 1}$$

然后将 $t_r$ 乘以2英寸/纳秒来计算最大PCB走线长度。例如，最大频率100 MHz对应于3.5 ns的上升时间，所以载送此信号的7英寸或以上走线应视为传输线路。

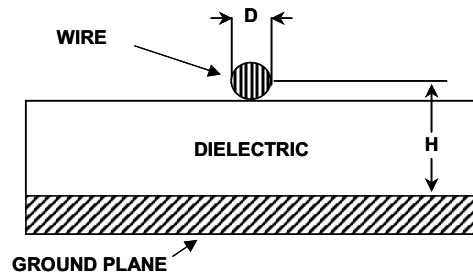
### PCB板上受控阻抗走线的设计

在受控阻抗设计中，可以采用多种走线几何形状，既可与PCB布局图合二为一，也可与其相结合。在下面的讨论中，基本模式遵循IPC标准2141A的规定(见参考文献1)。



请注意，下面的图示中将使用术语“接地层”。需要了解的是，该接地层实际上是一个大面积、低阻抗的参考层。在实践中，可能是一个接地层或电源层，假定二者的交流电位均为零。

首先是简单的平面上布线形式的传输线路，也称微带线。图1所示为横截面视图。这类传输线路可能是实验板中使用的信号线。其构成非常简单，一条分立的绝缘线以固定间距分布于接地层上。介电质既可能是线材的绝缘层，也可能是该绝缘层与空气的结合体。



**图1：一种阻抗既定的微带线传输线路  
由一条分布于接地层的绝缘线形成**

该线路的阻抗(单位：欧姆)可以用等式2估算。其中，D为导体直径，H为线材在接地层上的间距， $\epsilon_r$ 为介电常数。

$$Z_0(\Omega) = \frac{60}{\sqrt{\epsilon_r}} \ln \left[ \frac{4H}{D} \right]. \quad \text{等式 2}$$

对于与PCB相融合的图形，有多种几何模型可供选择，分为单端和差分两类。这些在IPC标准2141A(见参考文献1)中有详细说明，这里对两个常见示例略加说明。

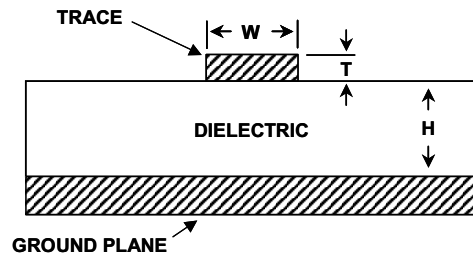
在开始进行任何基于PCB传输线路设计时，必须知道，有大量的等式都声称适用于此类设计。此时，一个极其重要的问题就是，“哪些等式是精确的呢？”不幸的是，没有一个等式是完全精确的！所有现有等式都是近似值，因而，其精度不尽相同，取决于具体情况。最知名也是引用最多的是参考文献1中给出的等式，但是，即使这些等式也存在一些应用问题。

参考文献2针对不同几何图形，在试验PCB样品上对参考文献1中的等式进行了评估。结果发现，预测精度因目标阻抗而异。下面引述的等式均来自参考文献1，这里只是作为设计的起点，实际设计时，还需要进一步的分析、测试和进行设计验证。原则就是，要仔细研究，谨慎面对PCB走线阻抗等式。

## 微带线PCB传输线路

对于其中一面为接地层的简单双面PCB设计，可以在另一面设计一条信号走线以控制阻抗。这种几何图形被称为表面微带，简称微带。

图2中的双层PCB横截面视图展示了这种微带几何图形。



**图2：一种阻抗既定微带传输线路由一条分布于接地层、采用适当几何图形的PCB走线形成**

对于给定的PCB基板和铜重量，需要注意的是，W(信号走线宽度)以外的所有参数都是事先确定的。因而，可用等式3来设计一种PCB走线，以匹配电路要求的阻抗。若信号走线宽W、厚T，且由介电常数为 $\epsilon_r$ 的PCB电介质以距离H与接地层(或电源层)相分离，则其特性阻抗为：

$$Z_0(\Omega) = \frac{87}{\sqrt{\epsilon_r + 1.41}} \ln \left[ \frac{5.98H}{(0.8W + T)} \right] \quad \text{等式 3}$$

请注意，在这些表达式中，测量值均为常用单位(mil)。

这些传输线路不但有特性阻抗，也有特性电容。其计算单位为pF/in，如等式4所示。

$$C_0(\text{pF/in}) = \frac{0.67(\epsilon_r + 1.41)}{\ln[5.98H/(0.8W + T)]} \quad \text{等式 4}$$

作为包括这些计算的示例，一块双层板可能用20 mil宽(W)、1盎司(T=1.4)的铜走线，并由10 mil(H) FR-4 ( $\epsilon_r = 4.0$ )的介电材料分离。结果，该微带线的阻抗为50  $\Omega$ 左右。对于其他标准阻抗(如75  $\Omega$ 的视频标准阻抗)，使"W"调整为8.3 mil左右即可。

## 微带线设计的一些指导原则

本例涉及到一个有趣且微妙的要点。参考文献2讨论了与微带PCB阻抗相关的有用指导原则。若介电常数为4.0 (FR-4)，结果显示，当W/H为2/1时，阻抗将接近50 Ω(与第一个示例类似，其中，W = 20 mil)。

仔细的读者会发现，根据等式3预测， $Z_0$ 应为46 Ω左右，与参考文献2提到的精度(>5%)相吻合。IPC微带线等式在50 Ω与100 Ω之间最精确，但当阻抗低于或超过该范围时，其精度则大幅下降。

根据等式5，也可以计算微带线的传播延迟。这是微带信号走线的单向通过时间。有趣的是，对于给定的几何模型，延迟常数(单位：ns/ft)仅为介电常数而非走线维度的函数(见参考文献6)。请注意，这可以带来极大的便利。意味着，当给定PCB基板(并给定 $\epsilon_r$ )时，各种阻抗线路的传播延迟常数是固定不变的。

$$t_{pd}(\text{ns/ft}) = 1.017\sqrt{0.475\epsilon_r + 0.67} \quad \text{等式 5}$$

该延迟常数也可以ps/in为单位，这样更适用于小型PCB。即：

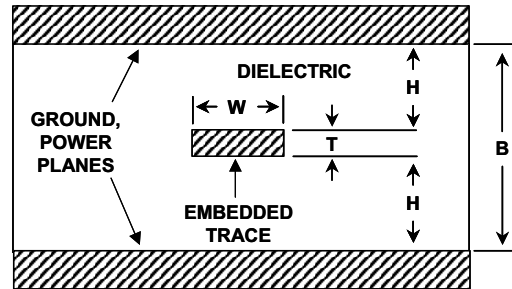
$$t_{pd}(\text{ps/in}) = 85\sqrt{0.475\epsilon_r + 0.67} \quad \text{等式 6}$$

因此，举例来说，对于PCB介电常数4.0，不难发现微带线的延迟常数约为1.63 ns/ft，合136 ps/in。这两条额外的准则对于设计PCB走线中信号的时序具有参考意义。

## 对称带状线PCB传输线路

从多种角度来看，多层PCB是一种更好的PCB设计方法。在这种模式下，信号走线嵌入电源层与接地层之间，如图3中的横截面视图所示。低阻抗交流接地层和嵌入的信号走线形成一条对称带状线传输线路。

从图中可以看出，高频信号走线的电流回路直接位于接地层/电源层上的信号走线的上方和下方。因此，高频信号被完全限制在PCB板内部，结果使放射降至最低，为输入杂散信号提供了天然的屏障。



**图3：一种阻抗既定的对称带状线传输线路由一条嵌于等距接地层和/或电源层之间、采用适当几何图形的PCB走线形成**

该设计的特性阻抗同样取决于几何图形以及PCB介电质的 $\epsilon_r$ 。该带状传输线路的 $Z_0$ 可表示为：

$$Z_0(\Omega) = \frac{60}{\sqrt{\epsilon_r}} \ln \left[ \frac{1.9(B)}{0.8W + T} \right] \quad \text{等式 7}$$

这里的所有维度同样以mil为单位，B为两个层的间距。在这种对称几何图形中，需要注意的是，B同样等于 $2H + T$ 。参考文献2指出，参考文献1中的这个等式的精度通常在6%左右。

适用于 $\epsilon_r = 4.0$ 的对称带状线的另一条便利准则是，使B成为W的倍数，范围为2至2.2。结果将得到约 $50 \Omega$ 的带状线阻抗。当然，这条法则是以另一近似法为基础的，忽略了T。尽管如此，该法则对于粗略估算还是很有用的。

对称带状线同样有一个特性电容，其计算单位为pF/in，如等式8所示。

$$C_0(\text{pF/in}) = \frac{1.41(\epsilon_r)}{\ln[3.81H/(0.8W + T)]} \quad \text{等式 8}$$

对称带状线的传播延迟如等式9所示。

$$t_{pd}(\text{ns/ft}) = 1.017\sqrt{\epsilon_r} \quad \text{等式 9}$$

或者以ps为单位：

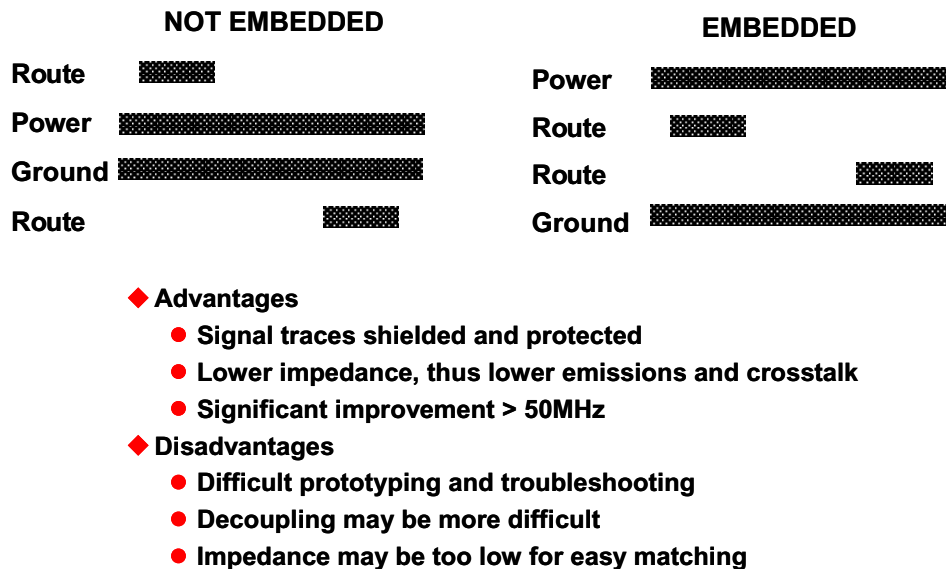
$$t_{pd}(\text{ps/in}) = 85\sqrt{\epsilon_r} \quad \text{等式 10}$$

当PCB介电常数为4.0时，可以发现，对称带状线的延迟常数几乎正好为2 ns/ft，合170 ps/in。

### 走线嵌入法的利弊

根据上述讨论，在设计阻抗既定的PCB走线时，既可以置于一个表层之上，也可嵌入两层之间。当然，在这些阻抗因素之外，还有许多其他考虑因素。

嵌入式信号确实存在一个明显的大问题——隐藏电路走线的调试非常困难，甚至无法做到。图4总结了嵌入式信号走线的利弊。



**图4：多层PCB设计中嵌入与不嵌入信号走线的利弊**

设计多层PCB时也可能不使用嵌入式走线，如最左边的横截面视图所示。可以将这种嵌入式设计看作一种双重双层PCB设计(共有四层铜)。顶部的走线与电源层构成微带，底部的走线则与接地层构成微带。在本例中，两个外层的信号走线可以方便地供测量和故障排查使用。但这种设计并未利用各层的屏蔽作用。

这种非嵌入式设计的辐射量较大，更容易受到外部信号的影响，而右侧的嵌入式设计采用了嵌入法，则很好地利用了各层的优势。就如诸多其他工程设计一样，PCB设计中到底采用嵌入法还是非嵌入法是折衷的结果。这里的折衷则体现在减少辐射与方便测试之间。

**参考文献:**

1. Standard IPC-2141A, "Controlled Impedance Circuit Boards and High Speed Logic Design," 2004, [Institute for Interconnection and Packaging Electronic Circuits](#), 3000 Lakeside Drive, 309 S, Bannockburn, IL 60015, 847-615-7100.
2. Eric Bogatin, BTS015, PCB Impedance Design: Beyond the IPC Recommendations, [BeTheSignal.com](#).
3. Eric Bogatin, *Signal Integrity – Simplified*, Prentice Hall PTR, 2003, ISBN-10: 0130669466, ISBN-13: 978-0130669469.
4. Andrew Burkhardt, Christopher Gregg, Alan Staniforth, "Calculation of PCB Track Impedance," Technical Paper S-19-5, presented at the *IPC Printed Circuits Expo '99 Conference*, March 14–18, 1999.
5. Brian C. Wadell, *Transmission Line Design Handbook*, Artech House, Norwood, MA, 1991, ISBN: 0-89006-436-9.
6. William R. Blood, Jr., [MECL System Design Handbook \(HB205/D, Rev. 1A May 1988\)](#), ON Semiconductor, August, 2000.
7. Hank Zumbahlen, *Basic Linear Design*, Analog Devices, 2006, ISBN: 0-915550-28-1. Also available as [Linear Circuit Design Handbook](#), Elsevier-Newnes, 2008, ISBN-10: 0750687037, ISBN-13: 978-0750687034. Chapter 12
8. Walt Kester, [Analog-Digital Conversion](#), Analog Devices, 2004, ISBN 0-916550-27-3, Chapter 9. Also available as [The Data Conversion Handbook](#), Elsevier/Newnes, 2005, ISBN 0-7506-7841-0, Chapter 9.
9. Walter G. Jung, [Op Amp Applications](#), Analog Devices, 2002, ISBN 0-916550-26-5, Chapter 7. Also available as [Op Amp Applications Handbook](#), Elsevier/Newnes, 2005, ISBN 0-7506-7844-5. Chapter 7.

Copyright 2009, Analog Devices, Inc. All rights reserved. Analog Devices assumes no responsibility for customer product design or the use or application of customers' products or for any infringements of patents or rights of others which may result from Analog Devices assistance. All trademarks and logos are property of their respective holders. Information furnished by Analog Devices applications and development tools engineers is believed to be accurate and reliable, however no responsibility is assumed by Analog Devices regarding technical accuracy and topicality of the content provided in Analog Devices Tutorials.

## 散热设计基础

### 简介

出于可靠性原因，处理大功率的集成电路越来越需要达到热管理要求。所有半导体都针对结温( $T_j$ )规定了安全上限，通常为 $150^{\circ}\text{C}$ (有时为 $175^{\circ}\text{C}$ )。与最大电源电压一样，最大结温是一种最差情况限制，不得超过此值。在保守设计中，一般留有充分的安全裕量。请注意，这一点至关重要，因为半导体的寿命与工作结温成反比。简单而言，IC温度越低，越有可能达到最长寿命。

这种功率和温度限制是很重要的，典型的数据手册中都有描述，如图1所示。图中所示为一款8引脚SOIC器件[AD8017AR](#)。

*The maximum power that can be safely dissipated by the AD8017 is limited by the associated rise in junction temperature. The maximum safe junction temperature for plastic encapsulated device is determined by the glass transition temperature of the plastic, approximately  $+150^{\circ}\text{C}$ . Temporarily exceeding this limit may cause a shift in parametric performance due to a change in the stresses exerted on the die by the package. Exceeding a junction temperature of  $+175^{\circ}\text{C}$  for an extended period can result in device failure.*

**图1: AD8017AR(ADI散热增强型SOIC封装器件)  
数据手册中关于最大功耗的声明**

与这些声明相关的是一些工作条件，比如器件功耗、印刷电路板(PCB)的封装安装细则等。对于AD8017AR，其在 $25^{\circ}\text{C}$ 的环境温度下的额定功耗为 $1.3\text{ W}$ 。其假设是8引脚SOIC封装配合的是一块双层PCB板，以大约 $4\text{ in}^2$  ( $\sim 2500\text{ mm}^2$ )的2盎司铜实现散热。下面将预测该器件在其他条件下的安全工作情况。

### 散热设计基础

一般用符号 $\theta$ 来表示热阻。热阻的单位为 $^{\circ}\text{C}/\text{W}$ 。除非另有说明，热阻指热量在从热IC结点传导至环境空气时遇到的阻力。也可更具体地表示为 $\theta_{JA}$ ，即结至环境热阻。 $\theta_{JC}$ 和 $\theta_{CA}$ 是 $\theta$ 的两种其他形式，详见下文。



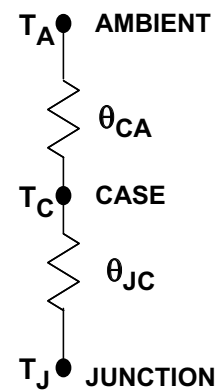
一般地，热阻 $\theta$ 等于 $100^{\circ}\text{C}/\text{W}$ 的器件在 $1\text{W}$ 功耗下将表现出 $100^{\circ}\text{C}$ 的温差，该值在两个参照点之间测得。请注意，这是一种线性关系，因此，在该器件中， $1\text{W}$ 的功耗将产生 $100^{\circ}\text{C}$ 的温差(如此等等，不一而足)。对于AD8017AR， $\theta$ 约为 $95^{\circ}\text{C}/\text{W}$ ，因此， $1.3\text{W}$ 的功耗将产生大约 $124^{\circ}\text{C}$ 结至环境温差。当然，预测内部温度时使用的正是这种温度的上升，其目的是判断设计的热可靠性。当环境温度为 $25^{\circ}\text{C}$ 时，允许约 $150^{\circ}\text{C}$ 的内部结温。实际上，多数环境温度都在 $25^{\circ}\text{C}$ 以上，因此，可以处理的功耗会稍低。

对于任意功耗 $P$ (单位： $\text{W}$ )，都可以用以下等式来计算有效温差( $\Delta T$ )(单位： $^{\circ}\text{C}$ )：

$$\Delta T = P \times \theta \quad \text{等式 1}$$

其中， $\theta$ 为总适用热阻。图2总结了一些基本的热关系。

- ◆  $\theta = \text{Thermal Resistance } (^{\circ}\text{C}/\text{W})$
- ◆  $P = \text{Total Device Power Dissipation } (\text{W})$
- ◆  $T = \text{Temperature } (^{\circ}\text{C})$
- ◆  $\Delta T = \text{Temperature Differential} = P \times \theta$
- ◆  $\theta_{\text{JA}} = \text{Junction-Ambient Thermal Resistance}$
- ◆  $\theta_{\text{JC}} = \text{Junction-Case Thermal Resistance}$
- ◆  $\theta_{\text{CA}} = \text{Case-Ambient Thermal Resistance}$
- ◆  $\theta_{\text{JA}} = \theta_{\text{JC}} + \theta_{\text{CA}}$
- ◆  $T_{\text{J}} = T_{\text{A}} + (P \times \theta_{\text{JA}})$
- ◆ **Note:**  $T_{\text{J}(\text{Max})} = 150^{\circ}\text{C}$  (Sometimes  $175^{\circ}\text{C}$ )



**图2：基本热关系**

请注意，串行热阻(如右侧的两个热阻)模拟的是一个器件可能遇到的总热阻路径。因此，在计算时，总 $\theta$ 为两个热阻之和，即 $\theta_{\text{JA}} = \theta_{\text{JC}} + \theta_{\text{CA}}$ 。给定环境温度 $T_{\text{A}}$ 、 $P$ 和 $\theta$ ，即可算出 $T_{\text{J}}$ 。根据图中所示关系，要维持一个低的 $T_{\text{J}}$ ，必须使 $\theta$ 或功耗(或者二者同时)较低。低 $\Delta T$ 是延长半导体寿命的关键，因为，低 $\Delta T$ 可以降低最大结温。

在IC中，一个温度参照点始终是器件的一个节点，即工作于给定封装中的芯片内部最热的点。其他相关参照点为 $T_C$ (器件)或 $T_A$ (周围空气)。结果又引出了前面提到的各个热阻，即 $\theta_{JC}$ 和 $\theta_{JA}$ 。

先来看看最简单的情况， $\theta_{JA}$ 为在给定器件的结与环境空气之间测得的热阻。该热阻通常适用于小型、功耗相对较低的IC(如运算放大器)，其功耗往往为1 W或以下。一般而言，对于8引脚DIP塑封或者更优秀的SOIC封装，运算放大器以及其他小型器件的典型 $\theta_{JA}$ 值处于90-100°C/W水平。

需要明确的是，这些热阻在很大程度上取决于封装，因为不同的材料拥有不同水平的导热性。一般而言，导体的热阻类似于电阻，铜最好，其次是铝、钢等。因此，铜引脚架构封装具有最高的性能，即最低的 $\theta$ 。

## 散热

根据定义，散热器是附加于IC之上的一种额外低热阻器件，其作用是辅助散热。散热器具有自己的热阻，表示为 $\theta_{CA}$ ，单位为°C/W。然而，当今的多数运算放大器在安装散热器时相当麻烦(较老的TO-99金属帽壳型封装除外)。考虑了散热器安装的器件具有明显的特征，其 $\theta_{JC}$ 远低于 $\theta_{JA}$ 。这种情况下， $\theta$ 将由一个以上的组分构成。热阻采用加法即可，结果使净值计算变得相对简单。例如，在给定相关 $\theta_{JC}$ 时，要计算净 $\theta_{JA}$ ，只需将散热器的热阻 $\theta_{CA}$ 或者壳到环境热阻与 $\theta_{JC}$ 相加即可：

$$\theta_{JA} = \theta_{JC} + \theta_{CA} \quad \text{等式 2}$$

结果得到针对具体环境的 $\theta_{JA}$ 。

然而更广泛地讲，现代IC并不使用市场上有售的散热器。相反，在需要消耗大量功率时(比如 $\geq 1$  W)，以低热阻铜PCB走线作为散热器。在这种情况下，制造商提供的对散热最有用的加工数据是示例PCB布局的边界条件以及这些条件下产生的 $\theta_{JA}$ 。如前所述，这是针对AD8017AR提供的具体信息。通过这种方式，展示此类条件下热关系的示例数据如图3所示。这些数据适用于装有一个散热器的AD8017AR，该散热器的面积约为4平方英寸，采用一块双层2盎司铜PCB板。

这些曲线展示的是AD8017在最大结温150°C和125°C下的最大功耗与温度特性之间的关系。这种曲线通常称为减额曲线，因为，容许功耗随环境温度而下降。

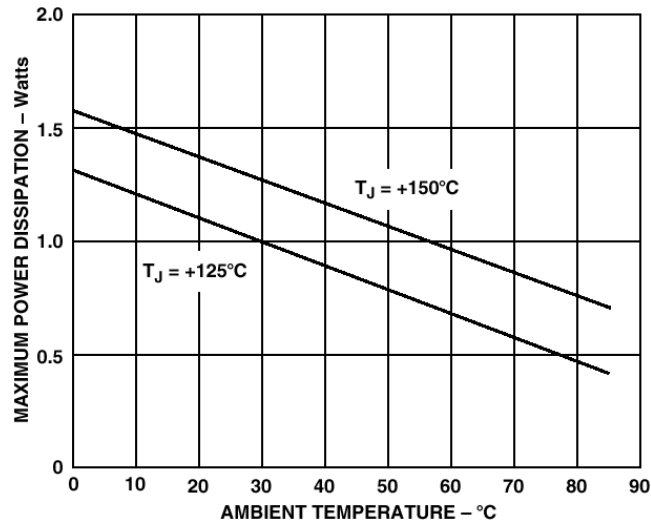


图3: AD8017AR运算放大器的热额定曲线

AD8017AR采用的是ADI专有的散热增强型(Thermal Coastline) IC封装,在不增加SO-8封装尺寸的情况下允许消耗更多的功率。对于 $150^\circ\text{C}$ 的 $T_{J(\max)}$ ,上部曲线显示的是该封装的容许功耗,在 $25^\circ\text{C}$ 的环境温度下为1.3 W。如果使用更保守的 $125^\circ\text{C}$   $T_{J(\max)}$ ,则适用两条曲线中的下部曲线。

图4展示了8引脚标准SOIC封装与ADI散热增强型封装的性能比较结果。请注意,散热增强型封装在 $25^\circ\text{C}$ 下的容许功耗为1.3 W,而标准封装仅为0.8 W。在散热增强型封装中,热传导增强了,这正是封装 $\theta_{JA}$ 较低的原因所在。

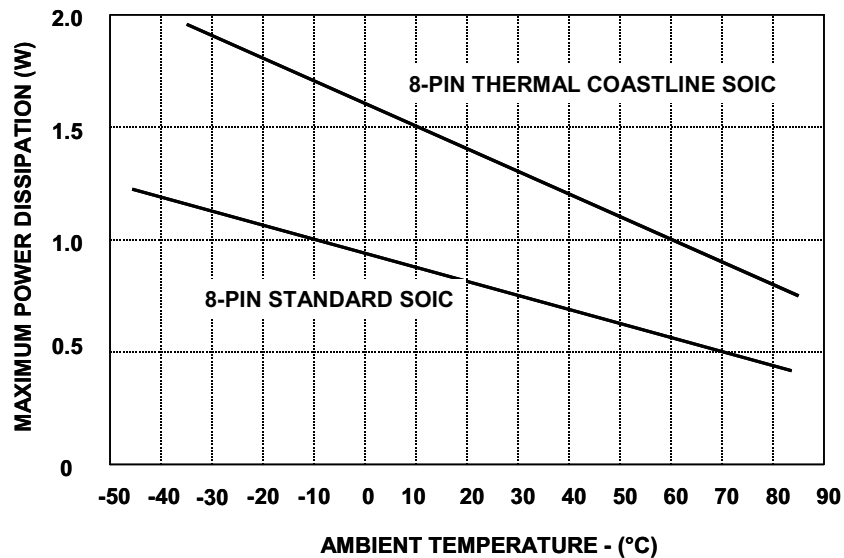


图4: 标准(下)和ADI散热增强型(上)8引脚SOIC封装的热额定曲线

甚至可以支持更高的功耗，因为使用IC封装后，可以增进从芯片到PCB板的热传导。其中一个示例是AD8016 ADSL线路驱动器件，该器件提供两种封装选项，25°C下的额定功耗分别为5.5 W和3.5 W，如图5所示。

以额定功耗较高的AD8016ARP PSOP3封装为例，当搭配一个10 in<sup>2</sup>、1盎司散热层时，该组合可以在70°C的环境温度下处理最高3 W的功耗，如图中的上部曲线所示。这相当于18°C/W的 $\theta_{JA}$ ，这种情况下，该值适用于125°C的最大结温。

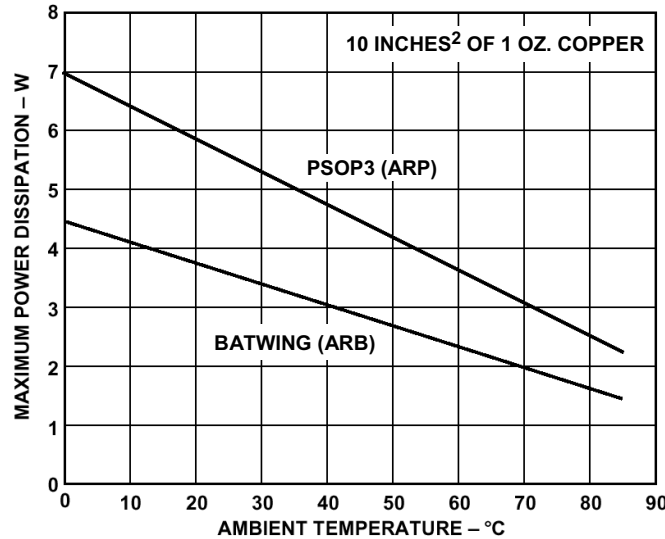


图5: AD8016 BATWING(下)和PSOP3(上)封装的热特性曲线(其中,  $T_{J(Max)}=125^{\circ}C$ )

PSOP3版的AD8016之所以具有如此出色的功耗处理能力是因为采用了一块大面积铜片。在内部，IC芯片直接置于铜片上，底部表面裸露情况如图6所示。其目的是将该表面直接焊接到PCB板上的一个铜层上，从而扩大散热面。

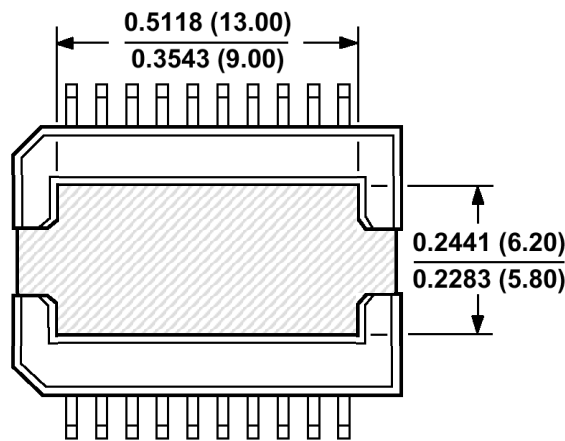


图6: AD8016 20引脚PSOP3封装的底视图展示了辅助散热铜片(中心的灰色区域)

AD8016的两种封装选项均有静止空气和流动空气两种特性，但是，上面给出的热数据适用于不使用定向气流的情况。因此，增加气流会进一步降低热阻(见参考文献2)。

为了设计出可靠的低热阻运算放大器，以下列出几条设计注意事项。可根据实际情况，考虑所有要点。

1. 对于PCB散热器，要使用面积尽量大的铜片，以“效益递减”点为度。
2. 与1)相结合，要使用多个(外部)PCB层，用多个过孔连接起来。
3. 根据实际情况尽量使用质量较重的铜(最好是2盎司或以上)。
4. 在系统中提供充足的天然通风出入口，以便热能从热的PCB表面自由散开。
5. 使功耗消散PCB层垂直朝向，促进散热器区域的气流对流。
6. 针对精密运算放大器应用，考虑使用外部功率缓冲级。
7. 对于需要在有限空间下耗散数瓦特的情况，考虑使用强制通风方法。
8. 不要在散热走线上覆盖阻焊层。
9. 不要在供电IC上使用过大的电源电压。

多数情况下，以上各项都是显而易见的。然而，第9项却需要稍加说明。每当应用只需要适中的电压摆幅时(如标准视频、 $2\text{ V}_{\text{p-p}}$ )，通常可以使用宽电源电压范围。但是，如图7中的数据所表明的那样，在较高的电源电压下，运算放大器驱动器的运行会产生较大的IC功耗，即使负载功率恒定不变亦是如此。

在这种情况下，只要应用的失真性能不恶化，就应该为IC提供较低的电压，如 $\pm 5\text{ V}$ 而非 $\pm 15\text{ V}$ 。以上示例数据是以直流为基础计算所得，与正弦波或噪声类波形(如DMT信号)相比，直流会增加驱动器的功耗(见参考文献2)。一般原则仍然适用于这些交流波形，换言之，当负载电流高、电压低时，运算放大器的功耗就高。

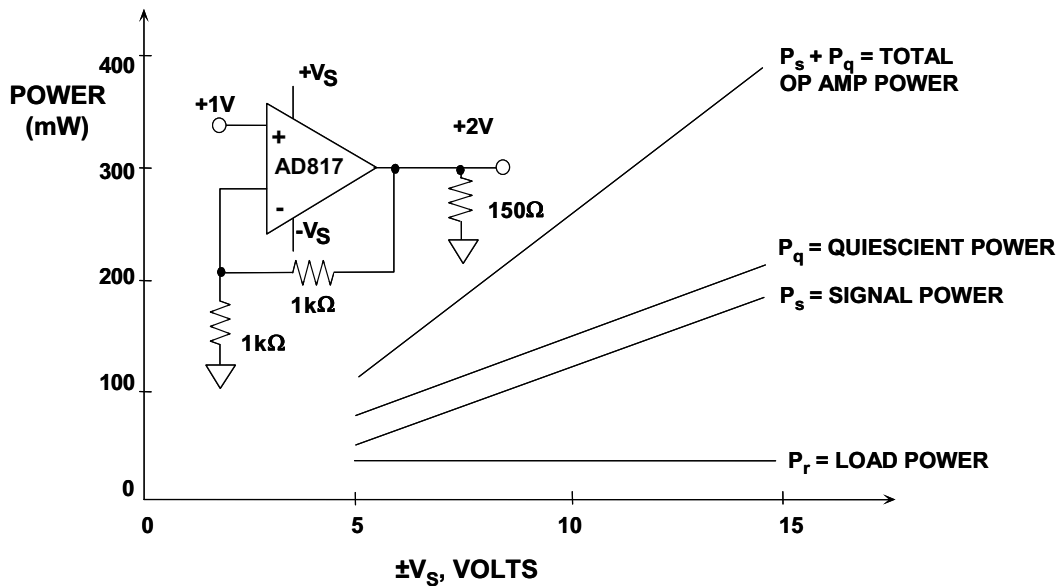
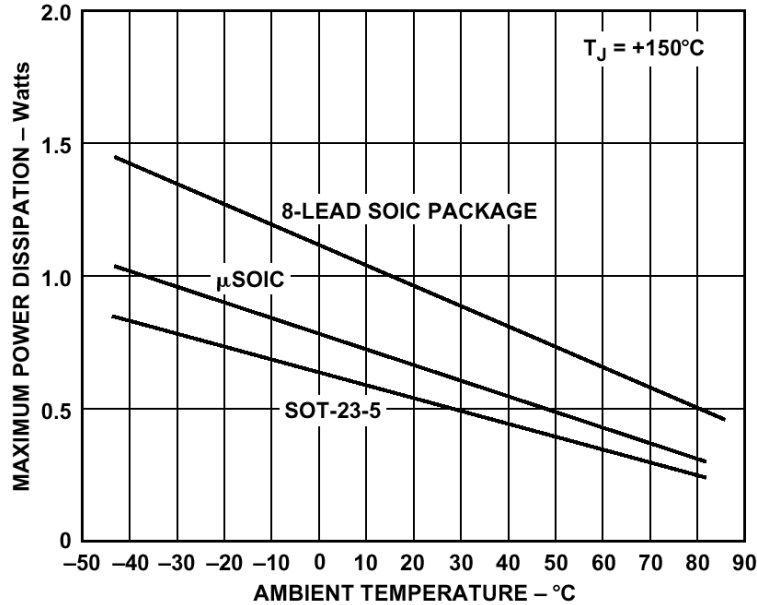


图7：视频运算放大器驱动器在各种电源电压、低电压输出摆幅下的功耗

虽然上述AD8016和AD8017两款散热增强型封装有较大的机会处理高功耗，但日益流行的小型IC封装实际上却朝着相反的方向发展。毫无疑问，当今的小型封装确实会牺牲较大散热性能。但是必须了解的是，这是为了缩小运算放大器封装的尺寸，最终是为提高整个系统的PCB板密度。

这几点反映在AD8057和AD8058系列单通道和双通道运算放大器的热额定值中，如图8所示。AD8057和AD8058运算放大器提供三种不同的封装，分别为SOT-23-5、8引脚 $\mu$ SOIC以及标准SOIC封装。

如数据所示，随着封装尺寸的缩小，能够消散的功率也会显著减少。对于此类微型封装来说，由于引脚架构是唯一的散热通道，因而其热性能会下降。上述封装的 $\theta_{JA}$ 分别为 $240^\circ\text{C}/\text{W}$ 、 $200^\circ\text{C}/\text{W}$ 和 $160^\circ\text{C}/\text{W}$ 。请注意，这是封装限制，而非器件限制。采用相同封装的其他IC具有类似特性。



**Figure 8: Comparative Thermal Performance for Several AD8057/58 Op Amp Package Options**

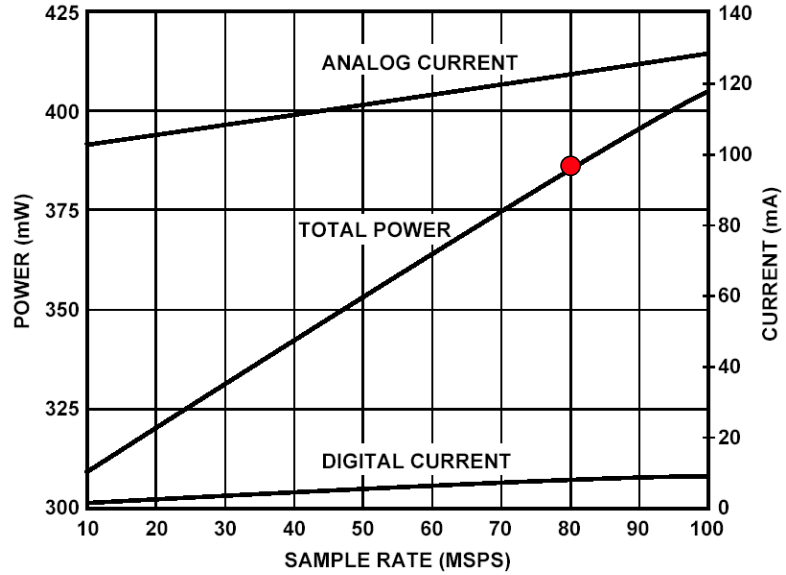
### 数据转换器散热考虑

表面上看，我们可能会假定，ADC或DAC的功耗在既定电源电压会保持不变。然而，许多数据转换器(尤其是CMOS类)的功耗高度依赖于输出数据负载和采样时钟频率。由于许多新型高速转换器在最差工作条件下可能消耗最多1.5 W至2 W的功率，因此，我们必须清楚地了解这一点，以确保安装封装时，使最高预期工作温度下的结温保持于可接受限值之内。

[指南MT-031](#)谈到接地强调称，高性能ADC(尤其是带有并行输出者)的数字输出的负载不宜过大(5-10 pF)，以防止数字瞬变电流导致SNR和SFDR下降。然而，即使在小输出负载下，多数CMOS和BiCMOS ADC的功耗也仍然是采样时钟频率的函数，有时则为模拟输入频率和幅度的函数。

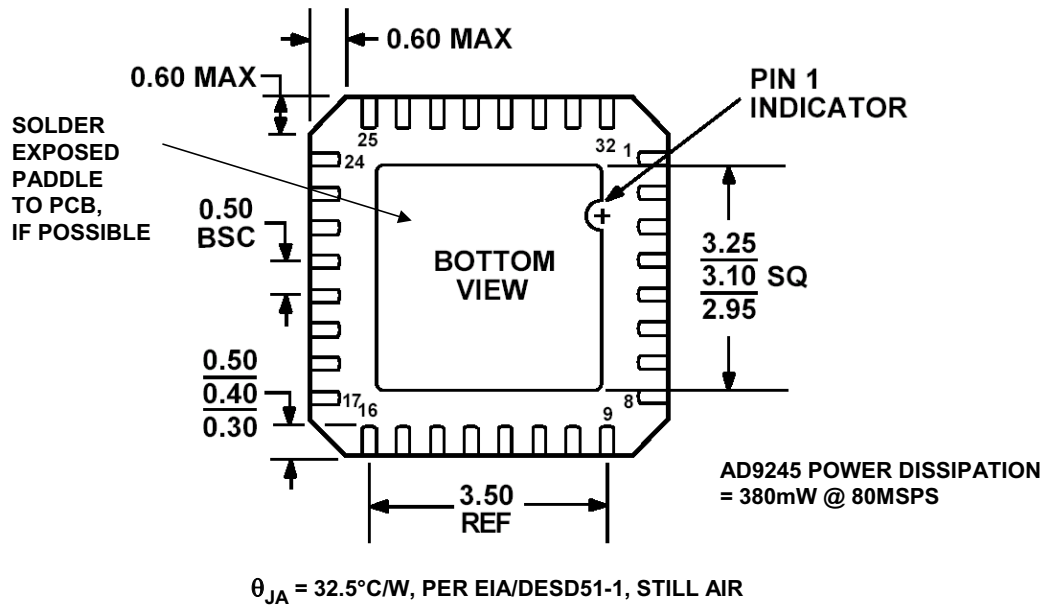
例如，图9展示了[AD9245](#) 14位、80 MSPS、3 V CMOS ADC在数据线路的模拟输入为2.5 MHz且输出负载为5 pF时，功耗与频率之间的关系。图中分别展示了数字和模拟电源电流以及总功耗。请注意，当采样频率在10 MSPS与80 MSPS之间变化时，总功耗可能在310 mW至380 mW范围内变化。





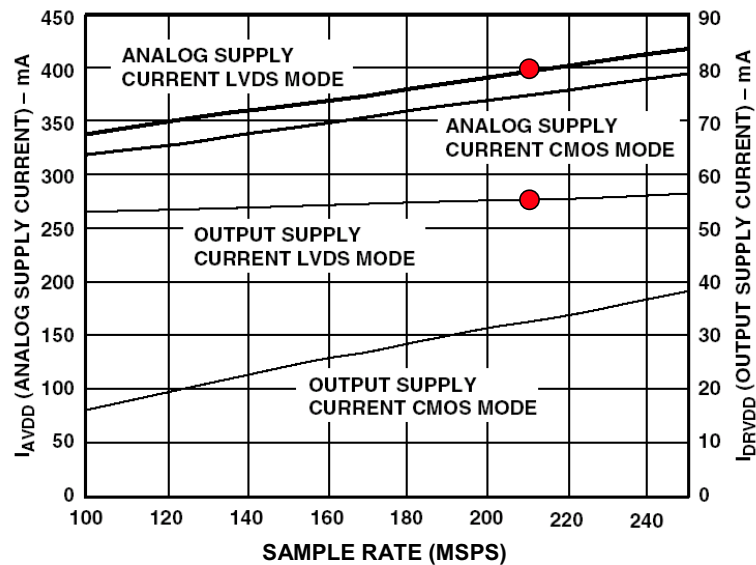
**图9: AD9245 14位、80 MSPS、3 V CMOS ADC  
功耗与采样速率的关系(输入为2.5 MHz; 输出负载为5 pF)**

AD9245采用32引脚无铅芯片级封装,如图10所示。封装的底视图显示的是裸露的焊盘,该焊盘应焊接到PC板的接地层以获得最佳的热传导效果。最差情况封装结至环境热阻 $\theta_{JA}$ 的额定值为32.5°C/W,当功耗为380mW时,结温将比环境温度高 $32.5^{\circ}\text{C} \times 0.38 = 12.3^{\circ}\text{C}$ 。当最高工作温度为+85°C时,结温为 $85^{\circ}\text{C} + 12.3^{\circ}\text{C} = 97.3^{\circ}\text{C}$ 。



**图10: AD9245 CP-32引脚架构芯片级封装(LFCSP)(底视图)**

[AD9430](#)是一款高性能12位、170/210 MSPS 3.3 V BiCMOS ADC。有两种输出模式可用：双通道105 MSPS解复用CMOS输出和210 MSPS LVDS输出。功耗为采样频率的函数，如图11所示。其中展示了CMOS和LVDS模式下当模拟输入频率为10.3 MHz时的模拟和数字电源电流。请注意，在LVDS模式下，当采样频率为210 MSPS时，总电源电流约为455 mA——总功耗为1.5 W。



TOTAL CURRENT @ 210MSPS, LVDS MODE = 55mA + 400mA = 455mA  
 TOTAL POWER DISSIPATION = 3.3V × 455mA = 1.5W

**图11: AD9430 12位170/210 MSPS ADC电源电流与采样速率的关系(输入频率为10.3 MHz)**

AD9430采用100引脚薄型塑封四方扁平封装，带一个裸露焊盘(TQFP/EP)，如图12所示。导电焊盘与芯片接地面相连，应焊接到PC板接地层。当焊接到接地层时，该封装在静止空气中的 $\theta_{JA}$ 为25°C/W。结果，当功耗为1.5 W时，结温将比环境温度高 $25^{\circ}\text{C} \times 1.5 = 37.5^{\circ}\text{C}$ 。当最高工作温度为+85°C时，结温为 $85^{\circ}\text{C} + 37.5^{\circ}\text{C} = 122.5^{\circ}\text{C}$ 。

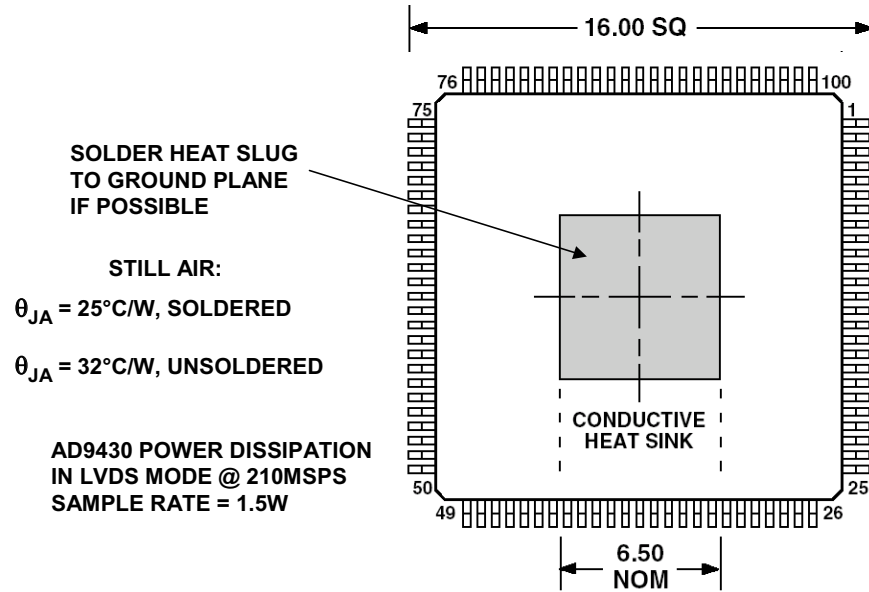


图12: AD9430 100引脚e-PAD TQFP

AD6645是一款高性能14位、80 /105 MSPS ADC，采用高速互补双极性工艺(XFCB)制成，具有较高的SFDR (89 dBc)和SNR (75 dB)。尽管其功耗(为采样频率的函数)变化不大，该器件的最大功耗为1.75 W。采用的是散热增强型52引脚PowerQuad 4°封装，带一个裸露焊盘，如图13所示。

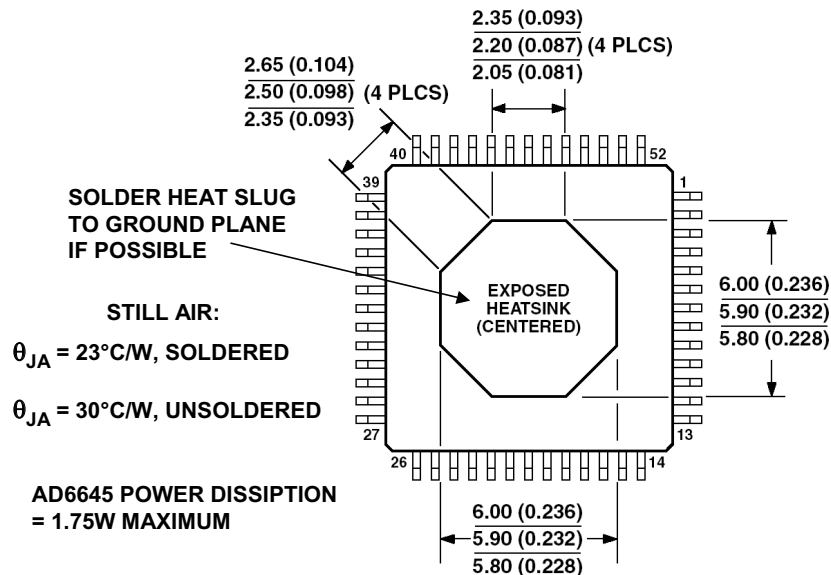


图13: AD6645 52引脚Power-Quad 4 (LQFP\_ED) (SQ-52) 散热增强型封装(底视图)

建议把裸露的中央散热器焊接到PC板接地层上，以使封装在静止空气中的 $\theta_{JA}$ 减至 $23^{\circ}\text{C}/\text{W}$ 。对于 $1.75\text{ W}$ 的功耗，结温将比环境温度高 $23^{\circ}\text{C} \times 1.75 = 40.3^{\circ}\text{C}$ 。当最高工作温度为 $+85^{\circ}\text{C}$ ，结温为 $85^{\circ}\text{C} + 40.3^{\circ}\text{C} = 125.3^{\circ}\text{C}$ 。可以用 $200\text{ LPM}$ 的气流使封装的热阻降至 $17^{\circ}\text{C}/\text{W}$ ，从而使结温降至比环境温度高 $30^{\circ}\text{C}$ 的水平。换言之，对于 $+85^{\circ}\text{C}$ 的工作环境温度，结温为 $115^{\circ}\text{C}$ 。

高速CMOS DAC(如TxDAC®系列)和DDS IC(如AD985x系列)的功耗同样取决于时钟速率。例如，对于[AD9777](#) 16位、160 MSPS双通道插值DAC，其功耗为时钟速率、输出频率以及PLL和调制功能使能这三个因素的函数。采用 $3.3\text{ V}$ 电源时，其功耗范围为 $380\text{ mW}$ ( $f_{\text{DAC}} = 100\text{ MSPS}$ ,  $f_{\text{OUT}} = 1\text{ MHz}$ , 无插值, 无调制)至 $1.75\text{ W}$ ( $f_{\text{DAC}} = 400\text{ MSPS}$ ,  $f_{\text{DATA}} = 50\text{ MHz}$ ,  $f_s/2$ 调制, PLL使能)。系列中的这些器件以及类似器件同时提供散热增强型封装，搭载一个需要焊接到PC板接地层的裸露焊盘。

有关LFCSP封装的散热特性以及生产方面的详细情况，请参看参考文献4。

## 总结

本文讨论了运算放大器和数据转换器的散热应用问题，但并未涉及夹式(或螺栓式)散热器这种经典散热技术。也未涉及强制通风冷却方法，该方法一般用于需要处理数十瓦特功耗的情况。略去这些内容的主要原因在于，它们并不适用于当今的运算放大器和数据转换器封装。

有关此类信息以及其他信息，请参看参考文献5-7中的一般讨论。

ADI网站提供一种交互式设计工具，[功耗与芯片温度计算器](#)，可用于辅助计算外部散热器的热特性。

**参考文献:**

1. Data sheet for [AD8017 Dual High Output Current, High Speed Amplifier](#), Analog Devices, Inc.
2. Data sheet for [AD8016 Low Power, High Output Current, xDSL Line Driver](#), Analog Devices, Inc.
3. "Power Consideration Discussions," data sheet for [AD815 High Output Current Differential Driver](#), Analog Devices, Inc.
4. Gary Griffin, "A Design and Manufacturing Guide for the Lead Frame Chip Scale Package (LFCSP)," [Application Note AN-772](#), Analog Devices.
5. General Catalog, [AAVID Thermalloy, LLC.](#), 70 Commercial Street, Suite 200 Concord, NH 03301 USA, Tel: (603) 224-9988
6. Seri Lee, "How to Select a Heat Sink," [AAVID Thermalloy, LLC.](#)
7. Seri Lee, "Optimum Design and Selection of Heat Sinks," 11<sup>th</sup> *IEEE SEMI-THERM™ Symposium*, 1995, <http://www.aavid.com>
8. Hank Zumbahlen, *Basic Linear Design*, Analog Devices, 2006, ISBN: 0-915550-28-1. Also available as [Linear Circuit Design Handbook](#), Elsevier-Newnes, 2008, ISBN-10: 0750687037, ISBN-13: 978-0750687034. Chapter 12.
9. [Power Dissipation vs. Die Temperature Calculator](#), Analog Devices Interactive Design Tool Utility
10. Walt Kester, [Analog-Digital Conversion](#), Analog Devices, 2004, ISBN 0-916550-27-3, Chapter 9. Also available as [The Data Conversion Handbook](#), Elsevier/Newnes, 2005, ISBN 0-7506-7841-0, Chapter 9.
11. Walter G. Jung, [Op Amp Applications](#), Analog Devices, 2002, ISBN 0-916550-26-5, Chapter 7. Also available as [Op Amp Applications Handbook](#), Elsevier/Newnes, 2005, ISBN 0-7506-7844-5. Chapter 7.

Copyright 2009, Analog Devices, Inc. All rights reserved. Analog Devices assumes no responsibility for customer product design or the use or application of customers' products or for any infringements of patents or rights of others which may result from Analog Devices assistance. All trademarks and logos are property of their respective holders. Information furnished by Analog Devices applications and development tools engineers is believed to be accurate and reliable, however no responsibility is assumed by Analog Devices regarding technical accuracy and topicality of the content provided in Analog Devices Tutorials.

## 模拟电路仿真

### 模拟电路仿真导论

近年来，系统设计人员承受的压力越来越大，他们需要先利用计算机仿真验证设计，再着手进行实际印刷电路板布局和硬件设计。对复杂数字设计进行仿真特别有利，原型制作阶段通常可以完全省去。大多数模拟电路并非如此。仿真可使设计人员对最终设计更有信心，而在高速/高性能模拟或混合信号电路设计中，完全绕开原型制作阶段风险很大。因此，在处理模拟电路时，有些原型制作必须进行仿真。原型制作技术将在[MT-100](#)中详细讨论。

[SPICE\(集成电路加重的仿真程序\)](#)是最常见的模拟电路仿真工具，可在不同计算机平台上以多种形式使用(参见参考文献1和2)。但是，为使仿真结果有意义，设计人员需要许多系统元件的精确模型。其中最重要的是用于集成电路的真实模型。

运算放大器几乎是所有模拟电路的基本构建模块，上世纪90年代初，ADI公司开发了一种先进的运算放大器SPICE模型，这种模型至今仍在使用(参见参考文献3和4)。在这种创新的开放式放大器架构中，增益和相位响应可以充分模拟，设计人员可以精确预测交流、直流和瞬态性能特性。这种模拟方法还扩展到了其他器件，如仪表放大器、基准电压源和模拟乘法器。以下讨论主要针对运算放大器，并说明了基本原理。

- ◆ 了解实际仿真目标
- ◆ 评估相应的可用模型
- ◆ 了解每种竞争运算放大器模型的功能
- ◆ 仿真完成后通常需要进行试验板制作

### **图1：使用得当时，仿真是一种强大的设计工具**

图1列出了一些主要的SPICE仿真目标。SPICE仿真十分流行，因而出现了许多运算放大器宏观模型，(理想状态下)可以通过软件模拟放大器电气性能。在众多可用模型中，可能存在一些问题。可能无法确定模拟了哪些元件，而且模型精度也是个根本问题。这些问题都很重要，目的是使仿真结果更加可靠。因此，模型验证十分重要，必须先与实际器件性能条件进行对比确认，然后才能放心用于重要设计。

当然，设计的第一步即使采用精确的放大器模型并获得成功，也未必能保证仿真完全有效。基于不完整信息的仿真存在限值。目标电路的所有器件都应模拟，包括周围的无源元件、各种寄生效应，以及温度变化。然后，电路应在实验室通过试验板和原型制作进行验证。试验板电路是采用半永久实验室平台电路设计的快速运行实体模型，即小于最终物理形式的模型。其目的是在不具备整体物理环境的情况下显示实际性能。良好的试验板通常可以显示出SPICE预测不到的特性，预测不到可能是由于模型不完整、外部电路寄生效应等各种原因。但是，通过使用SPICE和智能试验板制作技术，可以保证在原型版本甚至是最终PCB上合理工作，从而快速有效完成电路设计。

### 宏观模型与微观模型

宏观模型和微观模型之间的区别通常不太清楚。微观模型采用IC器件的实际晶体管级和其他SPICE模型，所有的有源和无源器件都根据制造工艺提供完整特性。在区分微观模型与宏观模型时，有些作者用器件级模型一词来描述得到的总体运算放大器模型(参见参考文献5)。微观模型通常用于IC的实际设计过程。

	METHODOLOGY	ADVANTAGES	DISADVANTAGES
MACROMODEL	Ideal Elements Model Device Behavior	Fast Simulation Time, Easily Modified	May Not Model All Characteristics
MICROMODEL	Fully Characterized Transistor Level Circuit	Most Complete Model	Slow Simulation Possible, Convergence Difficulty, Non-Availability

**图2：区分宏观模型与微观模型**

宏观模型进行运算放大器性能仿真时复杂程度较低。该模型考虑了最终器件性能，采用本身的理想SPICE元件对观察到的特性尽可能多地进行模拟。在宏观模型的开发过程中，某个实际器件根据实验室和数据手册性能来测量，宏观模型则经过调整来匹配该特性。这一过程可能会牺牲部分性能。图2对比了宏观模型和微观模型之间的主要利弊。

两种方法各有利弊。微观模型可以显示几乎所有条件下完整而精确的运算放大器电路特性模型。但是，由于大量晶体管和二极管都有非线性节点，仿真时间会很长。当然，制造商也不太愿意发布这些模型，因为这些模型包含专有信息。而且，即使所有的晶体管都包括在内，也不能保证总体精度，因为晶体管模型本身就不能精确涵盖所有的工作区域。此外，由于节点数量很多，SPICE可能会出现收敛困难，从而导致仿真失败。这会使微观模型失去实际作用，比如不能用于多放大器有源滤波器。



另一方面，开发完善的宏观模型可以既提供精确结果，又节省仿真时间。在更加高级的宏观模型(如下文所述的ADSpice模型)中，瞬态和交流器件性能可以近似再现。运算放大器非线性特性也可以包括在内，如输出电压和电流摆幅限制。

但是，这些宏观模型依然属于实际器件的简化形式，因此，所有非线性都无法模拟。例如，并非所有的ADSpice模型都包括共模输入电压范围或噪声(最近开发的一些则包括)。一般而言，在模型开发过程中，由于参数可能对预期应用很重要，所以会经过优化——例如交流和瞬态响应参数。如果将每一种可能的特性都包括在内，可能会使宏观模型变得很麻烦，甚至可能会产生收敛问题。因此，ADSpice宏观模型只包括正常工作条件下对预期性能较为重要的运算放大器特性，而未必包括所有的非线性特性。

### ADSpice运算放大器宏观型

基本ADSpice模型作为运算放大器宏观模拟的改进而开发，并且作为一种改进后的设计工具，以便实现更加精确的应用电路仿真。自从1990年推出以后，它就成为了一种标准运算放大器宏观模拟拓扑结构，工业上采用了频率整形的概念便表明了这一点(参见参考文献6和7)。

大约在1990年前，Boyle模型成为了占主导地位的运算放大器模型架构(参见参考文献8)。这种宏观模型开发于70年代早期，不能对高速放大器精确模拟。主要原因是频率整形能力有限——只有两个极点，而且没有零点。相比之下，ADSpice模型拓扑结构则具有灵活开放的架构，几乎可以级联无限的极点和零点频率整形级。与更简化的Boyle模型拓扑结构相比，这一主要差异可以带来更加精确的交流和瞬态响应。

ADSpice模型由下述三大部分组成。第一部分是输入和增益级的组合，包括适用于建模器件的晶体管模型(NPN或PNP双极性、JFET、MOSFET等)。第二部分是合成极点与零点级，由理想SPICE本身的元件组成。这些元件的数量或多或少，具体取决于运算放大器频率响应的复杂程度。最后一部分是输出级，将前两部分与外部进行耦合。

详细介绍上述各部分之前，必须认识到，出现下列情况时产生的变化确实存在。这不仅是因为各运算放大器模型之间存在差异，还因为运算放大器硬件拓扑结构在不断发展进步，从而导致模拟也相应发生变化。例如，现代运算放大器通常包括轨到轨输出或输入级，或两者兼具。因此，ADSpice模型的一些最新开发成果考虑到了这些问题，以及相应的模型开发。

此外，虽然Boyle模型和原始ADSpice模型是为了支持电压反馈运算放大器拓扑结构而设计，后续部分也增加了电流反馈放大器拓扑结构。实际上，参考文献9中就描述了一种ADSpice电流反馈宏观模型，恰好出现在参考文献3的电压反馈模型之后不久。下文将详细讨论这些电流反馈宏观模型。

### ADSpice宏观模型：输入与增益/极点级

图3所示为基本ADSpice电压反馈运算放大器宏观模型输入级。如上所述，它采用整个模型中唯一的晶体管(一般情况下)，本例中为图表左侧的Q1-Q2 NPN对。需要用这些元件来对运算放大器差分输入级特性进行正确模拟。这种模型拓扑结构的基本原则是该级是针对单位增益而设计，需要适当选择Q1-Q2工作电流，以及增益设置电阻R3-R4和R5-R6。

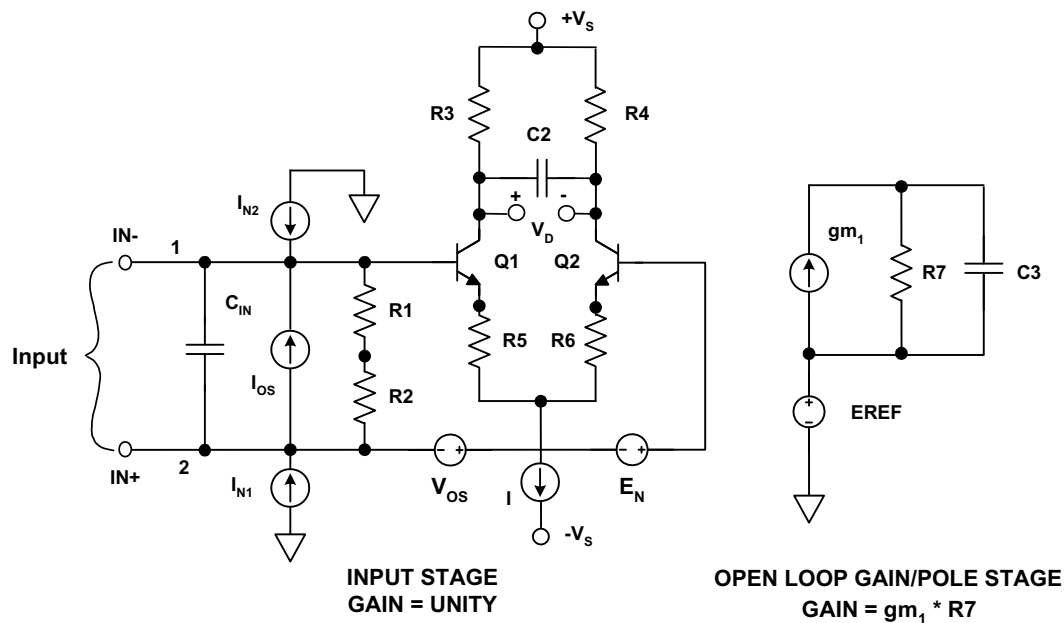


图3: ADSpice宏观模型的输入和增益/极点级

虽然本例使用了NPN晶体管，输入级却很容易修改，以便使用PNP双极性、JFET或MOSFET器件。输入级的其余部分采用简单的SPICE元件，如电阻、电容和受控源。

建模运算放大器的开环增益和频率特性关系通过增益级提供，如图表右侧所示。此处，受控源 $gm_1$ 负责从输入级检测差分集电极电压 $V_D$ ，并将该电压转换至成比例的电流。 $gm_1$ 输出电流流经负载电阻 $R_7$ ，产生一个以内部电压 $ERE_{REF}$ 为参考的单端电压。一般而言，该电压来自电源电压中点，并用于整个模型。

$gm_1-R_7$ 乘积等于运算放大器额定增益时，该级就会产生宏观模型的整个开环增益。该设计因素意味着，所有其他的模型级都在单位增益下工作，从而使得增减后续级时的灵活性大大提升。通过这种方法，可以快速合成高性能高速运算放大器常见的复杂交流特性。而且，该级还可提供放大器交流响应中占主导地位的极点。开环极点频率通过选择电容C3来设置，如图表中所述。

### ADSpice宏观模型：频率整形级

宏观模型增益级之后的各级是可变但数量无限的极点和/或零极点，它们共同提供频率响应整形。图4所示为这些级的典型拓扑结构。这些级可能是单极点或单零点，或者是极点/零点或零点/极点级的组合形式。上述所有级都具有直流传输单位增益，某一给定放大器类型可能包括上述所有级或其中一部分，这些级可能需要用来合成放大器的响应。

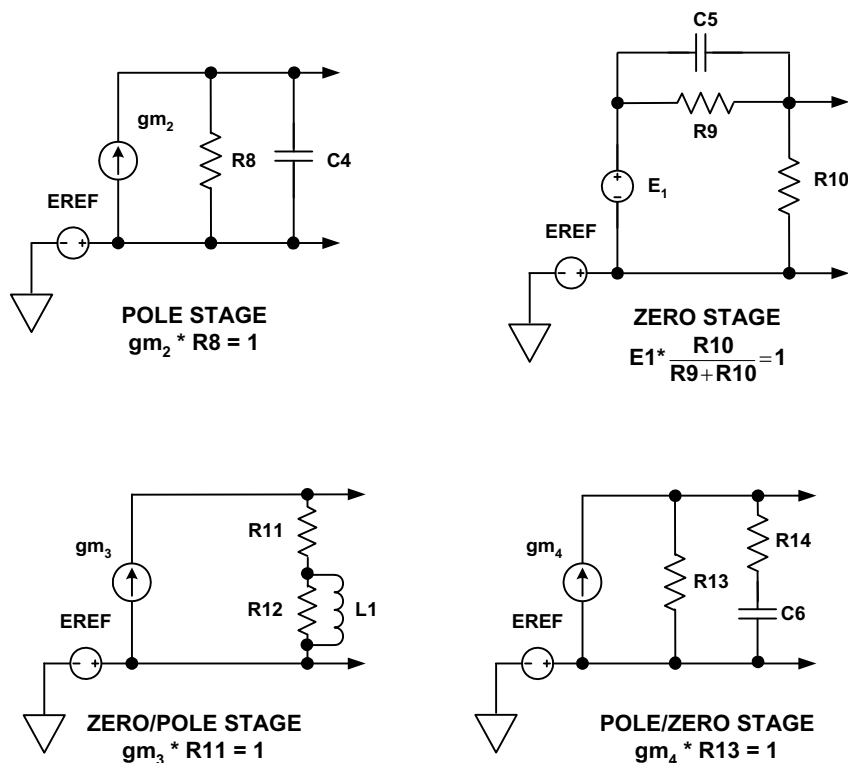


图4: ADSpice模型中可能存在的频率整形级

极点或零点频率由电阻和电容或电阻和电感共同设置，具体视情况而定。由于SPICE中可能的值有无限多，RC值从某种程度上来说可以任意选择，适用的范围很广。早期的ADSpice模型采用较高的值，后期则采用较低值以减少噪声(稍后详述)。

所有情况下，都假设每一级均向驱动级提供零负载。图中所示的各级没有反映具体的运算放大器，但还是可以从OP27模型中看到示例原则(参见参考文献10)。

上述所有频率整形级均为直流耦合，且具有单位增益，因此可任意增减，不会影响模型的低频响应。最重要的是，高频增益和相位响应可精确定制，以匹配实际放大器响应。与更简化的模型相比，这种频率整形灵活性的好处在ADSpice模型闭环脉冲响应和稳定性分析的性能对比中尤为明显。稍后将举例说明这一点。

### ADSpice宏观模型：输出级

图5所示为ADSpice模型的输出级一般形式，可对运算放大器的多个重要特性进行模拟。 $R_{O1}$ 和 $R_{O2}$ 的戴维宁等效电阻能够模拟运算放大器的直流开环输出阻抗，电感 $L_O$ 则模拟高频时阻抗的增加。该级的单位增益特性通过 $g_7-R_{O1}$ 和 $g_8-R_{O2}$ 的乘积来设置。

此外，输出负载电流准确反映在电源电流中。相比Boyle模型，这一特性是一项重大改进，因为负载电路的功耗可以准确分析。而且，采用运算放大器电源电流作为信号路径一部分的电路也可以准确仿真。输出级不是为了反映任何特定的运算放大器，但AD817模型中可以找到极为相似的特性(参见参考文献11)。

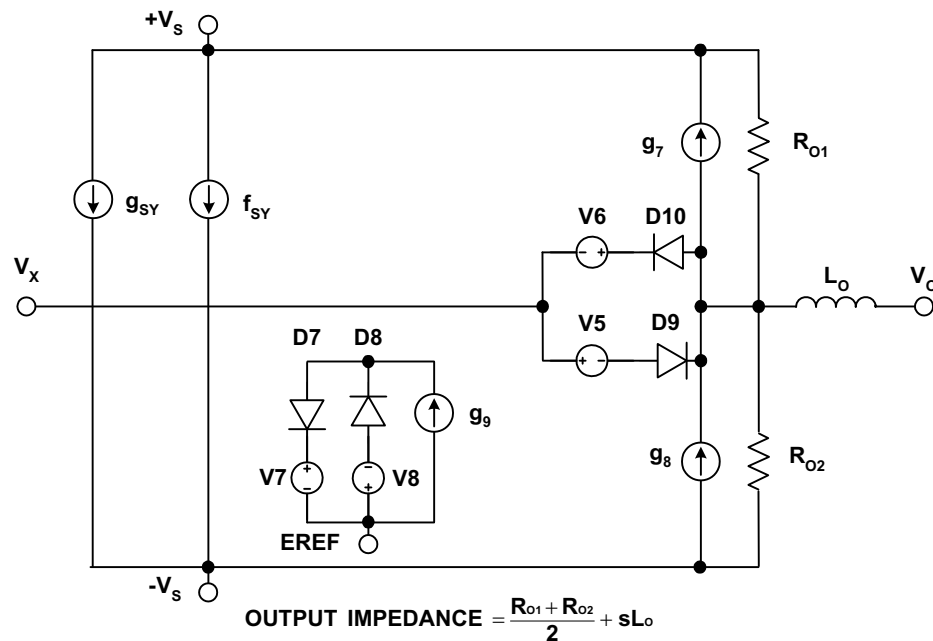


图5：通用宏观模型输出级

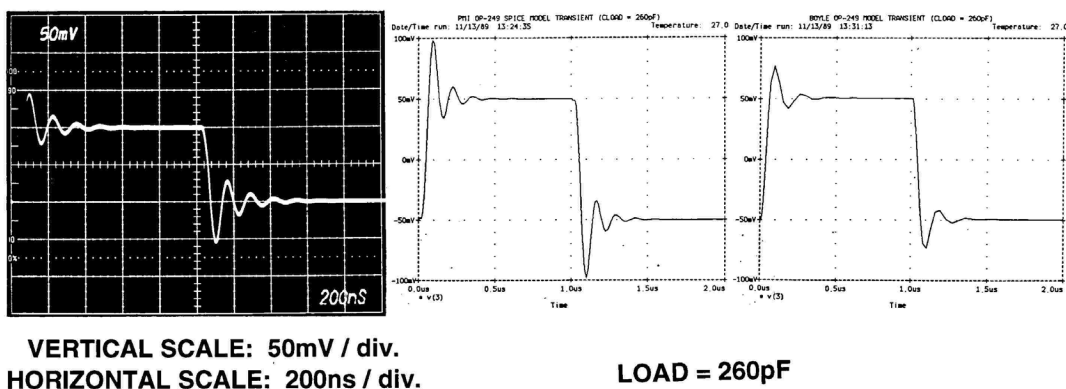
随着最近出现大量的轨到轨输出级运算放大器，各种定制模型拓扑结构得以开发出来。ADSpice库因此得以扩展，可以包括轨到轨模型特性，能够匹配采用P和N MOSFET器件的运算放大器架构以及双极性器件。从特性上来看，轨到轨输出级包括多个不同的关键性能点。最重要的一点就是能够使运算放大器输出在两个电源的几mV内摆动。第二点，该输出级具有大于1的电压增益，第三点，具有较高的输出阻抗(与传统发射极跟随器输出一样高)。

ADI SPICE宏观模型库中具有多种轨到轨输出级的模拟方法示例。[OP295](#)(参考文献12)采用CMOS器件来实现轨到轨输出，[OP284](#)(参考文献13)采用则采用双极性器件实现同一目的。[AD8031](#)和[AD823](#)(参考文献14和15)宏观模型采用合成技术来模拟轨到轨输出。[AD8051/AD8052/AD8054](#)、[AD8552](#)和[AD623](#)(参考文献16-18)综合采用选定的分立式器件模型和合成技术，来实现运算放大器与仪表放大器的轨到轨输出工作。

除了轨到轨输出工作以外，许多现代运算放大器还具有轨到轨输入级。这些级基本上可以通过补充PNP级来复制基于NPN的差分级，两个级并行工作。这使得运算放大器能够提供包括两个供电轨的共模范围。CMOS运算放大器中也可采用P型和N型MOS差分对实现这一特性。[OP284](#)、[AD8031](#)和[AD8552](#)(参考文献13、14和17)等模型示例均可体现轨到轨输出级。

### ADSpice宏观模型：瞬态响应

多极点/零点的性能优势很容易通过瞬态脉冲响应测试显示出来，如图6所示。该图将一个实际[OP249](#)运算放大器(ADSpice模型)与Boyle模型进行了对比。该图显示由该模型中无限多个极点和零点产生的改进后的执行效果。



**图6: OP249跟随器(左)模型的脉冲响应对比, 在保真度方面ADSpice模型(中)优于Boyle模型(右)**



对单位增益跟随器电路而言，该瞬态分析图中的差异很明显。其中采用OP249放大器，输出连接至反相输入，还采用260 pF容性负载。

如图所示，这会导致振铃，从运算放大器响应中可以看到(左)。注意，ADSpice模型可以准确预测过冲和阻尼振铃(中)频率。相比之下，Boyle模型(右)可以预测大约一半的过冲和小得多的振铃。

### ADSpice宏观模型：噪声模型

ADSpice模型的一大改进是能够真实模拟运算放大器的噪声性能。对那些试图手动分析噪声的人来说，能够在SPICE中模拟电路噪声实在令人兴奋不已。完整的分析十分繁琐，需要添加来自所有有源器件和电阻的独立噪声贡献，并将其折合至输入端。

为了便于实现这一目标，ADSpice经过了改进，以包括能够精确模拟实际运算放大器宽带和 $1/f$ 噪声的噪声发生器。理论上，这首先包括在无噪声情况下制作现有模型，然后是增加分立式噪声发生器，从而仿真目标器件。如前所述，所有的ADI模型都不一定针对噪声精密特性而设计。但是，选定的器件模型针对噪声而设计，其典型应用包括低噪声应用。

第一步是练习调低模型的内部阻抗。例如，通过将极点/零点的阻抗从 $106\ \Omega$ 的基极阻抗减少到 $1\ \Omega$ ，总噪声可以大大降低，如图7所示。

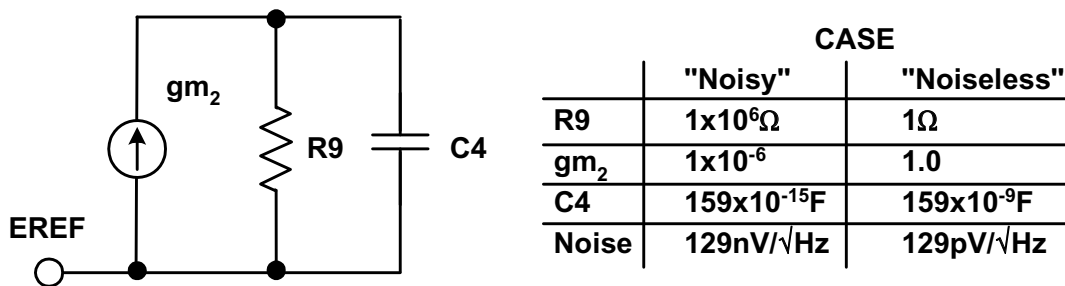


图7：为了实现低噪声工作，设计的第一步是减少极点/零点单元阻抗

在图表中的“噪声”列，具有较大R9阻值的所示极点点级噪声为 $129\ nV/\sqrt{Hz}$ 。但是，当该电阻调低 $10^6$ 倍至 $1\ \Omega$ 时，如“无噪声”列所示，级噪声为 $129\ pV/\sqrt{Hz}$ 。注意，跨导和电容值也以相同倍数调整，保持同样的增益和极点频率。为使模型的输入级无噪声，应在高电流下工作，并减少负载阻抗，使噪声贡献可忽略不计。将这些技术扩展用于整个模型，可使其基本无噪声。

一旦整体噪声减少，就会增加独立噪声源，一个针对电压噪声，两个针对电流噪声。使用的基本噪声源拓扑结构如图8所示，可以经过设置来产生电压和电流噪声输出。

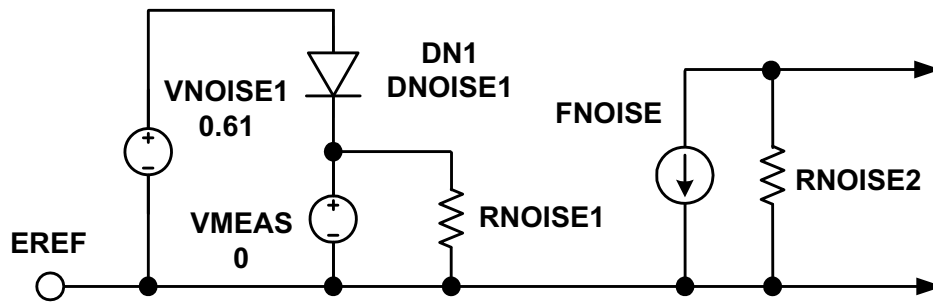


图8: 基本SPICE噪声发生器由二极管、电阻和受控源组成

注意，在SPICE中，半导体模型可以产生 $1/f$ (闪烁)噪声。噪声发生器采用DN1之类的二极管来产生这一部分噪声，模拟运算放大器的 $1/f$ 噪声。通过合理规定二极管模型参数和偏置电压 $V_{NOISE1}$ ， $1/f$ 噪声会经过定制，以匹配运算放大器。DN1的噪声电流流经零电压源。此处， $V_{MEAS}$ 用作测量器件，结合DN1的 $1/f$ 噪声和 $R_{NOISE1}$ 的宽带噪声。

$R_{NOISE1}$ 针对具有适当宽带噪声的值来选择。 $V_{MEAS}$ 中的组合噪声电流由 $F_{NOISE}$ 监控，表现为 $R_{NOISE2}$ 上的电压。该电压随后会通过受控电压源与一个放大器输入串联注入，如图3中的 $E_N$ (再看一次)。 $F_{NOISE}$ 或受控电压源系数可用于整体噪声电压调整。

电流噪声的产生与上述过程相似，除非不使用产生 $R_{NOISE2}$ 电压的电阻，两个电流受控源可驱动放大器输入。噪声发生器在接地电压附近具有对称性时，直流误差就不会产生。

### ADSpice: 电流反馈放大器模型

如前所述，用于电流反馈放大器的全新模型拓扑结构已经开发完成，可以支持其独特的输入级结构(参见参考文献9)。该模型采用图9所示的拓扑结构，用于输入和增益级。模型的其余部分(未显示)包括多极点/零点和输出级，本质上和电压反馈放大器相同，如上文所述。





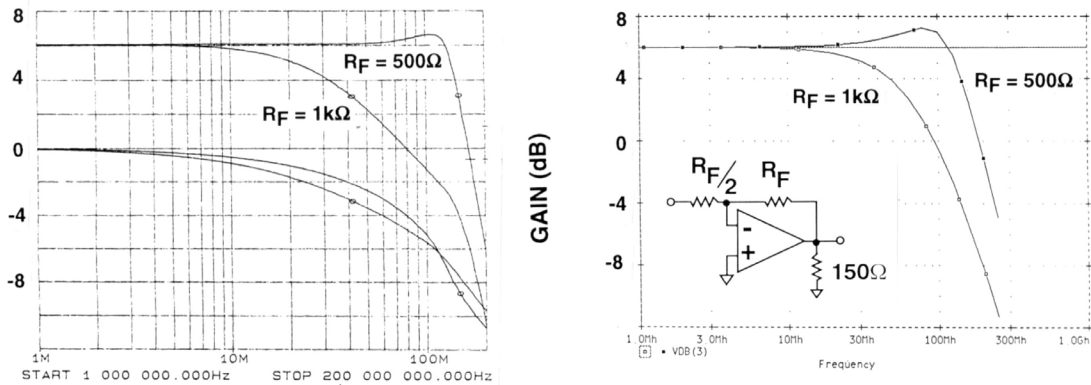


图10：实际AD811电流反馈运算放大器(左)和宏观模型(右)对比显示，两者在反馈阻抗变化时具有相似特性

模拟PCB寄生效应

PCB寄生效应可对电路的性能产生重大影响，对高速电路的影响尤为严重。输出节点上几皮法的电容就可使稳定电路和振荡电路出现差异。因此，电路仿真时，必须仔细考虑这些效应，才能获得有意义的结果。

为了表明PCB寄生效应的影响，图11(左)中的简单电压跟随器电路构建了两次。第一次是在仔细排列的PCB上，第二次是在元件插入型原型板上。其中用到了AD847运算放大器，因为其具有50 MHz带宽，会使寄生效应变得更加明显(C值越小，寄生效应越明显)。

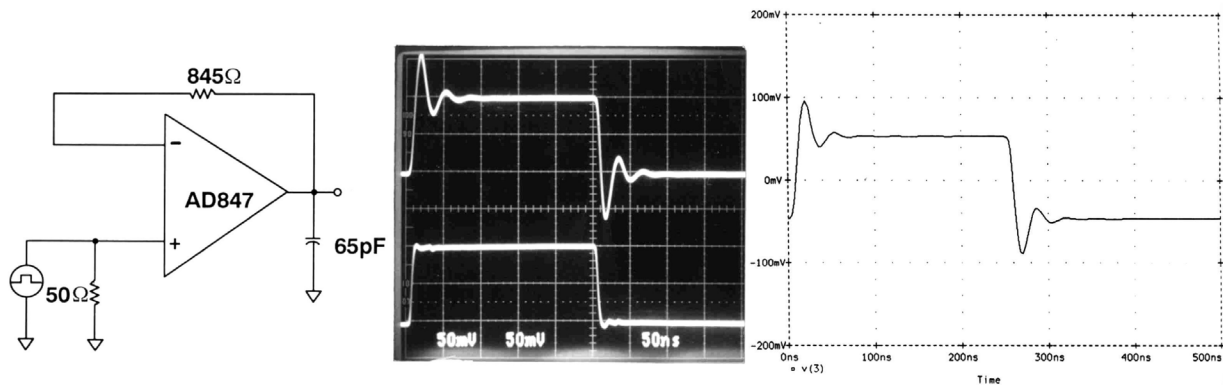
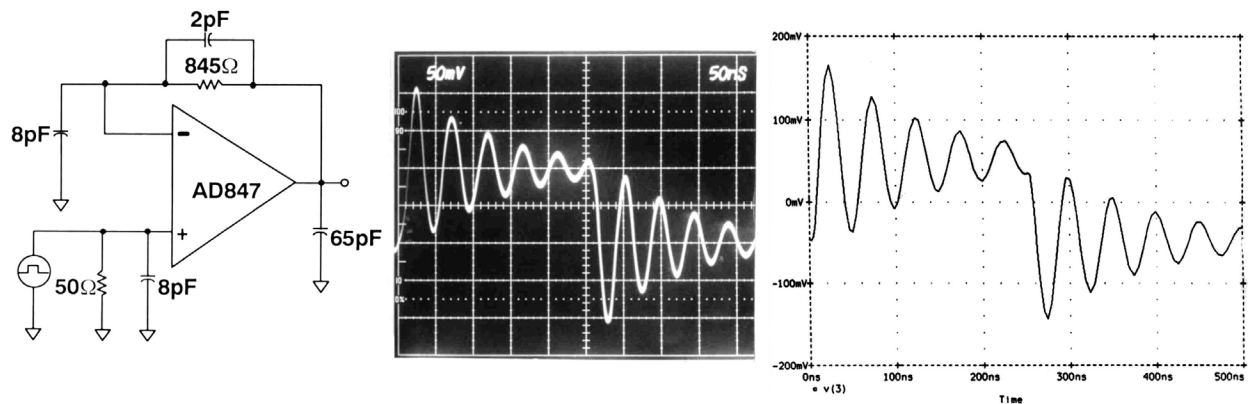


图11：将PCB布局中的寄生效应谨慎控制在较低值，实验室测试(中)和仿真(右)结果会趋于一致

如前所述，该电路在合理布局的PCB上运行，具有干净响应，过冲和振铃都很小(中)。SPICE模拟结果和实际器件也很接近，显示出相应的仿真结果(右)。

另一方面，插入型原型板上的同样电路也显示出完全不同的结果。一般而言，它显示出的性能会差得多，因为运算放大器输入周围的节点电容大得多，会将方波响应降低至严重的振铃，性能比器件完全发挥作用时要差得多，

分别如图12的中图和右图所示。左图的电压跟随器电路显示，额外电容为原型板的固有电容。通过该测试电路和相应的分析，(最初)不精确的实验室测试和相应的SPICE测试之间未能达成一致。但是，当SPICE文件中包括相关PCB寄生电容时，仿真结果就会与实际电路相符，如右图所示。



**图12：没有低寄生效应时，实验室测试结果(中)和相应的仿真(右)依然不一致——阻尼响应较差时**

该示例显示出几个要点。首先，PCB寄生效应很容易就能使高速电路表现得和简单SPICE分析结果不一致。其次，当SPICE网络列表经过调整，以便更合理地反映PCB的寄生元件时，仿真结果就和实际实验室测试差不多。最后一点显而易见，具有最小寄生效应的整洁PCB布局对高速设计至关重要。从更广阔的角度来看，如今的运算放大器已经能够在1 GHz甚至更高频率下工作了！

仿真还可以用作对PCB布局设计的初步测量，这一点也很有意思。如果在没有任何寄生效应时，仿真结果与PCB相一致，可以确定PCB布局十分合理。

寄生PCB元件并非仿真和试验板之间唯一可能产生差异的区域。电路在上电时可能会表现出非线性特性，会导致器件锁定。器件还可能由于电源去耦不足或引脚电感而产生振荡。SPICE电路无需旁路，但实际电路通常都需要！实际上，不可能预测出放大器可能面临的所有正常或异常工作条件。

因此，电路必须在实验室中经过原型制作，并进行彻底检查。在上述设计阶段事先仔细考虑，有助于尽可能防止在最终生产PCB时出现未知问题。

### 其他ADI设计与仿真工具

ADI公司网站[设计中心](#)有大量的有用设计工具。其中，下列工具与本指南讨论的仿真相关。

[ADIsimOpAmp](#)是一种在线工具，有助于电压反馈运算放大器的选择、评估和故障诊断。它两种评估模式：

1. “APET”模式(放大器参数评估工具)采用National Instruments LabVIEW®和典型参数数据对选定放大器的一般特性进行数学建模。借助这款工具，用户可以选择放大器，快速配置电路，施加信号，以及评估一般性能。
2. “SPICE”模式采用MultiSIM9® SPICE仿真引擎，用户可在SPICE环境下进行额外测试。

[ADIsimOpAmp](#)可用于快速选择及检查放大器参数性能，如增益带宽、压摆率、输入/输出范围、差分电压、增益误差、负载电流、可能的稳定性问题和直流误差。APET模式仅限于一阶估算，额外评估应使用SPICE仿真和硬件测试完成。

使用APET模式的基本仿真过程如下：

1. 选择电路
2. 输入电路元件值
3. 选择并输入输入信号参数
4. 选择待评估放大器
5. 参数搜索
6. 放大器向导
7. 推荐放大器(反向搜索-见下文)
8. 分析放大器响应
9. 运行模型
10. 查看结果

“推荐放大器”功能采用输入的电路要求，对数据库中所有放大器执行参数计算。计算完成后，就会由好至差的顺序列出器件。如果无法找到满足所有要求的放大器，搜索功能会推荐最接近的器件。

ADI公司与NI电子实验台部通过[Multisim™ Analog Devices®版](#)为电路板设计人员提供专门用于评估ADI器件的NI Multisim免费下载版本。利用这款易用的交互式SPICE仿真器，设计人员可以避免昂贵且费时费力的原型制作工作。

借助NI Multisim Analog Devices版，工程师可以：

1. 构建仿真器件评估电路，快速评估ADI公司的800多种运算放大器、开关和基准电压源。
2. 在最多包括25个器件的目标电路拓扑结构中检验受测单元。
3. 使用内置仪器和分析方法，包括示波器和最差情况分析。
4. 轻松替换器件，确定最佳设计选项。
5. 与ADI公司设计中心相连，使用更多在线评估工具。
6. 即时访问各种ADI器件的产品页面和数据手册。
7. 升级为NI Multisim完整版，完成设计并使用NI Ultiboard转换成电路板布局。

#### 参考文献：

1. L. W. Nagel, "SPICE2: A Computer Program to Simulate Semiconductor Circuits," May 1975, UCB/ERL M75/520, Univ. of California, Berkeley, CA, 94720.
2. Andrei Vladimirescu, K.Zhang, A.R.Newton, D.O.Pederson, "SPICE Version 2G User's Guide," August 1981, Department of Electrical Engineering and Computer Sciences, Univ. of California, Berkeley, CA, 94720.
3. Mark Alexander, Derek Bowers, "SPICE-Compatible Op Amp Macromodels," *EDN*, February 15, 1990 and March 1, 1990 (available as Analog Devices, Inc. [AN-138](#)).
4. Joe Buxton, "Analog Circuit Simulation," Chapter 13 of *Amplifier Applications Guide*, 1992, Analog Devices, Inc., Norwood, MA, ISBN 0-916550-10-9.
5. Andrei Vladimirescu, *The SPICE Book*, John Wiley & Sons, New York, 1994, ISBN 0-471-60926-9.
6. "Development of an Extensive SPICE Macromodel for "Current-Feedback" Amplifiers," National Semiconductor AN-840, July 1992.
7. David Hindi, "A SPICE Compatible Macromodel for CMOS Operational Amplifiers," National Semiconductor AN-856, September 1992.
8. Boyle, et al, "Macromodelling of Integrated Circuit Operational Amplifiers," *IEEE Journal of Solid State Circuits*, Vol. SC-9, no.6, December 1974.
9. Derek Bowers, Mark Alexander, Joe Buxton, "A Comprehensive Simulation Macromodel for 'Current Feedback' Operational Amplifiers," *IEE Proceedings*, Vol. 137, Pt. G, # 2, April 1990.
10. [OP27 op amp macromodel, Rev B](#), Analog Devices, Inc., SPICE model library, December 1990.
11. [AD817 op amp macromodel, Rev A](#), Analog Devices, Inc., SPICE model library, November 1992.

12. [OP295 op amp macromodel, Rev 2.0](#), Analog Devices, Inc., SPICE model library, July, 2008.
13. [OP284 op amp macromodel, Rev B](#), Analog Devices, Inc., SPICE model library, November 1995.
14. [AD8031A op amp macromodel, Rev C](#), Analog Devices, Inc., SPICE model library, August 1996.
15. [AD823AN op amp macromodel, Rev C](#), Analog Devices, Inc., SPICE model library, April 1997.
16. [AD8051/AD8052/AD8054 op amp macromodel, Rev 0](#), Analog Devices, Inc., SPICE model library, September 1998.
17. [AD8552 op amp macromodel, Rev 1.0](#), Analog Devices, Inc., SPICE model library, July, 1999.
18. [AD623 in-amp macromodel, Rev B](#), Analog Devices, Inc., SPICE model library, September 2000.
19. PSpice® Simulation software, <http://www.cadence.com/products/orcad/pages/default.aspx> .
20. Hank Zumbahlen, *Basic Linear Design*, Analog Devices, 2006, ISBN: 0-915550-28-1. Also available as [Linear Circuit Design Handbook](#), Elsevier-Newnes, 2008, ISBN-10: 0750687037, ISBN-13: 978-0750687034. Chapter 12
21. Walter G. Jung, [Op Amp Applications](#), Analog Devices, 2002, ISBN 0-916550-26-5, Chapter 7. Also available as [Op Amp Applications Handbook](#), Elsevier/Newnes, 2005, ISBN 0-7506-7844-5. Chapter 7.
22. Walt Kester, [High Speed System Applications, Analog Devices, 2006, ISBN-10: 1-56619-909-3, ISBN-13: 978-1-56619-909-4, Part 4](#).

Copyright 2009, Analog Devices, Inc. All rights reserved. Analog Devices assumes no responsibility for customer product design or the use or application of customers' products or for any infringements of patents or rights of others which may result from Analog Devices assistance. All trademarks and logos are property of their respective holders. Information furnished by Analog Devices applications and development tools engineers is believed to be accurate and reliable, however no responsibility is assumed by Analog Devices regarding technical accuracy and topicality of the content provided in Analog Devices Tutorials.



## 试验板和原型制作技术

### 模拟电路仿真限制

如教程[MT-099](#)所述，系统设计人员面临巨大压力，在着手实际印刷电路板布局和硬件前必须通过电脑仿真验证其设计。仿真复杂数字设计非常有利，常常可彻底省去原型制作阶段。不过，在高速/高性能模拟或混合信号电路设计中绕过原型制作阶段存在风险，原因很多。

[MT-099](#)所述的宏模型仅是实际电路的近似体，很少包括寄生效应，例如封装电容和电感、PC板布局。由于模型足够简单，因此使用多个IC的电路可在合理的计算时间内以良好的收敛确定性进行仿真。因此，SPICE建模并不一定能反映电路的真实性能，因此一定要使用仔细构建的原型进行实验验证。

最后，可能存在某些混合信号IC，例如无SPICE模型的ADC和DAC，模型无法仿真其动态性能(信噪比、有效位、SFDR等)。不过，软件方面的最新进步(ADIsimADC™或VisualAnalog™)提供了精确的行为模型，可不借助硬件而在用户条件下预测ADC动态性能。

### 原型制作技术

试验板或原型结构的基本原理是它是临时器件，设计用于测试电路或系统的性能。根据此定义，它必须易于修改，特别是对于试验板。

目前有许多商业原型制作系统，但对于模拟设计人员来说很不幸，几乎所有这些产品均设计用于制作数字系统原型。在此类环境中，抗扰度有数百毫伏或更高。常用的原型制作方法包括非铜箔矩阵板、非箔Vectorboard®、绕线和插入式试验板系统。然而，所有这些方法不适用于高性能或高频模拟原型制作，因为模拟原型具有极高的寄生电阻、电感和电容水平。许多原型制作应用甚至不建议使用标准IC插槽(下文将详细讨论)。

图1总结了许多关于选择可用模拟试验板和/或原型制作系统的要点，下文将深入讨论。



- ◆ **Always Use a Large Area Ground Plane for Precision or High Frequency Circuits**
- ◆ **Minimize Parasitic Resistance, Capacitance, and Inductance**
- ◆ **If Sockets Are Required, Use "Pin Sockets" ("Cage Jacks")**
- ◆ **Pay Equal Attention to Signal Routing, Component Placement, Grounding, and Decoupling in Both the Prototype and the Final Design**
- ◆ **Popular Prototyping Techniques:**
  - **Freehand "Deadbug" Using Point-to-point Wiring**
  - **Milled PC Board From CAD Layout**
  - **Multilayer Boards: Double-sided With Additional Point-to-point Wiring**
- **Modern Surface-Mount ICs in Small Packages Require Special Techniques—Usually a Preliminary Multilayer PC Board Layout**

### **图1：模拟原型制作系统要点总结**

在选择原型制作方法时，更重要的考虑因素之一是需要大面积接地层。这是高频电路和低速精密电路的要求，特别是在制作包含ADC或DAC的电路时。高速和高精度混合信号电路很难区分。例如，16+位ADC(和DAC)可采用具有快速上升和下降时间(小于数纳秒)的高速时钟(>10 MHz)工作，而转换器的有效吞吐速率可小于100 kSPS。这些电路的成功原型制作还需要特别注意高速和高精度电路技术。

几年前，许多IC同时提供DIP和表贴封装，因此试验板和原型制作可使用用户友好的DIP封装完成。而现在，大多数高性能数据转换器不提供DIP封装，即使采用，由于封装寄生效应增加，许多情况下会限制性能。

目前环境下的试验板和原型制作尤其困难，因为小封装的现代贴IC很难利用手动技术焊接到任何类型的PC板内。球栅阵列(BGA)封装几乎不可能手动焊接。插槽更不可能，因为它不但昂贵，而且会增加寄生效应，许多情况下，必须设计和制造实际多层PC板。这种趋势使得IC制造商不得不提供各种高质量、记录齐全的评估板，以帮助完成项目的初始设计阶段。

## “死虫”(DEADBUG)原型制作

一种简单的模拟原型制作技术(采用DIP IC)使用实心铜箔板作为接地层(参见参考文献1和2)。在此方法中, IC的接地引脚直接焊接至接地层, 而其他元件在接地层上方连在一起。这使得HF去耦路径变得很短。引脚长度必须尽可能短, 信号路由应将高电平和低电平信号分隔开。连接导线应靠近电路板表面, 以最小化杂散感性耦合的可能性。大多数情况下, 应使用#18导线或更大的绝缘导线。并行导线不应“捆绑”, 否则可能造成耦合。理想情况下, 布局(至少是电路板上元件的相对位置)应类似于用于最终PCB上的布局。此方法通常称为死虫原型制作, 因为IC通常颠倒安装, 引脚悬空(接地引脚除外, 引脚弯曲并直接焊接至接地层)。颠倒的IC看着像僵死的昆虫, 因而得名。

图2显示了手动布线的“死虫”模拟试验板。此电路使用两个高速运算放大器, 虽然外观不起眼, 但却提供了极佳的性能。IC运算放大器借助弯曲的引脚颠倒安装于铜板上。信号与短点对点线路连接。接地层上导线的特征阻抗约为 $120\ \Omega$ , 但依据与接地层的距离可有 $\pm 40\%$ 的变化。去耦电容直接从运算放大器电源引脚连接至铜箔接地层。当在数百MHz的频率下工作时, 最好仅使用电路板一侧作为接地层。有些人员会在电路板上钻孔, 通过焊接短导线将多层连在一起。如果不小心, 这可能在电路板两侧间形成异常接地环路, 特别是在RF频率下。

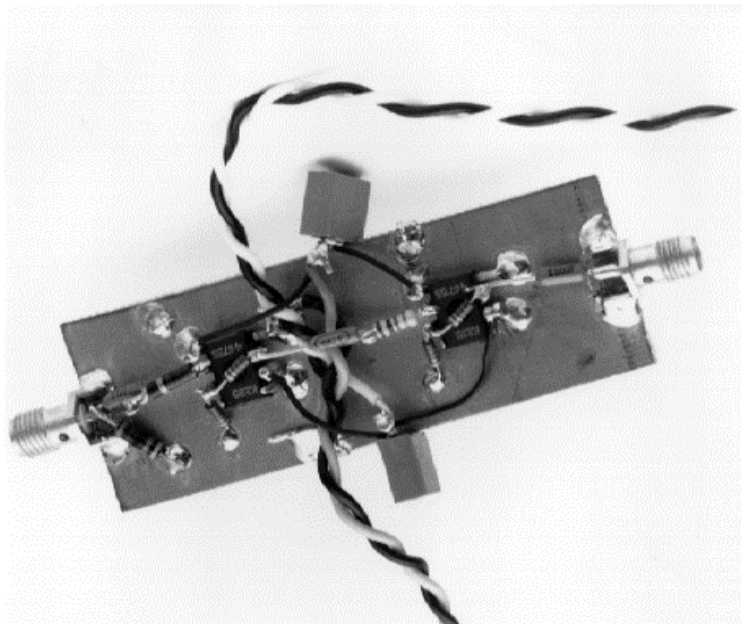


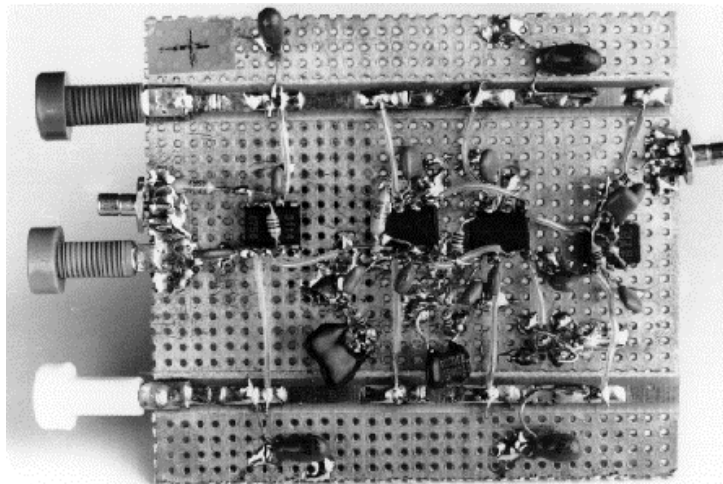
图2: “死虫”模拟试验板

多片铜箔板可与主接地层垂直地焊接，以提供屏蔽，或者可在电路板两侧上构建电路(采用通孔连接)，而利用电路板本身提供屏蔽。为此，电路板需要拐角支柱，保护下侧元件不受挤压。

当该类型试验板的元件使用点对点飞线(Bob Pease强烈推荐的一种结构(参见参考文献3)，有时称为“鸟巢”结构)时，就有电路受到挤压并最终短路的危险。另外，如果电路升高至接地层以上，接地层屏蔽效应降低，电路不同部分之间产生相互作用的可能性增加。不过，该技术因为电路容易修改而得到广泛使用(当然前提是修改人员谙熟焊接技术)。

图3中显示了另一种原型试验板变体。这里单面铜箔板已经在0.1"中心处预先钻孔(参见参考文献4)。电路板顶部和底部使用电源总线。每个IC的电源引脚上使用去耦电容。提醒大家，由于预钻孔消耗了铜箔面积，该技术提供的接地阻抗不如图2中完整覆盖的铜箔板低。

在该技术的变体中，IC和其他元件安装于电路板的非铜箔侧。钻孔用作过孔，点对点布线在电路板铜箔侧实施。请注意，在用作过孔的每个孔周围，必须钻去铜箔以防止短路。该方法要求所有IC引脚位于0.1"中心处。对于低频电路，可使用小尺寸插槽，这样插槽引脚更有利于点对点布线。



**图3：“死虫”原型，使用0.1"预钻孔单面、铜箔印刷电路板材料**

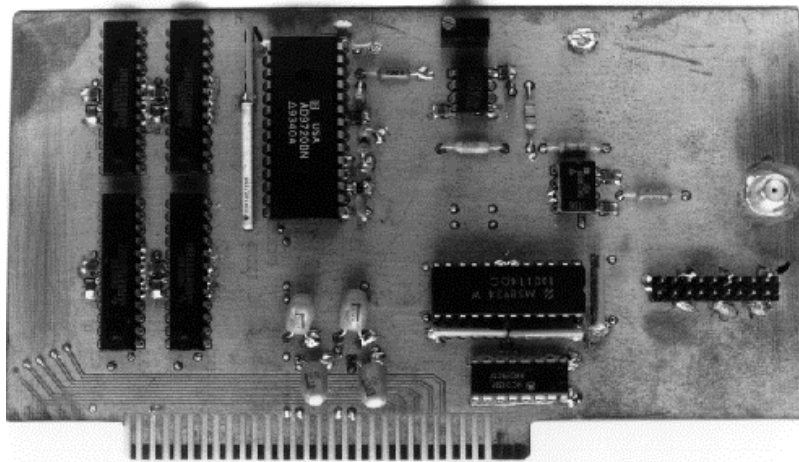
## 铣磨PCB原型制作

对于复杂模拟电路，“死虫”原型已变得繁琐，更大的电路最好使用较正式的布局技术来制作原型。

一种原型制作方法是从小传统PCB结构去除一个步骤，下面将予以说明。实际上它是使用传统CAD技术进行双面电路板布局。基于PC的布局软件包提供简单的布局和原理图绘制，便于验证连接(参见参考文献5)。虽然大多数布局软件具有一定程度的自动路由能力，该功能还是最适合数字设计。模拟走线和元件放置应手动完成，同时谨记本章其他部分给出的规则。电路板布局完成后，软件依据示意图网络列表验证连接。

许多设计人员发现，他们可以利用CAD技术完成简单的电路板布局。获得的测试码生成卷带(或Gerber文件)通常发送至PCB制造基地，供生产最终电路板。

除了借助PCB制造商，自动钻孔和铣磨机器可直接接受PG卷带(参见参考文献6和7)。图4显示了此类原型电路板的示例(俯视图)。



**图4：铣磨电路结构原型板(俯视图)**

这些系统可直接产生单面或双面电路板：首先钻出孔洞，接着使用铣磨机器移除导电铜箔，建立绝缘路径，最后完成原型电路板。所得电路板在功能上非常类似于最终制造的双面PCB。

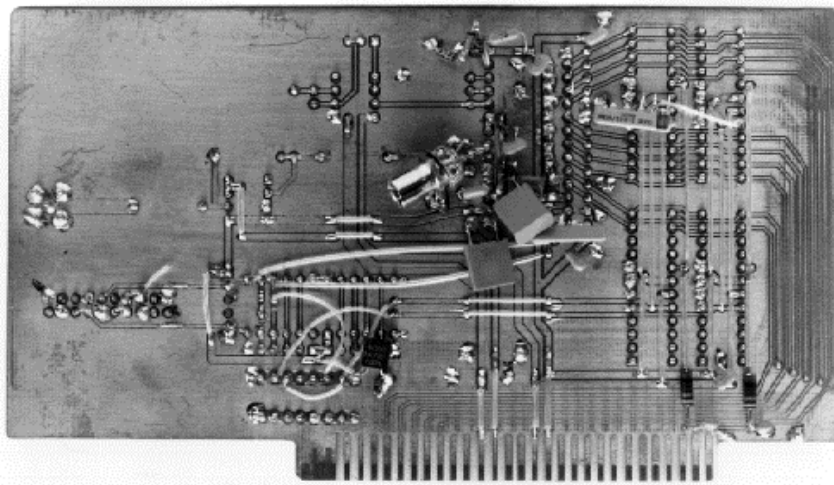


不过应注意，该方法的主要问题是沒有“通孔”能力。所以电路板两层之间需要的导电“过孔”必须在两面手动布线和焊接。

标准最小走线宽度为25密耳(1密耳 = 0.001")，走线间距为12密耳，当然也可实现更小的走线宽度，只要小心即可。线路最小间距取决于所用铣刀钻头的尺寸，通常为10到12密耳。

图5显示了该铣磨原型电路板的仰视图。铜皮具有可接近性，因此可接近走线进行修改。

铣磨电路型原型电路板的最大优势可能是它可以最大程度地接近最终PCB设计的格式。然而从本质上说，它基本仅限于单面或双面电路板，所以对表贴设计几乎无用。



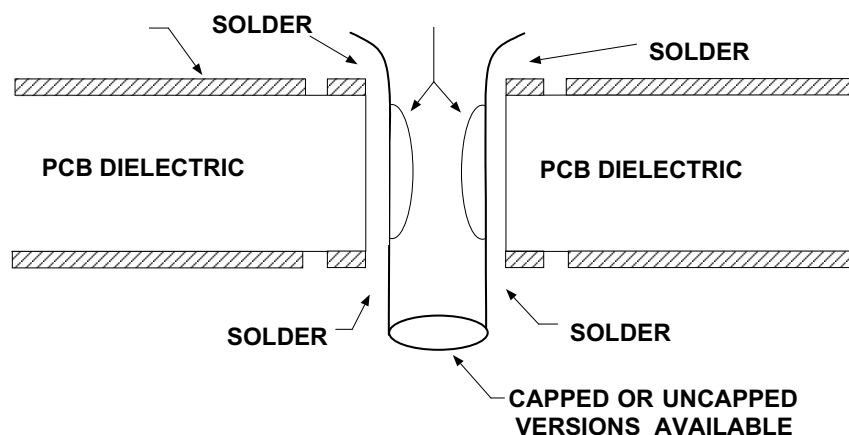
**图5：铣磨电路结构原型板(仰视图)**

### **小心插槽！**

IC插槽可降低高速或高精度模拟IC的性能。虽然有助于原型制作，但即使使用小尺寸插槽，常常也会带来可观的寄生电容和电感，以致降低高速电路的性能。如果必须使用插槽，可以接受由单独引脚插口(有时称为笼式插座)制成、安装于接地层板的插槽，如图6所示。

要使用该技术，应清除每个未接地引脚插槽周围约0.5 mm的铜箔(电路板两面)，然后将电路板两面的接地插槽引脚焊接至地。

以上引脚插槽提供封盖和无封盖两种版本(AMP产品型号5-330808-3和5-330808-6)。引脚插槽通过电路板突出至足以提供点对点线路互连。



**图6：必要时使用引脚插槽以最小化寄生效应**

由于引脚插槽内有弹簧加载镀金触点，可实现IC引脚的良好电气和机械连接。不过，反复插拔可能降低引脚插槽性能，这一点务必注意。

另外应注意，无封盖版本允许IC引脚从插槽底部伸出。该特性很有用。一旦使用引脚插槽的原型正常工作，且无需做其他更改，便可将IC引脚直接焊接至插槽底部。这样可以建立耐用的永久性连接。

### 使用适配板制作小型表贴IC原型

小型表面贴装推出时，通常提供器件的DIP版本，可用于制作原型。但是目前情况已改变，这些小型IC的原型制作很有挑战。图7显示了典型表贴IC封装。

解决方案(无需实际进行PC板布局)是将小型表贴IC安装于适配板上，接着将适配板焊接到铜箔原型板上。这样就能在适配板上轻松连接更大的焊盘和走线。适配板可从众多制造商处(参见参考文献9和10)获得，图8和9给出了部分选择。

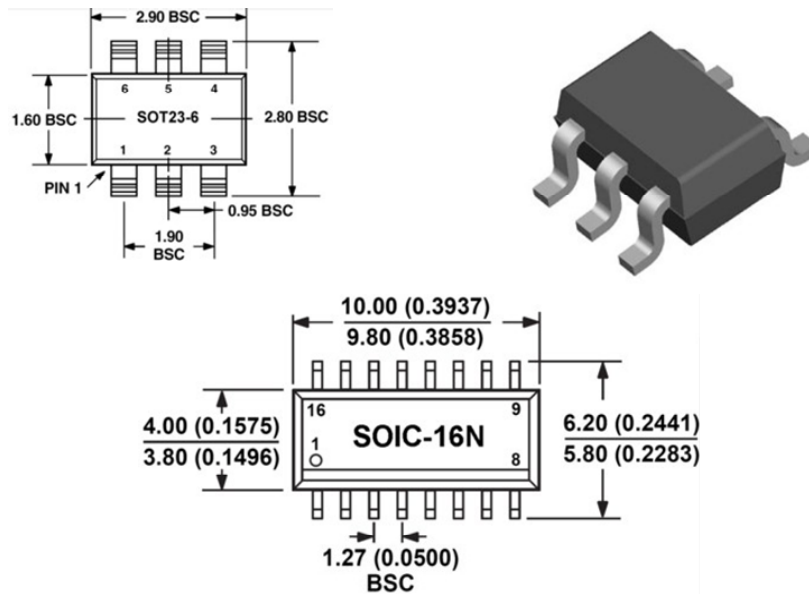
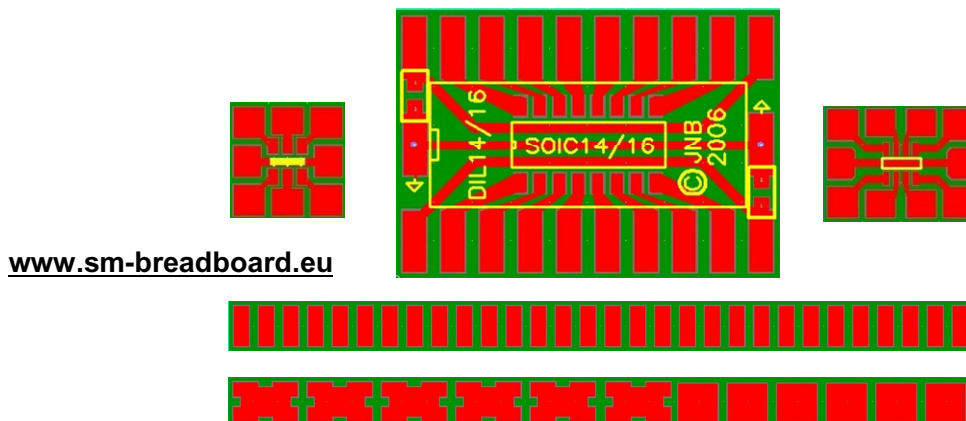


图7: 问题: 构建可用于小型表贴IC的试验板

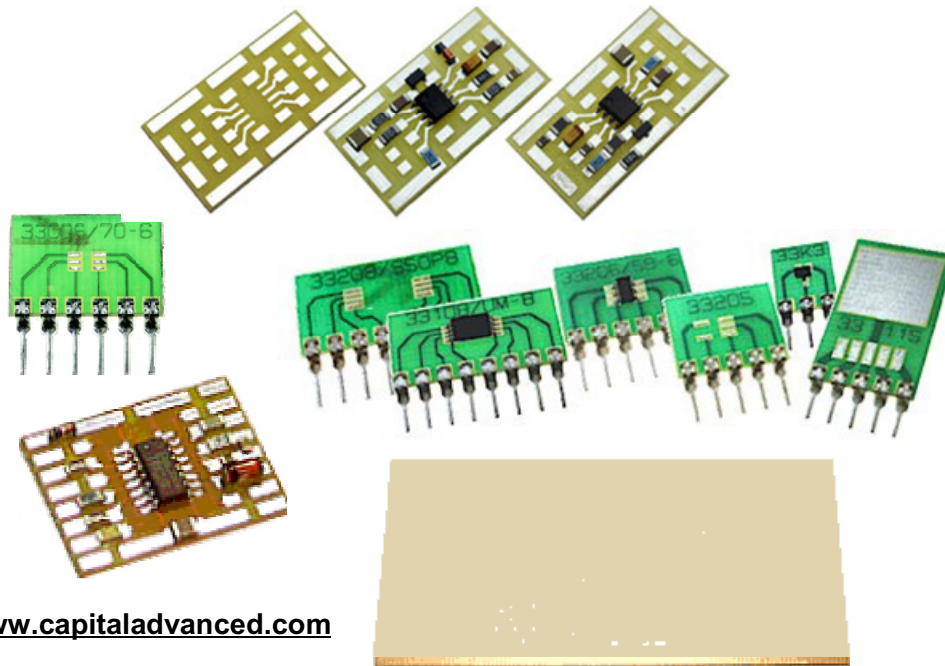
- ◆ Small PC adapter boards which hold SMDs and have pads (at 0.1" [2.54 mm] spacing) which are large enough to mount larger wired components.
- ◆ The boards, some of which can also carry DIL ICs, (usually) have provision for supply decoupling and can be mounted on a PCB ground plane by soldering their back plane to it (use a HOT iron!).
- ◆ There are also strips of pads for mounting other components.
- ◆ You can then breadboard just as you always do.



[www.sm-breadboard.eu](http://www.sm-breadboard.eu)

图8: 解决方案: 小型适配板



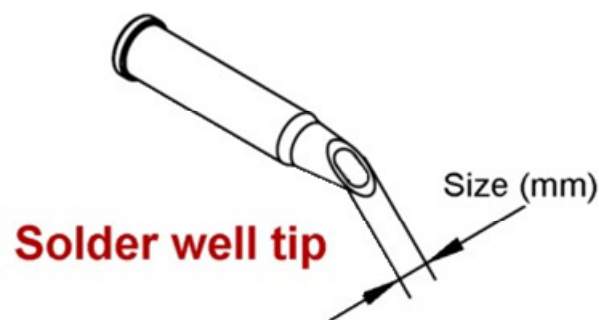


[www.capitaladvanced.com](http://www.capitaladvanced.com)

**图9: Capital Advanced Technologies, Inc.的Surfboards®**

正确的焊接技术对使用小型表贴IC的试验板至关重要。最重要的一点是使用恒温烙铁和正确尺寸的烙铁头，如图10所示。

- ◆ You need a good thermostatic soldering iron with a solder-well tip.



**图10: 另一个问题: 如何在小PCB上安装IC?**

图11中显示了焊接小IC的详细程序(由[www.sm-breadboard.eu](http://www.sm-breadboard.eu)™提供)。

- ◆ Set the tip temperature to the temperature appropriate to the solder alloy being used. (Leaded solder is cleaner and the EU lead-free laws do not apply to laboratory work.)
- ◆ Place component and fix two opposing corner pins.
- ◆ Apply flux liberally to all the pins of the IC.
- ◆ Clean the solder-well tip on a sponge.
- ◆ Fill the concave portion of the tip with solder, to slightly above the rim. Do not overfill!
- ◆ Holding your soldering iron VERY LIGHTLY in your hand, set the filled tip, with the solder-well side parallel to the PCB, down onto the flat exterior portion of the pins. The iron and tip should be parallel to the body of the SMD. Slowly pull it across the pins towards you.
- ◆ Repeat steps four and five for the remaining sides of the SMD.
- ◆ Remove flux residue if necessary.
- ◆ Note: A suitable iron, available with solder-well tips, is the ERSA i-CON
  - ERSA GmbH • Leonhard-Karl-Straße 24 • 97877 Wertheim • Germany • [www.ersa.com](http://www.ersa.com)

图11: 焊接程序(由[www.sm-breadboard.eu](http://www.sm-breadboard.eu)™提供)

### 其他原型制作要点

迄今所述的原型制作技术仅限于单面或双面PCB。多层PCB并不太适合标准原型制作技术。如果需要制作多层电路板原型，双面电路板的一面可用于接地层，另一面用于电源和信号层。点对点布线可用于通常放置在多层电路板提供的其它层上的其他线路。不过，控制点对点布线的阻抗较困难，而且依此方式制作的电路原型的高频性能可能与最终多层电路板相去甚远。

对于带宽大于数百兆赫的运算放大器或其他线性器件，原型制作可能面临更多困难。原型与最终电路板之间的寄生电容的小变化( $< 1 \text{ pF}$ )可造成带宽和建立时间的细微差异。

有时，最终量产封装为SOIC时，原型制作可使用DIP封装(如果可用)完成。但此方法不推荐使用！在高频下，与小型封装相关的寄生效应差异可导致原型与最终PCB间性能不同。要最大程度地减弱此效应，应始终使用最终封装制作原型。

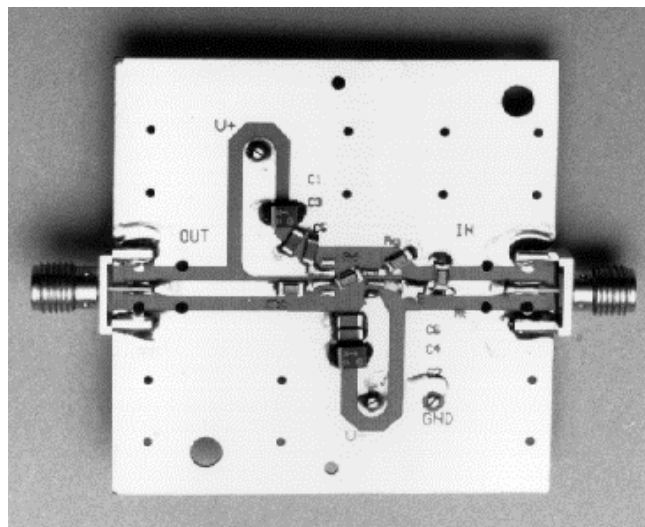
寄生效应差异还可影响使用前述小型“适配板”制作的原型的高频性能。

## 评估板

通常大多数模拟IC制造商以低廉的成本提供评估板。这些评估板使客户可以评估IC，而不用构建自己的原型。无论何种产品，制造商已采用正确的接地、布局和去耦防范措施，以确保器件性能达到最佳。在适用的情况下，评估PCB布局图通常免费提供，客户可直接复制布局或针对应用作出修改。

在高速/高精度IC中，必须特别注意电源去耦。例如，进入低阻抗负载的快速压摆率信号会在运算放大器的电源引脚上产生高速瞬态电流。瞬态电流会在电源走线中可能存在的任何寄生阻抗两端产生对应电压。这些电压又会耦合至放大器输出，因为运算放大器仅有有限的高频电源抑制。

[AD8001](#)高速电流反馈放大器是一个很好的例子，它提供了专用评估板。图12显示了该SOIC板的仰视图。器件选择三通道去耦方案，以确保在所有瞬态频率下具有低阻抗接地路径。最高频率瞬变通过双通道1000-pF/0.01- $\mu$ F陶瓷电容分流至地，电容位置尽可能靠近电源引脚，以将串联电感和电阻降至最低。由于使用这些表贴元件，接地层路径内的杂散电感和电阻降至最低。较低的频瞬态电流通过较大的10  $\mu$ F钽电容分流。



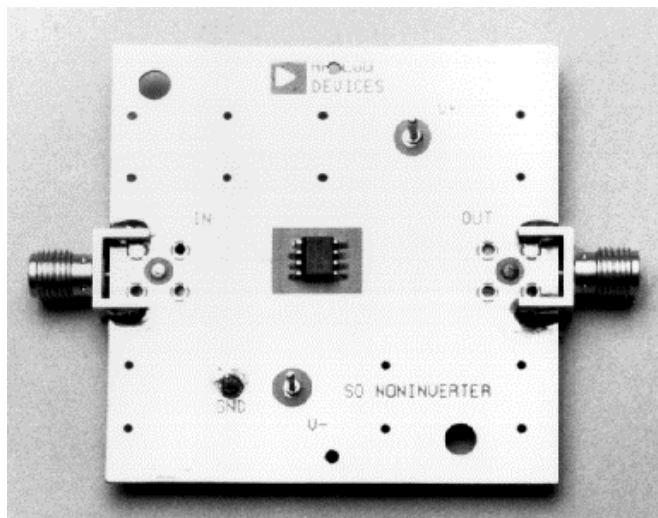
**图12：高速运算放大器(例如AD8001)需要具有适当接地层和去耦的专用评估板(仰视图)**

此电路板的输入和输出信号走线是50  $\Omega$ 微带传输线路，如左右两侧可见。增益设置电阻是具有低寄生电感的芯片式薄膜电路。这些元件可在图片中央看见，安装位置稍成对角线。

另外应注意，PCB两面具有可观的连续接地层区域。通孔在几个点上连接顶侧和底侧接地层，以便维持最低阻抗和最高频率接地连续性。

卡的输入和输出连接通过图中的SMA连接器提供，此连接器终止输入/输出信号传输线路。电路板与外部实验室电源的连接通过焊料终端完成，后者见于宽电源走线的末端。

图13显示了该卡的俯视图，其中可以清楚看到部分连接点。AD8001评估板是专为最低寄生电容而优化的同相信号增益级。如图所示，AD8001 SOIC封装周围的剖面区域具有最低杂散电容。



**图13: AD8001评估板使用大面积接地层和最低寄生电容(俯视图)**

本图中也可看见几乎连续的接地层和连接顶层/底层的多个过孔。

### 数据转换器评估板

设计精良的制造商评估板是强大的工具，可大大简化ADC或DAC与系统的集成。评估板的最佳特性可能是其布局专为优化数据转换器性能而设计。ADI公司在大多数ADC和DAC的数据手册中提供完整的电气原理图和器件列表，以及评估板上的PC板布局。多层电路板的每一层均有图示，如果需要，ADI还会提供电路板CAD布局文件(Gerber格式)。通过研究评估板布局，并用于指导系统板布局——甚至直接复制布局的关键器件，关于布局的许多系统级问题就可以避免。

评估板通常具有用于模拟、数字和电源接口的输入/输出连接器，以利与外部测试设备接口。任何需要的支持电路，例如基准电压源、用于产生时钟的晶振等等，一般都包括在电路板内。

许多现代数据转换器具有大量片内数字逻辑，用于控制各种工作模式，包括增益、失调、校准、数据传输等等。这些选项通过将适当的字载入内部控制寄存器来设置，通常是通过串行端口。一些转换器，特别是 $\Sigma$ - $\Delta$ 型ADC，仅设置了基本选项，因此需要深悉内部控制寄存器和接口。为此，大多数ADC/DAC评估板具有接口(并行、串行或USB)和软件，可从外部PC轻松实现各种内部选项的菜单驱动式控制。许多情况下，在评估软件中创建的配置文件可下载到最终系统设计中。

图14显示了ADI的一款[高速模数转换器数据采集评估套件](#)，该套件可连接到各种高速ADC评估板，例如本图显示的[AD9430](#) 12位、210-MSPS ADC。此评估套件包括存储器板(基于FIFO或FPAG)，以从ADC和ADC评估软件采集数据块。

数据采集板可连接至PC的USB端口，配合分析软件使用，以快速评估高速ADC的性能。基于FIFO的电路板包含两个32K、16位宽FIFO，每个通道可在最高133 MSPS的时钟速率下采集数据。器件采用ADIsimADC™软件工作。基于FPGA的数据采集板具有64K存储器，每个通道最高可在644 MSPS SDR或800 MSPS DDR下工作。器件采用VisualAnalog™软件工作。

这些电路板可用于单通道或双通道ADC，或者具有解复用数字输出的ADC。用户可查看FFT输出，分析SNR、SINAD、SFDR、THD和谐波失真信息。



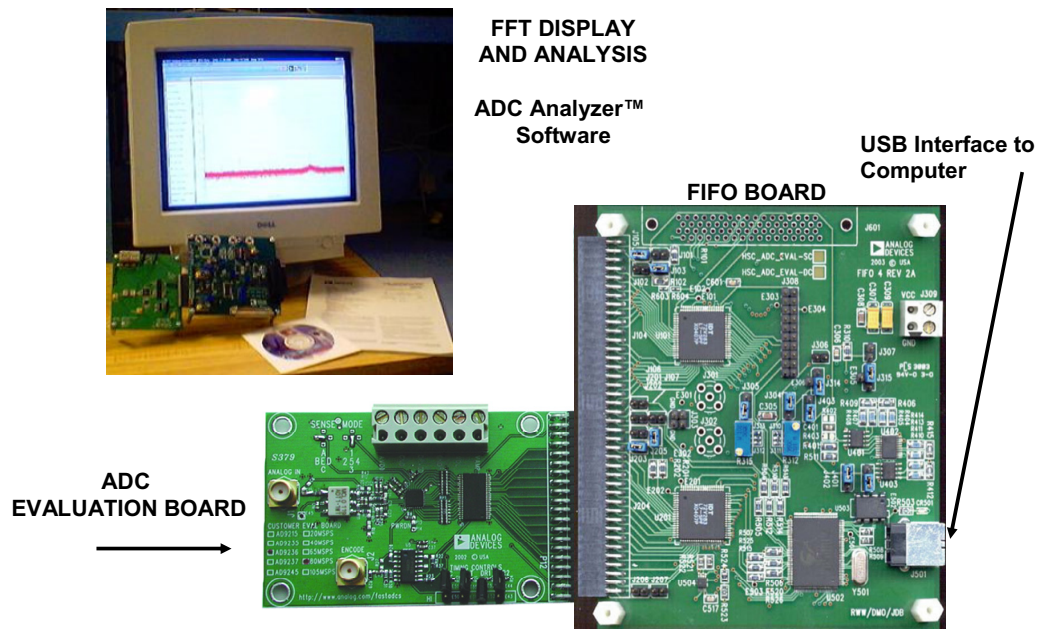


图14: ADI公司的高速ADC数据采集评估套件

## 总结

本节所述的原型制作技术对使用DIP封装的IC非常有用，在着手最终电路板布局前，制作至少部分关键模拟电路的原型很有必要。不过，现代高性能ADC和DAC通常提供小型表面贴装，因此不适合简单的原型制作技术。此系统需要多层PC板，使得原型制作流程更加复杂化。

许多情况下，高性能模拟系统的唯一有效原型是实际PC板布局，特别是最终设计中需要多层板时。装配具有小型表贴器件的PCB可能需要特殊焊接技术。参考各种网站，包括参考文献8和9，会有所帮助。

制造商评估板不仅可用于初始评估阶段，其布局也可用作实际系统板布局的指导。

**参考文献:**

1. Jim Williams, "High Speed Amplifier Techniques," Linear Technology AN-47, August, 1991.
2. Jim Williams, *The Art and Science of Analog Circuit Design (EDN Series for Design Engineers)*, Butterworth-Heinemann, 1995, ISBN-10: 0750695056, ISBN-13: 978-0750695053.
3. Robert A. Pease, *Troubleshooting Analog Circuits*, Butterworth-Heinemann, 1991, ISBN 0-7506-9184-0.
4. Vector Electronics and Technology, Inc., 11115 Vanowen St., North Hollywood, CA 91605, USA. Phone: (818) 985-8208. <http://www.vectorelect.com/>
5. PADS Software, Mentor Graphics, 8005 S.W. Boeckman Rd., Wilsonville, OR 97070, Tel: (503) 685-7000, <http://www.mentor.com/index>
6. LPKF Laser & Electronics, 28220 SW Boberg Rd., Wilsonville, OR 97020, 800-345-LPKF or (503) 454-4200, <http://www.lpkfcadcam.com>
7. T-Tech, Inc., 5591-B New Peachtree Road, Atlanta, GA, 30341, 800 370-1530 or (770) 455-0676, <http://www.T-Tech.com>
8. SparkFun Electronics, 6175 Longbow Drive, Suite 200, Boulder, CO, 80301. Tutorials on soldering surface mount ICs for prototypes <http://www.sparkfun.com/commerce/tutorials.php>
9. [www.sm-breadboard.eu](http://www.sm-breadboard.eu)
10. [Capital Advanced Technologies, Inc.](http://www.CapitalAdvancedTechnologies.com), 309 Village Drive Carol Stream, Illinois. 60188, 630-690-1696
11. Paul Rako, "[Prototyping Techniques: Things to Know Before Pulling the Trigger](#)", *EDN*, 12-05-2008.
12. Hank Zumbahlen, *Basic Linear Design*, Analog Devices, 2006, ISBN: 0-915550-28-1. Also available as [Linear Circuit Design Handbook](#), Elsevier-Newnes, 2008, ISBN-10: 0750687037, ISBN-13: 978-0750687034. Chapter 12
13. Walter G. Jung, [Op Amp Applications](#), Analog Devices, 2002, ISBN 0-916550-26-5, Chapter 7. Also available as [Op Amp Applications Handbook](#), Elsevier/Newnes, 2005, ISBN 0-7506-7844-5. Chapter 7.
14. Walt Kester, [High Speed System Applications, Analog Devices, 2006, ISBN-10: 1-56619-909-3, ISBN-13: 978-1-56619-909-4, Part 4.](#)

Copyright 2009, Analog Devices, Inc. All rights reserved. Analog Devices assumes no responsibility for customer product design or the use or application of customers' products or for any infringements of patents or rights of others which may result from Analog Devices assistance. All trademarks and logos are property of their respective holders. Information furnished by Analog Devices applications and development tools engineers is believed to be accurate and reliable, however no responsibility is assumed by Analog Devices regarding technical accuracy and topicality of the content provided in Analog Devices Tutorials.



## 静电放电(ESD)

### ESD断路过压保护

在安装于印刷电路板之前，必须对线性IC(如运算放大器、仪表放大器和数据转换器)进行保护。这即所谓断路(out-of-circuit)状态。在这种条件下，IC可能遇到多大的浪涌电压完全取决于其环境。多数情况下，有害的浪涌电压来自静电放电，即常说的ESD。这是一种单次、快速、高电流的静电荷传输现象，源于两种条件，它们是：

1. 两个处于不同电位的物体之间的直接接触传输(有时称为接触放电)
2. 两个物体靠近时之间产生的高静电场(有时称为气隙放电)。

静电的主要来源基本都是绝缘器并且一般都是合成材料，如乙烯或塑料工作表面、绝缘鞋、经过表面加工的木质椅子、透明胶带、气泡袋、尖端未接地的烙铁等。这些来源产生的电平极高，因为它们的电荷并不容易分布在表面上或者传导给其他物体。两个物体相互摩擦产生静电被称为摩擦电效应。一些常见行为会产生较大的ESD电压，部分示例见图1。

- ◆ **Walking Across a Carpet**  
1000V - 1500V
- ◆ **Walking Across a Vinyl Floor**  
150V - 250V
- ◆ **Handling Material Protected by Clear Plastic Covers**  
400V - 600V
- ◆ **Handling Polyethylene Bags**  
1000V - 2000V
- ◆ **Pouring Polyurethane Foam Into a Box**  
1200V - 1500V
- ◆ **Note: Above Assumes 60% RH. For Low RH (30%),  
Voltages Can Be > 10 Times**

**图1：各种常见环境产生的ESD电压**

ESD产生的高压和高峰值电流会损坏IC。

精密模拟电路通常具有极低的偏置电流，比普通数字电路更容易遭到损坏，因为用于ESD保护的傳統输入保护结构会增加输入泄漏——因此不能使用。

对于设计工程师或技师来说，ESD损坏最常见的表现是IC发生灾难性故障。然而，暴露在ESD之下也可能导致泄漏增加，或者使其他参数下降。如果某个器件在评估期间似乎达不到数据手册上的规格指标，则应考虑ESD损坏的可能性。图2列出了ESD引起的故障的一些相关点。

◆ **ESD Failure Mechanisms:**

- Dielectric or junction damage
- Surface charge accumulation
- Conductor fusing

◆ **ESD Damage Can Cause:**

- Increased leakage
- Degradation in performance
- Functional failures of ICs

◆ **ESD Damage is often Cumulative:**

- For example, each ESD "zap" may increase junction damage until, finally, the device fails.

**图2：了解ESD损坏**

所有ESD敏感器件均采用保护性封装。IC通常装在导电泡沫中或者防静电包装套管中，而后再将容器密封在一个静电耗散塑料袋中。密封后的塑料袋用一个明显的标签标好（如图3所示），标签上标明正确的操作程序。

如图3所示外部封装说明旨在告知用户，必须遵循ESD保护所需要的操作程序。

另外，ESD敏感型IC的数据手册都有一条醒目的声明，如图4所示。

All static sensitive devices are sealed in protective packaging and marked with special handling instructions



## CAUTION

SENSITIVE ELECTRONIC DEVICES

DO NOT SHIP OR STORE NEAR STRONG ELECTROSTATIC, ELECTROMAGNETIC, MAGNETIC, OR RADIOACTIVE FIELDS

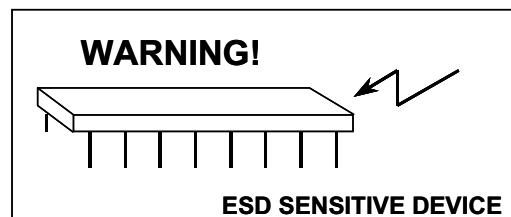


## CAUTION

SENSITIVE ELECTRONIC DEVICES

DO NOT OPEN EXCEPT AT APPROVED FIELD FORCE PROTECTIVE WORK STATION

图3：通过包装和标签认识ESD敏感器件



OR



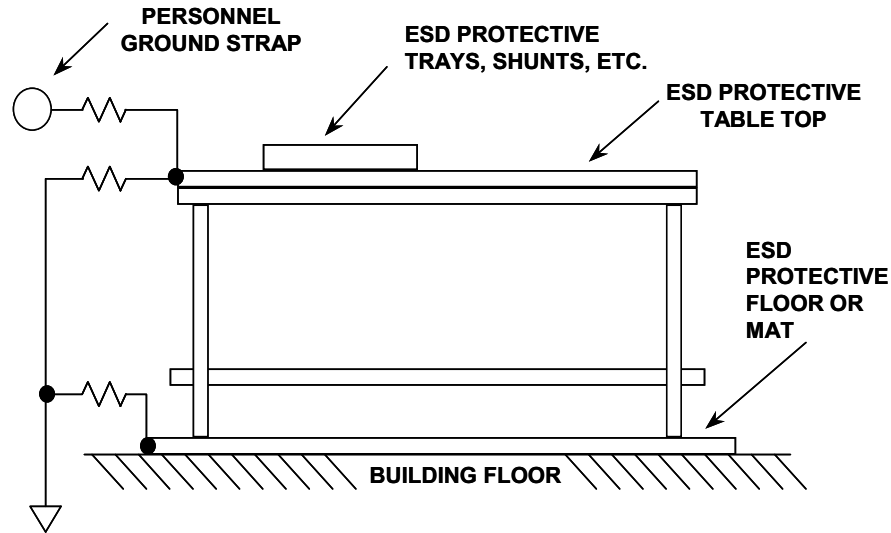
CAUTION

ESD (Electrostatic Discharge) sensitive device. Electrostatic charges as high as 4000 V readily accumulate on the human body and test equipment and can discharge without detection. Although the ADXXX features proprietary ESD protection circuitry, permanent damage may occur on devices subjected to high energy electrostatic discharges. Therefore, proper ESD precautions are recommended to avoid performance degradation or loss of functionality.

图4：线性IC的ESD数据手册声明

一旦识别出ESD敏感型器件，保护起来就相对容易些。很明显，首先应尽量把IC保存在原来的保护性封装中。下一步是给存在破坏可能性的ESD源放电，以防患于未然。这种电压放电可以通过高阻抗快速而安全地实施。

ESD安全IC操作需要一个关键组件是一个具有静电耗散表面的工作台，如图5所示。其表面通过一个1 MΩ电阻接地，可以耗散任何静电荷，同时还能保护用户，免除接地故障电击危险。如果现有的工作台顶部不导电，则应添加一块静电耗散垫和一个放电电阻。



Note: Conductive Table Top Sheet Resistance  $\gg 1\text{M}\Omega$

图5：一种适于操作ESD敏感型IC的工作台环境

请注意，工作台的表面具有较高的薄膜电阻。工作表面不需要，也不适合使用低阻表面材料(如铜箔PC板)。请记住，如果通过低阻抗释放IC电荷，则可能产生峰值电流。这正是带电IC接触接地铜箔板时发生的情况。然而，当将同一个带电IC放在如图5所示高阻抗表面时，峰值电流不足以损坏器件。

对于减少ESD相关损坏，有几点人员操作技巧是至关重要的。在工作台时，建议在操作ESD敏感型器件时带上一个导电手环。手环可以确保正常的任务(如从包装上撕下胶带)不会导致IC损坏。另外，出于安全考虑，需用一个 $1\text{M}\Omega$ 的电阻从手环接地。在构建原型实验板或者装配含有ESD敏感型IC的PC板时，应在IC之前插入和焊接全部无源元件。结果将降低敏感型器件的ESD风险。当然，烙铁尖需要接地。

保护IC、使其免受ESD影响需要IC制造商和客户的共同参与。对IC制造商来说，为其产品提供最高水平的ESD保护是其既得利益。IC电路设计师、工艺工程师、封装专家和其他人则不断探索，试图找到更好的新型电路设计、工艺和封装方法以承受或分流ESD能量。

然而，完整的ESD保护方案不仅仅需要在IC中内置ESD保护机制。IC用户也需要为其员工提供必要知识和培训，使其了解和遵守ESD操作程序，从而在整个过程的各个关键环节都建立起有效的保护，如图6所示。

**ANALOG DEVICES:**

- **Circuit Design and Fabrication -**
- ↓     **Design and manufacture products with the highest level of ESD protection consistent with required analog and digital performance.**
- ↓
- **Pack and Ship -**
- ↓     **Pack in static dissipative material. Mark packages with ESD warning.**

**CUSTOMERS:**

- **Incoming Inspection -**
- ↓     **Inspect at grounded workstation. Minimize handling.**
- **Inventory Control -**
- ↓     **Store in original ESD-safe packaging. Minimize handling.**
- **Manufacturing -**
- ↓     **Deliver to work area in original ESD-safe packaging. Open packages only at grounded workstation. Package subassemblies in static dissipative packaging.**
- ↓
- **Pack and Ship -**
- Pack in static dissipative material if required. Replacement or optional boards may require special attention.**

**图6: ESD保护要求ADI与在各关键点处于控制地位的最终客户建立合作关系**

在构建实验板以及评估IC时，需要特别小心。ESD损坏可能具有累加效应，因此，如果器件反复操作不当，结果可能导致故障。在试验插座上插入和移除IC时、评估期间存储器件时以及在实验板上添加或移除外部元件时，均须遵循适当的ESD预防措施。同样，如果器件在原型系统开发期间发生故障，其原因可能是不断反复的ESD应力。

对于ESD，需要记住一个关键词：预防。ESD损坏一旦发生则无法挽回，也无法补偿。


**ESD模型和测试**

有些应用对ESD的敏感度高于其他应用。位于PC板上且周围有其他电路的IC遭受ESD损坏的可能性一般远远小于那些必须与其他PC板或外部世界接口的电路。这些IC一般没有任何特定ESD保护的额定规格，也不提供此类保证(MIL-STD-883方法3015类器件除外)。ESD敏感型接口的一个良好示例是计算机上的RS-232接口端口IC，该IC很容易暴露在高电压之下。为了保证此类器件的ESD性能，必须指定测试方法和限制。

人们提出了多种测试波形和规格，用以评估器件对ESD的敏感性。半导体或分立式器件目前仍在使用的最重要的三种波形为：人体模型(HBM)、机器模型(MM)和充电器件模型(CDM)。每一种模型均代表着一种完全不同的ESD事件，因此，这些模型的测试结果之间的相关性很小。

1996年以来，销往欧共体或者在欧共体内部销售的所有电子设备都必须达到IEC1000-4-x规范中规定的电磁兼容性(EMC)等级。请注意，这并不适用于单片IC，而是适用于最终设备。各种IEC1000规范规定了此类标准和测试方法，详见图7。

IEC1000-4-2规定，合规测试要使用两种耦合方法，即接触放电和气隙放电。接触放电要求直接连接测试的装置。气隙放电使用更高的测试电压，但不会直接接触测试的装置。在气隙放电法下，放电枪朝向测试装置移动，在整个气隙上形成一道弧，气隙放电即由此而来。这种方法受湿度、温度、气压、距离和放电枪逼近速率的影响。接触放电法虽然现实性较低，但具有更高的可重复性，其应用呈现出赶超气隙放电法之势。

- ◆ IEC1000-4 Electromagnetic Compatibility EMC
- ◆ IEC1000-4-1 Overview of Immunity Tests
- ◆ IEC1000-4-2 Electrostatic Discharge Immunity (ESD)
- ◆ IEC1000-4-3 Radiated Radio-Frequency Electromagnetic Field Immunity
- ◆ IEC1000-4-4 Electrical Fast Transients (EFT)
- ◆ IEC1000-4-5 Lightning Surges
- ◆ IEC1000-4-6 Conducted Radio Frequency Disturbances above 9kHz
- ◆ Compliance Marking: 

**图7：适用于ESD规格和测试程序的IEC标准**

虽然ESD脉冲含有的能量极少，但极快的上升时间和高电压却可能给未受保护的IC带来故障。电弧或热效应可能立即给器件带来灾难性损坏。即使灾难性故障不会立即发生，器件的参数也可能下降，结果会降低性能。连续暴露具有累积效应，可能最终导致器件完全失效。



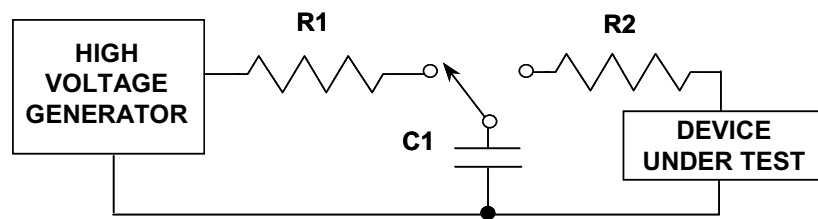
I/O线路尤其容易遭到ESD损坏。即使是简单地接触一下，或者是插入一条I-O线缆，也可能导致静电放电，结果可能损坏或完全损毁与I/O端口相连的接口产品(如RS-232线路驱动器和接收器)。

传统的ESD测试方法(如MIL-STD-883B方法3015.7)并不会全面测试产品对这种放电的敏感性。该测试方法旨在测试产品在操作期间遭受ESD损坏的可能性。每个引脚都是相对于所有其他引脚进行测试的。MIL-STD-883B方法3015.7测试与IEC测试之间存在重要差异，如下所示：

1. IEC测试在放电能量方面要求更严格。注入的峰值电流大四倍以上。
2. 在IEC测试中，电流上升时间明显更快。
3. IEC测试是在器件带电期间进行的。

ESD放电有可能导致测试器件闩锁。因此，该测试更能代表现实I-O放电，因为设备一般都是带电运行的。然而，保险起见，应该对接口器件进行这两种测试，以确保操作期间以及随后的现场维修期间，器件均能获得最大程度的保护。

图8比较了IEC1000-4-2模型与MIL-STD-883B方法3015.7人体模型的测试电路值。



ESD TEST METHOD	R2	C1
Human Body Model MIL STD 883B Method 3015.7	1.5kΩ	100pF
IEC 1000-4-2	330Ω	150pF

NOTE: CONTACT DISCHARGE VOLTAGE SPEC FOR IEC 1000-4-2 IS ±8kV

图8：ESD测试电路和值

MIL-STD-883B方法3015.7和IEC 1000-4-2两种测试的ESD波形分别列于图9的左右两栏。

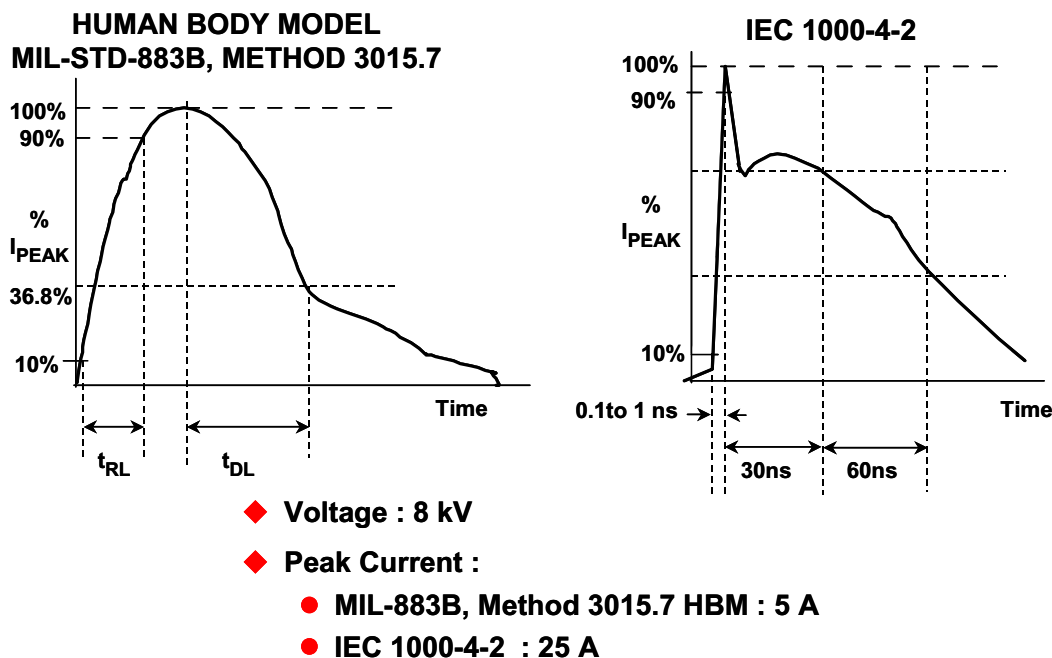


图9: ESD测试波形

适用的ESD保护设计措施实现起来相对容易，本节已讨论过的多数过压保护方法都有用。也可以获得额外的保护措施。对于RS-232和RS-485驱动器和接收器，ADMXXX-E系列提供15 kV (HBM) ESD担保规格。对于更通用的应用，在系统适当位置增加TransZorb保护电路也可提供ESD保护功能(见参考文献9)。

图10从断路和在线两个角度总结了ESD预防的要点。

- ◆ Observe all Absolute Maximum Ratings on Data Sheet!
- ◆ Read ADI AN-397 (See Reference 6)
- ◆ Purchase ESD-Specified Digital Interface Devices
  - ADMXXX-E Series of RS-232 / RS-485 Drivers / Receivers (See Reference 8)
- ◆ Follow General Over-voltage Protection Recommendations
  - Add Series Resistance to Limit Currents
  - Add Zeners or Transient Voltage Suppressors (TVS) for Extra Protection (See Reference 9)

图10: ESD要点总结

**参考文献:**

1. Walt Kester, Wes Freeman, James Bryant, "Electrostatic Discharge," portion of Section 10 within Walt Kester, Editor, [Practical Design Techniques for Sensor Signal Conditioning](#), Analog Devices, Inc., 1999, ISBN 0-916550-20-6.
2. MIL-STD-883 Method 3015, "Electrostatic Discharge Sensitivity Classification." Available from Standardization Document Order Desk, 700 Robbins Ave., Building #4, Section D, Philadelphia, PA, 19111-5094.
3. EIAJ ED-4701 Test Method C-111, "Electrostatic Discharges." Available from the [Japan Electronics Bureau](#), 250 W 34th St., New York NY 10119.
4. ESD Association Standard S5.2 for "Electrostatic Discharge (ESD) Sensitivity Testing -Machine Model (MM)- Component Level." Available from the [ESD Association, Inc.](#), 200 Liberty Plaza, Rome, NY 13440.
5. ESD Association Draft Standard DS5.3 for "Electrostatic Discharge (ESD) Sensitivity Testing - Charged Device Model (CDM) Component Testing." Available from the [ESD Association, Inc.](#), 200 Liberty Plaza, Rome, NY 13440.
6. Niall Lyne, "Electrically Induced Damage to Standard Linear Integrated Circuits: The Most Common Causes and the Associated Fixes to Prevent Reoccurrence," [Analog Devices AN-397](#).
7. Mike Bryne, "How to Reliably Protect CMOS Circuits Against Power Supply Overvoltaging," [Analog Devices AN-311](#).
8. Data sheet for [ADM3311E](#) RS-232 Port Transceiver, Analog Devices, Inc.,
9. TransZorbs and TVSs are available from [Vishay Intertechnology, Inc.](#), 63 Lancaster Avenue, Malvern, PA 19355-2143.
10. Hank Zumbahlen, *Basic Linear Design*, Analog Devices, 2006, ISBN: 0-915550-28-1. Also available as [Linear Circuit Design Handbook](#), Elsevier-Newnes, 2008, ISBN-10: 0750687037, ISBN-13: 978-0750687034. Chapter 11.
11. Walt Kester, [Analog-Digital Conversion](#), Analog Devices, 2004, ISBN 0-916550-27-3, Chapter 9. Also available as [The Data Conversion Handbook](#), Elsevier/Newnes, 2005, ISBN 0-7506-7841-0, Chapter 9.
12. Walter G. Jung, [Op Amp Application Handbook](#), Analog Devices, 2002, ISBN 0-916550-26-5, Also available as [Op Amp Applications Handbook](#), Elsevier/Newnes, 2005, ISBN 0-7506-7844-5. Chapter 7.

Copyright 2009, Analog Devices, Inc. All rights reserved. Analog Devices assumes no responsibility for customer product design or the use or application of customers' products or for any infringements of patents or rights of others which may result from Analog Devices assistance. All trademarks and logos are property of their respective holders. Information furnished by Analog Devices applications and development tools engineers is believed to be accurate and reliable, however no responsibility is assumed by Analog Devices regarding technical accuracy and topicality of the content provided in Analog Devices Tutorials.

## 高速逻辑的处理

### 何时需要传输线路技术?

人们撰写了大量文章来阐述如何端接PCB走线特性阻抗以避免信号反射。教程MT-094提出了微带线和带状线传输线路的基本设计公式。但是，何时需用传输线技术尚未述清。

下面总结了一条成熟的适用性指导方针。

当PCB走线单向传输时延等于或大于施加信号上升/下降时间(以最快边沿为准)的一半时需端接传输线特性阻抗。

例如，在 $\epsilon_r = 4.0$ 介电质上2英寸微带线的延时约270 ps。严格贯彻上述规则，只要信号上升时间 $< \sim 500$  ps，终端就应当进行阻抗匹配。

更保守的规则是使用2英寸(PCB走线长度)/纳秒(上升/下降时间)规则。如果信号走线超过此走线长度/速度准则，则应端接匹配阻抗。

例如，如果高速逻辑上升/下降时间为5ns，PCB走线等于或大于10英寸(其中测量长度包括曲折线)，就应端接其特性阻抗。

作为当今现代系统基本特征的一个示例，图1所示为多个逻辑系列的典型上升/下降所需时间，其中包括+3.3 V电源运行的SHARC DSP。正如预料中的，上升/下降时间随负载电容变化。

在模拟域内，必须注意，运算放大器和其他电路也应同样适用这条2英寸/纳秒指导方针，以确定是否需要传输线路技术。例如，如果放大器必须输出最大频率 $f_{\max}$ ，则等效上升时间 $t_r$ 和这个 $f_{\max}$ 相关。这个限制上升时间 $t_r$ 可计算如下：

$$t_r = 0.35/f_{\max} \quad \text{等式 1}$$

然后将 $t_r$ 乘以2英寸/纳秒来计算最大PCB走线长度。例如，最大频率100 MHz对应于3.5 ns的上升时间，所以载送此信号的7英寸或以上长度的走线应视为传输线。

- ◆ GaAs: 0.1ns
- ◆ ECL: 0.75ns
- ◆ ADI SHARC DSPs: 0.5 ns to 1 ns (Operating on +3.3V Supply)

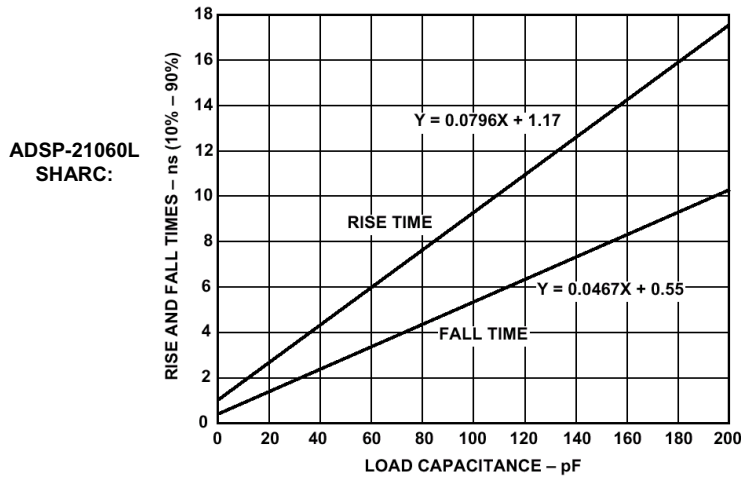


图1：典型DSP输出上升时间和下降时间

降低快速逻辑对模拟电路的影响

避免敏感模拟电路受到快速逻辑影响的最理想方式是通过PCB布局将两者物理分离，且不要使用速度超过系统要求的逻辑系列。在某些情况下，这可能要求在一个系统中使用数个逻辑系列。替代方案是使用串行电阻或铁氧体磁珠来降低不要求最高速度的逻辑转换。图2显示了两种方法。

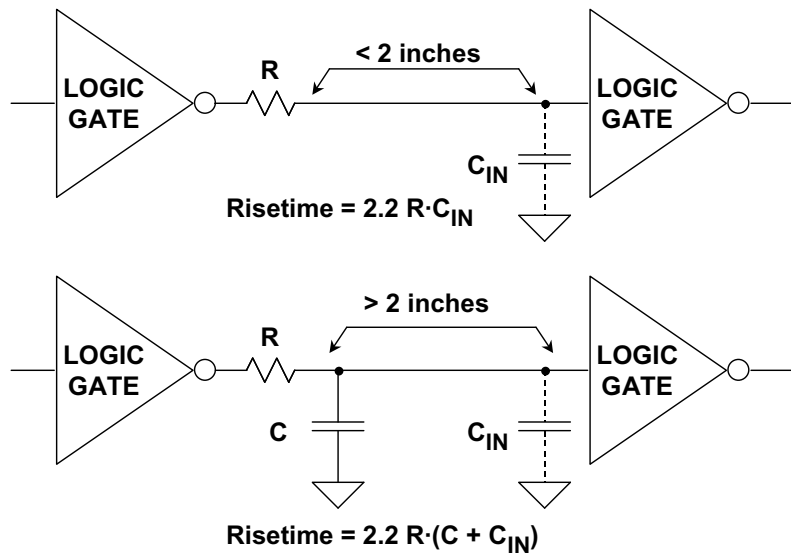


图2：阻尼电阻降低快速逻辑沿以尽量减少EMI/RFI问题

首先，串联的电阻和逻辑门的输入电容形成一个低通滤波器。典型CMOS输入电容为5 pF至10 pF。将串联电阻靠近驱动逻辑门放置。该电阻充分降低瞬态电流并可排除使用传输线路技术的必要性。选择阻值时应确保接收逻辑门电路的上升和下降时间速度足以恰好满足系统要求。而且，确保电阻不能太大，否则因为流过电阻的源电流和吸电流所引起的压降，接收器处的逻辑电平会超出规格。第二种方法适用于更长的距离(>2英寸)，其中添加额外电容以减慢边沿速度。注意，这类技术的任何一种均会增加延时和原始信号的上升/下降时间。这必须考虑到整体时序预算，且过量的延时可能无法接受。

图3所示为多个DSP必须接至一个点的情形，如使用读或写触发多个DSP的双向连接。图3A所示的小型阻尼电阻可充分降低振铃，但分离长度要小于约2英寸。这种方法也会增加上升/下降时间和传输时延。如果必须连接两组处理器，图3B所示在处理器对之间的一个电阻可用于衰减振铃。

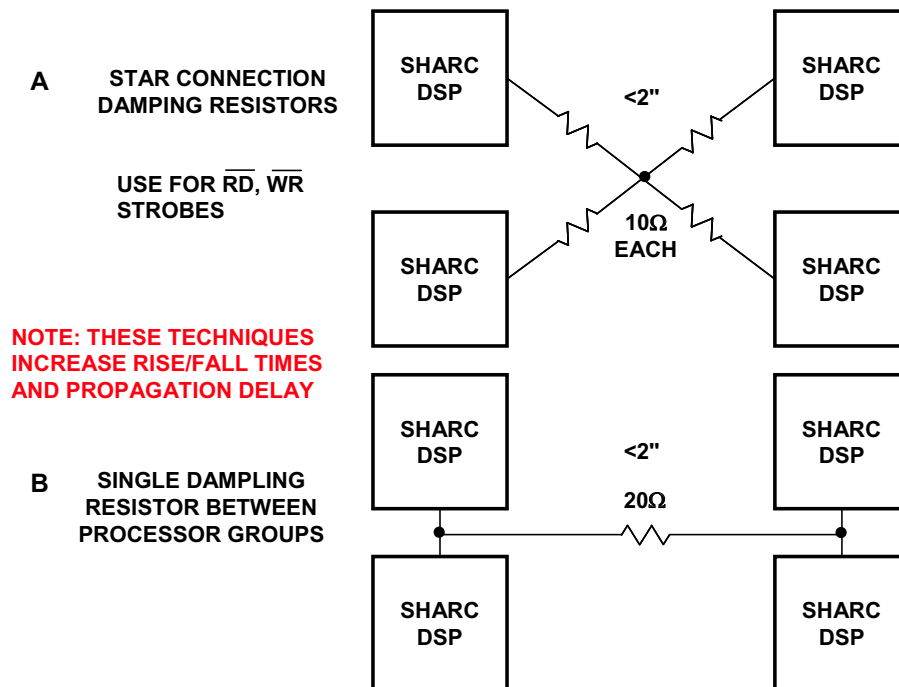
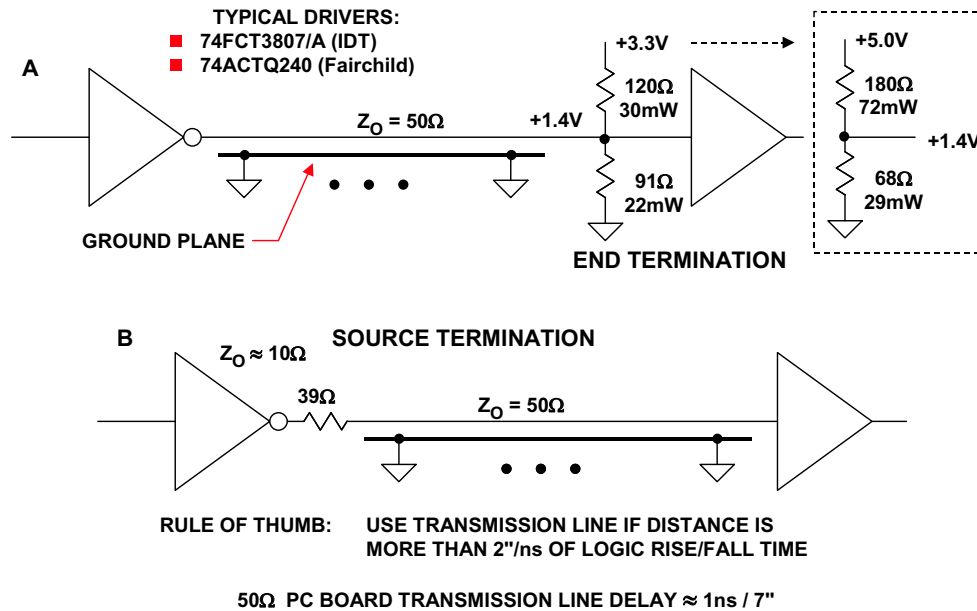


图3：高速DSP互连的串行阻尼电阻

## 终端和源的匹配

在大于约2英寸距离上保持1ns或更短上升/下降时间无振铃的唯一方法是使用传输线路技术。图4所示为两种流行的端接方法：终端阻抗匹配和源阻抗匹配。终端匹配方法(图4A)是在线缆终端接与微带线特性阻抗相等的阻抗。尽管可使用更高的阻抗，但50 Ω较流行，因为它充分降低端接栅极输入电容(通常5 pF至10 pF)所引起的端接阻抗不匹配的效应。



**图4：受控阻抗微带线传输线路的端接技术**

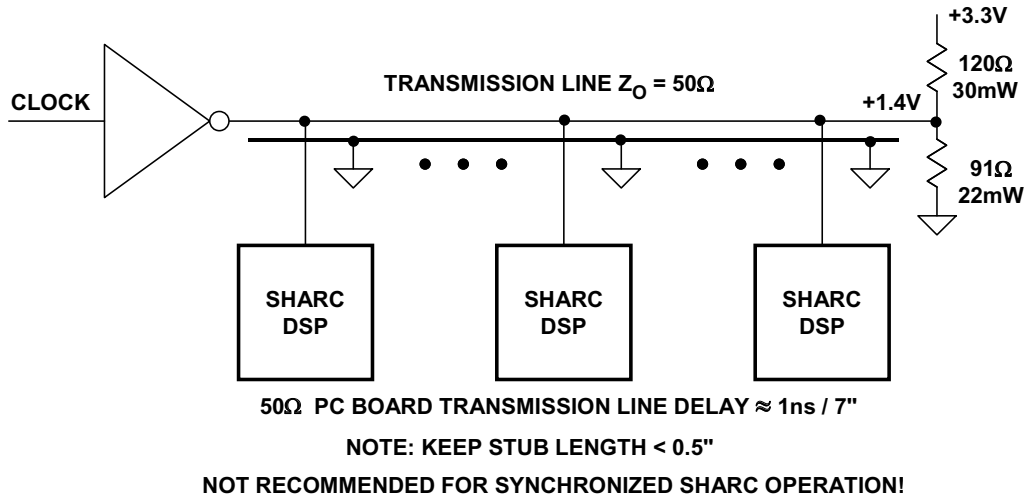
在图4A中，线缆在端接至+1.4 V的50 Ω戴维宁阻抗内端接(输入逻辑阈值中点为0.8 V和2.0 V)。这要求两个电阻(91 Ω和120 Ω)，从而将电路总静态功耗增加了约50 mW。图4A还显示使用+5 V电源端接的电阻值(68 Ω和180 Ω)。注意，3.3 V逻辑电压摆动对称、速度更快、功耗更低，远更适合线路驱动器应用。驱动器时间偏斜低于0.5 ns，源电流和吸电流能力大于25 mA，而上升/下降时间约1 ns。因为更低的信号摆幅和更低的瞬态电流，3.3 V逻辑所产生的切换噪声一般低于5 V逻辑。

图4B所示的源匹配方法使用源的阻抗等于传输线路的阻抗来吸收反射波形。这要求约39 Ω和驱动器的内部输出阻抗串联，后者一般为约10 Ω。这种技术要求开路端接传输线末端，因此不允许额外扇出。该源端接方法不会给电路增加额外的静态功耗。



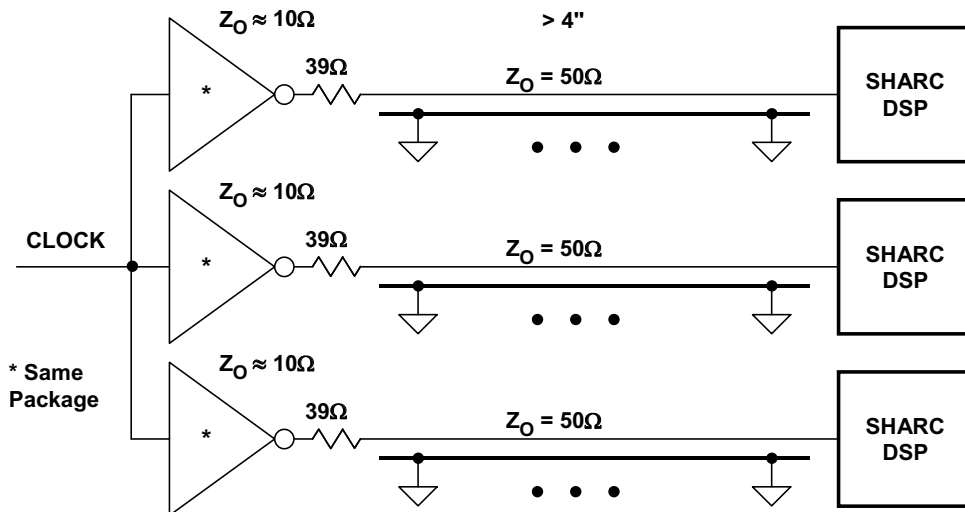
### 高速时钟分配

图5显示一种在多个器件间分配高速时钟的方法。这种方案的问题在于因为微带线的传播延时(约1 ns / 7"), 时钟之间存在小量时间偏斜。此时间偏斜可能在某些应用十分关键。重要的是保持到每个器件的分支线长度小于0.5", 以防止沿传输线上出现失配。



**图5: 使用线端端接的时钟分配**

图6所示的时钟分配方法通过使用源端接并确定每条微带线长度相同来充分降低至接收器件的时钟偏斜。如同使用端端接电阻的情况, 无任何额外静态功耗。



**图6: 使用源端接传输线路的首选时钟分配方法**

### 双向链路端接

图7显示如何可在SHARC DSP之间的双向链路端口传输中使用源匹配。SHARC驱动器的输出阻抗约为 $17\ \Omega$ ，因此在传输线路的每端都需要一个 $33\ \Omega$ 串联电阻以进行适当源端接。

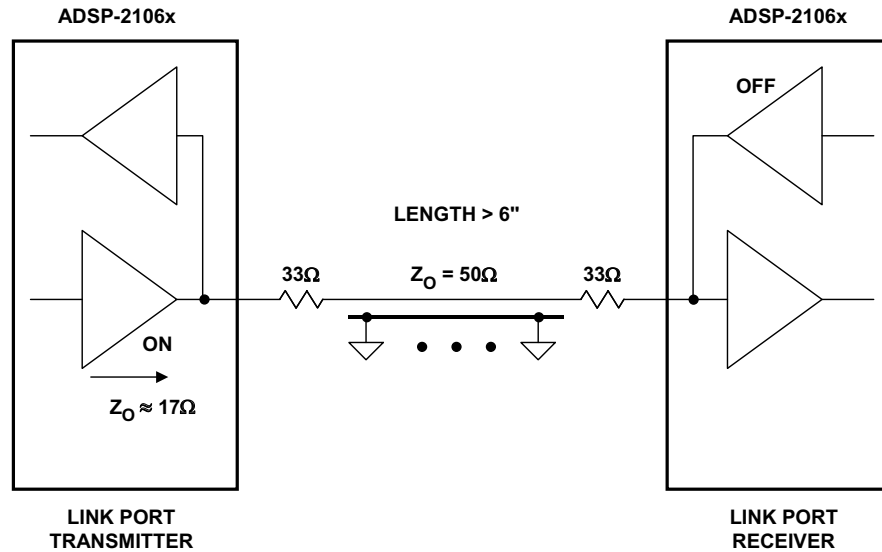


图7: SHARC DSP之间双向传输的源匹配

图8所示的方法可用于在一根相对较长传输线路上双向传输来自多个源的信号。在此情况下，该线路在两端端接，产生 $25\ \Omega$ 的直流负载阻抗。SHARC驱动器能够驱动此负载至有效逻辑电平。

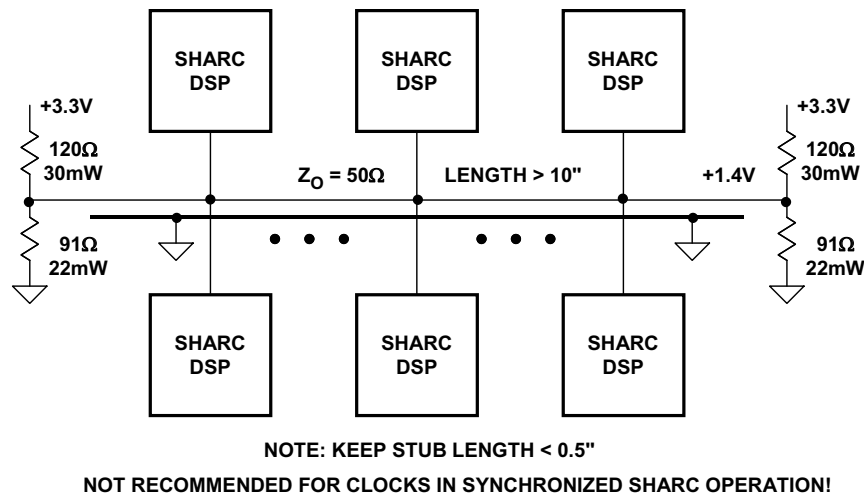


图8: 两端端接的单传输线路

发射极耦合逻辑(ECL)长期以低噪声，可以上升/下降时间低于2ns来驱动端接传输线路而著称。该系列向电源呈现恒定负载，而低电平差分输出提供高水平的共模抑制。但是，ECL功耗较大。

最近，低压差分信号(LVDS)逻辑因为类似的特性，但比ECL更低的幅度和功耗而获得广泛青睐。LVDS规格定义可参见参考文献1，而参考文献2和3应该也有帮助。LVDS逻辑一般是以+1.2 V共模电压为中心摆幅为350 mV峰峰值。典型驱动器和接收器配置如图9所示。该驱动器由一个标称3.5 mA电流源所组成，后者极性切换由PMOS和NMOS晶体管提供，如同AD9430 12位170 /210 MSPS ADC的情况。驱动器输出电压在每个输出端为标称350 mV峰峰值，并可在247 mV和454 mV之间变化。输出电流可在2.47 mA和4.54 mA之间变化。LVDS接收器以100 Ω线至线端接。根据LVDS规格，接收器必须在50 mV至+2.35 V的共模电压范围内响应小至100 mV的信号。宽共模接收器电压范围要适应驱动器和接收器之间高达±1 V的接地电压差。

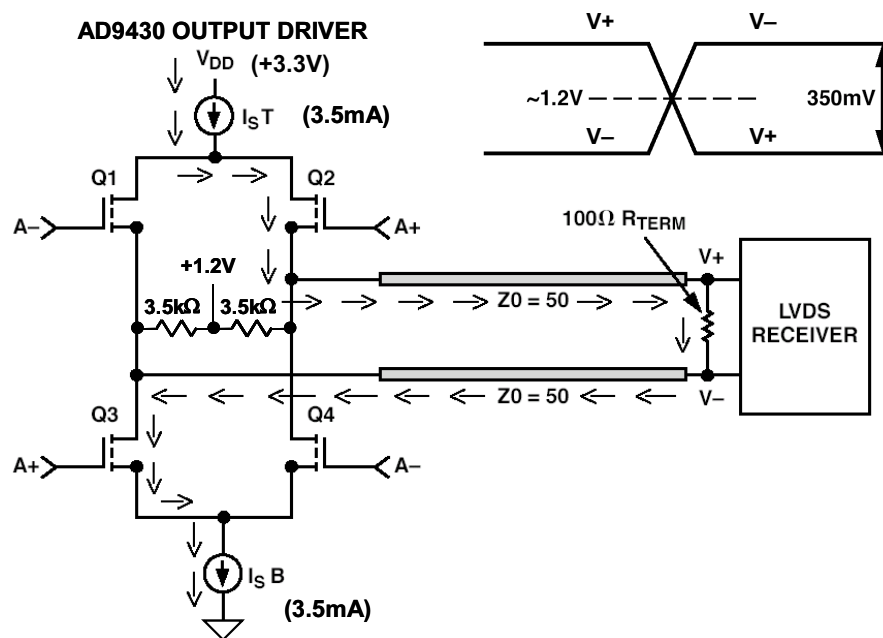
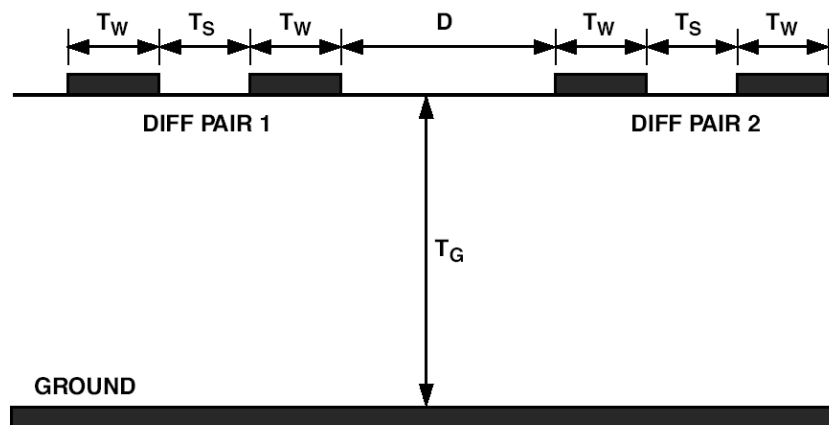


图9: LVDS驱动器和接收器

LVDS边沿速度定义为20%至90%的上升/下降时间(相比之下CMOS逻辑为10%至90%)并规定小于 $0.3 t_{ui}$ ，其中 $t_{ui}$ 为数据信号传输速率的倒数。对于210 MSPS采样速率， $t_{ui} = 4.76$  ns，20%至80%上升/下降时间必须小于 $0.3 \times 4.76 = 1.43$  ns。AD9430的上升/下降时间的标称值为0.5 ns。

高性能ADC的LVDS输出应该与数字逻辑使用的标准LVDS输出区别对待。在高速数字应用中标准LVDS能驱动1到10米(取决于数据速率)，不建议让高性能ADC驱动这么长的距离。建议输出走线的长度要短一些(小于2英寸)，尽量降低任何噪声从相邻电路耦合到输出上的几率，噪声可能会返回到模拟输入。差分输出走线应该相互靠近，使100 Ω端接电阻靠近接收器，尽可能提高共模抑制。用户应该注意PCB走线长度，尽量减小延迟偏斜。典型差分微带线PCB走线截面以及一些推荐布局指南如图10所示。



- ◆ Keep  $T_W$ ,  $T_S$ , and  $D$  constant over the trace length
- ◆ Keep  $T_S \sim < 2T_W$
- ◆ Avoid use of vias if possible
- ◆ Keep  $D > 2T_S$
- ◆ Avoid  $90^\circ$  bends if possible
- ◆ Design  $T_W$  and  $T_G$  for  $\sim 50\Omega$

**图10：两对LVDS信号的微带线PCB布局**

LVDS也具有降低EMI的优点。相反LVDS电流产生的EMI场可以相互抵消(边沿速率相匹配时)。在高速ADC中，在相近的数据速率下，相对于解复用的CMOS解决方案，LVDS的时序约束更为简单。解复用的数据总线需要一个同步信号，LVDS不需要这个信号。在解复用的CMOS总线中，需要一个速率为ADC采样速率一半的时钟，这增加了成本和复杂度，LVDS不需要这些。

### 时钟生成和分配产品

ADI公司提供超低抖动[时钟分配和时钟发生产品](#)，适合无线基础设施、仪器仪表、宽带、自动测试设备(ATE)和其它要求亚皮秒性能的应用。ADI公司的时钟产品非常适合为高性能模数转换器(ADC)和数模转换器(DAC)提供时钟。ADI公司时钟IC在小型芯片级封装中集成了PLL内核、分频器、相位偏移、偏斜调整和时钟驱动器。

**参考文献:**

1. [TIA/EIA-644-A Standard, \*Electrical Characteristics of Low Voltage Differential Signaling \(LVDS\) Interface Circuits\*](#), January 30, 2001.
2. [IEEE Std. 1596.3-1996, \*IEEE Standard for Low-Voltage Differential Signals \(LVDS\) for Scalable Coherent Interface\*](#), IEEE, 1996.
3. Cindy Bloomingdale and Gary Hendrickson, "LVDS Data Outputs for High-Speed Analog-to-Digital Converter," [Application Note AN-586](#), Analog Devices, 2002.
4. Hank Zumbahlen, *Basic Linear Design*, Analog Devices, 2006, ISBN: 0-915550-28-1. Also available as [Linear Circuit Design Handbook](#), Elsevier-Newnes, 2008, ISBN-10: 0750687037, ISBN-13: 978-0750687034. Chapter 12
5. Walt Kester, [Analog-Digital Conversion](#), Analog Devices, 2004, ISBN 0-916550-27-3, Chapter 9. Also available as [The Data Conversion Handbook](#), Elsevier/Newnes, 2005, ISBN 0-7506-7841-0, Chapter 9.
6. Walter G. Jung, [Op Amp Applications](#), Analog Devices, 2002, ISBN 0-916550-26-5, Chapter 7. Also available as [Op Amp Applications Handbook](#), Elsevier/Newnes, 2005, ISBN 0-7506-7844-5. Chapter 7.

Copyright 2009, Analog Devices, Inc. All rights reserved. Analog Devices assumes no responsibility for customer product design or the use or application of customers' products or for any infringements of patents or rights of others which may result from Analog Devices assistance. All trademarks and logos are property of their respective holders. Information furnished by Analog Devices applications and development tools engineers is believed to be accurate and reliable, however no responsibility is assumed by Analog Devices regarding technical accuracy and topicality of the content provided in Analog Devices Tutorials.