

ADI 技术指南合集

第一版

放大器

目录

Bainter 陷波滤波器.....	1	滤波器中的 F0 和 Q.....	148
三运算放大器仪表放大器基本结构.....	3	状态变量滤波器.....	151
二阶系统的运算放大器总输出噪声计算.....	8	理想的电压反馈型 (VFB) 运算放大器.....	154
从低通到带通滤波器的转换.....	11	电压反馈型运算放大器的增益和带宽.....	160
从低通到带阻 (陷波) 滤波器的转换.....	14	电流反馈 (CFB) 运算放大器.....	168
从低通到高通滤波器的转换.....	17	电流反馈运算放大器噪声考虑因素.....	174
仪表放大器基础.....	19	精密 ADC 用差分驱动器.....	176
仪表放大器桥式电路误差预算分析.....	24	精密可变增益放大器 (VGA).....	181
仪表放大器直流误差源.....	26	精密运算放大器.....	191
仪表放大器输入 RFI 保护.....	31	自稳零仪表放大器.....	195
仪表放大器输入过压保护.....	37	补偿输入电容对电流电压转换器所用电压反馈和 电流反馈型运算放大器的影响.....	198
全波整流器.....	42	贝塞尔响应.....	203
全通滤波器.....	45	运算放大器共模抑制比 (CMRR).....	206
切比雪夫响应.....	47	运算放大器噪声.....	209
半波整流器.....	59	运算放大器噪声.....	216
单极点系统的运算放大器总输出噪声计算.....	61	运算放大器噪声关系: 1/f 噪声、均方根 (RMS) 噪声与等效噪声带宽.....	226
双 T 陷波滤波器.....	64	运算放大器噪声指数: 不要被误导.....	232
双放大器带通 (DABP) 滤波器.....	65	运算放大器失真: HD、THD、 THD + N, IMD、SFDR、MTPR.....	238
双运放仪表放大器基本配置.....	67	运算放大器带宽和带宽平坦度.....	246
反相放大器.....	72	运算放大器建立时间.....	252
反相求和放大器.....	73	运算放大器开环增益与开环增益非线性.....	256
反馈电容反馈电容对电压反馈 (VFB) 和电流反馈 (CFB) 型运算放大器的影响.....	75	运算放大器总输出失调电压计算.....	261
四次 (双二阶) 滤波器.....	79	运算放大器电源抑制比 (PSRR) 与电源电压.....	263
在电压反馈 (VFB) 和电流反馈 (CFB) 运算放大器之间选择.....	81	运算放大器输入、输出、单电源和轨到轨问题.....	266
多反馈带通滤波器设计示例.....	87	运算放大器输入偏置电流.....	278
多反馈滤波器.....	89	运算放大器输入和输出共模与差分电压范围.....	283
对数放大器基础知识.....	92	运算放大器输入失调电压.....	287
将运算放大器用作比较器.....	98	运算放大器输入阻抗.....	297
差分驱动器分析.....	104	运算放大器输出相位反转和输入过压保护.....	300
差动放大器和电流检测放大器.....	113	采样保持放大器.....	309
巴特沃兹响应.....	119	高速 ADC 用差分驱动器概述.....	330
放大器类型.....	123	高速可变增益放大器 (VGA).....	339
数字编程状态变量滤波器.....	126	高速电压反馈运算放大器.....	348
斩波稳定 (自稳零) 型精密运算放大器.....	129	高速电流反馈运算放大器.....	358
模拟隔离放大器.....	135		
比较器.....	141		

Bainter陷波滤波器

作者: ADI公司
Hank Zumbahlen

引言

Bainter运算放大器陷波滤波器是一种简单的陷波滤波器，也是一系列小型指南中描述的多种分立式电路之一。

BAINTER陷波滤波器简介

Bainter电路是一种简单的陷波滤波器(见参考文献部分)，它由简单的电路模块构成，带有两个反馈环路，如图1所示。可以实现低通、高通和标准陷波响应。

图1中的电路有几种有趣的特性。陷波的Q并不像其他实现方式一样是以元件匹配为基础的，而是只与放大器的增益有关。因此，陷波深度不会随温度、老化和其他环境因素而变化。虽然陷波频率可能变化，但陷波深度不会。另外，元件灵敏度很低。

滤波器原理图

放大器开环增益为 10^4 时， $Q_z > 200$ ，可以实现正交调谐，相互影响极小。R6调谐Q，R1调谐 ω_z 。改变R3的值会设定 ω_0/ω_z 比，结果产生低通陷波响应($R4 > R3$)、陷波响应($R4 = R3$)或高通陷波响应($R4 < R3$)。K1和K2的值分别设定陷波频率以上和以下的增益。一般初始值为1。

有关Bainter电路的设计方程式如图2所示。

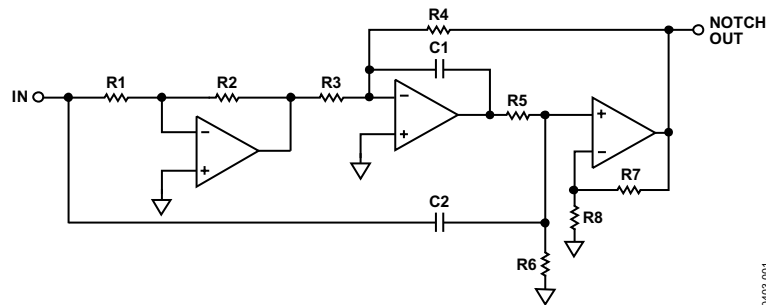
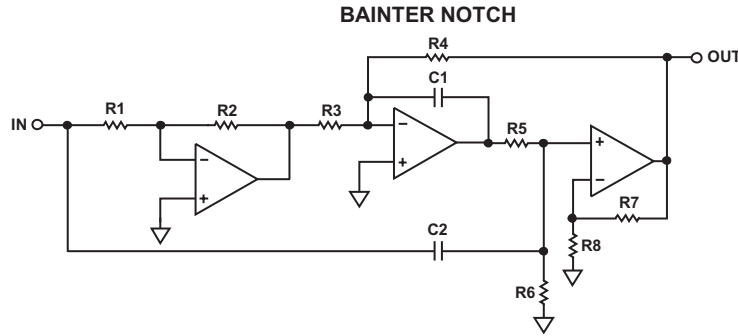


图1. Bainter陷波滤波器

10403-001

设计方程



$$H \frac{(S^2 + \omega_z^2)}{S^2 + \frac{\omega_0}{Q} S + \omega_0^2}$$

$$\frac{V_{OUT}}{V_{IN}} = \frac{K2 \times \left[S^2 + \frac{K1}{R3 R5 C1 C2} \right]}{S^2 + \frac{(R5 + R6)}{R5 R6 C2} S + \frac{K2}{R4 R5 C1 C2}}$$

CHOOSE C1, R1, R7, K1, K2

$$C2 = C1 = C$$

$$k = 2 \pi F_0 C$$

$$R2 = K1 \times R1$$

$$Z = \left(\frac{\omega_z}{\omega_0} \right)^2$$

$$R3 = \frac{K1}{2 Z Q k}$$

$$R4 = \frac{K2}{2 Q k}$$

$$R5 = R6 = \frac{2 Q}{k}$$

$$R8 = (K2 - 1) R7$$

10401-002

图2. Bainter陷波滤波器设计方程式

参考文献

- Bainter, J. R. "Active Filter Has Stable Notch and Response Can Be Regulated," *Electronics*, Oct. 2, 1975, pages 115 to 117.
 Zumbahlen, Hank. *Linear Circuit Design Handbook*. Elsevier. 2008. ISBN: 978-7506-8703-4.

修订历史

2012年4月—修订版0：初始版

三运算放大器仪表放大器基本结构

第二种常见的仪表放大器架构基于三运算放大器，显示于以下图1中。此电路通常称为三运算放大器仪表放大器。

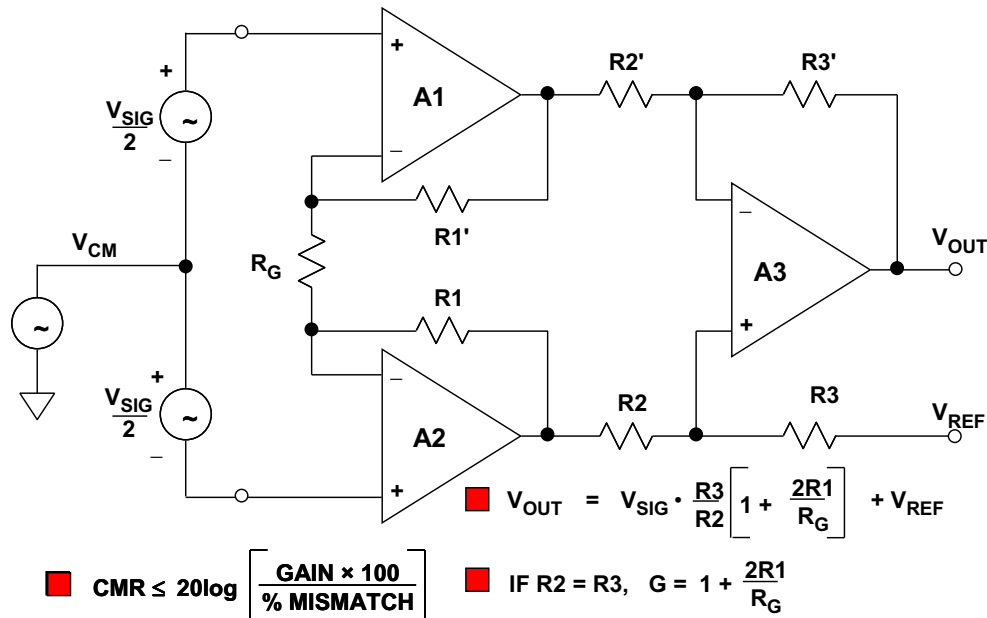


图1：三运算放大器仪表放大器

电阻 R_G 设置此放大器的总增益。该电阻可以是内部、外部或(软件或引脚绑定)可编程电阻，视仪表放大器而定。在此配置下，CMR取决于 $R3/R2$ 与 $R3'/R2'$ 的比率匹配。另外，共模信号的放大因子为1，不受增益影响，(R_G 中不会出现共模电压，即是说其中不会流过共模电流，因为运行正常的运算放大器的输入引脚之间不存在显著的电位差)。

由于A1-A2中的差分对CM增益比率较高，该仪表放大器的CMR理论上与增益呈比例变化。大共模信号(A1-A2运算放大器余量限制以内)可在所有增益下处理。最后，鉴于这种配置的对称性，输入放大器中的共模误差(若采样)常常被减法器输出级消除。这些特性使得该三运算放大器仪表放大器配置能够提供最高性能，也是其大受欢迎的原因所在。

经典三运算放大器结构已经用于多种单芯片IC仪表放大器，包括业界标准AD620。除了三个内部运算放大器之间的出色匹配，薄膜激光调整电阻还具有极佳的比率匹配和增益精度，而且成本远远低于使用分立式精密运算放大器和电阻网络。AD620是单芯片IC仪表放大器技术的很好范例。以下图2给出了简化器件原理图。

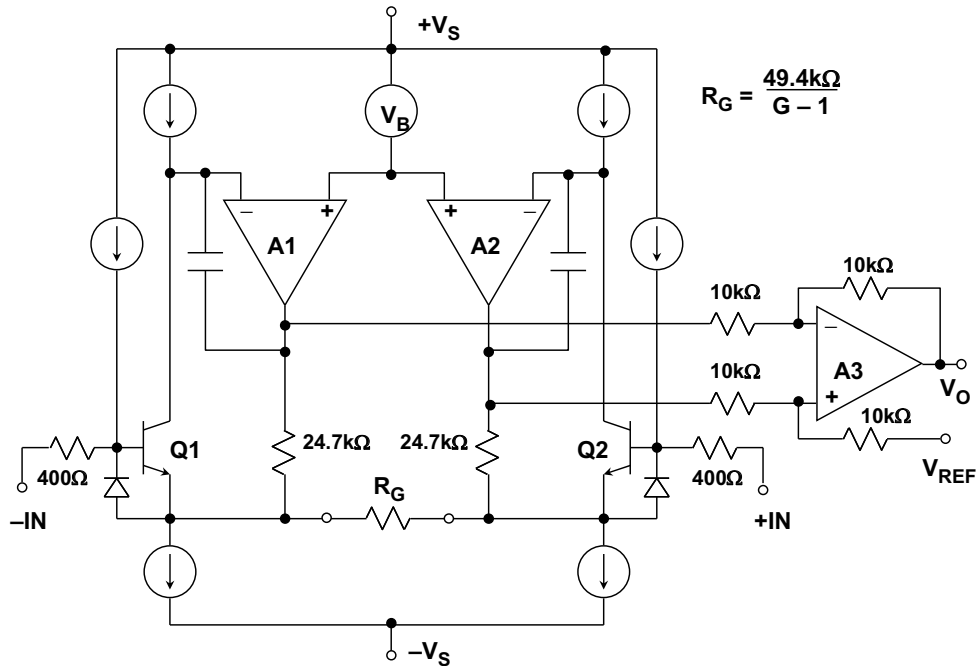


图2: AD620仪表放大器简化原理图

AD620是一款颇受欢迎的仪表放大器，额定电源电压范围为 $\pm 2.3\text{ V}$ 至 $\pm 18\text{ V}$ 。输入电压噪声在 1 kHz 下仅为 $9\text{ nV}/\sqrt{\text{Hz}}$ 。由于Q1-Q2使用了Superbeta晶体管，最大输入偏置电流仅为 1 nA 。

内部 $400\ \Omega$ 薄膜限流电阻与二极管(从Q1和Q2的发射极连接至基极)配合使用，从而提供过压保护功能。增益 G 由单一外部 R_G 电阻设置，如以下公式1所示。

$$G = (49.4\text{k}\Omega/R_G) + 1 \quad \text{公式1}$$

结合该公式和图2可以看出，AD620内部电阻经过调整，使得标准1%或0.1%电阻可用于将增益设置为常用值。

与双运算放大器仪表放大器配置一样，三运算放大器仪表放大器的单电源供电需要清楚内部节点电压。下图3显示了采用 $+5\text{ V}$ 单电源供电的仪表放大器的一般框图。各运算放大器的最大和最小容许输出电压分别指定为 V_{OH} (最高输出)和 V_{OL} (最低输出)。

请注意，从共模电压到A1和A2输出端的增益为单位增益。可以说，这些输出上的共模电压和信号电压之和必须在放大器输出电压范围内。

显然该配置无法处理0 V或+5 V的输入共模电压，因为A1和A2已经饱和。与双运算放大器仪表放大器一样，输出基准位于 V_{OH} 和 V_{OL} 中间，以提供双极性差分输入信号。

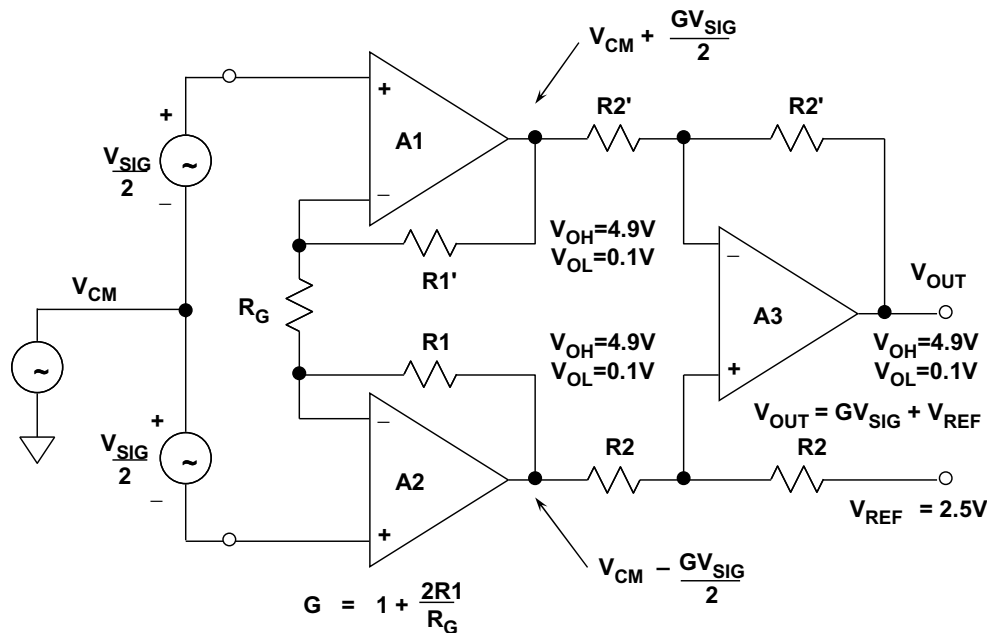


图3: 三运算放大器仪表放大器+5 V单电源限制

虽然有许多优秀的单电源仪表放大器，最高性能的器件仍然是那些采用传统双电源供电的器件，例如上述[AD620](#)，还有最近推出的[AD8221](#)和[AD8222](#)。在特定应用中，即使像AD620这样专为双电源供电而设计的器件，也可在单电源系统上发挥完整精度。

AD623单电源仪表放大器

与前述对应的双运算放大器仪表放大器一样，三运算放大器仪表放大器需要仔细设计，以实现单电源上的宽共模范围输入。以下图4所示的[AD623](#)单电源仪表放大器配置提供了很有吸引力的解决方案。该器件中，PNP发射极跟随器电平转换器Q1和Q2使输入信号可低于负电源150 mV，同时保持在正电源的1.5 V范围内。AD623的额定电源电压为+3 V至+12 V (单电源)或±2.5 V至±6 V(双电源)。

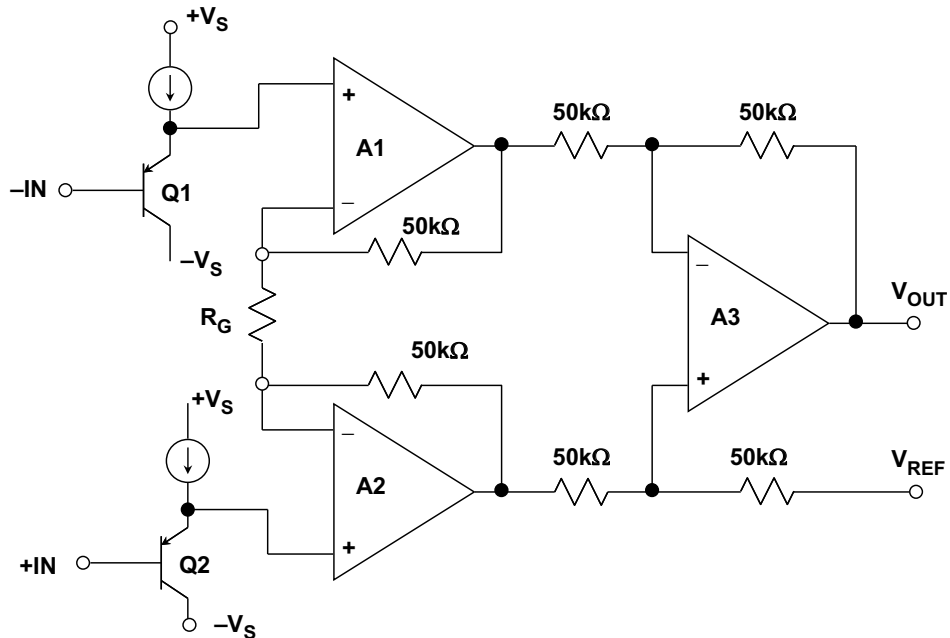


图4: [AD623](#)单电源仪表放大器架构

AD623数据手册包含容许输入/输出电压范围的详细说明及数据，此范围与增益和电源电压成函数关系。此外，ADI网站提供[交互式设计工具](#)，可为许多仪表放大器执行关于这些参数的增益和范围计算，包括AD623。图5总结了AD623的主要规格特性。

- ◆ Wide Supply Range: +3V to ± 6 V
- ◆ Input Voltage Range: $-V_S - 0.15$ V to $+V_S - 1.5$ V
- ◆ 575 μ A Maximum Supply Current
- ◆ Gain Range: 1 to 1000
- ◆ 100 μ V Maximum Input Offset Voltage (AD623B)
- ◆ 1 μ V/ $^{\circ}$ C Maximum Offset Voltage TC (AD623B)
- ◆ 50ppm Gain Nonlinearity
- ◆ 105dB CMR @ 60Hz, 1k Ω Source Imbalance, $G \geq 100$
- ◆ 3 μ V p-p 0.1Hz to 10Hz Input Voltage Noise ($G = 1$)

图5: [AD623](#)仪表放大器主要规格特性

[AD8223](#)是一款集成式单电源仪表放大器，采用单电源(+3.0 V至+25 V)供电时提供轨到轨输出摆幅。输入共模电压包括负供电轨。AD8223可以通过单一增益设置电阻进行编程，并遵照8引脚工业标准引脚排列配置，赋予用户出众的灵活性。不接外部电阻时，AD8223配置为 $G = 5$ ；连接外部电阻时，AD8223可通过编程实现最高增益1000。AD8223利用了本教程介绍的三运算放大器架构。

参考文献

1. Hank Zumbahlen, *Basic Linear Design*, Analog Devices, 2006, ISBN: 0-915550-28-1. Also available as [Linear Circuit Design Handbook](#), Elsevier-Newnes, 2008, ISBN-10: 0750687037, ISBN-13: 978-0750687034. Chapter 2.
2. Walter G. Jung, [Op Amp Applications](#), Analog Devices, 2002, ISBN 0-916550-26-5, Also available as [Op Amp Applications Handbook](#), Elsevier/Newnes, 2005, ISBN 0-7506-7844-5. Chapter 2.
3. Charles Kitchin and Lew Counts, [A Designer's Guide to Instrumentation Amplifiers, 3rd Edition](#), Analog Devices, 2006.

Copyright 2009, Analog Devices, Inc. All rights reserved. Analog Devices assumes no responsibility for customer product design or the use or application of customers' products or for any infringements of patents or rights of others which may result from Analog Devices assistance. All trademarks and logos are property of their respective holders. Information furnished by Analog Devices applications and development tools engineers is believed to be accurate and reliable, however no responsibility is assumed by Analog Devices regarding technical accuracy and topicality of the content provided in Analog Devices Tutorials.

二阶系统的运算放大器总输出噪声计算

“[指南MT-049](#)”中分析了单极点系统的总输出噪声。下面图1所示的电路表示一个二阶系统，其中电容C1表示源电容、反相输入的杂散电容、运算放大器的输入电容或这些电容的任意组合。C1会导致噪声增益出现断点，C2则是为取得稳定性而必须添加的电容。

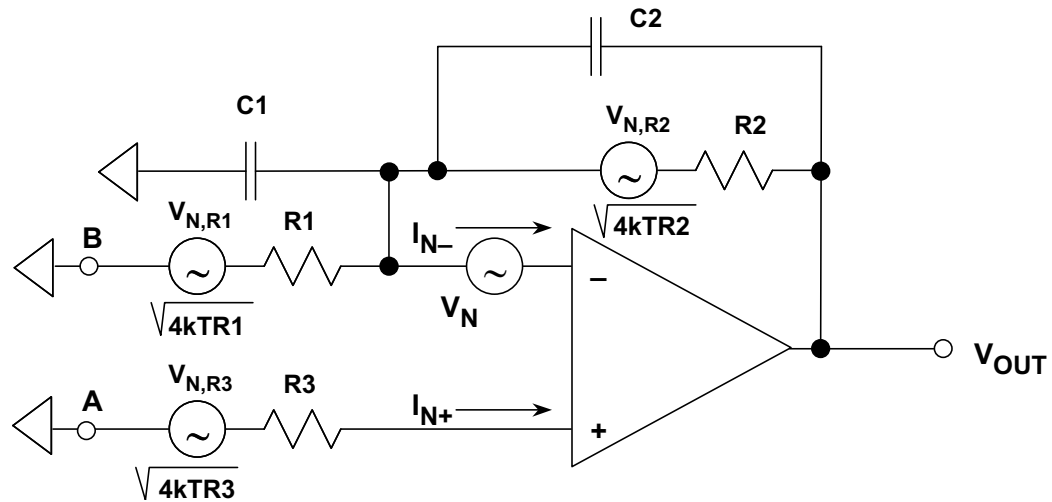


图1：带电抗元件的运算放大器噪声模型(二阶系统)

由于存在C1和C2，噪声增益是频率的函数，并在较高频率下有峰化现象(假定选择C2，使该二阶系统处于临界阻尼状况)。只要使 $R1 \times C1 = R2 \times C2$ ，就可以实现平坦的噪声增益。

不过，对于电流电压转换器，R1通常为高阻抗，因此该方法不起作用。在这些情况下，要使信号带宽最大有点复杂，详见“[指南MT-059](#)”。

向输入端A施加直流信号(B接地)时，增益(即低频噪声增益)为 $1 + R2/R1$ 。在较高频率下，从输入端A到输出端的增益变为 $1 + C1/C2$ (高频噪声增益)。

请注意，闭环带宽 f_{cl} 是噪声增益与开环增益相交点的频率。向B施加直流信号(A接地)时，增益为 $-R2/R1$ ，其中高频截止点由 $R2-C2$ 决定。从B到输出端的带宽为 $1/2\pi R2C2$ 。

同相输入端的电流噪声 I_{N+} 流过R3会引起 $I_{N+}R3$ 的噪声电压，与运算放大器噪声电压 V_N 和R3的约翰逊噪声 $\sqrt{4kTR3}$ 一样，该噪声电压会被与频率相关的噪声增益放大。R1的约翰逊噪声会在 $1/2\pi R2C2$ 带宽范围内放大 $-R2/R1$ ，R2的约翰逊噪声则根本不会放大，而是在 $1/2\pi R2C2$ 带宽范围内直接连接到输出。反相输入端的电流噪声 I_{N-} 仅会流过R2，进而在 $1/2\pi R2C2$ 带宽范围内导致放大器输出端出现大小为 $I_{N-}R2$ 的电压。

如果我们考虑这六种噪声贡献，则会发现如果R1、R2和R3很小，那么电流噪声和约翰逊噪声的影响将降至最低，主要噪声将是运算放大器的电压噪声。随着我们增加电阻，约翰逊噪声和噪声电流产生的电压噪声将升高。

如果噪声电流很小，那么约翰逊噪声将取代电压噪声而成为主要的噪声贡献。不过，约翰逊噪声随着电阻平方根增加而升高，电流噪声电压则随着电阻增加而呈线性升高，因此最终随着电阻继续增加，噪声电流引起的电压将成为主要因素。

无论输入端是连接到节点A还是节点B(另一个则接地或连接到其它低阻抗电压源)，上文分析到的这些噪声贡献都不受影响，这也是为何出现在运算放大器电压噪声 V_N 上的同相增益 $(1 + Z2/Z1)$ 会被称为“噪声增益”的原因所在。

要计算二阶运算放大器系统的总输出rms噪声，需要将这六个噪声电压分别乘以相应的增益，然后在相应的频率上进行积分，如图2所示(下图)。

NOISE SOURCE EXPRESSED AS A VOLTAGE	MULTIPLY BY THIS FACTOR TO REFER TO OUTPUT	INTEGRATION BANDWIDTH
Johnson noise in R3: $\sqrt{4kTR3}$	Noise Gain as a function of frequency	Closed-Loop BW
Non-inverting input current noise flowing in R3: $I_{N+}R3$	Noise Gain as a function of frequency	Closed-Loop BW
Input voltage noise: V_N	Noise Gain as a function of frequency	Closed-Loop BW
Johnson noise in R1: $\sqrt{4kTR1}$	$-R2/R1$ (Gain from B to output)	$1/2\pi R2C2$
Johnson noise in R2: $\sqrt{4kTR2}$	1	$1/2\pi R2C2$
Inverting input current noise flowing in R2: $I_{N-}R2$	1	$1/2\pi R2C2$

图2: 二阶系统折合到输出端的噪声源

然后，所有输出贡献因素的和方根即代表总rms输出噪声。幸运的是，多数情况下，适当假设并识别主要噪声贡献因素，可以极大简化这个复杂繁琐的过程。

典型二阶系统的噪声增益如下面的图3所示。虽然两步内即可很容易地完成电压噪声积分，但请注意，由于存在峰化现象，因此输入电压噪声引起的输出噪声主要由噪声增益为 $1 + C1/C2$ 的高频部分决定。这是二阶系统的典型响应类型。反相输入电流噪声、 $R1$ 和 $R2$ 引起的噪声仅在 $1/2\pi R2C2$ 带宽上积分。

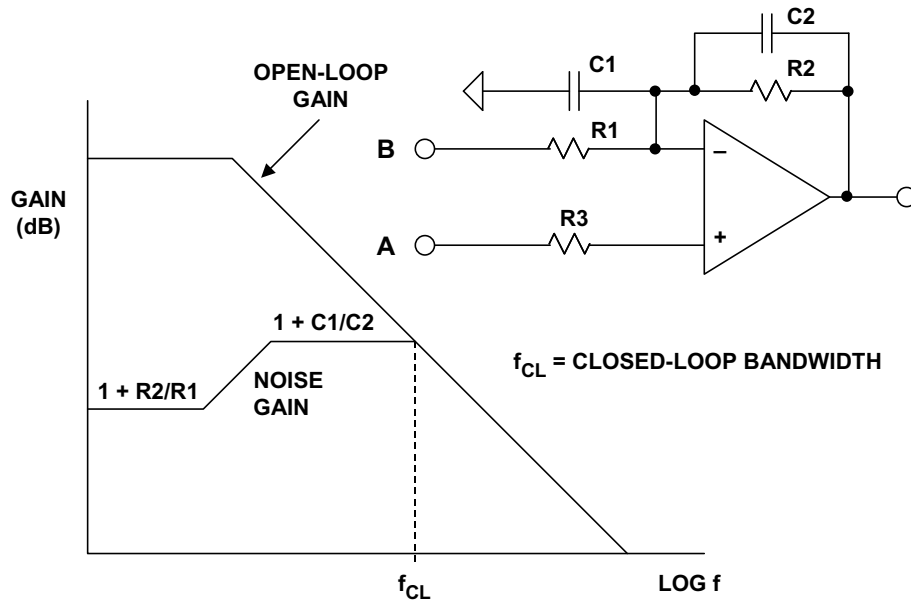


图3：典型二阶系统的噪声增益

参考文献

1. Hank Zumbahlen, *Basic Linear Design*, Analog Devices, 2006, ISBN: 0-915550-28-1. Also available as [Linear Circuit Design Handbook](#), Elsevier-Newnes, 2008, ISBN-10: 0750687037, ISBN-13: 978-0750687034. Chapter 1.
2. Walter G. Jung, *Op Amp Applications*, Analog Devices, 2002, ISBN 0-916550-26-5, Also available as [Op Amp Applications Handbook](#), Elsevier/Newnes, 2005, ISBN 0-7506-7844-5. Chapter 1.

Copyright 2009, Analog Devices, Inc. All rights reserved. Analog Devices assumes no responsibility for customer product design or the use or application of customers' products or for any infringements of patents or rights of others which may result from Analog Devices assistance. All trademarks and logos are property of their respective holders. Information furnished by Analog Devices applications and development tools engineers is believed to be accurate and reliable, however no responsibility is assumed by Analog Devices regarding technical accuracy and topicality of the content provided in Analog Devices Tutorials.

从低通到带通滤波器的转换

作者: Hank Zumbahlen,
Analog Devices, Inc.

引言

有一种转换算法可将低通极点转换成等效带通极点。这是一系列介绍分立式运算放大器电路的小型指南之一。

简介

根据极点的距离, 可将带通滤波器分成宽带或窄带两种。如果带通滤波器的转折频率分离的较远(超过2个倍频程), 则滤波器为宽带, 由独立的低通和高通部分构成, 并呈级联关系。本小型指南将主要介绍窄带滤波器。

这里的假设是对于分离较远的极点, 它们之间的相互作用很小。这种情况并不适用于窄带带通滤波器, 因为这种情况下, 转折频率相差不到2个倍频程。

滤波器一般用低通原型进行描述, 因为低通是标准配置。要把该滤波器转换成带通, 先从低通原型的复数极点对 α 和 β 开始。已知该极点对为复数共轭极点对。这意味着在直流周围(0 Hz.)是对称的。转换成带通的过程是将低通原型直流周围的响应镜像到新中心频率 F_0 左右的相同响应的过程。

显然, 这意味着当完成带通转换时, 极点和零的数量将翻一番。与低通一样, 实数轴以下的极点和零忽略不计。因此, 一个 n 阶低通原型转换成了一个 n 阶带通, 即使滤波器的阶数为 $2n$ 。 n 阶带通滤波器由 n 部分构成, 与其对比低通原型则由 $n/2$ 部分构成。方便起见, 不妨把响应设想成 n 个上极点和 n 个下极点。

通过以下方式确定 Q_{BP} 的值

$$Q_{BP} = \frac{F_0}{BW} \quad (1)$$

其中, BW 为某电平下的带宽, 一般为 -3 dB。

一种转换算法

Geffe定义了一种转换算法(见参考文献部分), 用以将低通极点转换成等效带通极点。

若已知低通原型的极点位置

$$-\alpha \pm j\beta \quad (2)$$

以及 F_0 和 Q_{BP} 的值, 则以下计算将得到两组 Q 值和频率 F_H 和 F_L , 结果定义了一对带通滤波器部分。

$$C = \alpha^2 + \beta^2 \quad (3)$$

$$D = \frac{2\alpha}{Q_{BP}} \quad (4)$$

$$E = \frac{C}{Q_{BP}^2} + 4 \quad (5)$$

$$G = \sqrt{E^2 - 4D^2} \quad (6)$$

$$Q = \sqrt{\frac{E+G}{2D^2}} \quad (7)$$

注意, 各部分的 Q 相同。

极点频率取决于

$$M = \frac{\alpha Q}{Q_{BP}} \quad (8)$$

$$W = M + \sqrt{M^2 - 1} \quad (9)$$

$$F_{BP1} = \frac{F_0}{W} \quad (10)$$

$$F_{BP2} = W F_0 \quad (11)$$

每个极点对转换同时也将导致2个位于原点的零点。

将幅度为 α_0 的归一化低通实数极点转换成一个带通部分, 其中,

$$Q = \frac{Q_{BP}}{\alpha_0} \quad (12)$$

频率为 F_0 。

每次极点转换也会在原点产生一个零点。

椭圆函数低通原型同时含有零和极点。在转换滤波器时，必须同时转换这些零点。若低通零点为 $\pm j\omega_z$ ，则带通零点如下：

$$M = \frac{\alpha Q}{Q_{BP}} \quad (13)$$

$$W = M + \sqrt{M^2 - 1} \quad (14)$$

$$F_{BP1} = \frac{F_0}{W} \quad (15)$$

$$F_{BP2} = W F_0 \quad (16)$$

由于带通滤波器的增益在 F_{BP} 而非 F_0 时出现峰值，因此需要对幅度函数作出调整，用以归一化合并后的滤波器的响应。各滤波器部分的增益如下：

$$A_R = A_0 \sqrt{1 + Q^2 \left(\frac{F_0}{F_{BP}} - \frac{F_{BP}}{F_0} \right)^2} \quad (17)$$

其中：

A_0 = 滤波器中心频率下的增益

A_R = 谐振时的滤波器部分增益

F_0 = 滤波器中心频率

F_{BP} = 滤波器部分谐振频率

现在，低通原型被转换成了带通滤波器。以上的一系列等式是用来转换使用的。原型滤波器的每个极点都转换成一个极点对。因此，转换完成时，3极点原型将拥有6个极点（3个极点对）。此外，原点处将有6个零点。

极点位置

LP原型的极点位置来自设计表(见MT-206)。表1对其进行了总结。

表1.

级	α	β	F_0	α
1	0.2683	0.8753	1.0688	0.5861
2	0.5366		0.6265	

第一级为极点对，第二级为单极点。请注意，用 α 表示两个完全不同的参数的做法是不可取的。左侧的 α 和 β 为复平面上的极点位置。这些是转换算法中使用的值。右侧的 α 为 $1/Q$ ，这正是物理滤波器设计等式所希望看到的。

转换过程的部分工作是指定可合成的滤波器的3 dB带宽。在这种情况下，该带宽将被设为500 Hz。转换结果如下表所示：

表2.

级	F_0	Q	A_0
1	804.5	7.63	3.49
2	1243	7.63	3.49
3	1000	3.73	1

前两级存在增益要求的原因在于，相对于总滤波器中心频率，它们的中心频率将会衰减。由于结果得到的 Q 适中(小于20)，因而将选用多级反馈拓扑结构(见MT-218)。

图1为该滤波器的示意图，图2所示为频率响应。

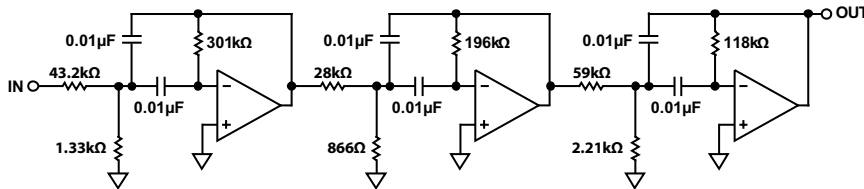


图1. 带通转换

10426-001

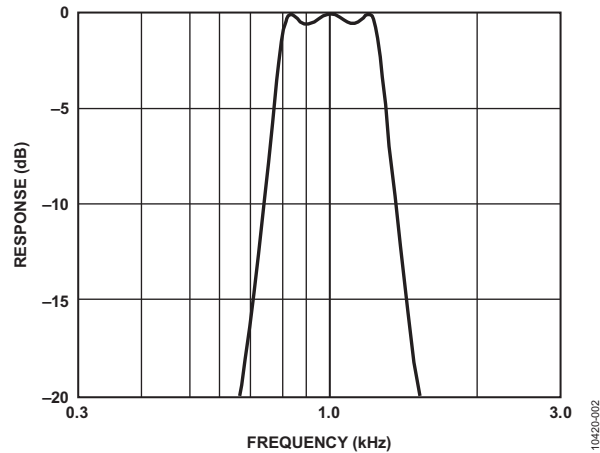


图2. 带通滤波器响应

请注意，中心频率周围还是存在对称性。另外，500 Hz的带宽并不表示中心频率两端各250 Hz(算术对称)。相反，对称是几何性的，意思是说幅度相等的任意两个频率(F_1 和 F_2)都具有以下关系

$$F_0 = \sqrt{F_1 \times F_2} \quad (18)$$

参考文献

Geffe, P. R. "Designer's Guide to Active Band-Pass Filters," EDN, Apr. 5 1974, pp. 46-52.

Zumbahlen, Hank. *Linear Circuit Design Handbook*. Elsevier. 2008. ISBN: 978-7506-8703-4.

修订历史

2012年3月—修订版0：初始版

从低通到带阻(陷波)滤波器的转换

作者: Hank Zumbahlen,
Analog Devices, Inc.

引言

有一种转换算法可将低通极点转换成等效带阻极点。这是一系列介绍分立式运算放大器电路的小型指南之一。

简介

就如带通滤波器一样,根据极点的距离,可将带阻滤波器分成宽带或窄带两种。为避免混淆,可采用一种惯例。如果滤波器为宽带,则称为带阻滤波器。窄带滤波器被称为陷波滤波器。

在某些情况下,如从低电平传感器测量值中消除电力线频率(嗡嗡声),可以设计一种针对具体频率的陷波滤波器。

就如带通是由低通原型直接转换的一样(其中,直流被转换成 F_0),陷波滤波器可以先转换成高通滤波器,然后再将直流(现在为零)转换为 F_0 。

构建陷波滤波器的一种方法是将其当作带通滤波器构建,并从输入中减去输出(1 - BP)。另一种方法是采用级联低通和高通部分,尤其是在带阻(宽带)的情况下。在这种情况下,各部分相并行,差异体现在输出上。

一种更通行的做法是直接转换极点。陷波转换会给每一个低通极点对带来两对复数极点和一对二阶虚数零点。

通过以下方式确定 Q_{BP} 的值

$$Q_{BR} = \frac{F_0}{BW} \quad (1)$$

其中, BW 为某电平下的带宽,一般为-3 dB。

一种转换算法

若已知低通原型的极点位置

$$-\alpha \pm j\beta \quad (2)$$

以及 F_0 和 Q_{BR} 的值,则以下计算将得到两组Q值和频率 F_H 和 F_L ,结果定义了一对陷波滤波器部分。

$$C = \alpha^2 + \beta^2 \quad (3)$$

$$D = \frac{\alpha}{Q_{BR}C} \quad (4)$$

$$E = \frac{\beta}{Q_{BR}C} \quad (5)$$

$$F = E^2 - D^2 + 4 \quad (6)$$

$$G = \sqrt{\frac{F}{2} + \sqrt{\frac{F^2}{4} + D^2 E^2}} \quad (7)$$

$$H = \frac{DE}{G} \quad (8)$$

$$K = \frac{1}{2} \sqrt{(D+H)^2 + (E+G)^2} \quad (9)$$

$$Q = \frac{K}{D+H} \quad (10)$$

极点频率取决于

$$F_{BR1} = \frac{F_0}{K} \quad (11)$$

$$F_{BR2} = K F_0 \quad (12)$$

$$F_Z = F_0 \quad (13)$$

$$F_0 = \sqrt{F_{BR1} \times F_{BR2}} \quad (14)$$

其中, F_0 为陷波频率以及 F_{BR1} 和 F_{BR2} 的几何均值。

一个简单的实数极点 α_0 转换成一个部分,其Q值用下式算出:

$$Q = Q_{BP} \alpha_0 \quad (15)$$

其中,频率 $F_{BR} = F_0$ 。在 F_0 处还有转换零点。

假设在B的带宽下需要A dB的衰减,则单频陷波需要的Q取决于

$$Q = \frac{\omega_0}{B\sqrt{10^{0.1A} - 1}} \quad (16)$$

原型被转换成一种带阻滤波器。对此,再次使用了以上一系列等式。原型滤波器的每个极点都转换成一个极点对。因此,转换完成时,3极点原型将拥有6个极点(3个极点对)。

就如带通一样,转换过程的部分工作是指定合并后的滤波器的3 dB带宽。

MT-216

同样,在这种情况下,该带宽被设为500 Hz。LP原型的极点位置来自设计表(见MT-206)。

极点位置

低通原型的极点位置来自设计表(见MT-206)。

表1.

级	α	β	F_0	α
1	0.2683	0.8753	1.0688	0.5861
2	0.5366		0.6265	

第一级为极点对,第二级为单极点。请注意,用 α 表示两个完全不同的参数的做法是不可取的。左侧的 α 和 β 为复平面上的极点位置。这些是转换算法中使用的值。右侧的 α 为 $1/Q$,这正是物理滤波器设计等式所希望看到的。

转换结果将产生如表2所示结果。

表2.

级	F_0	Q	F_{0z}
1	763.7	6.54	1000
2	1309	6.54	1000
3	1000	1.07	1000

请注意,所需陷波滤波器有三种情况。即标准陷波($f_0 = f_z$, 第3部分),低通陷波($F_0 < F_z$, 第1部分),以及高通陷波($F_0 > F_z$, 第2部分)。由于需要全部三类陷波,因而用Bainter陷波来构建滤波器。

图1为滤波器的示意图。滤波器的响应如图2所示,图3为其详细情况。同时注意,中心频率周围存在对称性,而且这些频率拥有的是几何对称性。

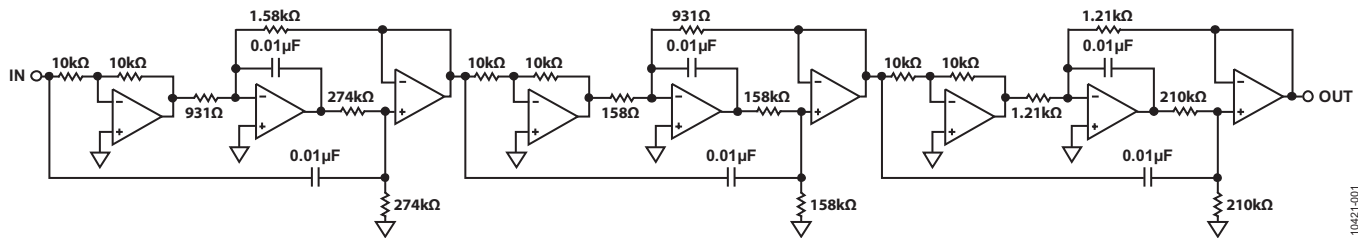


图1. 带阻转换

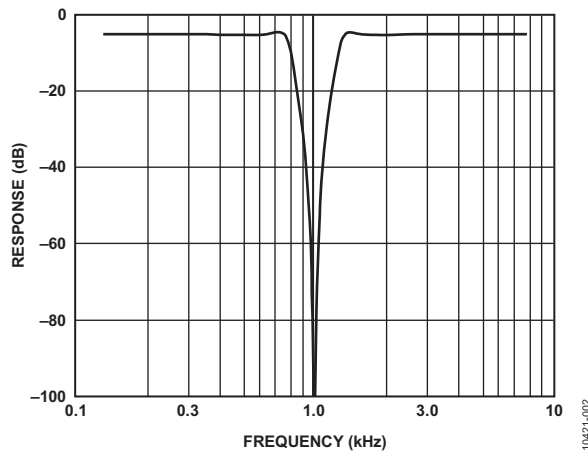


图2. 带阻响应

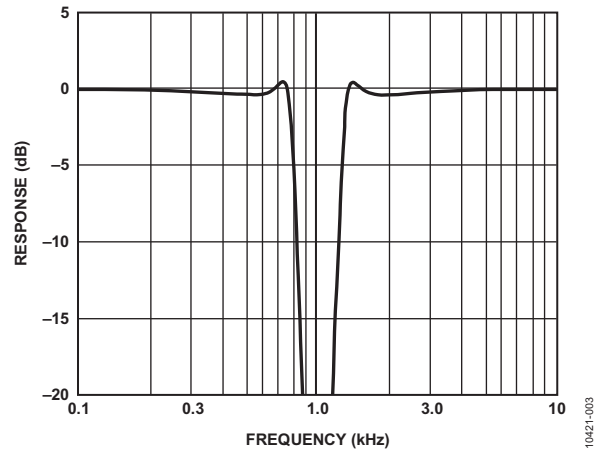


图3. 带阻响应(详情)

修订历史

2012年2月—修订版0：初始版

从低通到高通滤波器的转换

作者: ADI公司
Hank Zumbahlen

引言

有一种转换算法可将低通极点转换成高通极点。这是一系列介绍分立式运算放大器电路的小型指南之一。

简介

滤波器一般用低通原型进行描述, 因为低通是标准配置。高通滤波器可以视为侧面接通的低通滤波器。

受原点零值的影响, 其直流响应并不平坦, 而是 $n \times (20 \text{ dB}/\text{十倍频程})$ 的上升响应, 其中 n 为极点数。在转折频率条件下, 受极点影响, 上述上升响应会增加 $n \times (-20 \text{ dB}/\text{十倍频程})$ 的响应。结果是, 在转折频率以外, 会呈现平坦的响应。

以 $1/s$ 缩放传递函数, 可将低通原型转换成高通滤波器。实际上, 这通常相当于将电容变成值为 $1/C$ 的电感, 而对于无源设计, 则相当于将电感变成值为 $1/L$ 的电容。对于有源设计, 电阻变成值为 $1/R$ 的电容, 而电容则变成值为 $1/C$ 的电阻。这仅适用于频率设置电阻, 不适用于增益设置电阻 (即并非适用于电路中的每个电阻或电容)。

一种转换算法

考察转换的另一种方式是研究 s 平面的转换。低通原型的复数极点对由一个实部 α 和一个虚部 β 构成。归一化高通极点通过以下公式算出

$$\alpha_{HP} = \frac{\alpha}{+\beta^2} \quad (1)$$

以及

$$\beta_{HP} = \frac{\beta}{+\beta^2} \quad (2)$$

这样, 一个简单的极点 α_0 转换成

$$\alpha_{\omega,HP} = \frac{1}{\alpha_0} \quad (3)$$

低通零点 ($\omega_{Z,LP}$) 通过以下公式转换

$$\omega_{Z,HP} = \frac{1}{\omega_{Z,LP}} \quad (4)$$

此外, 原点处将增加与极点数量相等的零点。

在将归一化低通原型极点和零点转换成高通之后, 接着以与低通相同的方式 (即以频率和阻抗) 进行反向归一化处理。

作为例子, 此处转换的是一个 1 kHz、3 极点、0.5 dB 切比雪夫滤波器。选择切比雪夫滤波器的原因在于, 如果响应不正确, 它可以更清楚地显示出来; 这种情况下, 巴特沃兹则可能过于宽松。选择 3 极点滤波器是为了分别转换一个极点对和单个极点。

极点位置

低通原型的极点位置来自设计表 (见 MT-206)。

表1.

级	α	β	F_0	α
1	0.2683	0.8753	1.0688	0.5861
2	0.5366		0.6265	

第一级为极点对, 第二级为单极点。请注意, 用 α 表示两个完全不同的参数的做法是不可取的。左侧的 α 和 β 为复平面上的极点位置。这些是转换算法中使用的值。右侧的 α 为 $1/Q$, 这正是物理滤波器设计等式所希望看到的。

转换结果将产生如表2所示结果。

表2.

级	α	β	F_0	α
1	0.3201	1.0443	0.9356	0.5861
2	1.8636		1.596	

这里需要提醒一下。由于描述切比雪夫滤波器的一种习惯做法 (即此处所用做法) 是引用误差带的末端而非 3 dB 频率, 因此, F_0 必须除以 (高通) 纹波带与 3 dB 带宽的比值。

MT-217

用Sallen-Key高通拓扑结构来构建滤波器(见MT-222)。原理图见图1。

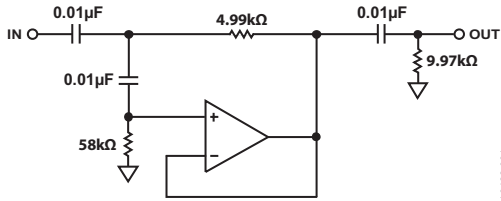


图1. 高通转换

10422-001

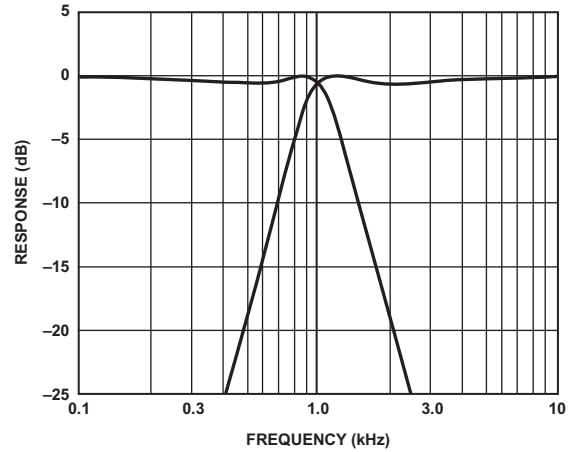


图2. 低通和高通响应

10422-002

图2所示为低通原型和高通转换的响应。请注意，它们在1 kHz截止频率左右是对称的。还应注意，0.5 dB误差带位于1 kHz，而不是-3 dB点，这是切比雪夫滤波器的一个特征。响应的对称性验证了转换的精度。

修订历史

2012年3月—修订版0：初始版

仪表放大器基础

在所有专用放大器中，可能最常用的就是仪表放大器。仪表放大器广泛运用于许多工业和测量领域，这些应用要求在高噪声环境下保持直流精度和增益精度，而且其中存在大共模信号(通常为交流电力线频率)。

运算放大器/仪表放大器功能差异

仪表放大器在许多重要的方面都不同于运算放大器。运算放大器是一个通用增益模块，用户可采用R、C、和L(有时)这些外部反馈器件，对运放进行各种设置，最终配置和电路功能实际上取决于用户。

相比之下，仪表放大器的功能和允许的工作增益范围受到较多的限制。许多情况下，仪表放大器比运算放大器更适合完成其工作——尽管仪表放大器可能实际上是由一些运算放大器组成的！人们也常常会因功能而混淆仪表放大器，称其为“运算放大器”。但是相反的情况则几乎不成立。应该认识到，仪表放大器不只是一种特殊类型的运算放大器，这两种器件的功能实际上根本不同。

有一种方法或许能较好地地区分这两种器件，就是记住：运算放大器凭借灵活的反馈，可以通过编程来实现几乎所有功能。相比之下，仪表放大器则不能通过编程实现所有功能。只能在规定范围内对增益进行编程设置。运算放大器通过大量外部器件进行配置，而仪表放大器则通过一个电阻或特定的引脚来配置其工作增益。

仪表放大器定义

仪表放大器是一个精密闭环增益模块，它有一对差分输入端和一个相对于参考端或共用端工作的单端输出，如下图1所示。其输入阻抗平衡并且阻值很高，典型值 $\geq 10^9 \Omega$ 。仪表放大器采用内部反馈电阻网络，以及(通常)一个增益设置电阻 R_G ，这一点也不同于运算放大器。另外，仪表放大器的内部电阻网络和 R_G 与信号输入端隔离。仪表放大器增益还可以通过引脚选择的内部 R_G 进行预设(也与信号输入端隔离)。仪表放大器增益范围通常为1至1000。

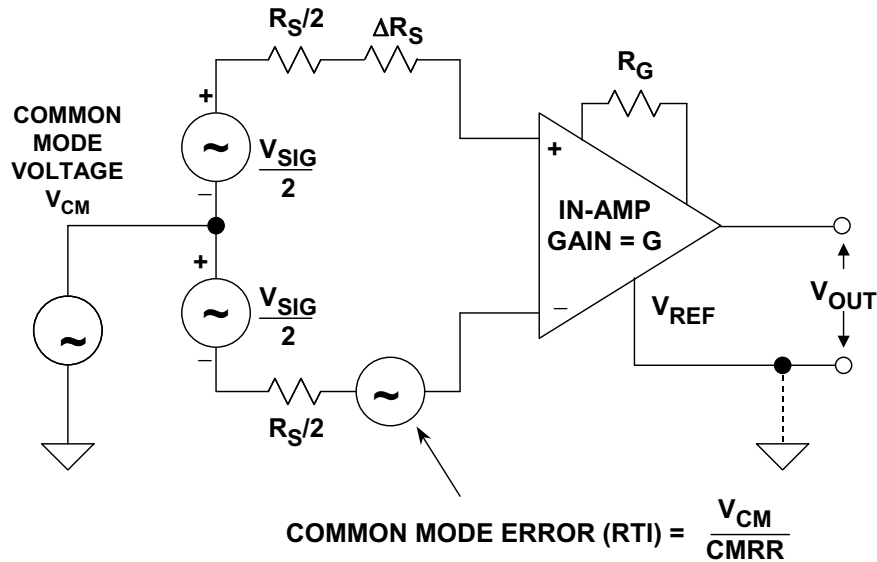


图1: 通用仪表放大器

仪表放大器产生以某个引脚为参考的输出电压，该引脚通常称为参考引脚或 V_{REF} 。在许多应用中，该引脚连接至电路的接地端，但也可连接至其他电压端，只要其处于额定允许的电压范围即可。该特性在单电源应用中特别有用，此时输出电压通常以中间电源(即+5 V电源时为+2.5 V)为参考。

为了实现高效运作，仪表放大器需能够放大微伏电平信号，同时抑制其输入端的共模(CM)信号电压。这要求仪表放大器必须具备极高的共模抑制(CMR)性能。仪表放大器的共模抑制典型值为70至100 dB以上，通常增益较高时共模抑制性能较佳。

必须注意，在大多数实际应用中，仅有直流输入的共模抑制规格是不够的。工业应用中最常见的外部干扰源是50/60 Hz的交流电源相关噪声(包括谐波)。进行差分测量时，这种干扰往往会对两个仪表放大器输入端产生相同的感应，因而干扰表现为共模输入信号。因此，确定频率范围内的共模抑制与确定其直流值同样重要。注意，两个源阻抗之间的不平衡会降低某些仪表放大器的共模抑制。ADI公司明确规定了仪表放大器50/60 Hz时的共模抑制，其中源阻抗不平衡为1 k Ω 。

减法器或差动放大器

了解仪表放大器与减法器或差动放大器之间的差别很重要。简单的减法器或差动放大器可由四个电阻和一个运算放大器组成，如下图2所示。必须注意，这不是一个真正的仪表放大器(根据之前讨论过的标准)，但常用于一些需要简单的差分转单端转换的应用中。正因为使用广泛，所以需仔细研究该电路，目的是在讨论真正的仪表放大器结构之前，理解它的基本限制。

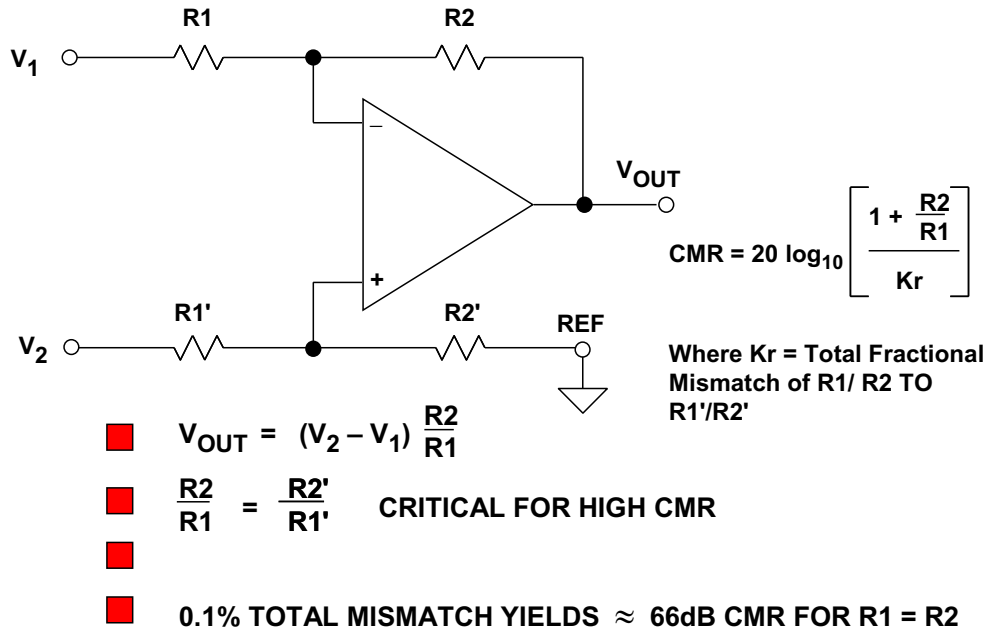


图2: 运算放大器减法器或差动放大器

这个简单电路存在几个基本问题。首先，从 V_1 和 V_2 看到的输入阻抗不平衡。从 V_1 看到的输入阻抗为 $R1$ ，从 V_2 看到的输入阻抗则为 $R1' + R2'$ 。这个结构在共模抑制方面也相当有问题，因为即使是很小的源阻抗不平衡也会降低可用的共模抑制。采用和每个输入串联的匹配良好的开环缓冲器可以解决该问题(例如，采用精密双通道运算放大器)。但是，这会增加简单电路的复杂性，还可能会导致失调漂移和非线性。

该电路的第二个问题是共模抑制主要由电阻比匹配决定，而非运算放大器。电阻比 $R1/R2$ 和 $R1'/R2'$ 必须匹配得非常好以此来抑制共模噪声，至少与典型运算放大器的共模抑制相当(≥ 100 dB)。还应注意，电阻绝对值相对而言不太重要。

从一批电阻中选择四个1%的电阻可能会产生0.1%的净电阻比匹配，使共模抑制达到66 dB(假设 $R1 = R2$)。但是如果其中一个电阻和其它电阻相差1%，共模抑制可能会下降至仅46 dB。显然，在电路中采用普通分离电阻所获得的性能非常有限(不采用手动匹配)。因为最好标准的现成RNC/RNR型电阻的容差约为0.1%。

一般而言，这种电路最差情况下的共模抑制可通过下式计算：

$$CMR(\text{dB}) = 20 \log \left[\frac{1 + R2/R1}{4K_r} \right], \quad \text{公式1}$$

其中 K_r 是小数形式的单电阻容差，此时采用4个分立电阻。上式显示，对于一个由4个没有经过挑选的相同标称值1%电阻组成的容差，最差情况下的共模抑制不会优于34 dB。

该电路可能会采用净匹配容差为 K_r 的单电阻网络，此时表达式如图所示，即：

$$\text{CMR}(\text{dB}) = 20 \log \left[\frac{1 + R_2 / R_1}{K_r} \right] \quad \text{公式2}$$

用公式2计算，假定 $R_1 = R_2$ ，电阻比的净匹配容差为0.1%时，可得出最差情况的直流共模抑制为66 dB。注意，两种情况均假定较高的放大器共模抑制(即>100 dB)。显然，对高共模抑制而言，此类电路需要四个具有极高绝对值及温度系数匹配的单衬底电阻。此类网络采用厚/薄膜技术，Caddock和Vishay公司均可提供，其比率匹配0.01%或更佳。

采用简单差动放大器时，与其招致高成本以及精密运算放大器和分离电阻网络带来的PCB面积限制，不如找出完整的单芯片解决方案。[AMP03](#)就是这样一款精密差动放大器，其中包括片内激光修调精密薄膜电阻网络。如下图3所示。AMP03F典型的共模抑制为100 dB，小信号带宽为3 MHz。

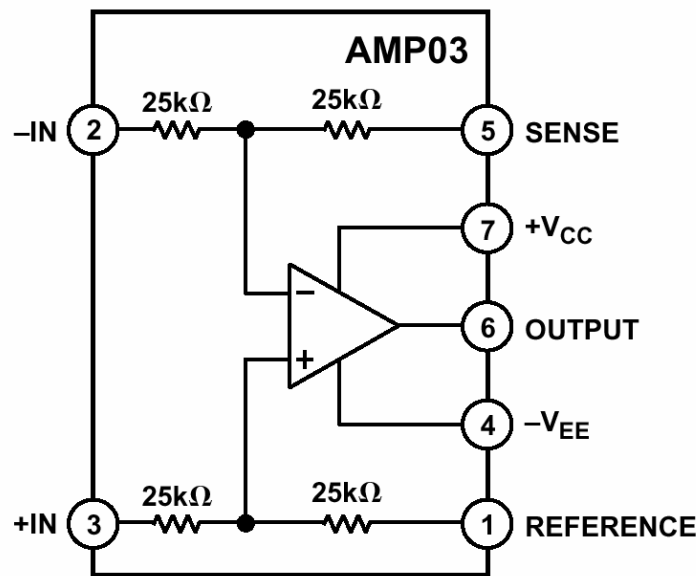


图3: [AMP03](#)精密差动放大器

在[AD629](#)差动放大器中发现了一点关于简单差动放大器的有趣变化，这款放大器针对高共模输入电压进行了优化，典型的电流检测应用如下图4所示。[AD629](#)是一款单位增益差分转单端放大器，在电源电压为±15 V，小信号带宽为500 kHz情况下，可以处理±270 V的共模电压。

仪表放大器桥接电路误差预算分析

在典型应用中，有必要了解仪表放大器的误差源。下图1所示为一个350 Ω的称重传感器，当用10 V源激励时，其满量程输出为100 mV。用外部499 Ω增益设置电阻，将AD620的增益设为100。表中列出了每种误差源对2145 ppm的总非调整误差的贡献。但需要注意的是，增益、失调和CMR误差都可以通过系统校准消除。其余误差——增益非线性度和0.1 Hz至10 Hz噪声——无法通过校准消除，最终使系统分辨率限制为42.8 ppm(大约相当于14位精度)。当然，本例只是用于说明，但对于解决增益非线性度、LF噪声等性能限制性误差问题具有重要意义。

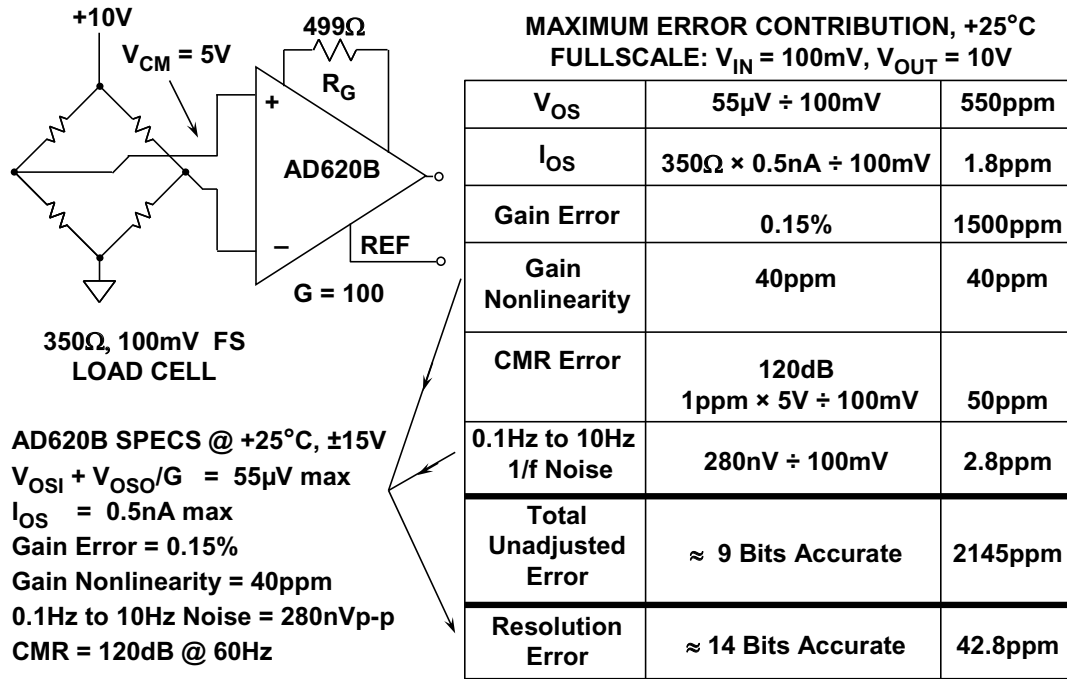


图1: AD620B 桥接放大器直流误差预算

ADI网站上提供了一种通用型放大器(包括仪表放大器)[误差预算分析](#)工具和 [Analog Bridge Wizard™](#) 以协助桥接电路的设计。

参考文献

1. Hank Zumbahlen, *Basic Linear Design*, Analog Devices, 2006, ISBN:0-915550-28-1. 另见 [Linear Circuit Design Handbook](#), Elsevier-Newnes, 2008, ISBN-10:0750687037, ISBN-13:978-0750687034。 Chapter 2.
2. Walter G. Jung, *Op Amp Applications*, Analog Devices, 2002, ISBN 0-916550-26-5, 另见 [Op Amp Applications Handbook](#), Elsevier/Newnes, 2005, ISBN 0-7506-7844-5. Chapter 2.
3. Charles Kitchin and Lew Counts, [A Designer's Guide to Instrumentation Amplifiers, 3rd Edition](#), Analog Devices, 2006.

Copyright 2009, Analog Devices, Inc. All rights reserved. Analog Devices assumes no responsibility for customer product design or the use or application of customers' products or for any infringements of patents or rights of others which may result from Analog Devices assistance. All trademarks and logos are property of their respective holders. Information furnished by Analog Devices applications and development tools engineers is believed to be accurate and reliable, however no responsibility is assumed by Analog Devices regarding technical accuracy and topicality of the content provided in Analog Devices Tutorials.

仪表放大器直流误差源

仪表放大器的直流和噪声规格与常规运算放大器略有不同，因此需要进行讨论以全面了解各种误差源。

增益设置电阻误差

仪表放大器的增益通常通过单个电阻进行设置。如果电阻位于仪表放大器外部，则其值要么根据公式计算，要么从数据手册中的表格中选择，具体取决于所需的增益。采用外部增益设置电阻的仪表放大器有[AD620](#)、[AD623](#)、[AD627](#)、[AD8220](#)(JFET输入、轨到轨输出)、[AD8221](#)、[AD8222](#)、[AD8223](#)和[AD8224](#)。

绝对值激光晶圆调整技术允许用户通过这一个电阻对增益进行精确编程。该电阻的绝对精度和温度系数直接影响着仪表放大器的增益精度和漂移。由于外部电阻不可能精确匹配内部薄膜电阻的温度系数，因此，应选择一个低温度系数TC ($< 25 \text{ ppm}/^\circ\text{C}$)金属薄膜电阻，其精度最好为0.1%或以上。

许多仪表放大器的额定增益范围一般为1至1000或者1至10000，因此，在较高增益下也能正常工作，但制造商并不保证能在这些高增益下实现特定性能水平。实践中，随着增益设置电阻变小，因金属走线和焊线电阻导致的误差将变大。这些误差再加上噪声和漂移的增加，结果可能使较高单级增益失去实用价值。另外，当反映到高增益输出时，输入失调电压可能变得很大。例如，对于增益为10000的输出，0.5 mV的输入失调电压将变成5 V。对于高增益，最佳做法是用一个仪表放大器作为前置放大器，然后用一个后置放大器进一步放大。

在引脚可编程增益仪表放大器(如[AD621](#)、[AD624](#))中，增益设置电阻是内置的，而且匹配良好，并且器件增益精度和增益漂移规格包括了其效应。在其他方面，[AD621](#)与外部增益编程AD620相似。

[AD8250](#)、[AD8251](#)和[AD8253](#)同时具有引脚可编程增益和软件可编程增益，采用ADI公司iCMOS®工艺设计而成，工作电压为 $\pm 5 \text{ V}$ 至 $\pm 15 \text{ V}$ 。这些器件的输入阻抗处于 $\text{G}\Omega$ 范围之内。

增益误差和增益非线性度

增益误差规格为与增益方程的最大偏差。单片仪表放大器(如[AD8221](#)(BR级))具有极低的工厂调整增益误差，该高品质仪表放大器的最大误差为0.02%($G = 1$)和0.15%($G = 1000$)。

注意，增益误差随着增益的增加而加大。尽管外部连接的增益网络允许用户精确设置增益，但外部电阻的温度系数以及网络中各电阻之间的温差都会加大整体增益误差。如果数据最终进行数字化处理并呈现给数字处理器，则可通过测量已知基准电压并乘以一个常数，来更正增益误差。

根据定义，增益非线性度指相对于输出与输入关系坐标图中一条直线的最大偏差。直线画在实际传递函数的终点之间。高品质仪表放大器的增益非线性度一般为0.01% (100 ppm)或以下，而且对推荐增益范围内的增益相对不太敏感。

输入失调电压与偏置电流误差

仪表放大器的总输入失调电压由两部分组成(见下图1)。输入失调电压 V_{OSI} 是由增益G反映到仪表放大器输出端的输入失调组分。输出失调电压 V_{OSO} 则是独立于增益的。

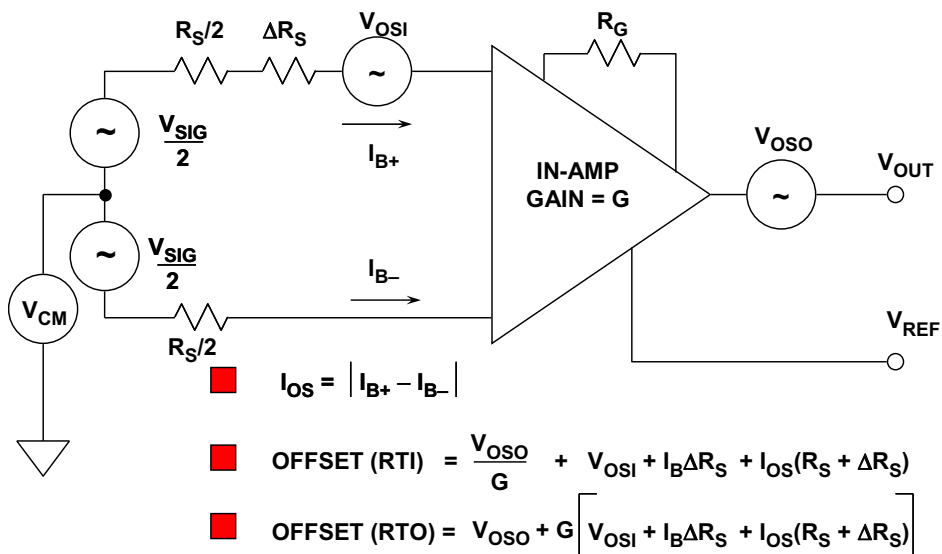


图1：仪表放大器失调电压模型

在低增益情况下，输出失调电压占据主导地位，在高增益下，输入失调电压较为显著。输出失调电压漂移通常在 $G = 1$ 时测得(此时，输入效应并不显著)，输入失调电压漂移则是在高增益下测得的漂移规格(此时，输出失调效应可忽略不计)。

折合到输入端(RTI)的总输出失调误差等于 $V_{OSI} + V_{OSO}/G$ 。仪表放大器数据手册可能会分别规定 V_{OSI} 和 V_{OSO} ，或者给出不同增益值的总RTI输入失调电压。

输入偏置电流也可能在仪表放大器电路中产生失调误差(同样参见图1)。如果源电阻 R_s 的不平衡量为 ΔR_s (桥接电路通常如此),则偏置电流会导致额外的输入失调电压误差,等于 $I_B \Delta R_s$ (设 $I_{B+} \approx I_{B-} = I_B$)。该误差被反映到输出端,分频系数为增益 G 。

输入失调电流 I_{OS} 会在源电阻 $R_s + \Delta R_s$ 上产生输入失调电压误差,等于 $I_{OS}(R_s + \Delta R_s)$,同样由增益 G 反映到输出端。

共模抑制与电源抑制误差

仪表放大器共模误差同时为增益和频率的函数。ADI针对仪表放大器规定的共模抑制是在1 k Ω 源阻抗不平衡、60 Hz频率条件下测得的。RTI共模误差通过将共模电压 V_{CM} 除以共模抑制比CMRR而得到。

下面的图2展示的是AD620仪表放大器的共模抑制,为频率的函数,其源阻抗不平衡为1 k Ω 。

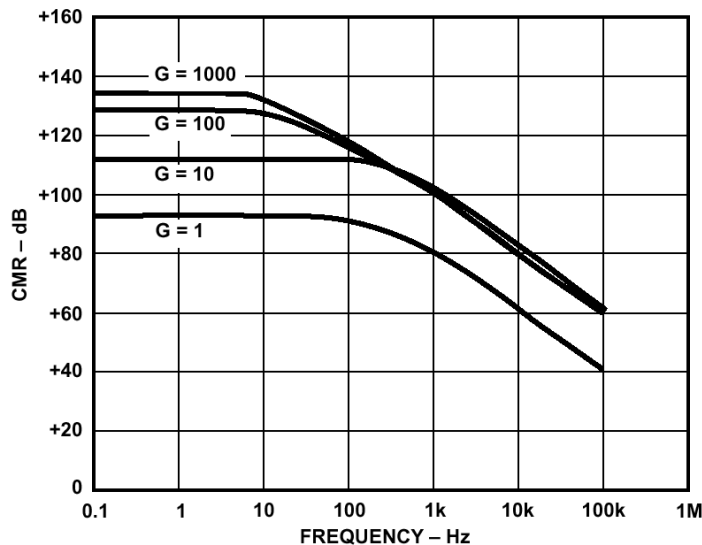


图2: AD620仪表放大器共模抑制(CMR)与频率的关系(源不平衡为1 k Ω)

电源抑制(PSR)同样为增益和频率的函数。对于仪表放大器来说,一般是分别规定各个电源的灵敏度,如针对AD620的下图3所示。RTI电源抑制误差通过将电源的标称偏差除以电源抑制比PSRR获得。

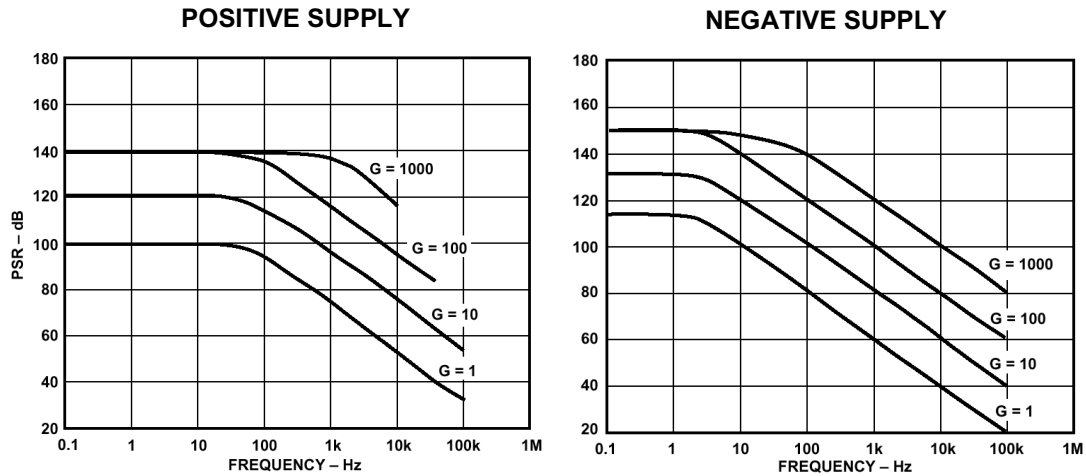


图3: AD620仪表放大器电源抑制(PSR)与频率的关系

由于高频下的PSR性能较差，因此，仪表放大器的两个电源引脚都需要去耦电容。低电感陶瓷电容(0.01至0.1 μF)对于高频非常适用。低ESR电解电容也应位于PC板上的几个点，以实现低频去耦。

仪表放大器直流误差总预算

以上处理了所有直流误差源，现在，我们可以将所有源反映到仪表放大器输入端，从而算出最差情况下的直流误差预算，如下面图4中的表所示。

ERROR SOURCE	RTI VALUE
Gain Accuracy (ppm)	Gain Accuracy × FS Input
Gain Nonlinearity (ppm)	Gain Nonlinearity × FS Input
Input Offset Voltage, V_{OSI}	V_{OSI}
Output Offset Voltage, V_{OSO}	$V_{OSO} \div G$
Input Bias Current, I_B , Flowing in ΔR_S	$I_B \Delta R_S$
Input Offset Current, I_{OS} , Flowing in R_S	$I_{OS}(R_S + \Delta R_S)$
Common Mode Input Voltage, V_{CM}	$V_{CM} \div CMRR$
Power Supply Variation, ΔV_S	$\Delta V_S \div PSRR$

图4: 折合到输入端(RTI)的仪表放大器直流误差

需要注意，只需将RTI误差乘以仪表放大器增益，即可将直流误差折合到仪表放大器输出端(RTO)。

参考文献

1. Hank Zumbahlen, *Basic Linear Design*, Analog Devices, 2006, ISBN:0-915550-28-1. 另见 [Linear Circuit Design Handbook](#), Elsevier-Newnes, 2008, ISBN-10:0750687037, ISBN-13:978-0750687034。 Chapter 2.
2. Walter G. Jung, *Op Amp Applications*, Analog Devices, 2002, ISBN 0-916550-26-5, 另见 [Op Amp Applications Handbook](#), Elsevier/Newnes, 2005, ISBN 0-7506-7844-5. Chapter 2.
3. Charles Kitchin and Lew Counts, *A Designer's Guide to Instrumentation Amplifiers, 3rd Edition*, Analog Devices, 2006.

Copyright 2009, Analog Devices, Inc. All rights reserved. Analog Devices assumes no responsibility for customer product design or the use or application of customers' products or for any infringements of patents or rights of others which may result from Analog Devices assistance. All trademarks and logos are property of their respective holders. Information furnished by Analog Devices applications and development tools engineers is believed to be accurate and reliable, however no responsibility is assumed by Analog Devices regarding technical accuracy and topicality of the content provided in Analog Devices Tutorials.

仪表放大器输入RFI保护

保护仪表放大器不受RFI影响

在实际应用中，必须处理日益增多的射频干扰(RFI)，对于信号传输线路较长且信号强度较低的情况尤其如此，这是仪表放大器的典型应用，因为其本身具有共模抑制能力，所以该器件能从较强共模噪声和干扰中提取较弱的差分信号。但有个潜在问题却往往被忽视，即仪表放大器中存在的射频整流问题。当存在强射频干扰时，集成电路的内部结点可能对干扰进行整流，然后以直流输出失调误差表现出来。

仪表放大器输入端的共模信号通常被其共模抑制的性能衰减了。但遗憾的是，射频整流仍然会发生，因为即使最好的仪表放大器在信号频率高于20 kHz时，实际上也不能抑制共模噪声。放大器的输入级可能对强射频信号进行整流，然后以直流失调误差表现出来。一旦经过整流后，在仪表放大器输出端的低通滤波器将无法消除这种误差。如果射频干扰为间歇性，那么它会导致测量误差，但无法被觉察到。

共模(CM)和差模(DM) RC输入滤波器

对于仪表放大器的器件级应用需进行适当的滤波，通用方法如图1所示。在此电路中，仪表放大器可以是数种器件之一。仪表放大器前相对复杂的平衡RC滤波器负责执行所有高频滤波。仪表放大器则通过其增益设置电阻(图中未显示)设置为应用所需的增益。

注意，该滤波器针对CM($R1-C1$ 和 $R2-C2$)以及差模(DM)信号($R1+R2$ 和 $C3$ 与串联的 $C1-C2$ 并联)提供完全平衡的滤波。如果 $R1-R2$ 和 $C1-C2$ 匹配不佳， V_{IN} 处的某些输入共模信号将转换为仪表放大器输入端的差模信号。因此， $C1$ 和 $C2$ 的匹配精度至少应达到5%。此外， $R1$ 和 $R2$ 应该采用1%金属薄膜电阻，以便帮助实现这一匹配精度。

此处假设 V_{IN} 引脚处的源阻抗小于 $R1-R2$ ，并且相互匹配。在此类滤波器中，所选的 $C3$ 应该至少比 $C1$ 或 $C2$ ($C3 \geq 10C1, 10C2$)大10倍，以抑制因 $R1-C1$ 和 $R2-C2$ 时间常数不匹配所引起的CM-DM转换而导致的杂散差分信号。

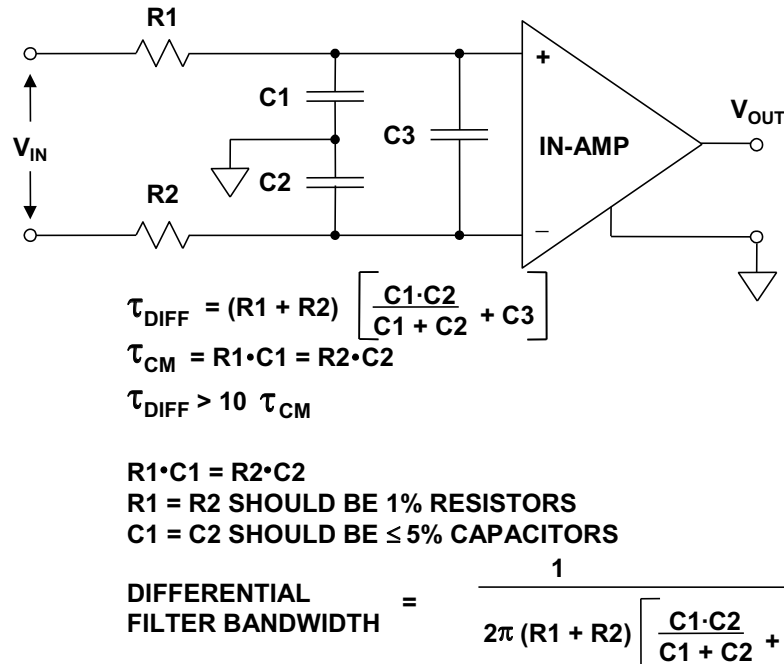


图1：代码跃迁噪声(折合到输入端噪声)及其对ADC传递函数的影响

假设 $C3 \gg C1$ ，由此得到CM滤波器带宽为 $1/2\pi R1 \cdot C1$ ，而DM滤波器带宽则大约为 $1/4\pi R1 \cdot C3$ 。

总体DM滤波器带宽应至少为输入信号带宽的100倍。滤波器元件应对称安装在具有较大面积接地层的电路板上，并且应该靠近仪表放大器的输入端，以便获得最佳性能。

图2显示了一系列适合各种不同仪表放大器的此类滤波器。RC元件应根据不同仪表放大器进行定制，具体如表中所示。选择这些滤波器元件是为了实现低EMI/RFI灵敏度和低噪声增长的合理平衡(与无滤波器的相应仪表放大器相比)。

要测试配置的EMI/RFI灵敏度，可以向输入电阻施加1 V p-p CM信号，如上所述。当AD620等常用仪表放大器在增益为1000下工作时，20 MHz范围内观测到的最大RTI输入失调电压漂移为1.5 μ V。在AD620滤波器示例中，差分带宽约为400 Hz。

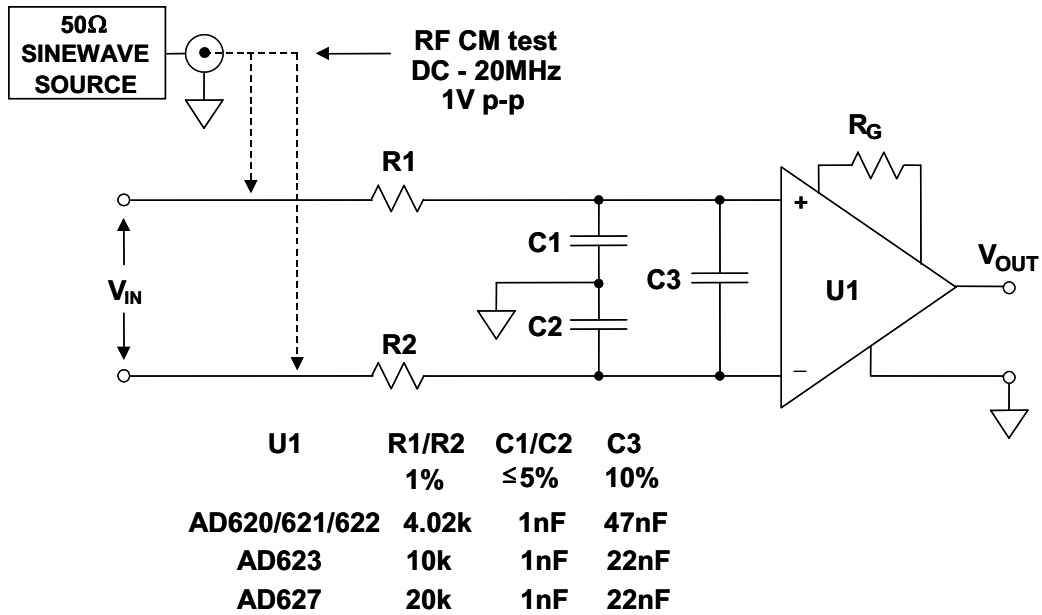


图2: 灵活的共模和差模RC EMI/RFI滤波器对AD620系列、AD623、AD627及其它仪表放大器有效

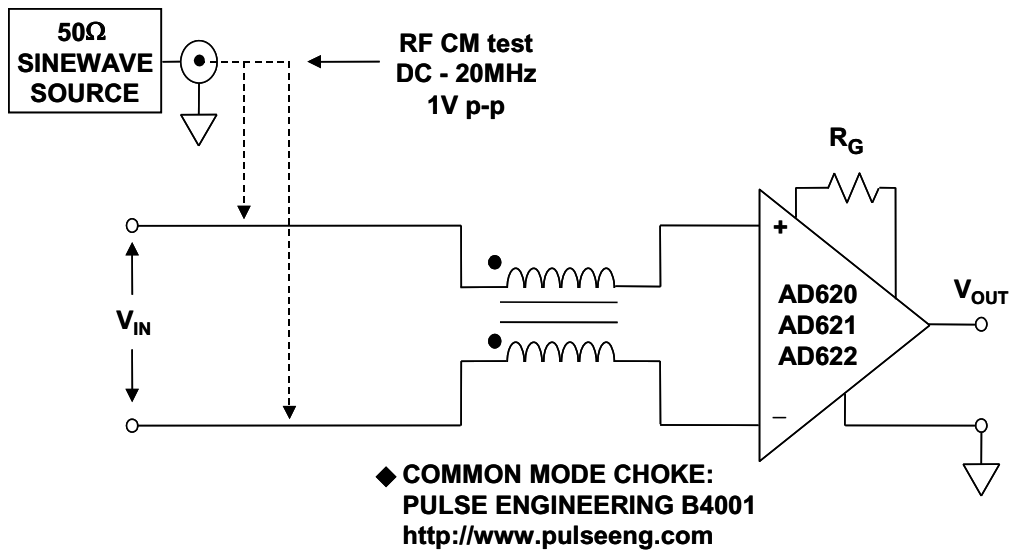
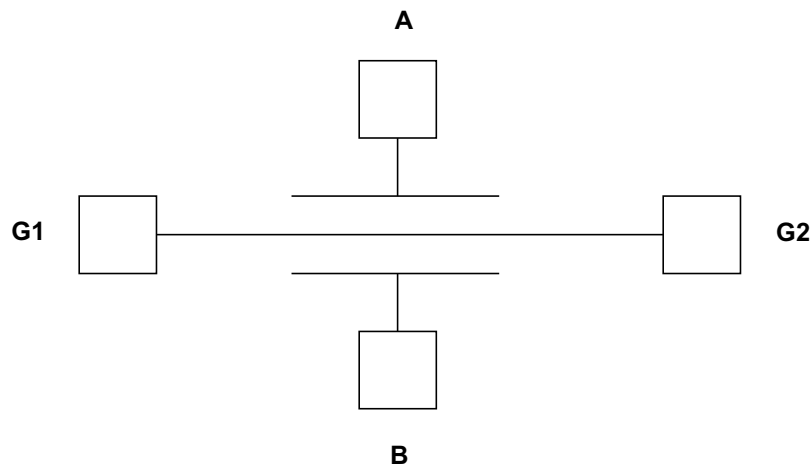


图3: 针对简单和最低噪声EMI/RFI滤波器操作, 共模扼流圈对AD620系列仪表放大器有效

除了元件数较少之外，去除电阻后，基于扼流圈的滤波器还具有低噪声特性。不过，关键是要选择合适的共模扼流圈。上文图3所示电路中使用的扼流圈是Pulse Engineering B4001。G = 1000时，DC至20 MHz范围内测得的最大RTI失调漂移为4.5 μ V。针对该滤波器，用户既可以采用B4001等现成扼流圈，也可以自行构建扼流圈。线圈的平衡非常重要，因此建议使用双线。当然，磁芯材料必须能在预期频带内工作。注意，与图1中的RC系列滤波器不同，单纯的扼流圈滤波器不提供差分滤波。可以选择添加差模滤波功能，即在扼流圈之后的第二级添加图1中的R1-C3-R2连接。

采用X2Y®电容的共模滤波器

图4显示X2Y电容的连接图。这类器件尺寸非常小，配有三个引脚并具有四个外部连接——A、B、G1和G2。



See www.x2y.com for manufactures of x2y capacitors

图4：X2Y®电容静电模型

G1和G2引脚在器件内部相连。X2Y电容的内部板结构形成一种集成电路，具有一些有趣的特性。从静电角度来看，三个电节点构成两个电容，这两个电容共享G1和G2引脚。制造工艺会自动严格匹配这两个电容。此外，X2Y结构包含有效的自动变压器/共模扼流圈。因此，当共模滤波器使用这类器件时，与类似RC滤波器相比，高于滤波器转折频率的共模信号衰减幅度更大。因此，通常无需电容C3，进而节省了成本和电路板空间。

图5A所示为传统的RC共模滤波器，而图5B所示为采用X2Y器件的共模滤波器电路。图6比较了这两种滤波器的RF衰减性能。

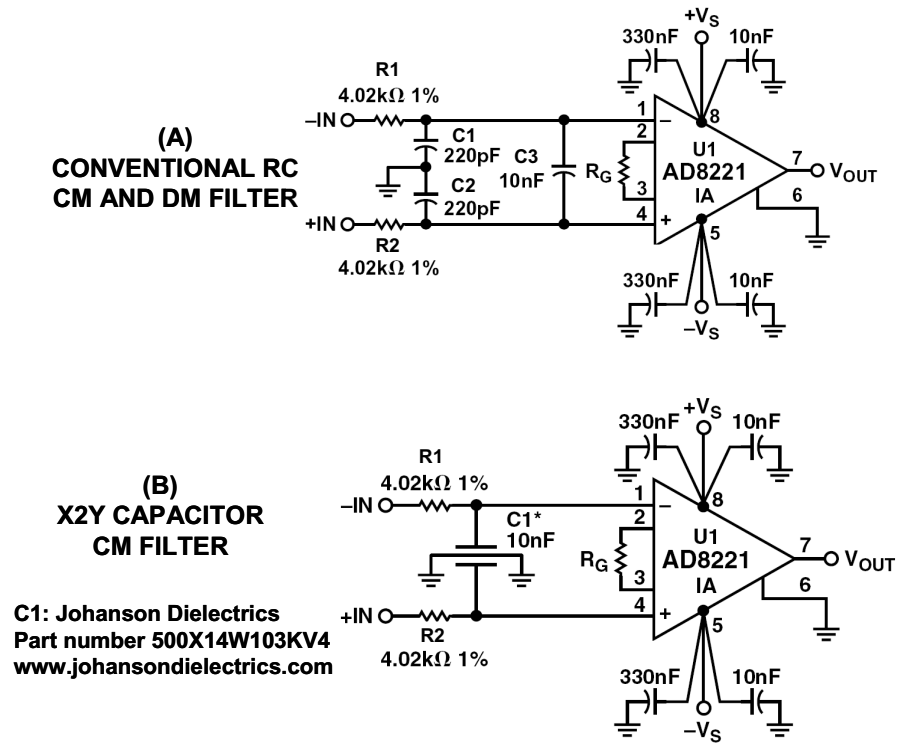


图5: 传统RC滤波器和X2Y CM滤波器

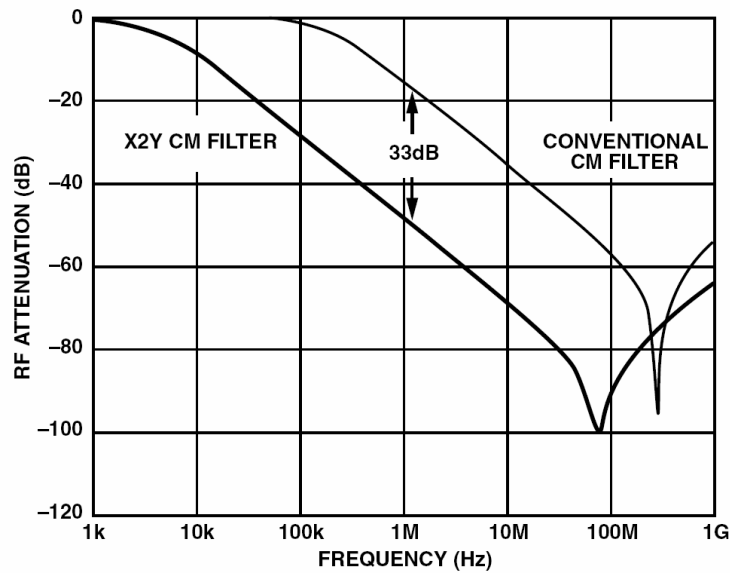


图6: X2Y共模滤波器与传统RC共模滤波器的RF衰减性能比较

参考文献

1. Hank Zumbahlen, *Basic Linear Design*, Analog Devices, 2006, ISBN: 0-915550-28-1. Also available as [*Linear Circuit Design Handbook*](#), Elsevier-Newnes, 2008, ISBN-10: 0750687037, ISBN-13: 978-0750687034. Chapter 2.
2. Walter G. Jung, [*Op Amp Applications*](#), Analog Devices, 2002, ISBN 0-916550-26-5, Also available as [*Op Amp Applications Handbook*](#), Elsevier/Newnes, 2005, ISBN 0-7506-7844-5. Chapter 2.
3. Charles Kitchin and Lew Counts, [*A Designer's Guide to Instrumentation Amplifiers, 3rd Edition*](#), Analog Devices, 2006.

Copyright 2009, Analog Devices, Inc. All rights reserved. Analog Devices assumes no responsibility for customer product design or the use or application of customers' products or for any infringements of patents or rights of others which may result from Analog Devices assistance. All trademarks and logos are property of their respective holders. Information furnished by Analog Devices applications and development tools engineers is believed to be accurate and reliable, however no responsibility is assumed by Analog Devices regarding technical accuracy and topicality of the content provided in Analog Devices Tutorials.

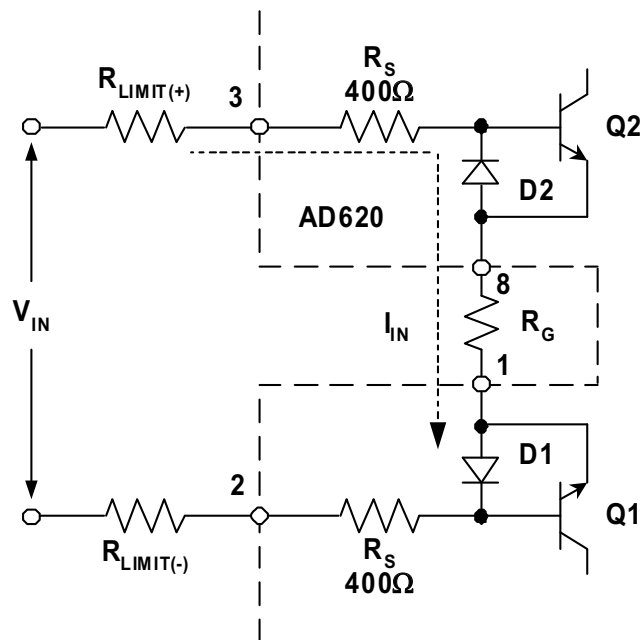
仪表放大器输入过压保护

保护仪表放大器不受过压影响

当仪表放大器的输入来自远程传感器时，则可能会受到过压影响。如果在电源开启时将连接线断开并重新连接，可能会产生较大的瞬态电压。感性耦合是导致电缆上产生无用电压的另一种因素，结果可能损害仪表放大器的输入级。

从保护角度来看，仪表放大器在许多方面与运算放大器相似。像运算放大器一样，共模(CM)和差模(DM)输入电压必须遵循其绝对最大额定值。本指南重点讨论与仪表放大器相关的问题，而[指南MT-036](#)更适用于运算放大器。

一些仪表放大器内置有串联电阻形式的过载保护电路。图1所示为[AD620](#)仪表放大器输入端的原理示意图，图中显示了输入差分晶体管及其相关保护器件。



**图1: [AD620](#)仪表放大器内部采用D1-D2和串联电阻 R_S 来提供保护
(可通过外部方式增加额外保护功能)**

由于400 Ω内部 R_S 保护电阻为薄膜型电阻，因此它们不会表现出类似于二极管的IC基板导通现象(如果是扩散电阻则会如此)。这意味着，这些电阻的输入端(引脚3和2)可能高于或低于电源电压。差分故障电流将通过内部电阻 R_S 的两倍加上外部增益电阻 R_G 之和进行限制。施加过量共模电压时，其对应电流会受到 R_S 的限制。

输入晶体管Q1和Q2在其基极-发射极结点处有保护二极管D1和D2，以防止出现反向击穿电压。对于差分电压，分析显示，故障电流 I_{IN} 流过外部 R_{LIMIT} 电阻(若有)、内部 R_S 电阻、增益设置电阻 R_G 和两个二极管压降(Q2、D1)。对于AD620拓扑结构， R_G 与增益成反比；在1000最大增益下，当 R_G 为49.9 Ω 时，将出现最差情况(最低电阻)。因而，最低内部路径总串联电阻约为850 Ω 。

对于AD620，共模和差分输入电压的任意组合都应限制在一定的水平之内，以使输入故障电流限制在20 mA(最大值)之内。对于最低电阻情况，17 V的纯差分电压将产生这一电流水平。对于可能超过任一供电轨的共模电压，则应通过一个内部ESD保护二极管(图1中未显示)来导电，实际上相当于将被驱输入箝位于 $+V_S$ 或 $-V_S$ 。对于这种过压共模条件， R_S 的值(400 Ω)以及超过供电轨的过量电压决定着电流水平。例如，如果 V_{IN} 为23 V， $+V_S$ 为15 V，则 R_S 上将出现8 V的电压，结果达到20 mA的额定电流。对于更高的故障电压，可以通过添加外部 R_{LIMIT} 电阻来处理，以使故障电流维持在20 mA或以下。然而，如果 R_{LIMIT} 电阻产生的约翰逊噪声(对于1000 Ω 电阻，25°C时该噪声为4 nV/ $\sqrt{\text{Hz}}$)过大，则可能限制系统的性能。

最大容许输入故障电流由仪表放大器数据手册规定，可能因器件而异。另外，数据手册一般会讨论输入电路和推荐的保护方法。

如果需要额外保护(不仅仅是像上文所述那样添加 R_{LIMIT} 电阻)，图2给出了AD620一类仪表放大器的通用外部电压保护电路。

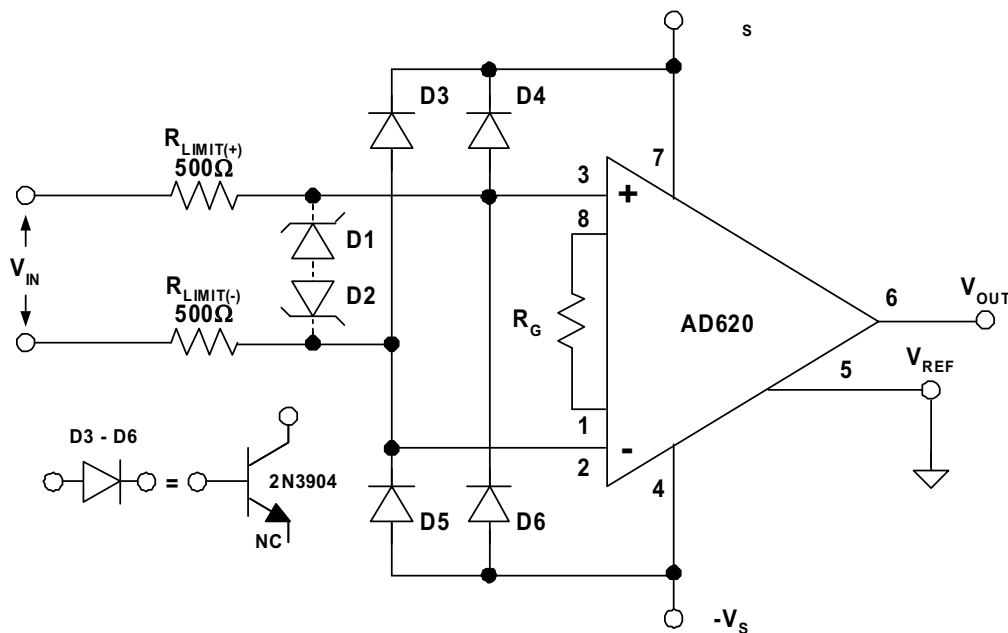


图2: AD620以及其它仪表放大器的通用二极管保护电路
采用D3-D6来实现共模箝位，并采用串联电阻 R_{LIMIT} 来提供保护

在该电路中，低泄漏二极管D3-D6用作共模箝位。由于仪表放大器偏置电流可能只有1 nA左右(对于AD620)，因此必须使用低泄漏二极管，尤其是高源阻抗的情况。一种很好的方法是检查二极管的规格，以确保二极管在仪表放大器内部ESD保护二极管开始吸电流之前就导通。尽管标准肖特基二极管具有出色的输入保护能力，但其漏电流可能高达数mA。然而，快速肖特基二极管(如International Rectifier的SD101系列)的最大漏电流为200 nA，典型功耗为400 mW。

需要注意的是，二极管不仅基本上必须具有低泄露，而且还必须在最高预期温度下保持低泄漏。这表明需要使用FET型二极管或所示的晶体管集电极-基极型二极管。选择 R_{LIMIT} 电阻是为了限制故障条件下的最大二极管电流。如果使用额外的差分保护，则可使用背对背齐纳或Transzorb箝位，以D1-D2表示。如果这样做，则应仔细考虑这些二极管的泄漏情况。

许多单电源仪表放大器的拓扑结构与图3虚线框中的双放大器仪表放大器电路类似。

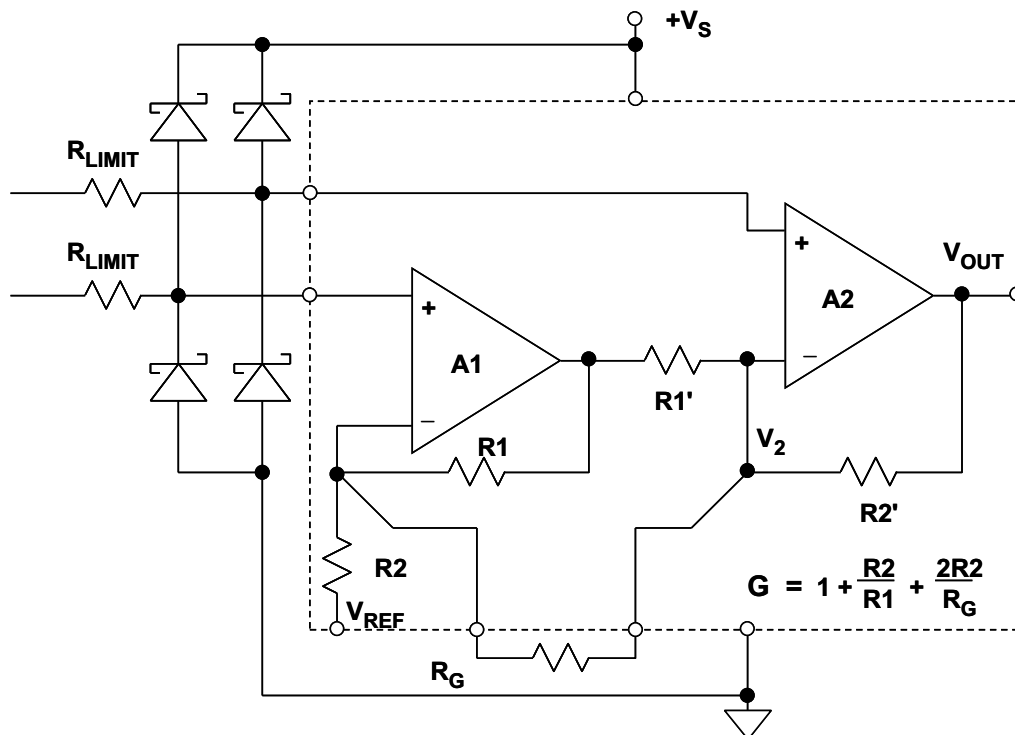


图3：单电源仪表放大器可能要求、也可能不要求具有电阻和箝位二极管形式的外部保护

就外部保护元件的必要性而言，给定仪表放大器可能需要、也可能不需要使用它们。每种情况都需要单独考虑。例如，一些仪表放大器采用了图中所示的箝位二极管，不过是内置的而已。[AD623](#)就是这样一种器件，但它缺少串联电阻，必要时可以在外部添加。请注意，这种方法允许优化 R_{LIMIT} 值以提供保护，对于不需要保护的应用，其对噪声的影响可以忽略不计。

另外，一些仪表放大器同时具有内部保护电阻和箝位二极管，[AD627](#)即是这样一个例子。在该器件中，内部保护足以耐受最高超过电源40 V的瞬态电压(内部电阻中存在20 mA故障电流)。对于高于该值的过压水平，可以增加外部 R_{LIMIT} 电阻。

按图中所示在两个输入端放置肖特基二极管就是一种仪表放大器保护选项，不过前提是源阻抗很小，以致二极管漏电流产生的误差处于可接受水平。如果内部未专门提供箝位，则可使用肖特基二极管。请注意，在许多情况下，由于现代仪表放大器内置保护网络，因而不需要这些二极管。但同样，对此并无硬性规定，因而始终都应该查阅数据手册，然后再敲定应用设计。

总而言之，图4总结了本节讨论的仪表放大器的主要在线过压问题。

- ◆ **INPUT VOLTAGES MUST NOT EXCEED ABSOLUTE MAXIMUM RATINGS (Usually Specified With Respect to Supply Voltages)**
- ◆ **Requires $V_{IN(CM)}$ Stay Within a Range Extending to $\leq 0.3V$ Beyond Rails ($-V_S - 0.3V \geq V_{IN} \leq +V_S + 0.3V$)**
- ◆ **IC Input Stage Fault Currents *Must* Be Limited ($\leq 5mA$ Unless Otherwise Specified)**
- ◆ **Avoid Reverse-Bias Breakdown in Input Stage Junctions!**
- ◆ **Differential and Common Mode Ratings Often Differ**
- ◆ **Some ICs Contain *Internal* Input Protection**
 - Diode Voltage Clamps, Current Limiting Resistors (or both)
 - Absolute Maximum Ratings Must Still Be Observed
- ◆ **No Two Amplifiers are Exactly the Same**
- ◆ **Always consult the in-amp data sheet for overvoltage protection recommendations**

图4：仪表放大器过压问题小结

这些针对运算放大器和仪表放大器的过压防范措施看起来非常复杂吧，确实很复杂！只要运算放大器(或仪表放大器)输入(和输出)超出设备边界条件，就可能发生危险情况或器件损毁。显然，为了实现最高可靠性，必须防患于未然。

幸运的是，许多应用都是完全内置于设备中，通常看到的是采用同一电源系统的其它IC的输入和输出。因此，这种情况下一般不需要箝位和保护方案。

参考文献：

1. Hank Zumbahlen, *Basic Linear Design*, Analog Devices, 2006, ISBN: 0-915550-28-1. Also available as [*Linear Circuit Design Handbook*](#), Elsevier-Newnes, 2008, ISBN-10: 0750687037, ISBN-13: 978-0750687034. Chapter 2.
2. Walter G. Jung, [*Op Amp Applications*](#), Analog Devices, 2002, ISBN 0-916550-26-5, Also available as [*Op Amp Applications Handbook*](#), Elsevier/Newnes, 2005, ISBN 0-7506-7844-5. Chapter 2.
3. Charles Kitchin and Lew Counts, [*A Designer's Guide to Instrumentation Amplifiers, 3rd Edition*](#), Analog Devices, 2006.

Copyright 2009, Analog Devices, Inc. All rights reserved. Analog Devices assumes no responsibility for customer product design or the use or application of customers' products or for any infringements of patents or rights of others which may result from Analog Devices assistance. All trademarks and logos are property of their respective holders. Information furnished by Analog Devices applications and development tools engineers is believed to be accurate and reliable, however no responsibility is assumed by Analog Devices regarding technical accuracy and topicality of the content provided in Analog Devices Tutorials.

全波整流器

作者: ADI公司
Hank Zumbahlen

引言

全波整流器通常用于从交流输入获得直流电平。该整流器是一系列小型指南描述的、内置运算放大器的多种分立式电路之一。

全波整流器通常用于从交流输入获得直流电平。这通常用于测量交流信号的幅度。全波整流器是一种均值检波器。需要与均方根检波器或峰值检波器区分开来。

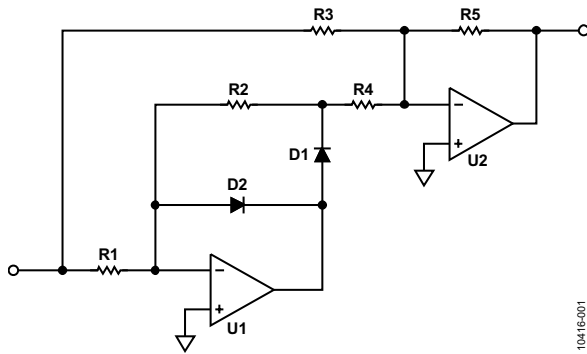


图1. 全波整流器

全波整流器是半波整流器(见MT-212)的增强型电路。图2所示全波整流器为半波整流器与输入的求和电路。

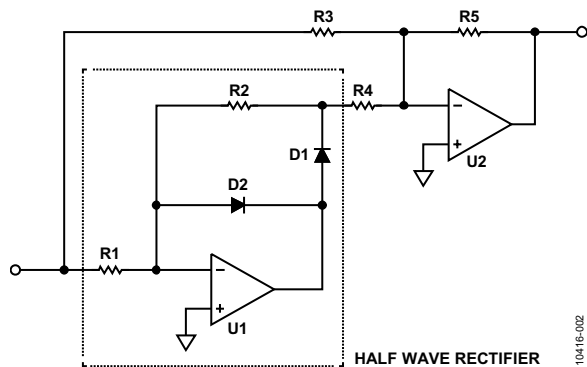


图2. 作为半波整流器增强型器件的全波整流器

为了理解全波整流器的工作原理,我们不妨假定运算放大器和二极管在理论上无正向电压。对于负输入电压, U1的输出会尽量变为正, 结果将接通D1而断开D2。假设D1短路(这种情况下为接通), 结果将使输出保持于地电位, 因为运算放大器(U1)的行为迫使运算放大器的输入电压保持相同电平。

对于正输入电压, 输出将变为负, D2接通, D1断开。此时, U1的输出端充当一个反相放大器(见MT-213), 其增益由R2/R1设定。通常, 该增益设为1, 即R2 = R1。

结果, U1的输出在输入(反相)负半周期之后, 正半周期的输出为0 V。然后, 该输出成为第二级(U2)的输入之一, 与输入波形求和(见MT-214)。

第一级(为半波整流器(见MT-212))的增益相对于输入为2。这意味着, R3 = 2R4。因此, 对于负半周期, 输入波与参考电位(地电位)求和。U2输出端的结果为负半周期的正增益。对于正半周期, 半波整流器的反相波与输入求和, 其中半波整流器的增益为2。因此, U2的输出端得到正半波。所得到的就是全波整流器。

半波整流器部分的增益通常设为1 (R1 = R2)。R3和R4的比率匹配应非常接近(电阻值的绝对值相对而言不太重要), 使半波整流器输出与输入正确求和。通过更改R5的值, 可以非常方便地调整电路的增益。

图3所示为全波整流器的波形。顶部曲线为输入, 底部曲线则为U2处的电路输出。

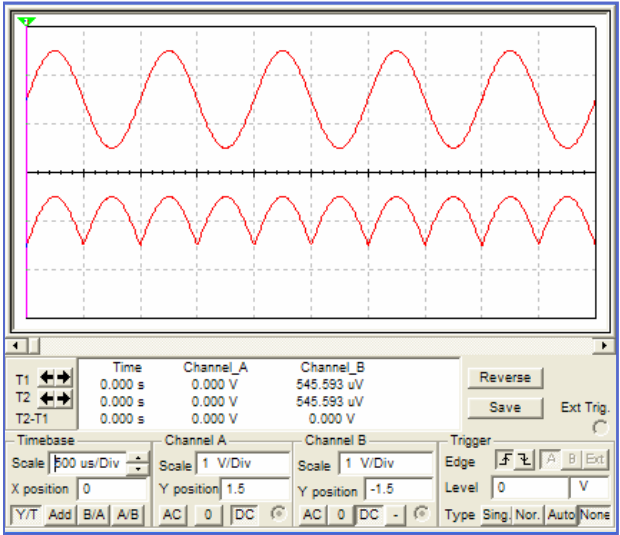


图3. 全波整流器波形

图4显示的是U1的输出和半波整流器的输出。请注意，在实际电路中，U1的输出实际采用开环模式，直到达到D2的正向电压为止。图中所示为从顶部往下的第三条曲线(通道C)。半波整流器的输出在图中表示为底部曲线(通道D)。图4中所有曲线的增益都是相同的。

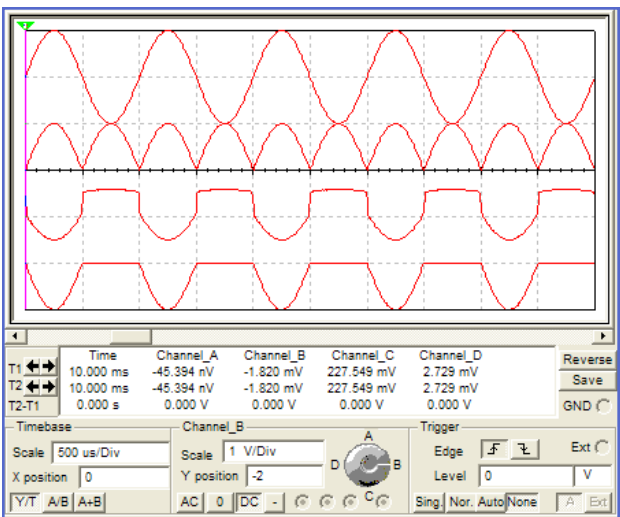


图4. 全波整流器波形与半波整流器输出

全波整流器的输出端之后往往是一个滤波器，用于形成直流电平。该滤波器的转折频率应置于足够低的水平，以限制输出上的交流纹波，同时还必须足够高，以免对电路的瞬态响应速率造成严重影响。

输出频谱如图5所示。全波整流器相对于半波整流器的一个优势是，其输出的频谱以系数2倍乘，这是因为整流器行为导致输出谱瓣增加了一倍。

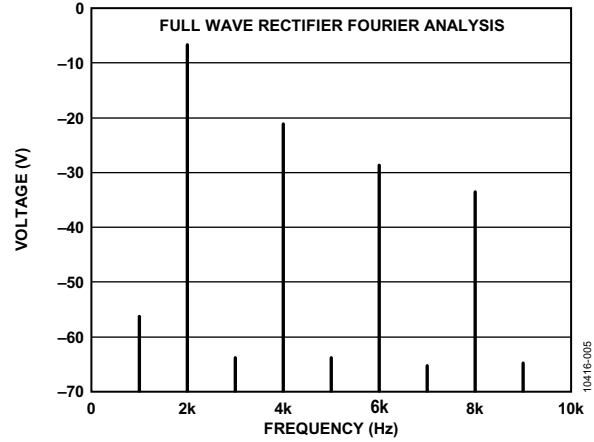


图5. 全波整流器输出频谱

通过在反馈网络中添加一个电容，可以将全波整流器的加法器部分转换成一个简单的滤波器。该滤波器的转折频率由电容和R5的值设定($F_0 = 1/(2\pi R5C1)$)，如图6所示。另外，该电路之后可以放置一个有源滤波器。

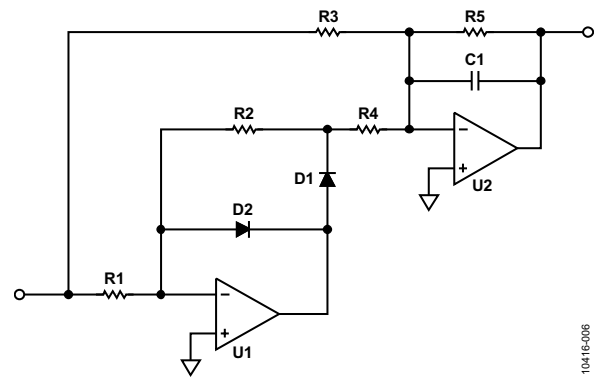


图6. 在反馈环路中添加一个电容可将全波整流器的输出转变成直流电平

通过同时反转两个二极管，可以将输出的极性转换为负。

全波整流器的误差项与反相放大器相同(见MT-213)。最重要的是失调项。该电路的频率响应主要由运算放大器的开环增益设定。二极管的等效并联电容和二极管导通/关断时间也会影响频率响应，但其影响一般比运算放大器的频率响应要小得多。

采用单电源电压供电时，同相输入偏置到基准电压，通常为电源电压的 $1/2$ 。此时，零输入信号输出为基准电压。图7所示单电源半波整流器的基准电压(运算放大器同相输入端的电压)为+4 V。在示意图中，地位于底部。

输入仍然以地为参考，因此，输入端必须用串联电容进行交流耦合。频率的低端取决于输入耦合电容和输入电阻 R_1 的RC时间常数。对于双极性电源，电路响应可以达到直流。另外，如果上述电路以相同的基准电压为参考，则输入可能为直流耦合。如果采用电路增益，则需要格外小心，因为基准电平和信号都放大了。

运算放大器上的频率响应要求取决于最大信号输入频率。必须有足够的开环增益，二极管才可偏置。另外，求和操作会引起频率倍增。因此，根据经验，运算放大器的带宽至少应为20 dB，在输入信号最大频率的两倍处。

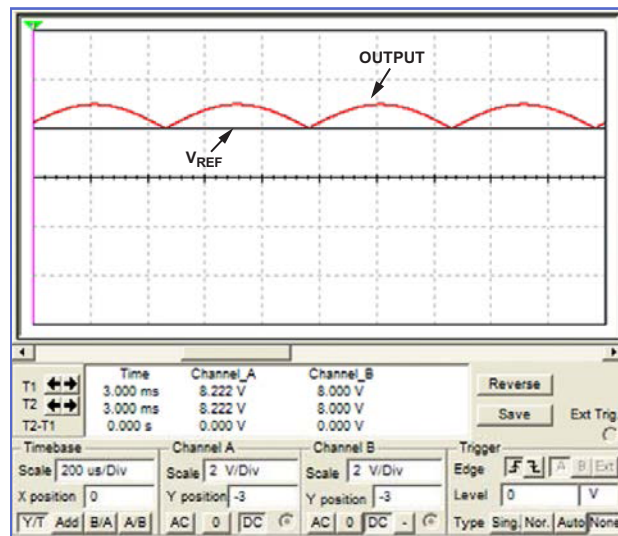


图7. 单电源半波整流器波形

修订历史

2012年4月—修订版0：初始版

全通滤波器

作者: ADI公司
Hank Zumbahlen

引言

全通滤波器(包括一阶全通滤波器和二阶全通滤波器)只需要一个运算放大器。全通滤波器是一系列小型指南中描述的各种分立式电路之一。

全通滤波器简介

在多数情况下,滤波器的幅度响应是首要考虑因素。不影响信号幅度但会导致相移的另一类滤波器称为全通滤波器。

该滤波器的目的是给电路的响应增加相移(延迟)。全通滤波器的幅度在所有频率下一致。然而,在频率从0扫描至无穷大时,相位响应会从0°变化至360°(双极点滤波器)。全通滤波器的一种用途是提供相位均衡,一般用在脉冲电路中。同时也可用在单边带、抑制载波(SSB-SC)调制电路中。

全通滤波器的传递函数为:

$$H(s) = \frac{s^2 - \left(\frac{\omega_0}{Q}\right)s + \omega_0^2}{s^2 + \left(\frac{\omega_0}{Q}\right)s + \omega_0^2} \quad (1)$$

请注意,全通传递函数可以合成为

$$H_{AP} = H_{LP} - H_{BP} + H_{HP} = 1 - 2H_{BP} \quad (2)$$

一阶全通

一阶全通滤波器的一般形态如图1所示。如果其功能为简单的RC高通(图1A),则电路的相移范围为-180°(0 Hz)至0°(高频)。当 $\omega = 1/RC$ 时,为-90°。可将电阻设为可变,以便在具体频率下进行延迟调节。

如果将功能改成低通功能(图1B),则滤波器仍然为一阶全通,延迟等式仍然有效,但信号会反相,变化范围为0°(直流)至-180°(高频)。

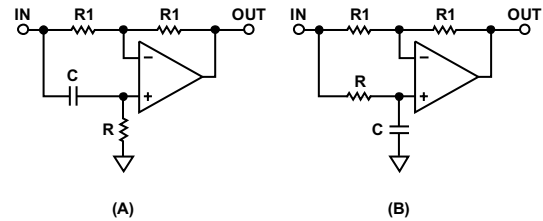


图1. 一阶全通滤波器

二阶全通

图2所示二阶全通电路首次由Delyiannis描述(见参考文献部分)。这种电路的最大魅力在于只需要一个运算放大器。同时记住,全通滤波器也可实现为1-2 BP。

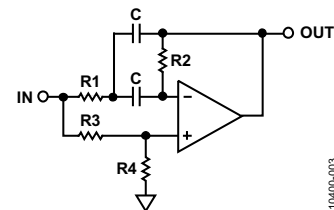


图2. 二阶全通滤波器

我们可以利用本小型指南系列中讨论的带通实现方式来构建该滤波器,但一定要知道,BP是否会使相位反转。另外需要记住BP部分的增益必须为2。为此,双放大器带通滤波器(DABP)结构十分有用,因为其增益固定为2。在选择运算放大器时,我们主要考虑带宽问题。根据经验,放大器在谐振频率下的开环增益不得低于20 dB。同时,由于反馈网络中有一个电容,所以,可能不大适合使用电流反馈放大器。

图3和图4总结了多种有源滤波器实现方式的设计方程式。在所有情况下,H、 ω_0 、Q和 α 都是已知的,取自设计表。

一阶全通设计方程式

$$\frac{V_O}{V_{IN}} = \frac{s - \frac{1}{RC}}{s + \frac{1}{RC}}$$

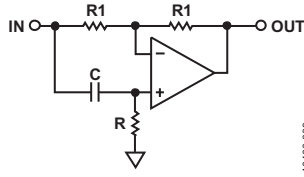


Figure 3.

$$\text{Phase Shift } (\phi) = -2 \tan^{-1} \left(\frac{RC}{2\pi F} \right)$$

$$\text{Group Delay} = \frac{2RC}{(2\pi FRC)^2 + 1}$$

直流下延迟 = $2RC$

若频率 = F 时，相移为 ϕ

$$RC = 2\pi F \tan \left(-\frac{\phi}{2} \right)$$

图4中的设计与图3相同，只是相位的符号变了。

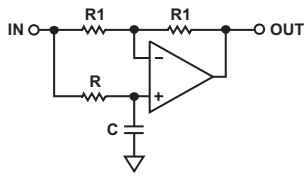


图4.

参考文献

Delyiannis, T. *High-Q Factor Circuit with Reduced Sensitivity*, Electronic Letters, Volume 4, December 1968. p. 577.

Zumbahlen, Hank. *Linear Circuit Design Handbook*. Elsevier. 2008. ISBN: 978-7506-8703-4.

修订历史

2012年4月—修订版0: 初始版

二阶全通设计方程式

$$\frac{s^2 - s \left(\frac{\omega_0}{Q} \right) + \omega_0^2}{s^2 + s \left(\frac{\omega_0}{Q} \right) + \omega_0^2}$$

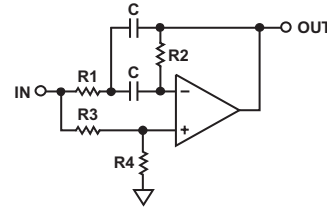


图5.

$$\frac{V_O}{V_{IN}} = \frac{s^2 - s \left(\frac{2}{R2C} \right) + \frac{1}{R1 R2 C^2}}{s^2 + s \left(\frac{2}{R2C} \right) + \frac{1}{R1 R2 C^2}}$$

要设计该滤波器，请选择 C 。

$$k = 2\pi F_0 C$$

$$R2 = \frac{2Q}{k}$$

$$R1 = \frac{1}{2kQ}$$

$$R3 = R1$$

$$R4 = \frac{Q}{2}$$

切比雪夫响应

作者: ADI公司
Hank Zumbahlen

引言

切比雪夫滤波器是一款内置精密运算放大器的电路，也是一系列小型指南中描述的分立式电路之一。

目录

切比雪夫响应简介	2	极点位置表	8
频率响应、群延迟、脉冲响应和阶跃响应	3	0.01 dB切比雪夫设计	8
0.01 dB切比雪夫响应	3	0.1 dB切比雪夫设计	9
0.1 dB切比雪夫响应	4	0.25 dB切比雪夫设计	10
0.25 dB切比雪夫响应	5	0.5 dB切比雪夫设计	11
0.5 dB切比雪夫响应	6	1 dB切比雪夫设计	12
1 dB切比雪夫响应	7		

修订历史

2012年1月—修订版0: 初始版

切比雪夫响应简介

与相同阶数的巴特沃兹滤波器相比，切比雪夫(Chebyshev)滤波器的过渡带较窄，但通带中存在波纹，而且瞬态响应略有下降。这种滤波器的得名是因为切比雪夫滤波器最小化了最大纹波的权重，这就是切比雪夫准则。

切比雪夫滤波器直流相对衰减为0 dB。奇阶滤波器的衰减带从0 dB延伸至波纹值。偶阶滤波器的增益与通带波纹相等。通带中的波纹周期数等于滤波器阶数。

把巴特沃兹滤波器的极点移至右边(向轴靠近)，形成一个椭圆形，这样即可确定切比雪夫滤波器的极点。其方法是用 k_r 乘以极点的实部，用 k_i 乘以极点的虚部。 k_r 和 k_i 两个值可通过以下方程算出

$$K_r = \sinh A \quad (1)$$

$$K_i = \cosh A \quad (2)$$

其中：

$$A = \frac{1}{n} \sinh^{-1} \frac{1}{\epsilon} \quad (3)$$

其中， n 为滤波器的阶数，并且

$$\epsilon = \sqrt{10^R - 1} \quad (4)$$

$$R = \frac{R_{dB}}{10} \quad (5)$$

其中：

$$R_{dB} = \text{以dB表示的通带纹波} \quad (6)$$

图1展示的是一个5极点1 dB切比雪夫滤波器的极点位置。

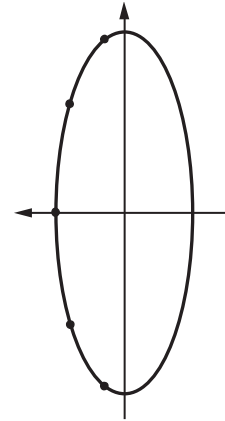


图1. 1 dB切比雪夫滤波器的极点位置

切比雪夫滤波器一般经过归一化处理，以使波纹带边缘为 $\omega_0 = 1$ 。

3 dB带宽通过以下方程计算

$$A_{3dB} = \frac{1}{n} \cosh^{-1} \left(\frac{1}{\epsilon} \right) \quad (7)$$

详见表1。

表1. 3 dB带宽与纹波带宽的关系

阶数	0.01 dB	0.1 dB	0.25 dB	0.5 dB	1 dB
2	3.30362	1.93432	1.59814	1.38974	1.21763
3	1.87718	1.38899	1.25289	1.16749	1.09487
4	1.46690	1.21310	1.13977	1.09310	1.05300
5	1.29122	1.13472	1.08872	1.05926	1.03381
6	1.19941	1.09293	1.06134	1.04103	1.02344
7	1.14527	1.06800	1.04495	1.03009	1.01721
8	1.11061	1.05193	1.03435	1.02301	1.01316
9	1.08706	1.04095	1.02711	1.01817	1.01040
10	1.07033	1.03313	1.02194	1.01471	1.00842

频率响应、群延迟、脉冲响应和阶跃响应

针对各种通带纹波值(0.01 dB、0.1 dB、0.25 dB、0.5 dB和1 dB)的频率响应、群延迟、脉冲响应、阶跃响应和幅度如图2至图26所示。

0.01 DB切比雪夫响应

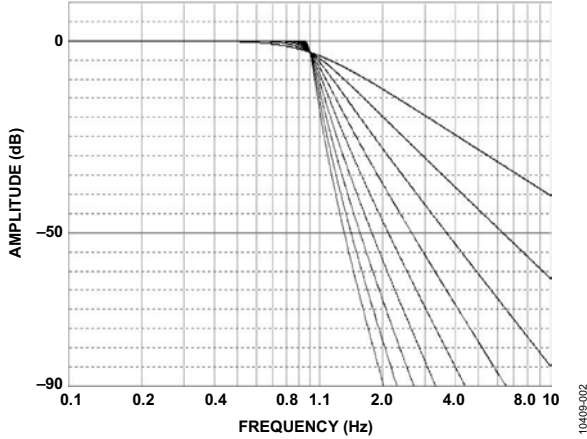


图2. 0.01 dB切比雪夫响应, 幅度

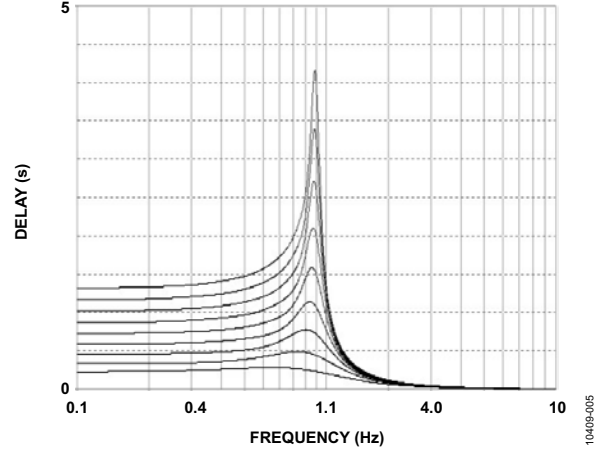


图5. 0.01 dB切比雪夫响应, 群响应

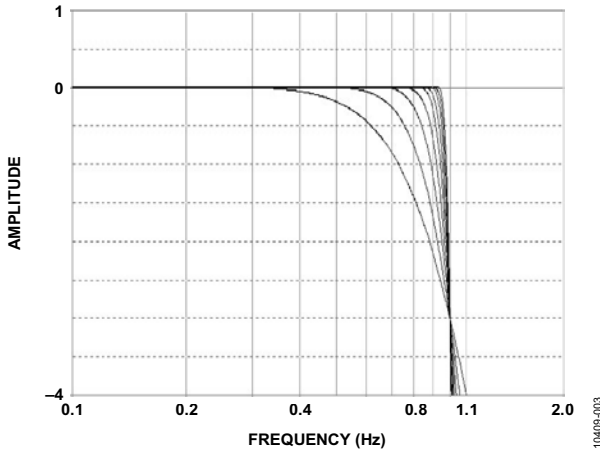


图3. 0.01 dB切比雪夫响应, 幅度(详)

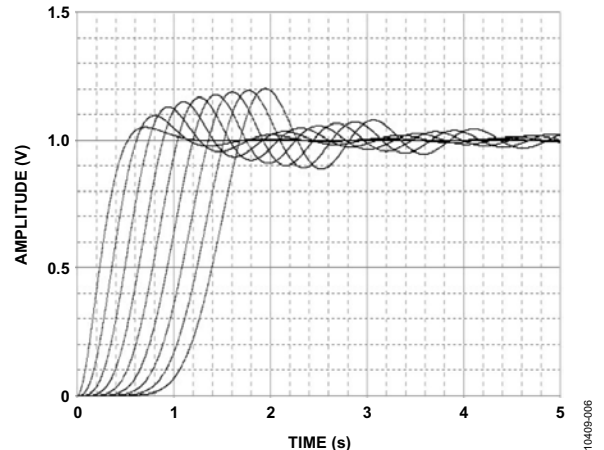


图6. 0.01 dB切比雪夫响应, 阶跃响应

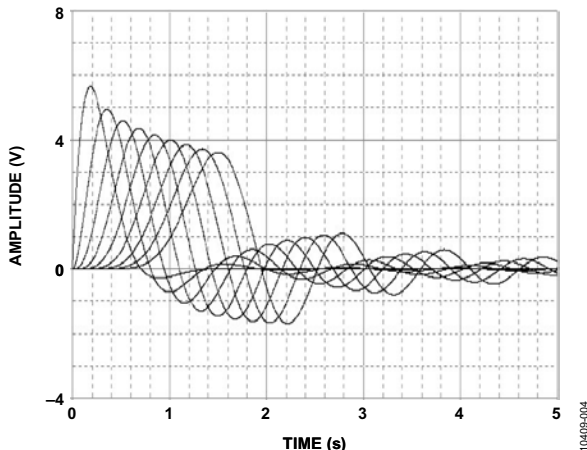


图4. 0.01 dB切比雪夫响应, 脉冲响应

0.1 dB切比雪夫响应

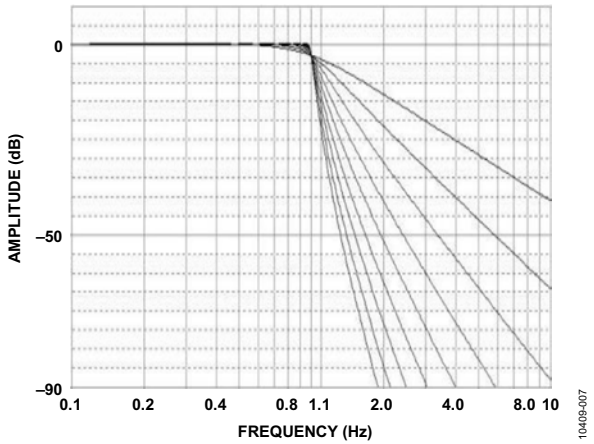


图7. 0.1 dB切比雪夫响应, 幅度

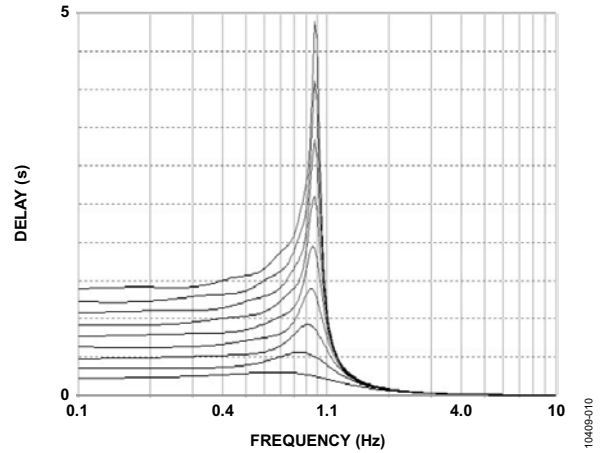


图10. 0.1 dB切比雪夫响应, 群延迟

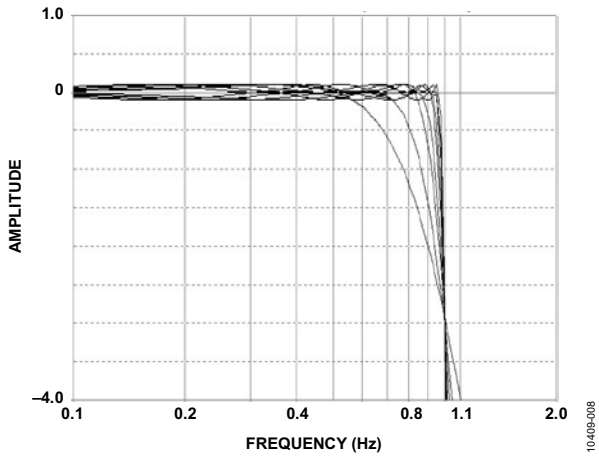


图8. 0.1 dB切比雪夫响应, 幅度(详)

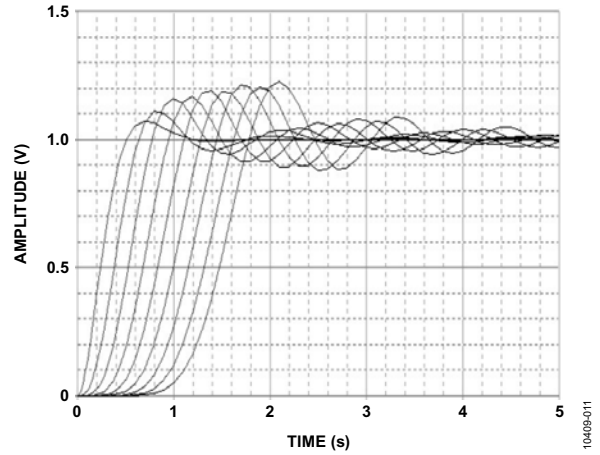


图11. 0.1 dB切比雪夫响应, 阶跃响应

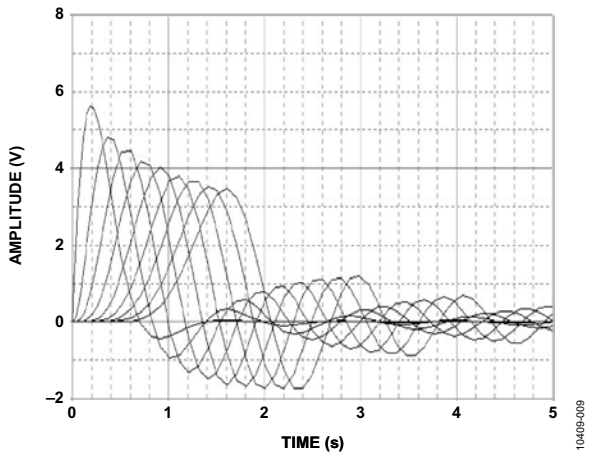


图9. 0.1 dB切比雪夫响应, 脉冲响应

0.25 DB切比雪夫响应

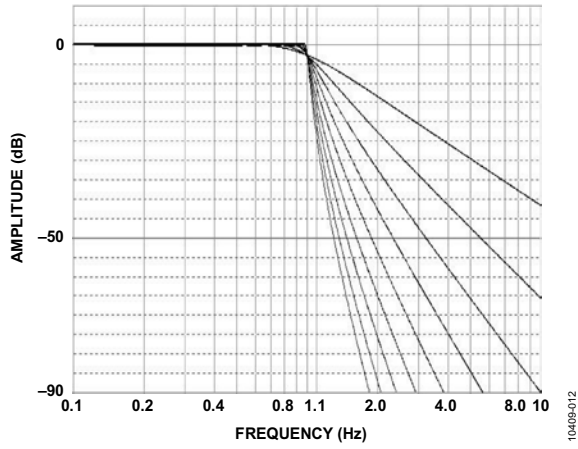


图12. 0.25 dB切比雪夫响应, 幅度

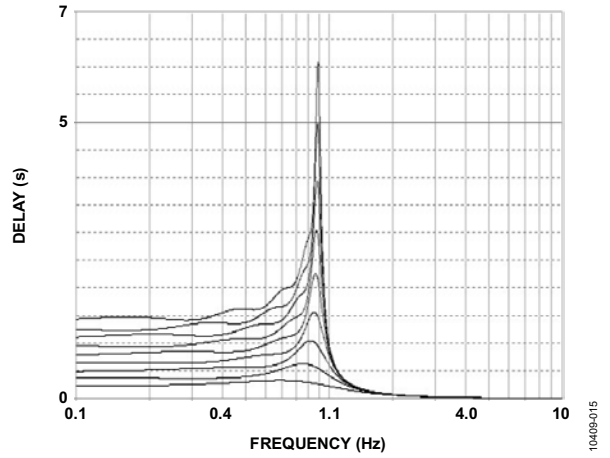


图15. 0.25 dB切比雪夫响应, 群延迟

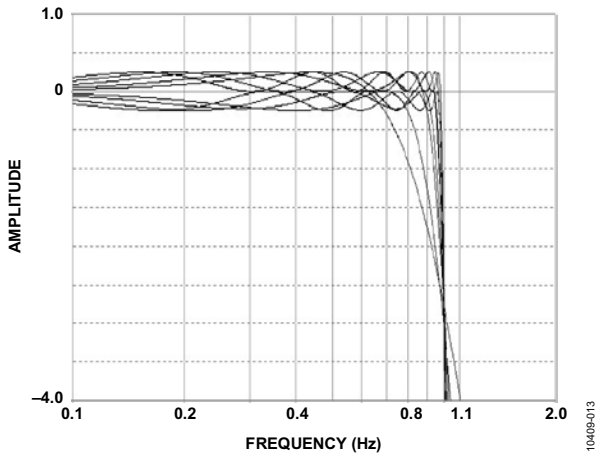


图13. 0.25 dB切比雪夫响应, 幅度(详)

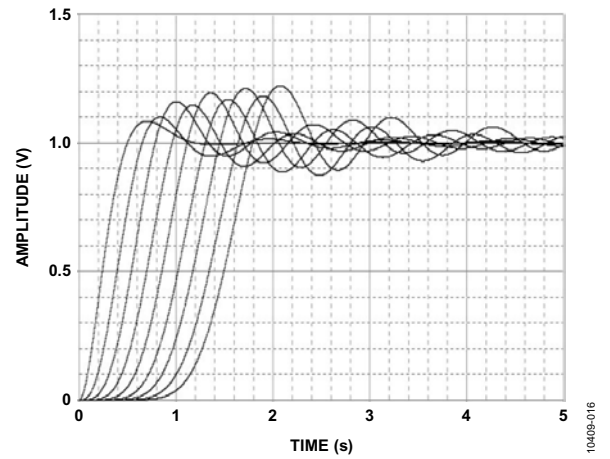


图16. 0.25 dB切比雪夫响应, 阶跃响应

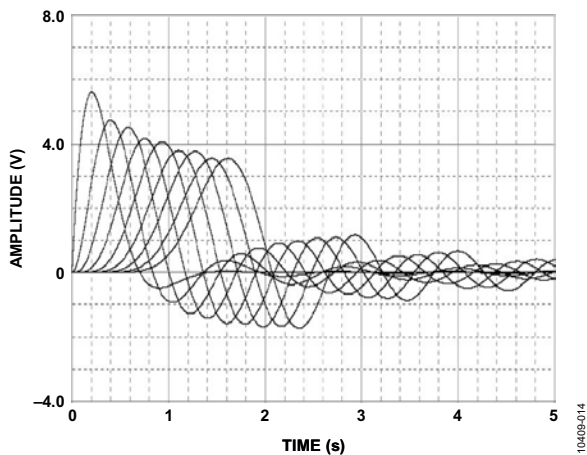


图14. 0.25 dB切比雪夫响应, 脉冲响应

0.5 dB切比雪夫响应

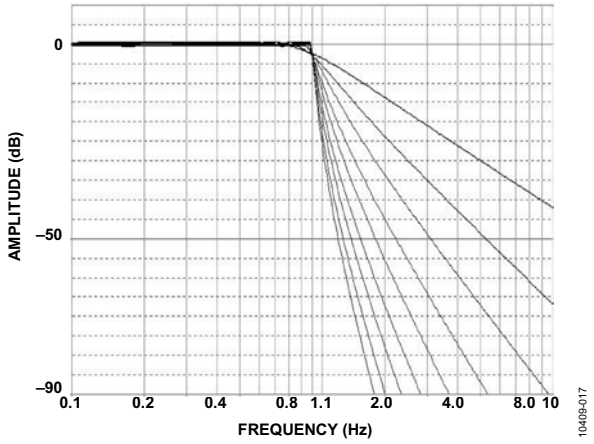


图17. 0.5 dB切比雪夫响应, 幅度

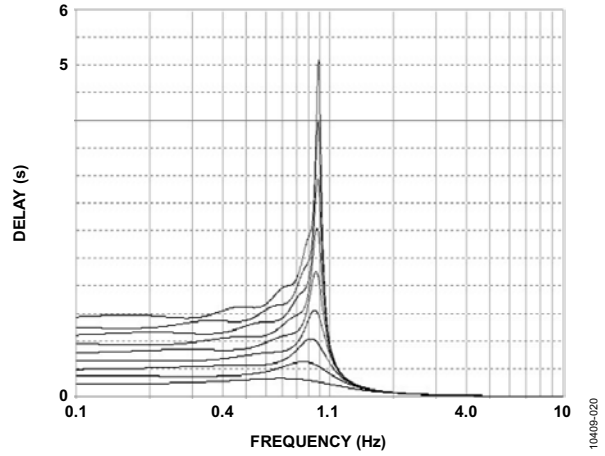


图20. 0.5 dB切比雪夫响应, 群延迟

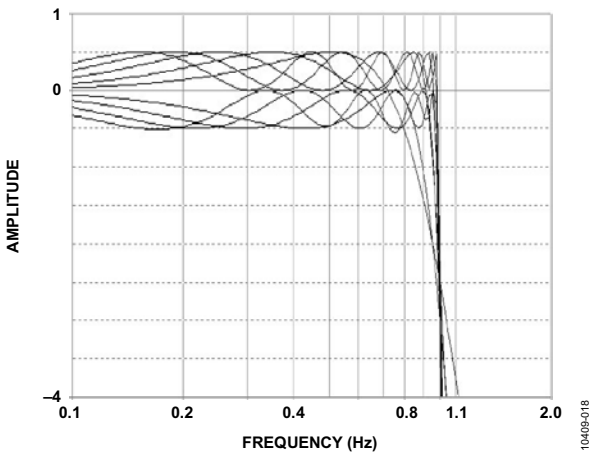


图18. 0.5 dB切比雪夫响应, 幅度(详)

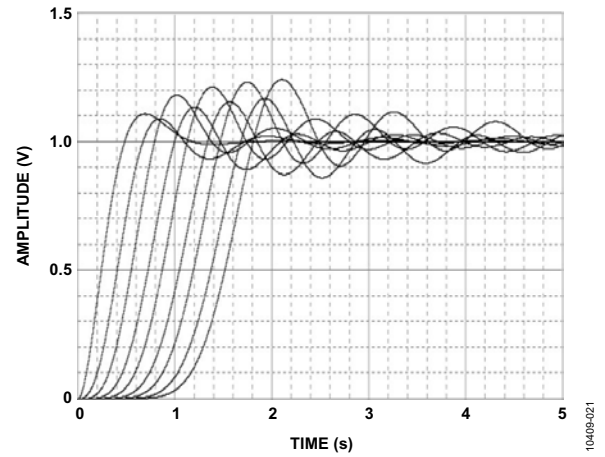


图21. 0.5 dB切比雪夫响应, 阶跃响应

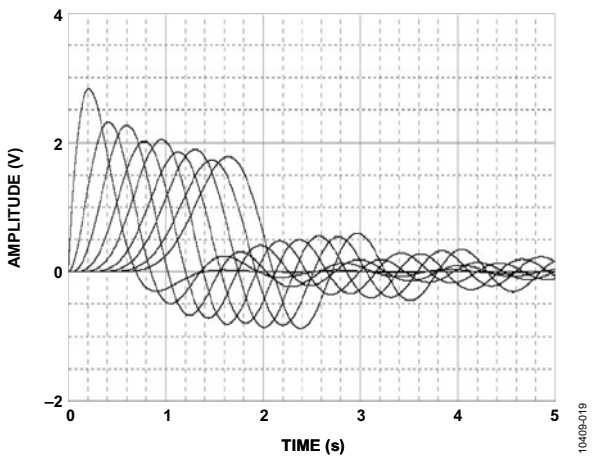


图19. 0.5 dB切比雪夫响应, 脉冲响应

1 dB切比雪夫响应

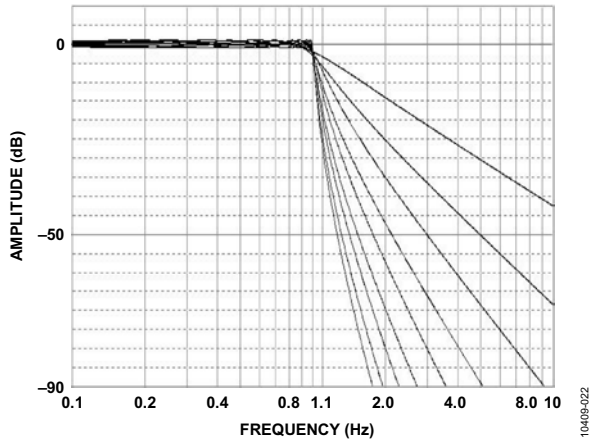


图22. 1 dB切比雪夫响应，幅度

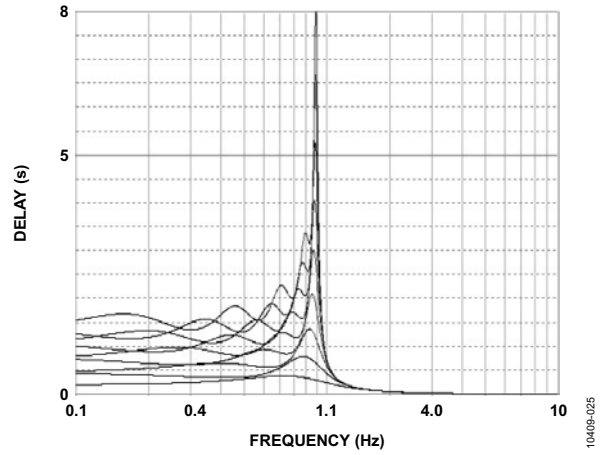


图25. 1 dB切比雪夫响应，群延迟

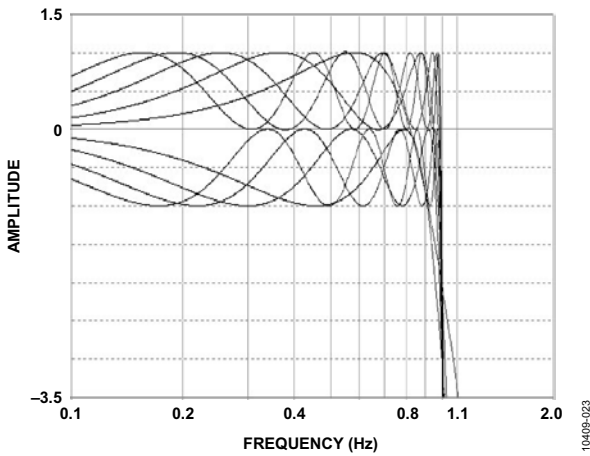


图23. 1 dB切比雪夫响应，幅度(详)

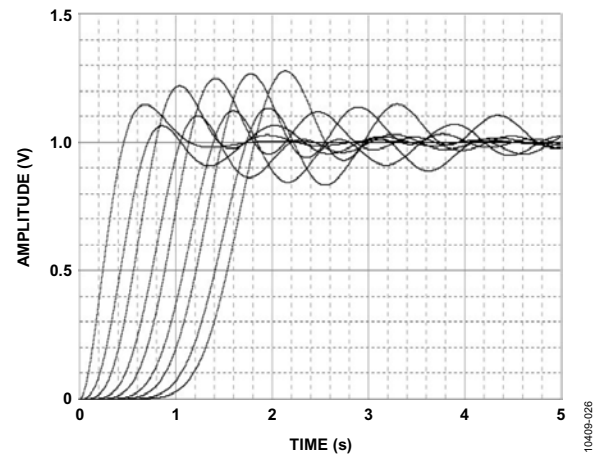


图26. 1 dB切比雪夫响应，阶跃响应

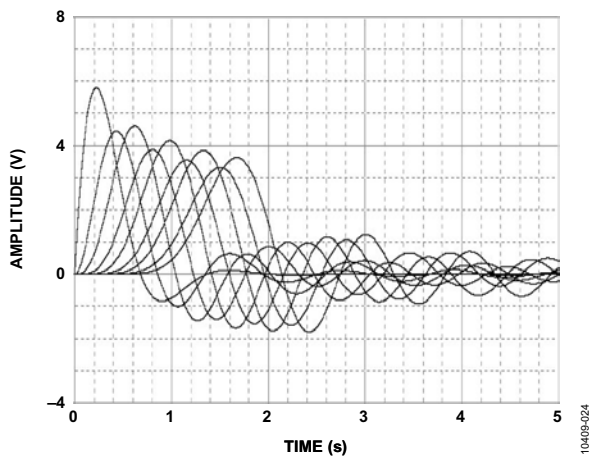


图24. 1 dB切比雪夫响应，脉冲响应

极点位置表

针对这些纹波值的极点位置和对应的 ω_0 和 α 项如表2至表6所示。

0.01 DB切比雪夫设计

表2.

阶数	部分	实部	虚部	F_0	α	Q	-3 db 频率	峰值 频率	峰值 电平
2	1	0.6743	0.7075	0.9774	1.3798	0.7247		0.2142	0.0100
3	1	0.4233	0.8663	0.9642	0.8780	1.1389		0.7558	2.0595
	2	0.8467		0.8467			0.8467		
4	1	0.6762	0.3828	0.7770	1.7405	0.5746	0.6069		
	2	0.2801	0.9241	0.9656	0.5801	1.7237		0.8806	5.1110
5	1	0.5120	0.5879	0.7796	1.3135	0.7613		0.2889	0.0827
	2	0.1956	0.9512	0.9711	0.4028	2.4824		0.9309	8.0772
	3	0.6328		0.6328			0.6328		
6	1	0.5335	0.2588	0.5930	1.7995	0.5557	0.4425		
	2	0.3906	0.7072	0.8079	0.9670	1.0342		0.5895	1.4482
	3	0.1430	0.9660	0.9765	0.2929	3.4144		0.9554	10.7605
7	1	0.4393	0.4339	0.6175	1.4229	0.7028	0.6136		
	2	0.3040	0.7819	0.8389	0.7247	1.3798		0.7204	3.4077
	3	0.1085	0.9750	0.9810	0.2212	4.5208		0.9689	13.1578
	4	0.4876		0.4876			0.4876		
8	1	0.4268	0.1951	0.4693	1.8190	0.5498	0.3451		
	2	0.3168	0.5556	0.6396	0.9907	1.0094		0.4564	1.3041
	3	0.2418	0.8315	0.8659	0.5585	1.7906		0.7956	5.4126
	4	0.0849	0.9808	0.9845	0.1725	5.7978		0.9771	15.2977
9	1	0.3686	0.3420	0.5028	1.4661	0.6821	0.4844		
	2	0.3005	0.6428	0.7096	0.8470	1.1807		0.5682	2.3008
	3	0.1961	0.8661	0.8880	0.4417	2.2642		0.8436	7.3155
	4	0.0681	0.9848	0.9872	0.1380	7.2478		0.9824	17.2249
	5	0.3923		0.3923			0.3923		
10	1	0.3522	0.1564	0.3854	1.8279	0.5471	0.2814		
	2	0.3178	0.454	0.5542	1.1469	0.8719		0.3242	0.5412
	3	0.2522	0.7071	0.7507	0.6719	1.4884		0.6606	3.9742
	4	0.1619	0.891	0.9056	0.3576	2.7968		0.8762	9.0742
	5	0.0558	0.9877	0.9893	0.1128	8.8645		0.9861	18.9669

0.1 DB切比雪夫设计

表3.

阶数	部分	实部	虚部	F_0	α	Q	-3 db 频率	峰值 频率	峰值 电平
2	1	0.6104	0.7106	0.9368	1.3032	0.7673		0.3638	0.0999
3	1	0.3490	0.8684	0.9359	0.7458	1.3408		0.7952	3.1978
	2	0.6970		0.6970			0.6970		
4	1	0.2177	0.9254	0.9507	0.4580	2.1834		0.8994	7.0167
	2	0.5257	0.3833	0.6506	1.6160	0.6188	0.5596		
5	1	0.3842	0.5884	0.7027	1.0935	0.9145		0.4457	0.7662
	2	0.1468	0.9521	0.9634	0.3048	3.2812		0.9407	10.4226
	3	0.4749		0.4749			0.4749		
6	1	0.3916	0.2590	0.4695	1.6682	0.5995	0.3879		
	2	0.2867	0.7077	0.7636	0.7509	1.3316		0.6470	3.1478
	3	0.1049	0.9667	0.9724	0.2158	4.6348		0.9610	13.3714
7	1	0.3178	0.4341	0.5380	1.1814	0.8464		0.2957	0.4157
	2	0.2200	0.7823	0.8126	0.5414	1.8469		0.7507	5.6595
	3	0.0785	0.9755	0.9787	0.1604	6.2335		0.9723	15.9226
	4	0.3528		0.3528			0.3528		
8	1	0.3058	0.1952	0.3628	1.6858	0.5932	0.2956		
	2	0.2529	0.5558	0.6106	0.8283	1.2073		0.4949	2.4532
	3	0.1732	0.8319	0.8497	0.4077	2.4531		0.8137	7.9784
	4	0.0608	0.9812	0.9831	0.1237	8.0819		0.9793	18.1669
9	1	0.2622	0.3421	0.4310	1.2166	0.8219		0.2197	0.3037
	2	0.2137	0.6430	0.6776	0.6308	1.5854		0.6064	4.4576
	3	0.1395	0.8663	0.8775	0.3180	3.1450		0.8550	10.0636
	4	0.0485	0.9852	0.9864	0.0982	10.1795		0.9840	20.1650
	5	0.2790		0.2790			0.2790		
10	1	0.2493	0.1564	0.2943	1.6942	0.5902	0.2382		
	2	0.2249	0.4541	0.5067	0.8876	1.1266		0.3945	1.9880
	3	0.1785	0.7073	0.7295	0.4894	2.0434		0.6844	6.4750
	4	0.1146	0.8913	0.8986	0.2551	3.9208		0.8839	11.9386
	5	0.0395	0.9880	0.9888	0.0799	12.5163		0.9872	21.9565

MT-206

0.25 DB切比雪夫设计

表4.

阶数	部分	实部	虚部	F ₀	a	Q	-3 db 频率	峰值 频率	峰值 电平
2	1	0.5621	0.7154	0.9098	1.2356	0.8093		0.4425	0.2502
3	1	0.3062	0.8712	0.9234	0.6632	1.5079		0.8156	4.0734
	2	0.6124		0.6124			0.6124		
4	1	0.4501	0.3840	0.5916	1.5215	0.6572	0.5470		
	2	0.1865	0.9272	0.9458	0.3944	2.5356		0.9082	8.2538
5	1	0.3247	0.5892	0.6727	0.9653	1.0359		0.4917	1.4585
	2	0.1240	0.9533	0.9613	0.2580	3.8763		0.9452	11.8413
	3	0.4013		0.4013			0.4013		
6	1	0.3284	0.2593	0.4184	1.5697	0.6371	0.3730		
	2	0.2404	0.7083	0.7480	0.6428	1.5557		0.6663	4.3121
	3	0.0880	0.9675	0.9715	0.1811	5.5205		0.9635	14.8753
7	1	0.2652	0.4344	0.5090	1.0421	0.9596		0.3441	1.0173
	2	0.1835	0.7828	0.8040	0.4565	2.1908		0.7610	7.0443
	3	0.0655	0.9761	0.9783	0.1339	7.4679		0.9739	17.4835
	4	0.2944		0.2944			0.2944		
8	1	0.2543	0.1953	0.3206	1.5862	0.6304	0.2822		
	2	0.2156	0.5561	0.5964	0.7230	1.3832		0.5126	3.4258
	3	0.1441	0.8323	0.8447	0.3412	2.9309		0.8197	9.4683
	4	0.0506	0.9817	0.9830	0.1029	9.7173		0.9804	19.7624
9	1	0.2176	0.3423	0.4056	1.0730	0.9320		0.2642	0.8624
	2	0.1774	0.6433	0.6673	0.5317	1.8808		0.6184	5.8052
	3	0.1158	0.8667	0.8744	0.2649	3.7755		0.8589	11.6163
	4	0.0402	0.9856	0.9864	0.0815	12.2659		0.9848	21.7812
	5	0.2315		0.2315			0.2315		
10	1	0.2065	0.1565	0.2591	1.5940	0.6274	0.2267		
	2	0.1863	0.4543	0.4910	0.7588	1.3178		0.4143	3.0721
	3	0.1478	0.7075	0.7228	0.4090	2.4451		0.6919	7.9515
	4	0.0949	0.8915	0.8965	0.2117	4.7236		0.8864	13.5344
	5	0.0327	0.9883	0.9888	0.0661	15.1199		0.9878	23.5957

0.5 DB切比雪夫设计

表5.

阶数	部分	实部	虚部	F_0	α	Q	-3 db 频率	峰值 频率	峰值 电平
2	1	0.5129	0.7225	1.2314	1.1577	0.8638		0.7072	0.5002
3	1	0.2683	0.8753	1.0688	0.5861	1.7061		0.9727	5.0301
	2	0.5366		0.6265			0.6265		
4	1	0.3872	0.3850	0.5969	1.4182	0.7051	0.5951		
	2	0.1605	0.9297	1.0313	0.3402	2.9391		1.0010	9.4918
5	1	0.2767	0.5902	0.6905	0.8490	1.1779		0.5522	2.2849
	2	0.1057	0.9550	1.0178	0.2200	4.5451		1.0054	13.2037
	3	0.3420		0.3623			0.3623		
6	1	0.2784	0.2596	0.3963	1.4627	0.6836	0.3827		
	2	0.2037	0.7091	0.7680	0.5522	1.8109		0.7071	5.5025
	3	0.0746	0.9687	1.0114	0.1536	6.5119		1.0055	16.2998
7	1	0.2241	0.4349	0.5040	0.9161	1.0916		0.3839	1.7838
	2	0.1550	0.7836	0.8228	0.3881	2.5767		0.7912	8.3880
	3	0.0553	0.9771	1.0081	0.1130	8.8487		1.0049	18.9515
	4	0.2487		0.2562			0.2562		
8	1	0.2144	0.1955	0.2968	1.4779	0.6767	0.2835		
	2	0.1817	0.5565	0.5989	0.6208	1.6109		0.5381	4.5815
	3	0.1214	0.8328	0.8610	0.2885	3.4662		0.8429	10.8885
	4	0.0426	0.9824	1.0060	0.0867	11.5305		1.0041	21.2452
9	1	0.1831	0.3425	0.3954	0.9429	1.0605		0.2947	1.6023
	2	0.1493	0.6436	0.6727	0.4520	2.2126		0.6374	7.1258
	3	0.0974	0.8671	0.8884	0.2233	4.4779		0.8773	13.0759
	4	0.0338	0.9861	1.0046	0.0686	14.5829		1.0034	23.2820
	5	0.1949		0.1984			0.1984		
10	1	0.1736	0.1566	0.2338	1.4851	0.6734	0.2221		
	2	0.1566	0.4545	0.4807	0.6515	1.5349		0.4267	4.2087
	3	0.1243	0.7078	0.7186	0.3459	2.8907		0.6968	9.3520
	4	0.0798	0.8919	0.8955	0.1782	5.6107		0.8883	15.0149
	5	0.0275	0.9887	0.9891	0.0556	17.9833		0.9883	25.1008

MT-206

1 DB切比雪夫设计

表6.

阶数	部分	实部	虚部	F_0	α	Q	-3 db 频率	峰值 频率	峰值 电平
2	1	0.4508	0.7351	0.8623	1.0456	0.9564		0.5806	0.9995
3	1	0.2257	0.8822	0.9106	0.4957	2.0173	0.4513	0.8528	6.3708
	2	0.4513		0.4513					
4	1	0.3199	0.3868	0.5019	1.2746	0.7845		0.2174	0.1557
	2	0.1325	0.9339	0.9433	0.2809	3.5594		0.9245	11.1142
5	1	0.2265	0.5918	0.6337	0.7149	1.3988	0.2800	0.5467	3.5089
	2	0.0865	0.9575	0.9614	0.1800	5.5559		0.9536	14.9305
	3	0.2800		0.2800					
6	1	0.2268	0.2601	0.3451	1.3144	0.7608		0.1273	0.0813
	2	0.1550	0.7106	0.7273	0.4262	2.3462		0.6935	7.6090
	3	0.0608	0.9707	0.9726	0.1249	8.0036		0.9688	18.0827
7	1	0.1819	0.4354	0.4719	0.7710	1.2971	0.2019	0.3956	2.9579
	2	0.1259	0.7846	0.7946	0.3169	3.1558		0.7744	10.0927
	3	0.0449	0.9785	0.9795	0.0918	10.8982		0.9775	20.7563
	4	0.2019		0.2019					
8	1	0.1737	0.1956	0.2616	1.3280	0.7530		0.0899	0.0611
	2	0.1473	0.5571	0.5762	0.5112	1.9560		0.5373	6.1210
	3	0.0984	0.8337	0.8395	0.2344	4.2657		0.8279	12.6599
	4	0.0346	0.9836	0.9842	0.0702	14.2391		0.9830	23.0750
9	1	0.1482	0.3427	0.3734	0.7938	1.2597	0.1577	0.3090	2.7498
	2	0.1208	0.6442	0.6554	0.3686	2.7129		0.6328	8.8187
	3	0.0788	0.8679	0.8715	0.1809	5.5268		0.8643	14.8852
	4	0.0274	0.9869	0.9873	0.0555	18.0226		0.9865	25.1197
	5	0.1577		0.1577					
10	1	0.1403	0.1567	0.2103	1.3341	0.7496		0.0698	0.0530
	2	0.1266	0.4548	0.4721	0.5363	1.8645		0.4368	5.7354
	3	0.1005	0.7084	0.7155	0.2809	3.5597		0.7012	11.1147
	4	0.0645	0.8926	0.8949	0.1441	6.9374		0.8903	16.8466
	5	0.0222	0.9895	0.9897	0.0449	22.2916		0.9893	26.9650

参考文献

Zumbahlen, Hank. *Linear Circuit Design Handbook*. Elsevier. 2008. ISBN: 978-7506-8703-4.

半波整流器

作者: ADI公司
Hank Zumbahlen

引言

半波整流器通常用于从交流输入获得直流电平。该整流器是一系列小型指南描述的、内置运算放大器的多种分立式电路之一。

半波整流器通常用于从交流输入获得直流电平。这点通常用于测量交流信号的幅度。

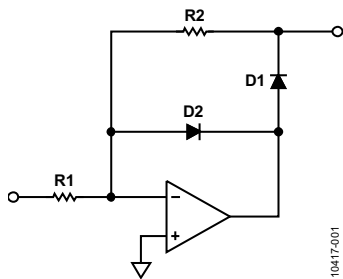


图1. 半波整流器

为了理解半波整流器的工作原理，我们不妨假定运算放大器和二极管在理论上无正向电压。

对于正输入电压，输出会尽量变为负。这使D2接通，D1断开。假设D2短路，结果将使输出保持于地电位，因为运算放大器的行为迫使运算放大器的输入电压保持相同电平。

对于负输入电压，输出将变为正，D1接通，D2断开。此时，输出端充当一个反相放大器(见MT-213)，其增益由R2/R1设定。其结果是，输出在输入(反相)负半周期之后，正半周期的输出为0 V。

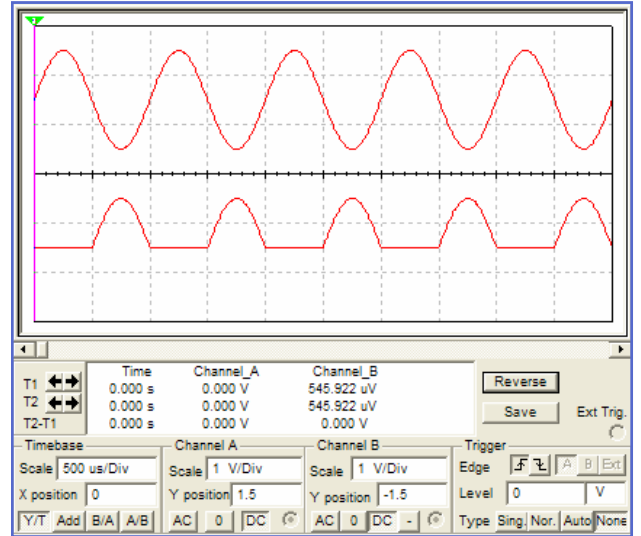


图2. 半波整流器波形

图2所示为半波整流器的波形。顶部曲线为输入，底部曲线则为输出。

图3所示为运算放大器的输出。请注意，在实际电路中，运算放大器的输出实际采用开环模式，直到达到D2的正向电压为止。图中所示为底部曲线(通道C)。

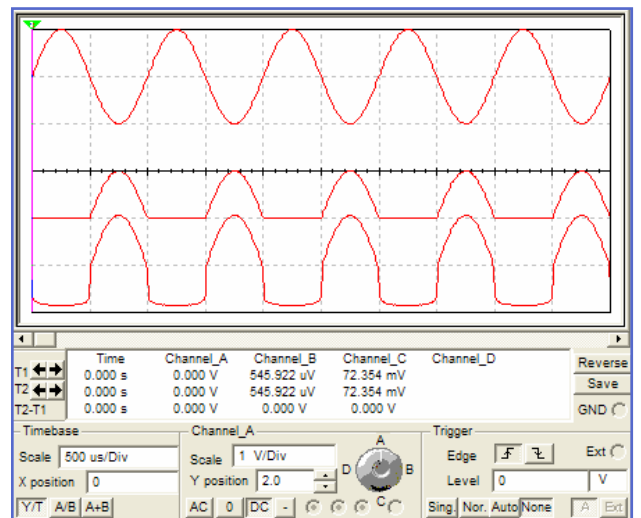


图3. 半波整流器波形与运算放大器输出

半波整流器的输出端之后为一个滤波器，用于形成直流电平。该滤波器的转折频率应置于足够低的水平，以限制输出上的交流纹波，同时还必须足够高，以免对电路的瞬态响应速率造成严重影响。输出频谱如图4所示。

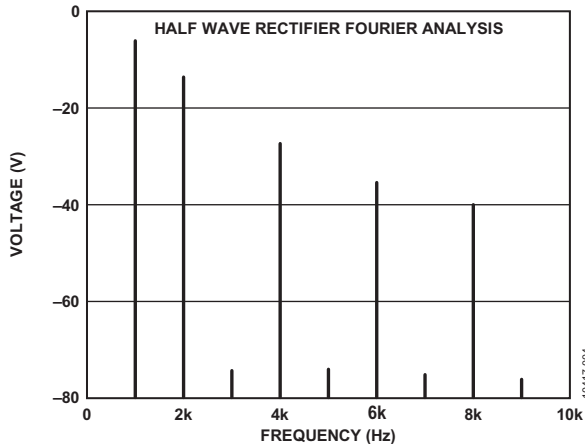


图4. 半波整流器输出频谱

通过同时反转两个二极管，可以将输出的极性转换为负。

误差项与反相放大器相同(见MT-213)。最重要的是失调项。该电路的频率响应主要由运算放大器的开环增益设定。二极管的等效并联电容和二极管导通/关断时间也会影响到频率响应，但其影响一般比运算放大器要小得多。

半波整流器的一个缺陷是，仅在输入的半周期内工作。对于中线周围的对称输入(如正弦波)，这不一定会构成真正的问题。为抵消此限制，人们对该电路进行了改进，这就是全波整流器。(见MT-211)。

采用单电源电压供电时，同相输入偏置到基准电压，通常为电源电压的 $\frac{1}{2}$ 。此时，零输入信号输出为基准电压。

修订历史

2012年4月—修订版0：初始版

图5所示单电源半波整流器的基准电压(运算放大器同相输入端的电压)为+4 V。在示意图中，地位于底部。

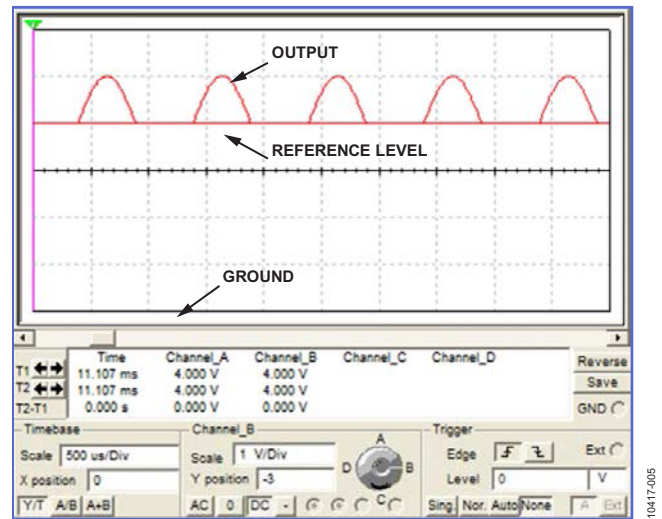


图5. 单电源半波整流器波形

输入仍然以地为参考，因此，输入端必须用串联电容进行交流耦合。频率的低端取决于输入耦合电容和输入电阻 R_1 的RC时间常数。对于双极性电源，电路响应可以到达直流。另外，如果上述电路以相同的基准电压为参考，则输入可能为直流耦合。如果采用电路增益，则需要格外小心。运算放大器上的频率响应要求取决于最大信号输入频率。必须有足够的开环增益，二极管才可偏置。因此，根据经验，运算放大器的带宽至少应为20 dB，在输入信号的最大频率处。

单极点系统的运算放大器总输出噪声计算

我们已经指出，噪声比一些较大噪声源少三分之一至五分之一的任何噪声源都可以忽略，几乎不会有误差。此时，两个噪声电压必须在电路内的同一点测量。要分析运算放大器电路的噪声性能，必须评估电路每一部分的噪声贡献，并确定以哪些噪声为主。为了简化后续计算，可以用噪声频谱密度来代替实际电压，从而带宽不会出现在计算公式中(噪声频谱密度一般用nV/√Hz表示，相当于1 Hz带宽中的噪声)。

如果考虑下图1中的电路——由一个运算放大器和三个电阻组成的放大器(R3代表节点A处的源阻抗)，可以发现六个独立噪声源：三个电阻的约翰逊噪声、运算放大器电压噪声和运算放大器各输入端的电流噪声。每个噪声源都会贡献一定的放大器输出端噪声。噪声一般用RTI来规定，或折合到输入端，但计算折合到输出端(RTO)噪声往往更容易，然后将其除以放大器的噪声增益(非信号增益)便得到RTI噪声。

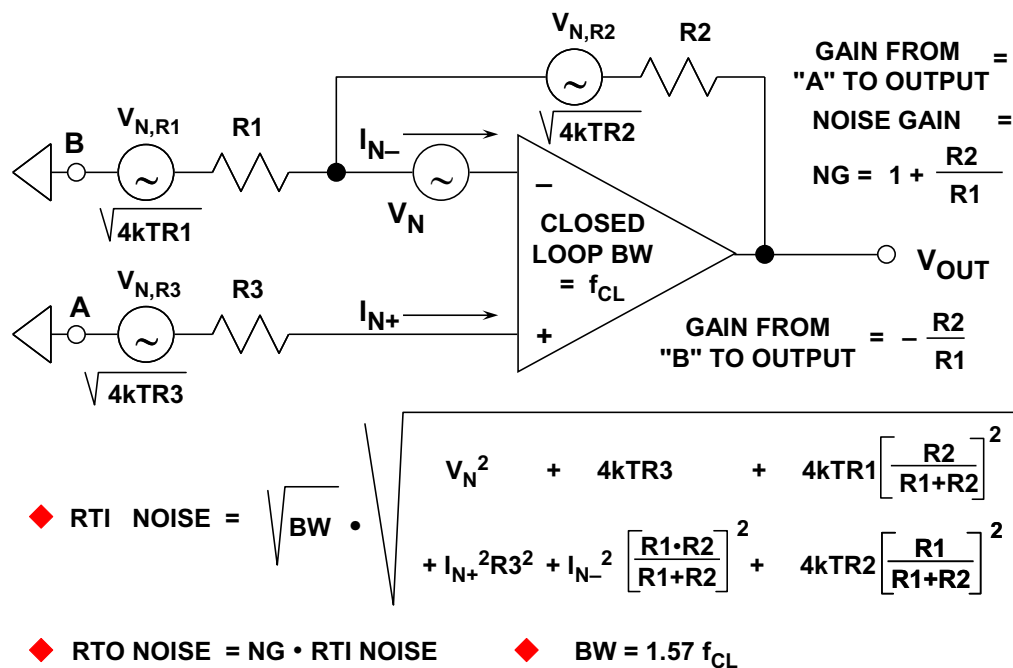


图1：单极点系统的运算放大器噪声模型

下图2详细分析了图1中的各噪声源是如何反映到运算放大器输出端的。有关反相输入端的电流噪声效应，还需要进一步讨论。此电流 I_{N-} 不会按预期流入R1——放大器周围的负反馈可使得反相输入端的电位保持不变，因此从该引脚流出的电流在负反馈强制作用下仅能流入R2，从而产生 I_{N-} R2输出端电压。也可以考虑 I_{N-} 流入R1和R2并联组合产生的电压，然后通过放大器的噪声增益放大，但结果是一样的，计算反而更复杂。

NOISE SOURCE EXPRESSED AS A VOLTAGE	MULTIPLY BY THIS FACTOR TO REFER TO THE OP AMP OUTPUT
Johnson noise in R3: $\sqrt{4kTR3}$	Noise Gain = $1 + R2/R1$
Non-inverting input current noise flowing in R3: $I_{N+}R3$	Noise Gain = $1 + R2/R1$
Input voltage noise: V_N	Noise Gain = $1 + R2/R1$
Johnson noise in R1: $\sqrt{4kTR1}$	$-R2/R1$ (Gain from input of R1 to output)
Johnson noise in R2: $\sqrt{4kTR2}$	1
Inverting input current noise flowing in R2: $I_{N-}R2$	1

图2：折合到输出端的噪声源(RTO)

请注意，与三个电阻相关的约翰逊噪声电压已包括在图2的表达式中。所有电阻的约翰逊噪声为 $\sqrt{4kTBR}$ ，其中k是玻尔兹曼常数(1.38×10^{-23} J/K)，T是绝对温度，B是带宽(单位为Hz)，R是电阻(单位为 Ω)。一个很容易记住的简单关系是：1000 Ω 电阻在25°C时产生的约翰逊噪声为4 nV/ $\sqrt{\text{Hz}}$ 。

以上分析假设是单极点系统，其中反馈网络为纯阻性，且噪声增益与频率关系曲线平坦。此情况适用于大多数应用，但如果反馈网络包含电抗元件(通常为电容)，则噪声增益在目标带宽内不恒定，必须使用更复杂的技术来计算总噪声。有关二阶系统噪声的考虑，请参见[指南MT-050](#)。

参考文献

1. Hank Zumbahlen, *Basic Linear Design*, Analog Devices, 2006, ISBN: 0-915550-28-1. Also available as [*Linear Circuit Design Handbook*](#), Elsevier-Newnes, 2008, ISBN-10: 0750687037, ISBN-13: 978-0750687034. Chapter 1.
2. Walter G. Jung, [*Op Amp Applications*](#), Analog Devices, 2002, ISBN 0-916550-26-5, Also available as [*Op Amp Applications Handbook*](#), Elsevier/Newnes, 2005, ISBN 0-7506-7844-5. Chapter 1.

Copyright 2009, Analog Devices, Inc. All rights reserved. Analog Devices assumes no responsibility for customer product design or the use or application of customers' products or for any infringements of patents or rights of others which may result from Analog Devices assistance. All trademarks and logos are property of their respective holders. Information furnished by Analog Devices applications and development tools engineers is believed to be accurate and reliable, however no responsibility is assumed by Analog Devices regarding technical accuracy and topicality of the content provided in Analog Devices Tutorials.

双T陷波滤波器

作者: ADI公司
Hank Zumbahlen

引言

本小型指南讨论一种双T陷波滤波器设计示例, 是一系列介绍精密运算放大器分立式电路的小型指南之一。

双T设计广泛用作一种通用型陷波电路, 如图1所示。双T的无源实现方式(即无反馈)存在一个大缺陷: 其Q固定为0.25。该问题可以通过向参考节点应用正反馈来进行整流纠正。信号反馈量(由R4/R5之比设置)决定电路的Q值, 而Q值又决定陷波深度。要使陷波深度达到最大, 可以取消电阻R4和R5以及相应的运算放大器。这种情况下, C3和R3的结点将直接连接至输出端。

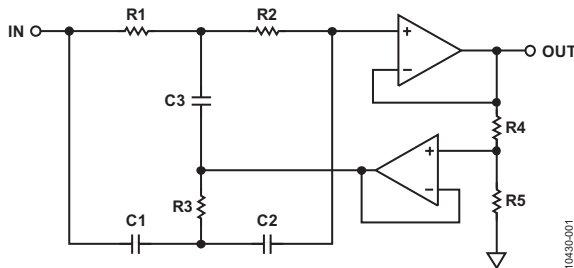


图1. 双T陷波滤波器

调整并非易事, 因为需要对元件(R1和R2、C1和C2)进行跟踪。使用标准的1%元件时, 最多可以获得60 dB的陷波, 而更典型的值则为40-50 dB。

双T陷波滤波器的设计公式见“双T陷波设计公式”部分。

双T陷波设计公式

$$\frac{s^2 + \omega_0^2}{s^2 + 4\omega_0(1-K)s + \omega_0^2}$$

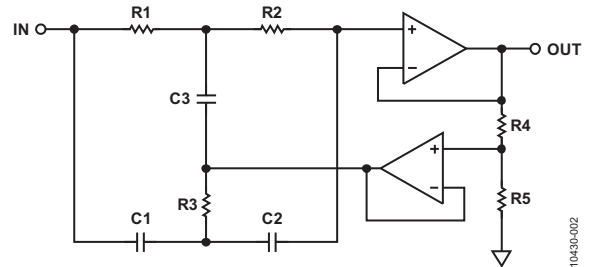


图2.

$$\frac{V_O}{V_{IN}} = \frac{s^2 \frac{1}{RC}}{s^2 + \frac{1}{RC} \left(1 - \frac{R5}{R4+R5} \right) s + \frac{1}{RC}}$$

要设计该滤波器, 请选择C、K和R'。

那么

$$k = 2\pi F_0 C$$

$$R4 = (1-K)R'$$

$$R = \frac{1}{k}$$

$$R5 = KR'$$

$$R = R1 = R2 = 2R3$$

$$C = C1 = C2 = \frac{C3}{2}$$

$$K = 1 - \frac{1}{4Q}$$

$$F_0 = \frac{1}{2\pi RC}$$

对于K = 1, 取消R4和R5(即R4 → 0, R5, Q → ∞)。

参考文献

Zumbahlen, Hank, editor, 2008. *Linear Circuit Design Handbook*, Newnes, ISBN 978-0-7506-8703-4.

修订历史

2012年3月—修订版0: 初始版

双放大器带通(DABP)滤波器

作者: ADI公司
Hank Zumbahlen

引言

贝塞尔滤波器是关注相位响应的运算放大器的理想双放大器带通滤波器用于高Q和高频设计中。该滤波器是一系列小型指南描述的、内置运算放大器的多种分立式电路之一。

双放大器带通滤波器结构对于要求高Q和高频的设计十分有用。其元件灵敏度较低，元件扩散度低。这种电路的一个有用特性是，其Q和谐振频率可在一定程度上独立调节。

如图1所示，谐振频率可以按R2调节。在此基础上，则可针对Q调节R1。在这种拓扑结构中，对使用双运算放大器非常有用。两个运算放大器的匹配可以降低Q对放大器参数的灵敏度。

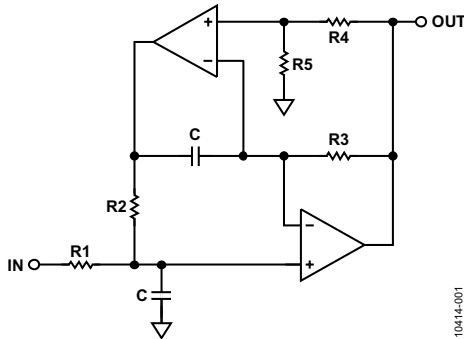


图1. 双放大器带通滤波器

请注意，DABP谐振时的增益为2。如果需要更低的增益，则可对电阻R1分路，以形成一个分压器。这反映在DABP设计等式的附加项上(见图2)。

$$\frac{+H\omega_0^s}{s^2 + \alpha\omega_0s + \omega_0^2}$$

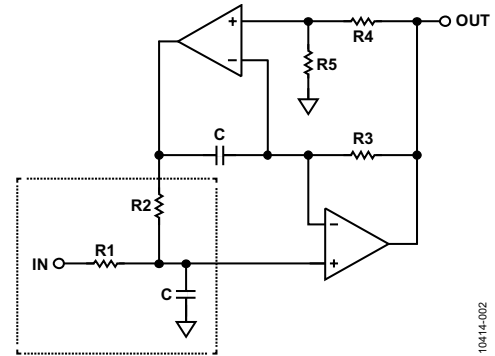


图2. 双放大器带通滤波器的设计等式

$$\frac{V_O}{V_{IN}} = \frac{s \left(\frac{2}{R1C} \right)}{s^2 + s \left(\frac{1}{R1C} \right) + \frac{1}{R2 R3 C^2}}$$

选择C, R4。

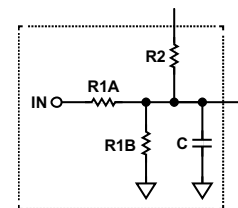
则, R5 = R4。

$$R = \frac{1}{2\pi F_0 C}$$

$$R1 = Q R$$

$$R2 = R3 = R$$

若增益 < 2 (增益 = A_V):



$$R1A = \frac{2R1}{A_V}$$

$$R1B = \frac{R1A A_V}{2 - A_V}$$

MT-209

参考文献

Zumbahlen, Hank. *Linear Circuit Design Handbook*. Elsevier. 2008. ISBN: 978-7506-8703-4.

修订历史

2012年3月—修订版0：初始版

双运放仪表放大器基本配置

仪表放大器是基于运算放大器的，有两种基本配置极为常见。第一种基于双运算放大器，第二种则基于三运算放大器。图1所示电路称为双运放仪表放大器。双通道精密IC运算放大器在大多数情况下拥有良好匹配，例如OP297或OP284。电阻通常是同一芯片上的薄膜激光调整阵列。仪表放大器增益可利用外部电阻 R_G 轻松设置。无 R_G 时，增益是 $1 + R_2/R_1$ 。实际应用中， R_2/R_1 比值依据所需的最小仪表放大器增益来选择。

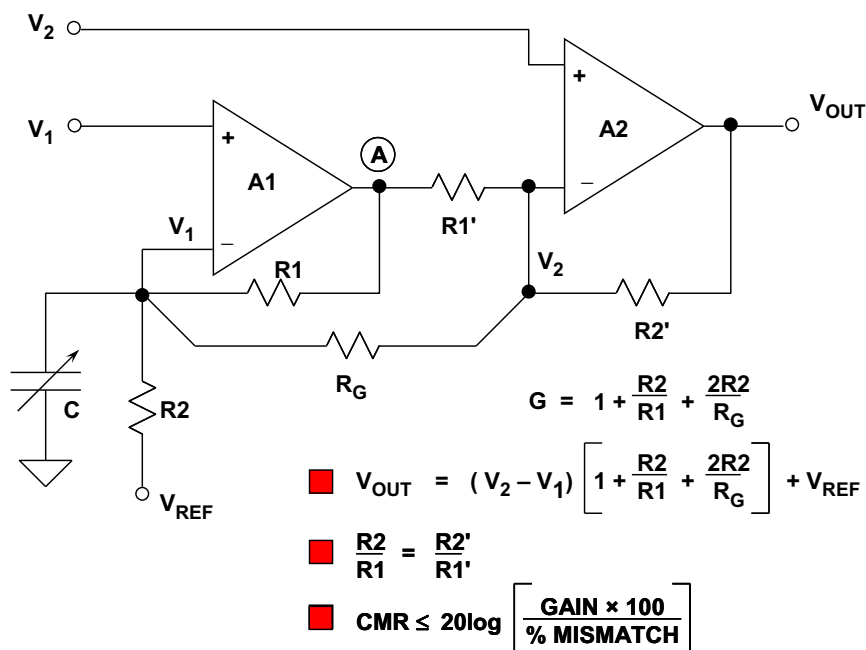


图1：双运放仪表放大器

双运放仪表放大器的输入阻抗本身较高，使得信号源阻抗可能较高且失衡。直流共模抑制性能受 R_1/R_2 与 R_1'/R_2' 的匹配限制。如果四个电阻中有任何一个存在不匹配，直流共模抑制比限于下值：

$$CMR \leq 20 \log \left[\frac{GAIN \times 100}{\% \text{ MISMATCH}} \right]. \quad \text{公式1}$$

请注意，电路净CMR随着仪表放大器工作增益增大而成比例提高，从而有效提升较高增益下的性能。

IC仪表放大器特别适合同时满足增益设置电阻的比率匹配和温度跟踪需求。虽然在硅片上制造的薄膜电阻最高具有±20%的初始容差，生产过程中的激光调整可将电阻间比率误差减小至0.01% (100 ppm)。另外，薄膜电阻温度系数之间的跟踪本身较低，通常小于3 ppm/°C (0.0003%/°C)。

使用双电源时， V_{REF} 一般直接接地。在单电源应用中， V_{REF} 通常连接至等于电源电压一半的低阻抗电压源。从 V_{REF} 到节点“A”的增益为 $R1/R2$ ，从节点“A”到输出的增益为 $R2/R1'$ 。假定比率匹配是理想的，则从 V_{REF} 到输出的增益等于单位增益。请注意， V_{REF} 的源阻抗必须较低，否则CMR会降低。

双运放仪表放大器的一个主要缺点是共模电压输入范围必须相对于增益进行取舍。放大器A1必须将 V_1 下的信号放大 $1 + R1/R2$ 倍。如果 $R1 \gg R2$ (图1中的低增益示例)，一旦 V_1 共模信号过高A1将发生饱和，结果消耗掉用于放大目标差分信号的A1“余量”。对于高增益($R1 \ll R2$)，节点“A”则有更多的余量，可提供更大的共模输入电压。

此配置的交流共模抑制性能一般较差，因为从 V_1 到 V_{OUT} 的信号路径具有额外的A1相移。此外，两个放大器在不同闭环增益下(对应于不同带宽)工作。图1所示的小调整电容“C”可稍微改善交流CMR。

不使用 R_G 时，低增益($G = 2$)单电源双运放仪表放大器配置结果如以上图2所示。

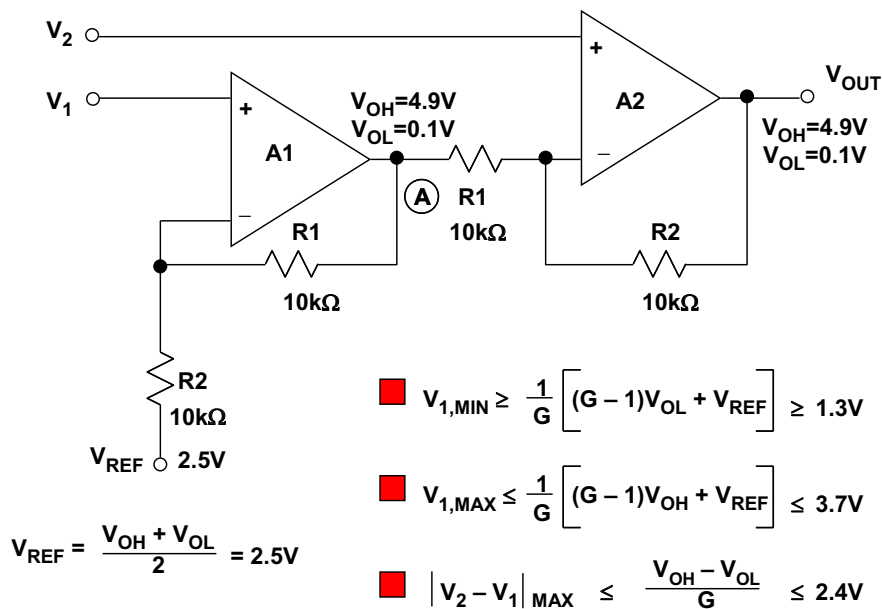


图2: $V_s = +5V$ 、 $G = 2$ 时的双运放仪表放大器单电源限制

输入共模和差分信号值必须限制，以防止A1或A2发生饱和。本例中，运算放大器在供电轨的0.1 V内保持线性，输出上限和下限分别指定为 V_{OH} 和 V_{OL} 。这些饱和电压限值是单电源、轨到轨输出运算放大器(例如AD822)的典型值。

使用图2的公式， V_1 的电压必须介于1.3 V至2.4 V之间，以防止A1发生饱和。请注意， V_{REF} 连接到 V_{OH} 和 V_{OL} 的平均值(2.5 V)。这是为了提供双极性差分输入信号和以+2.5 V为参考的 V_{OUT} 。

以下图3显示高增益($G = 100$)单电源双运放仪表放大器配置。请注意，使用相同公式， V_1 的电压现在可在0.124 V至4.876 V间摆动。 V_{REF} 仍为2.5 V，以提供双极性输入和输出信号。

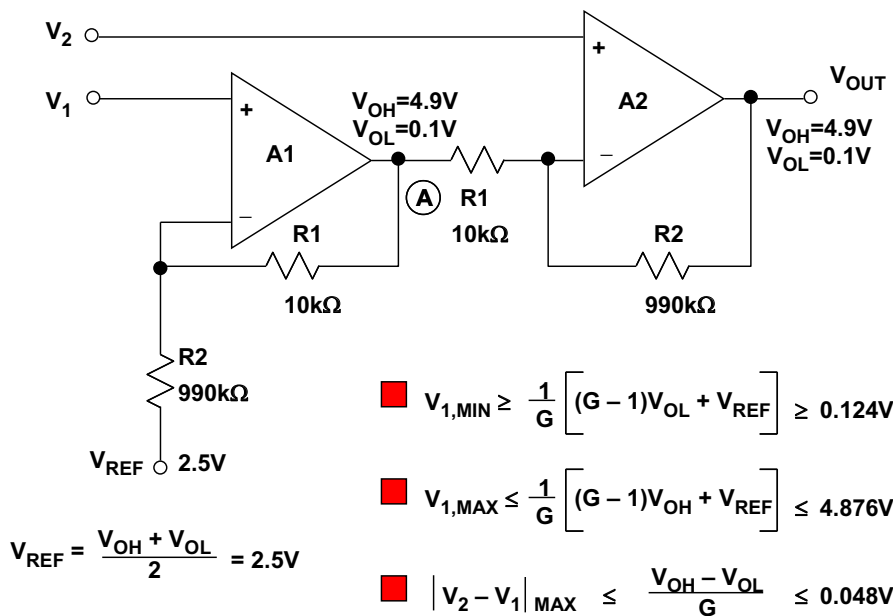


图3: $V_s = +5V$ 、 $G = 100$ 时的双运放仪表放大器单电源限制

所有这些分析都显示，采用单电源供电时，传统的双运放仪表放大器架构存在较大限制。一方面，该架构对给定增益下的容许输入CM范围造成限制。另一方面，它对给定CM输入电压下的容许增益范围造成限制。

不过，还有许多情况下，增益和CM电压的组合无法用图1至3的基本双运算放大器结构来支持，即使放大器是理想的(即两个供电轨均有零输出饱和电压)。

总而言之，无论增益如何，常见的双运放仪表放大器基本结构在采用单电源供电时无法提供0V的CM输入电压。消除这些单电源供电限制的唯一途径是修改仪表放大器架构。

AD627单电源双运放仪表放大器

通过对基本双运放仪表放大器架构做一些关键修改，可以克服上述CM限制。以下图4为AD627仪表放大器架构，其中显示了这些在电路中实施的修改。

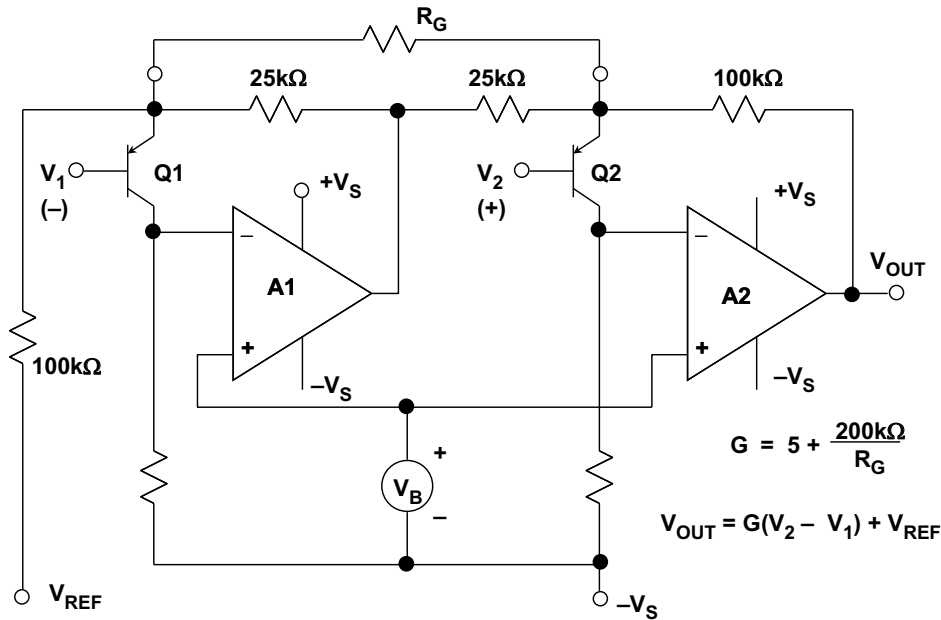


图4: AD627仪表放大器架构

在此电路中，两个运算放大器均由一个PNP共发射极输入级和一个增益级构成，分别指定为Q1/A1和Q2/A2。PNP晶体管不仅提供增益，还可对输入信号进行电平转换，将其提高约0.5 V，因此共模输入电压可到达负供电轨以下0.1 V。容许的最大正输入电压比正供电轨低1 V。

AD627仪表放大器提供轨到轨输出摆幅，且具有宽电源电压范围(+2.7 V至±18 V)。无外部增益设置电阻 R_G 时，仪表放大器增益最小值为5。通过添加外部电阻，增益最高可达1000。使用1 kΩ非均衡信号源、+3 V单电源且 $G = 5$ 时，AD627B在60 Hz下的共模抑制比为85 dB。

虽然AD627是双运放仪表放大器，仍需注意，它没有图1所示基本电路的CM频率响应限制。由于使用专利电路，AD627 CMR的平坦频率远远高于传统分立式双运放仪表放大器可实现的水平。

AD627数据手册详细说明了容许输入/输出电压范围，其与增益和电源电压成函数关系。交互式[仪表放大器共模范围/增益计算器设计工具](#)可以帮助用户计算仪表放大器的基本共模范围和增益。

AD627的主要规格特性如以下图5所示。尽管是低功耗、单电源器件，AD627却能够采用传统的较高电压电源，例如 $\pm 15\text{ V}$ ，而且性能出色。

- ◆ **Wide Supply Range : $+2.7\text{V}$ to $\pm 18\text{V}$**
- ◆ **Input Voltage Range: $-V_S - 0.1\text{V}$ to $+V_S - 1\text{V}$**
- ◆ **85 μA Supply Current**
- ◆ **Gain Range: 5 to 1000**
- ◆ **75 μV Maximum Input Offset Voltage (AD627B)**
- ◆ **10ppm/ $^{\circ}\text{C}$ Maximum Offset Voltage TC (AD627B)**
- ◆ **10ppm Gain Nonlinearity**
- ◆ **85dB CMR @ 60Hz, 1k Ω Source Imbalance (G = 5)**
- ◆ **3 μV p-p 0.1Hz to 10Hz Input Voltage Noise (G = 5)**

图5: AD627仪表放大器主要规格特性

参考文献

1. Hank Zumbahlen, *Basic Linear Design*, Analog Devices, 2006, ISBN: 0-915550-28-1. Also available as [Linear Circuit Design Handbook](#), Elsevier-Newnes, 2008, ISBN-10: 0750687037, ISBN-13: 978-0750687034. Chapter 2.
2. Walter G. Jung, [Op Amp Applications](#), Analog Devices, 2002, ISBN 0-916550-26-5, Also available as [Op Amp Applications Handbook](#), Elsevier/Newnes, 2005, ISBN 0-7506-7844-5. Chapter 2.
3. Charles Kitchin and Lew Counts, [A Designer's Guide to Instrumentation Amplifiers, 3rd Edition](#), Analog Devices, 2006.

Copyright 2009, Analog Devices, Inc. All rights reserved. Analog Devices assumes no responsibility for customer product design or the use or application of customers' products or for any infringements of patents or rights of others which may result from Analog Devices assistance. All trademarks and logos are property of their respective holders. Information furnished by Analog Devices applications and development tools engineers is believed to be accurate and reliable, however no responsibility is assumed by Analog Devices regarding technical accuracy and topicality of the content provided in Analog Devices Tutorials.

反相放大器

作者: Hank Zumbahlen,
Analog Devices, Inc.

引言

作为一种基本的运算放大器电路，反相运算放大器是系列小型指南中介绍的分立式电路之一。

反相放大器是一种基本的运算放大器电路。

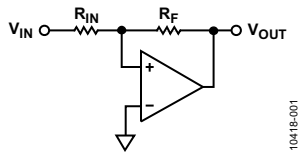


图1. 反相整流器

设运算放大器的输入阻抗无穷大，即是说无电流流入或流出运算放大器反相输入。由于运算放大器迫使两个输入端的电压相同，因此，反相输入(-)看起来也像是地。这一般称为虚拟地。另外，据基尔霍夫定律，流入节点的所有电流必须从节点流出。

输入电压决定电流

$$I_{IN} = \frac{V_{IN}}{R_{IN}} \quad (\text{等式1})$$

从求和节点流出的电流等于输入电流。

$$I_{IN} = I_{OUT} \quad (\text{等式2})$$

因而，流过反馈电阻(R_F)的电压为：

$$-V_{OUT} = R_F \times I_{OUT} \quad (\text{等式3})$$

该电压为负值(相对于输入电压)，因为电流正从节点中流出。这也是该电路被称为反相放大器的原因所在。请注意，输入电压将按输入电阻的值来调整缩放。

在该电路中，主要的误差源是运算放大器的失调电压和偏置电流。失调电压会影响反相输入端的视在电压。该电压将不再是0V。偏置电流会在对电流求和时导致误差，因为将有一个小电流流入或流出运算放大器的输入。

对于交流输入，会存在对运算放大器带宽的限制。

放大器电路的输入阻抗将为输入电阻的值。请记住，电阻的另一端为(虚拟)地。

以上讨论是以双极性电源为基础的。如果使用单电源，地将由参考节点取代，后者的电压电平为 V_{REF} ，一般相当于电源电压的一半。在此基础上，输入和输出电压将以该电压而非地为参考。

输入电流变成

$$I_{IN} = \frac{V_{IN} - V_{REF}}{R_{IN}} \quad (\text{等式4})$$

输出变成

$$V_{REF} - V_{OUT} = \frac{R_F}{R_{IN}} (V_{IN} - V_{REF}) \quad (\text{等式5})$$

修订历史

2012年2月—修订版0：初始版

反相求和放大器

作者: ADI公司
Hank Zumbahlen

引言

作为基本反相运算放大器电路的扩展，反相求和放大器是一系列小型指南中描述的多种分立式电路之一。

反相求和放大器是MT-213中所述反相放大器的一种扩展器件。然而，反相求和放大器有多路输入。

假设运算放大器的输入阻抗无穷大，因此电流不会流入或流出运算放大器的反相输入端。由于运算放大器迫使两个输入端的电压相同，因此，反相输入(-)看起来也像是地。这一般称为虚拟地。另外，据基尔霍夫定律，流入节点的所有电流必须从节点流出。

各输入电压决定电流

$$I1 = \frac{V1}{R1} \quad (1)$$

$$I2 = \frac{V2}{R2} \quad (2)$$

依此类推。

从求和节点流出的电流等于全部输入电流之和。因而，流过反馈电阻(Rfb)的电压为：

$$-V_{OUT} = Rfb \times (I1 + I2 + \dots + IN) \quad (3)$$

或者

$$-V_{OUT} = \frac{Rfb}{R1} V1 + \frac{Rfb}{R2} V2 + \dots + \frac{Rfb}{Rn} Vn \quad (4)$$

该电压为负值(相对于输入电压)，因为电流正从节点中流出。请注意，输入电压按输入电阻的值来调整缩放。

在该电路中，主要的误差源是运算放大器的失调电压和偏置电流。失调电压会影响反相输入端的可见电压。该电压将不再是0V。偏置电流会在对电流求和时导致误差，因为将有一个小电流流入或流出运算放大器的输入端。

大量输入导致的一个潜在问题是电路中的噪声增益。有效输入电阻为全部输入电阻的并联组合。对于大量输入，结果可能使等效输入电阻变小，从而造成较大的噪声增益。

$$NG = 1 + \frac{Rfb}{R_{IN \ eq}} \quad (5)$$

$$R_{IN \ eq} = R1 \parallel R2 \parallel \dots \parallel RN \quad (6)$$

然而，出于稳定性考虑，大噪声增益有助于确保放大器的稳定性。

由于稳定性取决于噪声增益与开环增益的相交位置，因此，较高的噪声增益会使该点远离次级极点，从而导致不稳定。

显然，噪声增益越高，噪声也越高。对于交流输入，会存在对运算放大器带宽的限制。

以上讨论是以双极性电源为基础的。如果使用单电源，地将由参考节点取代，后者的典型电压电平为 V_{REF} ，一般相当于电源电压的一半。在此基础上，输入和输出电压将以该电压而非地为参考。

输入电流变成

$$I_N = \frac{V_N - V_{REF}}{R_N} \quad (7)$$

其中， N 为输入数。结果输出变成

$$V_{REF} - V_{OUT} = \frac{R_{fb}}{R_1} (V_1 - V_{REF}) + (V_2 - V_{REF}) + \dots + \frac{R_{fb}}{R_N} (V_N - V_{REF})$$

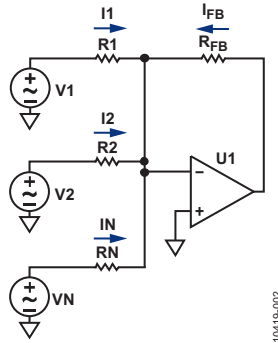


图1.

参考文献

Zumbahlen, Hank. *Linear Circuit Design Handbook*. Elsevier. 2008. ISBN: 978-7506-8703-4.

修订历史

2012年4月—修订版0：初始版

反馈电容对VFB和CFB运算放大器的影响

在VFB运算放大器的反馈环路中使用一个电容是非常常见的做法，其目的是影响频率响应，就如在简单的单极点低通滤波器中一样，如下面的图1所示。结果将噪声增益绘制成了一幅波特图，用于分析稳定性和相位裕量。系统的稳定性取决于噪声增益的净斜率以及开环增益(二者相交时)。

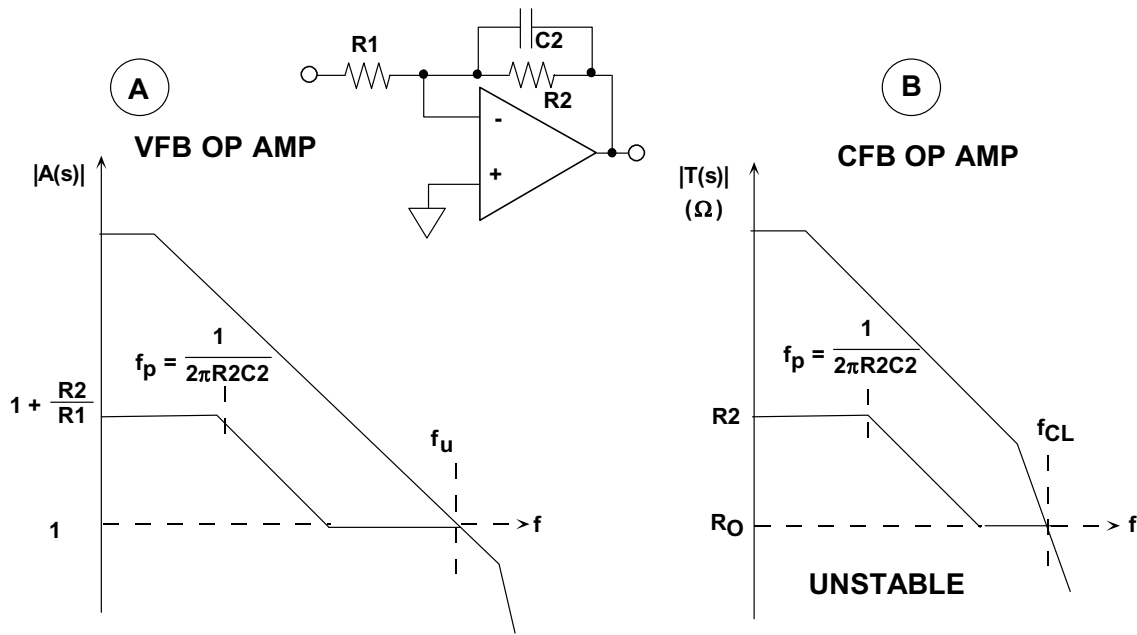


图1：基于反馈电容的VFB和CFB运算放大器的噪声增益稳定性分析

如需无条件稳定性，噪声增益图必须以小于12 dB/倍频程的净斜率与开环增益相交。本例中，二者相交时的净斜率为6 dB/倍频程，表明非常稳定。请注意，对于图1A所示情况，频率响应中的第二个极点出现的频率显著高于 f_u 。

对于CFB运算放大器(图1B)，使用的分析方法相同，只是在绘制波特图时用的是开环跨导增益 $T(s)$ 。

然而，CFB运算放大器的噪声增益(出于稳定性分析需要)定义必须重新界定，将即一个电流噪声源附于反相输入端上，如下面的图2所示。该电流由一个阻抗反映到输出端，我们将该阻抗定义为CFB运算放大器的“电流噪声增益”：

$$\text{"CURRENT NOISE GAIN"} \equiv R_O + Z_2 \left(1 + \frac{R_O}{Z_1} \right). \quad \text{等式1}$$

现在回到图1B，观察一下CFB电流噪声增益图。在低频率下，CFB电流噪声增益非常简单，为R₂(设R_o远远低于Z₁或Z₂。第一个极点取决于R₂和C₂。随着频率继续增加，C₂变成短路，所有反相输入电流都会流过R_o(再次参看图1B)。

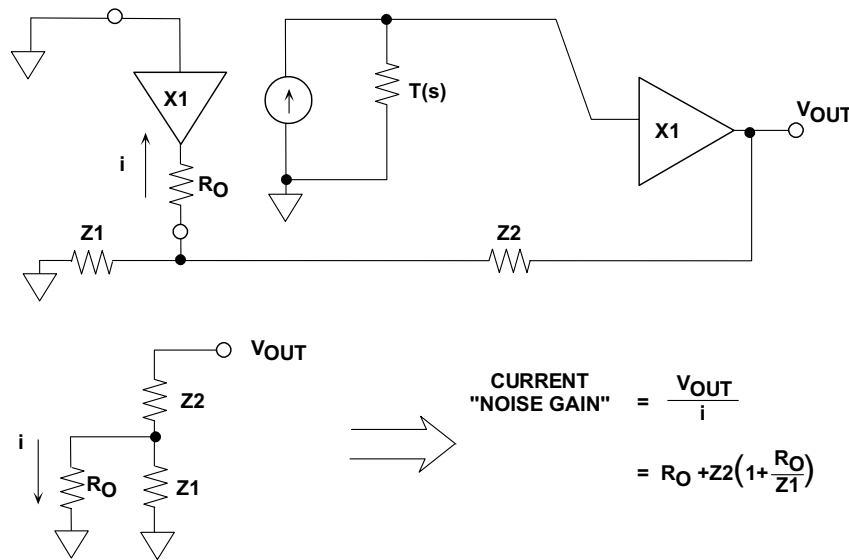


图2：针对稳定性分析的CFB运算放大器电流“噪声增益”定义

CFB运算放大器一般针对一个固定反馈电阻R₂而优化，以实现最佳性能。跨导增益T(s)中的额外极点出现的频率高于闭环带宽f_d(由R₂设定)。请注意，CFB电流噪声增益与开环T(s)的相交点出现在T(s)函数的斜率为12 dB/倍频程时。这表明存在不稳定情况，而且可能有振荡。

正因如此，CFB运算放大器不适合要求反馈环路中有电容的配置，比如简单的有源积分器或低通滤波器。

CFB运算放大器一般针对一个固定反馈电阻R₂而优化，以实现最佳性能。跨导增益T(s)中的额外极点出现的频率高于闭环带宽f_d(由R₂设定)。请注意，CFB电流噪声增益与开环T(s)的相交点出现在T(s)函数的斜率为12 dB/倍频程时。这表明存在不稳定情况，而且可能有振荡。

正因如此，CFB运算放大器不适合要求反馈环路中有电容的配置，比如简单的有源积分器或低通滤波器。

但它们可以用于某些有源滤波器当中，比如图3所示的Sallen-Key配置，该配置不要求反馈网络中有电容。

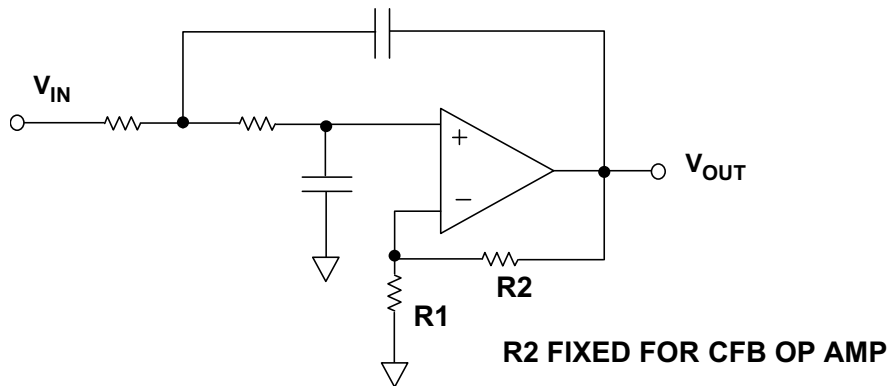


图3: Sallen-Key滤波器配置

另一方面，VFB运算放大器确实能够成为非常灵活的有源滤波器。下面的图4所示为采用一个运算放大器AD8048的多路反馈20 MHz低通滤波器示例。

一般而言，如果需要避免因放大器相移而引起问题，有源滤波器放大器的带宽应至少为滤波器带宽的10倍。(在该配置下，AD8048的带宽超过200 MHz)。

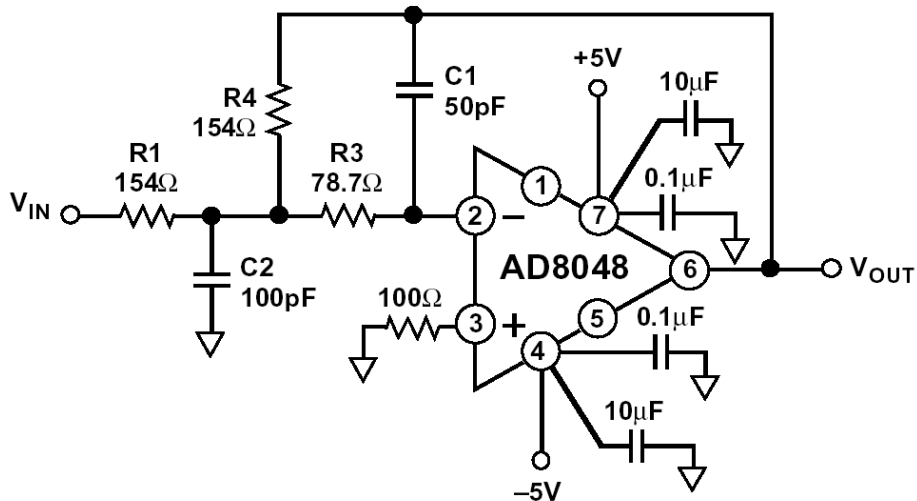


图4: 基于AD8048 VFB运算放大器的多反馈20MHz低通滤波器

有关这种特定滤波器设计的详情，请参阅AD8048数据手册。有关有源滤波器设计的更多讨论，请参阅参考文献的第5章。ADI网站上提供一个[滤波器向导](#)设计工具，以便为有源滤波器的设计提供帮助。

参考文献

1. Hank Zumbahlen, *Basic Linear Design*, Analog Devices, 2006, ISBN:0-915550-28-1. 另见 [Linear Circuit Design Handbook](#), Elsevier-Newnes, 2008, ISBN-10:0750687037, ISBN-13:978-0750687034。 Chapter 1.
2. Walter G. Jung, *Op Amp Applications*, Analog Devices, 2002, ISBN 0-916550-26-5, 另见 [Op Amp Applications Handbook](#), Elsevier/Newnes, 2005, ISBN 0-7506-7844-5. Chapter 1.

Copyright 2009, Analog Devices, Inc. All rights reserved. Analog Devices assumes no responsibility for customer product design or the use or application of customers' products or for any infringements of patents or rights of others which may result from Analog Devices assistance. All trademarks and logos are property of their respective holders. Information furnished by Analog Devices applications and development tools engineers is believed to be accurate and reliable, however no responsibility is assumed by Analog Devices regarding technical accuracy and topicality of the content provided in Analog Devices Tutorials.

四次(双二阶)滤波器

作者: ADI公司
Hank Zumbahlen

引言

双二阶滤波器是一款内置精密运算放大器的分立式电路,也是一系列小型指南中描述的多种电路模块之一。

与状态变量滤波器相似的是如图1所示的双二阶滤波器。这种电路的名称源自其传递函数的分子和分母均为二次项的二次函数,该名称由J. Tow于1968年率先使用,后来L.C. Thomas在1971年再次用到(见参考文献部分)。因而,该传递函数实为双二次函数。

这种电路其实是对状态变量电路稍作调整的结果。一大区别就是不存在独立的高通输出。带通输出将使相位反转。共有两个低通输出,一个同相、一个反向。添加第四个放大器后,可获得高通、陷波(低通、标准和高通)及全通滤波器。有关双二阶滤波器的设计方程如图2所示。

在图2中,即双二阶的全通版本, $R_8 = R_9/2$ 且 $R_7 = R_9$ 。这是使传递函数中的项正确排列的必要条件。对于高通输出,需对输入、带通和第二低通输出求和。这种情况下,限制条件为 $R_1 = R_2 = R_3$ 且 $R_7 = R_8 = R_9$ 。

与状态变量滤波器一样,双二阶滤波器也可调。调节 R_3 时会调节Q值,调节 R_4 则会设定谐振频率,调节 R_1 设定增益。一般先调节频率,然后依次调节Q和增益。以这种方式设定参数可将元件值间的相互作用效应降至最低。

在选择放大器以构建双二阶滤波器时,根据经验,在带通输出端,中心频率至少具有20 dB的环路增益。在双二阶滤波器中,放大器被用作积分器(在低通同相输出中),满足带宽要求。由于反馈网络中有电容,因此,电流反馈放大器一般都不适用。

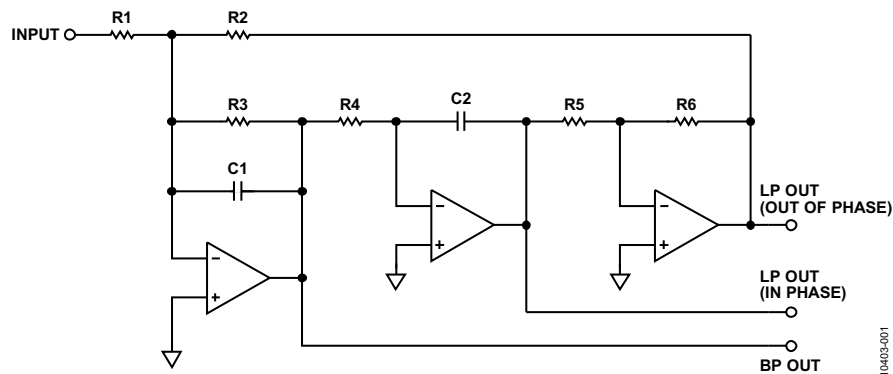


图1. 双二阶滤波器

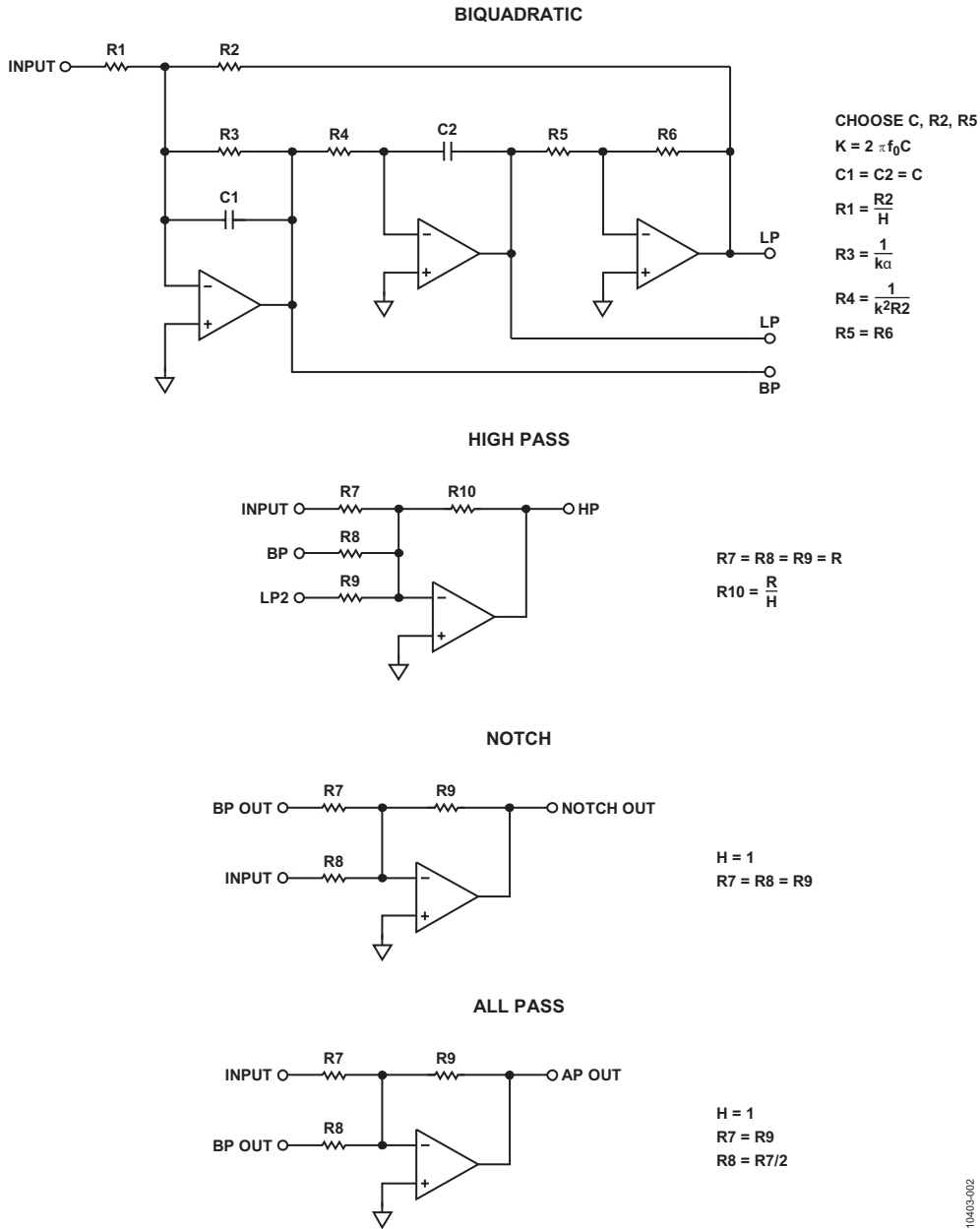


图2. 双二阶滤波器设计方程

参考文献

- J. Tow, "Active RC Filters—A State-Space Realization", Proc. IEEE, 1968, Vol.56, pp. 1137-1139.
- L.C. Thomas, "The Biquad: Part I—Some Practical Design Considerations", IEEE Trans. Circuits and Systems, Vol. CAS-18, 1971, pp. 350-357.
- L.C. Thomas, "The Biquad: Part II—A Multipurpose Active Filtering System," IEEE Trans. Circuits and Systems, Vol. CAS-18, 1971, pp. 358-361.
- Zumbahlen, Hank. *Linear Circuit Design Handbook*. Elsevier. 2008. ISBN: 978-7506-8703-4.

修订历史

2012年1月—修订版0：初始版

在电压反馈(VFB)和电流反馈(CFB)运算放大器之间选择

电流反馈和电压反馈具有不同的应用优势。在很多应用中，CFB和VFB的差异并不明显。当今的许多高速CFB和VFB放大器在性能上不相上下，但各有其优缺点。本指南将考察与这两种拓扑结构相关的重要考虑因素。

VFB和CFB运算放大器的直流及运行考虑因素

VFB运算放大器

- 对于要求高开环增益、低失调电压和低偏置电流的精密低频应用，VFB运算放大器是正确的选择。高速双极性输入VFB运算放大器的输入失调电压很少进行调整，因为输入级的失调电压匹配十分出色，一般为1至3 mV，失调温度系数为5至15 $\mu\text{V}/^\circ\text{C}$ 。在调整情况下，则可实现低于20 μV 的输入失调电压。采用自稳零架构的运算放大器可提供低于5 μV 的失调电压，但我们在此不予考虑。有关自稳零运算放大器的详情，请参阅[指南MT-055](#)。
- VFB运算放大器上的输入偏置电流(无输入偏置电流补偿电路)在(+)输入端和(-)输入端大致相等，范围为1至5 μA 。有的FET输入运算放大器的输入偏置电流不到200 fA，适用于静电计等应用。(如[AD549](#))。
- 因输入偏置电流引起的输出失调电压可以归零，其方法是反相和同相输入端中的有效源电阻相等。这种方法对于偏置电流补偿VFB运算放大器无效，因为这类放大器的输入端有额外的电流发生器。在这种情况下，净输入偏置电流不一定相等，也不一定具有相同的极性。
- VFB运算放大器在反馈网络控制着整体响应的应用中十分有用，比如有源滤波器应用。然而，有些VFB运算放大器是经过非完全补偿处理的，使用时必须超过其额定的最低闭环增益。
- VFB运算放大器的简化模型是大家耳熟能详的，所有模拟电子教材中都有论述。
- VFB架构适用于那些需要轨到轨输入和输出的低电源电压应用。

CFB运算放大器

- 另一方面，我们对电流反馈(CFB)运算放大器的了解较少，相关文献也不多。许多设计师选择VFB运算放大器，只是因为他们更了解这种放大器。
- CFB运算放大器的开环增益和精度一般低于精密VFB运算放大器。
- CFB运算放大器的反相和同相输入阻抗不相等，而且CFB运算放大器的输入偏置电流一般也是不相等且不相关的，因为(+)输入端和(-)输入端具有完全不同的架构。为此，外部偏置电流取消机制也不起作用。CFB输入偏置电流的范围为5至15 μA ，在反相输入端一般都较高。
- 由于CFB运算放大器一般是针对一个固定的反馈电阻值而优化的，因此，除设置闭环增益以外，其反馈网络的灵活性显得不足。这使得CFB运算放大器不适合多数有源滤波器，Sallen-Key滤波器除外，因为这种滤波器可以采用合适的固定反馈电阻进行设计。图1总结了VFB和CFB运算放大器的直流及运行考虑因素。
- CFB架构确实适用于轨到轨输入和输出。

◆ VFB Op Amps

- High open loop gain and DC accuracy
- Low offset voltage available (<20 μV)
- Low bias current (JFET, CMOS, or bias current compensation) available (<200 fA)
- Balanced input impedance
- Flexible feedback network
- Rail-to-rail inputs and outputs available

◆ CFB Op Amps

- Lower open loop gain and DC accuracy
- Higher offset voltage
- Inverting input impedance is low, non-inverting input impedance is high
- Input bias currents not as low as VFB or as well matched
- Fixed feedback resistor needed for optimum performance

图1：VFB和CFB运算放大器的直流及运行考虑因素

VFB和CFB运算放大器的交流考虑因素

VFB运算放大器

- VFB运算放大器的一个显著特点是，它们可在较宽的频率范围内提供恒定的增益带宽积。
- 另外，市场上有高带宽、高压摆率、低失真VFB运算放大器，其针对低静态电流采用了“H桥”架构([指南MT-056](#))。
- VFB运算放大器适用于各类有源滤波器架构，因为其反馈网络非常灵活。

CFB运算放大器

- CFB拓扑结构主要用于对高带宽、高压摆率和低失真有极高要求的场合。有关CFB运算放大器交流特性的详细讨论，请参阅[指南MT-057](#)。
- 对于给定的互补性双极性IC工艺，CFB一般可在相同量的静态电源电流量下产生比VFB高的FPBW(因而具有较低的失真)。这是因为CFB几乎不存在压摆率限制。为此，其全功率带宽和小信号带宽大约相同。然而，高速VFB运算放大器中使用的“H桥”架构在性能上几乎与CFB运算放大器相当([指南MT-056](#))。
- 不同于VFB运算放大器，CFB运算放大器的反相输入阻抗极低。在反相模式下将运算放大器作为I/V转换器使用时，这是一种优势，因为其对反相输入电容的敏感度低于VFB。
- CFB运算放大器的闭环带宽由内置电容以及外置反馈电阻的值决定，相对而言，是独立于增益设置电阻的(即从反相输入端到地的电阻)。这使得CFB运算放大器成为要求增益独立带宽的可编程增益应用的理想选择。
- 由于CFB运算放大器必须配合一个固定反馈电阻使用，才能实现最佳稳定性，因此，在除Sallen-Key滤波器以外，它们作为有源滤波器的应用是十分有限的。
- 在CFB运算放大器中，其反馈电阻上较小的杂散电容值可能导致不稳定。

- ◆ VFB Op Amps
 - Constant gain-bandwidth product
 - High slew rate and high bandwidth available
 - Low distortion versions available
 - Flexible feedback network
 - Good for active filters
- ◆ CFB Op Amps
 - Bandwidth relatively constant for various closed-loop gains
 - Gain-bandwidth product is not constant
 - Slightly higher slew rate and bandwidth available for given process and power dissipation (compared to VFB)
 - Low distortion versions available
 - Fixed feedback resistor for optimum performance
 - Stray feedback capacitance causes instability
 - Difficult to use in active filters other than Sallen-Key
 - Low inverting input impedance reduces effects of input capacitance in I/V converter applications

图2: VFB和CFB运算放大器的交流考虑因素

VFB和CFB运算放大器的噪声考虑因素

VFB运算放大器

- 市场上有些精密VFB运算放大器的输入电压噪声不到 $1 \text{ nV}/\sqrt{\text{Hz}}$ 。多数JFET或CMOS输入VFB运算放大器的输入电流噪声低于 $100 \text{ fA}/\sqrt{\text{Hz}}$ ，有些则低于 $1 \text{ fA}/\sqrt{\text{Hz}}$ 。然而，总输出噪声不但取决于这些值，同时也取决于闭环增益和反馈电阻的实际值([指南MT-049](#))。
- 对于VFB运算放大器，反相和同相输入电流噪声一般相等，而且几乎总是不相关。宽带双极性VFB运算放大器的典型值范围为 $0.5 \text{ pA}/\sqrt{\text{Hz}}$ 至 $5 \text{ pA}/\sqrt{\text{Hz}}$ 。当增加输入偏置电流补偿发生器时，双极性输入级的输入电流噪声会提高，因为它们的电流噪声不相关，因而会(以RRS方式)增加双极性级的内生电流噪声。然而，偏置电流补偿很少用在高速运算放大器中。

CFB运算放大器

- CFB运算放大器中的输入电压噪声一般低于带宽与之近似的VFB运算放大器。其原因在于，CFB运算放大器中的输入级一般在较高的电流下工作，从而使发射极电阻下降，结果导致电压噪声降低。CFB运算放大器的典型值范围为 1 至 $5 \text{ nV}/\sqrt{\text{Hz}}$ 。

- 然而，CFB运算放大器的输入电流噪声一般大于VFB运算放大器，因为其偏置电流普遍较高。CFB运算放大器的反相电流噪声和同相电流噪声通常不同，因为它们采用的是独特的输入架构，二者表示为独立的规格参数。多数情况下，反相输入电流噪声是二者中较大者。CFB运算放大器的典型输入电流范围为5至40 pA/ $\sqrt{\text{Hz}}$ 。这往往可能占据主导地位，但在电压噪声占主导地位的超高闭环增益下除外。

计算噪声的最佳方法是写一个简单的电子表格计算程序，以自动进行计算，其中要包括所有噪声源。[指南MT-049](#)中讨论的等式可用于该目的。

◆ VFB Op Amps

- Low voltage noise ($< 1 \text{ nV}/\sqrt{\text{Hz}}$) available
- Low current noise available (JFET and CMOS inputs)
- Inverting and non-inverting input current noise equal and uncorrelated
- Feedback network and external resistor values must be considered to determine total noise

◆ CFB Op Amps

- Low voltage noise (1 to 5 nV/ $\sqrt{\text{Hz}}$)
- Higher current noise (5 to 40 pA/ $\sqrt{\text{Hz}}$) often dominates
- Feedback network and external resistor values must be considered to determine total noise

图3: VFB和CFB运算放大器的噪声考虑因素

摘要

对于多数通用或高精度低频、低噪声应用，VFB运算放大器通常是最佳选择。VFB运算放大器也非常适合单电源应用，因为许多此类放大器提供轨到轨输入和输出。

VFB运算放大器具有极为灵活的反馈网络，因而适用于有源滤波器设计。

CFB运算放大器具有最佳带宽、压摆率和失真性能，但牺牲的是直流性能、噪声以及使用固定值反馈电阻的要求。CFB运算放大器在有源滤波器中的应用仅限于Sallen-Key等同相配置。

- ◆ Choose VFB Op Amps for
 - High precision, low noise, low bandwidth
 - Rail-to-rail inputs and outputs
 - Flexibility in feedback network
 - Active filters

- ◆ Choose CFB Op Amps for
 - Ultra high bandwidth, slew rate, and lowest distortion
 - Relatively constant bandwidth for different gains
 - Sallen-Key active filter

图4：总结——VFB与CFB运算放大器

参考文献

1. Hank Zumbahlen, Basic Linear Design, Analog Devices, 2006, ISBN:0-915550-28-1.另见[Linear Circuit Design Handbook](#), Elsevier-Newnes, 2008, ISBN-10:0750687037, ISBN-13:978-0750687034。Chapter 1.
2. Walter G. Jung, [Op Amp Applications](#), Analog Devices, 2002, ISBN 0-916550-26-5, 另见[Op Amp Applications Handbook](#), Elsevier/Newnes, 2005, ISBN 0-7506-7844-5.Chapter 1.

Copyright 2009, Analog Devices, Inc. All rights reserved. Analog Devices assumes no responsibility for customer product design or the use or application of customers' products or for any infringements of patents or rights of others which may result from Analog Devices assistance. All trademarks and logos are property of their respective holders. Information furnished by Analog Devices applications and development tools engineers is believed to be accurate and reliable, however no responsibility is assumed by Analog Devices regarding technical accuracy and topicality of the content provided in Analog Devices Tutorials.

多反馈带通滤波器设计示例

作者: ADI公司
Hank Zumbahlen

引言

本小型指南讨论多反馈带通滤波器设计示例，是一系列介绍运算放大器分立式电路的小型指南之一。

多反馈拓扑结构广泛用作带通滤波器，它能提供简单可靠的带通实施，特别是Q值低于20左右时。图1给出了多反馈带通滤波器的原理图。

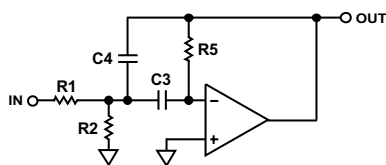


图1. 多反馈带通滤波器

本例中，滤波器采用任意选择的中心频率(F_0) (1 kHz)和Q(10)。放大器增益任意设定为1 (0 dB)。请注意，这不代表输出增益将小于或等于输入。事实上，由于滤波器功能的Q峰化，增益将为10 (20 dB)。

使用“多反馈带通滤波器设计方程”部分的设计方程，可以计算适当的元件值。请注意，计算出的元件值很可能不是标准值。

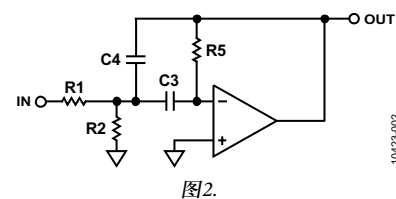
选择最接近的标准值。虽然这会造成一些误差，但通常不会超出规格。否则可能需要调谐。谐振频率 F_0 的调谐可通过可变的R2来实现。也可对电路的Q(参见MT-210)进行调节(通过R5)，但同时会改变 F_0 值。

调节 F_0 时，可将滤波器输入端与示波器的垂直通道相连，通过示波器水平通道对滤波器输出进行监控即可。结果显示为李萨如(Lissajous)图形，这一图形是一个椭圆，谐振时将退化一条直线，因为相移为180°。

也可对输出进行调节，以获得最大输出，谐振时同样会发生这种情况；但其精确度往往不够，Q值较低时尤其如此，因为低Q值存在不太明显的峰值。

多反馈带通滤波器设计方程

$$\frac{-H \omega_0 s}{s^2 + \alpha \omega_0 s + \omega_0^2}$$



$$\frac{V_O}{V_{IN}} = \frac{-s \frac{1}{R1 C4}}{s^2 + s \frac{C3 + C4}{C3 C4 R5}} + \frac{1}{R5 C3 C4} \left(\frac{1}{R1} + \frac{1}{R2} \right)$$

设计流程

选择C3。

那么

$$k = 2 \pi F_0 C3$$

$$C4 = C3$$

$$R1 = \frac{1}{H k}$$

$$R2 = \frac{1}{(2Q - H) k}$$

$$R5 = \frac{2Q}{k}$$

选择运算放大器时，请选择增益带宽积足以支持输出的放大器。本例中， F_0 为1 kHz。滤波功能引起的峰化为20 dB。作为安全措施，此器件添加了20 dB焊盘。因此运算放大器在1 kHz时必须具有至少40 dB的开环增益。本例中，AD711是任意选择的。

图3显示了AD711的开环增益。1 kHz时的开环增益约为65 dB，远高于要求水平。

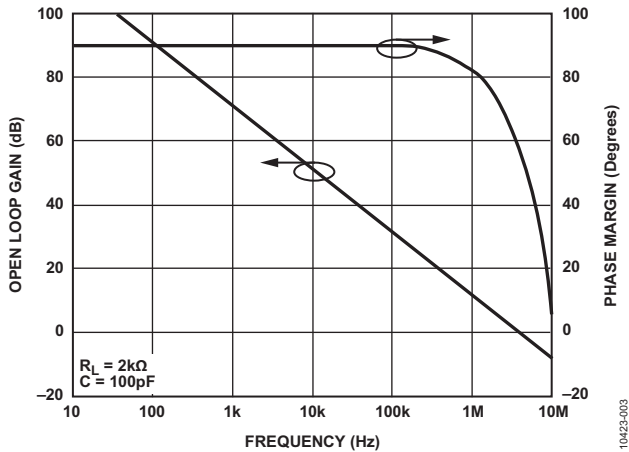


图3. AD711的开环增益

如果运算放大器的开环增益过低，Q乘法现象就会出现，并影响滤波器的响应。

多反馈带通滤波器最终设计

图4给出了滤波器的最终设计。电阻标准值已经替换。请注意，National Instrument电子实验台中显示了此电路。此程序的一种版本可从ADI公司网站下载。各种可供立即使用的电路，包括本滤波器，也可从上述网站下载。

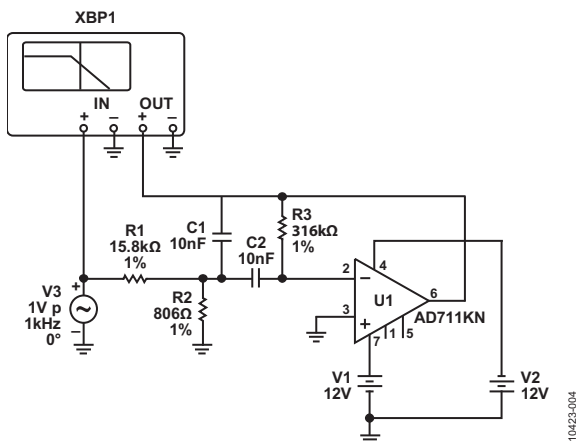


图4.

图5显示了该电路的电压；图6显示了相位响应。

修订历史

2012年2月—修订版0：初始版

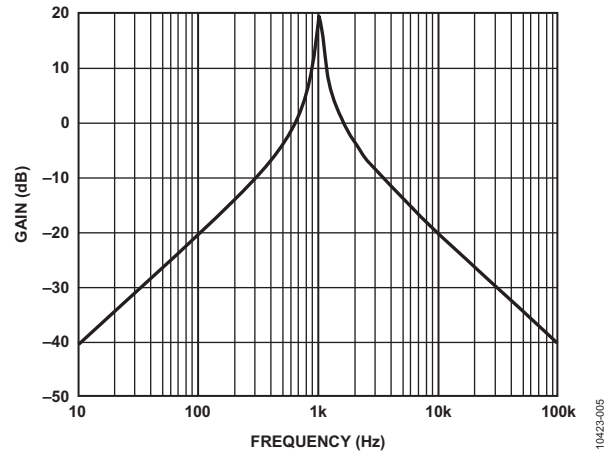


图5.

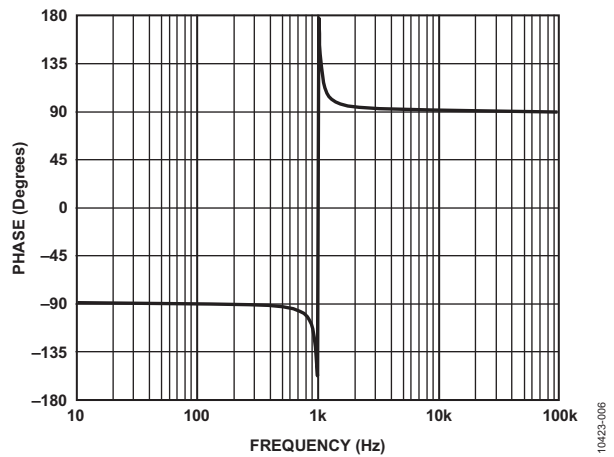


图6.

参考文献

- Jung, Walter G., editor. 2006. *Op Amp Applications Handbook*, Newnes, ISBN 0-916550-26-5.
- Kester, Walt, editor. 1992. *Amplifier Applications Guide*, Analog Devices, Inc. ISBN: 0-916550-10-9.
- Zumbahlen, Hank, editor. 2007. *Basic Linear Design*, Analog Devices, Inc. ISBN 0-916550-28-1.
- Zumbahlen, Hank. "Phase Relations in Active Filters." *Analog Dialogue*, Vol. 14, No. 4, 2008.
- Zumbahlen, Hank, editor, 2008. *Linear Circuit Design Handbook*, Newnes, ISBN 978-0-7506-8703-4.

多反馈滤波器

作者: ADI公司
Hank Zumbahlen

引言

本小型指南讨论三种多反馈滤波器设计示例, 是一系列介绍精密运算放大器分立式电路的小型指南之一。

多反馈滤波器是一种流行的滤波器结构, 以运算放大器作为积分器, 如图1所示。因而, 其传递函数对运算放大器参数的依赖度高于Sallen-Key设计。

受运算放大器开环增益所限, 难以生成高Q、高频节。一般来说, 运算放大器开环增益应至少比谐振(或截止)频率处的幅度响应高20 dB (X10), 其中包括滤波器Q所导致的峰值。Q影响峰值幅度 A_0 :

$$A_0 = H Q \quad (1)$$

其中, H为电路增益。多反馈滤波器会使信号相位发生反转, 等效于将结果形成的180°相移添加到滤波器自身的相移之上。

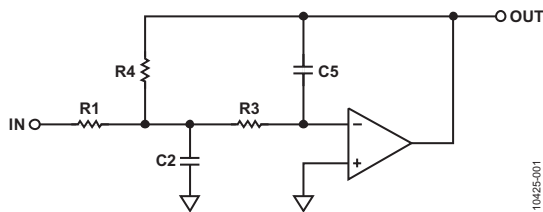


图1. 多反馈低通滤波器

多反馈滤波器的最大与最小元件值之比高于Sallen-Key设计。有关多反馈低通滤波器的设计方程, 请参见“多反馈低通滤波器设计方程”部分。

关于多反馈低通滤波器的论述也适用于高通滤波器(见图2)。同样, 通过交换电阻和电容, 可以将低通滤波器转换成高通滤波器。有关多反馈高通滤波器的设计方程, 请参见“多反馈高通滤波器设计方程”部分。

有关多反馈带通滤波器的设计方程, 请参见“多反馈带通滤波器设计方程”部分。

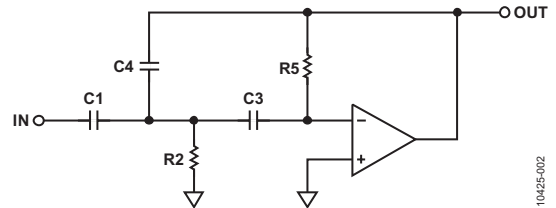


图2. 多反馈高通滤波器

此电路广泛应用于低Q (< 20)应用。通过改变R2, 即可对谐振频率 F_0 进行一定的调节。也可对Q进行调节(通过R5), 但同时会改变 F_0 值。

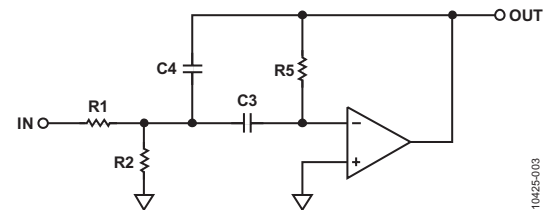


图3. 多反馈带通滤波器

调节滤波器 F_0 的一种方法是, 将滤波器输入端与示波器的垂直波道相连, 通过示波器水平波道对滤波器输出进行监控。结果显示为李萨如(Lissajous)图形, 由一个椭圆构成, 谐振时将变成一条直线, 因为相移为180°。另外, 也可对输出进行调节, 以获得最大输出, 谐振时同样会发生这种情况; 但其精确度往往不够, Q值较低时尤其如此, 因为低Q值存在不太明显的峰值。

多反馈低通滤波器设计方程

$$\frac{-H \omega_0^2}{s^2 + \alpha \omega_0 s + \omega_0^2}$$

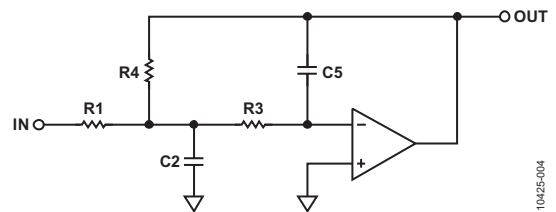


图4

$$\frac{V_O}{V_{IN}} = \frac{-H \frac{1}{R1 R3 C2 C5}}{s^2 + s \frac{1}{C2} \left(\frac{1}{R1} + \frac{1}{R3} + \frac{1}{R4} \right) + \frac{1}{R3 R4 C2 C5}}$$

要设计该滤波器，请选择C3。

那么

$$k = 2 \pi F_0 C5$$

$$C2 = \frac{4}{\alpha^2} (H + 1) C5$$

$$R1 = \frac{\alpha}{2 H k}$$

$$R3 = \frac{\alpha}{2 (H + 1) k}$$

$$R4 = \frac{\alpha}{2 k}$$

多反馈高通滤波器设计方程

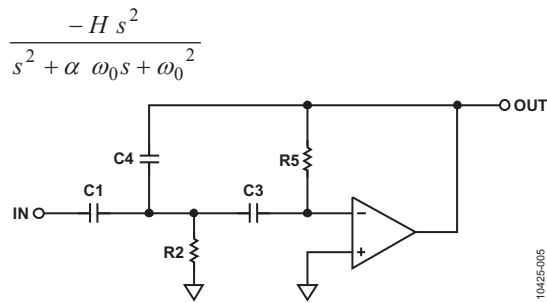


图5

$$\frac{V_O}{V_{IN}} = \frac{-s^2 \frac{C1}{C4}}{s^2 + s \left(\frac{C1 + C3 + C4}{C3 C4 R5} \right) + \frac{1}{R2 R5 C3 C4}}$$

要设计该滤波器，请选择C1。

那么

$$k = 2 \pi F_0 C1$$

$$C3 = C1$$

$$C4 = \frac{C1}{H}$$

$$R2 = \frac{\alpha}{k \left(2 + \frac{1}{H} \right)}$$

$$R5 = \frac{H \left(2 + \frac{1}{H} \right)}{\alpha k}$$

多反馈带通滤波器设计方程

$$\frac{-H \omega_0 s}{s^2 + \alpha \omega_0 s + \omega_0^2}$$

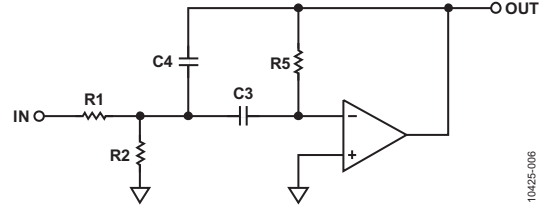


图6

$$\frac{V_O}{V_{IN}} = \frac{-s \frac{1}{R1 C4}}{s^2 + s \frac{C3 + C4}{C3 C4 R5} + \frac{1}{R5 C3 C4} \left(\frac{1}{R1} + \frac{1}{R2} \right)}$$

要设计该滤波器，请选择C3。

那么

$$k = 2 \pi F_0 C3$$

$$C4 = C3$$

$$R1 = \frac{1}{H k}$$

$$R2 = \frac{1}{(2Q - H) k}$$

$$R5 = \frac{2Q}{k}$$

参考文献

- Jung, Walter G., editor. 2002. *Op Amp Applications Handbook*, Newnes, ISBN 0-916550-26-5.
- Kester, Walt, editor. 1992. *Amplifier Applications Guide*, Analog Devices, Inc. ISBN 0-916550-10-9.
- Kester, Walt, editor. 2004. *Analog-Digital Conversion*, Analog Devices, Inc. ISBN 0-916550-27-3.
- Williams, A. B. 1981. *Electronic Filter Design Handbook*, McGraw-Hill. ISBN 0-07-070430-9.
- Zumbahlen, Hank, editor. 2007. *Basic Linear Design*, Analog Devices, Inc. ISBN 0-916550-28-1.
- Zumbahlen, Hank. "Phase Relations in Active Filters." *Analog Dialogue*, Vol. 14, No. 4, 2008.
- Zumbahlen, Hank, editor, 2008. *Linear Circuit Design Handbook*, Newnes, ISBN 978-0-7506-8703-4.

修订历史

2012年3月—修订版0：初始版

对数放大器基础知识

对数放大器的基本概念和术语

“对数放大器”这个术语有点用词不当，“对数转换器”更为贴切。将信号转换成其等效对数值涉及到一种非线性运算，如果不甚了解的话，其结果可能令人十分费解。必须注意，许多耳熟能详的线性电路概念与对数放大器毫无关系。例如，当输入接近零时，理想对数放大器的增量增益会接近无穷大，并且对数放大器输出的失调变化相当于其输入的幅度变化，而不是输入的失调变化。

为便于讨论，我们假定对数放大器的输入和输出均为电压，尽管也可以设计对数电流放大器、对数跨阻放大器或对数跨导放大器。

如果考虑等式 $Y = \log(X)$ ，我们会发现，每当 X 乘以常数 A ， Y 则按另一个常数 $A1$ 递增。因此，如果 $\log(K) = K1$ ，则 $\log(AK) = K1 + A1$ ， $\log(A^2K) = K1 + 2A1$ 且 $\log(K/A) = K1 - A1$ 。结果得到图1所示的曲线图，其中，当 X 为单位值时， Y 为零；当 X 接近零时， Y 逼近负无穷大；当 Y 为负时， X 无值。

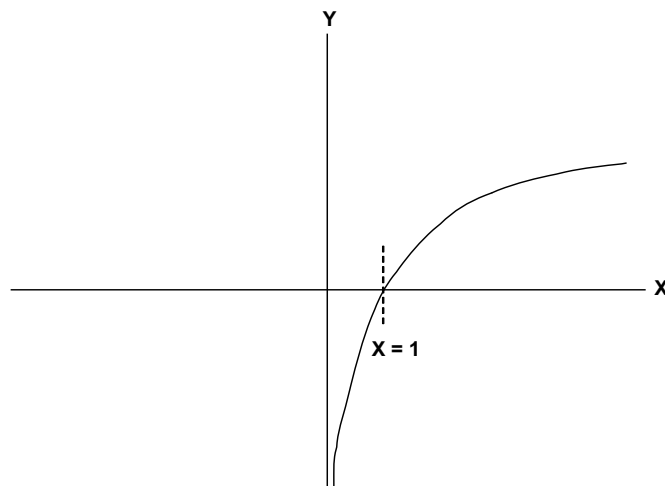


图1: $Y = \log(X)$ 的曲线图

总体而言，对数放大器的表现与此不同。除了很难排列无穷大负输出电压以外，这种器件实际上用处不大。

对数放大器必须满足以下传递函数：

$$V_{OUT} = V_Y \log(V_{IN}/V_X) \quad \text{等式 1}$$

其输入值范围可能为100:1 (40 dB)至1,000,000:1 (120 dB)以上。

当输入非常接近零时，对数放大器的表现不再具有对数特性，此时多数对数放大器会遵守线性 V_{IN}/V_{OUT} 法则。这种行为往往在器件噪声中丢失。噪声通常会限制对数放大器的动态范围。常数 V_Y 具有电压维度，因为输出是电压。输入 V_{IN} 除以电压 V_X ，因为对数的自变量必须是简单的无量纲比值。

对数放大器的传递特性曲线如图2所示。横轴(输入)为对数刻度，理想的传递特性为直线。当 $V_{IN} = V_X$ 时，对数为零($\log 1 = 0$)。因此， V_X 称为对数放大器的“截止电压”，因为其曲线在 V_{IN} 等于此值时与横轴相交。

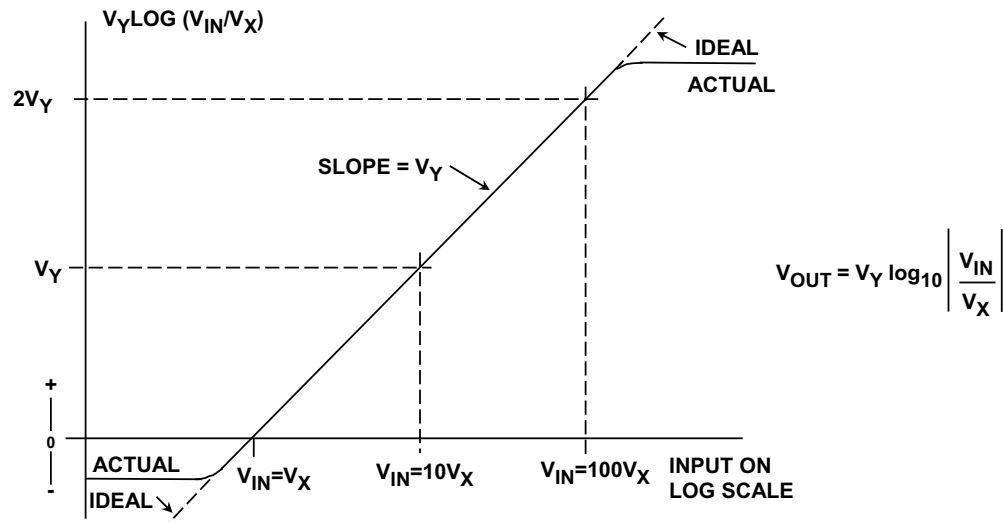


图2：对数放大器的传递函数

该曲线的斜率与 V_Y 成比例。在设置刻度时，通常采用基数为10的对数，因为这样可以简化其与分贝值的关系：当 $V_{IN} = 10V_X$ 时，对数值为1，因而输出电压为 V_Y 。当 $V_{IN} = 100V_X$ 时，输出为 $2V_Y$ ，依此类推。因而，可以将 V_Y 视为“斜率电压”或“V/10倍频程系数”。

当 x 为负值时，对数函数的值不确定。对数放大器可能以三种不同方式响应负输入：(1) 可能产生满量程负输出，如图3所示。(2) 可能产生与输入绝对值的对数成比例的输出，并忽略其符号，如图4所示。这类对数放大器可以视为具有对数特性的全波检波器，通常称为“检波”对数放大器。(3) 可能产生与输入绝对值的对数成比例的输出，且符号与输入相同，如图5所示。这类对数放大器可以视为具有对数特性的视频放大器，可以称为“对数视频”放大器，或者有时也称为“真对数放大器”。

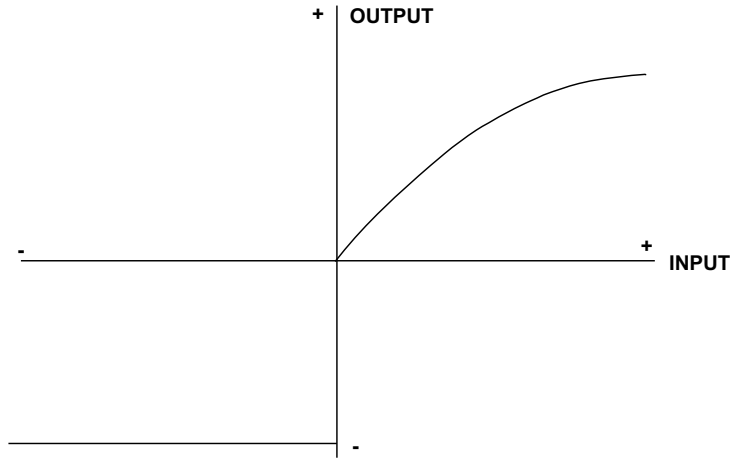


图3：基本型对数放大器(负输入时饱和)

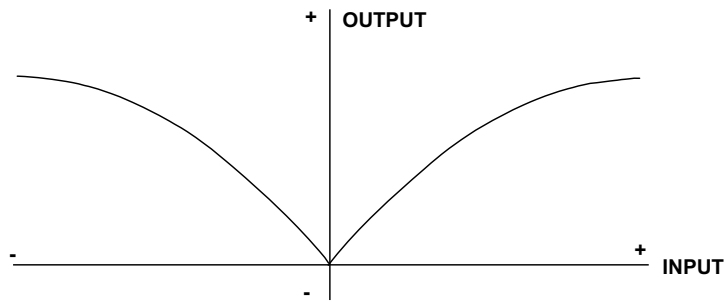
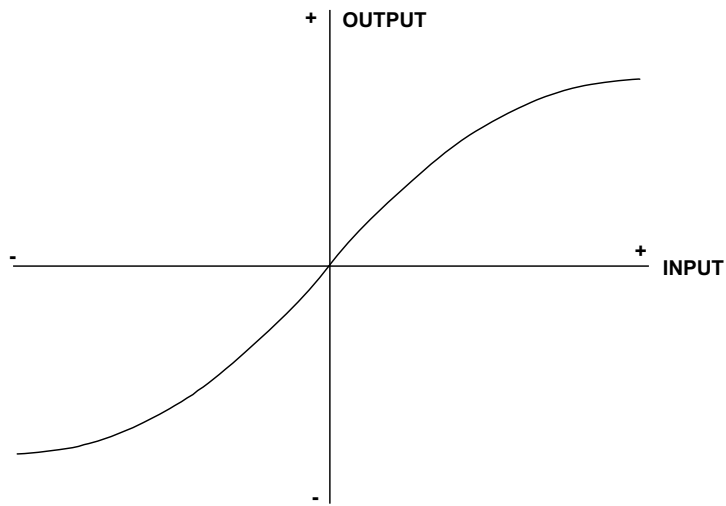


图4：检波对数放大器(输出极性与输入极性无关)



**图5：对数视频或“真对数放大器”
(对正或负信号的响应具有对称性)**

对数放大器的架构

对数放大器有三种基本架构可用：基本二极管对数放大器、连续检波对数放大器和基于级联半限幅放大器的“真对数放大器”。

硅二极管上的电压与流过它的电流的对数成比例。如果在反相运算放大器的反馈路径中放置一个二极管，则输出电压将与输入电流的对数成比例，如图6所示。

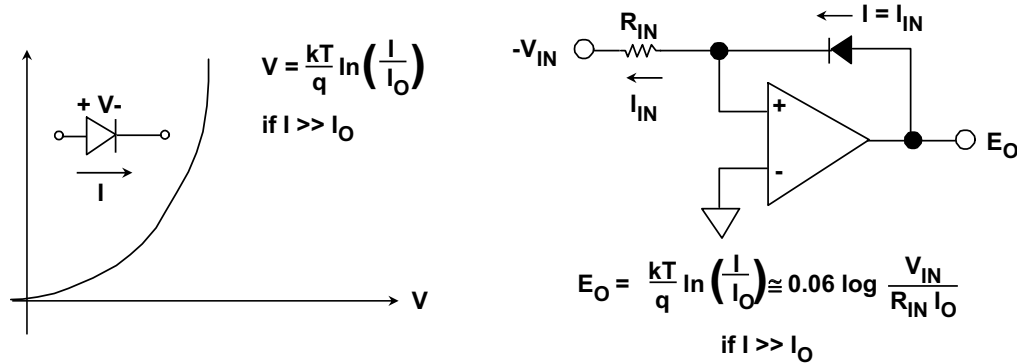


图6：基于二极管/运算放大器的对数放大器

实践中，这种配置的动态范围限制在40-60 dB之间，因为二极管的特性不甚理想；但是，如果用一个以二极管连接的晶体管取代这个二极管(如图7所示)，则动态范围可以扩展至120 dB或以上。

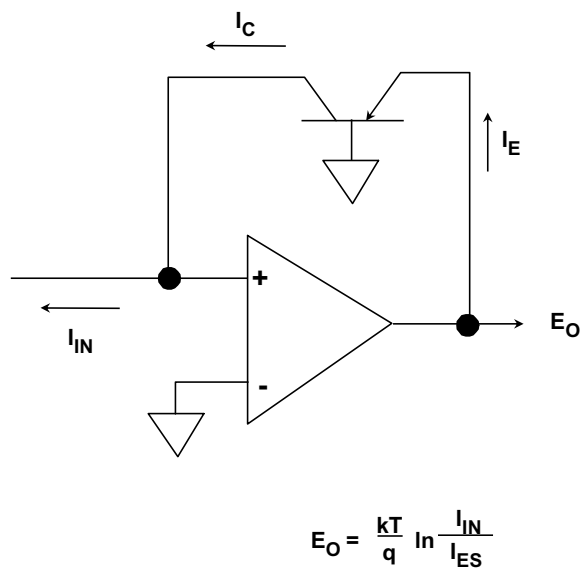


图7：基于晶体管/运算放大器的对数放大器

这类对数放大器有三个缺点：(1) 斜率和截距都受温度影响；(2) 只能处理单极性信号；(3) 其带宽受限且受信号幅度影响。如果在单个芯片上使用多个此类对数放大器来构建同时执行对数和反对数运算的模拟计算机，则在对数运算中，温度变化无关紧要，因为这会由反对数运算中的类似变化进行补偿。

[AD538](#)因此得以诞生，这是一款单芯片模拟计算机，可以进行乘法、除法和幂运算(见图8)。不过，实际进行对数运算时，AD538及类似电路需要温度补偿。对于高频应用，这类对数放大器的主要缺陷是频率响应受限——而且无法克服。无论设计放大器时如何谨慎，从输出到输入之间始终都存在残余反馈电容 C_c (通常称为密勒电容)，结果使高频响应受限(见图7)。

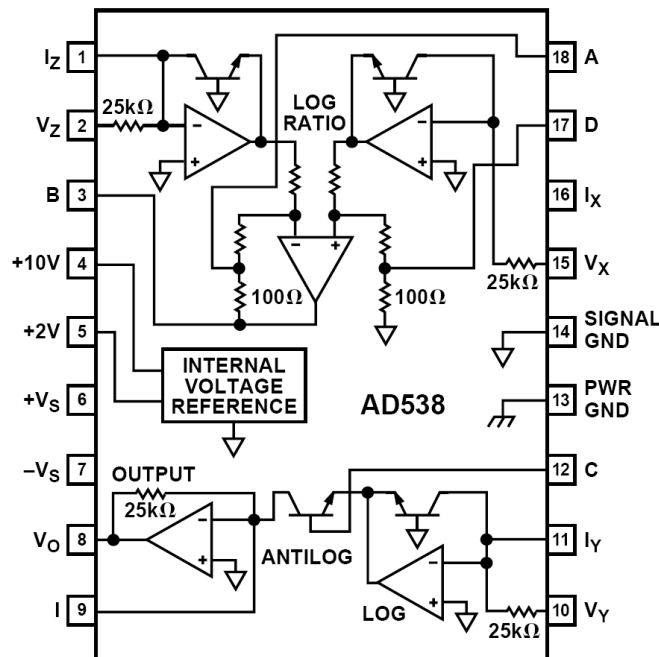


图8: AD538对数放大器的原理示意图

密勒电容的最大问题是，发射极-基极的结阻抗与流入它的电流成反比——因此，如果对数放大器的动态范围为1,000,000:1，则其带宽也会按1,000,000:1的比例变化。实际操作中，变化要小一些，因为其它考虑因素会影响大信号带宽，但是，很难使这类对数放大器的小信号带宽大于几百kHz。

适用于高频运算的对数放大器详见[指南MT-078](#)。

参考文献:

1. Hank Zumbahlen, *Basic Linear Design*, Analog Devices, 2006, ISBN: 0-915550-28-1. Also available as [*Linear Circuit Design Handbook*](#), Elsevier-Newnes, 2008, ISBN-10: 0750687037, ISBN-13: 978-0750687034. Chapter 2, 4.

Copyright 2009, Analog Devices, Inc. All rights reserved. Analog Devices assumes no responsibility for customer product design or the use or application of customers' products or for any infringements of patents or rights of others which may result from Analog Devices assistance. All trademarks and logos are property of their respective holders. Information furnished by Analog Devices applications and development tools engineers is believed to be accurate and reliable, however no responsibility is assumed by Analog Devices regarding technical accuracy and topicality of the content provided in Analog Devices Tutorials.

将运算放大器用作比较器

运算放大器和比较器乍看似乎可以互换，实际上，两者还是存在一些重要差异。比较器用于开环系统，旨在从其输出端驱动逻辑电路，以及在高速条件下工作，通常比较稳定。运算放大器的用途不同于比较器，过驱时可能会饱和，使得恢复速度相对较慢。施加较大差分电压时，很多运算放大器的输入级都会出现异常表现，实际上，运算放大器的差分输入电压范围通常存在限制。运算放大器输出也很少兼容逻辑电路。

但是仍有很多人试图将运算放大器用作比较器。这种做法在低速和低分辨率时或许可行，但是大多数情况下结果并不理想。单靠参考运算放大器数据手册不能解决将运算放大器用作比较器的所有相关问题，因为运算放大器设计的目的并非用作比较器。

最常见的问题是速度(之前已经提到过)、输入结构的影响(保护二极管、FET放大器的相位翻转等)、输出结构(并非用于驱动逻辑电路)、迟滞、稳定性，以及共模效应。

速度考虑因素

大多数比较器速度都很快，不过很多运算放大器速度也很快。为什么将运算放大器用作比较器时会造成低速度呢？

比较器用于大差分输入电压，而运算放大器工作时，差分输入电压一般会在负反馈的作用下下降至最低。当运算放大器过驱时，有时仅几毫伏也可能导致过载，其中有些放大级可能发生饱和。这种情况下，器件需要相对较长的时间从饱和中恢复，因此，如果发生饱和，其速度将比始终不饱和时慢得多(参见图1)。

过驱运算放大器的饱和恢复时间很可能远远超过放大器的正常群延迟，并且通常取决于过驱量。由于仅有少数运算放大器明确规定从不同程度过驱状态恢复所需的时间，因此，一般说来，有必要根据特定应用的具体过驱情况，通过实验确定放大器的特性。

对这类实验的结果应持谨慎态度，通过比较器(运算放大器)的传播延迟值(用于最差条件下的设计计算)应至少为所有实验中最差值的两倍。

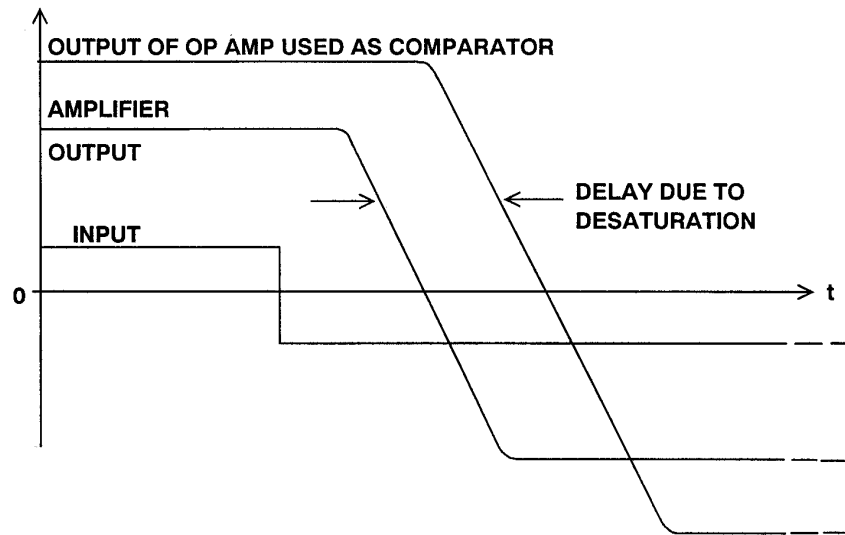


图1: 放大器用作比较器时的放大器速度饱和效应

输出考虑因素

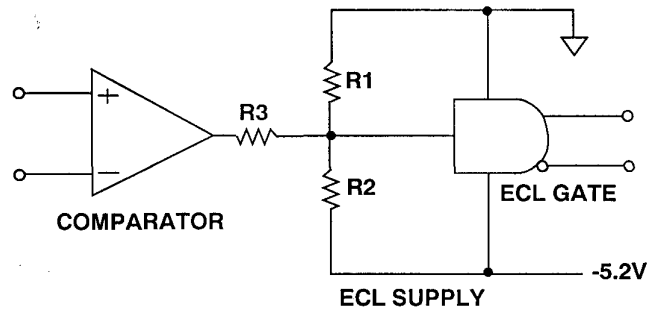
比较器的输出端用于驱动特定逻辑电路系列，运算放大器的输出端则用于在供电轨之间摆动。

通常，运算放大器比较器驱动的逻辑电路不会共用运算放大器的电源，运算放大器轨到轨摆动可能会超出逻辑供电轨，很可能会破坏逻辑电路，引起短路后还可能会破坏运算放大器。

有三种逻辑电路必须考虑，即ECL、TTL和CMOS。

ECL是一种极快的电流导引逻辑系列。基于上述原因，当应用中涉及ECL的最高速度时，运算放大器不太可能会用作比较器，因此，通常只需注意从运算放大器的信号摆幅驱动ECL逻辑电平，因杂散电容造成的额外速度损失并不重要。只需采用三个电阻即可，如图2所示。

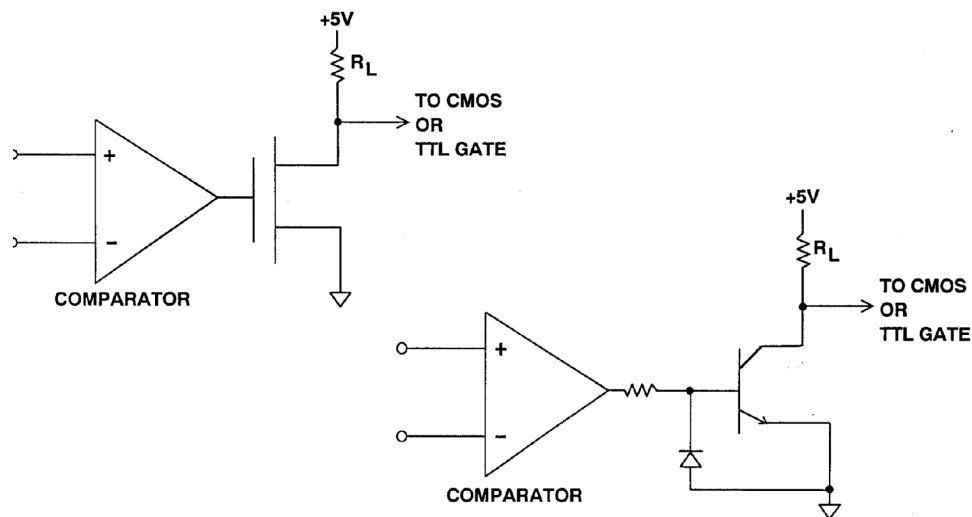
图中选用了R1、R2和R3，当运算放大器输出为正值时，栅级电平为-0.8 V，当输出较低时，栅级电平为-1.6 V。ECL有时候采用正电源而不是负电源(即另外一个供电轨接地)，采用的基本接口电路相同，但是数值必须重新计算。



■ LOW RESISTOR VALUES WILL MINIMIZE THE EFFECT OF STRAY CAPACITANCE BUT INCREASE POWER CONSUMPTION

图2: 驱动ECL逻辑电路的运算放大器比较器

虽然CMOS和TTL输入结构、逻辑电平和电流差别很大(尽管有些CMOS明确规定可以采用TTL输入电平工作),但由于这两种逻辑电路都在逻辑0(接近0 V)和逻辑1(接近5 V)时工作,因此非常适合采用相同的接口电路。



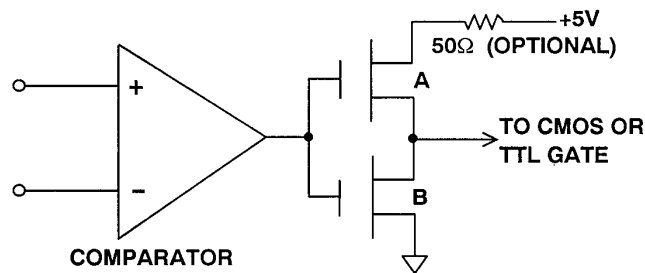
• Low resistor values will minimize the effects of stray capacitance but increase power consumption

图3: 驱动TTL或CMOS逻辑电路的运算放大器比较器

最简单的接口采用单个N沟道MOS晶体管和一個上拉电阻 R_L ,如图3所示。用NPN晶体管、 R_L ,外加一个晶体管和二极管也可以组成类似的电路。这些电路简单、廉价且可靠,

还可以连接多个并联晶体管和一个 R_L ，实现“线或”功能，但是0-1转换的速度取决于 R_L 值和输出节点的杂散电容。 R_L 值越低，速度越快，但是功耗也会随之增加。通过采用两个MOS器件、一个P沟道和一个N沟道，可以组成一个只需两个器件的CMOS/TTL接口，每种状态下都没有静态功耗(参见图4)。

此外，只需改变器件的位置，就可以设置成反相或同相。但是，当两个器件同时打开时，开关过程中势必会产生较大的浪涌电流，除非采用集成高通道电阻的MOS器件，否则就可能需要使用限流电阻来减小浪涌电流的影响。该图和图3中的应用所采用的MOS器件栅源击穿电压 V_{BGS} 在每个方向都必须大于比较器的输出电压。MOS器件中常见的栅源击穿电压值 $V_{BGS} > \pm 25\text{ V}$ ，这一数值通常绰绰有余，但是很多MOS器件内置栅级保护二极管，会减小这一数值，所以这些器件不应采用。



• Can be inverting or non-inverting, depending on placing of VMOS devices.

Inverting: A = P-channel/B = N-channel

Non-inverting: A = N-channel/B = P-channel

($V_{bgs} > \pm 25\text{ V}$ for both devices)

图4：内置CMOS驱动器的运算放大器比较器

输入考虑因素

对于用作比较器的运算放大器，还需考虑与其输入相关的多种影响因素。工程师对所有运算放大器和比较器做出的第一级假设是：它们具有无穷大的输入阻抗，并且可视为开路(电流反馈(跨导)运算放大器除外，这种运算放大器同相输入端具有高阻抗，但反相输入端只有几十欧姆的低阻抗)。

但是很多运算放大器(尤其是偏置补偿型运算放大器，如OP-07及其很多后继产品)都内置保护电路，以防止大电压损坏输入器件。

其它运算放大器则内置更复杂的输入电路，在施加的差分电压小于几十毫伏时只具有高阻抗，或者在差分电压大于几十伏时可能会损坏。因此，将运算放大器用作比较器时，如果施加大差分电压，必须仔细研究数据手册，才能确定输入电路的工作方式。(采用集成电路时，务必研究数据手册，确保其非理想特性(每个集成电路都存在一些非理想特性)兼容推荐的应用——本文中这点尤为重要。)图5所示为内置防止大差分电压输入二极管的运算放大器。

当然，有一些比较器应用不存在大差分电压，即使存在，比较器输入阻抗相对而言也不太重要。这种情况适合将运算放大器用作比较器，其输入电路表现为非线性，但是涉及的问题必须考虑，不能忽视。

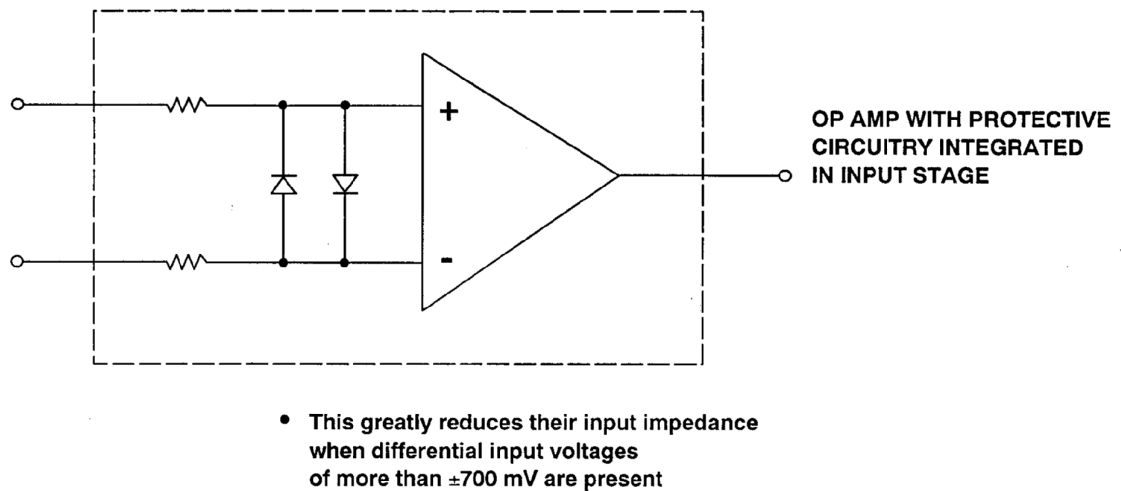


图5：具有保护功能的运算放大器输入结构

本研讨会其它地方提到过，对BIFET运算放大器而言，如果其输入接近其中一个电源(通常为负电源)，几乎都会表现异常。其反相和同相输入可以互换。如果运算放大器用作比较器时发生这种情况，涉及的系统相位将会反转，造成极大不便。要解决这一问题，还是必须仔细阅读数据手册，确定合适的共模范围。

而且，没有负反馈意味着与运算放大器电路不同，输入阻抗不必乘以开环增益。因此，输入电流会随着比较器开关而变化。因此，驱动阻抗和寄生反馈对影响电路稳定性起着重要作用。负反馈往往会使放大器保持在线性区域内，正反馈则会使其饱和。

总结

运算放大器设计的目的不是用作比较器，因此，本指南不太建议这种做法。尽管如此，在某些应用中，将运算放大器用作比较器却是正确的设计决策，关键是要慎重考虑后再做出决策，并确保所选运算放大器能达到预期的性能。因此，必须仔细阅读数据手册，认真考虑非理想运算放大器性能的影响，并计算出运算放大器参数对应用的影响。由于运算放大器以非标准方式使用，可能还必须进行某些实验——实验所用的放大器不一定具有典型性，因此，解读实验结果时不宜过于乐观。

参考文献：

1. Hank Zumbahlen, *Basic Linear Design*, Analog Devices, 2006, ISBN: 0-915550-28-1. Also available as [Linear Circuit Design Handbook](#), Elsevier-Newnes, 2008, ISBN-10: 0750687037, ISBN-13: 978-0750687034. Chapter 4.
2. Walt Kester, *Analog-Digital Conversion*, Analog Devices, 2004, ISBN 0-916550-27-3, Chapter 6. Also available as [The Data Conversion Handbook](#), Elsevier/Newnes, 2005, ISBN 0-7506-7841-0, Chapter 6.
3. Reza Moghimi, "[Amplifiers as Comparators.](#)" Ask The Applications Engineer-31, *Analog Dialogue* 37, April 2003.
4. [Analog Devices' Comparator Portfolio](#)

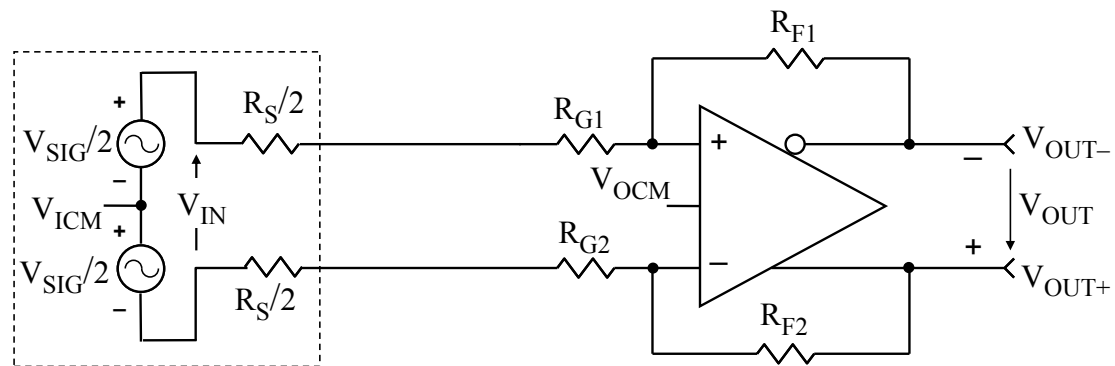
Copyright 2009, Analog Devices, Inc. All rights reserved. Analog Devices assumes no responsibility for customer product design or the use or application of customers' products or for any infringements of patents or rights of others which may result from Analog Devices assistance. All trademarks and logos are property of their respective holders. Information furnished by Analog Devices applications and development tools engineers is believed to be accurate and reliable, however no responsibility is assumed by Analog Devices regarding technical accuracy and topicality of the content provided in Analog Devices Tutorials.

差分驱动器分析

差分驱动器可以由单端或差分信号驱动。本教程利用无端接或端接信号源分析这两种情况。

情形1：差分输入、无端接信号源

图1显示一个差分驱动器由一个平衡的无端接信号源驱动。这种情况通常是针对低阻抗信号源，信号源与驱动器之间的连接距离非常短。



$$R_{G1} = R_{G2}$$

$$R_{F1} = R_{F2}$$

$$G = \frac{V_{OUT}}{V_{IN}} = \frac{V_{OUT+} - V_{OUT-}}{V_{SIG}} = \frac{R_{F1}}{R_{G1} + R_S/2}$$

图1：差分输入、无端接信号源

设计输入为源阻抗 R_S 、增益设置电阻 R_{G1} 和所需的增益 G 。注意：增益相对于信号电压源 V_{SIG} 进行测量。

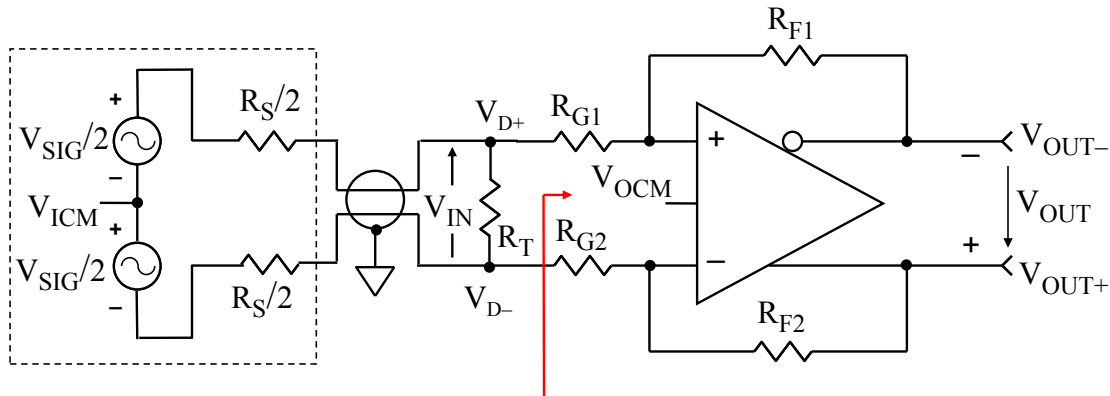
相对于信号源 V_{SIG} ，增益设置电阻的总值等于 $R_{G1} + R_S/2$ 。此外， $R_{G2} = R_{G1}$ 。

这样，所需的反馈电阻值($R_{F1} = R_{F2}$)就可以通过下式计算：

$$R_{F1} = R_{F2} = G \left(R_{G1} + \frac{R_S}{2} \right) \quad \text{公式 1}$$

情形2：差分输入、端接信号源

许多情况下，差分驱动源需要驱动双绞线，此时必须将双绞线端接为其特征阻抗，以便保持高带宽并使反射最小，如图2所示。



$$R_{IN} = R_{G1} + R_{G2} = 2R_{G1}$$

$$R_{G1} = R_{G2}$$

$$R_{F1} = R_{F2}$$

$$G = \frac{V_{OUT}}{V_{IN}} = \frac{V_{OUT+} = V_{OUT-}}{V_{D+} - V_{D-}} = \frac{R_{F1}}{R_{G1}}$$

图2：差分输入、端接信号源

设计输入为源阻抗 R_S 、增益设置电阻 R_{G1} 和所需的增益 G 。注意：对于端接情形，增益是相对于端接电阻的差分电压($V_{IN} = V_{D+} - V_{D-}$)进行测量。

对于平衡的差分驱动，输入阻抗 R_{IN} 等于 $2R_{G1}$ 。端接电阻 R_T 按照如下条件选择： $R_T || R_{IN} = R_S$ ，或者

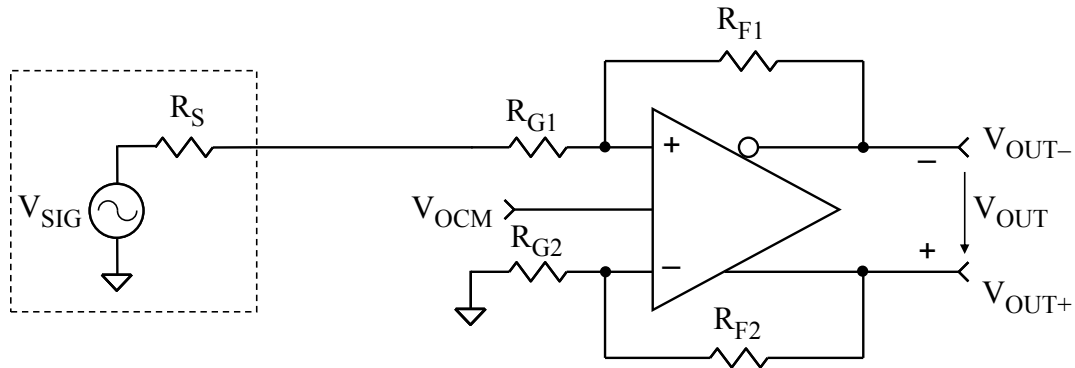
$$R_T = \frac{1}{\frac{1}{R_S} - \frac{1}{2R_{G1}}} \tag{公式 2}$$

这样，所需的反馈电阻值($R_{F1} = R_{F2}$)就可以通过下式计算：

$$R_{F1} = R_{F2} = G \cdot R_{G1} \tag{公式 3}$$

情形3：单端输入、无端接信号源

许多应用中，差分放大器会提供一种有效的途径将单端信号转换成差分信号。图3显示的是无端接单端驱动器的情形。



$$R_{G2} = R_{G1} + R_S$$

$$R_{F1} = R_{F2}$$

$$G = \frac{V_{OUT}}{V_{SIG}} = \frac{V_{OUT+} - V_{OUT-}}{V_{SIG}} = \frac{R_{F1}}{R_{G1} + R_S}$$

图3：单端输入、无端接信号源

设计输入为源阻抗 R_S 、增益设置电阻 R_{G1} 和所需的增益 G 。注意：增益相对于信号电压源 V_{SIG} 进行测量。

为了防止 V_{OCM} 在差分输出端产生不良的失调电压，差分放大器的两个输入端看到的净阻抗必须相等。因此，

$$R_{G2} = R_{G1} + R_S \quad \text{公式 4}$$

这样，反馈电阻值就可以通过下式计算：

$$R_{F1} = R_{F2} = G(R_{G1} + R_S) \quad \text{公式 5}$$

情形4：单端输入、端接信号源

图4显示一个极常见的应用，其中单端信号源驱动一条同轴电缆；为使反射最小并且保持高带宽，必须适当端接同轴电缆。

设计输入为源阻抗 R_S 、增益设置电阻 R_{G1} 和所需的增益 G 。注意：增益相对于端接电阻的电压 V_{IN} 进行测量。

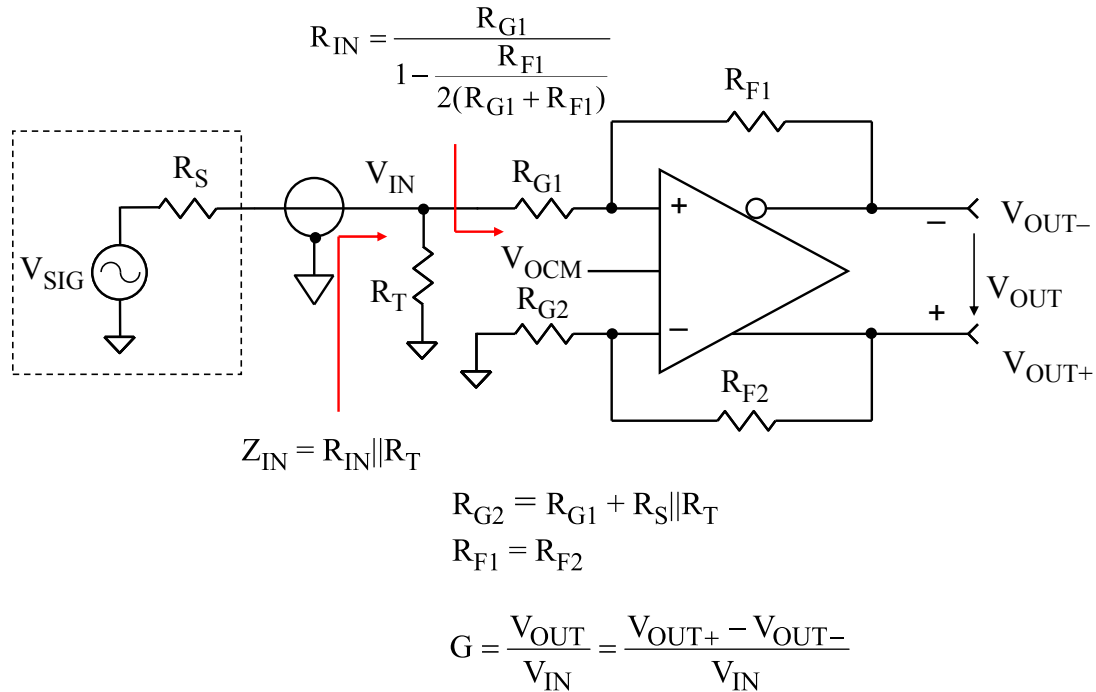


图4：单端输入、端接信号源

已知所需的增益 G 、增益设置电阻 R_{G1} 和信号源电阻 R_S ，计算反馈电阻 R_{F1A} 的初始值。此电阻的最终值将会略有提高，原因是需要提高 R_{G2} 以匹配输入阻抗，这将通过后面的公式计算。计算过程如下：

$$R_{F1A} = G \cdot R_{G1} \tag{公式 6}$$

$$R_{IN} = \frac{R_{G1}}{1 - \frac{R_{F1A}}{2(R_{G1} + R_{F1A})}} \tag{公式 7}$$

$$R_T = \frac{1}{\frac{1}{R_S} - \frac{1}{R_{IN}}} \quad \text{公式 8}$$

$$R_{TS} = \frac{R_S R_T}{R_S + R_T} \quad \text{公式 9}$$

$$R_{G2} = R_{G1} + R_{TS} \quad \text{公式 10}$$

输入电压 V_{IN} 与信号源电压 V_{SIG} 具有如下关系:

$$V_{IN} = V_{SIG} \left[\frac{R_T \parallel R_{IN}}{(R_T \parallel R_{IN}) + R_S} \right] \quad \text{公式 11}$$

$$V_{SIG} = V_{IN} \left[\frac{(R_T \parallel R_{IN}) + R_S}{R_T \parallel R_{IN}} \right] \quad \text{公式 12}$$

为了计算反馈电阻的最终值, 使用图5所示的戴维宁等效电路。

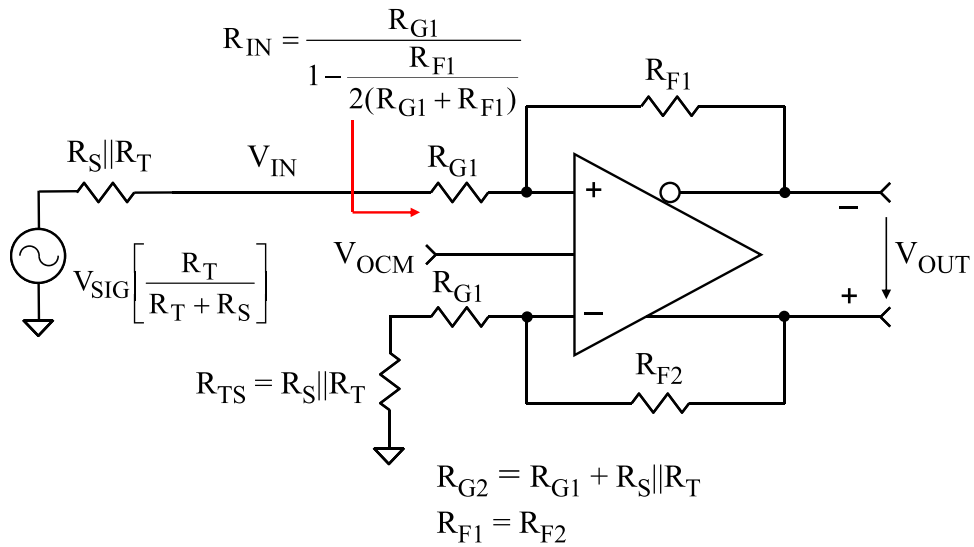


图5: 戴维宁等效输入电路

输出电压可以表示为源电压的函数：

$$V_{OUT} = V_{SIG} \left[\frac{R_T}{R_T + R_S} \right] \left[\frac{R_{F2}}{R_{G2}} \right] \quad \text{公式 13}$$

将求解 V_{SIG} 的公式12代入公式13：

$$V_{OUT} = V_{IN} \left[\frac{(R_T \parallel R_{IN}) + R_S}{R_T \parallel R_{IN}} \right] \left[\frac{R_T}{R_T + R_S} \right] \left[\frac{R_{F2}}{R_{G2}} \right] \quad \text{公式 14}$$

$$G = \frac{V_{OUT}}{V_{IN}} = \left[\frac{(R_T \parallel R_{IN}) + R_S}{R_T \parallel R_{IN}} \right] \left[\frac{R_T}{R_T + R_S} \right] \left[\frac{R_{F2}}{R_{G2}} \right] \quad \text{公式 15}$$

正确端接时， $R_S = R_T \parallel R_{IN}$ ，因此公式15可以简化为：

$$G = \left[\frac{2R_T}{R_T + R_S} \right] \left[\frac{R_{F2}}{R_{G2}} \right] \quad \text{公式 16}$$

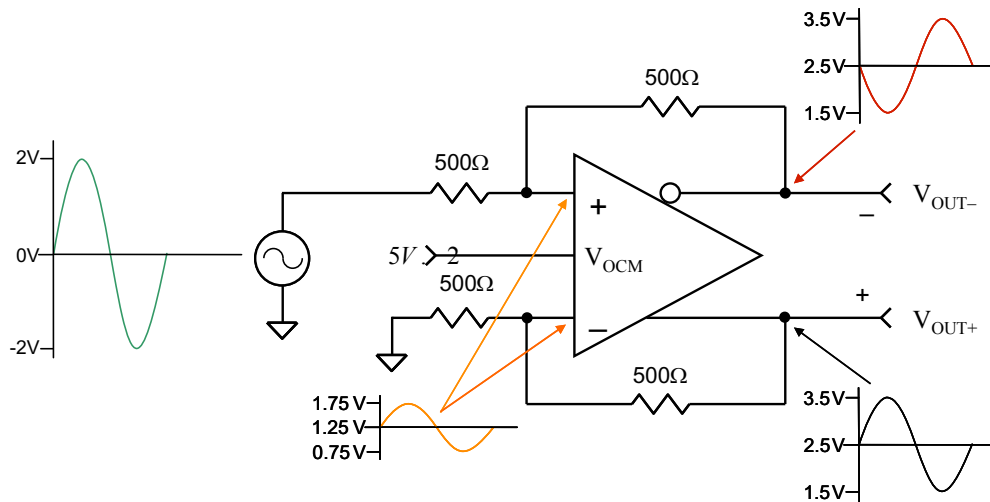
通过公式16求解 $R_{F2} = R_{F1}$ ：

$$R_{F2} = R_{F1} = G \left[\frac{R_{G2}(R_S + R_T)}{2R_T} \right] \quad \text{公式 17}$$

共模输入和输出考虑

使用差分放大器时必须小心，确保不要超过输入和输出共模电压范围，单电源应用中尤其需要注意。

图6所示为差分放大器的一个应用：为了驱动一个ADC，必须将以地为基准的单端双极性信号转换成差分信号。本例中，ADC的共模输入电压为+2.5 V，ADC的差分输入摆幅为4 V p-p。如果电源电压至少为+5 V，那么有许多差分放大器可以处理该输出摆幅。



- ◆ Input CM Voltage is a Scaled Replica of the Input Signal
- ◆ Input CM Voltage Partially Bootstraps R_g , Raising Effective Input Resistance
- ◆ Single-Supply Application can Accept Bipolar Input
- ◆ Must Ensure That Input Common-Mode Voltage Stays Within Specified Limits

图6：采用双极性输入信号时单端差分转换器的输入/输出共模要求

图6同时显示了放大器(+)和(-)引脚的对应输入信号摆幅。注意，它是输入信号的缩放形式。这种情况下，差分放大器必须支持+0.75 V至+1.75 V的输入共模电压范围。同样，许多差分放大器满足这一要求。

图7所示为差分放大器转换单端单极性信号的应用。

此时，共模输出电压设置为+2 V。输入信号摆幅为0 V至+4 V。放大器输入引脚的对应信号摆幅为+1.5 V至+2.5 V。放大器输出摆幅必须为+1 V至+3 V。采用所需的电源电压工作时，所选的差分放大器必须支持上述要求。

[ADIsimDiffAmp](#)交互式设计工具可以为ADI公司的各种差分放大器执行上述输入/输出信号计算，从而大大简化选型过程。如果信号超出输入或输出的容许范围，就会产生错误标志。

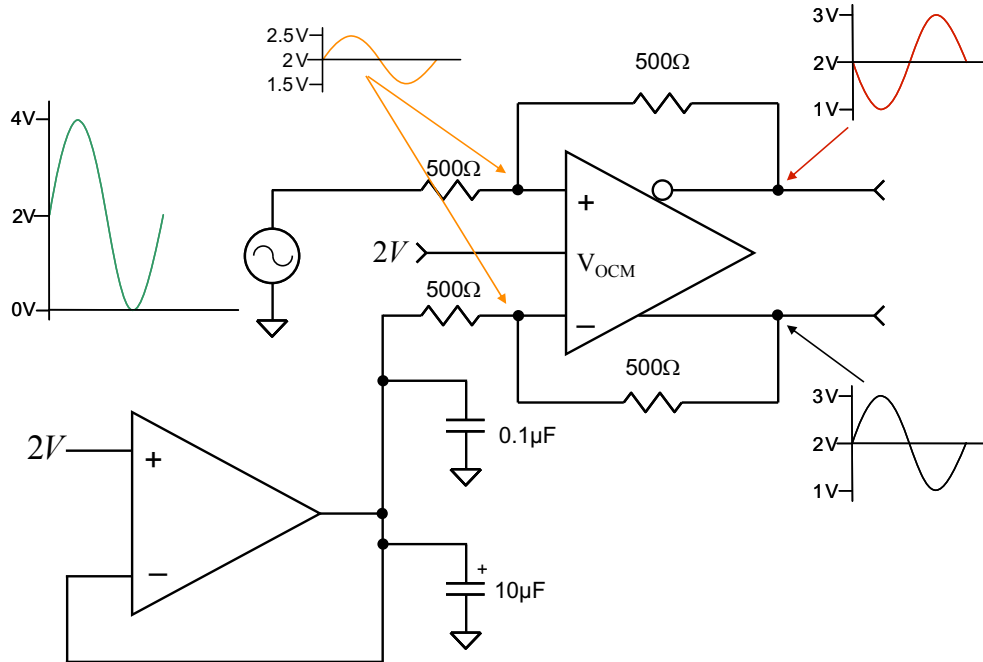


图7：采用单极性输入信号时单端差分转换器的输入/输出共模要求

交流耦合驱动器应用

差分驱动器的交流耦合应用相当简单。图8显示了一个典型的单端转差分交流耦合驱动器。注意：为了实现最佳失真性能，各输入端的阻抗必须平衡。输入电路的低频截止频率等于：

$$f_C = \frac{1}{2\pi R_{G1} C_C} \quad \text{公式 18}$$

所选的 C_C 值应使得此频率至少比最小目标信号频率低10倍。

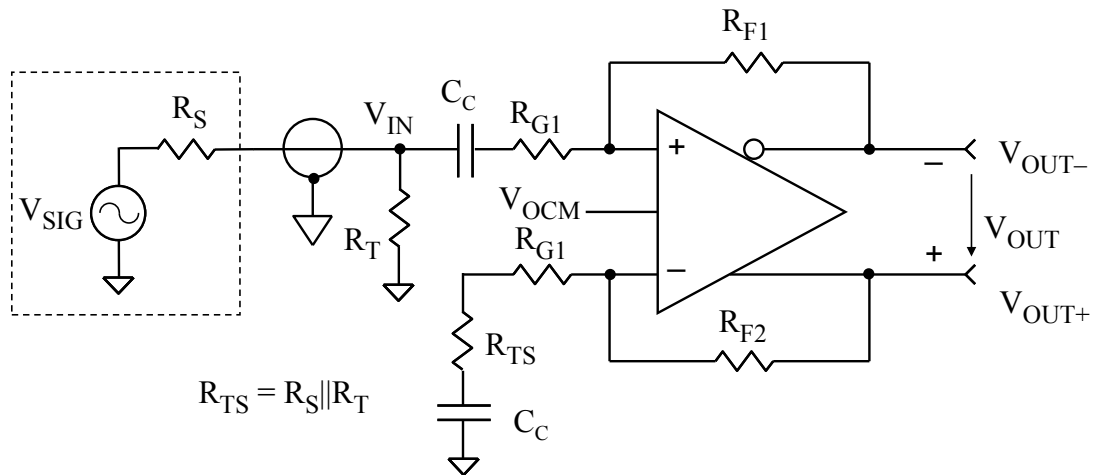


图8：典型交流耦合驱动器应用

参考文献

1. Hank Zumbahlen, *Basic Linear Design*, Analog Devices, 2006, ISBN: 0-915550-28-1. Also available as [Linear Circuit Design Handbook](#), Elsevier-Newnes, 2008, ISBN-10: 0750687037, ISBN-13: 978-0750687034. Chapter 2.
2. Walter G. Jung, *Op Amp Applications*, Analog Devices, 2002, ISBN 0-916550-26-5, Also available as [Op Amp Applications Handbook](#), Elsevier/Newnes, 2005, ISBN 0-7506-7844-5. Chapter 3.
3. Walt Kester, *Analog-Digital Conversion*, Analog Devices, 2004, ISBN 0-916550-27-3, Chapter 6. Also available as [The Data Conversion Handbook](#), Elsevier/Newnes, 2005, ISBN 0-7506-7841-0, Chapter 6.
4. Walt Kester, *High Speed System Applications*, Analog Devices, 2006, ISBN-10: 1-56619-909-3, ISBN-13: 978-1-56619-909-4, Chapter 2.
5. [ADIsimDiffAmp](#), an Analog Devices' on-line interactive design tool for differential amplifiers.

Copyright 2009, Analog Devices, Inc. All rights reserved. Analog Devices assumes no responsibility for customer product design or the use or application of customers' products or for any infringements of patents or rights of others which may result from Analog Devices assistance. All trademarks and logos are property of their respective holders. Information furnished by Analog Devices applications and development tools engineers is believed to be accurate and reliable, however no responsibility is assumed by Analog Devices regarding technical accuracy and topicality of the content provided in Analog Devices Tutorials.

差动放大器和电流检测放大器

基本减法器或差动放大器

简单的减法器或差动放大器可由四个电阻和一个运算放大器组成，如下图1所示。必须注意，这不是一个仪表放大器(见[指南MT-061](#))，但常用于只需简单的差分至单端转换的应用中，如电流检测。

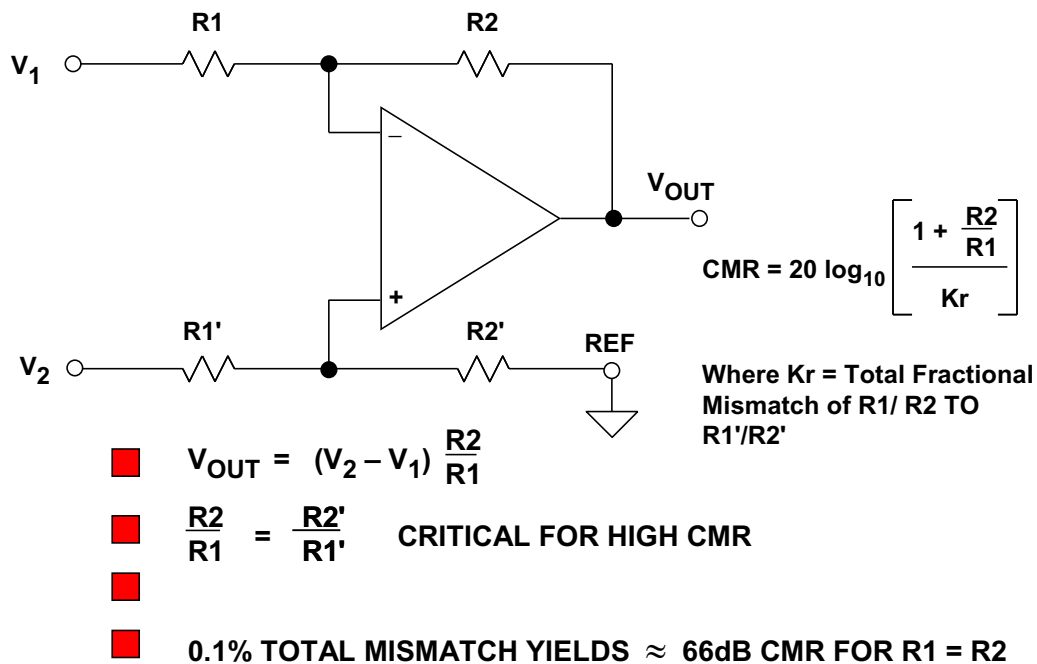


图1: 运算放大器减法器或差动放大器

这个简单电路存在几个基本问题。首先，从 V_1 和 V_2 获得的输入阻抗不平衡。从 V_1 获得的输入阻抗为 R_1 ，从 V_2 获得的输入阻抗则为 $R_1' + R_2'$ 。就共模抑制而言，配置也可能出现问题，因为即使是很小的源阻抗不平衡也会降低可用的共模抑制。采用和每个输入串联且匹配良好的开环缓冲器可以解决该问题(例如，采用精密双通道运算放大器)。但是，这会增加简单电路的复杂性，还可能会导致失调漂移和非线性。

该电路的第二个问题是共模抑制主要由电阻比匹配决定，而非运算放大器。电阻比 R_1/R_2 和 R_1'/R_2' 必须与抑制共模噪声严格匹配，至少与典型运算放大器的共模抑制相当(≥ 100 dB)。还应注意，电阻绝对值相对而言不太重要。

从一批电阻中选择四个1%的电阻可能会产生0.1%的净电阻比匹配，使共模抑制达到66 dB（假设 $R_1 = R_2$ ）。但是如果其中一个电阻和其它电阻相差1%，共模抑制可能会下降至仅46 dB。显然，该电路采用普通分离电阻所获得的性能非常有限（不采用手动匹配）。因为最好的标准现成RNC/RNR型电阻的容差约为0.1%。

一般而言，这种电路最差情况下的共模抑制可通过下式计算：

$$\text{CMR}(\text{dB}) = 20 \log \left[\frac{1 + R_2 / R_1}{4K_r} \right], \quad \text{等式 1}$$

其中 K_r 是小数形式的单电阻容差，此时采用4个分立电阻。上式显示，4个未选中的相同标称值的1%电阻容差增大时，最差情况下的共模抑制不会优于34 dB。

该电路可能会采用净匹配容差为 K_r 的单电阻网络，此时表达式如图所示，即：

$$\text{CMR}(\text{dB}) = 20 \log \left[\frac{1 + R_2 / R_1}{K_r} \right] \quad \text{等式 2}$$

用公式2计算，假定 $R_1 = R_2$ ，电阻比的净匹配容差为0.1%时，可得出最差情况的直流共模抑制为66 dB。注意，两种情况均假定较高的放大器共模抑制（即>100 dB）。显然，对高共模抑制而言，此类电路需要四个具有极高绝对值及温度系数匹配的单基板电阻。此类网络采用厚/薄膜技术，Caddock和Vishay公司均可提供，比率匹配0.01%或更佳。

采用简单差动放大器时，为了不增加精密运算放大器的成本、限制PCB面积及产生单独电阻网络，通常最好能找出完整的单芯片解决方案。[AMP03](#)就是这样一款精密差动放大器，其中包括片内激光调整精密薄膜电阻网络。如下图2所示。AMP03F典型的共模抑制为100 dB，小信号带宽为3 MHz。

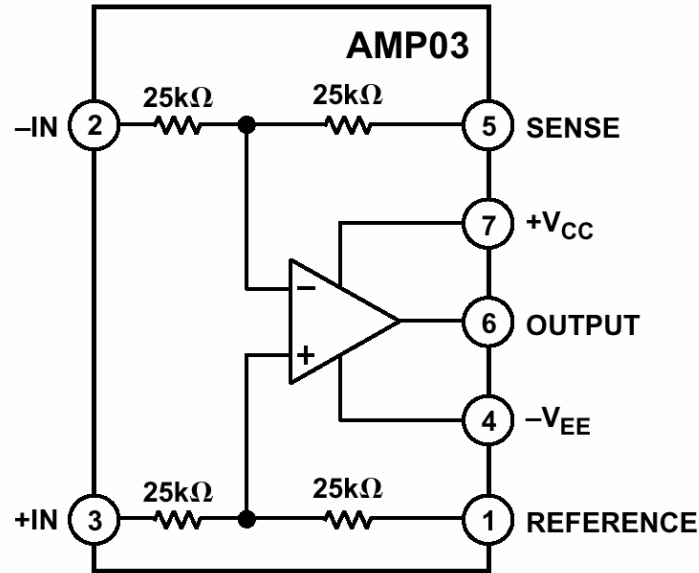
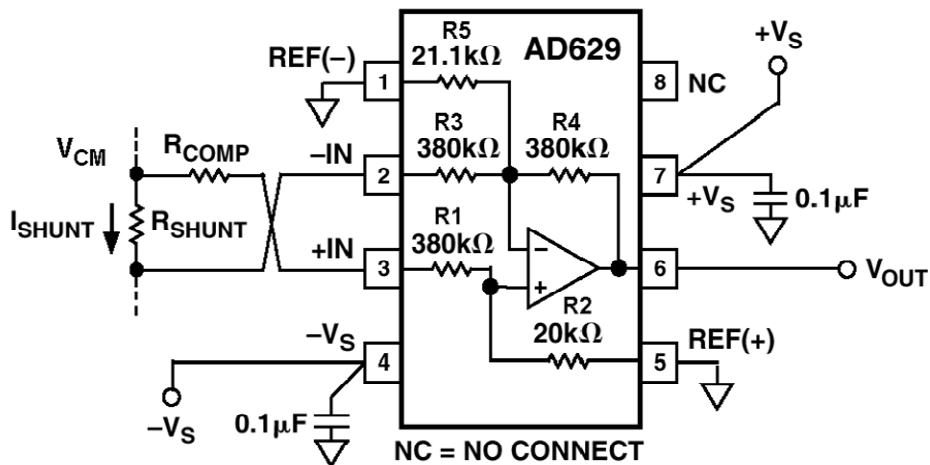


图2: AMP03精密差动放大器

简单的放大器还有一点值得关注，可以在AD629差动放大器中看到，这款放大器针对高共模输入电压进行了优化，典型的电流检测应用如下图3所示。AD629是一款单位增益差分转单端放大器，可以处理±270 V的共模电压，电源电压为±15 V，小信号带宽为500 kHz。



$$V_{CM} = \pm 270V \text{ for } V_S = \pm 15V$$

图3: 采用AD629差动放大器的高共模电流检测

采用R1-R2分压器网络将同相输入(引脚3)衰减20倍,可以获得高共模电压范围。对于反相输入则选用电阻R5,使 $R5||R3$ 等于电阻R2。电路的噪声增益等于 $20 [1 + R4/(R3||R5)]$,从而为差分输入电压提供单位增益。通过对R1-R5薄膜电阻进行激光晶圆调整,可使AD629B的最小共模抑制达到86 dB (500 Hz)。在应用中,最好的做法是使两个输入的源阻抗保持平衡,因此选用虚拟电阻 R_{COMP} 来平衡分流检测电阻 R_{SHUNT} 的阻值。

基于差动放大器的电流检测应用

差动放大器通常用于电流检测应用。图4所示为专门针对汽车应用而优化的AD8202差动放大器的框图。

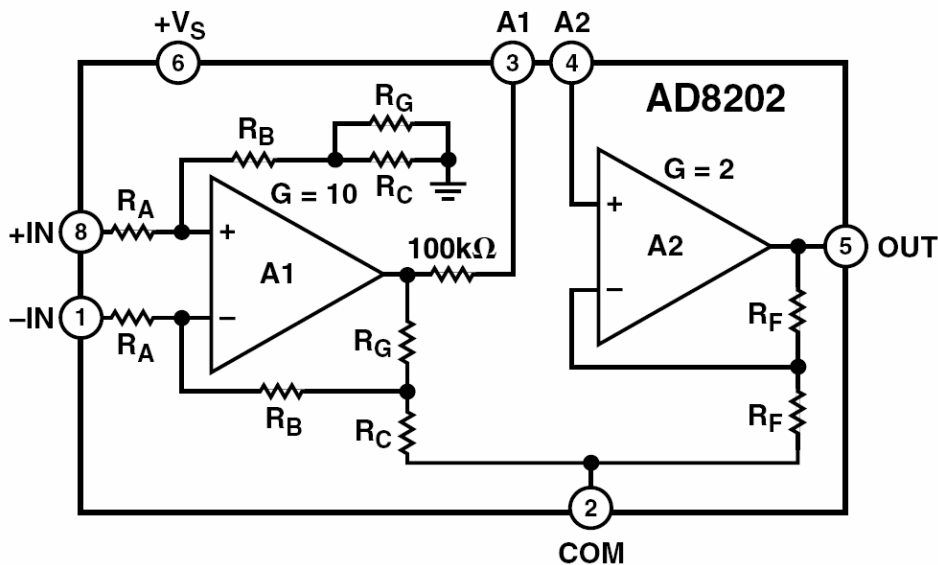


图4: AD8202电流检测差动放大器

A1输入放大器配置为一个简单的减法器或差动放大器,增益为10。A2放大器提供大小为2的额外同相增益。当AD8202采用3.5 V至12 V的单电源供电时,通过使用薄膜电阻,可以支持最高28 V的输入共模电压。薄膜电阻同时提供0.01%以内的匹配精度,结果产生80 dB的总共模抑制比。

图5显示了如何在电池电流检测应用中将AD8202配置为高端和低端工作模式。箝位二极管保护AD8202输入,使其免受(功率器件突然关闭时产生的)感性尖峰的伤害。通过一个四引脚(开尔文检测)分流电阻来检测电流。

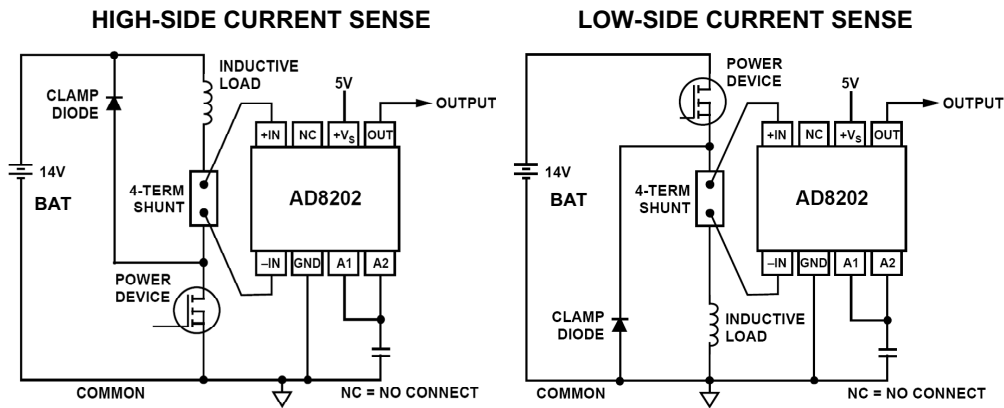


图5：利用AD8202 28V差动放大器实现高端和低端电池电流检测

前面讨论的差动放大器利用薄膜电阻来对输入电压进行分压，从而实现高共模输入电压。另一方面，[AD8210](#)、[AD8211](#)、[AD8212](#)、[AD8213](#)和[AD8215](#)五款差动放大器则借助其输入晶体管的高击穿电压来实现65 V的高共模输入电压。这样可以获得更高的带宽、更高的输入阻抗。这种架构还具有低噪声特性，因为输入信号不会先进行衰减。在典型应用中，AD8210放大由分流电阻中流过的负载电流产生的小差分输入电压。AD8210能够抑制高共模电压(最高65 V)，并提供以地为参考的缓冲输出，以便与模数转换器(ADC)连接。图6显示了AD8210的原理图示意图。

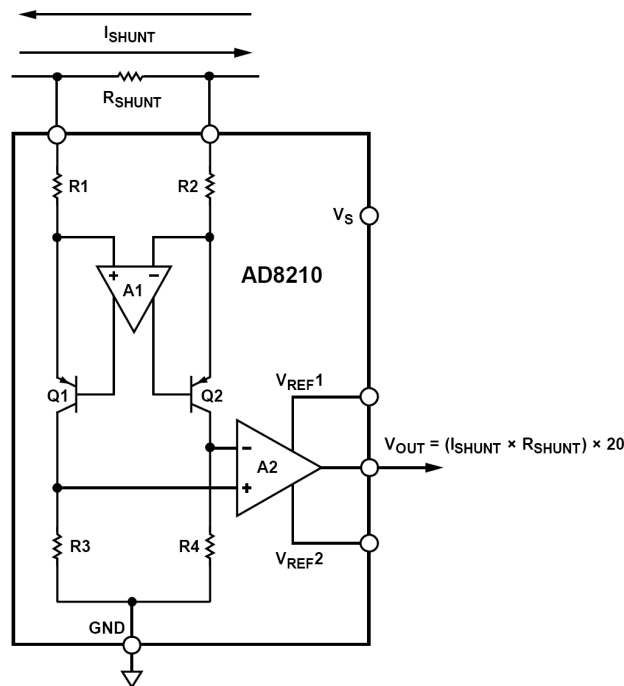


图6：AD8210高压(65V)双向分流监控器

AD8210主要包括两个模块：一个差分放大器和一个仪表放大器。流经外部分流电阻的负载电流在AD8210的输入端产生电压。输入端通过R1和R2连接到差分放大器(A1)。放大器A1利用Q1和Q2调整流经R1和R2的电流，使其自身输入端上的电压为零。当AD8210的输入信号为0 V时，R1和R2中的电流相等。当该差分信号非零时，一个电阻中的电流增大，另一个电阻中的电流则减小。电流差与输入信号的大小和极性成比例。

R3和R4将流经Q1和Q2的差分电流转换为差分电压。A2配置为仪表放大器，用于将该差分电压转换为单端输出电压。增益通过精密调整的薄膜电阻在内部设置为20 V/V。

使用 V_{REF1} 和 V_{REF2} 引脚可以轻松调整输出基准电压。在典型配置中， V_{REF1} 连接到 V_{CC} ，而 V_{REF2} 连接到GND。这种情况下，当输入信号为0 V时，输出以 $V_{CC}/2$ 为中心。

参考文献：

1. Hank Zumbahlen, *Basic Linear Design*, Analog Devices, 2006, ISBN: 0-915550-28-1. Also available as [Linear Circuit Design Handbook](#), Elsevier-Newnes, 2008, ISBN-10: 0750687037, ISBN-13: 978-0750687034. Chapter 2.
2. Walter G. Jung, *Op Amp Applications*, Analog Devices, 2002, ISBN 0-916550-26-5, Also available as [Op Amp Applications Handbook](#), Elsevier/Newnes, 2005, ISBN 0-7506-7844-5. Chapter 2.
3. Charles Kitchin and Lew Counts, *A Designer's Guide to Instrumentation Amplifiers, 3rd Edition*, Analog Devices, 2006.

Copyright 2009, Analog Devices, Inc. All rights reserved. Analog Devices assumes no responsibility for customer product design or the use or application of customers' products or for any infringements of patents or rights of others which may result from Analog Devices assistance. All trademarks and logos are property of their respective holders. Information furnished by Analog Devices applications and development tools engineers is believed to be accurate and reliable, however no responsibility is assumed by Analog Devices regarding technical accuracy and topicality of the content provided in Analog Devices Tutorials.

巴特沃兹响应

作者: ADI公司
Hank Zumbahlen

引言

巴特沃兹滤波器是一款基于精密运算放大器的电路模块,也是一系列小型指南中描述的多种分立式电路之一。

简介

巴特沃兹(Butterworth)滤波器代表着衰减与相位响应的理想平衡。因为通带和阻带中均不存在纹波,因而有时也称为最平坦的滤波器。巴特沃兹滤波器振幅的平坦特性是以通带和阻带间相对宽的过渡带为代价的,该过渡带的过渡特性表现一般。

巴特沃兹滤波器的归一化极点在单位圆上(在s平面)。极点位置计算公式为

$$-\sin \frac{(2K-1)\pi}{2n} + j \cos \frac{(2K-1)\pi}{2n}$$

其中:

$K = 1, 2, \dots, n$, 为极点对数。

n 为极点数。

单位圆上的极点呈等距分布,即极点之间的角度是相等的。图1所示为一个5极点巴特沃兹滤波器的极点位置。

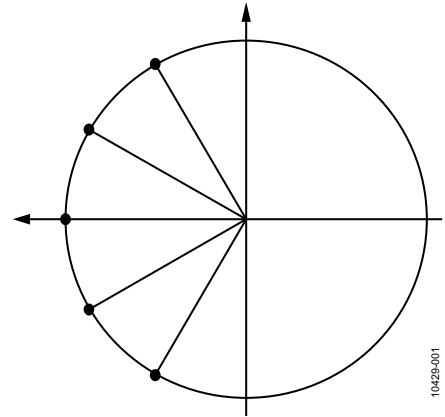


图1. 巴特沃兹极点位置

若已知极点位置,则可确定 ω_0 和 α (或 Q)。在此基础上,可用这些值来确定滤波器的元件值。无源滤波器的设计表采用的是频率和阻抗归一化滤波器。频率和阻抗分别归一化为1 rad/sec和1 Ω 。这些滤波器也可以进行反向归一化处理,以确定实际元件值。这样就可以在相同的条件下,对各种滤波器的频域和/或时域响应进行比较。巴特沃兹滤波器在 $\omega_0 = 1$ 时针对-3 dB响应进行了归一化处理。

与许多其他类型的滤波器相比,巴特沃兹滤波器各元素值的实效性更高、重要性更低。频率响应、群延迟、脉冲响应和阶跃响应如图2至图6所示。极点位置和相应的 ω_0 和 α 项见表1。

频率响应、群延迟、脉冲响应和阶跃响应

频率响应、群延迟、脉冲响应、阶跃响应及幅度如图2至图6所示。

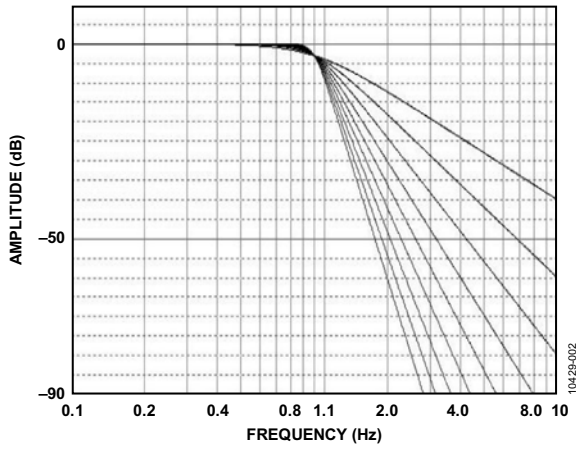


图2. 伯特沃兹响应、幅度

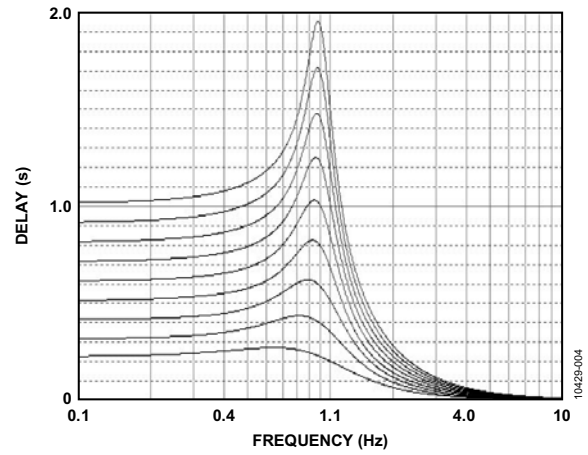


图5. 伯特沃兹响应、群延迟

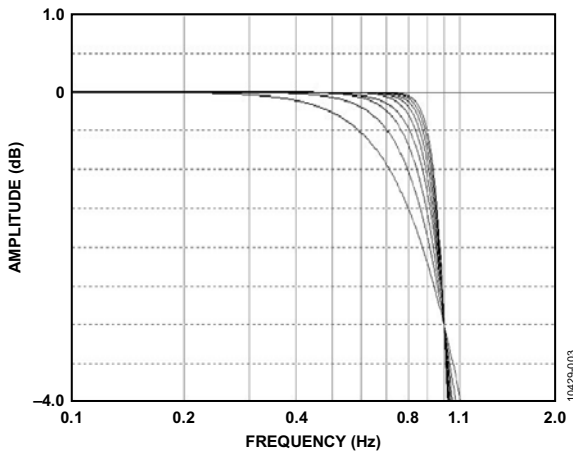


图3. 伯特沃兹响应、幅度(详)

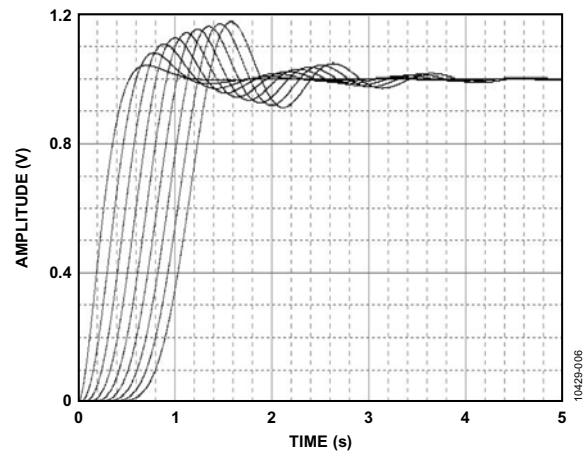


图6. 伯特沃兹响应、阶跃响应

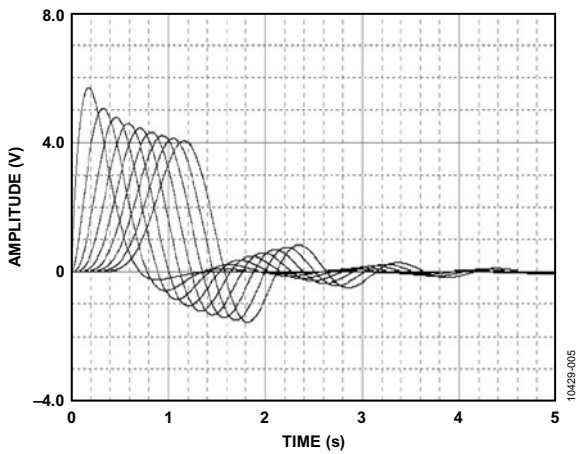


图4. 伯特沃兹响应、脉冲响应

巴特沃兹设计

极点位置和相应的 ω_0 和 α 项见表1。

表1.

阶数	部分	实部	虚部	F_0	α	Q	-3 dB 频率	峰值 频率	峰值 电平
2	1	0.7071	0.7071	1.0000	1.4142	0.7071	1.0000		
3	1	0.5000	0.8660	1.0000	1.0000	1.0000		0.7071	1.2493
	2	1.0000		1.0000			1.0000		
4	1	0.9239	0.3827	1.0000	1.8478	0.5412	0.7195		
	2	0.3827	0.9239	1.0000	0.7654	1.3065		0.8409	3.0102
5	1	0.8090	0.5878	1.0000	1.6180	0.6180	0.8588		
	2	0.3090	0.9511	1.0000	0.6180	1.6182		0.8995	4.6163
	3	1.0000		1.0000			1.0000		
6	1	0.9659	0.2588	1.0000	1.9319	0.5176	0.6758		
	2	0.7071	0.7071	1.0000	1.4142	0.7071	1.0000		
	3	0.2588	0.9659	1.0000	0.5176	1.9319		0.9306	6.0210
7	1	0.9010	0.4339	1.0000	1.8019	0.5550	0.7449		
	2	0.6235	0.7818	1.0000	1.2470	0.8019		0.4717	0.2204
	3	0.2225	0.9749	1.0000	0.4450	2.2471		0.9492	7.2530
	4	1.0000		1.0000			1.0000		
8	1	0.9808	0.1951	1.0000	1.9616	0.5098	0.6615		
	2	0.8315	0.5556	1.0000	1.6629	0.6013	0.8295		
	3	0.5556	0.8315	1.0000	1.1112	0.9000		0.6186	0.6876
	4	0.1951	0.9808	1.0000	0.3902	2.5628		0.9612	8.3429
9	1	0.9397	0.3420	1.0000	1.8794	0.5321	0.7026		
	2	0.7660	0.6428	1.0000	1.5320	0.6527	0.9172		
	3	0.5000	0.8660	1.0000	1.0000	1.0000		0.7071	1.2493
	4	0.1737	0.9848	1.0000	0.3474	2.8785		0.9694	9.3165
	5	1.0000		1.0000			1.0000		
10	1	0.9877	0.1564	1.0000	1.9754	0.5062	0.6549		
	2	0.8910	0.4540	1.0000	1.7820	0.5612	0.7564		
	3	0.7071	0.7071	1.0000	1.4142	0.7071	1.0000		
	4	0.4540	0.8910	1.0000	0.9080	1.1013		0.7667	1.8407
	5	0.1564	0.9877	1.0000	0.3128	3.1970		0.9752	10.2023

MT-224

参考文献

Zumbahlen, Hank. *Linear Circuit Design Handbook*. Elsevier. 2008. ISBN: 978-7506-8703-4.

修订历史

2012年4月—修订版0：初始版

放大器类型

作者: ADI公司
Hank Zumbahlen

引言

运算放大器(简称“运放”)通过输出级的类型加以区分。本小型指南是一系列分立电路指南之一。

区分放大器的其中一种方式是通过其输出级的类型。这种分类由输出器件接通的输出周期百分比决定。基本考量是失真与功率的关系。

基本分类为A、B、C和D类。D类是一种完全不同的概念,因此本指南中不做详细介绍(将会为D类放大器单独制作一份小型指南)。D类放大器采用开关模式电路。输出器件可以饱和(接通)或截止(断开)。这在概念上与开关模式电源类似。

有些放大器采用D类输出构建而成。D类放大器效率非常高。在必须提供较大的输出电流且担心芯片功耗问题的应用中,这点尤其具有吸引力。很多消费电子应用中的扬声器驱动器就是该类放大器的一个例子。由于输出驱动器自身的功耗极小且多数电流都输送至负载,因此D类在电池供电电路中也颇受欢迎。事实上,那是这类放大器的主要属性。D类的主要缺点是必须应对高频杂散辐射。

可能还会遇到一些其它分类,但那些都非常少见。这类放大器往往与以某种方式改变电源电平来最大程度地降低功耗有关。本指南不讨论这些类型。

C类放大器有时会应用于RF电路,但大部分时候不会在运算放大器电路中使用。因此,就剩下A类和B类。

最简单的配置为A类。在该类放大器中,输出器件会进行偏置,使其在整个输出波形周期一直接通。这样可以使失真降至最低。不过,缺点是输出器件上会产生功耗。A类放大器从电源获取的功率是恒定的。未输送给负载的功率消耗在输出器件上。

基本的A类输出如图1所示。上方器件(Q1)为输出驱动器。它在整个输出周期内均接通。下方器件(Q2)只是一个恒流负载。空闲电流设置为大于预期将输出给负载(R_{LOAD})的电流。

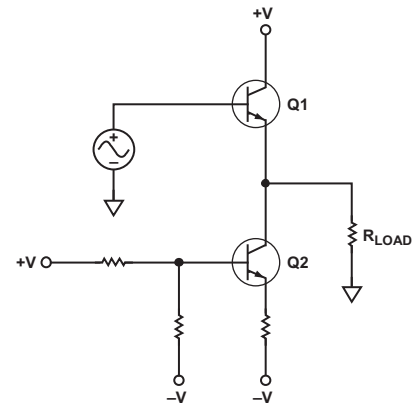


图1. A类输出级

从A类放大器的负载线路(见图2)可以看出,偏置点经过设置,使得输出器件在整个周期内接通。

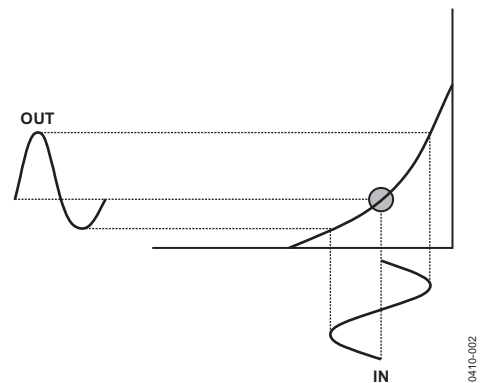


图2. A类负载线路

在B类输出级中,输出器件均经过偏置,使得各器件在整个周期内接通。这意味着,这种配置必然是一种推挽配置。这样的优势是可以极大降低输出器件的功耗。只有输出给负载的电流才会通过输出器件。这使得B类输出远比其他几类输出更为适合单芯片运算放大器。输出产生的热量会导致输入级出现漂移。

图3所示为B类输出级。Q1在周期的正值部分接通，Q2则在周期的负值部分接通。二极管补偿输出器件 V_{BE} 的压降。

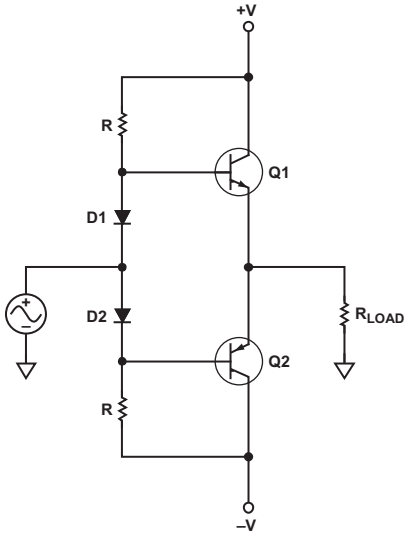


图3. B类输出级

B类放大器的负载线路如图4所示。注意，偏置点位于负载线路下方，表示器件(本例中为上方器件)靠近截止。

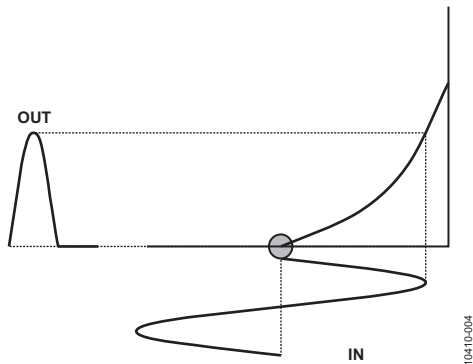


图4. B类负载线路

B类输出最大的问题是中心附近的小部分输出，此时器件均断开。这会导致出现一种称为“交越陷波”的现象。这是一个非常严重的问题，尤其是在音频应用中，因为最大失真点出现在最小信号点处。交越失真如图5所示。

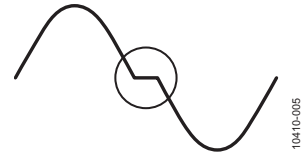


图5. 交越失真

交越陷波问题可以通过将输出级更多地偏置到线性范围来进行补偿。这样会使两个器件在输出周期的一部分时间内接通。如图6所示，B类输出级中的二极管被替换为电压源。调高这些源的电压可以使其对应器件在输出周期的更多时间内接通。这样可以减少交越陷波。不利的一面是输出级功耗会增加。

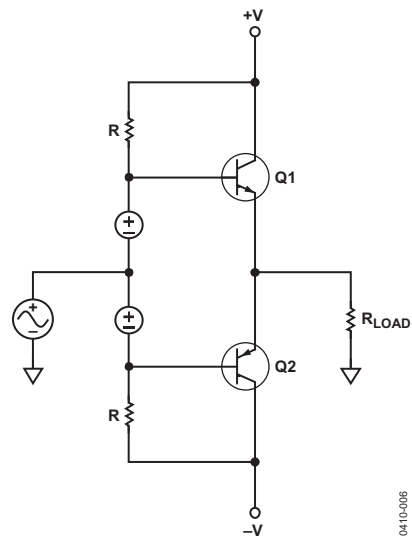


图6. AB类输出

从负载线路(见图7)可以看出, 偏置点向上偏移, 而远离截止。

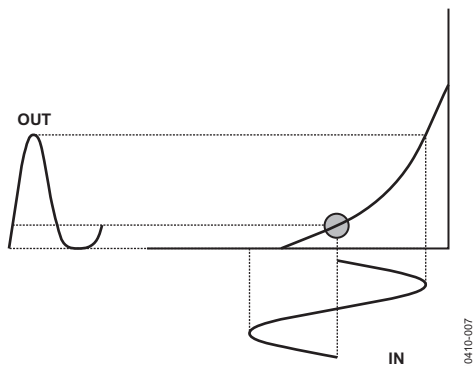


图7. AB类负载线路

10410-007

修订历史

2012年2月—修订版0: 初始版

有时还会看到AB类以及进一步细分成AB1和AB2类等。这些称谓与偏置点在曲线上的上移距离有关。

此处所示原理图仅供示例。实际电路可能会有所不同。例如, 轨到轨输出级往往会将输出器件从发射极跟随器(共集电极)变成共发射极。

虽然单芯片运算放大器中通常无法更改输出器件的偏置点, 但有一些外部电路可以修改输出类。

数字编程状态 变量滤波器

作者: ADI公司
Hank Zumbahlen

引言

数字编程状态变量滤波器的参数可以单独调节, 这些滤波器是一系列小型指南中描述的一组分立式电路之一。

状态变量滤波器具有吸引力的一项特点是其参数(增益、截止频率和Q)可以单独调节。我们可以利用这种属性以数字方式控制这些参数。

首先, 对状态变量滤波器稍作重新配置。决定Q的电阻分压器改成反相配置。新滤波器原理图如图1所示。然后用CMOS乘法DAC取代(图1中的)电阻R1、R2、R3和R4。请注

意, R5被实现为DAC中的反馈电阻。此电路的原理图如图2所示。

该例使用AD7528和AD825。AD7528是一款8位双通道乘法数模转换器(MDAC)。AD825是一款高速FET输入运算放大器。利用这些元件, 可使频率在550 Hz左右至150 kHz左右的范围内变化(见图3)。Q可以从约0.5变为12.5以上(见图4)。电路的增益可在0 dB至-48 dB范围内变化(见图5)。

该DAC在控制参数时的工作方式可以想象为DAC改变电阻的有效阻抗。这种关系为

$$DAC \text{ Equivalent Resistance} = \frac{256 \times DAC}{Resistance} \quad (1)$$

对于AD7528, 这实际上会使阻抗从11 kΩ变为2.8 MΩ。

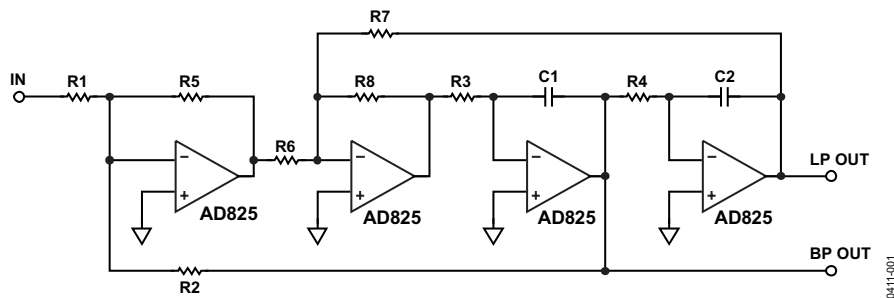


图1. 重绘的状态变量滤波器

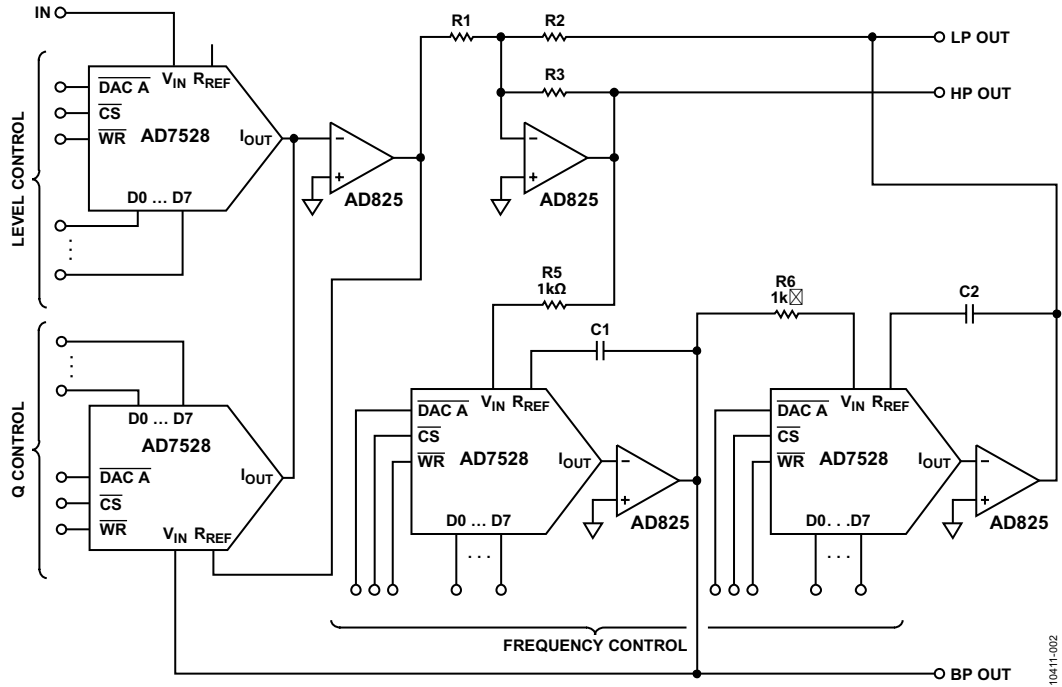


图2. 数字控制的状态变量滤波器

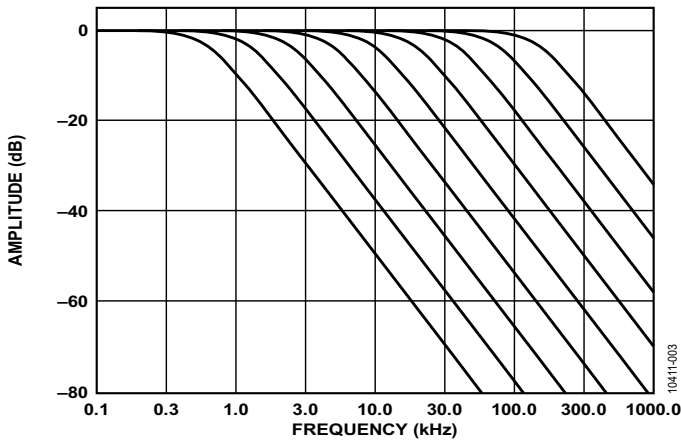


图3. 频率响应与DAC控制字的关系

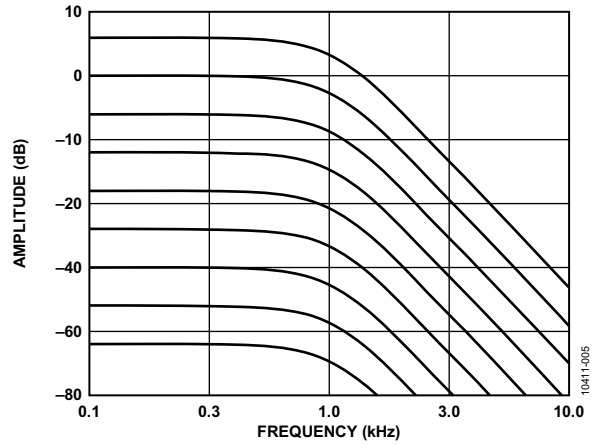


图5. 增益变化与DAC控制字的关系

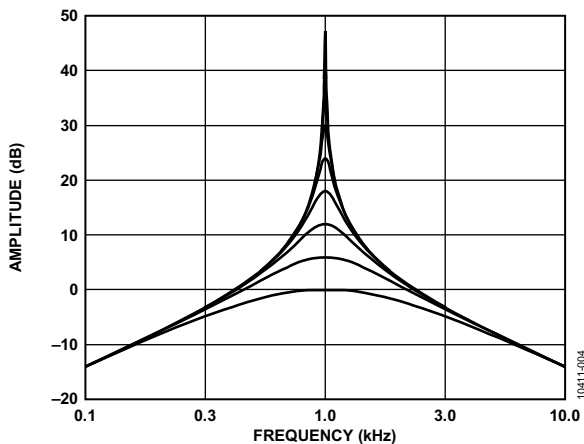


图4. Q变化与DAC控制字的关系

这种设计的一个不足在于，其频率取决于DAC的梯形电阻。这个特定的参数不受控制。对DAC进行调整，使电阻之比而非其绝对值受到控制。对于AD7528，典型值为11 kΩ。其额定最小值为8 kΩ，最大值为15 kΩ。对该电路进行简单的修改即可消除这个问题。其代价是需要增加两个运算放大器(见图6)。这种情况下，有效电阻值由固定电阻而非DAC的电阻设定。由于有两个积分器，所以会消除增加的运算放大器导致的额外反转。

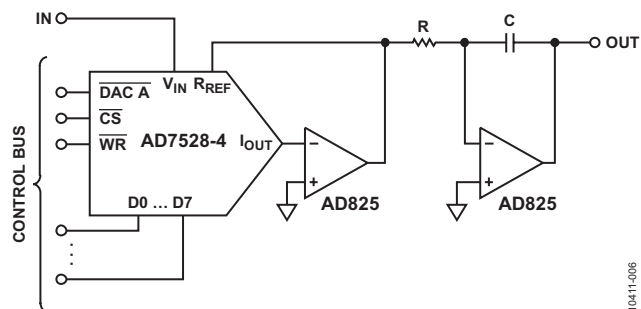


图6. 改进型数字变量积分器

请注意，乘法DAC可用模拟乘法器取代。此时，控制显然是模拟信号而非数字信号。也可用数字电位计取代

修订历史

2012年4月—修订版0：初始版

MDAC。其差异在于，不是增加有效电阻，而是电位计的值应为最大电阻。

参考文献

Zumbahlen, Hank. *Linear Circuit Design Handbook*. Elsevier. 2008. ISBN: 978-7506-8703-4.

斩波稳定(自稳零)精密运算放大器

斩波放大器

要想获得最低的失调和漂移性能，斩波稳定(自稳零)放大器可能是唯一的解决方案。最好的双极性放大器的失调电压为 $25\ \mu\text{V}$ ，漂移为 $0.1\ \mu\text{V}/^\circ\text{C}$ 。斩波放大器尽管存在一些不利影响，但可提供低于 $5\ \mu\text{V}$ 的失调电压，而且不会出现明显的失调漂移，

以下图1给出了基本的斩波放大器电路图。当开关处于“Z”(自稳零)位时，电容 C_2 和 C_3 将分别充电至放大器输入和输出失调电压。当开关处于“S”(采样)位时， V_{IN} 通过 R_1 、 R_2 、 C_2 、放大器、 C_3 和 R_3 构成的路径连接至 V_{OUT} 。斩波频率通常在几百赫兹到几赫兹之间，需要注意的是，由于这是一种采样系统，因此，输入频率必须远远低于斩波频率的一半，以防止出现混叠导致的误差。 R_1 - C_1 组合充当一个抗混叠滤波器。同时假定，在达到一个稳定状态条件后，开关周期中只会传输极少量的电荷。必须选择输出电容 C_4 和负载 R_L ，使自稳零周期中的 V_{OUT} 降保持最低。

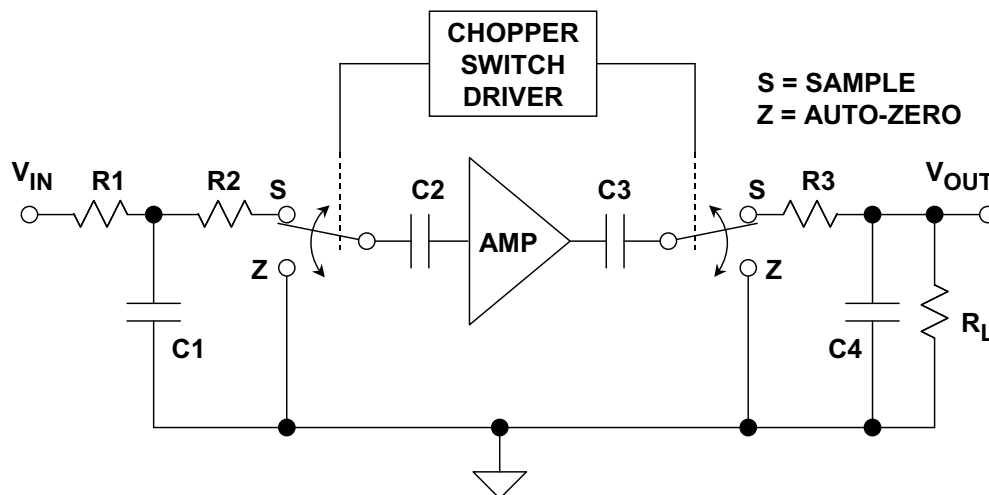


图1：经典斩波放大器

自稳零斩波稳定运算放大器

图1所示基本斩波放大器只能传递极低频率，因为需要输入滤波来防止混叠。与此相反，图2所示斩波稳定架构在斩波放大器应用中使用最为广泛。

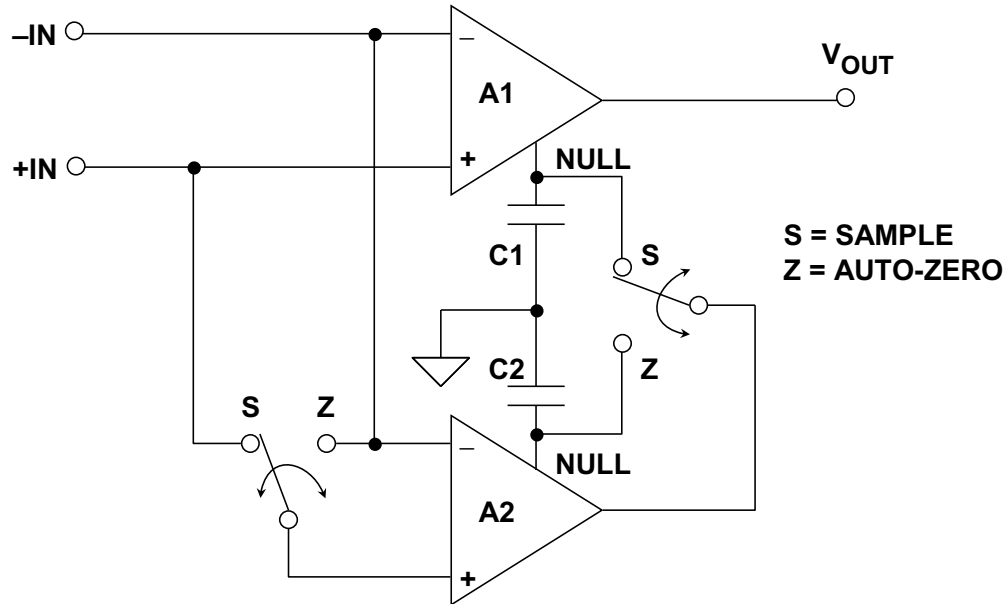


图2：现代自稳零(斩波稳定)运算放大器

在该电路中，A1为主放大器，A2为指零放大器。在采样模式(开关处于“S”位)下，指零放大器A2将监控A1的输入失调电压，并在A1的零点校准引脚处施加一个合适的校正电压，从而将其输出驱动至零。然而需要注意的是，A2也有一个输入失调电压，因此在对A1的失调进行零点校准之前，必须纠正自身的误差。在自稳零模式下(开关处于“Z”位)，其实现方式是先暂时将A2从A1断开，将其输入端一起短路，并将其输出端耦合至自己的零校准引脚。在自稳零模式期间，A1的校正电压由C1暂时保持。类似地，C2则在采样模式期间保持A2的校正电压。在现代IC斩波稳定运算放大器中，存储电容C1和C2是片内提供的。

注意，在这种架构中，输入信号始终通过A1连接至输出端。因此，A1的带宽决定着整体信号带宽，输入信号不像传统斩波放大器架构那样，限制为斩波频率的一半。然而，开关操作确实会在斩波频率下产生较小的瞬变，而该瞬变则可能与输入信号频率混合起来，结果导致交调失真。

[AD8571/AD8572/AD8574](#)系列单电源斩波稳定运算放大器采用了一种专利扩频技术，基本消除了交调效应。这些器件采用一种伪随机斩波频率，范围在2 kHz和4 kHz之间。图3比较了一种传统斩波稳定运算放大器的交调失真性能。

[AD8551/AD8552/AD8554](#)(左)采用一种固定的4 kHz斩波频率, [AD8571/AD8572/AD8574](#)(右)采用伪随机斩波频率。

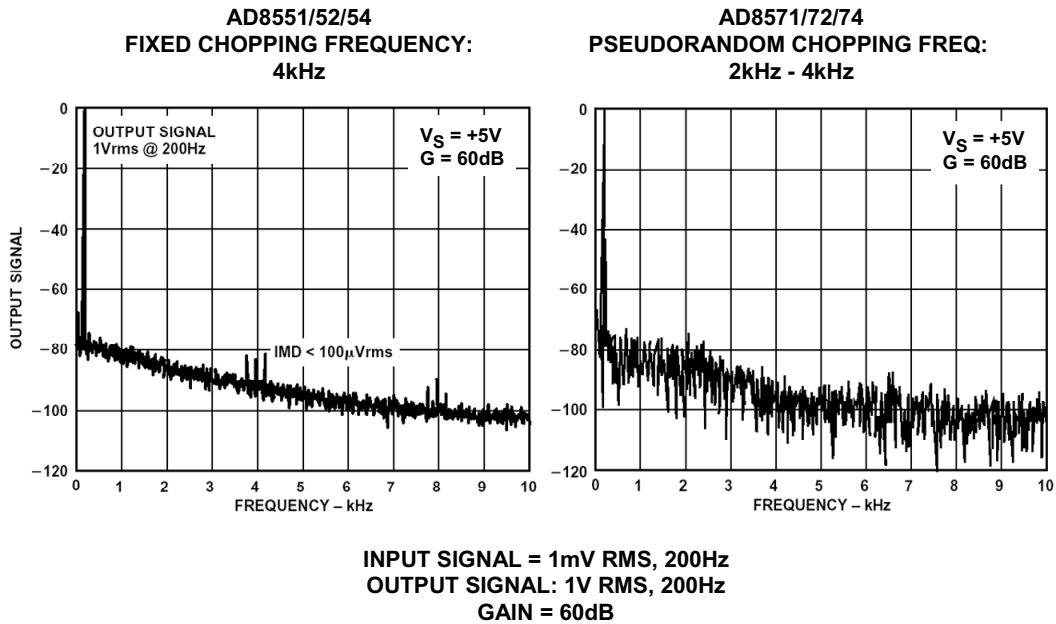


图3: 交调积: 固定与伪随机斩波频率

下面的图4比较了固定与伪随机斩波对电压噪声的影响。注意, 对于固定斩波频率, 在奇次谐波4 kHz下, 噪声频谱中存在显著的峰值, 而对于伪随机斩波, 频谱更统一, 只是其平均噪声电平较高。

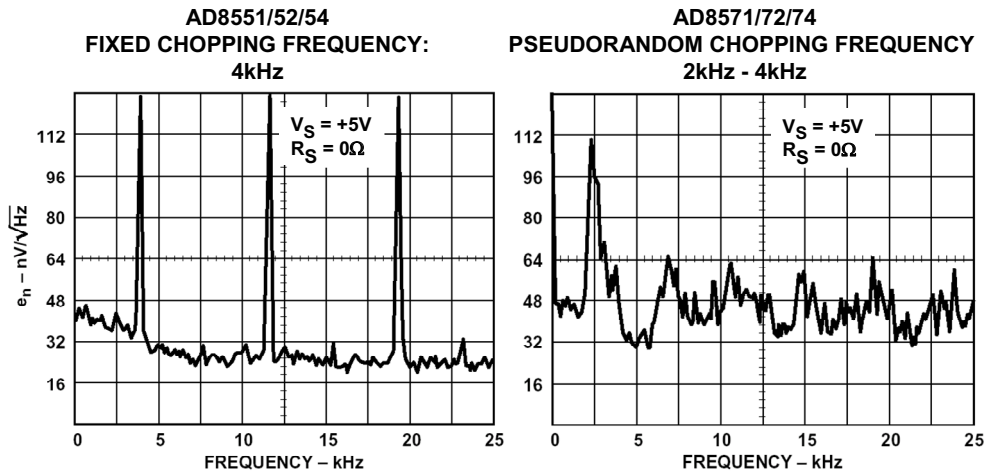


图4: 电压噪声频谱密度比较: 固定与伪随机斩波频率

减少因自稳零放大器开关操作导致的交调效应的另一种方法是以一种专利方式将自稳零与斩波结合起来，就如AD8628/AD8629/AD8630系列一样。这种独特的拓扑结构使得这些放大器能够在宽温度范围和整个工作寿命内维持低失调电压。

与前几代的自稳零放大器相比，AD8628/AD8629/AD8630在噪声和带宽上进行了优化，电压噪声减少了50%以上，是所有自稳零放大器中最低的。其他设计采用自稳零或斩波技术来提高放大器的精度。自稳零技术使自稳零频率时的噪声能量较低，但由于自稳零频带中混叠宽带噪声，因此会造成低频噪声较高。斩波技术可降低低频噪声，但斩波频率时的噪声能量较大。

AD8628/AD8629/AD8630系列采用已获专利的乒乓式配置，同时使用自稳零和斩波技术，可在斩波和自稳零频率获得较低的低频噪声以及较低的能量，从而使大部分应用的信噪比达到最高，且不需要额外滤波。时钟频率相对较高(15 kHz)，因此可简化滤波器对有效、无噪声、宽带宽的要求。该系列的噪声谱密度如图5所示。

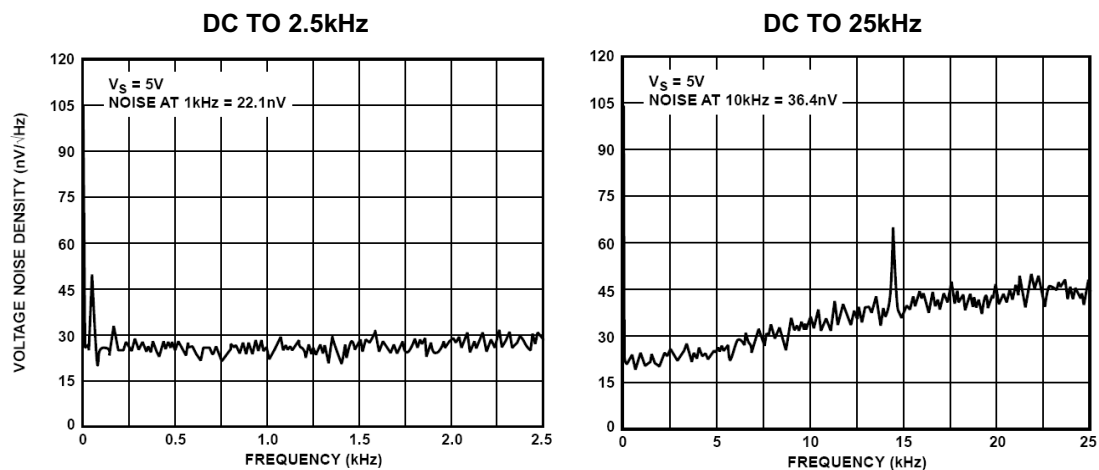


图5：AD8628/AD8629/AD8630系列精密零漂移、自稳零运算放大器的电压噪声谱密度

AD8628是少数几种采用5引脚TSOT封装的自稳零放大器。这使得其交流参数要比以前的自稳零放大器有明显改善。AD8628/AD8629/AD8630均在相对较宽的带宽范围内(0 Hz至10 kHz)具有低噪声特性，适合要求最高直流精度的应用。在信号带宽范围为5 kHz至10 kHz的系统中，AD8628/AD8629/AD8630可提供真16位精度，因而是极高分辨率系统的最佳选择。

AD8628/AD8629/AD8630系列的主要特性如图6所示。

- ◆ Single Supply: +2.7V to +5V
- ◆ 1 μ V Typical Input Offset Voltage
- ◆ 0.002 μ V/ $^{\circ}$ C Typical Input Offset Voltage Drift
- ◆ 130dB Typical CMR, PSR
- ◆ 0.85mA Typical Supply Current/Amplifier
- ◆ 10 μ s Overload Recovery Time
- ◆ 22nV/ $\sqrt{\text{Hz}}$ Input Voltage Noise @ 1kHz
- ◆ Patented Auto-Zero and Chopper-Stabilized Technique @ 15kHz Switching Frequency
- ◆ 2.5MHz Gain-Bandwidth Product
- ◆ AD8628 (Single) in TSOT and SOT-23 Packages
- ◆ AD8629 (Dual), AD8630 (Quad)

图6: AD8628/29/30系列精密自稳零运算放大器的主要特性

需要注意的是，在应用所有斩波稳定器件时必须极其小心。这是因为，为了完全发挥出器件本身的失调和漂移性能，必须避免外部电路中的寄生热电偶效应。

斩波稳定运算放大器的噪声考虑因素

如果考察斩波放大器对低频 $1/f$ 噪声的影响，结果将发现有趣的现象。如果斩波频率明显高于 $1/f$ 输入噪声的转折频率，则斩波稳定放大器会逐个采样地连续消除 $1/f$ 噪声。理论上讲，斩波运算放大器是没有 $1/f$ 噪声的。然而，斩波操作会产生宽带噪声，其程度比精密双极性运算放大器要糟糕得多。

下面的图7展示了精密双极性放大器([OP177](#))与[AD8628](#)/[AD8629](#)/[AD8630](#)斩波稳定运算放大器的噪声性能。图下方的表格中算出了二者在各种带宽下的峰峰值噪声。

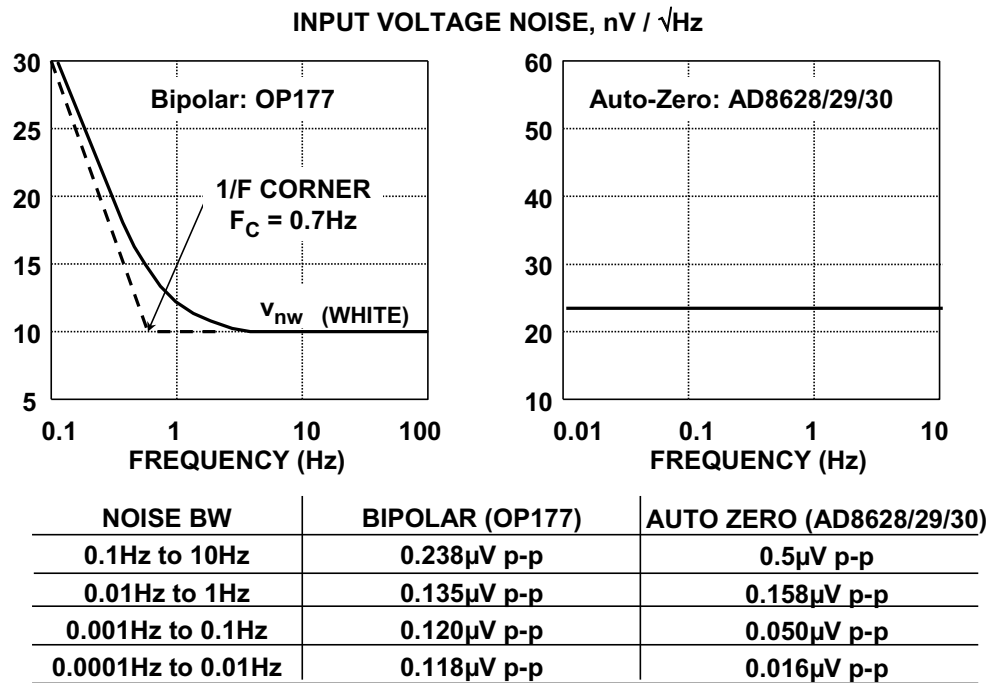


图7：噪声：双极性与自稳零运算放大器

根据数据可以看出，随着频率的下降，自稳零放大器的噪声继续下降，而双极性放大器的噪声则接近一个限值，该限值取决于1/f转折频率及其白噪声。请注意，只有在极低的频率(<0.1 Hz)下，斩波放大器的噪声性能才会优于双极性运算放大器。

为了利用斩波运算放大器没有1/f噪声的特性，需要采用较多的滤波机制——否则，斩波运算放大器的总噪声将始终不如一个优良的双极性运算放大器。因此，选择斩波运算放大器时要看其低失调和漂移特性——而不是基于其没有1/f噪声的特性。

参考文献

1. Hank Zumbahlen, *Basic Linear Design*, Analog Devices, 2006, ISBN:0-915550-28-1. 另见 [Linear Circuit Design Handbook](#), Elsevier-Newnes, 2008, ISBN-10:0750687037, ISBN-13:978-0750687034。Chapter 1.
2. Walter G. Jung, *Op Amp Applications*, Analog Devices, 2002, ISBN 0-916550-26-5, 另见 [Op Amp Applications Handbook](#), Elsevier/Newnes, 2005, ISBN 0-7506-7844-5. Chapter 1.

Copyright 2009, Analog Devices, Inc. All rights reserved. Analog Devices assumes no responsibility for customer product design or the use or application of customers' products or for any infringements of patents or rights of others which may result from Analog Devices assistance. All trademarks and logos are property of their respective holders. Information furnished by Analog Devices applications and development tools engineers is believed to be accurate and reliable, however no responsibility is assumed by Analog Devices regarding technical accuracy and topicality of the content provided in Analog Devices Tutorials.

模拟隔离放大器

模拟隔离技术

在许多应用中，传感器与接收数据的系统之间最好不要有直接的(“电流”)电气连接，这点有时甚至非常重要。这样可能是为了防止系统一半产生的危险电压或电流给另一半造成损坏的可能，或者是为了断开难以处理的接地环路。这即是所谓的“隔离”系统，而无电流连接却允许信号通过的布局则称为隔离栅。

隔离栅的保护是双向的，可能是其中一个方向需要保护，甚至可能两个方向都需要保护。一种明显的应用是，传感器可能意外遇到高电压，必须对其驱动的系统进行保护。或者，传感器可能需要与后级产生的意外高电压隔离开来，以保护其工作环境：例如防止传感器火花引起爆炸性气体点火，以及保护正在接受ECG、EEG或EMG监护的病人免受电击危害。ECG的情况比较有意思，因为可能需要进行双向保护：对病人必须采取保护防止意外电击；但是，如果病人的心脏停止跳动，则在利用除颤器尝试恢复心脏跳动时，必须保护ECG机，使其免受施加给病人的极高电压(>7.5 kV)影响。下面的图1总结了(模拟和数字)隔离放大器的各种应用。

- ◆ **Sensor is at a High Potential Relative to Other Circuitry
(or may become so under Fault Conditions)**
- ◆ **Sensor May Not Carry Dangerous Voltages, Irrespective
of Faults in Other Circuitry
(e.g. Patient Monitoring and Intrinsically Safe Equipment
for use with Explosive Gases)**
- ◆ **To Break Ground Loops**

图1：隔离放大器应用

就像电场、磁场或电磁辐射可能导致干扰或无用信息耦合一样，在隔离系统的设计中，可以利用这些现象来传输所需信息。

最常见的隔离放大器采用变压器，其中利用的是磁场；另一常见类型则采用小型高电压电容，其中利用的是电场。光隔离器由一个LED和一个光电管构成，通过光(一种电磁辐射)来提供隔离。不同的隔离器具有不同的性能：有些具有足够的线性度能够跨越隔离栅传输高精度模拟信号。而在其他隔离器中，则可能需要将信号转换成数字形式，然后再进行传输，以保持精度不变(请注意，这是一种常见的电压频率转换器应用)。

变压器能够实现12-16位的模拟精度和数百kHz的带宽，但其最大额定电压很少超过10 kV，而且往往比这要低得多。容性耦合隔离放大器具有较低的精度(最大值可能为12位)、低一些的带宽和额定电压——但其成本较低。光隔离器速度快、成本低，可以支持极高的额定电压(较常见的额定值为4-7 kV)，但其模拟线性度很差，通常不适合精密模拟信号的直接耦合。

在选择隔离系统时，线性度和隔离电压不是唯一需要考虑的因素。工作功率当然也很重要。输入和输出电路都需要供电，而且除非隔离栅的隔离端有电池(虽有可能，但并不方便)，否则必须提供某种形式的隔离电源。对于采用变压器隔离的系统，可以轻松地使用变压器(信号变压器或其它)来提供隔离电源，但通过容性或光学方式传输有意义的功率量是不现实的。采用这些隔离形式的系统必须以其它方式获得隔离电源——这是优先选择变压器隔离型隔离放大器的主要因素：它们几乎无一例外都包含一个隔离电源。

隔离放大器具有一个输入电路，该电路与电源和输出电路存在电隔离。另外，器件的输入端和其余部分之间电容极小。因此，直流电流和最小交流耦合根本不可能存在。隔离放大器设计用于应用与需要安全而精确地测量低频电压或电流(最高约为100 kHz)，但存在高共模电压(数千伏特)且具有高共模抑制特性时它们也适用于在高噪声环境中通过线路接收以高阻抗形式传输的信号；以及通用测量中的安全保障，其中，直流和线路频率泄漏必须维持在远远低于某些必要最小值的水平。主要应用为与医疗设备、传统电厂和核电厂、自动测试设备以及工业过程控制系统相关的电气环境。

AD210 3端口隔离器

在基本的2端口隔离器中，输出和电源电路相互之间并无隔离。下面图2显示的是一个3端口隔离器(输入、电源、输出)。请注意，该图中输入电路、输出电路和电源相互之间都是隔离的。该图代表的是一款独立隔离器[AD210](#)的电路架构。

这类隔离器要求采用双引脚直流电源供电(PWR、PWR COM)。内部振荡器(50 kHz)将直流电源转换成交流，再由变压器耦合至屏蔽输入部分，然后转换成直流，以供输入级和辅助功率输出使用。

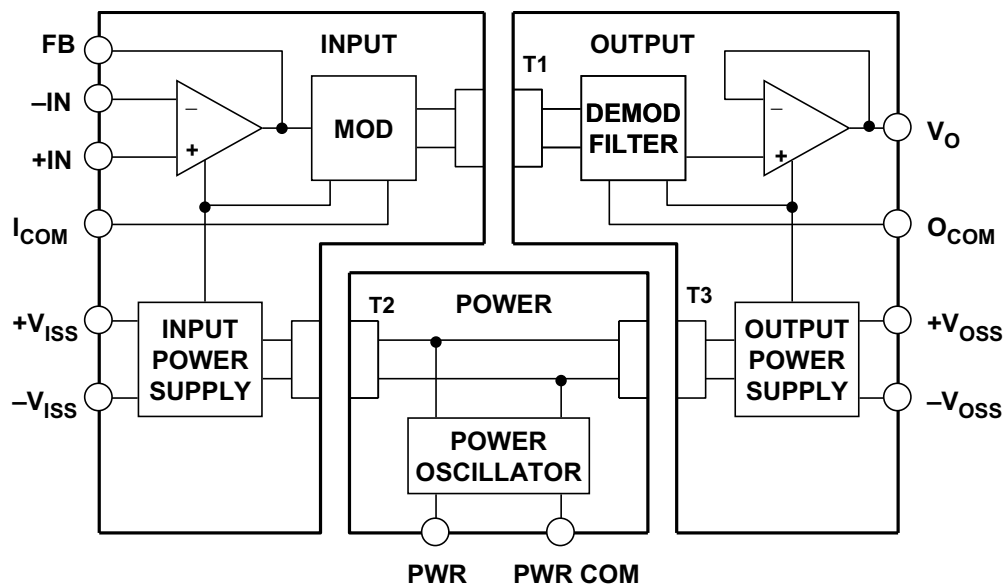


图2: [AD210](#) 3端口隔离放大器

交流载波同样由输入级放大器输出进行调制，再由变压器耦合至输出级，接着由一个相位敏感解调器解调(以载波为基准)，经过滤波后利用从载波获得的隔离直流电源进行缓冲。

AD210允许用户利用外部电阻和输入部分的运算放大器来选择1至100范围内的增益。其带宽为20 kHz，隔离电压为2500 V rms(连续)和 ± 3500 V峰值(连续)。AD210是一款3端口隔离放大器，因此电源电路同时与输入级和输出级隔离，可以连接至二者之一(或者都不连)，功能不会发生任何变化。它利用变压器隔离来实现3500 V隔离和12位精度。AD210的主要规格特性如下图3所示。

- ◆ Transformer Coupled
- ◆ High Common Mode Voltage Isolation:
 - 2500V RMS Continuous
 - ± 3500 V Peak Continuous
- ◆ Wide Bandwidth: 20kHz (Full Power)
- ◆ 0.012% Maximum Linearity Error
- ◆ Input Amplifier: Gain 1 to 100
- ◆ Isolated Input and Output Power Supplies, ± 15 V, ± 5 mA

图3: [AD210](#)隔离放大器的关键技术规格

电机控制隔离放大器应用

下面图4所示为一种采用AD210的典型隔离放大器应用。在一个用于电机控制的电流检测系统中，AD210与一个AD620仪表放大器配合使用。AD210的输入端(已隔离)可以直接连接至一条110V或230V的电力线，且无需采用保护机制。输入部分的 $\pm 15\text{ V}$ 隔离电源为AD620供电，AD620则检测电流检测电阻上的小压降。AD210输入级运算放大器连接作为单位增益跟随器，从而将其误差贡献降至最小。该隔离系统会忽略110 V或230 V rms共模电压。

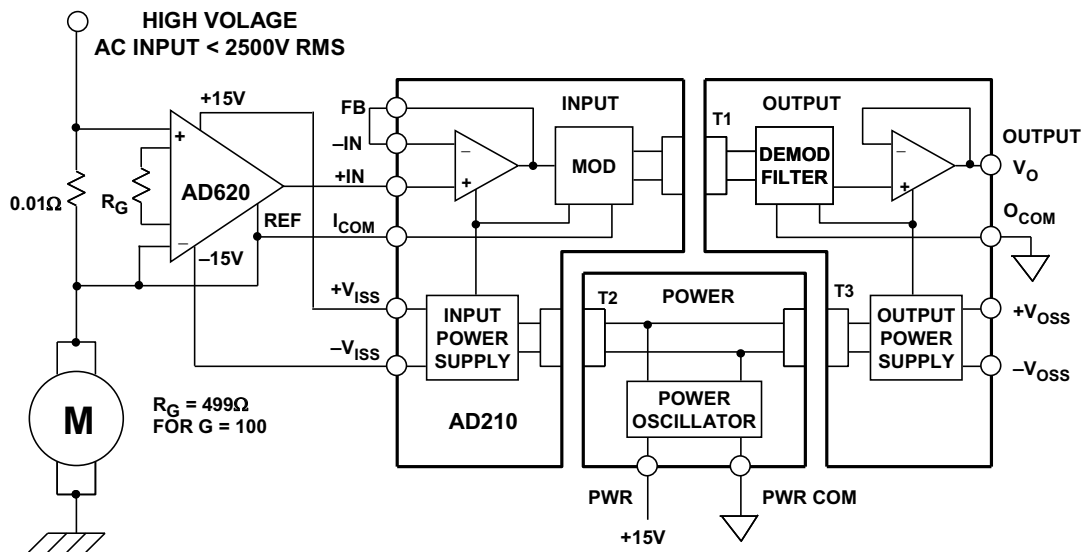


图4：电机控制电流检测应用

在该系统中，AD620前置放大器用作系统调整控制点，将产生并输出与电机电流成比例的电压，具体比例取决于检测电阻值以及由AD620的 R_G 设置的增益。AD620还可提高整个系统的精度，因为AD210 V_{OS} 为15 mV，而AD620的该值则为30 μV (漂移也较少)。请注意，如果可以接受较高的直流失调和漂移，则可省略AD620，并将AD210连接成增益100的方式。

受这类载波供电隔离系统的性质影响，在某些工作环境下，有些残余的交流载波成分会叠加于恢复的输出直流信号上。发生这种情况时，可以在输出级之后放置一个低阻抗无源RC滤波器(如果下一级具有高输入阻抗，例如该滤波器无负载)。请注意，许多高输入阻抗采样ADC都是这种情况，实际上，该ADC表现为一个小电容。150 Ω 的电阻和1 nF的电容可提供约1 kHz的截止频率。另请注意，电容应为薄膜型(如聚丙烯)，以减少误差。

AD215 2端口隔离器

[AD215](#)是一款高速2端口隔离放大器，用于隔离和放大宽带模拟信号。它采用创新的电路和变压器设计，不仅具有宽带动态特性，同时仍保留直流特性。AD215框图如下图5所示。

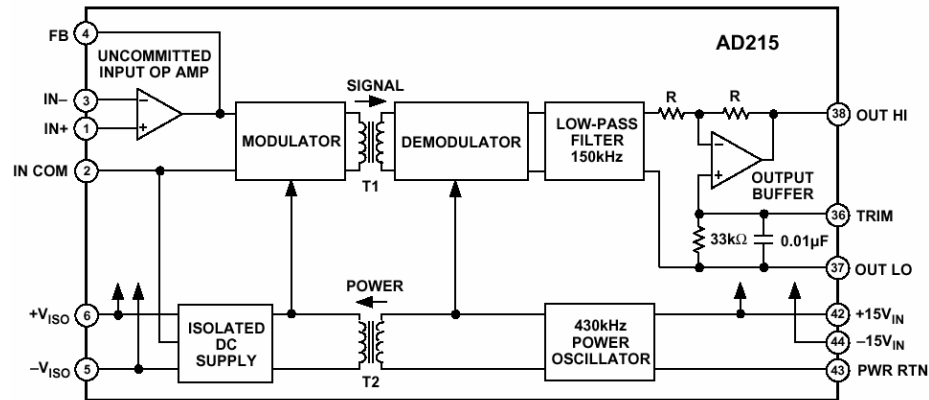


图5: [AD215](#) 120kHz低失真2端口隔离放大器

AD215在器件的输入端与输出端之间提供完整的电隔离，还包括用户可用的前端隔离双极性电源。该器件功能设计全面，输出端采用 $\pm 15\text{ V}$ 直流电源供电，无需用户提供隔离式DC/DC转换器。因此，设计人员可以将电路开销降至最低，从而降低整体系统设计复杂度与器件成本。

AD215设计注重提供最大的灵活性和易用性，可广泛用于必须在高共模电压(CMV)条件下测量快速模拟信号的各种应用。

AD215输入/输出范围为 $\pm 10\text{ V}$ ，额定增益范围为 1 V/V 至 10 V/V ，缓冲输出具有失调调整功能，用户可用的隔离前端电源可产生 $\pm 10\text{ mA}$ 电流的 $\pm 15\text{ V}$ 直流电压。下面图6总结了AD215的主要规格特性。

- ◆ Isolation voltage: 1500V rms
- ◆ Full power bandwidth: 120kHz
- ◆ Slew rate: 6V / μs
- ◆ Harmonic distortion: $-80\text{ dB @ } 1\text{ kHz}$
- ◆ 0.005% maximum linearity error
- ◆ Gain range: 1 to 10
- ◆ Isolated input power supply: $\pm 15\text{ V @ } \pm 10\text{ mA}$

图6: [AD215](#)隔离放大器的关键技术规格

参考文献:

1. Hank Zumbahlen, *Basic Linear Design*, Analog Devices, 2006, ISBN: 0-915550-28-1. Also available as [Linear Circuit Design Handbook](#), Elsevier-Newnes, 2008, ISBN-10: 0750687037, ISBN-13: 978-0750687034. Chapter 2.
2. Walter G. Jung, *Op Amp Applications*, Analog Devices, 2002, ISBN 0-916550-26-5, Also available as [Op Amp Applications Handbook](#), Elsevier/Newnes, 2005, ISBN 0-7506-7844-5. Chapter 2.
3. Charles Kitchin and Lew Counts, [A Designer's Guide to Instrumentation Amplifiers, 3rd Edition](#), Analog Devices, 2006.

Copyright 2009, Analog Devices, Inc. All rights reserved. Analog Devices assumes no responsibility for customer product design or the use or application of customers' products or for any infringements of patents or rights of others which may result from Analog Devices assistance. All trademarks and logos are property of their respective holders. Information furnished by Analog Devices applications and development tools engineers is believed to be accurate and reliable, however no responsibility is assumed by Analog Devices regarding technical accuracy and topicality of the content provided in Analog Devices Tutorials.

比较器

比较器基础知识

比较器与运算放大器类似，有两个输入端(反相和同相)及一个输出端(见图1)。但比较器是专门设计用于比较两个输入端的电压的。因此，比较器工作时具有非线性特性。比较器工作于开环模式，提供一个双态逻辑输出电压。这两个状态代表两个输入之间的净差(包括比较器输入失调电压的影响)的符号。因此，如果同相输入端的输入信号超过反相输入端的信号(加上失调电压 V_{os})，比较器的输出为逻辑"1"，反之则为逻辑"0"。比较器一般用于需要将某个变化信号电平与固定电平(通常为基准电压)相比较的应用之中。由于比较器实际上是一种1位模数转换器(ADC)，因而是所有ADC中的一个基本元件。(有关作为ADC构建模块的比较器的详情，请参见[MT-011](#))。

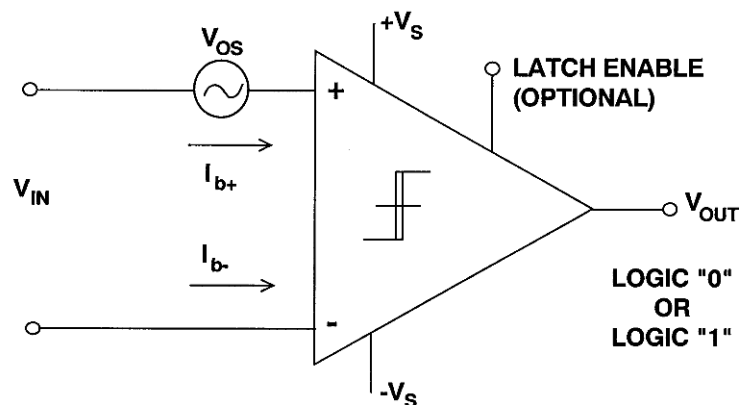


图1: 比较器符号

比较器的直流规格与运算放大器相似：输入失调电压、输入偏置电流、失调和漂移、共模输入范围、增益、CMR和PSR。标准的逻辑相关直流、时序和接口规格都与比较器输出相关。

比较器的主要交流规格为传播延迟(见图2)：指差分输入信号跨过失调电压之后，输出达到跃迁的50%点所需要的时间——在方波(幅度通常为100 mV)时失调电压是超过某个预设的输入值(通常为5 mV或10 mV)。

在真正的比较器中，随着输入过驱的增加，传播延迟会有一定程度的减小。作为过驱的函数的传播延迟的这种变化被称为消散，如图3所示。

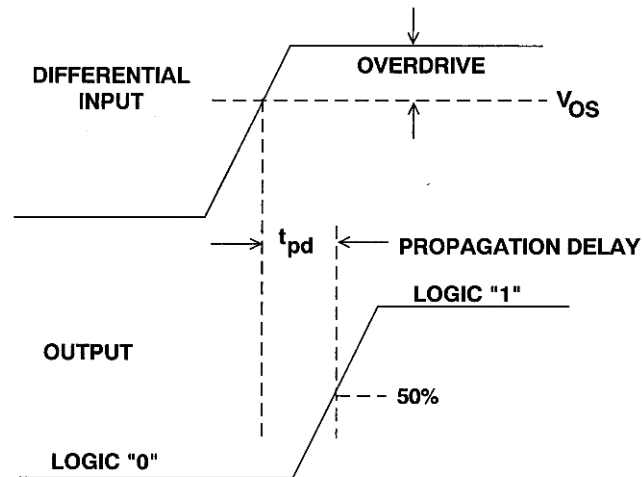


图2: 比较器的传播延迟

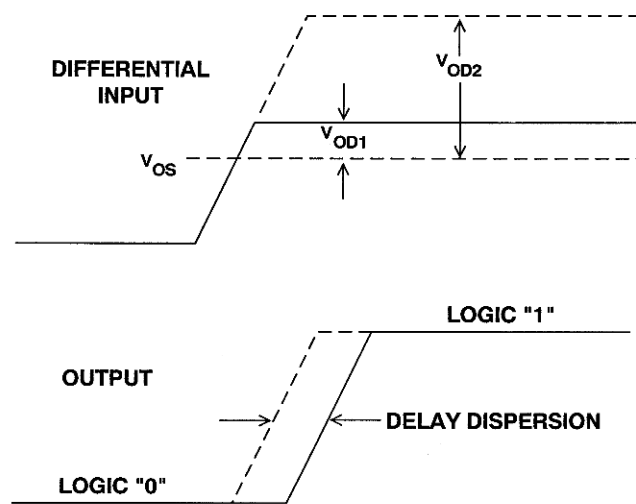


图3: 比较器的延迟消散

比较器迟滞

在嘈杂环境中, 或者当输入信号达到或接近开关阈值, 而比较器不便进行连续切换时, 给比较器传递函数增加迟滞(指应用少量的正反馈)通常会有所帮助。当将变化相对较慢的输入与直流电平相比较时, 情况即是如此。噪声可能使输出在输出电平之间切换多次。具有迟滞特性的比较器传递函数如图4所示。

如果输入电压从负向达到开关阈值(V_{OS})，则比较器在输入跨越 $V_{OS} + V_H/2$ 时从"0"切换为"1"。此时新的开关阈值变为 $V_{OS} - V_H/2$ 。比较器输出将保持"1"状态，直到从正向低于阈值 $V_{OS} - V_H/2$ 为止。除非超过以 $V_{OS} \pm V_H/2$ 为边界的范围，否则以 V_{OS} 为中心的输入噪声不会引起比较器切换状态。

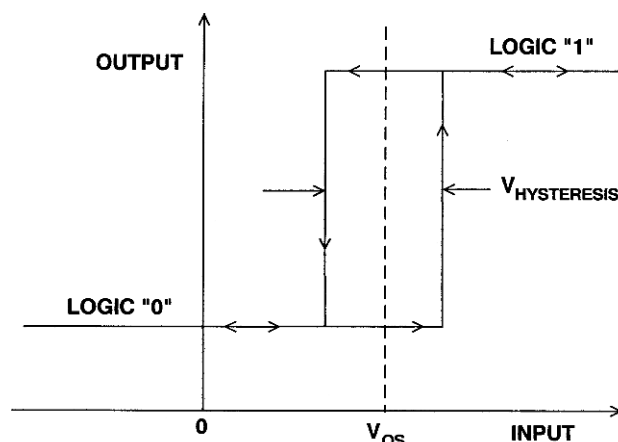
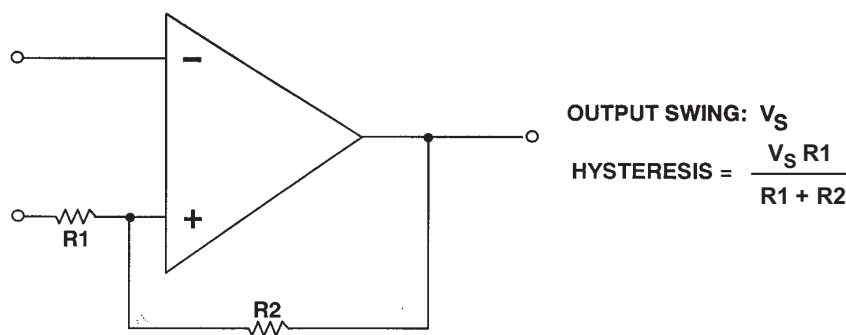


图4: 迟滞的影响

迟滞可以通过两个电阻实现(见图5)，迟滞量与两个电阻之比成比例。比较器信号输入可连接到反相或同相输入，但是，如果连接的是反相输入，则源阻抗必须低至不会对R1产生显著影响的水平(当然，如果源阻抗具有较高的可预测性，也可用作R1)。



- Input signal may be applied to either input but its source impedance must be low if it is applied to R1

图5: 迟滞的应用

如果跳变电压处于比较器两个输出电压的中间(对称电源和地基准即是如此)，则迟滞将使正负阈值等距离偏离跳变点电压；但是，如果跳变点更接近两个输出中的一个，则阈值呈不对称关系处于跳变点电压左右。

为了计算迟滞，设比较器的两个输出电压分别为 V_P 和 V_N 。比较器跳变点电压为 V_{TP} 。负阈值为：

$$\text{NEGATIVE THRESHOLD} = \frac{(R1 + R2)V_{TP} - R1V_N}{R2} \quad \text{等式 1}$$

正阈值电压为：

$$\text{POSITIVE THRESHOLD} = \frac{(R1 + R2)V_{TP} - R1V_P}{R2} \quad \text{等式 2}$$

图6展示的是如何用外部迟滞来改善比较器的响应。

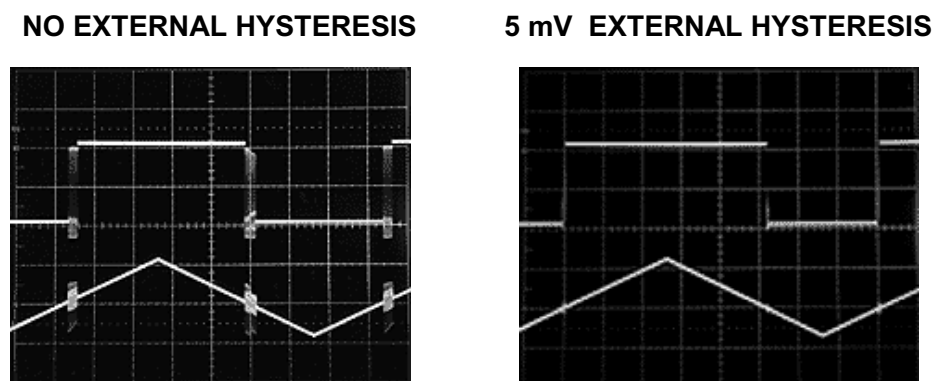


图6：迟滞有助于净化比较器的响应

使用外部迟滞的问题是输出电压取决于电源电压和负载。这意味着，迟滞电压会因应用不同而异。虽然这会影响分辨率，但迟滞通常只占该范围的极小一部分，而且安全余量可以达到计算结果的两到三(或更多)倍，所以并不是一个严重问题。换用几个比较器可以帮助您确立对安全余量的信心。反馈请勿使用绕线电阻，其电感会造成更大问题。

别忘了给比较器增加额外的迟滞同时会降低比较器的有效分辨率。可分辨的最小信号等于阈值电压之差，即 $V_P - V_N$ 。

有些比较器内置迟滞，[AD790](#)即是这样的一个例子(见图7)。额定迟滞电压为 $500 \mu\text{V}$ 。当然，应用外部迟滞会替代该迟滞。

AD790还有一个优势。输入(模拟)端的电源不一定与输出端相同。输出摆幅是从 V_{LOGIC} 到GND。输入电源可为 $\pm 15\text{ V}$ ，最低为 $+5\text{ V}$ 和地电压。

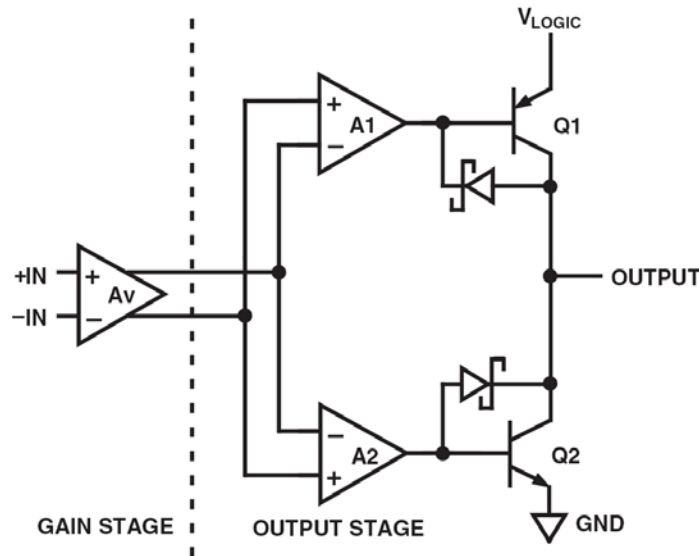


图7: AD790功能框图

比较器的输出为开路集电极(TTL逻辑)或开路漏电极(CMOS逻辑)很常见。这样,就可以与适合后继电路的任何逻辑电平相接口。请注意,必须遵循容许的最大输出电压,但这通常并非什么大问题。

窗口比较器

窗口比较器利用基准电压不同、输入电压相同的两个比较器。比较器以特有方式与一个逻辑电路相连,当输入信号处于两个基准电压之间时,最终的输出逻辑电平有效,如图8所示。

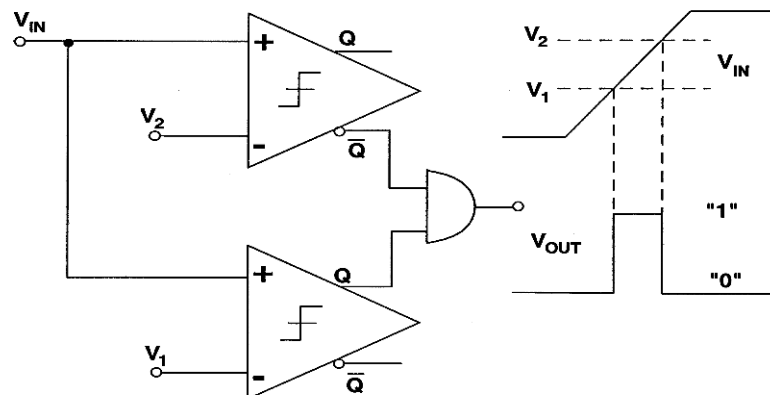


图8: 窗口比较器

锁存器使能功能

许多比较器内置一个锁存器。锁存器使能信号有两个状态：比较(跟踪)和锁存(保持)。当锁存器使能信号处于比较状态时，比较器输出会持续对净差分输入信号的符号做出反应。当锁存器使能信号过渡到锁存状态，比较器输出将变为逻辑"1"或逻辑"0"，具体取决于差分输入信号在使能信号跃迁时的符号(这里，我们忽略了设置和保持时间，也忽略了与锁存器使能功能相关的输出传播延迟)。即使许多比较器有锁存器使能功能，它们也经常只是工作于比较模式。

比较器的内置锁存器使能功能在ADC应用中尤其有用，因为，它允许在已知时刻记录比较器的输出。Flash转换器即利用了这一概念，以共用一个锁存器使能线路的多个并联比较器。与锁存器使能功能相关的典型时序特性如图9所示。

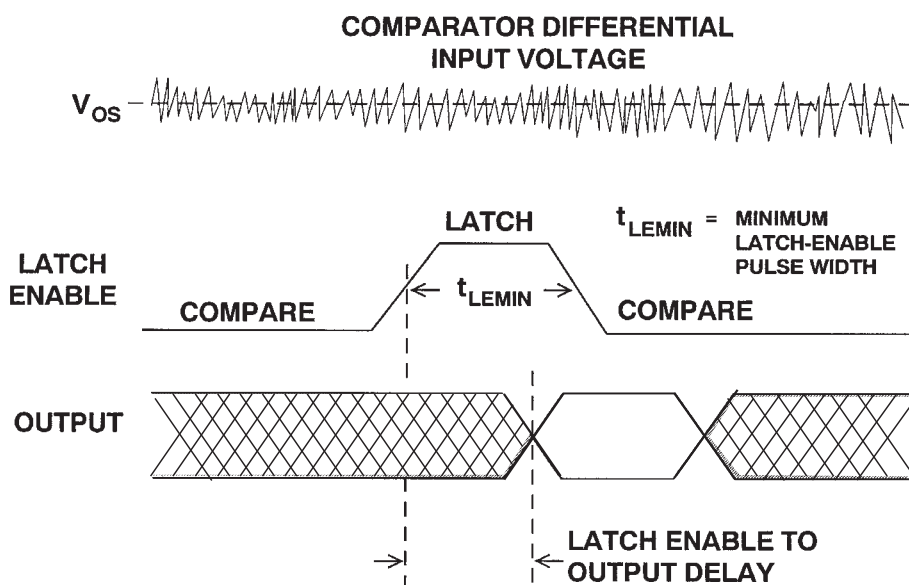


图9：输出锁存器的影响

锁存器使能置位与输出逻辑摆幅50%点之间的延迟被称为锁存使能输出延迟。趋正和趋负输出在这方面可能有所不同。与锁存器使能功能相关的其他关键规格是容许的最小锁存器使能脉冲宽度。该规格决定着比较器可选通的最大频率。

快速比较器因具有较高的增益和带宽，因而应用起来具有一定的困难。在使用比较器时，必须正确应用高速电路布局、接地、去耦和信号路径。这一点再强调也不为过。最大的问题是，当输入信号非常接近或者等于开关阈值时，它们很可能产生振荡。

当将一个慢速信号与一个直流基准电压相比较时，也有可能发生这种情况。利用迟滞和较窄的锁存器使能脉冲一般有助于改善这种情况。TTL或CMOS输出比较器比ECL比较器更容易振荡，因为它们具有较大的输出摆幅和快速边沿，而且随着输出切换状态，电源电流会产生尖峰。结果有可能以噪声形式反馈给输入。

参考文献：

1. Hank Zumbahlen, *Basic Linear Design*, Analog Devices, 2006, ISBN: 0-915550-28-1. Also available as [Linear Circuit Design Handbook](#), Elsevier-Newnes, 2008, ISBN-10: 0750687037, ISBN-13: 978-0750687034. Chapter 4.
2. Walt Kester, *Analog-Digital Conversion*, Analog Devices, 2004, ISBN 0-916550-27-3, Chapter 6. Also available as [The Data Conversion Handbook](#), Elsevier/Newnes, 2005, ISBN 0-7506-7841-0, Chapter 6.
3. [Analog Devices' Comparator Portfolio](#)

Copyright 2009, Analog Devices, Inc. All rights reserved. Analog Devices assumes no responsibility for customer product design or the use or application of customers' products or for any infringements of patents or rights of others which may result from Analog Devices assistance. All trademarks and logos are property of their respective holders. Information furnished by Analog Devices applications and development tools engineers is believed to be accurate and reliable, however no responsibility is assumed by Analog Devices regarding technical accuracy and topicality of the content provided in Analog Devices Tutorials.

滤波器中的 F_0 和 Q

作者: Hank Zumbahlen,
Analog Devices, Inc.

引言

本小型指南将介绍滤波器的截止频率(F_0)和品质因素(Q),这是系统介绍集成运算放大器的分立式电路的系列小型指南之一。

滤波器的 F_0 定义为该滤波器的截止频率。一般地,这是指幅度响应比通带低3 dB时的频率。对于切比雪夫滤波器,有时可以定义为幅度响应降至通带以外时的频率。例如,一个0.1 dB切比雪夫滤波器的 F_0 可以定义为响应下降> 0.1 dB时的频率。

如果考察的是实际频率与截止频率之比,而不是实际频率本身,则衰减曲线的形状(以及相位和延迟曲线,它们定义着滤波器的时域响应)将是相同的。将滤波器归一化至1 rad/s,则可开发出一种简单的滤波器设计和比较系统。在此基础上,用截止频率对滤波器进行缩放,以确定实际滤波器的元件值。

Q 定义为滤波器的品质因素。有时也表示为 α ,其中:

$$\alpha = \frac{1}{Q} \quad (1)$$

这通常称为阻尼比。请注意,有时使用 ξ ,其中:

$$\xi = 2\alpha \quad (2)$$

若 $Q > 0.707$,则滤波器响应中会有些峰值化现象。若 $Q < 0.707$, F_0 处的滚降会稍大;斜率将更平坦些,滚降发生的时间将提前。对于2极点低通滤波器的峰值化量与 Q 的关系如图1所示。

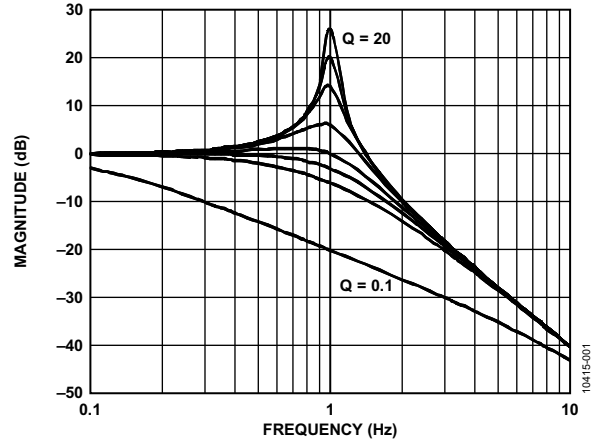


图1. 低通滤波器峰值化与 Q 的关系

用 ω_0 和 Q 改写传递函数 $H(s)$:

$$H(s) = \frac{H_0}{s^2 + \frac{\omega_0}{Q}s + \omega_0^2} \quad (3)$$

其中, H_0 为通带增益且 $\omega_0 = 2\pi F_0$ 。

现在,我们将用该低通原型来设计滤波器。

高通滤波器

把低通原型的传递公式 $H(s)$ 的分子改为 $H_0 s^2$,结果将使低通滤波器变成高通滤波器。该高通滤波器的响应在形状上与低通滤波器相似,只是频率反相而已。

高通滤波器的传递函数为:

$$H(s) = \frac{H_0 s^2}{s^2 + \frac{\omega_0}{Q}s + \omega_0^2} \quad (4)$$

2极点高通滤波器的响应如图2所示。

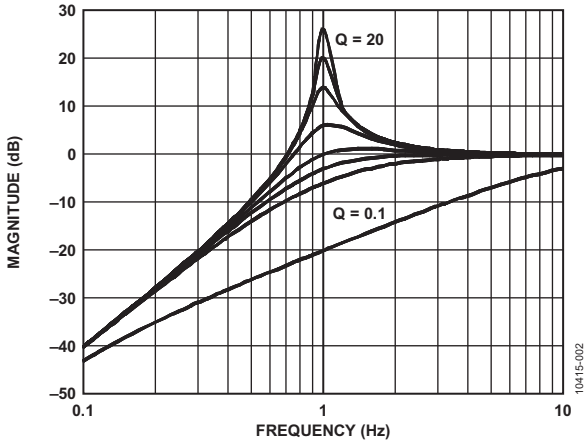


图2. 高通滤波器峰值化与Q的关系

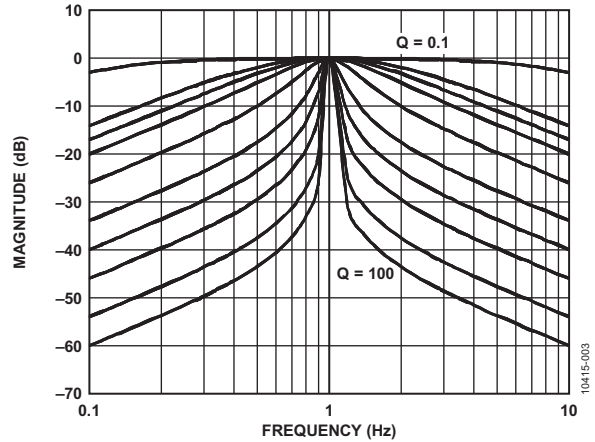


图3. 带通滤波器峰值化与Q的关系

带通滤波器

把低通原型的分子改为 $H_0\omega_0^2$ ，结果将把滤波器变成一个带通函数。

带通滤波器的传递函数为：

$$H(s) = \frac{H_0\omega_0 s^2}{s^2 + \frac{\omega_0}{Q}s + \omega_0^2} \quad (5)$$

其中： ω 为滤波器增益峰值化时的频率($F_0 = 2\pi\omega_0$)。

H_0 为电路增益，定义为：

$$H_0 = H/Q. \quad (6)$$

对带通响应来说，Q有特殊意义。它是滤波器的选择性。定义为：

$$Q = \frac{F_0}{F_H - F_L} \quad (7)$$

其中， F_L 和 F_H 响应比最大值相差-3 dB时的频率。

滤波器的带宽(BW)定义为

$$BW = F_H - F_L \quad (8)$$

请注意，可以证明，谐振频率(F_0)为 F_L 和 F_H 的几何平均值，这就意味着， F_0 在对数尺度上将出现在 F_L 和 F_H 二者的中点。

$$F_0 = \sqrt{F_H F_L}$$

另需注意的是，在对数尺度上，带通响应的波裙在 F_0 左右始终是对称的。

带通滤波器对各种Q值的响应如图3所示。

这里需要提醒一下。带通滤波器有两种定义方式。窄带情况为经典定义，如图3所示。

然而，在某些情况下，如果高、低截止频率相差很大，则带通滤波器采用独立的高通和低通部分进行构造。这里所说的相差很大是说至少相差2个倍频程(频率 $\times 4$)。这是使用宽带的情况。

带阻(陷波)滤波器

把分子改为 $s^2 + \omega_z^2$ ，就可以将滤波器转换成一种带阻或陷波滤波器。就如带通滤波器一样，如果带阻滤波器的转折频率之间间隔大于一个倍频程(宽带情况)，则可用单独的低通和高通部分构造。因此，我们将采用以下规范：窄带带阻滤波器将称为陷波滤波器，宽带带阻滤波器称为带阻滤波器。

陷波(或带阻)传递函数为：

$$H(s) = \frac{H_0(s^2 + \omega_z^2)}{s^2 + \frac{\omega_0}{Q}s + \omega_0^2} \quad (9)$$

陷波滤波器的特性有三种情况，如图4所示。极点频率 ω_0 与零点频率 ω_z 的关系决定着滤波器是标准陷波、低通陷波，还是高通陷波。

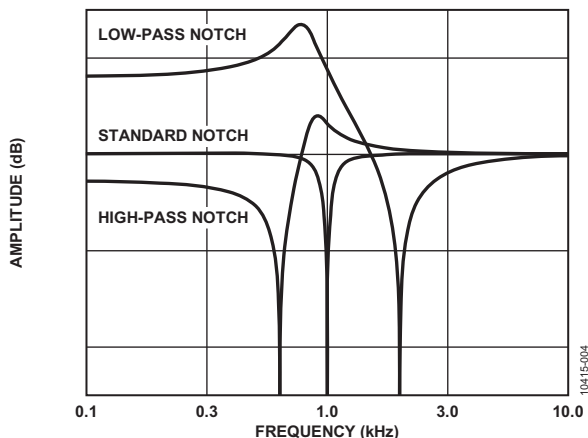


图4. 标准、低通和高通陷波

如果零点频率等于极点频率，则存在标准陷波。在此例中，零位于 $j\omega$ 平面，其中，定义极点频率的曲线与轴相交。

当零点频率大于极点频率时，会发生低通陷波。这种情况下， ω_z 位于极点频率曲线之外。对实际应用来说，这意味着，滤波器在 ω_z 以下的响应将大于 ω_z 以上的响应。结果形成一种椭圆形的低通滤波器。

当零点频率小于极点频率时，会产生高通陷波滤波器。这种情况下， ω_z 位于极点频率曲线之内。对实际应用来说，这意味着，滤波器在 ω_z 以下的响应将小于 ω_z 以上的响应。结果形成一种椭圆形的高通滤波器。

陷波宽度随Q的变化情况如图5所示。

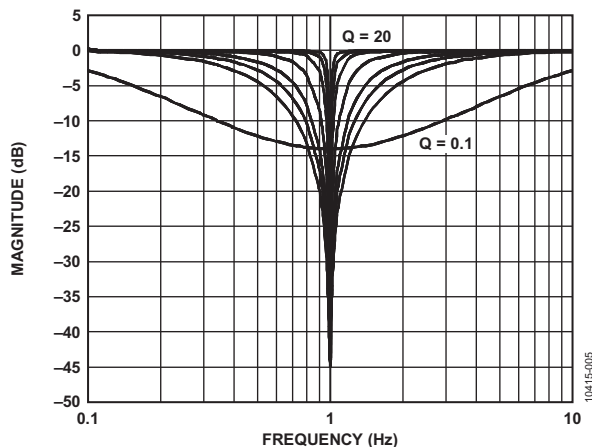


图5. 陷波滤波器宽度与各种Q值下的频率之间的关系

参考文献

Zumbahlen, Hank. *Linear Circuit Design Handbook*. Elsevier. 2008. ISBN: 978-7506-8703-4.

修订历史

2012年1月—修订版0：初始版

状态变量滤波器

作者: ADI公司
Hank Zumbahlen

引言

本小型指南讨论三种状态变量滤波器设计示例, 是一系列介绍精密运算放大器分立式电路的小型指南之一。

图1所示为Tow介绍的状态变量实现方式(见参考文献部分)以及设计公式。

这种配置是滤波器功能最精确的实现方式, 但其代价是电路元件数量大增。全部三个主要参数(增益、Q和 ω_0)都可以单独调节, 同时提供低通、高通和带通三种输出。需要注意的是, 低通和高通输出的相位会反转, 而带通输出的相位则保持不变。

状态变量滤波器各种输出的增益也是独立可变的。利用增加的放大器部分对低通部分和高通部分求和, 也可以集成陷波功能。通过改变求和部分的比值, 可以实现低通陷波、标准陷波和高通陷波功能。标准陷波也可以利用增加的运算放大器部分从输入中减去带通输出来实现。也可以

通过从输入中减去带通输出, 构建四个放大器配置的全通滤波器。这种情况下, 带通增益必须等于2。

由于状态变量滤波器的全部参数均支持独立调节, 因而可将元件分布降至最低。还可将因温度和元件容差导致的偏移降至最低。

通过改变R4和R5即可对状态变量滤波器的谐振频率进行调节。尽管并非一定要对二者同时进行调节, 但如果变异范围较大, 则还是以调节为上。使R1保持不变, 调节R2, 结果设定低通增益, 调节R3则设定高通增益。带通增益和Q则通过R6与R7之比设定。

由于状态变量滤波器的参数相互独立且可调, 因而可轻松添加电子频率控制, 即Q和 ω_0 。这种调节是通过使用模拟乘法器、乘法DAC (MDAC)或数据电位计来实现的(见MT-208)。

在选择放大器以构建状态变量滤波器时, 根据经验, 在带通输出端, 中心频率至少具有20 dB的环路增益。在状态变量滤波器中, 放大器被用作积分器(在带通输出中), 满足带宽要求。

与状态变量滤波器相似的是双二阶滤波器(见MT-205)。

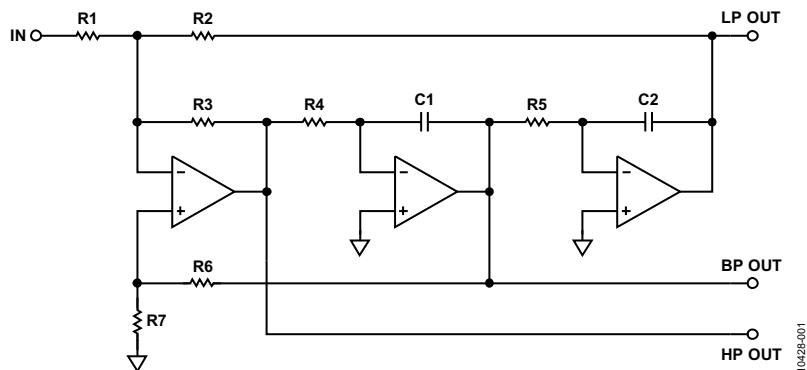


图1. 状态变量滤波器

状态变量设计公式

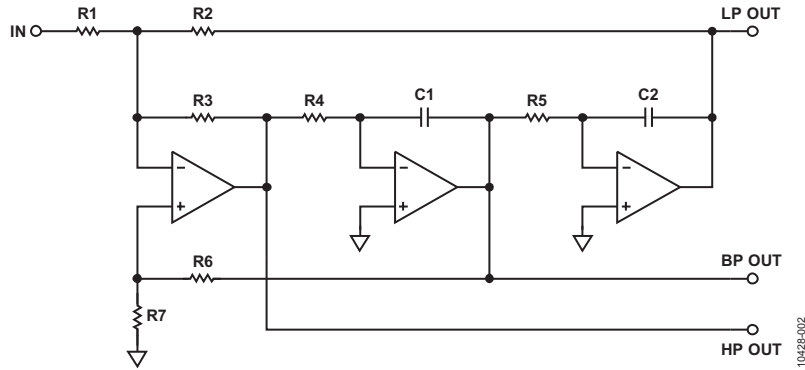


图2.

现在选择C。

$$A_{LP(s=0)} = -\frac{R2}{R1}$$

$$A_{HP(s=\infty)} = -\frac{R3}{R1}$$

要设计该滤波器，请选择R1。

$$R2 = A_{LP} R1$$

$$R3 = A_{HP} R1$$

$$\omega_0 = \sqrt{\frac{R3}{R2 R4 R5 C1 C2}}$$

令 $R4 = R5 = R$ 且 $C1 = C2 = C$

$$R = \frac{2\pi F_0}{C} \sqrt{\frac{A_{HP}}{A_{LP}}}$$

$$A_{BP(s=\omega_0)} = \frac{\frac{R6 + R7}{R7}}{R1 \left(\frac{1}{R1} + \frac{1}{R2} + \frac{1}{R3} \right)}$$

现在选择R7。

$$R6 =$$

$$R7 \sqrt{R2 R3} Q \left(\frac{1}{\frac{1}{R1} + \frac{1}{R2} + \frac{1}{R3}} \right)$$

陷波滤波器的状态变量设计公式

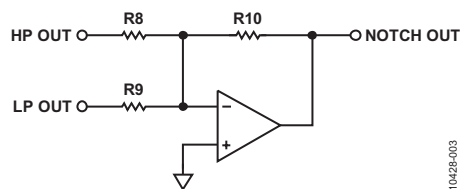


图3.

10428-003

要设计该滤波器，请选择 $R10$ 。

然后选择 $A_{HP}, A_{LP}, A_{NOTCH} = 1$ 。

对于 $\omega_z = \omega_0$: $R8 = R9 = R10$

对于 $\omega_z < \omega_0$: $R9 = R10$

$$R8 = \frac{\omega_0^2}{\omega_z^2} R10$$

对于 $\omega_z > \omega_0$: $R8 = R10$

$$R9 = \frac{\omega_z^2}{\omega_0^2} R10$$

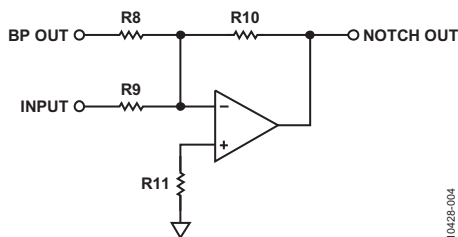


图4.

10428-004

要设计该滤波器，请选择 $A_{NOTCH} = 1$ 。

然后选择 $R10$ ：

$R8 = R9 = R11 = R10$ 。

修订历史

2012年4月—修订版0：初始版

全通滤波器的状态变量设计公式

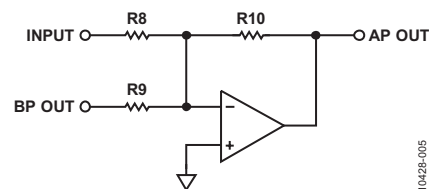


图5.

10428-005

$H = 1$

$R8 = R10$

$R9 = R8/2$

参考文献

Tow, J. "Active RC Filters—A State-Space Realization", Proc. IEEE, 1968, Vol.56, pp. 1137-1139.

Zumbahlen, Hank, editor, 2008. *Linear Circuit Design Handbook*, Newnes, ISBN 978-0-7506-8703-4.

理想的电压反馈型(VFB)运算放大器

简介

运算放大器是线性设计的基本构建模块之一。在经典模式下，运算放大器由两个输入引脚和一个输出引脚构成，其中一个输入引脚使信号反相，另一个输入引脚则保持信号的相位。运算放大器的标准符号如图1所示。其中略去了电源引脚，该引脚显然是器件工作的必需引脚。

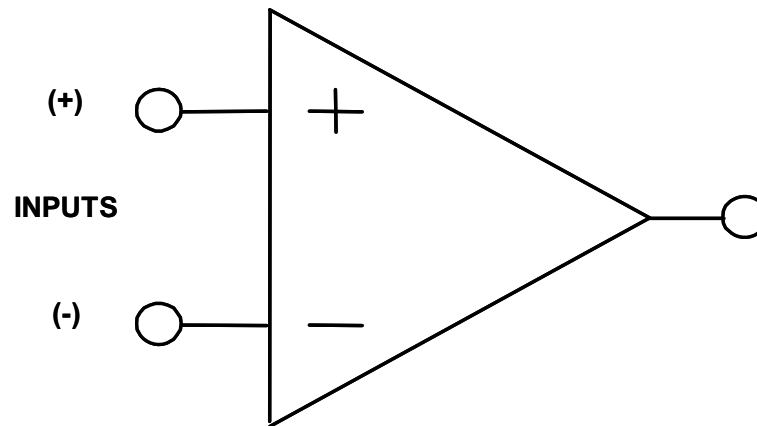


图1: 运算放大器的标准符号

运算放大器”的标准简称是“运放”。这一名称源于放大器设计的早期，当时运算放大器应用于模拟计算机中。(是的，第一代计算机是模拟的，不是数字的。)当这种基础放大器与几个外部元件配合使用时，可以执行各种数学“运算”，如加、积分等。模拟计算机的主要用途之一体现在第二次世界大战期间，当时，它们被用来绘制弹道轨迹。有关运算放大器的历史，请看参考文献2。

理想的电压反馈(VFB)模型

理想的电压反馈(VFB)运算放大器经典模型具有以下特征：

1. 输入阻抗无穷大
2. 带宽无穷大
3. 电压增益无穷大
4. 零输出阻抗
5. 零功耗

虽然这些并不现实，但这些理想标准决定着运算放大器的质量。

这就是所谓的电压反馈(VFB)模型。这类运算放大器包括带宽在10 MHz以下的几乎所有运算放大器，以及带宽更高的运算放大器的90%。电流反馈(CFB)是另一种运算放大器架构，我们将在另一教程中讨论。图2总结了理想的电压反馈运算放大器的属性。

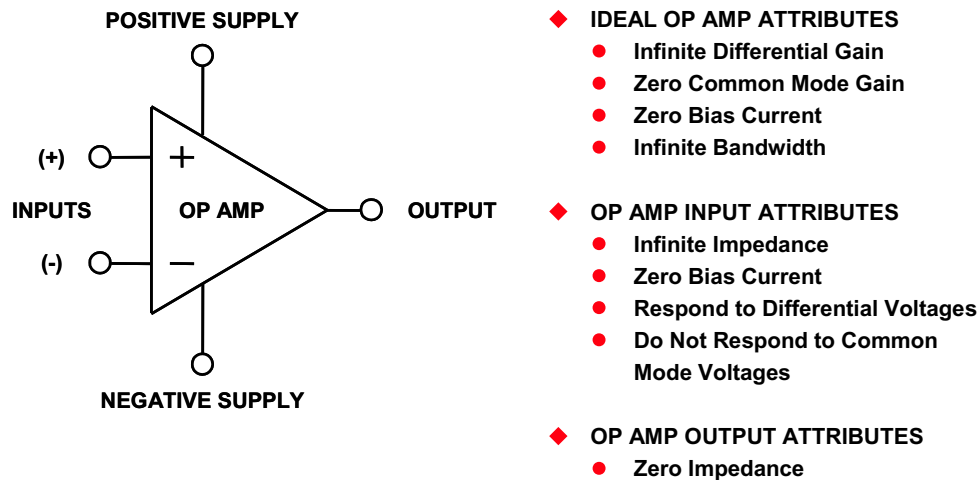


图2：理想的电压反馈运算放大器的属性

基本工作原理

理想的运算放大器的基本工作原理非常简单。首先，我们假定输出信号的一部分反馈至反相引脚，以建立放大器的固定增益。这是负反馈。通过运算放大器输入引脚的任何差分电压都将与放大器的开环增益(对于理想的运算放大器，该值无穷大)相乘。如果该差分电压的幅度在反相(-)引脚上为正且高于同相(+)引脚，则输出会变成负。如果差分电压的幅度在同相(+)引脚上为正且高于反相(-)引脚，则输出电压将变成正。放大器的无穷大开环增益会尝试迫使差分输入电压变为零值。只要输入和输出处于放大器的工作电压范围之内，就会使差分输入电压保持于零，输出为输入电压与反馈网络决定的增益之积。请注意，输出对差模电压而非共模电压作出反应。

反相和同相配置

有两种基本方法可以把理想的电压反馈运算放大器配置为放大器。分别如图3和图4所示。

图3所示为反相配置。在该电路中，输出与输入反相。该电路的信号增益取决于所用电阻的比值，计算公式为：

$$G = -\frac{R_F}{R_G} \quad \text{等式 1}$$

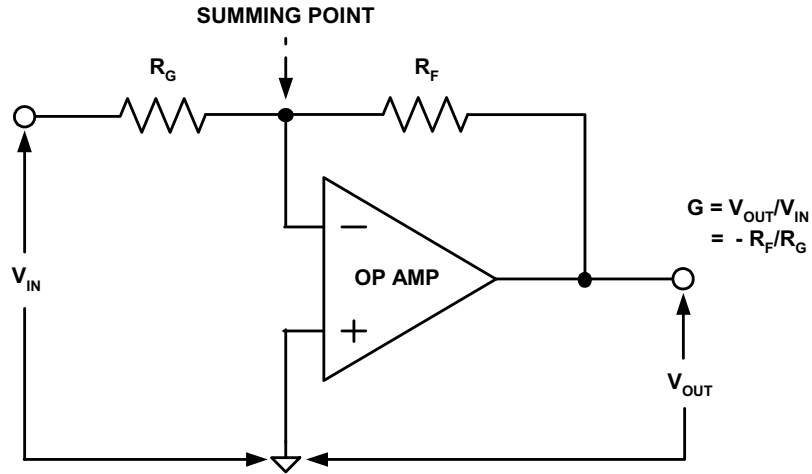


图3：反相模式的运算放大器级

图4所示为同相配置。在该电路中，输出与输入同相。该电路的信号增益同样取决于所用电阻的比值，计算公式为：

$$G = 1 + \frac{R_F}{R_G} \quad \text{等式 2}$$

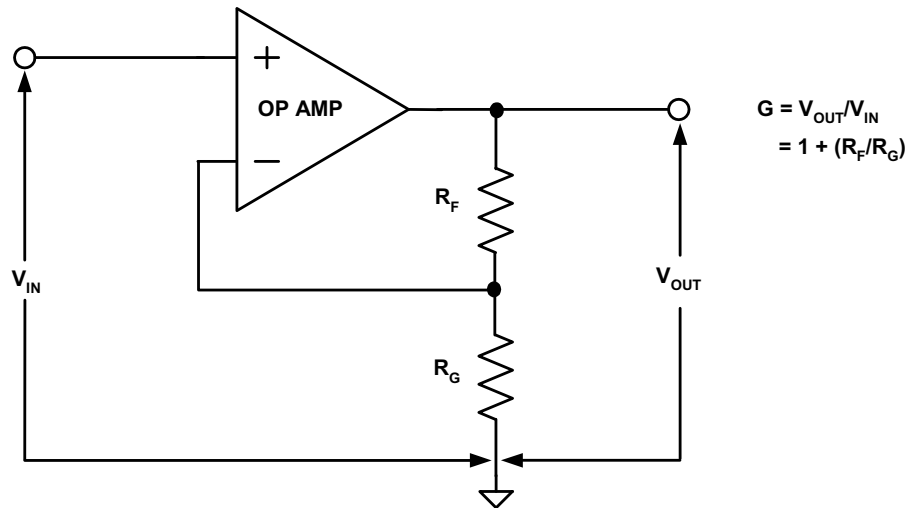


图4：同相模式的运算放大器级

请注意，当电路配置为最小增益 $1(R_G = \infty)$ 时，由于输出驱动分压器(增益设置网络)，所以反相引脚端的最大可用电压为全部输出电压。

另外注意，在反相和同相两种配置中，反馈是从输出引脚到反相引脚。这是负反馈，对设计师来说，这有许多优势，我们将对此进行详细讨论。

另外需要注意的是，增益是以电阻的比值而不是其实际值为基础。这就意味着，设计师可以从多种值中进行选择，只需遵循某种实际限制即可。

然而，如果电阻的值太低，则需运算放大器输出引脚提供大量电流才能正常工作。这会导致运算放大器本身的功耗大幅增加，从而带来多种缺点。功耗增加会使芯片自热，结果可能改变运算放大器本身的直流特性。另外，产生热量最终可能使结温升高至 150°C 以上，而这是多数半导体常用的上限。结温为硅片本身的温度。另一方面，如果电阻值过高，就会导致噪声和寄生电容增加，结果也可能限制带宽，并有可能导致不稳定和振荡。

从实用角度来看， $10\ \Omega$ 以下和 $1\ \text{M}\Omega$ 以上的电阻很难找到，尤其是需要精密电阻时。

计算反相运算放大器的增益

我们来详细讨论一下反相运算放大器的情况。如图5所示，同相引脚接地。我们假定采用一种双极性(正和负)电源。由于运算放大器将强制使通过输入引脚的差分电压变成零，所以反相输入也会表现为地电压。事实上，这个节点通常称为“虚拟地”。

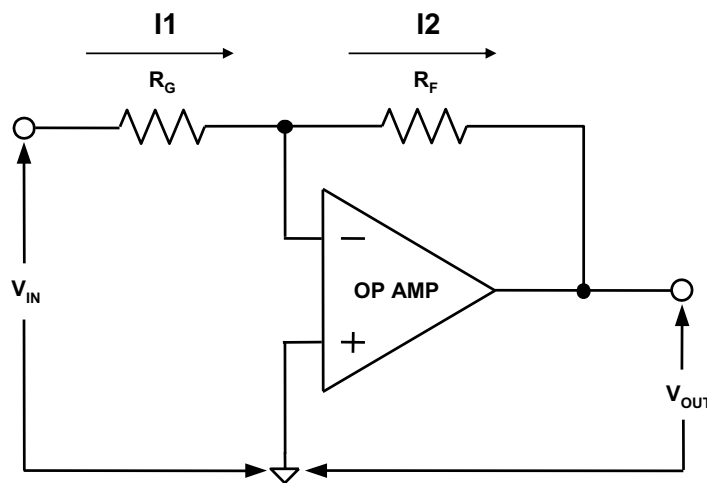


图5: 反相放大器增益

如果向输入电阻施加电压(V_{IN}), 就会通过电阻(R_G)产生电流(I_1), 因此

$$I_1 = \frac{V_{IN}}{R_G} \quad \text{等式 3}$$

由于理想的运算放大器输入阻抗无穷大, 因此, 不会有电流流入反相输入引脚。因此, 同一电流(I_1)一定会流过反馈电阻(R_F)。由于放大器将强制使反相引脚变成地, 因此, 输出引脚将有电压(V_{OUT}):

$$V_{OUT} = I_1 \times R_F \quad \text{等式 4}$$

经过一些简单的算术运算, 可以得到结论(等式 1), 即:

$$\frac{V_{OUT}}{V_{IN}} = G = -\frac{R_F}{R_G} \quad \text{等式 5}$$

计算同相运算放大器的增益

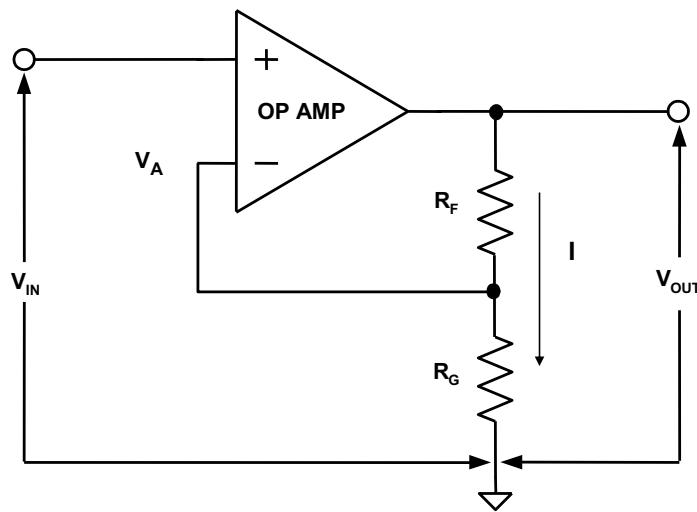


图6: 同相放大器增益

现在, 我们来详细考察一下同相放大器的情况。如图6所示, 输入电压施加于同相引脚。输出电压驱动一个由 R_F 和 R_G 构成的分压器。反相引脚(V_A)端的电压(位于两个电阻的接合处)等于

$$V_A = \frac{R_G}{R_F + R_G} V_{OUT} \quad \text{等式 6}$$

运算放大器的负反馈行为会使差分电压变成0，因此

$$V_A = V_{IN}. \quad \text{等式 7}$$

经过简单的算术运算可得：

$$\frac{V_{OUT}}{V_{IN}} = G = \frac{R_G + R_F}{R_G} = 1 + \frac{R_F}{R_G}, \quad \text{等式 8}$$

与等式2相同。

在上述讨论中，我们把增益设置元件称为电阻。事实上，它们是阻抗，而不仅仅是电阻。这样，我们可以构建依赖于频率的放大器。对于这个问题，我们将在以后的教程中详细讨论。

参考文献：

1. Hank Zumbahlen, *Basic Linear Design*, Analog Devices, 2006, ISBN: 0-915550-28-1. Also available as [Linear Circuit Design Handbook](#), Elsevier-Newnes, 2008, ISBN-10: 0750687037, ISBN-13: 978-0750687034. Chapter 1
2. Walter G. Jung, *Op Amp Applications*, Analog Devices, 2002, ISBN 0-916550-26-5, Also available as [Op Amp Applications Handbook](#), Elsevier/Newnes, 2005, ISBN 0-7506-7844-5. Chapter 1.

Copyright 2009, Analog Devices, Inc. All rights reserved. Analog Devices assumes no responsibility for customer product design or the use or application of customers' products or for any infringements of patents or rights of others which may result from Analog Devices assistance. All trademarks and logos are property of their respective holders. Information furnished by Analog Devices applications and development tools engineers is believed to be accurate and reliable, however no responsibility is assumed by Analog Devices regarding technical accuracy and topicality of the content provided in Analog Devices Tutorials.

电压反馈型运算放大器的增益和带宽

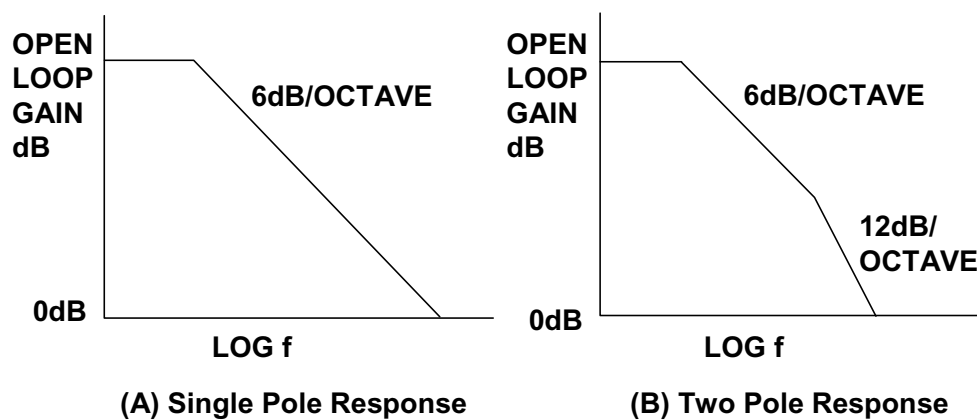
简介

本教程旨在考察标定运算放大器的增益和带宽的常用方法。需要指出的是，本讨论适用于电压反馈(VFB)型运算放大器——电流反馈(CFB)型运算放大器将在以后的教程(MT-034)中讨论。

开环增益

与理想的运算放大器不同，实际的运算放大器增益是有限的。开环直流增益(通常表示为 A_{VOL})指放大器在反馈环路未闭合时的增益，因而有了“开环”之称。对于精密运算放大器，该增益可能非常高，为160 dB(1亿)或以上。从直流到主导极点转折频率，该增益表现平坦。此后，增益以6 dB/8倍频程(20 dB/10倍频程)下降。(8倍频程指频率增加一倍，10倍频程指频率增加十倍。)如果运算放大器有一个单极点，则开环增益继续以该速率下降，如图1A所示。实际的运算放大器一般有一个以上的极点，如图1B所示。第二个极点会使开环增益下降至12 dB/8倍频程(40 dB/10倍频程)的速率增加一倍。如果开环增益在达到第二个极点的频率之前降至0 dB(单位增益)以下，则运算放大器在任何增益下均会无条件地保持稳定。数据手册上一般将这种情况称为单位增益稳定。如果达到第二个极点的频率且闭环增益大于1(0 dB)，则放大器可能不稳定。有些运算放大器设计为只有在较高闭环增益下才保持稳定，这就是所谓的非完全补偿运算放大器。

然而，运算放大器可能在较高频率下拥有更多额外的寄生极点，前两个极点一般都是最重要的。



1: 开环增益(波特图)
(A) 单极点响应、(B)双极点响应

有必要了解开环增益、闭环增益、环路增益、信号增益和噪声增益之间的区别。它们性质类似、相互关联，但也存在差异。下面我们将详细讨论。

开环增益并不是一项精确控制的参数。其范围相对较大，在规格参数中，多数情况下均表示为典型值而非最小/最大值。有些情况下，一般指高精度运算放大器，该参数会有一个最小值。

另外，开环增益可能因输出电压电平和负载而变化。这就是所谓的开环增益非线性度。该参数与温度也有一定的相关性。一般来说，这些影响很小，多数情况下都可以忽略不计。事实上，一些运算放大器的数据手册中未必包含开环增益非线性度。

闭环增益

闭环增益指放大器在反馈环路闭合时的增益，与其相反，开环增益则是放大器在反馈环路断开时的增益。闭环增益有两种形式：信号增益和噪声增益。下面对两者进行说明并加以区分。

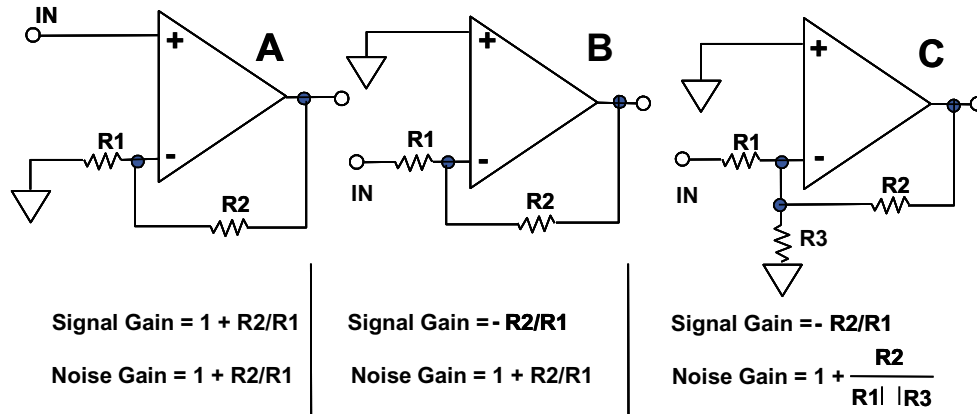
闭环放大器增益的经典表达式涉及开环增益。设 G 为实际闭环增益， N_G 为噪声增益(见下文)， A_{VOL} 为放大器的开环增益，则：

$$G = \frac{N_G}{1 + \frac{N_G}{A_{VOL}}} \quad \text{等式 1}$$

显然，如果开环增益很高，一般情况下都是如此，则电路的闭环增益就是噪声增益。

信号增益与噪声增益

信号增益指连接反馈环路时施加于输入信号的增益。在[教程MT-032](#)中，我们讨论了反相和同相电路的增益，更确切地说，实际上就是闭环信号增益。信号增益可为正(同相模式)，也可为负(反相模式)，反相模式下，可能低于单位增益。信号增益是在设计信号路径元件时最重要的增益。图2详细展示了各种增益的情况。



- Voltage Noise and Offset Voltage of the op amp are reflected to the output by the Noise Gain.
- Noise Gain, not Signal Gain, is relevant in assessing stability.
- Circuit C has unchanged Signal Gain, but higher Noise Gain, thus better stability, worse noise, and higher output offset voltage.

图2: 信号增益与噪声增益

反相放大器级的信号增益为:

$$\text{信号增益} = -\frac{R2}{R1}, \quad \text{等式 2}$$

同相放大器则为:

$$\text{信号增益} = 1 + \frac{R2}{R1}. \quad \text{等式 3}$$

噪声增益指出现在与运算放大器输入端串联的噪声源(输入电压噪声)或电压源(输入失调电压)上的增益。噪声增益等于

$$\text{噪声增益} = 1 + \frac{R2}{R1}. \quad \text{等式 4}$$

噪声增益等于同相放大器的信号增益。同时, 反相级或同相级的噪声增益是相同的。

用于确定运算放大器稳定性的是噪声增益。噪声增益等于波特图中用到的闭环增益。上面的噪声增益表达式中用到电阻值, 但是, 在实际应用中, 它们实际上是带有实部和虚部的阻抗。

环路增益

开环增益与闭环增益之差称为环路增益，如图3所示。环路增益给出了可以在给定频率下施加于放大器的负反馈量。

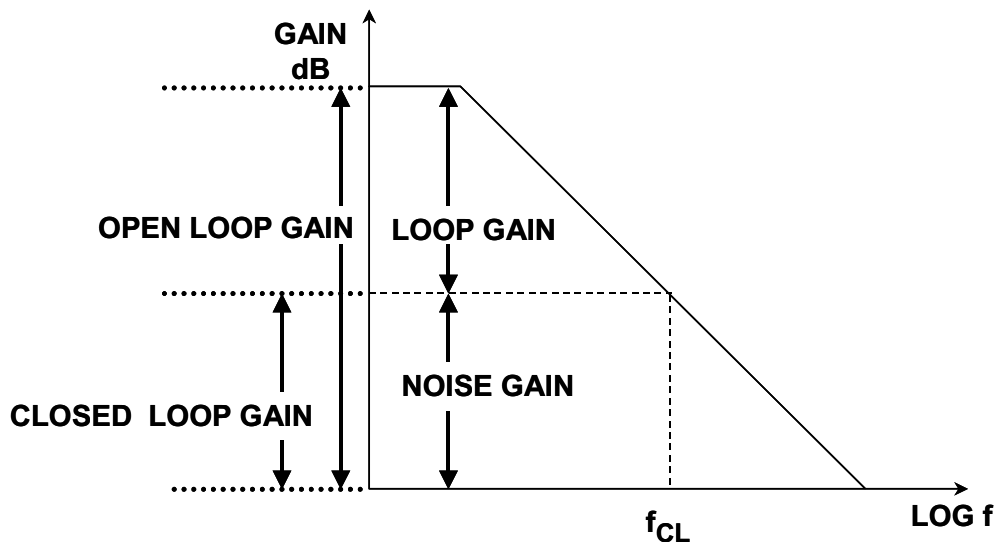


图3：增益定义

波特图：渐近和实际响应

基于对数-对数比例的开环增益与频率的关系坐标图称为波特图。这是评估某个运算放大器是否适合特定应用的主要工具之一。

如果在波特图上先画上开环增益，然后绘出噪声增益(如图4所示)，则其交点将决定放大器系统的最大闭环带宽。该交点通常被称为闭环频率(F_{CL})。请记住，交点处的实际响应值比该值低3 dB。在比 F_{CL} 高和低一个8倍频程的频率下，渐近响应与实际响应之差将小于1 dB。

波特图也可用于确定稳定性。如上所述，如果闭环增益(噪声增益)在大于6 dB/8倍频程(20 dB/10倍频程)的斜率下与开环增益相交，则放大器可能不稳定(取决于相位余量)。

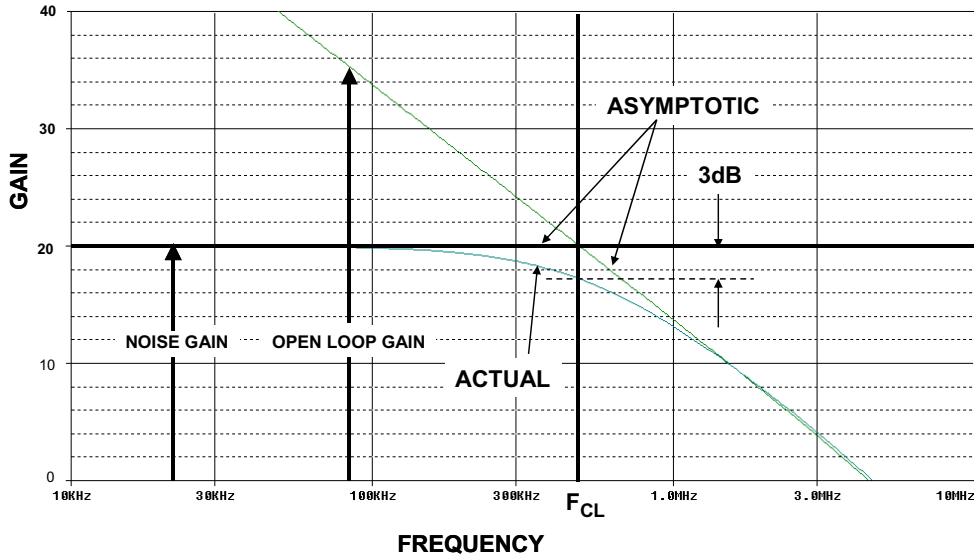


图4：波特图——渐近响应与实际响应

增益带宽积

对于单极点响应，开环增益以6 dB/8倍频程下降。这就是说，如果我们将频率增加一倍，增益会下降两倍。相反，如果使频率减半，则开环增益会增加一倍，如图5所示。结果产生所谓的增益带宽积。如果用频率乘以开环增益，其积始终为一个常数。需要注意的是，必须处于整条曲线中以6 dB/8倍频程下降的部分。这样，我们就得到了一个品质因素，可以据此决定某个运算放大器是否适合特定的应用。请注意，增益带宽积仅对电压反馈(VFB)运算放大器有意义。有关电流反馈(CFB)运算放大器带宽的讨论见[教程MT-034](#)。

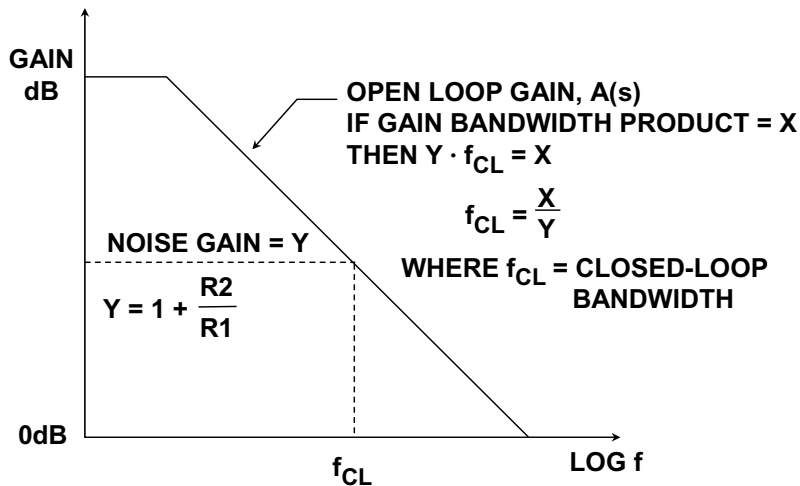


图5：增益带宽积

例如，如果有这样一个应用，要求闭环增益为10，带宽为100 kHz，则需要一个最低增益带宽积为1 MHz的运算放大器。但这有点把问题过度简单化了，因为增益带宽积变化极大，而且在闭环增益与开环增益相交的位置，响应实际上要低3 dB。另外，还应该允许一定的额外余量。

在上述应用中，增益带宽积为1 MHz的运算放大器是最低要求。保险起见，为了实现要求的性能，因数至少应该是5。因此选择了增益带宽积为5 MHz的运算放大器。

稳定性标准

反馈稳定性理论认为，闭环增益必须在不大于6 dB/8倍频程(单极点响应)的斜率下与开环增益相交，才能使系统实现无条件稳定。如果响应为12 dB/8倍频程(双极点响应)，则运算放大器会发生振荡。简单起见，不妨这样设想，每个极点增加90°相移。两个极点则会产生180°的相移，而180°的相移会使负反馈变成正反馈，即振荡。

那么问题是：为什么要用单位增益下不稳定的放大器呢？答案是，对于给定的放大器，如果该放大器设计时未考虑单位增益稳定性，则可在较高增益下提高带宽。这类运算放大器有时被称为非完全补偿运算放大器。然而，仍需满足稳定性标准，即闭环增益必须在6 dB/8倍频程(单极点响应)的斜率下与开环增益相交。否则，放大器将会振荡。因此，非完全补偿运算放大器仅在数据手册中规定的较高增益下保持稳定。

举例来说，不妨比较图6中的开环增益图。图中的三种器件，AD847、AD848 和 AD849基本上采用相同的设计，只是内部补偿机制不同。AD847为单位增益稳定型，规定增益带宽为50 MHz。AD848在增益为5或以上时保持稳定，其增益带宽为175 MHz。AD849在增益为25或以上时保持稳定，其增益带宽为725 MHz。由此可见，在基本设计相同的情况下，可以通过修改运算放大器的内部补偿机制来产生不同的增益带宽积，其为最低稳定增益的函数。

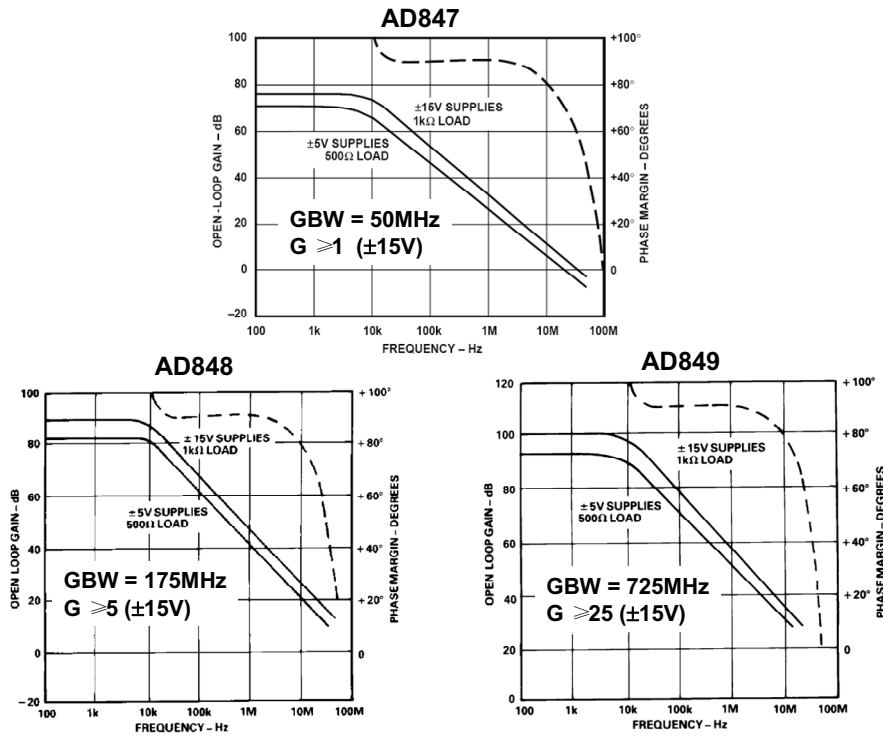


图6: AD847、AD848、AD849的开环增益特性、增益带宽积和最低稳定闭环增益

相位余量

衡量稳定性的一项指标是相位余量。正如幅度响应不会一直保持平坦却突然变化一样，相位响应也会从转折频率前的大约十倍频程开始逐渐变化。相位余量指在达到 180° 之前剩余的相移量，在闭环增益与开环增益相交的频率下进行测量。

低相位余量造成的结果是，增益峰值会刚好在闭环增益与开环增益的相交频率之前增加。图7显示了AD8051运算放大器的增益和相位响应。这种情况下，相位余量与单位增益频率成 45° 。

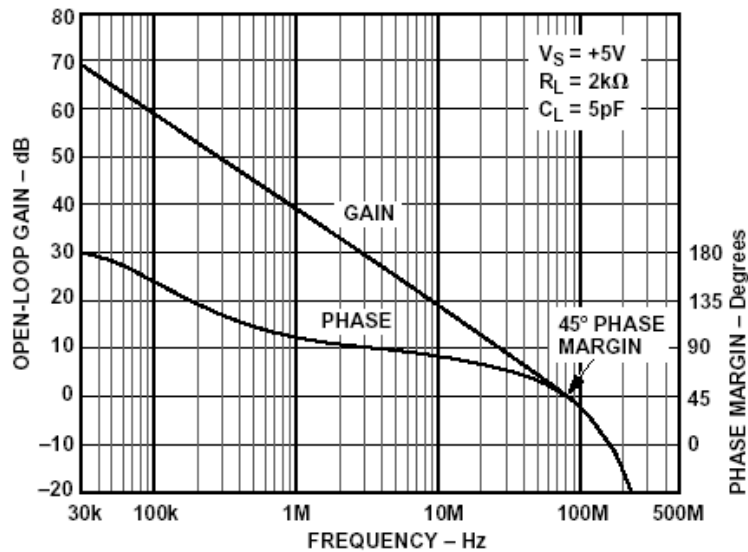


图7: AD8051相位余量

参考文献:

1. Hank Zumbahlen, *Basic Linear Design*, Analog Devices, 2006, ISBN: 0-915550-28-1. Also available as [Linear Circuit Design Handbook](#), Elsevier-Newnes, 2008, ISBN-10: 0750687037, ISBN-13: 978-0750687034. Chapter 1
2. Walter G. Jung, *Op Amp Applications*, Analog Devices, 2002, ISBN 0-916550-26-5, Also available as [Op Amp Applications Handbook](#), Elsevier/Newnes, 2005, ISBN 0-7506-7844-5. Chapter 1.

Copyright 2009, Analog Devices, Inc. All rights reserved. Analog Devices assumes no responsibility for customer product design or the use or application of customers' products or for any infringements of patents or rights of others which may result from Analog Devices assistance. All trademarks and logos are property of their respective holders. Information furnished by Analog Devices applications and development tools engineers is believed to be accurate and reliable, however no responsibility is assumed by Analog Devices regarding technical accuracy and topicality of the content provided in Analog Devices Tutorials.

电流反馈(CFB)运算放大器

简介

本教程将详细介绍两种基本运算放大器的拓扑结构(电压反馈(VFB)与电流反馈(CFB))，并说明其差异。图1中再次列出了基本电压反馈运算放大器和增益公式。

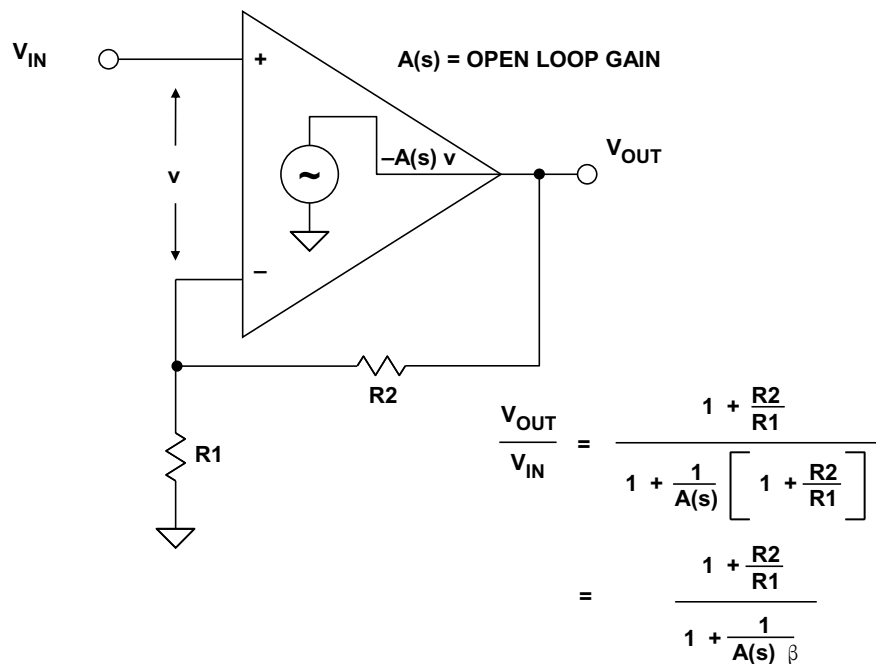


图1：已连接反馈网络的电压反馈运算放大器

必须注意，由于反馈网络和有限的开环增益A(s)而产生的误差信号实际上是小电压v。

电流反馈放大器基本原理

图2所示为基本电流反馈放大器拓扑结构。注意，该模型采用一个单位增益缓冲器将同相输入连接至反相输入。理想状态下，该缓冲器的输出阻抗为零($R_o = 0$)，误差信号为流入反相输入的小电流i。误差电流i镜像到高阻抗T(s)，T(s)上产生的电压等于T(s)·i。(T(s)的大小通常称为开环跨导增益。)

接着，该电压经过缓冲，连接至运算放大器输出。如果假设 R_O 为零，就很容易得出以 R_1 - R_2 反馈网络和开环跨导增益 $T(s)$ 表示闭环增益 V_{OUT}/V_{IN} 的相关表达式。 R_O 为有限值时，也可以得出该公式，图3给出了两种表达式。

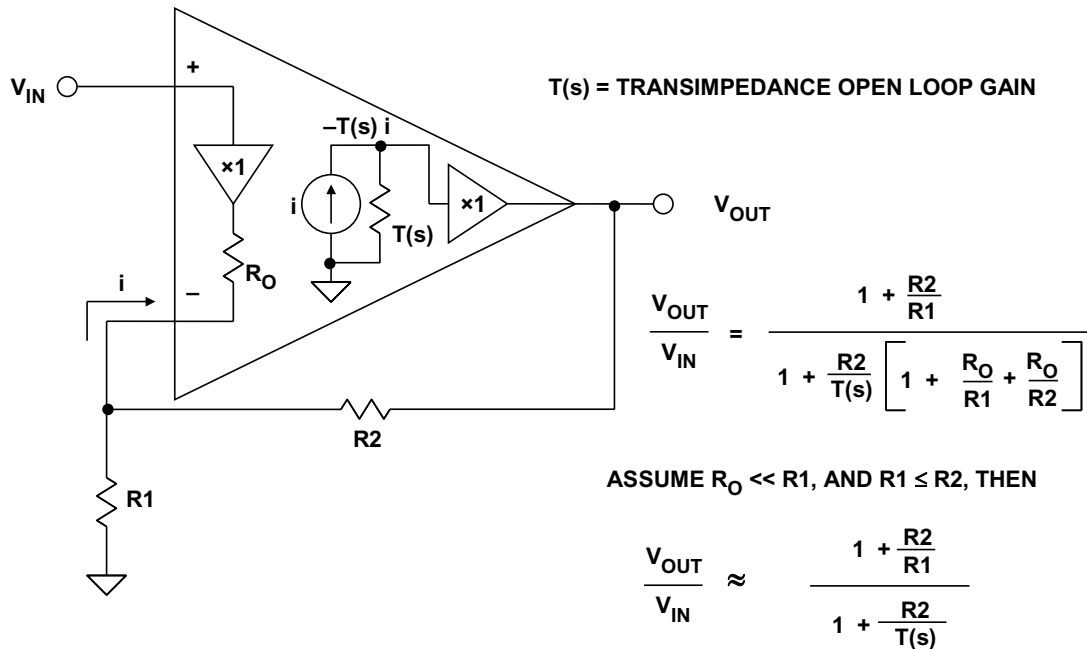


图2：电流反馈(CFB)运算放大器拓扑结构

此时应当注意，电流反馈运算放大器通常称为跨导运算放大器，因为开环传递函数实际上是一个阻抗，如上文所述。但是，很多常见的电路往往也使用跨导放大器这一术语，比如电流-电压(I/V)转换器，而CFB或VFB运算放大器都可用于I/V转换器。因此，在特定应用中遇到术语跨导时应加以注意。而术语电流反馈运算放大器则很少会混淆，因此，提到运算放大器拓扑结构时，最好选用这个术语。

这个简单模型中可以得出CFB运算放大器的几个重要特性。

- 与VFB运算放大器不同，CFB运算放大器没有平衡输入。相反，其同相输入端为高阻抗，反相输入端为低阻抗。
- CFB运算放大器的开环增益用 Ω 为单位来衡量(跨导增益)，而不是VFB运算放大器所用的 V/V 。
- 反馈电阻 R_2 为固定值时，CFB的闭环增益可通过改变 R_1 而发生变化，不会对闭环带宽产生重大影响。通过检查图3中的简化公式就可以发现这一点。分母决定整体频率响应，如果 R_2 不变，则可以改变分子中的 R_1 (从而改变增益)，不影响分母，这样带宽就会保持相对稳定。

CFB拓扑结构主要用于对高速和低失真有极高要求的场合。其基本原理基于这样一个事实：在双极型晶体管电路中，在所有其它条件相同的情况下，电流的切换速度快于电压。

图3所示为早期IC CFB运算放大器AD846的简化原理图，这是ADI公司1988年推出的一款放大器。注意，该器件充分利用了互补双极型(CB)工艺可以提供匹配良好的高 f_t PNP和NPN晶体管的优势。

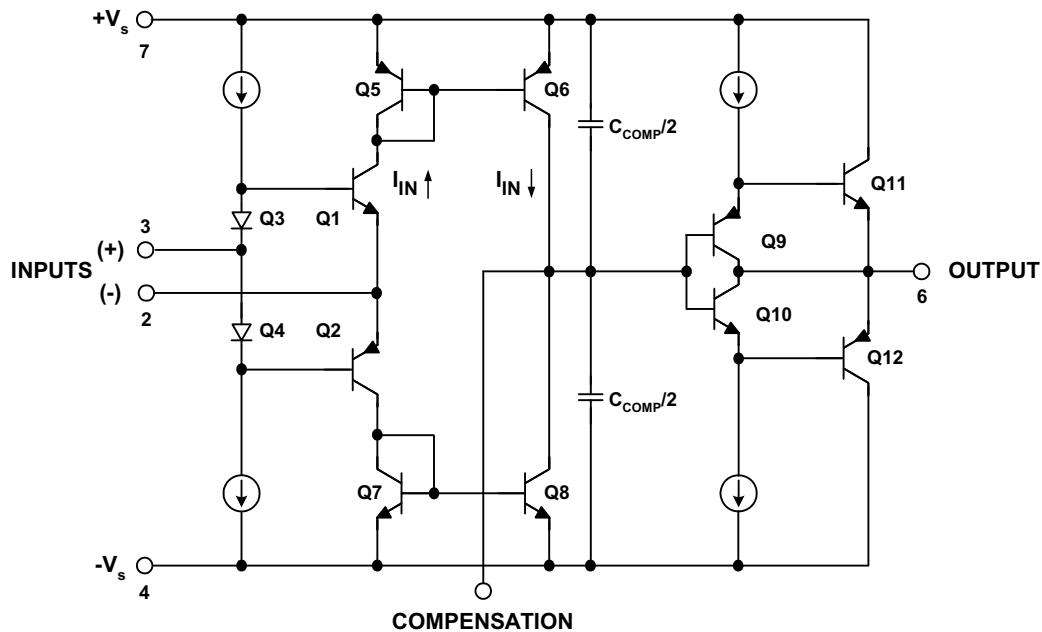


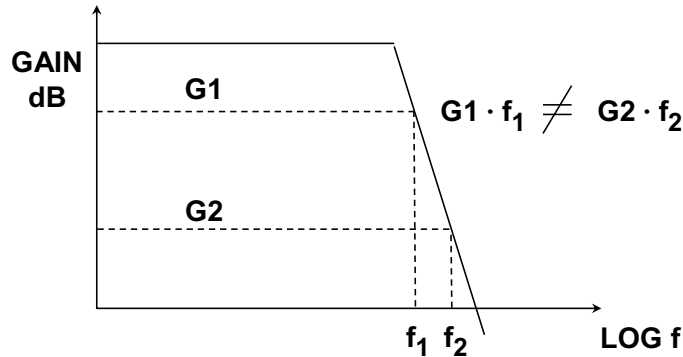
图3: AD846电流反馈运算放大器(1988)

晶体管Q1-Q2缓冲同相输入(引脚3)，并驱动反相输入(引脚2)。Q5-Q6和Q7-Q8用作电流镜，驱动高阻抗节点。C_{COMP}电容提供主极点补偿，Q9、Q10、Q11和Q12构成输出缓冲。为了充分利用CFB架构的优势，需要采用高速互补双极型(CB) IC工艺。凭借现代IC工艺，这一目标很容易实现，这样就可以在放大器信号路径中实现直接耦合。

CFB和VFB运算放大器的差异

CFB和VFB放大器的一个主要差异就是CFB放大器没有恒定的增益带宽产品。CFB运算放大器的带宽随增益变化很小，远小于在VFB运算放大器中看到的6 dB/倍频程，如图4所示。如前所述，CFB运算放大器的带宽与反馈电阻成比例。每个CFB运算放大器都有最大带宽时的推荐反馈电阻值。如果电阻值增加后超过该推荐值，就要减小带宽。

如果采用阻值低于推荐值的电阻，相位裕量就会减小，放大器可能会变得不稳定。



- ◆ Feedback resistor fixed for optimum performance. Larger values reduce bandwidth, smaller values may cause instability.
- ◆ For fixed feedback resistor, changing gain has little effect on bandwidth.
- ◆ Current feedback op amps do not have a fixed gain-bandwidth product.

图4: 电流反馈放大器频率响应

控制CFB运算放大器应用中的增益时，需要为器件选择正确的反馈电阻(R2)，然后选择底部电阻(R1)，以产生所需的闭环增益。R2和R1的增益关系与VFB运算放大器中的关系是相同的。

最佳反馈电阻在不同的工作条件下可能是不同的。例如，由于寄生效应的变化，对于不同的封装类型，最佳反馈电阻值会有所变化。图5所示为AD8001运算放大器在采用PDIP、SOIC和SOT-23封装以及不同增益时的最佳反馈电阻。

Component	AD8001AN (PDIP) Gain					AD8001AR (SOIC) Gain					AD8001ART (SOT-23-5) Gain				
	-1	+1	+2	+10	+100	-1	+1	+2	+10	+100	-1	+1	+2	+10	+100
R _F (Ω)	649	1050	750	470	1000	604	953	681	470	1000	845	1000	768	470	1000
R _G (Ω)	649		750	51	10	604		681	51	10	845		768	51	10
R _O (Nominal) (Ω)	49.9	49.9	49.9	49.9	49.9	49.9	49.9	49.9	49.9	49.9	49.9	49.9	49.9	49.9	49.9
R _S (Ω)	0					0					0				
R _T (Nominal) (Ω)	54.9	49.9	49.9	49.9	49.9	54.9	49.9	49.9	49.9	49.9	54.9	49.9	49.9	49.9	49.9
Small Signal BW (MHz)	340	880	460	260	20	370	710	440	260	20	240	795	380	260	20
0.1 dB Flatness (MHz)	105	70	105			130	100	120			110	300	145		

图5: AD8001采用不同封装时的最佳反馈电阻

CFB放大器的反馈环路中也不应该有电容。如果反馈环路中采用电容，就会减小高频净反馈阻抗，导致运算放大器发生振荡。反相输入上的杂散电容会产生类似的效应，应去除反相端四周的接地层，尽量减小杂散电容。

使用电流反馈运算放大器时常见的错误是把反相输入直接连接到输出，试图构建单位增益电压跟随器(缓冲)。该电路会产生振荡，因为等效反馈电阻值为零。只要采用推荐的反馈电阻值,将反相输入连接至输出，就可以稳定跟随器电路。

VFB和CFB放大器的另一个差异,就是CFB放大器的反相输入阻抗较低(通常为50 Ω 至100 Ω)，而同相输入阻抗则较高(通常为几百k Ω)。因此，CFB放大器的输入不平衡，而VFB放大器的输入平衡。

CFB拓扑结构还增强了压摆率性能。对内部补偿电容进行充电和放电的电流可以根据需要提供。不用像通常VFB拓扑结构中一样必须限制在固定值。对于阶跃输入，电流会不断增加(“按需电流”)，直至反馈环路稳定。基本电流反馈放大器没有理论压摆率限制。只有对内部寄生电容的相关限制，而且已经通过多种方式来减少寄生电容的影响。

CFB器件结合了高带宽和高压摆率，具有良好的失真性能，且功耗较低。

放大器的失真受放大器开环失真和闭环电路环路增益的影响。因为内部拓扑结构具有基本对称性，所以受CFB放大器影响产生的开环失真量较小。高带宽是造成低失真的另一个主要原因。在大多数配置中，CFB放大器的带宽都比对应的VFB更大。因此，在给定的信号频率下，具有更大的环路增益，因而失真就越低。但是，有些电压反馈结构(通常称为“四核”或“H电桥”)也采用类似工艺设计，其性能水平接近CFB，并且也可以提供“按需电流”(参考文献2，第1章，第1-6节)。

总结：电流反馈(CFB)与电压反馈(VFB)

电流反馈和电压反馈具有不同的应用优势。在很多应用中，CFB和VFB的差异并不明显。如今的CFB和VFB放大器性能相当，但两种拓扑结构还是各有其独特优势。电压反馈可以自由选择反馈电阻(或网络)，但会因为增益而牺牲带宽。电流反馈可以在较大的增益范围内保持高带宽，但会限制反馈阻抗的选择。

总之，VFB放大器具有以下特点：

- 噪声较低
- 直流性能较好
- 反馈元件选择自由

CFB放大器具有以下特点：

- 压摆率较快
- 失真较低
- 反馈元件选择受限

参考文献：

1. Hank Zumbahlen, *Basic Linear Design*, Analog Devices, 2006, ISBN: 0-915550-28-1. Also available as [Linear Circuit Design Handbook](#), Elsevier-Newnes, 2008, ISBN-10: 0750687037, ISBN-13: 978-0750687034. Chapter 1.
2. Walter G. Jung, *Op Amp Applications*, Analog Devices, 2002, ISBN 0-916550-26-5, Also available as [Op Amp Applications Handbook](#), Elsevier/Newnes, 2005, ISBN 0-7506-7844-5. Chapter 1.

Copyright 2009, Analog Devices, Inc. All rights reserved. Analog Devices assumes no responsibility for customer product design or the use or application of customers' products or for any infringements of patents or rights of others which may result from Analog Devices assistance. All trademarks and logos are property of their respective holders. Information furnished by Analog Devices applications and development tools engineers is believed to be accurate and reliable, however no responsibility is assumed by Analog Devices regarding technical accuracy and topicality of the content provided in Analog Devices Tutorials.

电流反馈运算放大器噪声考虑因素

在多数高速运算放大器应用中，一般都需要考虑总输出均方根噪声。由于其中涉及高带宽，因此，输出均方根噪声的主要贡献因素是白噪声， $1/f$ 噪声可以忽略不计。

典型的高速运算放大器的带宽大约大于150 MHz，双极性电压反馈(VFB)输入级的输入电压噪声范围为1至20 nV/ $\sqrt{\text{Hz}}$ 左右。

对于VFB运算放大器，反相和同相输入电流噪声一般相等，而且几乎总是不相关。宽带VFB运算放大器的典型值范围为0.5至5 pA/ $\sqrt{\text{Hz}}$ 。当增加输入偏置电流补偿发生器时，双极性输入级的输入电流噪声会提高，因为它们的电流噪声不相关，因而会以(以和的平方根的方式)增加双极性级的内生电流噪声。然而，偏置电流补偿很少用在高速运算放大器中。

电流反馈(CFB)运算放大器中的输入电压噪声一般低于带宽与之近似相同的VFB运算放大器。其原因在于，CFB运算放大器中的输入级一般在较高的电流下工作，从而使发射极电阻下降，结果导致电压噪声降低。CFB运算放大器的典型值范围为1至5 nV/ $\sqrt{\text{Hz}}$ 。

CFB运算放大器的输入电流噪声一般大于VFB运算放大器，因为其偏置电流普遍较高。CFB运算放大器的反相电流噪声和同相电流噪声通常不同，因为它们采用的是独特的输入架构，二者表示为独立的规格参数。多数情况下，反相输入电流噪声是二者中较大者。CFB运算放大器的典型输入电流范围为5至40 pA/ $\sqrt{\text{Hz}}$ 。这可能占据主导地位，但如果增益极高(当 R_1 较小时)则不在此列。

输出噪声中的主要噪声源在很大程度上取决于运算放大器的闭环增益以及反馈电阻和前馈电阻的值。如果闭环增益的值较高，则运算放大器电压噪声将有可能成为输出噪声的主要贡献因素。低增益时，还需要考虑输入电流噪声的影响，这种影响可能成为主导因素，尤其是在CFB运算放大器的情况下。

高速运算放大器电路中的前馈电阻和反馈电阻的范围从不到100 Ω 到1 k Ω 以上不等，因此，如果不了解具体的值以及闭环增益，则很难从总体上概括它们对总输出噪声的影响。

计算噪声的最佳方法是写一个简单的电子表格程序，以自动进行计算，其中要包括所有噪声源。可以使用下面图1中的等式。请注意，这些对VFB运算放大器来说也是一样的。另外，在多数高速运算放大器应用中，对于100 Ω或以下的源阻抗，源阻抗噪声往往可以忽略不计。

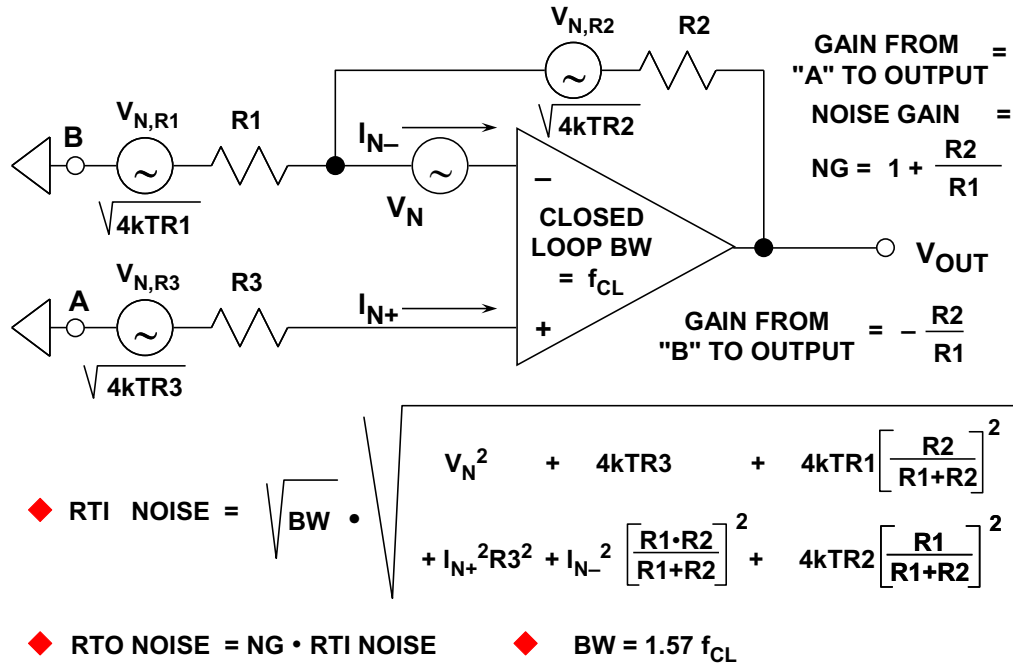


图1: 如果仅存在少量增益尖峰现象, 则CFB和VFB运算放大器使用相同的噪声模型

以上分析忽略了闭环频域响应中的增益尖峰现象的影响。然而，CFB运算放大器中的增益尖峰如果超过1 dB左右，结果可能导致不稳定和振铃。为此，假若增益尖峰降至最低限度，则以上模型的精度一般都能满足需要。

参考文献

1. Hank Zumbahlen, *Basic Linear Design*, Analog Devices, 2006, ISBN: 0-915550-28-1. Also available as [Linear Circuit Design Handbook](#), Elsevier-Newnes, 2008, ISBN-10: 0750687037, ISBN-13: 978-0750687034. Chapter 1.
2. Walter G. Jung, *Op Amp Applications*, Analog Devices, 2002, ISBN 0-916550-26-5, Also available as [Op Amp Applications Handbook](#), Elsevier/Newnes, 2005, ISBN 0-7506-7844-5. Chapter 1.

Copyright 2009, Analog Devices, Inc. All rights reserved. Analog Devices assumes no responsibility for customer product design or the use or application of customers' products or for any infringements of patents or rights of others which may result from Analog Devices assistance. All trademarks and logos are property of their respective holders. Information furnished by Analog Devices applications and development tools engineers is believed to be accurate and reliable, however no responsibility is assumed by Analog Devices regarding technical accuracy and topicality of the content provided in Analog Devices Tutorials.

精密ADC用差分驱动器

差分输入ADC特性

目前许多高性能ADC设计均采用差分输入。全差分ADC设计具有共模抑制性能出色、二阶失真产物较少、直流调整算法简单的优点。尽管可以单端驱动，但全差分驱动器通常可以优化整体性能。

差分输入ADC的一种最普通的驱动方法是使用变压器。不过，因为许多应用中频率响应必须延伸至直流，从而无法使用变压器来驱动。这类情况就需要使用差分驱动器。本教程重点介绍如何驱动高达10 MSPS采样速率的高分辨率16至18位ADC。输入信号带宽一般限于数MHz。[MT-075](#)教程阐述适用于驱动更高速ADC的差分放大器。

大多数高性能CMOS开关电容流水线式ADC的差分输入均类似于图1。

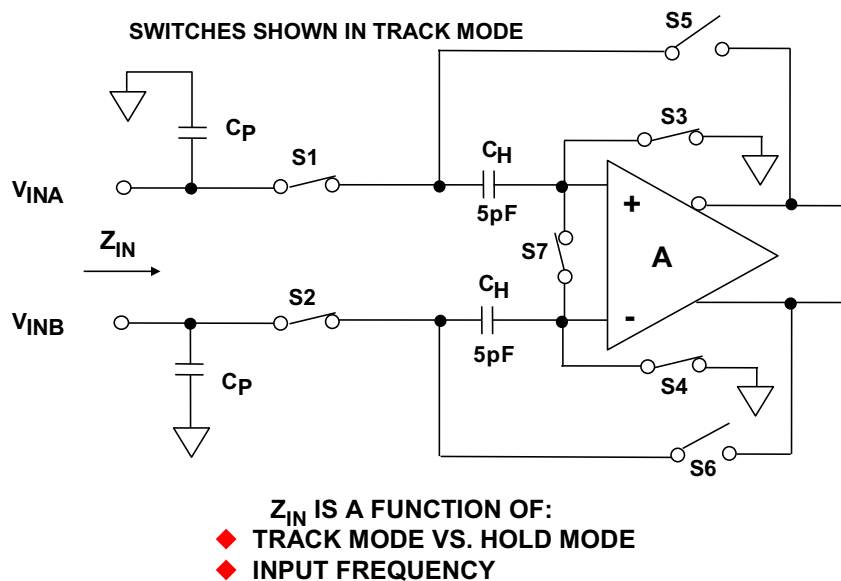


图1：典型非缓冲开关电容CMOS采样保持的简易输入电路

大多数ADC都采用该差分结构。这既简化匹配要求，又减少二阶产物。此外，差分结构还有利于抑制共模噪声。

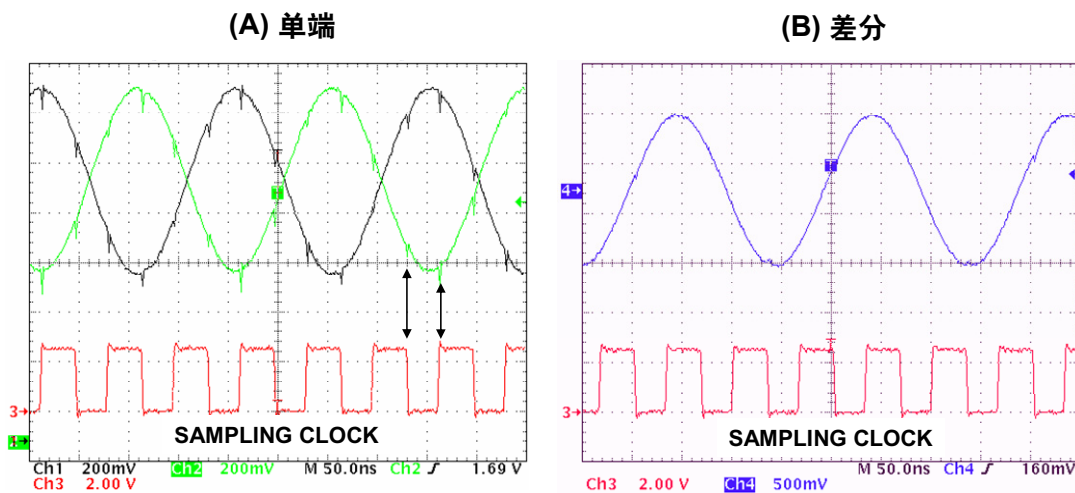
注意，SHA开关直接连接至每个输入。因为没有隔离缓冲器，开关瞬态问题可能十分突出。驱动放大器的瞬态建立时间必须足够快，否则放大器无法在半个采样周期内稳定至所需精度(该建立时间必须包括外部串行电阻的效应)。

此结构的差分输入阻抗呈动态，并在SHA切换采样模式和保持模式时变化。此外，阻抗和模拟输入频率成函数关系。

在跟踪模式(如图所示)，输入信号对保持电容 C_H 进行充放电，当电路切换至保持模式时，开关反转位置，并将保持电容上的电压传送到输出。

十分推荐这类输入采用差分驱动以实现开关瞬态的共模抑制。虽然可单端驱动它们(一个输入连接至适当的共模电压)，但因为无法再抑制偶数阶失真产物，SFDR性能会下降。

图2(A)所示为典型非缓冲CMOS ADC的每个差分输入以及采样时钟。这些输入使用一个 50Ω 源电阻来驱动。注意，因为前述开关动作，在每个采样时钟的边沿会出现一次瞬态。图2(B)所示为在与(A)相同的条件下的ADC差分输入信号。注意，瞬态电流毛刺属于共模信号，故大多数会被消除。注意，为了达到最佳消除状态，必须从一对平衡的源阻抗驱动两个输入(阻抗的实部和虚部都必须匹配)。



- ◆ Differential charge transient is symmetrical around mid-scale and dominated by linear component
- ◆ Common-mode transients cancel with equal source impedance

Note: Data Taken with 50Ω Source Resistances

图2: 典型单端(A)和差分
(B) CMOS开关电容ADC的输入瞬态

驱动精密16和18位差分输入ADC

图3所示为ADA4941-1驱动具有开关电容输入的18位PulSAR系列ADC。这是一种单端双极性信号、差分ADC输入的常见应用。为了实现高分辨率，驱动放大器必须具有低失真、低噪声、高直流精度以及具备单端至差分转换功能的特点。ADA4941-1是一款低功耗(2.2 mA @ 3.3 V)、低噪声(10.2 nV/√Hz @ 1 kHz)、低失真(110 dBc @ 100 kHz)的高达18位ADC的差分驱动器。小信号带宽为31 MHz。该放大器还具有轨到轨输出、高输入阻抗和用户可调节增益的特性。

ADA4941-1由两个运算放大器组成。图中下面一个配置成一个非定向同相缓冲器(带外部反馈电阻)并驱动一个反相放大器。反相放大器的前馈和反馈电阻包括在IC中。尽管反相放大器会产生额外的相移和延时，但这不会在相关频率处引入显著的误差(最高1MHz或2MHz)。

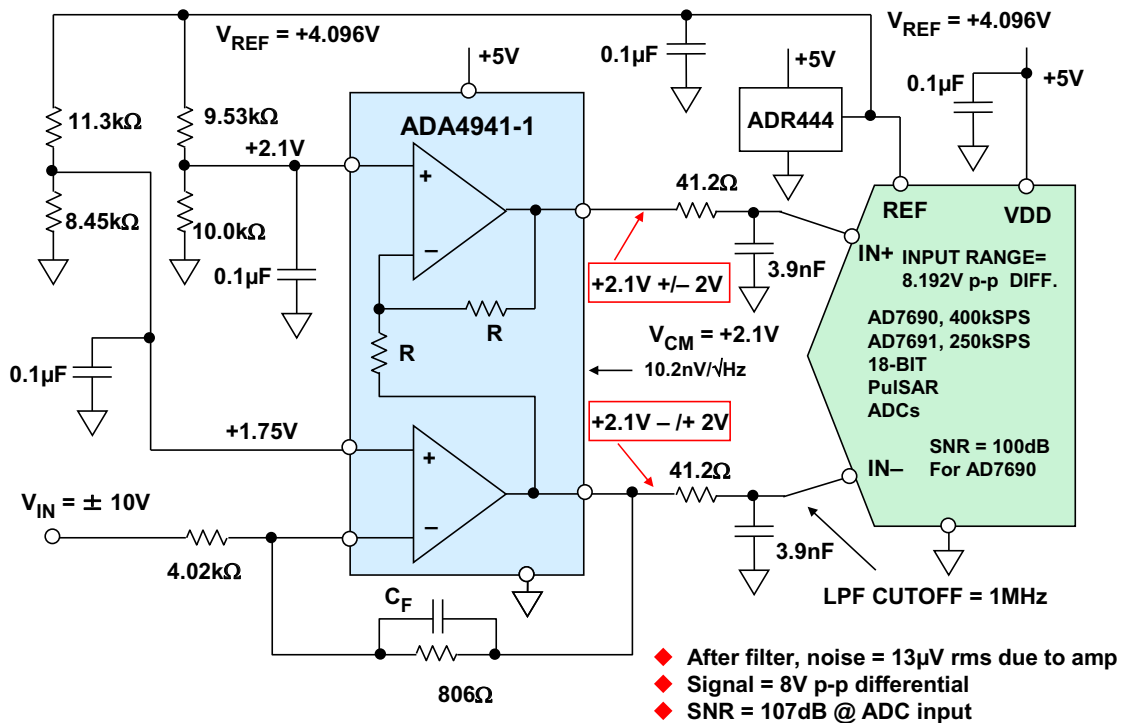


图3: 在+5V应用中ADA4941-1驱动AD7690 18位PulSAR® ADC

在此应用中，两个电阻分压器将ADA4941-1的输出共模电压设为+2.1 V，这样输出只能在离地电平的100m V内。这使放大器轨到轨级具有充足裕量并允许整个电路采用+5 V单电源工作。

AD7690和AD7691的输入范围为 $2 \cdot V_{REF}$ p-p差分。所用基准电压源为ADR444，这是一个4.096 V基准电压源。截止频率为1 MHz的低滤波器的 41.2Ω 电阻和 3.9 nF 电容适合搭配输入带宽为9MHz的AD7690使用。对于所选配置，ADA4941-1输出噪声频谱密度为 $10.2 \text{ nV}/\sqrt{\text{Hz}}$ 。在滤波器带宽上积分后此值变成 $13 \mu\text{V rms}$ 。这对应于运算放大器的107dB SNR，比ADC的100 dB SNR好7 dB。

图4所示为驱动高性能*iCMOS™* Pulsar™ ADC(如AD7634)的另一个示例。许多工业应用的信号高达 $\pm 10 \text{ V}$ 。*iCMOS*系列ADC被专门设计来满足此类应用。大多数*iCMOS* Pulsar ADC具有差分输入。这里，ADA4922-1驱动一个16位或18位*iCMOS* Pulsar ADC。它执行单端至差分转换。

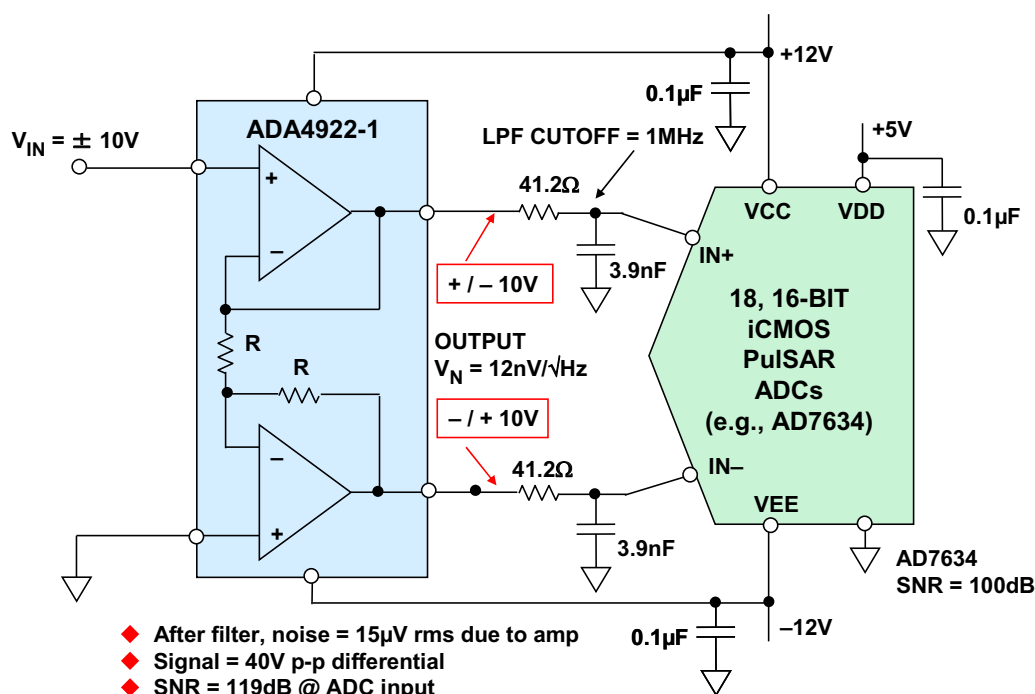


图4：在 $\pm 12 \text{ V}$ 工业应用中ADA4922-1驱动AD7634 18位Pulsar® ADC

ADA4922-1是一款16至18位ADC差分驱动器，差分输入范围高达 40 V p-p 。小信号带宽为38 MHz。ADA4922-1采用ADI公司专有的第二代XFCB工艺制造，使放大器可以在高电源电压条件下实现出色的噪声和失真性能。

针对该运算放大器使用1MHz低通滤波器进行噪声计算可得 $15 \mu\text{V rms}$ 。ADC的信号范围为 40 V p-p ，即 14.14 V rms 。这由于运算放大器自身会产生119 dB的SNR。

使用100 dB的AD7634 SNR，ADC均方根输入噪声可计算为141 μV rms。因此，组合输入ADC噪声为142 μV rms，运算放大器所贡献的噪声几乎可以忽略不计。

参考文献

1. Hank Zumbahlen, *Basic Linear Design*, Analog Devices, 2006, ISBN: 0-915550-28-1. Also available as [Linear Circuit Design Handbook](#), Elsevier-Newnes, 2008, ISBN-10: 0750687037, ISBN-13: 978-0750687034. Chapter 2.
2. Walter G. Jung, *Op Amp Applications*, Analog Devices, 2002, ISBN 0-916550-26-5, Also available as [Op Amp Applications Handbook](#), Elsevier/Newnes, 2005, ISBN 0-7506-7844-5. Chapter 3.
3. Walt Kester, *Analog-Digital Conversion*, Analog Devices, 2004, ISBN 0-916550-27-3, Chapter 6. Also available as [The Data Conversion Handbook](#), Elsevier/Newnes, 2005, ISBN 0-7506-7841-0, Chapter 6.
4. Walt Kester, *High Speed System Applications*, Analog Devices, 2006, ISBN-10: 1-56619-909-3, ISBN-13: 978-1-56619-909-4, Chapter 2.

Copyright 2009, Analog Devices, Inc. All rights reserved. Analog Devices assumes no responsibility for customer product design or the use or application of customers' products or for any infringements of patents or rights of others which may result from Analog Devices assistance. All trademarks and logos are property of their respective holders. Information furnished by Analog Devices applications and development tools engineers is believed to be accurate and reliable, however no responsibility is assumed by Analog Devices regarding technical accuracy and topicality of the content provided in Analog Devices Tutorials.

精密可变增益放大器(VGA)

简介

具有宽动态范围的多数数据采集系统都需要以某种方法来调整模数转换器(ADC)的输入信号电平。ADC满量程输入电压范围通常介于1 V至10 V之间。为了实现转换器的额定精度，最大输入信号应非常接近其满量程电压。

然而，传感器的输出电压范围非常宽。小传感器电压需要高增益，但对于大输出，高增益会导致放大器或ADC饱和。因此，需要某种增益可预测、可控制的器件。具有可编程增益的放大器有多种应用，图1列出了其中的一部分。

- ◆ Instrumentation
- ◆ Photodiode amplifier circuits
- ◆ Ultrasound preamplifiers
- ◆ Sonar preamplifiers
- ◆ Wide dynamic range sensors
- ◆ Driving ADCs (some ADCs have on-chip VGAs)
- ◆ Automatic gain control (AGC) loops
- ◆ Gain control
 - Resistor programmable
 - Pin programmable
 - Continuous analog voltage
 - Digital (5 to 8-bits typical)

图1：可变增益放大器(VGA)的应用

此类器件的增益由直流电压控制，或者，更常见的情况是由数字输入控制。这种器件被称为“可变增益放大器(VGA)”或“可编程增益放大器(PGA)”。

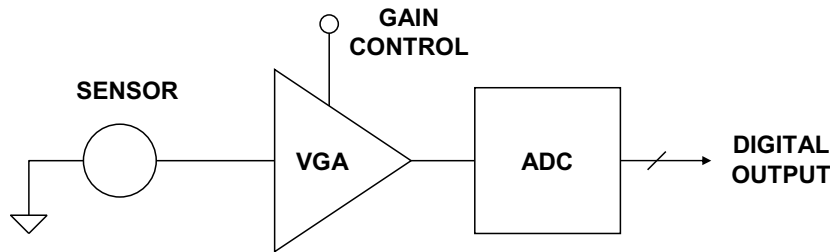
对于电压控制VGA，通常是使增益(用dB表示)与线性控制电压成比例。

数字控制VGA可能配置用于获得几个可选的“十倍频程增益”(如10、100、1000等)，或配置用于获得“二进制增益”(如1、2、4、8等)。许多情况下，增益范围(用dB表示)分为相等的步进，具体由5至8位控制字决定。当然，这是最终系统的函数，也是最理想的类型。

需要注意的是，以上应用示例的一个共同因素是所处理的不同类型信号是多种多样的。有些可能要求宽带宽和低失真，其他则可能要求极低噪声，源阻抗从高到低。输入可能是单端，也可能是差分。

VGA的输出可能需要驱动ADC某个定义的输入范围，也可能是较小子系统的一部分，比如AGC或增益范围调整环路。其后的电路有多种类别，能满足部分这些要求。

VGA通常位于传感器及其ADC之间，如下面的图2所示。额外的信号调理可能发生在VGA之前或之后，具体视应用而定。例如，光电二极管需要在其自己与VGA之间放置一个电流-电压转换器。在多数其他系统中，最好先放置增益，并对较大的信号进行调理。这样可以减少信号调理电路引入的误差。



- ◆ Used to increase the dynamic range of the system
- ◆ A VGA with a gain of 1 to 2 theoretically increases the dynamic range by 6dB.
- ◆ A gain of 1 to 4 gives a 12dB increase, etc.

图2：数据采样系统中的VGA

为了弄清可变增益的好处，我们不妨假设一个具有两个增益设置(即1和2)的理想VGA。系统的动态范围增加6 dB。通过将增益增加到最大值4，动态范围会增加12 dB。如果ADC的LSB等于10 mV输入电压，则该ADC无法分辨更小的信号，但是，当VGA的增益增加至2时，则可以分辨5 mV的输入信号。因此，处理器可以将VGA增益信息与ADC数字输出相结合，从而使其分辨率提高1位。本质上，这与增加ADC的分辨率是一样的。事实上，目前有一些ADC通过片内VGA来增加动态范围(如AD77xx系列)。

精密VGA的设计问题

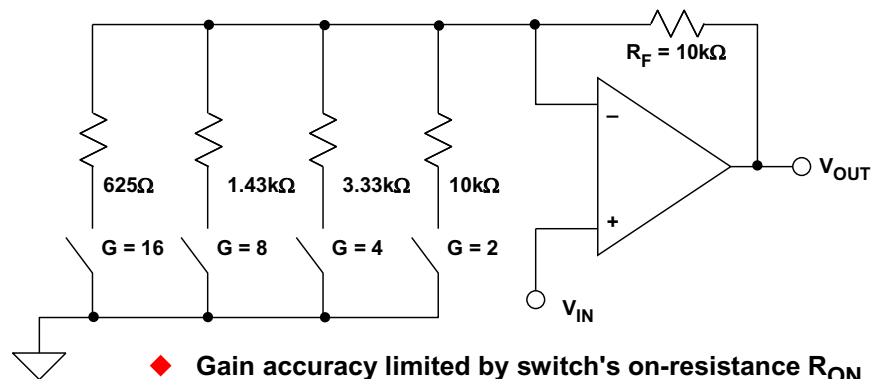
在实际应用中，VGA并不理想，必须研究并了解其误差源。下面的图3总结了VGA的各种设计问题。

- ◆ How to switch the gain
- ◆ Effects of the switch on-resistance (R_{ON})
- ◆ Gain accuracy
- ◆ Gain and offset drift over temperature
- ◆ Gain linearity
- ◆ Bandwidth versus gain
- ◆ DC offset
- ◆ Settling time after switching gain
- ◆ Harmonic distortion, two-tone intermodulation distortion, IP3, SFDR
- ◆ Noise
- ◆ Input / output impedance

图3: VGA设计问题

一个VGA设计的基本问题在于对增益精确编程。机电继电器具有极小的导通电阻(R_{ON})，但并不适合增益切换，原因是速度慢、尺寸大且价格昂贵。CMOS开关虽然尺寸小，但其 R_{ON} 会受电压/温度影响，而且还存在杂散电容，有可能会影响VGA交流参数。

为了了解 R_{ON} 对性能的影响，我们来考虑下面图4中的不良VGA设计。一个同相运算放大器有4个不同的增益设置电阻，各通过一个开关接地， R_{ON} 为100 Ω 至500 Ω 。即使当 R_{ON} 低至25 Ω 时，16增益误差为2.4%，比8位还要差！ R_{ON} 还会随温度而变化，在开关间也会发生变化。

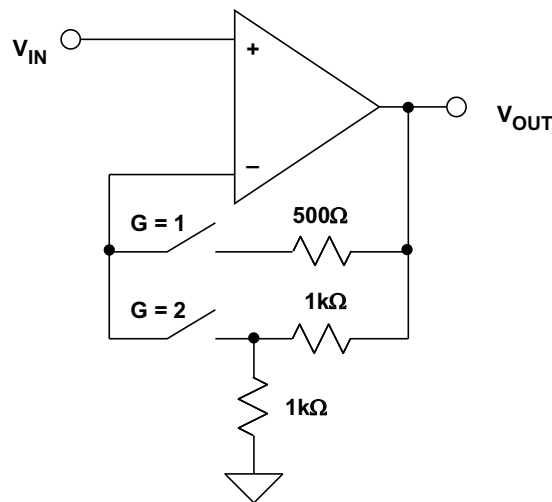


- ◆ Gain accuracy limited by switch's on-resistance R_{ON} and R_{ON} modulation
- ◆ R_{ON} typically 100 - 500 Ω for CMOS or JFET switch
- ◆ Even for $R_{ON} = 25\Omega$, there is a 2.4% gain error for $G = 16$
- ◆ R_{ON} drift over temperature limits accuracy
- ◆ Must use very low R_{ON} switches (relays)

图4: 设计不佳的VGA

要尝试“修复”该设计，可以增加电阻，但随之而来的是噪声和失调问题。对于这种电路，提高精度的唯一方法是使用几乎不存在 R_{ON} 的继电器。只有在这种情况下，继电器仅数 $m\Omega$ 的 R_{ON} 只会产生较小的误差(与 $625\ \Omega$ 相比)。

最好使用对 R_{ON} 不敏感的电路。在下面的图5中，开关与运算放大器的反相输入串联。由于运算放大器的输入阻抗非常大，因而开关 R_{ON} 不再相干，而此时的增益完全由外部电阻决定。请注意——如果运算放大器偏置电流较高， R_{ON} 可能会增加较小的失调误差(如果情况确实如此，则可在 V_{IN} 用一个等效电阻进行补偿)。



- ◆ R_{ON} is not in series with gain setting resistors
- ◆ R_{ON} is small compared to input impedance
- ◆ Only slight offset errors occur due to bias current flowing through the switches

图5: 替代VGA配置降低 R_{ON} 的影响

下文展示几个基于上述概念和其它概念的低频VGA电路。

AD526软件可编程VGA

[AD526](#)放大器采用前面提到的VGA架构，并集成到单芯片上，如图6所示。AD526有5个二进制增益设置，范围为1至16，其内部JFET开关与放大器反相输入端相连，如图5所示。增益电阻经过激光调整，最大增益误差仅为0.02%，线性度为0.001%。在负载端连接FORCE/SENSE端子可以确保获得最高精度(同时允许针对低阻抗负载，使用可选的单位增益缓冲器)。AD526由一个锁存数字接口控制。

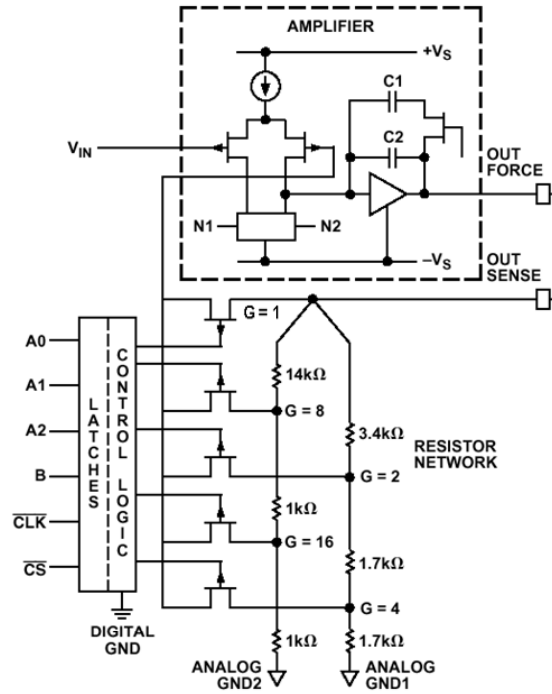


图6: [AD526](#)软件可编程VGA的原理示意图

低噪声VGA

相同的设计概念可以用来构建低噪声VGA，如下面的图7所示。其中使用了一个运算放大器、一个四通道开关和多个精密电阻。噪声较低的[AD797](#)取代了AD526的JFET输入运算放大器，但该电路几乎可以使用任何电压反馈运算放大器。选择[ADG412](#)的原因是其 R_{ON} 为 35Ω 。

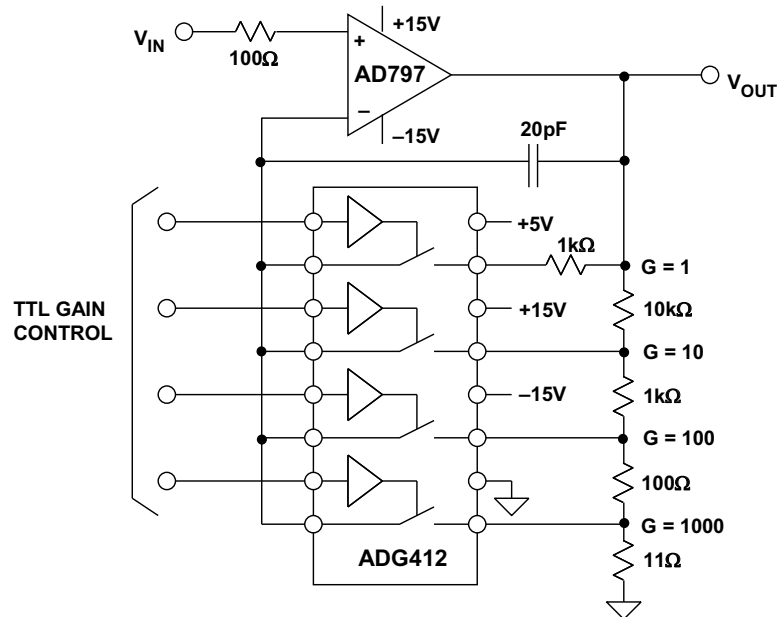


图7: 采用AD797和ADG412构成的一种极低噪声VGA

选择这些电阻是为了产生1、10、100和1000的十倍频程增益，但是，如果需要其他增益，可以轻松更改电阻值。理想情况下，应该使用一个调整电阻网络，以获得初始增益精度和低温漂特性。20 pF的反馈电容确保了稳定性，并在切换增益时保持输出电压不变。开关的控制信号会先将第一个开关关闭几纳秒，然后再开启第二个开关。在此期间，运算放大器为开环。如果没有电容，输出会开始摆动。相反，电容会在开关期间保持输出电压不变。由于两个开关同时断开的时间非常短，因此只需要20 pF。对于较慢的开关，可能需要较大的电容。

增益为1000时，VGA的输入电压噪声频谱密度仅为 $1.65 \text{ nV}/\sqrt{\text{Hz}}$ (1 kHz)，略高于仅使用AD797时的噪声性能。出现增加的原因在于ADG412的噪声以及流过 R_{ON} 的AD797电流噪声。

VGA的精度对于决定系统整体精度非常重要。AD797的偏置电流为 $0.9 \mu\text{A}$ ，流过 $35 \Omega R_{\text{ON}}$ 时，结果会额外导致 $31.5 \mu\text{V}$ 的失调误差。与AD797的失调相加后，总 V_{OS} 变为 $71.5 \mu\text{V}$ (最大值)。失调温度漂移受偏置电流和 R_{ON} 变化的影响。计算显示，总温度系数从 $0.6 \mu\text{V}/^\circ\text{C}$ 增加至 $1.6 \mu\text{V}/^\circ\text{C}$ 。请注意，尽管这些误差很小(最后可能无关紧要)，但仍然需要知道它们的存在。

在实际应用中，电路精度和增益TC将由外部电阻决定。共模范围、输入偏置电流等输入特性完全取决于AD797。

DAC编程VGA

另一种VGA结构在运算放大器的反馈环路中利用一个DAC来调整数字控制下的增益，如下面的图8所示。DAC的数字码控制其相对于基准输入 V_{REF} 的衰减，其功能类似于电位计。衰减反馈信号可以增加闭环增益。

这种同相VGA要求使用带电压模式输出的乘法DAC。请注意，乘法DAC具有宽基准电压范围，其中包括零。对于VGA的多数应用来说，基准输入必须能够处理双极性信号。[AD7846](#)是一款符合这些要求的16位转换器。在本应用中，它采用标准的二象限乘法模式。

[OP213](#)是一款低漂移、低噪声放大器，但放大器的选择非常灵活，具体取决于计划的应用。输入电压范围取决于AD7846的输出摆幅，比正电源低3 V，比负电源高4 V。反馈环路中使用了一个1000 pF的电容以保持稳定。

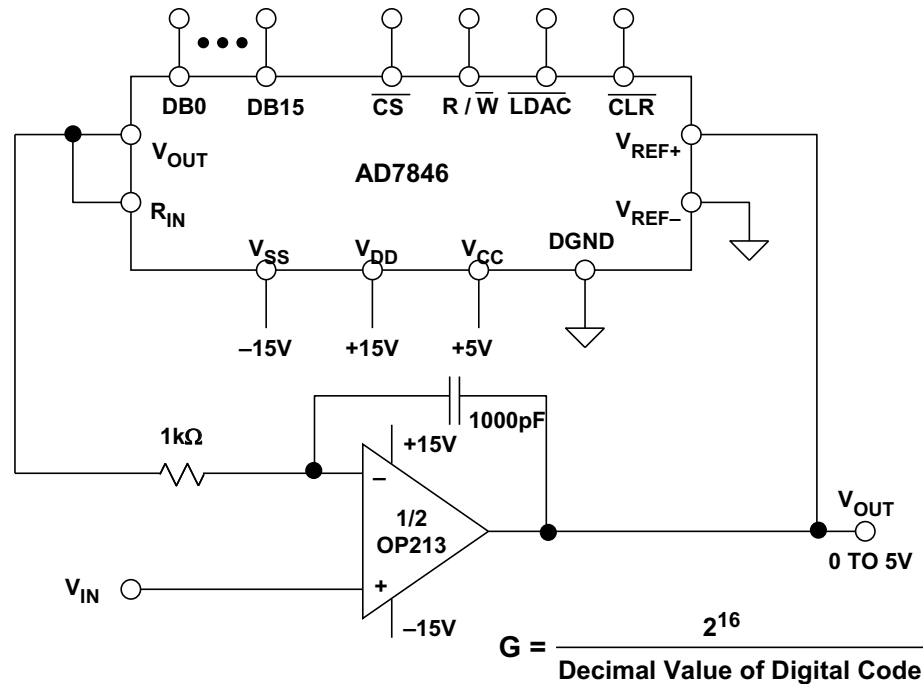


图8：在运算放大器的反馈路径中采用DAC的二进制增益VGA

电路增益通过调整DAC的数字输入来设置，计算公式如图8所示。 D_{0-15} 表示数字码的十进制值。例如，如果所有位均设为高电平，增益将为 $65,536/65,535 = 1.000015$ 。如果8个最低有效位设为高电平，其他位设为低电平，则增益为 $65,536/255 = 257$ 。

当增益为+1时，电路的带宽较高，达4 MHz。不过，该值会随增益而下降，当增益为256时，带宽仅为600 Hz。如果增益带宽积为常数，则当增益为256时，带宽应为15.6 kHz；但是，DAC的内部电容会使带宽降至600 Hz。

电路的增益精度取决于DAC的分辨率和增益设置。当增益为1时，所有位均开启，精度取决于DAC的DNL规格，其最大值为 ± 1 LSB。因此，在16位系统中，增益精度等于1 LSB，或0.003%。

不过，随着增益的增加，开启的位将减少。当增益为256时，只有位8开启。增益精度仍然取决于 ± 1 LSB的DNL，但现在只是与最低的8位相比。因此，在8位系统中，增益精度降至1 LSB，或0.4%。如果增益增加至256以上，增益精度将进一步下降。设计人员必须确定可以接受的精度水平。在这个具体电路中，增益限制在256以内。

差分输入VGA

采用运算放大器的同相VGA电路可以轻松适应单电源工作模式，但是当需要差分输入时，则应使用单电源仪表放大器，如AD623、AD627或AMP04。下面图9所示的单电源仪表放大器VGA中，AMP04与一个外部ADG511 CMOS开关配合使用。

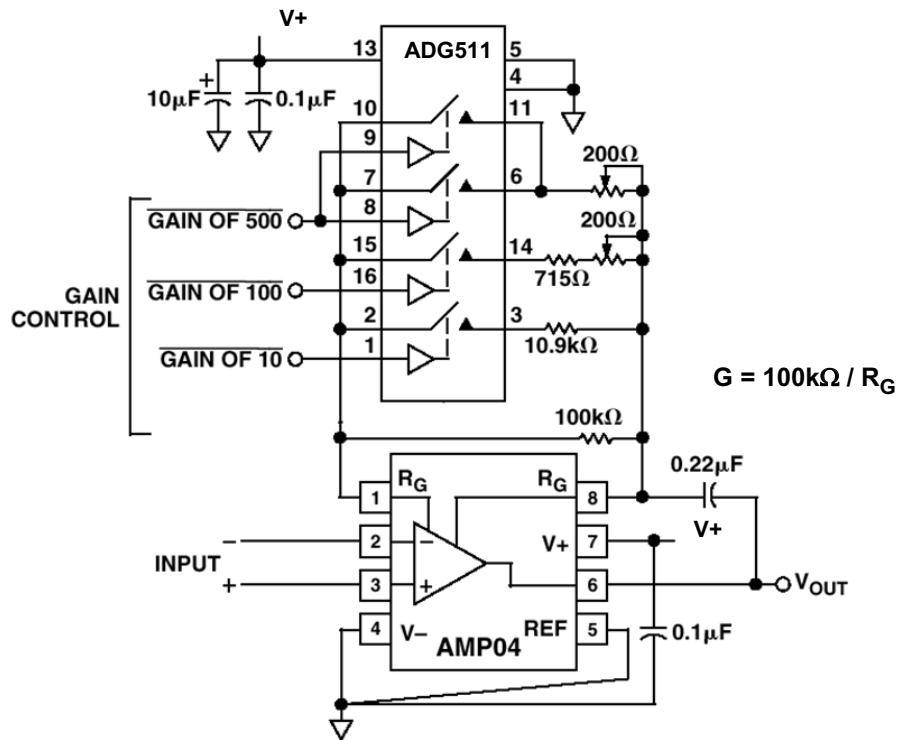


图9：采用AMP04仪表放大器和ADG511开关的单电源仪表VGA

该电路的可选增益为1、10、100和500，由一个ADG511进行控制。该电路选择ADG511作为具有低 R_{ON} (45 Ω)的单电源开关。该电路的缺点是，电路增益取决于开关的 R_{ON} 。较高增益下需要调整，才能实现目标精度。当增益为500时，两个开关并联使用，但若不进行调整，其阻抗会导致10%的增益误差。

可编程增益仪表放大器

AD8250是一款数字可编程增益(1、2、5和10)iCMOS®仪表放大器，具有GΩ输入阻抗、低输出噪声、低失真特性，适合与传感器进行接口，并驱动高采样速率的模数转换器(ADC)。它拥有10 MHz带宽、-110 dB的低总谐波失真(THD)，以及达到0.001%精度时615 ns的快速建立时间。保证的失调漂移和增益漂移分别为1.7 μV/°C和10 ppm/°C (G = 10)。除了具有宽输入共模电压范围之外，在DC至50 kHz范围内，当增益为1时，这款器件还具有80 dB的共模抑制能力。

精密直流性能与高速能力的结合则使AD8250成为数据采集应用的绝佳选择。此外，这款单芯片解决方案还可简化设计与制造，并通过保持内部电阻与放大器的高度匹配来改善仪表性能。AD8250用户接口由一个并行端口组成，用户可采用两种不同的方法来设置增益（参见图10所示的功能框图和频率响应）。一种方式是用WR输入锁存通过总线发送的2比特字。另一种方式是用透明增益模式，在这一模式下，由增益端口处的逻辑电平状态决定增益。

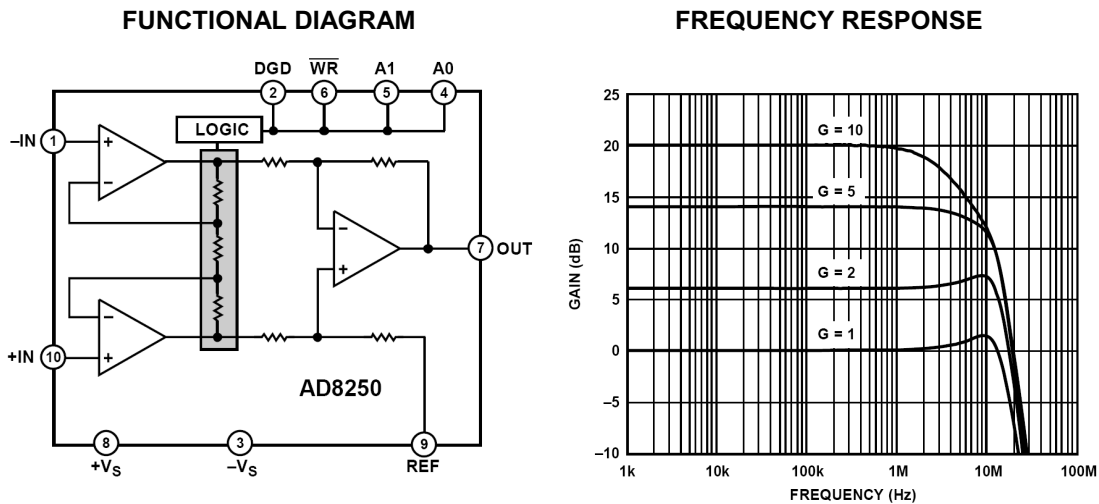


图10: AD8250 iCMOS可编程增益仪表放大器

[AD8251](#)与[AD8250](#)类似，但具有可编程增益1、2、4和8。[AD8253](#)的可编程增益为1、10、100和1000。

片上集成VGA/PGA的ADC

一些ADC(如AD77xx测量系列)内置VGA和其它调理电路。对于这些器件，电路设计要简单得多，因为不需要外部VGA及其控制逻辑。另外，VGA的所有误差都包含在ADC的规格中，误差计算很方便。VGA增益通过公用ADC串行接口进行控制，转换时会考虑到增益设置，因而节省了确定输入电压所需要的额外计算。

ADC和VGA的这种结合十分有用，为高精度系统的实现创造了条件，而且电路设计工作量极少。举例来说，下面图11显示的是[AD7730](#) Σ - Δ 型测量ADC的原理示意图；该ADC经过专门优化，可直接对低压电桥输出(满量程低至10 mV)进行数字化处理，使无噪声分辨率大于16位，而且无需使用外部信号调理电路。

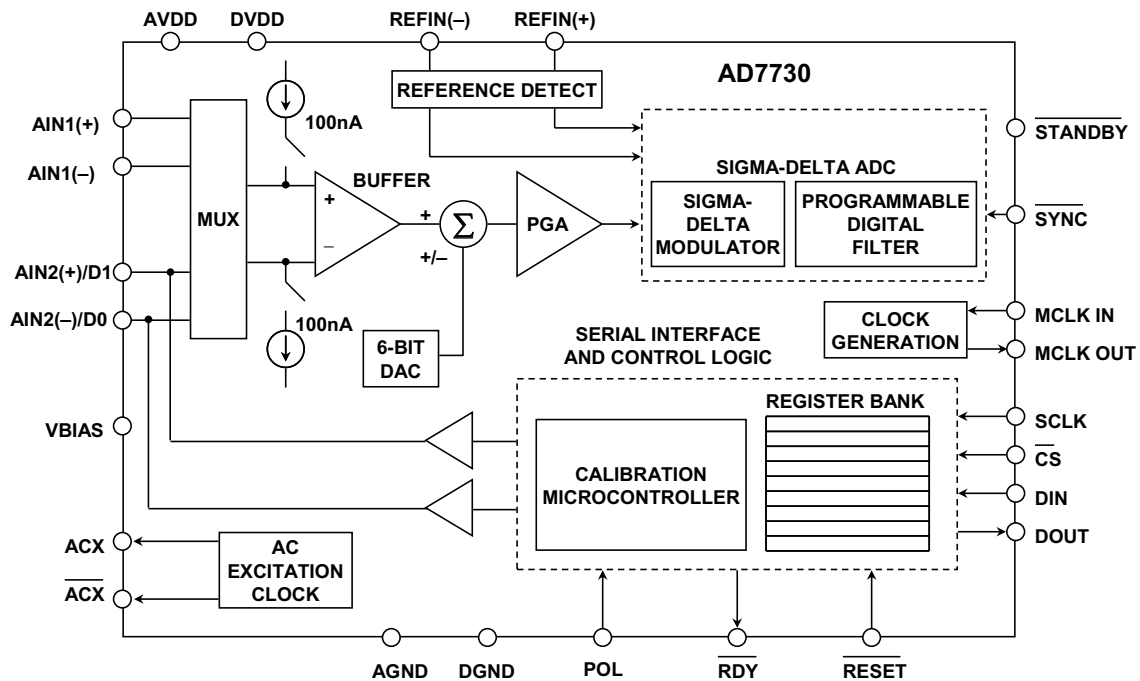


图11: [AD7730](#) Σ - Δ 型测量ADC(片上集成VGA)

参考文献:

1. Hank Zumbahlen, *Basic Linear Design*, Analog Devices, 2006, ISBN: 0-915550-28-1. Also available as [Linear Circuit Design Handbook](#), Elsevier-Newnes, 2008, ISBN-10: 0750687037, ISBN-13: 978-0750687034. Chapter 2.
2. Walter G. Jung, *Op Amp Applications*, Analog Devices, 2002, ISBN 0-916550-26-5, Also available as [Op Amp Applications Handbook](#), Elsevier/Newnes, 2005, ISBN 0-7506-7844-5. Chapter 2.

Copyright 2009, Analog Devices, Inc. All rights reserved. Analog Devices assumes no responsibility for customer product design or the use or application of customers' products or for any infringements of patents or rights of others which may result from Analog Devices assistance. All trademarks and logos are property of their respective holders. Information furnished by Analog Devices applications and development tools engineers is believed to be accurate and reliable, however no responsibility is assumed by Analog Devices regarding technical accuracy and topicality of the content provided in Analog Devices Tutorials.

精密运算放大器

精密运算放大器的特性

本指南将详细考察精密信号调理应用中适用放大器的一些相关问题。尽管这些讨论把 [OP177](#) 运算放大器当作了精密双极性放大器的“金标准”，但一些新产品(比如轨到轨输出 [OP777](#)、[OP727](#) 以及 [OP747](#)、[OP1177](#)、[OP2177](#) 和 [OP4177](#)) 都以更小的封装提供不相上下的性能。

市场上有开环增益大于100万的精密运算放大器，共模和电源抑制比也达到这一数量级。还有失调电压低于25 μV 、失调漂移低于0.1 $\mu\text{V}/^\circ\text{C}$ 的双电源运算放大器(如 [OP177](#))，然而，单电源精密双极性运算放大器有时还达不到这一性能水平。这是低功耗、低电压应用有时必须面对的权衡考量。但另一方面，现代斩波稳定(自稳零)运算放大器的失调和失调电压漂移无法与噪声区分开来，而且这些器件以单电源供电，同时提供轨到轨输入和输出。它们也有自己的问题，本节稍后部分将专门进行讨论。

必须了解的是，直流开环增益、失调电压、电源抑制(PSR)和共模抑制(CMR)并非选择精密放大器时的唯一考虑因素。放大器的交流性能也很重要，即使在“低”频下也是如此。开环增益、PSR和CMR都具有相对较低的转折频率，因此，可能视为“低”频的频率实际上可能超过这些转折频率，从而使误差超出仅仅依靠直流参数预测的值。例如，如果一个放大器的直流开环增益为1000万，单位增益交越频率为1 MHz，则其对应的转折频率为0.1 Hz！因此，我们必须在实际信号频率下考虑开环增益。单极点单位增益交越频率 f_u 、信号频率 f_{sig} 以及开环增益 $A_{\text{VOL}(f_{\text{sig}})}$ (在信号频率下测得)之间的关系可表示为：

$$A_{\text{VOL}(f_{\text{sig}})} = \frac{f_u}{f_{\text{sig}}} \quad \text{等式1}$$

在上例中，100 kHz下的开环增益为10，10 kHz下则为100000。请注意，恒定增益-带宽积概念只适用于VFB运算放大器。并不适用于CFB运算放大器，但很少用在精密应用中。目标频率下开环增益的损失可能带来失真，尤其是在音频频率下。因此，线路频率或谐波下的CMR或PSR损失也可能导致误差。

针对特定信号调理应用选择正确的放大器时，使问题变得更加复杂的是市场上存在大量采用不同工艺(双极性、互补双极性、BiFET、CMOS、BiCMOS)和架构(传统运算放大器、仪表放大器、轨波放大器、隔离放大器等)制成的多种多样的放大器。

另外，目前市场上有大量精密放大器可供选择，这些放大器采用单电源电压，由于其信号摆幅、电压输入和输出限制有所下降，结果使设计过程变得更加复杂。目前，失调电压和噪声在输入信号中的意义更加重大。图1总结了精密运算放大器的部分一般属性。

◆ Input Offset Voltage	<100 μ V
◆ Input Offset Voltage Drift	<1 μ V/ $^{\circ}$ C
◆ Input Bias Current	<2nA
◆ Input Offset Current	<2nA
◆ DC Open Loop Gain	>1,000,000
◆ Unity Gain Bandwidth Product, f_u	500kHz - 5MHz
◆ Always Check Open Loop Gain at Signal Frequency!	
◆ 1/f (0.1Hz to 10Hz) Noise	<1 μ V p-p
◆ Wideband Noise	<10nV/ \sqrt Hz
◆ CMR, PSR	>100dB
◆ Tradeoffs:	
● Single supply operation	
● Low supply currents	

图1: 精密运算放大器的特性

精密运算放大器直流误差预算分析

为了对高精度运算放大器电路中的各种误差的大小形成一种概念，图2对OP177F进行了一种简单的室温分析。放大器以反相输入模式连接，其信号增益为100。示意图中同时还展示了数据手册中的关键规格。我们假定输入信号为100 mV满量程，相当于10 V的输出信号。各种误差源均经标准化处理为满量程，均以百万分率(ppm)为单位。注意：百万分(ppm)误差=小数误差 $\times 10^6$ = %误差 $\times 10^4$ 。

注意， V_{OS} 和 I_{OS} 导致的失调误差以及有限 A_{VOL} 导致的增益误差可通过系统校准予以消除。然而，因开环增益非线性度引起的误差无法通过校准消除，结果会产生一个相对精度误差，通常称为分辨率误差。分辨率误差的另一个贡献因素是1/f噪声。

该噪声始终都是存在的，会增加测量结果的不确定性。电路在室温下的总体相对精度为9 ppm，相当于~17位分辨率。

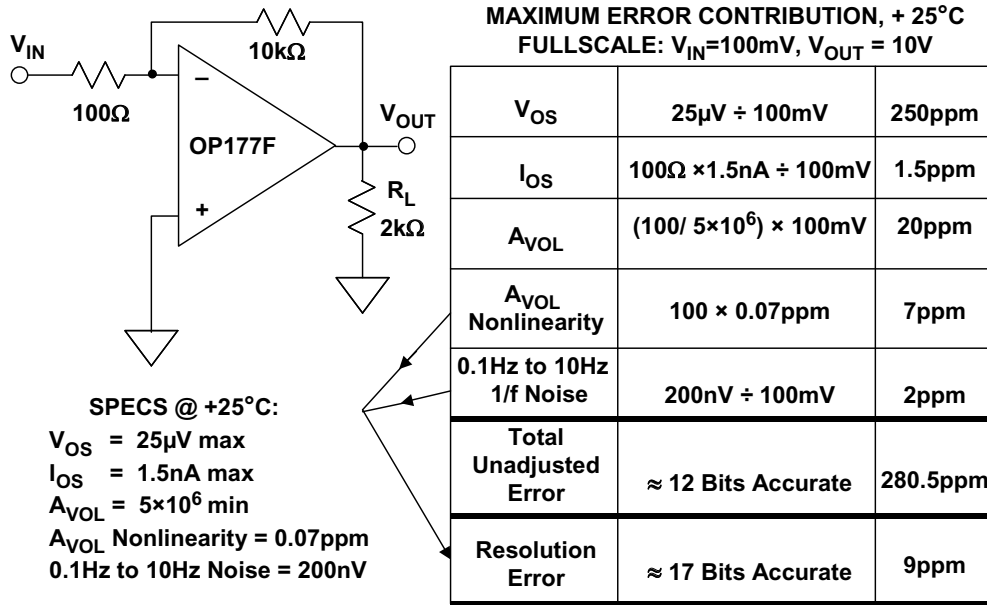


图2：精密运算放大器(OP177F)直流误差预算分析

也可以将若干个单电源运算放大器的性能与“金标准”[OP177](#)进行比较，下面的图3展示了一些代表性器件的比较结果。

LISTED IN ORDER OF INCREASING SUPPLY CURRENT

PART NO.	$V_{OS} \text{ max}$	$V_{OS} \text{ TC}$	$A_{VOL} \text{ min}$	NOISE (1kHz)	INPUT	OUTPUT	$I_{SY}/\text{AMP MAX}$
OP293	250 μV	2 $\mu\text{V}/^\circ\text{C}$	200k	5nV/ $\sqrt{\text{Hz}}$	0, 4V	5mV, 4V	20 μA
OP196/296/496	300 μV	2 $\mu\text{V}/^\circ\text{C}$	150k	26nV/ $\sqrt{\text{Hz}}$	R/R	"R/R"	60 μA
OP777	100 μV	1.3 $\mu\text{V}/^\circ\text{C}$	300k	15nV/ $\sqrt{\text{Hz}}$	0, 4V	"R/R"	270 μA
OP191/291/491	700 μV	5 $\mu\text{V}/^\circ\text{C}$	25k	35nV/ $\sqrt{\text{Hz}}$	R/R	"R/R"	350 μA
*AD820/822/824	1000 μV	20 $\mu\text{V}/^\circ\text{C}$	500k	16nV/ $\sqrt{\text{Hz}}$	0, 4V	"R/R"	800 μA
**AD8601/2/4	600 μV	2 $\mu\text{V}/^\circ\text{C}$	20k	33nV/ $\sqrt{\text{Hz}}$	R/R	"R/R"	1000 μA
OP184/284/484	150 μV	2 $\mu\text{V}/^\circ\text{C}$	50k	3.9nV/ $\sqrt{\text{Hz}}$	R/R	"R/R"	1350 μA
OP113/213/413	175 μV	4 $\mu\text{V}/^\circ\text{C}$	2M	4.7nV/ $\sqrt{\text{Hz}}$	0, 4V	5mV, 4V	3000 μA
OP177F ($\pm 15\text{V}$)	25 μV	0.1 $\mu\text{V}/^\circ\text{C}$	5M	10nV/ $\sqrt{\text{Hz}}$	N/A	N/A	2000 μA

*JFET INPUT **CMOS
 NOTE: Unless Otherwise Stated Specifications are Typical @ +25°C
 $V_S = +5\text{V}$

图3：精密单电源运算放大器的性能特性

注意，图3放大器列表并不包括斩波运算放大器，该类放大器在诸多类别中均有卓越表现。有关讨论另见[指南MT-055](#)。

参考文献

1. Hank Zumbahlen, *Basic Linear Design*, Analog Devices, 2006, ISBN:0-915550-28-1.另见[Linear Circuit Design Handbook](#), Elsevier-Newnes, 2008, ISBN-10:0750687037, ISBN-13:978-0750687034。 Chapter 1.
2. Walter G. Jung, *Op Amp Applications*, Analog Devices, 2002, ISBN 0-916550-26-5, 另见[Op Amp Applications Handbook](#), Elsevier/Newnes, 2005, ISBN 0-7506-7844-5.Chapter 1.

Copyright 2009, Analog Devices, Inc. All rights reserved. Analog Devices assumes no responsibility for customer product design or the use or application of customers' products or for any infringements of patents or rights of others which may result from Analog Devices assistance. All trademarks and logos are property of their respective holders. Information furnished by Analog Devices applications and development tools engineers is believed to be accurate and reliable, however no responsibility is assumed by Analog Devices regarding technical accuracy and topicality of the content provided in Analog Devices Tutorials.

自稳零仪表放大器

自稳零是一种动态的失调和漂移消除技术，可将折合到输入端的电压失调降至 μV 水平，并将电压失调漂移降至 $\text{nV}/^\circ\text{C}$ 水平。标准自稳零运算放大器的工作原理详见[指南MT-055](#)。本指南讨论自稳零技术在仪表放大器中的应用。

[AD8230](#)自稳零仪表放大器

[AD8230](#)是一款仪表放大器，基于自稳零拓扑结构，同时具有高共模信号抑制性能。

内部信号路径由一个有源差分采样保持级(前置放大器)构成，其后是一个差分放大器(增益放大器)。这两个放大器以自稳零方式来最大程度地减少失调和漂移。全差分拓扑结构会提高信号对寄生噪声和温度效应的抗扰度。放大器增益由两个外部电阻进行设置，以便于实现TC匹配。[AD8230](#)可以接受的输入共模电压范围是电源电压($\pm 5\text{ V}$)之内(含电源电压)。信号采样速率由一个 6 kHz 片内振荡器和逻辑控制，以获得所需的非重叠时钟相位。

为了简化功能描述，我们将使用两个时序时钟相位A和B来区分内部操作的顺序，分别如图1和图2所示。相位A(采样相位)操作如图1所示。

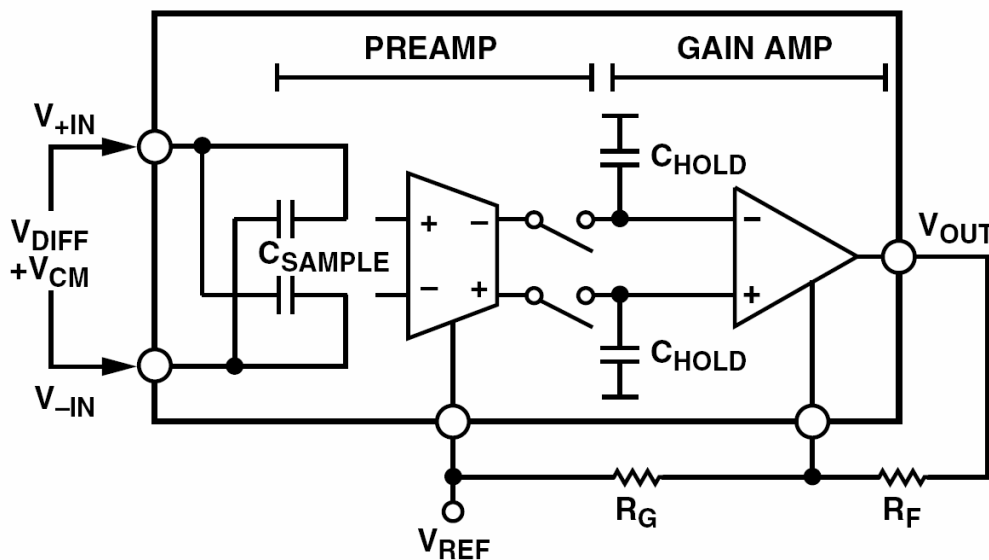


图1: 采样相位(相位A)中的[AD8230](#)自稳零仪表放大器

在相位A期间，采样电容在共模电位下与输入信号相连。输入信号的电压差 V_{DIFF} 存储于采样电容 C_{SAMPLE} 中。只要采样电容的共模电位不同于前置放大器，则输入的共模电位就会影响 C_{SAMPLE} 。在此期间，增益放大器与前置放大器断开，以便使其输出保持在之前采样的输入信号所设置的电平，即图1中 C_{HOLD} 所保持的电平。

在相位B中，对模拟输入信号进行采样时，结果将移除输入共模成分。相位B的状态如图2所示。

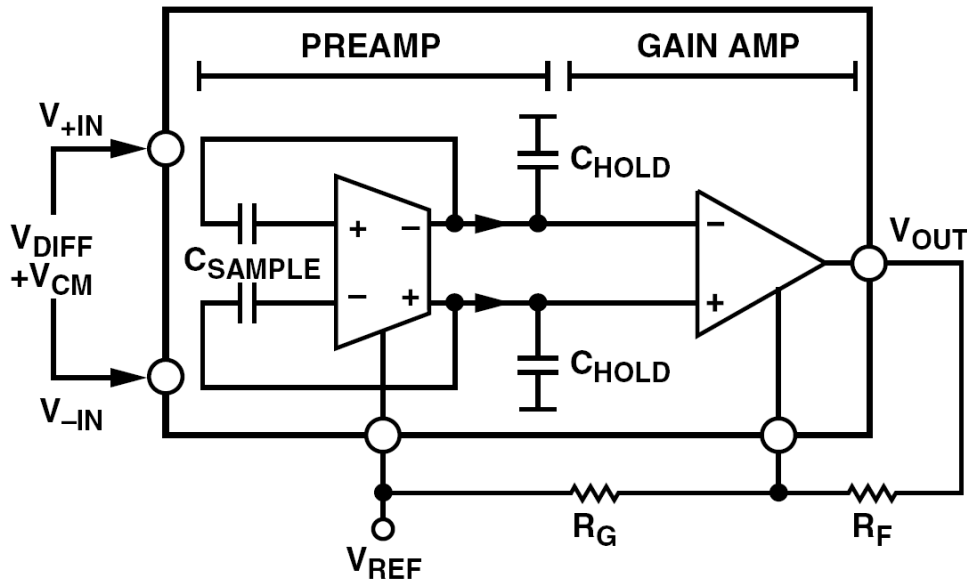


图2：传输相位(相位B)中的AD8230自稳零仪表放大器

前置放大器的共模输出保持在基准电位 V_{REF} 。当采样电容的底板连接到前置放大器的输出端时，输入信号共模电压将被拉升至放大器的共模电压 V_{REF} 。通过这种方式，采样电容达到与前置放大器相同的共模电压。剩余的差分信号出现在增益放大器上，从而刷新保持电容的信号电位，如图2所示。增益放大器会调理存储于保持电容 C_{HOLD} 上的更新信号。

前置放大器和增益放大器都具有自稳零特性。前置放大器在相位A期间(即当采样电容与信号源相连时)自动归零。通过将前置放大器的差分输入连接在一起，所产生折合到输出端的失调电压被连接至前置放大器的一个辅助端口上。负反馈会强制在辅助端口产生消除电压。在相位B期间，前置放大器的输入端不再短路，采样电容则与前置放大器的输入端和输出端相连。前置放大器已在相位A中自动归零，其失调处于最低水平。可利用一个单独的指零放大器(图中未显示)来实现自稳零功能。有关AD8230自稳零仪表放大器工作原理的更多详情，请参阅参考文献3。

尽管AD8230在0.1 Hz至10 Hz带宽范围内的峰峰值RTI噪声只有3 μV ，但是其在1 kHz下的电压噪声频谱密度为240 $\text{nV}/\sqrt{\text{Hz}}$ 。因此，AD8230需要一个合适的输出RC滤波器，以将测量带宽中的噪声降至可以接受的水平。

AD8230自稳零仪表放大器的主要规格如图3所示。

- ◆ Resistor programmable gain range: 101 to 1000
- ◆ Supply voltage range: $\pm 4\text{ V}$ to $\pm 8\text{ V}$
- ◆ Rail-to-rail input and output
- ◆ Maintains performance over -40°C to $+125^{\circ}\text{C}$
- ◆ 110 dB minimum CMR @ 60 Hz, G = 10 to 1000
- ◆ 10 μV maximum offset voltage (RTI, $\pm 5\text{ V}$ operation)
- ◆ 50 $\text{nV}/^{\circ}\text{C}$ maximum offset drift
- ◆ 20 ppm maximum gain nonlinearity
- ◆ 0.1 Hz to 10 Hz voltage noise RTI: 3 μV peak-to-peak
- ◆ Voltage noise spectral density @ 1 kHz RTI: 240 $\text{nV}/\sqrt{\text{Hz}}$

图3: AD8230自稳零仪表放大器的主要规格

ADI公司针对单电源工作模式而优化的自稳零仪表放大器有[AD8553](#)、[AD8555](#)、[AD8556](#)和[AD8557](#)四款。

参考文献:

1. Hank Zumbahlen, *Basic Linear Design*, Analog Devices, 2006, ISBN: 0-915550-28-1. Also available as *Linear Circuit Design Handbook*, Elsevier-Newnes, 2008, ISBN-10: 0750687037, ISBN-13: 978-0750687034. Chapter 2.
2. Walter G. Jung, *Op Amp Applications*, Analog Devices, 2002, ISBN 0-916550-26-5, Also available as *Op Amp Applications Handbook*, Elsevier/Newnes, 2005, ISBN 0-7506-7844-5. Chapter 2.
3. Charles Kitchin and Lew Counts, *A Designer's Guide to Instrumentation Amplifiers, 3rd Edition*, Analog Devices, 2006.

Copyright 2009, Analog Devices, Inc. All rights reserved. Analog Devices assumes no responsibility for customer product design or the use or application of customers' products or for any infringements of patents or rights of others which may result from Analog Devices assistance. All trademarks and logos are property of their respective holders. Information furnished by Analog Devices applications and development tools engineers is believed to be accurate and reliable, however no responsibility is assumed by Analog Devices regarding technical accuracy and topicality of the content provided in Analog Devices Tutorials.

**补偿输入电容对电流电压转换器所用电压反馈和
电流反馈型运算放大器的影响**

快速运算放大器可作为电流-电压转换器，在高速光电二极管前置放大器、电流输出DAC缓冲器等应用中发挥重要作用。将一个VFB运算放大器用作I/V转换器的典型应用如图1所示。

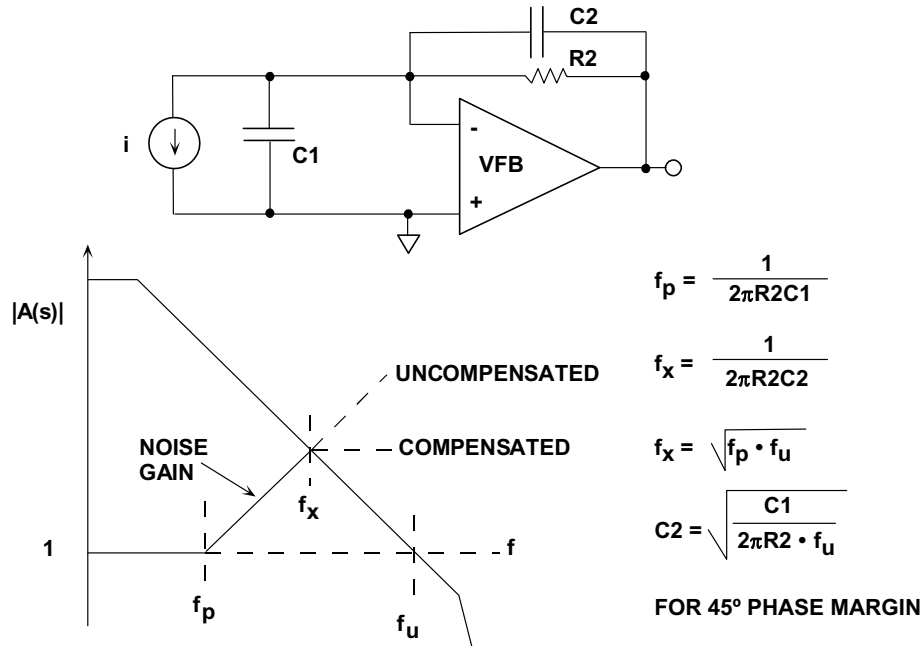


图1：补偿使用VFB运算放大器的电流-电压转换器中的输入电容

净输入电容C1在频率 f_p 下在噪声增益传递函数中形成一个极点，如波特图所示，其计算等式为：

$$f_p = \frac{1}{2\pi R_2 C_1} \quad \text{等式1}$$

如果不予补偿，则在交叉点频率 f_x 下的相移会导致不稳定和振荡。通过添加反馈电容C2，由此在 f_x 下引入一个零点可以使电路保持稳定，结果产生约45°的相位裕量。零点的位置通过以下等式计算：

$$f_x = \frac{1}{2\pi R_2 C_2} \quad \text{等式2}$$

尽管添加C2实际上会略微降低极点频率，但如果C2 << C1，则其影响可以忽略不计。频率f_x为f_p与运算放大器的单位增益带宽频率f_u的几何平均数。

$$f_x = \sqrt{f_p \cdot f_u} \quad \text{等式3}$$

结合等式2和等式3并求出C2，结果得：

$$C2 = \sqrt{\frac{C1}{2\pi R2 \cdot f_u}} \quad \text{等式4}$$

当C2等于该值时，结果将产生大约45°的相位裕量。将该电容的值提高2倍，结果会使相位裕量增至65°左右。

实际上，可以略微改变C2的值，由此通过实验的方式找到其最佳值，以优化输出脉冲响应。

可对CFB运算放大器进行简单的分析，如下面的图2所示。但在本例中，低反相输入阻抗R_o会大幅降低对输入电容的敏感度。事实上，输入阻抗为零的理想CFB对任意量的输入电容都是完全不敏感的。

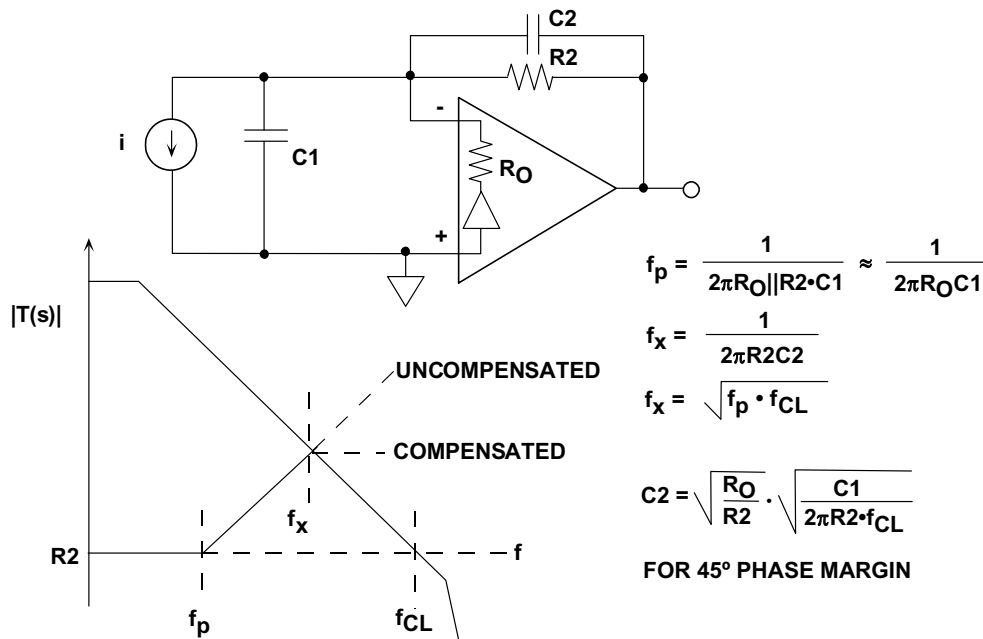


图2：采用CFB运算放大器的电流-电压转换器

C1导致的极点出现的频率为 f_p ：

$$f_p = \frac{1}{2\pi(R_O \parallel R_2)C_1} \approx \frac{1}{2\pi R_O C_1} \quad \text{等式5}$$

该极点频率一般比VFB运算放大器情况下要高得多，而且如果该极点出现的频率大于运算放大器的闭环带宽，则完全可以将其忽略。

接下来，我们将插入电容C2，从而在频率 f_x 下引入一个补偿零：

$$f_x = \frac{1}{2\pi R_2 C_2} \quad \text{等式6}$$

就如VFB一样， f_x 为 f_p 和 f_{cl} 的几何平均值：

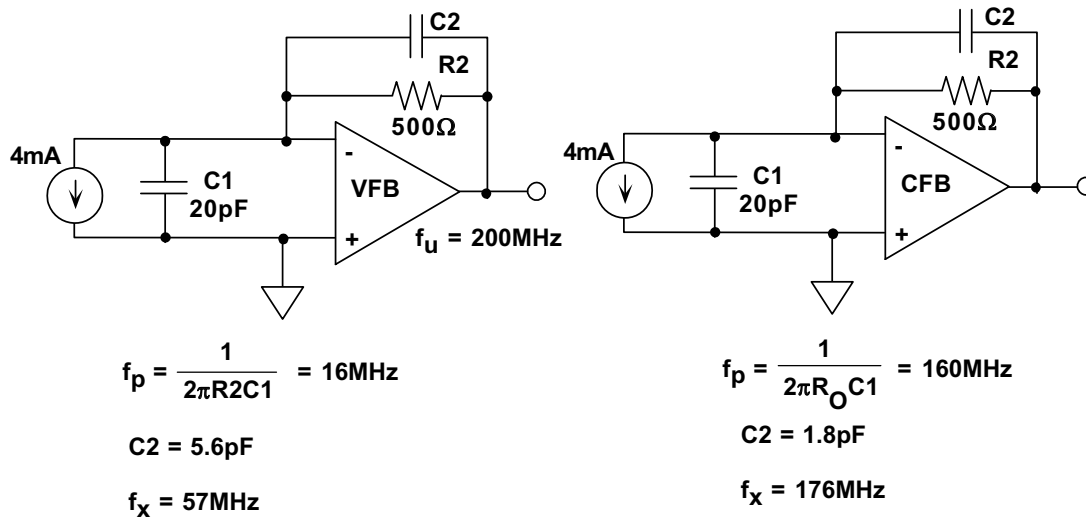
$$f_x = \sqrt{f_p \cdot f_{cl}} \quad \text{等式7}$$

结合等式6和等式7并求出C2，结果得：

$$C_2 = \sqrt{\frac{R_O}{R_2}} \cdot \sqrt{\frac{C_1}{2\pi R_2 \cdot f_{cl}}} \quad \text{等式8}$$

在这种配置下，使用CFB运算放大器具有明显的优势，只要将等式8与针对VFB运算放大器的C2的等式4进行比较,即可发现这一点。如果VFB的单位增益带宽积等于CFB的闭环带宽(最佳 R_2 下)，则CFB补偿电容C2的大小会减少 $\sqrt{(R_2/R_O)}$ 倍。

实际应用的比较结果如下图3所示。DAC的满量程输出电流为4 mA，运算放大器反相输入端的净电容为20 pF，反馈电阻为500 Ω 。在VFB运算放大器的情况下，C1导致的极点出现的频率为16 MHz。对于45°的相位裕量，需要一个5.6 pF的补偿电容，其信号带宽为57 MHz。



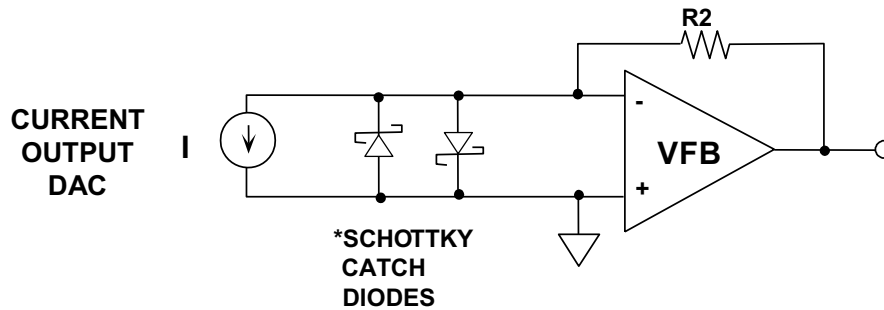
**图3：用作I/V转换器时，
CFB运算放大器对输入电容的敏感度相对较低**

但对于CFB运算放大器来说，由于其反相输入阻抗较低($R_O = 50\ \Omega$)，所以，其极点出现的频率为160 MHz，所需补偿电容约为1.8 pF，相应的信号带宽为176 MHz。实际上，极点频率非常接近运算放大器的闭环带宽，因此，很可能得不到补偿。

需要注意的是，CFB运算放大器对反相输入电容相对不敏感的情况出现在其用于反相模式之时。但在同相模式下，即使反相输入端只有几皮法的杂散电容，结果也可能导致显著的增益峰值和潜在不稳定性。

CFB运算放大器的低反相输入阻抗的另一个优势体现在以下时候：当其用作I/V转换器，以缓冲高速电流输出DAC的输出时。当将一个阶跃函数电流(或DAC开关毛刺)应用于VFB运算放大器的反相输入端时，结果可能产生一个较大的电压瞬变，直到信号可以通过运算放大器传播至其输出端并重新获得负反馈时为止。背靠背肖特基二极管通常用于限制该电压摆幅，如下面的图4所示。这些二极管必须是低电容的小尺寸器件，因为其电容会增加总输入电容。

另一方面，CFB运算放大器甚至会在反馈环路闭合之前，给快速开关电流带来低阻抗(R_O)，从而在无需使用外部二极管的情况下实现对电压偏移的限制。结果会大幅改善I/V转换器的建立时间。



*NOT REQUIRED FOR CFB OP AMP
BECAUSE OF LOW INVERTING INPUT IMPEDANCE

**图4：CFB运算放大器的低反相输入阻抗
有助于降低快速DAC瞬变的影响**

参考文献

1. Hank Zumbahlen, *Basic Linear Design*, Analog Devices, 2006, ISBN:0-915550-28-1. 另见 [Linear Circuit Design Handbook](#), Elsevier-Newnes, 2008, ISBN-10:0750687037, ISBN-13:978-0750687034。 Chapter 1.
2. Walter G. Jung, *Op Amp Applications*, Analog Devices, 2002, ISBN 0-916550-26-5, 另见 [Op Amp Applications Handbook](#), Elsevier/Newnes, 2005, ISBN 0-7506-7844-5. Chapter 1.

Copyright 2009, Analog Devices, Inc. All rights reserved. Analog Devices assumes no responsibility for customer product design or the use or application of customers' products or for any infringements of patents or rights of others which may result from Analog Devices assistance. All trademarks and logos are property of their respective holders. Information furnished by Analog Devices applications and development tools engineers is believed to be accurate and reliable, however no responsibility is assumed by Analog Devices regarding technical accuracy and topicality of the content provided in Analog Devices Tutorials.

贝塞尔响应

作者: ADI公司
Hank Zumbahlen

引言

贝塞尔滤波器是关注相位响应的运算放大器的理想选择，也是一系列小型指南中描述的多种分立式电路之一。

贝塞尔响应简介

巴特沃兹滤波器在幅度和过渡特性方面表现出色。切比雪夫滤波器在幅度响应方面有所改进，但过渡特性却有所折扣。因通带内的线性相位(即恒定延迟)特性，可以对贝塞尔(Bessel)滤波器进行优化，以获得更佳的瞬态响应。即是说，其频率响应相对较差(幅度鉴别稍显不足)。

贝塞尔滤波器是针对线性相位而设计的。换言之，通带中存在恒定延迟。阶跃响应未出现过冲现象，也无振铃现象。脉冲响应也未显示出振铃现象。因此，如果相位响应是主要问题，则贝塞尔滤波器是理想选择。

贝塞尔滤波器的极点可以通过以下方法确定：找到圆中的所有极点并用以下表达式分离其虚部，

$$\frac{2}{n}$$

其中， n 为极点数。

请注意，当圆与 $j\omega$ 轴相交于

$$\frac{1}{n}$$

或者其他极点间距离的一半时，顶部极点和底部极点相距最远。

图1展示的是一个5极点贝塞尔滤波器的极点位置。

贝塞尔极点位置

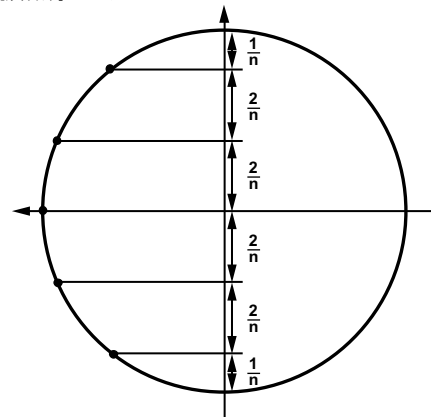


图1. 贝塞尔极点位置

贝塞尔滤波器的频率响应、群延迟、脉冲响应和阶跃响应如图2至图6所示。

贝塞尔滤波器的极点位置以及对应的 ω_0 和 α 项如图7所示。

贝塞尔响应

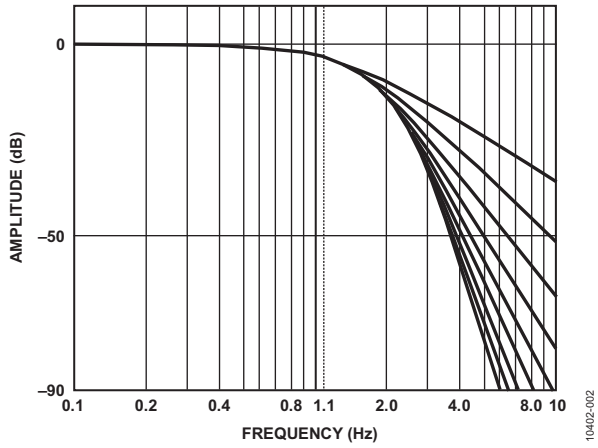


图2. 贝塞尔响应, 幅度

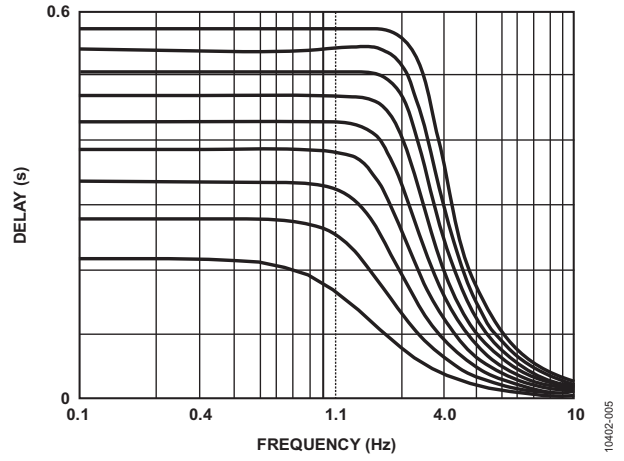


图5. 贝塞尔响应, 群延迟

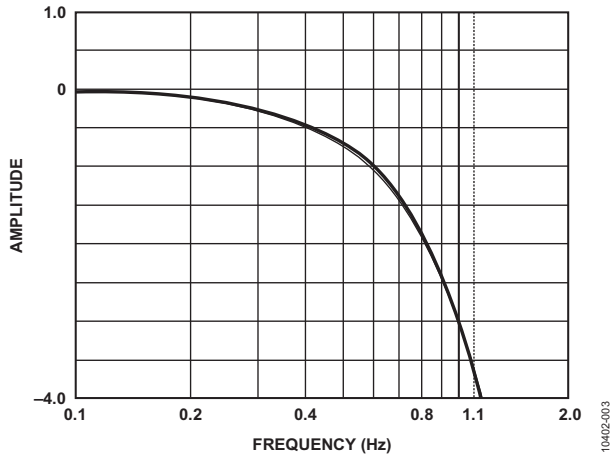


图3. 贝塞尔响应, 幅度(详)

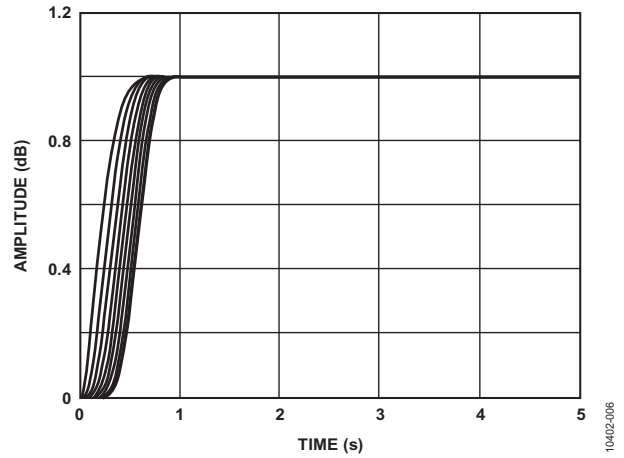


图6. 贝塞尔响应, 阶跃响应

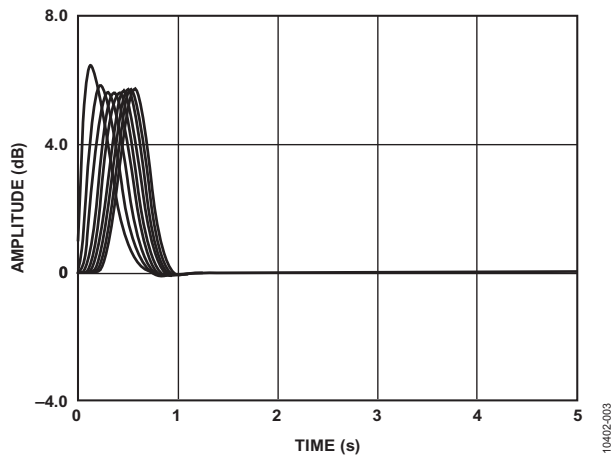


图4. 贝塞尔响应, 脉冲响应

贝塞尔表格设计

图7. 贝塞尔设计表

阶数	部分	实部	虚部	F_0	α	Q	-3 dB 频率	峰值 频率	峰值 电平
2	1	1.1050	0.6368	1.2754	1.7328	0.5771	1.0020		
3	1	1.0509	1.0025	1.4524	1.4471	0.6910	1.4185		
	2	1.3270		1.3270			1.3270		
4	1	1.3596	0.4071	1.4192	1.9160	0.5219	0.9705		
	2	0.9877	1.2476	1.5912	1.2414	0.8055		0.7622	0.2349
5	1	1.3851	0.7201	1.5611	1.7745	0.5635	1.1876		
	2	0.9606	1.4756	1.7607	1.0911	0.9165		1.1201	0.7768
	3	1.5069		1.5069			1.5069		
6	1	1.5735	0.3213	1.6060	1.9596	0.5103	1.0638		
	2	1.3836	0.9727	1.6913	1.6361	0.6112	1.4323		
	3	0.9318	1.6640	1.9071	0.9772	1.0234		1.3786	1.3851
7	1	1.6130	0.5896	1.7174	1.8784	0.5324	1.2074		
	2	1.3797	1.1923	1.8235	1.5132	0.6608	1.6964		
	3	0.9104	1.8375	2.0507	0.8879	1.1262		1.5961	1.9860
	4	1.6853		1.6853			1.6853		
8	1	1.7627	0.2737	1.7838	1.9763	0.5060	1.1675		
	2	0.8955	2.0044	2.1953	0.8158	1.2258		1.7932	2.5585
	3	1.3780	1.3926	1.9591	1.4067	0.7109		0.2011	0.0005
	4	1.6419	0.8256	1.8378	1.7868	0.5597	1.3849		
9	1	1.8081	0.5126	1.8794	1.9242	0.5197	1.2774		
	2	1.6532	1.0319	1.9488	1.6966	0.5894	1.5747		
	3	1.3683	1.5685	2.0815	1.3148	0.7606		0.7668	0.0807
	4	0.8788	2.1509	2.3235	0.7564	1.3220		1.9632	30949
	5	1.8575		1.8575			1.8575		
10	1	1.9335	0.2451	1.9490	1.9841	0.5040	1.2685		
	2	1.8467	0.7335	1.9870	1.8587	0.5380	1.4177		
	3	1.6661	1.2246	2.0678	1.6115	0.6205	1.7848		
	4	1.3648	1.7395	2.2110	1.2346	0.8100		1.0785	0.2531
	5	0.8686	2.2994	2.4580	0.7067	1.4150		2.1291	3.5944

参考文献

Zumbahlen, Hank. *Linear Circuit Design Handbook*. Elsevier. 2008. ISBN: 978-7506-8703-4.

修订历史

2012年2月—修订版0: 初始版

运算放大器共模抑制比(CMRR)

共模抑制比(CMRR)

如果信号均等施加至运算放大器的两个输入端，使差分输入电压不受影响，则输出也不应受影响。实际上，共模电压的变化会引起输出变化。运算放大器共模抑制比(CMRR)是指共模增益与差模增益的比值。例如，如果Y V的差分输入电压变化产生1 V的输出变化，X V的共模电压变化同样产生1 V的变化，则CMRR为X/Y。共模抑制比以dB表示时，通常指共模抑制(CMR)——注意，半导体行业对使用dB还是比值来表示CMR或CMRR很少有统一说法。

典型的低频CMR值为70 dB至120 dB，但在高频时CMR会变差。除了CMRR数值范围外，许多运算放大器数据手册还提供CMR与频率的关系图表，如图1所示OP177精密运算放大器的CMRR。

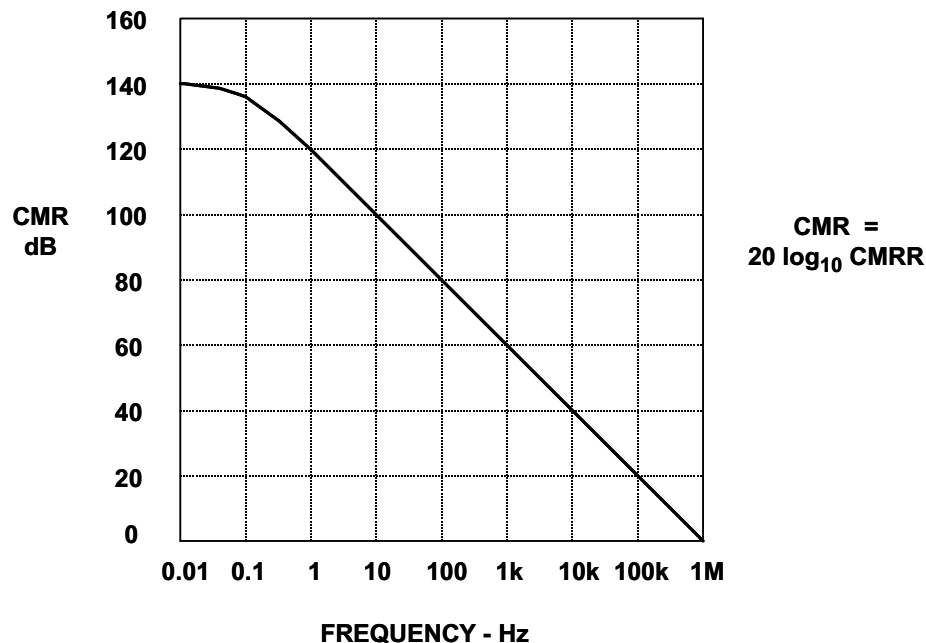


图1: OP177的CMRR

在采用同相模式配置的运算放大器中，CMRR会产生相应的输出失调电压误差，如图2所示。注意，反相模式工作的运算放大器CMRR误差较小。因为两个输入端都接地(或虚地)，所以不存在共模动态电压。

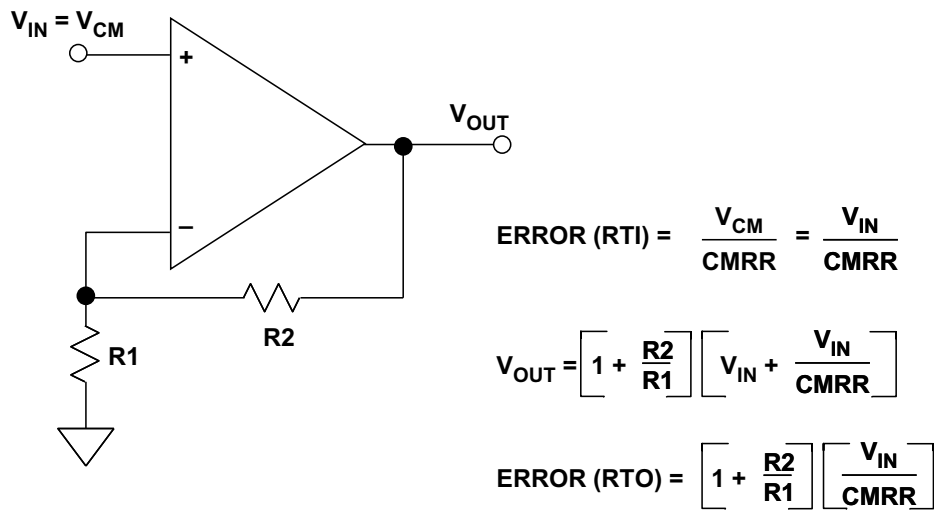


图2: 计算由共模抑制比(CMRR)造成的失调误差

测量共模抑制比

共模抑制比可以通过多种方式来测量，下图3所示的方法采用四个精密电阻将运算放大器配置成差分放大器，信号施加于两个输入端，从而测量输出变化——具有无限CMRR的放大器不会产生输出变化。该电路的固有缺点是电阻的比率匹配和运算放大器的CMRR一样重要。无论运算放大器多么出色，电阻对之间0.1%的不匹配就会导致CMR仅为66 dB！由于大多数运算放大器的低频CMR介于80 dB和120 dB之间，显然，该电路只能勉强用于测量CMRR(尽管该测试非常适合测量电阻的匹配情况！)

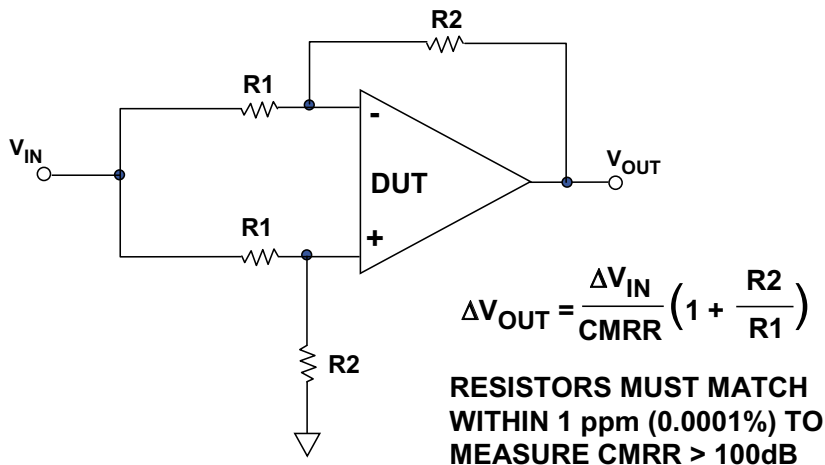


图3: 简单的共模抑制比(CMRR)测试电路

下图4所示的电路稍显复杂，无需电阻精确匹配即可测量CMRR。该电路中，共模电压可以通过切换电源电压来改变。（该电路便于在测试机构中实施，采用不同电源电压连接的同样电路可用于测量电源抑制比）。

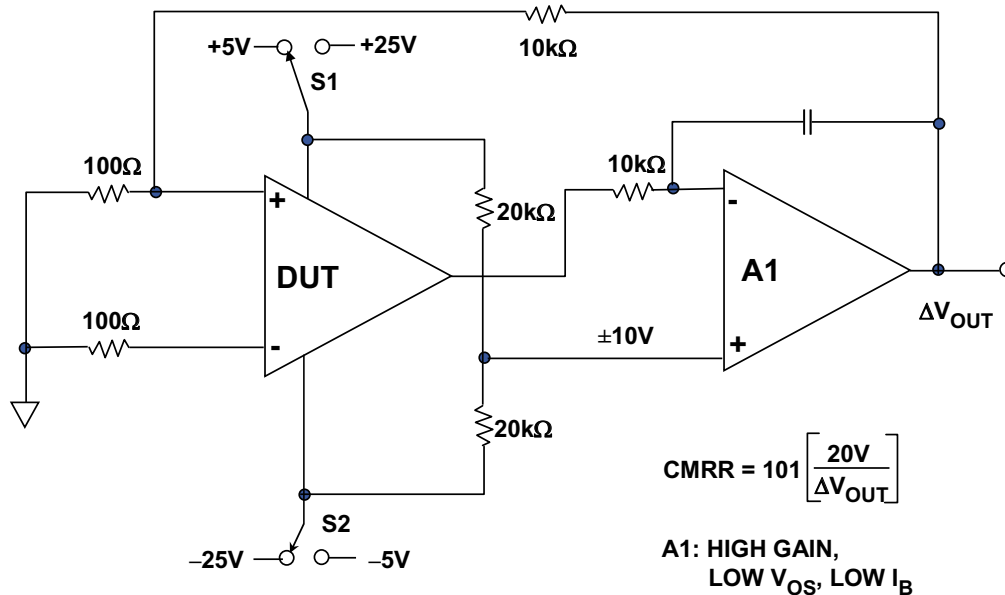


图4：无需精密电阻的CMRR测试电路

该电路中所示的电源电压值适用于±15 V DUT运算放大器，共模电压范围为±10 V。也可通过适当改变电压来适应其它电源和共模电压范围。集成放大器A1应具有高增益、低 V_{OS} 和低 I_B ，如OP97系列器件。

参考文献：

1. Hank Zumbahlen, *Basic Linear Design*, Analog Devices, 2006, ISBN: 0-915550-28-1. Also available as [Linear Circuit Design Handbook](#), Elsevier-Newnes, 2008, ISBN-10: 0750687037, ISBN-13: 978-0750687034. Chapter 1.
2. Walter G. Jung, *Op Amp Applications*, Analog Devices, 2002, ISBN 0-916550-26-5, Also available as [Op Amp Applications Handbook](#), Elsevier/Newnes, 2005, ISBN 0-7506-7844-5. Chapter 1.

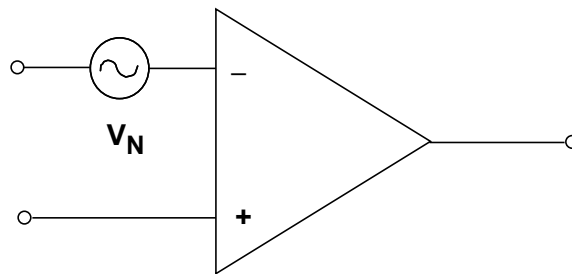
Copyright 2009, Analog Devices, Inc. All rights reserved. Analog Devices assumes no responsibility for customer product design or the use or application of customers' products or for any infringements of patents or rights of others which may result from Analog Devices assistance. All trademarks and logos are property of their respective holders. Information furnished by Analog Devices applications and development tools engineers is believed to be accurate and reliable, however no responsibility is assumed by Analog Devices regarding technical accuracy and topicality of the content provided in Analog Devices Tutorials.

运算放大器噪声

运算放大器输入电压噪声

本教程讨论运算放大器内部产生的噪声，而不是因磁耦合和电耦合而拾取的外部噪声。虽然尽可能降低这种外部噪声也很重要，但本部分仅考虑运算放大器内部噪声。

运算放大器内部有数个噪声源(电阻噪声、电流噪声和 KT/C 噪声等)，但建模时习惯将这些噪声源放到外部，视为一个以差分形式出现在两个输入端上的电压噪声源和两个电流噪声源，每个输入端各一个。这三个噪声源位于理想的“无噪声”运算放大器之外。简单的电压噪声运算放大器模型如下面的图1所示。三个噪声源实际上并不相关(互不影响)。两个噪声电流之间存在细微关联，但不足以在实际噪声分析时加以考虑。除这三个内部噪声源之外，还必须考虑与运算放大器配合使用的外部增益设置电阻所产生的约翰逊噪声。



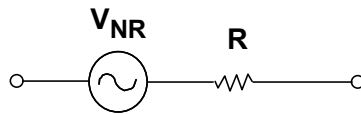
- ◆ **Input Voltage Noise is bandwidth dependent and measured in nV/\sqrt{Hz} (noise spectral density)**
- ◆ **Normal Ranges are $1nV/\sqrt{Hz}$ to $20nV/\sqrt{Hz}$**

图1：输入电压噪声

电压噪声因运算放大器而异，可能不到 $1 nV/\sqrt{Hz}$ ，也可能高达 $20 nV/\sqrt{Hz}$ ，甚至更高。双极性运算放大器的电压噪声往往低于JFET运算放大器；虽然也可以使JFET运算放大器具有低电压噪声(如[AD743/AD745](#))，但涉及的输入器件非常大，因而输入电容也就相当高。数据手册中会给出电压噪声，该值无法从其它参数中预测。

电阻噪声

讨论运算放大器电流噪声之前，必须明白实际的运算放大器电路需要使用外部电阻，而所有电阻均具有大小为 $\sqrt{4kTBR}$ 的约翰逊噪声，其中 k 表示波尔兹曼常数($1.38 \times 10^{-23} \text{J/K}$)， T 表示绝对温度， B 表示带宽，而 R 表示电阻。注意，这是电阻的固有特性——只要是电阻，就具有约翰逊噪声。简单模型如下面图2所示。



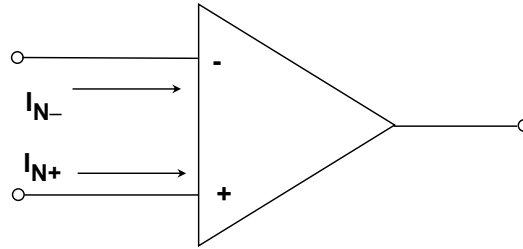
- ◆ ALL resistors have a voltage noise of $V_{NR} = \sqrt{4kTBR}$
- ◆ $T = \text{Absolute Temperature} = T(^{\circ}\text{C}) + 273.15$
- ◆ $B = \text{Bandwidth (Hz)}$
- ◆ $k = \text{Boltzmann's Constant } (1.38 \times 10^{-23} \text{J/K})$
- ◆ A 1000Ω resistor generates $4\text{nV} / \sqrt{\text{Hz}}$ @ 25°C

图2：电阻的约翰逊噪声

运算放大器输入电流噪声

电流噪声的变化范围远大于电压噪声；视输入结构而定，从大约 $0.1 \text{ fA}/\sqrt{\text{Hz}}$ (JFET静电计运算放大器中)到数 $\text{pA}/\sqrt{\text{Hz}}$ (高速双极性运算放大器中)不等。数据手册中不一定会给出该项数据，但在简单的BJT或JFET等器件中却可以计算得出，因为在这类情况下，所有偏置电流均流入输入结点，电流噪声就是偏置电流的肖特基噪声(或称散粒噪声)。

散粒噪声频谱密度就是 $\sqrt{2I_B q}/\sqrt{\text{Hz}}$ ，其中 I_B 表示偏置电流(放大器内)，而 q 表示电子电荷量($1.6 \times 10^{-19} \text{C}$)。在偏置补偿或电流反馈运算放大器中，外部偏置电流是两个内部电流之间的“差值”，因此无法计算出电流噪声。简单电流噪声模型如下面图3所示。



- ◆ Normal Ranges: $0.1\text{fA}/\sqrt{\text{Hz}}$ to $10\text{pA}/\sqrt{\text{Hz}}$
- ◆ In Voltage Feedback op amps the current noise in the inverting and non-inverting inputs is uncorrelated (effectively) but roughly equal in magnitude.
- ◆ In simple BJT and JFET input stages, the current noise is the shot noise of the bias current and may be calculated from the bias current.
- ◆ In bias-compensated input stages and in current feedback op amps, the current noise cannot be calculated.
- ◆ The current noise in the two inputs of a current feedback op amp may be quite different. They may not even have the same $1/f$ corner.

图3：输入电流噪声

只有在阻抗中流动并进而产生噪声电压时，才需要考虑电流噪声。在运算放大器电路的输入端保持相对较低的阻抗，可以显著降低电流噪声的影响(就像相同操作也有助于将失调电压降至最低一样)。

因此，低噪声运算放大器的最佳选择理所当然地取决于其周围的阻抗。下面将通过一些阻抗示例进一步说明。

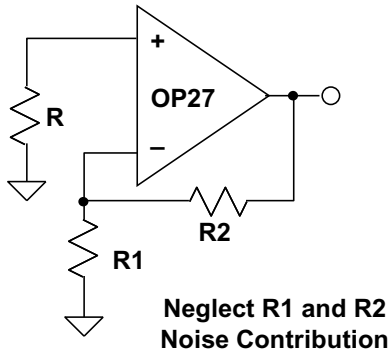
合并噪声源

不相关的噪声电压(如均方根噪声电压 V_1 、 V_2 、 V_3)以“方和根”形式相加，即可得到 $\sqrt{(V_1^2 + V_2^2 + V_3^2)}$ 。当然，噪声功率照常相加。因此，大小是任何其他噪声电压3-5倍的噪声电压占据主导地位，而其他噪声电压通常可以忽略不计。这样可以简化复杂电路中的噪声评估。

确定主要噪声源

以OP27为例，该运算放大器具有低电压噪声($3\text{ nV}/\sqrt{\text{Hz}}$)，但电流噪声却相当高($1\text{ pA}/\sqrt{\text{Hz}}$)。在无源阻抗条件下，电压噪声是主要噪声源，如下面图4所示(左边一栏)。当源阻抗为 $3\text{ k}\Omega$ (中间一栏)时，流经 $3\text{ k}\Omega$ 的 $1\text{ pA}/\sqrt{\text{Hz}}$ 电流噪声就等于电压噪声，但 $3\text{ k}\Omega$ 电阻的约翰逊噪声为 $7\text{ nV}/\sqrt{\text{Hz}}$ ，占据主导地位。当源阻抗为 $300\text{ k}\Omega$ (右边一栏)时，电流噪声部分增长100倍，达到 $300\text{ nV}/\sqrt{\text{Hz}}$ ，电压噪声继续保持不变，而约翰逊噪声(与电阻“平方根”成比例)则增长十倍。电流噪声占据主导地位。

EXAMPLE: OP27
 Voltage Noise = $3\text{nV} / \sqrt{\text{Hz}}$
 Current Noise = $1\text{pA} / \sqrt{\text{Hz}}$
 $T = 25^\circ\text{C}$



CONTRIBUTION FROM	VALUES OF R		
	0	3k Ω	300k Ω
AMPLIFIER VOLTAGE NOISE	3	3	3
AMPLIFIER CURRENT NOISE FLOWING IN R	0	3	300
JOHNSON NOISE OF R	0	7	70

RTI NOISE ($\text{nV} / \sqrt{\text{Hz}}$)
 Dominant Noise Source is Highlighted

图4: 源阻抗不同时主要噪声源也不同

从上例可以看出，选择低噪声运算放大器时主要取决于信号的源阻抗，而在高阻抗条件下，电流噪声始终占据主导地位。

从下面的图5可以明显看出，源阻抗不同时，最佳放大器也不同。对于低阻抗电路，明显应该选择OP27等低电压噪声放大器，因为这类放大器价格低廉，并且相对较高的电流噪声不会对应用造成影响。在阻抗处于中等水平时，电阻的约翰逊噪声占据主导地位，而在源阻抗非常高的情况下，则必须尽可能选择电流噪声最小的运算放大器，如AD549或AD795。

目前，BiFET放大器往往具有相对较高的电压噪声(不过电流噪声极低)，因此更适合低噪声应用中的高阻抗电路，而不是低阻抗电路。AD795、AD743和AD745具有极低的电压噪声和电流噪声。10 kHz时，AD795的电压噪声和电流噪声分别为 $10\text{ nV}/\sqrt{\text{Hz}}$ 和 $0.6\text{ fA}/\sqrt{\text{Hz}}$ ，而AD743/AD745则分别为 $2.9\text{ nV}/\sqrt{\text{Hz}}$ 和 $6.9\text{ fA}/\sqrt{\text{Hz}}$ 。利用这些器件可以设计在宽源阻抗范围内具有低噪声性能的低噪声放大器电路。

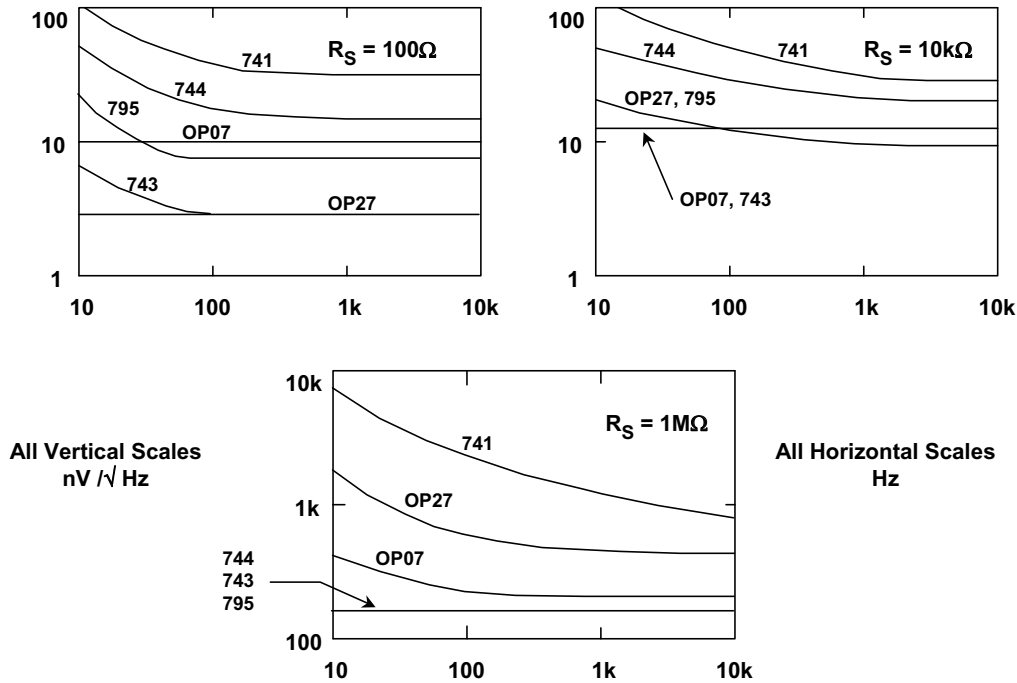
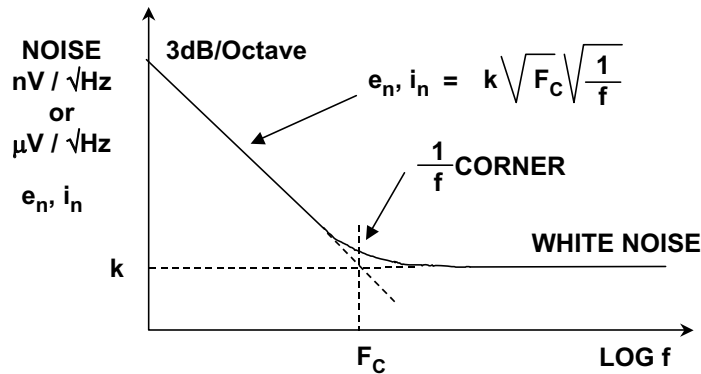


图5: 源阻抗不同时最佳放大器也不同

电压和电流噪声的频率特性

前面我们都假设噪声为“白噪声”(即其频谱密度不会随频率而变化)。这种情况适用于运算放大器的大部分频率范围,但在低频率条件下,噪声频谱密度会以3 dB/倍频程上升,如下面图6所示。功率频谱密度在此区域内与频率成反比,因此电压噪声频谱密度与频率的平方根成反比。因此,这种噪声通常称为“1/f噪声”。但应注意,有些教材中仍旧使用“闪烁噪声”这个旧术语。

这种噪声开始增加时的频率称为“1/f转折频率(F_c)”,也是品质因数之一——该频率越小越好。对于特定放大器,电压噪声和电流噪声的1/f转折频率并不一定相同,有的电流反馈运算放大器可能具有三个1/f转折频率:一个针对其电压噪声,另一个针对其反相输入电流噪声,还有一个则针对其同相输入电流噪声。



- ◆ 1/f Corner Frequency is a figure of merit for op amp noise performance (the lower the better)
- ◆ Typical Ranges: 2Hz to 2kHz
- ◆ Voltage Noise and Current Noise do not necessarily have the same 1/f corner frequency

图6：运算放大器噪声的频率特性

用来描述1/f区域内电压或电流噪声频谱密度的通用计算公式如下

$$e_n, i_n = k\sqrt{F_C}\sqrt{\frac{1}{f}}, \quad \text{公式 1}$$

其中，k表示“白”电流或电压噪声电平，而 F_C 表示1/f转折频率。

最佳低频率、低噪声放大器的转折频率位于1-10 Hz范围内，而JFET器件和更为通用的运算放大器则位于1-100 Hz范围内。不过，超高速放大器可能会在处理能力上做出让步以实现高速性能，从而导致1/f转折频率特性相当差，高达数百Hz，甚至1-2 kHz。对于此类器件所针对的宽带应用，这点通常并不是很重要，但可能会影响其在音频条件下使用，尤其是在均衡电路中。

“爆米花”噪声

“爆米花噪声”之名源于通过音频系统播放时，它听起来像炒爆米花。该噪声由失调电压的随机阶跃变化组成，发生间隔为10+毫秒时间范围内的随机值。此类噪声由硅片表面存在严重污染及晶格移位所导致，而这是工艺技术不合适或原材料品质欠佳而造成的。

上世纪60年代首次推出单芯片运算放大器时，爆米花噪声是主要噪声源。不过，如今人们已经充分认识到爆米花噪声的成因，再加上原材料纯度高、污染程度低且生产测试可靠，对任何运算放大器制造商来说，生产基本上没有爆米花噪声的产品应该不是什么难事。因此，多数现代运算放大器教材中甚至不会提到该噪声。

参考文献

1. Hank Zumbahlen, *Basic Linear Design*, Analog Devices, 2006, ISBN: 0-915550-28-1. Also available as [Linear Circuit Design Handbook](#), Elsevier-Newnes, 2008, ISBN-10: 0750687037, ISBN-13: 978-0750687034. Chapter 1.
2. Walter G. Jung, [Op Amp Applications](#), Analog Devices, 2002, ISBN 0-916550-26-5, Also available as [Op Amp Applications Handbook](#), Elsevier/Newnes, 2005, ISBN 0-7506-7844-5. Chapter 1.

Copyright 2009, Analog Devices, Inc. All rights reserved. Analog Devices assumes no responsibility for customer product design or the use or application of customers' products or for any infringements of patents or rights of others which may result from Analog Devices assistance. All trademarks and logos are property of their respective holders. Information furnished by Analog Devices applications and development tools engineers is believed to be accurate and reliable, however no responsibility is assumed by Analog Devices regarding technical accuracy and topicality of the content provided in Analog Devices Tutorials.

高速电压反馈运算放大器

为了针对给定应用选择正确的高速运算放大器，需要了解各种运算放大器拓扑结构以及它们之间的权衡考虑。使用最为广泛的两种拓扑结构是电压反馈(VFB)和电流反馈(CFB)。以前的指南([MT-050](#)、[MT-051](#)、[MT-052](#))中已概要描述过这些拓扑结构，接下来，我们将更加详细地介绍这两种拓扑结构与频率相关的方面。

高速电压反馈(VFB)运算放大器拓扑结构

电压反馈(VFB)运算放大器的电路拓扑结构与电流反馈(CFB)运算放大器不同。VFB运算放大器无疑在低频应用中最受欢迎，但CFB运算放大器在高频下具有一定的优势。我们将在[指南MT-057](#)中详细讨论高速CFB运算放大器，这里先谈谈更加传统的VFB架构。

早期的IC电压反馈运算放大器基于“全NPN”工艺制成。这些工艺针对NPN晶体管而优化——“横向”PNP晶体的性能相对较弱。采用这种低质PNP的早期VFB运算放大器示例包括709、LM101和741。

横向PNP一般只用作电流源、电平转换器，或者其他非关键功能。下面的图1所示为基于这种工艺制成的一种典型VFB运算放大器的简化原理图。

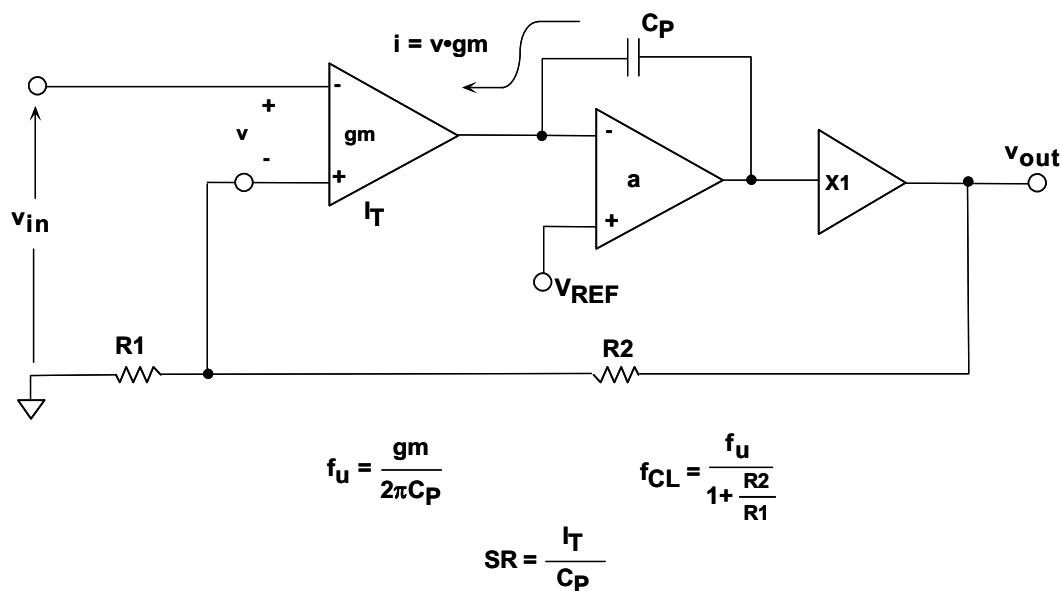


图1：基于“全NPN”IC工艺设计的电压反馈(VFB)运算放大器

输入级为一个差分对(有时称为长尾对),由双极性对(Q1, Q2)或FET对构成。该“ g_m ”(跨导)级将小信号差分输入电压 v 转换成一个电流 i ,其传递函数以电导率单位 $1/\Omega$ (或姆欧)测量。小信号发射极电阻 r_e 大约等于小信号 g_m 的倒数。

单个双极性晶体管的小信号 g_m 的计算公式来自以下等式:

$$g_m = \frac{1}{r_e} = \frac{q}{kT}(I_C) = \frac{q}{kT}\left(\frac{I_T}{2}\right), \text{ 或} \quad \text{等式1}$$

$$g_m \approx \left(\frac{1}{26\text{mV}}\right)\left(\frac{I_T}{2}\right) \quad \text{等式2}$$

其中, I_T 为差分对尾电流, I_C 为集电极静态偏置电流($I_C = I_T/2$), q 为电子电荷, k 为玻尔兹曼常数, T 为绝对温度。在 $+25^\circ\text{C}$ 下, $V_T = kT/q = 26 \text{ mV}$ (经常称为热电压 V_T)。

就如我们即将看到的那样,放大器单位增益带宽积 f_u 等于 $g_m/2\pi C_p$,其中,电容 C_p 用于设置主极点频率。为此,尾电流 I_T 与绝对温度成比例(PTAT)。该电流会跟踪 r_e 随温度的变化情况,从而使 g_m 不依赖于温度。使 C_p 在温度范围内保持不变是相对容易的。

g_m 级的Q2集电极输出驱动横向PNP晶体管的发射极(Q3)。需要注意的是, Q3并非用于放大信号,而是用来转换电平,即Q2集电极中的信号电流变化出现在Q3的集电极上。Q3的集电极电流会在高阻抗节点A上形成一个电压, C_p 设定放大器的主极点。发射极跟随器Q4提供低阻抗输出。

高阻抗节点A处的有效负载可通过与主极点电容 C_p 并联的电阻 R_T 表示。小信号输出电压 v_{out} 等于小信号电流 i 与 R_T 和 C_p 的并联阻抗之积。

下面的图2所示为单极放大器的简单模型以及对应的波特图。波特图是以对数-对数比例尺绘制的。

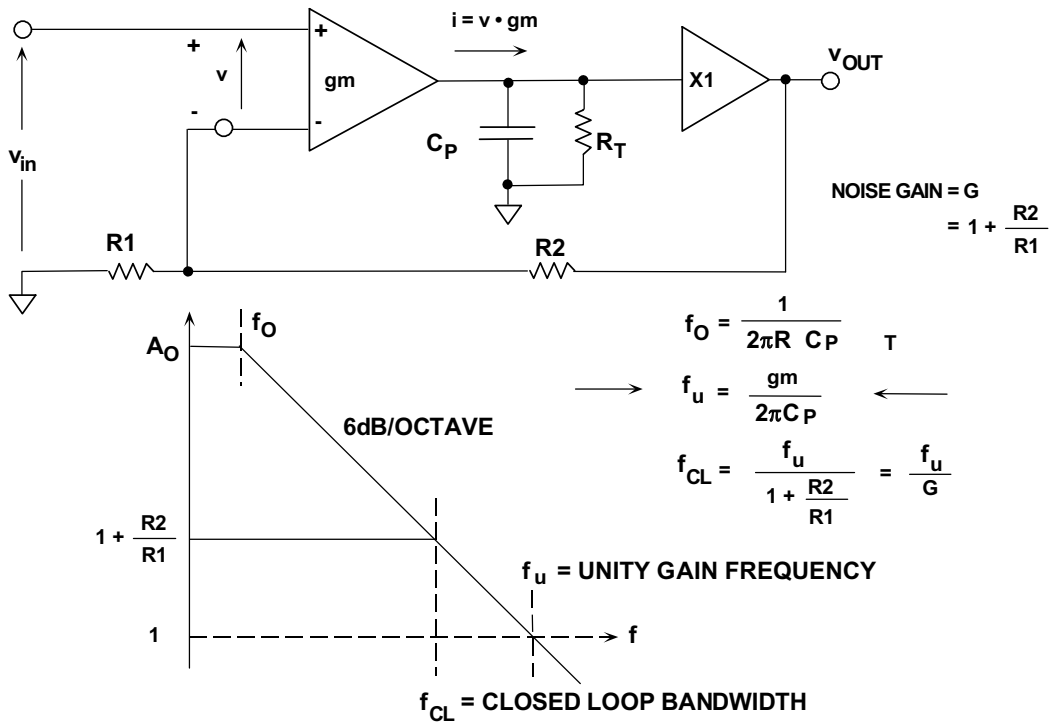


图2: VFB运算放大器的模型和波特图

低频断点 f_0 通过以下等式计算:

$$f_0 = \frac{1}{2\pi R_T C_P} \quad \text{等式3}$$

注意, 高频响应完全取决于 g_m 和 C_p :

$$v_{out} = v \cdot \frac{g_m}{j\omega C_P} \quad \text{等式4}$$

单位增益带宽频率 f_u 发生于 $|v_{out}| = |v|$ 时。使 $\omega = 2\pi f_u$ 且 $|v_{out}| = |v|$, 等式4中的 f_u 可以求解。

$$f_u = \frac{g_m}{2\pi C_P} \quad \text{等式5}$$

我们可以使用反馈理论来推导电路信号输入电压 v_{in} 及其输出电压 v_{out} 之间的闭环关系:

$$\frac{v_{out}}{v_{in}} = \frac{1 + \frac{R2}{R1}}{1 + \frac{j\omega C_P}{g_m} \left(1 + \frac{R2}{R1}\right)} \quad \text{等式6}$$

在运算放大器3 dB闭环带宽频率 f_{cl} 下，以下等式成立：

$$\frac{2\pi f_{cl} C_P}{g_m} \left(1 + \frac{R2}{R1}\right) = 1, \text{ 因此有} \quad \text{等式7}$$

$$f_{cl} = \frac{g_m}{2\pi C_P} \left(\frac{1}{1 + \frac{R2}{R1}} \right), \text{ 或} \quad \text{等式8}$$

$$f_{cl} = \frac{f_u}{1 + \frac{R2}{R1}} \quad \text{等式9}$$

这显示了VFB运算放大器的基本属性：闭环带宽与闭环增益之积是一个常数，即VFB运算放大器在多数可用频率范围内将展现一个恒定不变的增益带宽积。

如前所述，有些VFB运算放大器(称为非完全补偿)在单位增益下并不稳定，但根据设计，其工作时会有定量(较高)的闭环增益。然而，即使对这些运算放大器来说，增益带宽积在整个稳定区域内仍然是相对恒定不变的。

现在，我们考虑以下典型示例： $I_T = 100 \mu\text{A}$, $C_P = 2 \text{ pF}$ 。我们发现：

$$g_m = \frac{I_T/2}{V_T} = \frac{50\mu\text{A}}{26\text{mV}} = \frac{1}{520\Omega} \quad \text{等式10}$$

$$f_u = \frac{g_m}{2\pi C_P} = \frac{1}{2\pi(520)(2 \cdot 10^{-12})} = 153\text{MHz}. \quad \text{等式11}$$

现在，我们必须考虑电路中的大信号响应。压摆率SR就是总的可用充电电流 $I_T/2$ ，再除以主极点电容 C_P 。对于现在考虑的示例：

$$I = C \frac{dv}{dt}, \frac{dv}{dt} = \text{SR}, \text{SR} = \frac{I}{C} \quad \text{等式12}$$

$$SR = \frac{I_T / 2}{C_P} = \frac{50\mu A}{2pF} = 25V/\mu s. \quad \text{等式13}$$

现在，可以通过以下公式计算运算放大器的全功率带宽(FPBW):

$$FPBW = \frac{SR}{2\pi A} = \frac{25V/\mu s}{2\pi \cdot 1V} = 4MHz, \quad \text{等式14}$$

其中，A是输出信号的峰值幅度。如果假设存在2 V峰峰值输出正弦波(这无疑是高速应用的一个合理假设)，则可得到仅为4 MHz的FPBW，即使小信号单位增益带宽积为153 MHz! 对于2 V峰峰值输出正弦波，失真发生的频率远远低于实际FPBW频率。我们必须将SR提高约40倍，以使FPBW等于153 MHz。唯一方法是将输入差分对的尾电流 I_T 提高相同的倍数。这意味着，要实现160 MHz的FPBW，则需要4 mA的偏置电流。我们的假设是， C_p 为一个2 pF的固定值电容，根据设计，不能降低该值。下面的图3对这些计算进行了总结。

- ◆ Assume that $I_T = 100\mu A$, $C_p = 2pF$

$$g_m = \frac{I_c}{V_T} = \frac{50\mu A}{26mV} = \frac{1}{520\Omega}$$

$$f_u = \frac{g_m}{2\pi C_p} = 153MHz$$

- ◆ Slew Rate = SR =

BUT FOR 2V PEAK-PEAK OUTPUT (A = 1V)

$$FPBW = \frac{SR}{2\pi A} = 4MHz$$

- ◆ Must increase I_T to 4mA to get $FPBW = 160MHz!!$
- ◆ Reduce g_m by adding emitter degeneration resistors

图3: VFB运算放大器的带宽和压摆率计算

实际上，运算放大器的FPBW应该大约为最大输出频率的5至10倍，以取得可以接受的失真性能(典型值为55-80 dBc @ 5-20 MHz，但实际系统要求存在较大差异)。

但需要注意的是，提高尾电流会导致 g_m 按比例增加，从而使 f_u 也按比例增加。为了防止 f_u 的大幅增加而可能导致的不稳定性，可以插入电阻并使其与发射极Q1和Q2串联，从而降低 g_m (这种技术称为发射极衰减，同时能够使 g_m 传递函数线性化，从而减少失真)。

从分析可以看出，常规双极性电压反馈运算放大器的一个主要低效问题是，如果不按比例增加静态电流，则无法实现高压摆率(设 C_p 固定不变，且其合理最小值为2或3 pF)。

当然，这并不是说，运用这种架构设计的高速运算放大器存在缺陷，只是说目前有电路设计技术能以低得多的静态电流实现与之相当的性能。这在便携式电池供电设备中是非常重要的，因为，其中每毫瓦特的功耗都是至关重要的。

基于互补双极性工艺设计的VFB运算放大器

随着拥有高品质PNP和NPN晶体管的互补双极性(CB)工艺的出现，如图4简化原理图所示VFB运算放大器配置逐渐流行起来。

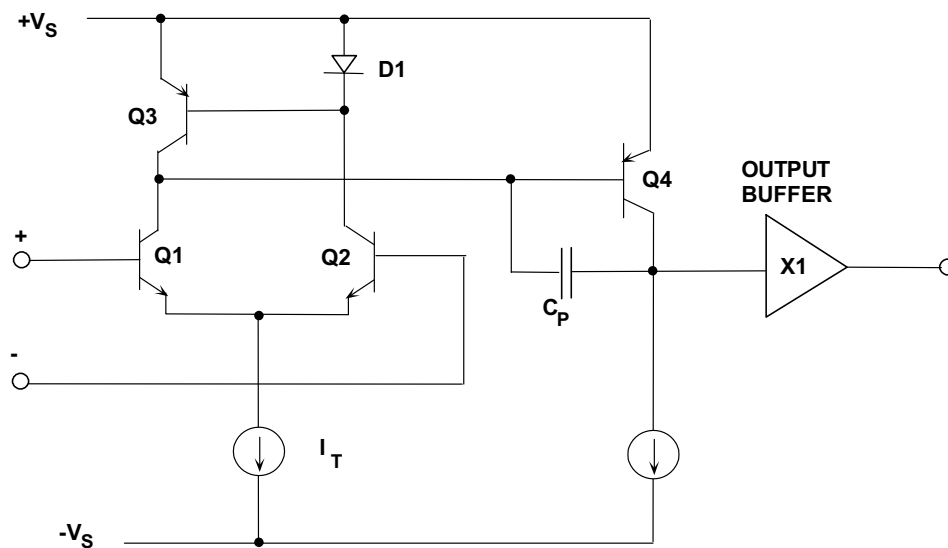


图4：采用两个增益级的VFB运算放大器

请注意，输入差分对(Q1, Q2)由一个电流镜(Q3和D1)加载。为简化起见，我们把D1表示为一个二极管，但它实际上是一个以二极管连接的PNP晶体管(与Q3匹配)，其基极和集电极是相连的。本节后面部分的许多电路图都会使用这种简化图示。共用发射极晶体管Q4提供第二电压增益级。

由于PNP晶体管是以互补双极性工艺制成的，因此，其质量非常出色，并与NPN相匹配，因而适用于电压增益。图4中放大器的主极点由 C_p 设定，增益级Q4与局部反馈电容 C_p 的组合通常称为密勒积分器。单位增益输出缓冲器通常是一个互补发射极跟随器。

下面的图5所示为该双级VFB运算放大器的一个模型。请注意，单位增益带宽频率 f_u 仍然取决于输入级 g_m 和主极点电容 C_p 。第二增益级会提高直流开环增益，但最大压摆率仍然受到输入级尾电流的限制： $SR = I_T/C_p$ 。

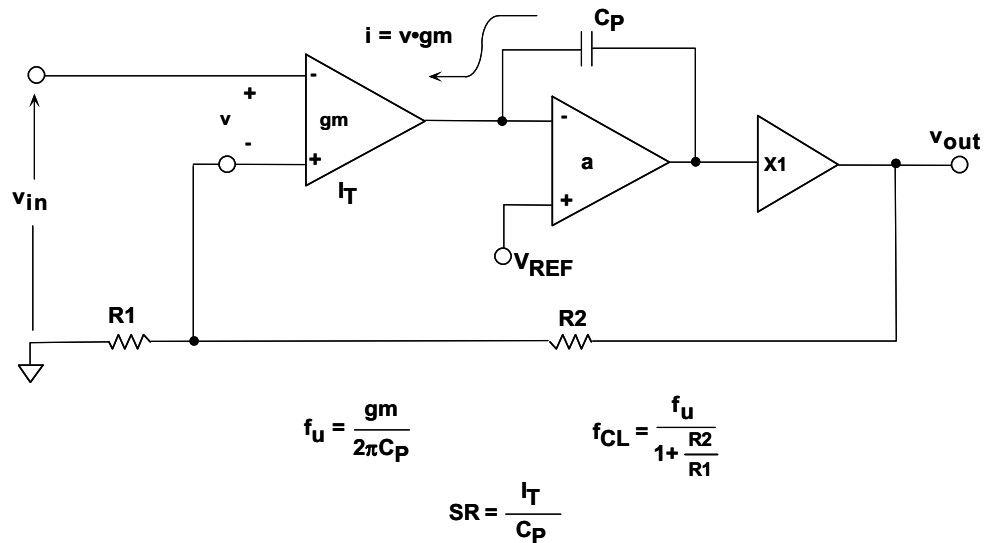


图5：双级VFB运算放大器模型

诸如此类双级放大器拓扑结构被IC工业广泛应用于VFB运算放大器之中，精密和高速放大器均是如此。

另一种流行的VFB运算放大器架构是折叠式共源共栅，如图6所示。有一个行业标准视频放大器系列([AD847](#))即是以这种架构为基础的。该电路同时利用了基于CB工艺的快速PNP。Q1和Q2集电极中的差分信号电流馈入PNP共源共栅晶体管对的发射极中(术语折叠式共源共栅即源于此)。Q3和Q4集电极以电流镜D1和Q5加载，电压增益则形成于Q4-Q5节点。这种单极架构在高阻抗节点采用结电容来实现补偿(C_{STRAY})。

一些变化设计将该节点引至一个外部引脚，从而可在需要时，增加额外的外部电容。

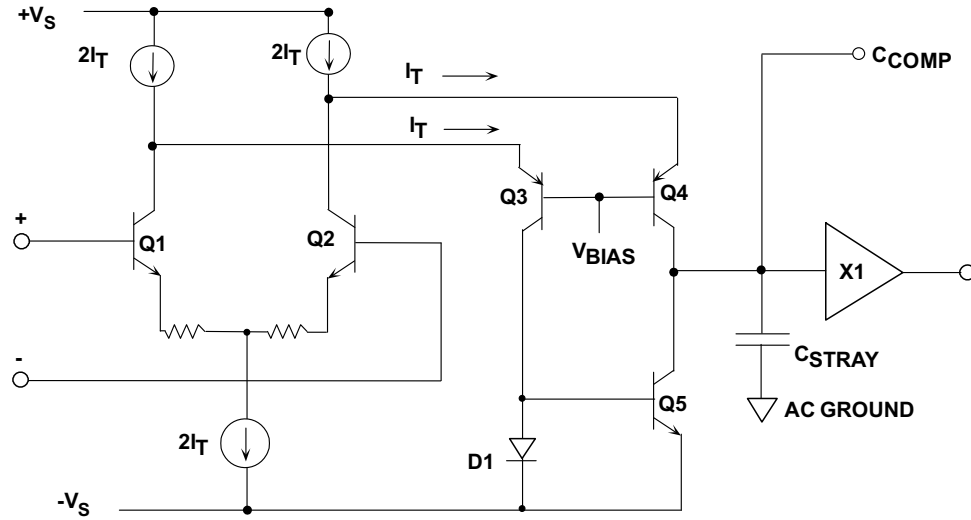


图6: [AD847](#)系列折叠式共源共栅晶体管的简化电路图

如果Q1和Q2中无发射极衰减电阻，且不采用额外的外部补偿电容，则该电路只能在高闭环增益下保持稳定。然而，该系列同时提供单位增益补偿版本，具有适量的发射极衰减。

基于CB工艺的JFET的上市，不但有助于实现低输入偏置电流，同时可以改善压摆率折衷，这种折衷是双极性输入级中 g_m 和 I_T 之间的无赖之举。图7所示为[AD845](#) 16 MHz运算放大器的简化原理图。JFET每mA尾电流的 g_m 比双极性晶体管要低得多。由于FET的 g_m 较低，因而可以增加输入尾电流(从而增加压摆率)，而无需增加 C_p 即可保持稳定。

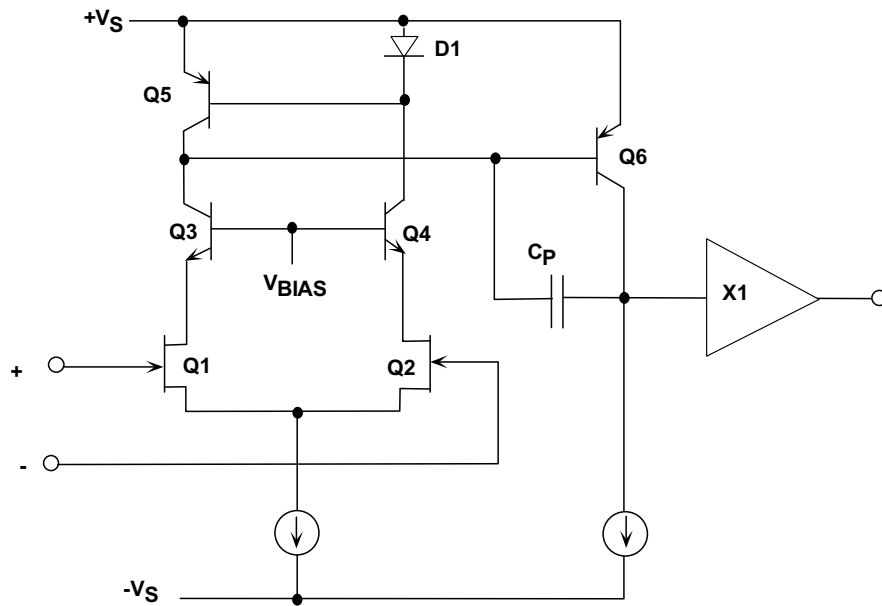


图7: [AD845](#) BiFET 16MHz运算放大器的简化电路图

该四核配置已获得专利(参见参考文献1), 同时获得专利的有确立静态偏置电流的电路(图8中未显示)。“四核”也经常称为“H桥”核心。目前已发布采用这种专有配置的多种VFB运算放大器, 可在低静态电流水平下提供无与伦比的高频失真性能、带宽和压摆率。图9列出了采用这种架构的几种电压反馈运算放大器, 以便进行比较。

LISTED IN ORDER OF DECREASING SUPPLY CURRENT

PART #	I_{SY} / AMP	BANDWIDTH	SLEWRATE
AD8045 (1)	19mA	1000MHz	1350V/ μ s
ADA4899-1 (1)	16.2mA	600MHz	310V/ μ s
AD8099 (1)	16mA	500MHz	1600V/ μ s
AD8074 (3)	10mA	600MHz	1600V/ μ s
AD8057 (1)	7.5mA	325MHz	1150V/ μ s
AD8038 (1)	1.5mA	350MHz	425V/ μ s

Number in () indicates single, dual, triple, or quad

图9: 部分高速VFB运算放大器

参考文献

1. Hank Zumbahlen, *Basic Linear Design*, Analog Devices, 2006, ISBN:0-915550-28-1. 另见 [Linear Circuit Design Handbook](#), Elsevier-Newnes, 2008, ISBN-10:0750687037, ISBN-13:978-0750687034。Chapter 1.
2. Walter G. Jung, *Op Amp Applications*, Analog Devices, 2002, ISBN 0-916550-26-5, 另见 [Op Amp Applications Handbook](#), Elsevier/Newnes, 2005, ISBN 0-7506-7844-5. Chapter 1.

Copyright 2009, Analog Devices, Inc. All rights reserved. Analog Devices assumes no responsibility for customer product design or the use or application of customers' products or for any infringements of patents or rights of others which may result from Analog Devices assistance. All trademarks and logos are property of their respective holders. Information furnished by Analog Devices applications and development tools engineers is believed to be accurate and reliable, however no responsibility is assumed by Analog Devices regarding technical accuracy and topicality of the content provided in Analog Devices Tutorials.

运算放大器噪声关系：1/f噪声、均方根(RMS)噪声与等效噪声带宽

“1/f”噪声

运算放大器电流或电压噪声的一般特性如下图1所示。

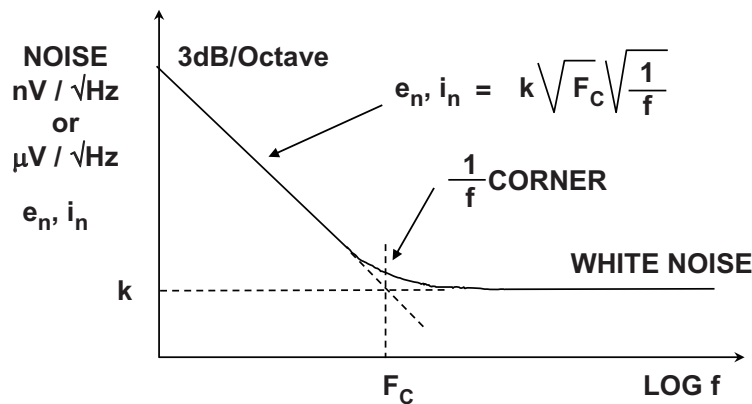


图1：运算放大器噪声的频率特性

高频下的噪声为白噪声(即其频谱密度不会随频率而变化)。这种情况适用于运算放大器的大部分频率范围，但在低频率条件下，噪声频谱密度会以3 dB/倍频程上升，如上图1所示。功率频谱密度在此区域内与频率成反比，所以电压噪声频谱密度与频率的平方根成反比。因此，这种噪声通常称为“1/f噪声”。但应注意，有些教材中仍旧使用“闪烁噪声”这个旧术语。

这种噪声开始增加时的频率称为“1/f转折频率”(FC)，也是品质因数之一——该频率越小越好。对于特定放大器，电压噪声和电流噪声的1/f转折频率并不一定相同，有的电流反馈运算放大器可能具有三个1/f转折频率：一个针对其电压噪声，另一个针对其反相输入电流噪声，还有一个则针对其同相输入电流噪声。

用来描述1/f区域内电压或电流噪声频谱密度的通用计算公式如下

$$e_n, i_n = k\sqrt{F_C}\sqrt{\frac{1}{f}}, \quad \text{公式1}$$

其中，k表示“白”电流或电压噪声电平，而 F_C 表示1/f转折频率。

最佳低频率、低噪声放大器的转折频率位于1-10 Hz范围内，而JFET器件和更为通用的运算放大器则位于1-100 Hz范围内。不过，超高速放大器可能会在处理能力上做出让步以便实现高速性能，从而导致1/f转折频率特性相当差，高达数百Hz，甚至1-2 kHz。对于此类器件所针对的宽带应用，这点通常并不是很重要，但可能会影响其在音频条件下使用，尤其是在均衡电路中。

均方根噪声考虑

如上所述，噪声频谱密度与频率成函数关系。为了获得均方根噪声，噪声频谱密度曲线必须在整个目标带宽上积分。

在1/f区域中，带宽 F_L 至 F_C 内的均方根噪声由下式给出

$$v_{n,rms}(F_L, F_C) = v_{nw} \sqrt{F_C} \sqrt{\int_{F_L}^{F_C} \frac{1}{f} df} = v_{nw} \sqrt{F_C \ln \left[\frac{F_C}{F_L} \right]} \quad \text{公式2}$$

其中， v_{nw} 表示“白”区域内的电压噪声频谱密度， F_L 表示1/f区域中的最低目标频率，而 F_C 表示1/f转折频率。

下一目标区域是从 F_C 至 F_H 的“白”噪声区。该带宽内的均方根噪声由下式给出

$$v_{n,rms}(F_C, F_H) = v_{nw} \sqrt{F_H - F_C} \quad \text{公式3}$$

公式2和3可以合并，得出 F_L 至 F_H 的总均方根噪声：

$$v_{n,rms}(F_L, F_H) = v_{nw} \sqrt{F_C \ln \left[\frac{F_C}{F_L} \right] + (F_H - F_C)} \quad \text{公式4}$$

许多情况下，低频峰值噪声是0.1 Hz至10 Hz带宽内的额定值，采用运算放大器与测量器件之间的0.1至10 Hz带通滤波器测得。测量结果通常表示为示波图，时间刻度为1s/div，如下图所示(针对OP213)。

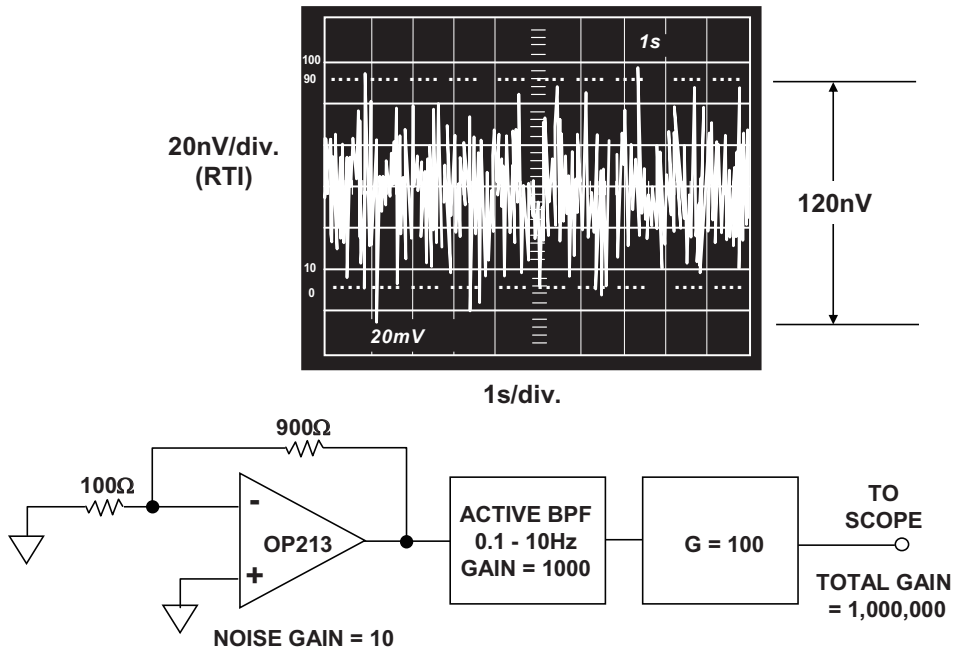
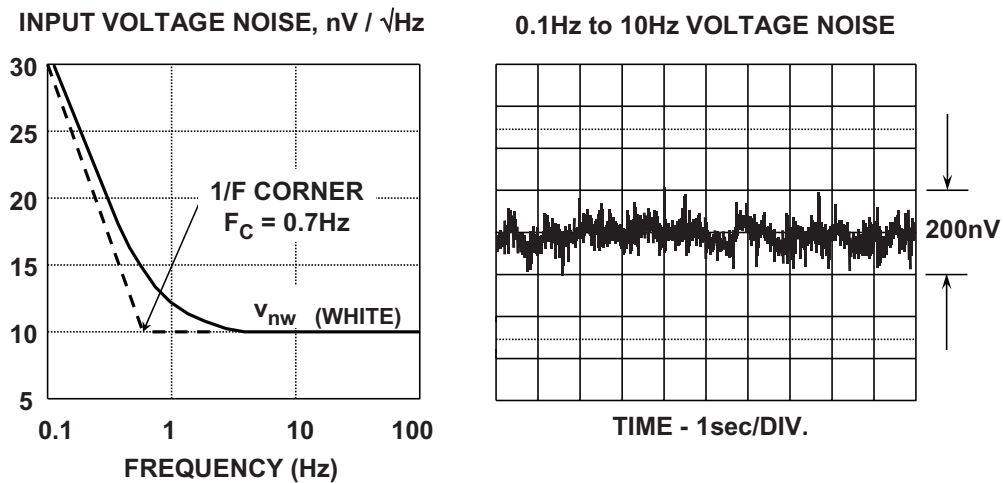


图2: OP213的0.1Hz至10 Hz输入电压噪声



- ◆ $V_{n,rms}(F_L, F_H) = v_{nw} \sqrt{F_C \ln \left[\frac{F_C}{F_L} \right] + (F_H - F_C)}$
- ◆ For $F_L = 0.1\text{Hz}$, $F_H = 10\text{Hz}$, $v_{nw} = 10\text{nV}/\sqrt{\text{Hz}}$, $F_C = 0.7\text{Hz}$:
 - ◆ $V_{n,rms} = 33\text{nV}$
 - ◆ $V_{n,pp} = 6.6 \times 33\text{nV} = 218\text{nV}$

图3: OP177的输入电压噪声

在0.1至10 Hz带宽内测量的1/f噪声可与电压噪声频谱密度相关。上图4的左侧显示了OP177输入电压噪声频谱密度，右侧显示了0.1至10 Hz峰峰值噪声示波图。令公式2的 $F_L = 0.1\text{ Hz}$ ， $F_H = 10\text{ Hz}$ ， $F_C = 0.7\text{ Hz}$ ， $v_{nw} = 10\text{ nV}/\sqrt{\text{Hz}}$ ，可计算0.1至10 Hz带宽内的总均方根噪声值。所得值约为33 nV rms，或218 nV p-p(将均方根值乘以6.6得出——参见下文)。该值与从示波图测出的200 nV相当。

应注意，在较高频率下，包含自然对数的公式项变得微不足道，均方根噪声表达式变为

$$V_{n,rms}(F_H, F_L) \approx v_{nw} \sqrt{F_H - F_L} . \quad \text{公式5}$$

And, if $F_H \gg F_L$,

$$V_{n,rms}(F_H) \approx v_{nw} \sqrt{F_H} . \quad \text{公式6}$$

然而，某些运算放大器(例如OP07和OP27)具有在高频下略微增加的电压噪声特性。所以使用此近似值计算高频噪声时，应仔细检查运算放大器电压噪声与频率关系曲线的平坦度。

在极低频率下，当仅在1/f区域内工作时， $F_C \gg (F_H - F_L)$ ，均方根噪声表达式简化为

$$V_{n,rms}(F_H, F_L) \approx v_{nw} \sqrt{F_C \ln \left[\frac{F_H}{F_L} \right]} . \quad \text{公式7}$$

请注意，如果工作范围扩展至直流，则无法通过滤波减少该1/f噪声。令 $F_H = 0.1 \text{ Hz}$ ， $F_L = 0.001 \text{ Hz}$ ，仍可产生约18 nV rms或119 nV p-p的均方根1/f噪声。问题是，对长时间内的测量结果求平均值实际上对1/f噪声的均方根值无影响。进一步减少1/f噪声的方法是使用斩波稳定型运算放大器，从而消除低频噪声。

在实际操作中，几乎不可能在特定频率限值内测量噪声而不受限值外噪声的影响，因为实际滤波器的滚降特性有限。幸运的是，单极点低通滤波器引起的测量误差很容易计算。单极点低通滤波器截止频率 f_c 以上频谱内的噪声将转折频率扩展至 $1.57f_c$ 。同样，双极点滤波器的视在转折频率约为 $1.2f_c$ 。对具有两个以上极点的滤波器而言，误差校正因数通常可忽略。校正后的净带宽称为滤波器的“等效噪声带宽”(参见下图4)。

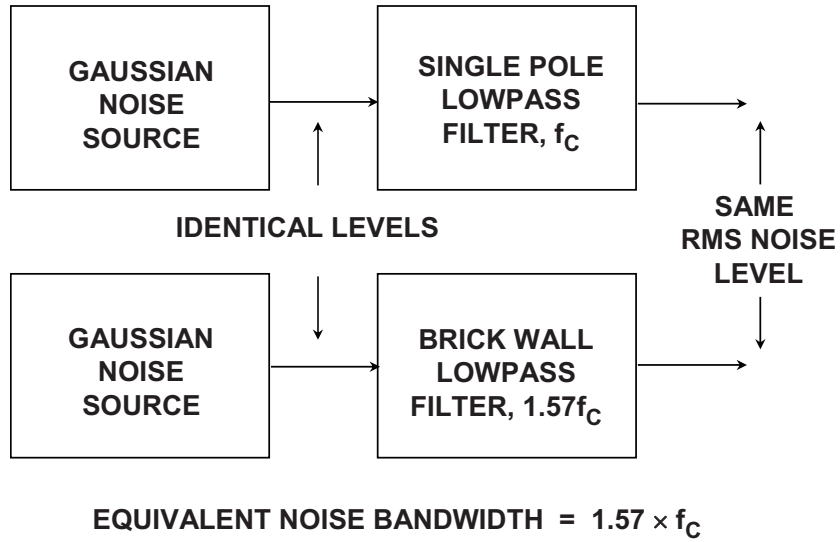


图4: 等效噪声带宽

通常需要将均方根噪声测量值转换为峰峰值。为此，我们必须对噪声的统计性质有所了解。对于高斯噪声和给定均方根噪声值，统计学告诉我们，超过特定峰峰值的概率随着该值增加而急剧下降，但该概率永远不会为零。

因此，对于给定均方根噪声值，可以预测超过给定峰峰值的时间百分比，但不存在永远无法超过的峰峰值，如下图5所示。

Nominal Peak-to-Peak	% of the Time Noise will Exceed Nominal Peak-to-Peak Value
2 × rms	32%
3 × rms	13%
4 × rms	4.6%
5 × rms	1.2%
6 × rms	0.27%
6.6 × rms**	0.10%
7 × rms	0.046%
8 × rms	0.006%

**Most often used conversion factor is 6.6

图5: 均方根-峰峰值比

因此，峰峰值噪声规格必须写上时间限制。6.6乘以均方根值较为合适，即该值仅在0.1%的时间内被超过。

参考文献

1. Hank Zumbahlen, *Basic Linear Design*, Analog Devices, 2006, ISBN: 0-915550-28-1. Also available as [Linear Circuit Design Handbook](#), Elsevier-Newnes, 2008, ISBN-10: 0750687037, ISBN-13: 978-0750687034. Chapter 1.
2. Walter G. Jung, [Op Amp Applications](#), Analog Devices, 2002, ISBN 0-916550-26-5, Also available as [Op Amp Applications Handbook](#), Elsevier/Newnes, 2005, ISBN 0-7506-7844-5. Chapter 1.

Copyright 2009, Analog Devices, Inc. All rights reserved. Analog Devices assumes no responsibility for customer product design or the use or application of customers' products or for any infringements of patents or rights of others which may result from Analog Devices assistance. All trademarks and logos are property of their respective holders. Information furnished by Analog Devices applications and development tools engineers is believed to be accurate and reliable, however no responsibility is assumed by Analog Devices regarding technical accuracy and topicality of the content provided in Analog Devices Tutorials.

运算放大器噪声指数：不要被误导

简介

运算放大器噪声一般表示为输入电流和电压噪声，就如以前在[MT-047](#)、[MT-048](#)、[MT-049](#)、[MT-050](#)和[MT-051](#)所讨论的那样。但在通信系统中，噪声一般表示为噪声系数(NF)——见下面的图1。这会导致误解，尤其是当运算放大器被用作增益模块且运算放大器的噪声系数并非针对具体的电路条件时。为了了解如何在运算放大器上运用噪声系数，我们将首先回顾一下噪声系数的基本原理。

- ◆ **NF is usually specified for matched input/output conditions, but this is not always a system requirement**
- ◆ **Noise Figure is a popular figure of merit in RF applications: LNAs, Mixers, etc.**
- ◆ **Difficulties arise when applying NF to op amps. NF is dependent on**
 - Impedance levels
 - Feedback network
 - Closed loop gain
- ◆ **Other difficulties arise due to different definitions of NF as found in various textbooks**
- ◆ **We will start with the basics and work up to the op amp issues**

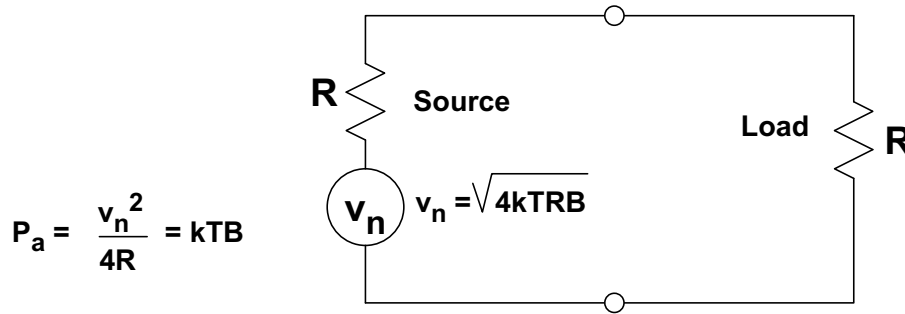
图1：通信应用中的噪声系数(NF)

有效噪声功率

第一个概念是源的有效功率。源的有效功率是可以从源中得到的最大功率。在下面的图2，值为R的电阻即为噪声源。该噪声源的热噪声为 $\sqrt{4kTB}$ 。当负载电阻也等于R时，会出现可以传输到理想无噪声负载的最大噪声。

在这些条件下，噪声源的最大有效噪声功率降至 kTB ，其中，k为玻尔兹曼常数，T为绝对温度，B为噪声带宽。请注意，该功率独立于源电阻R的值。

The available power, P_a , of a source is the maximum power that can be drawn from the source. This occurs when the load resistance is equal to the source resistance.



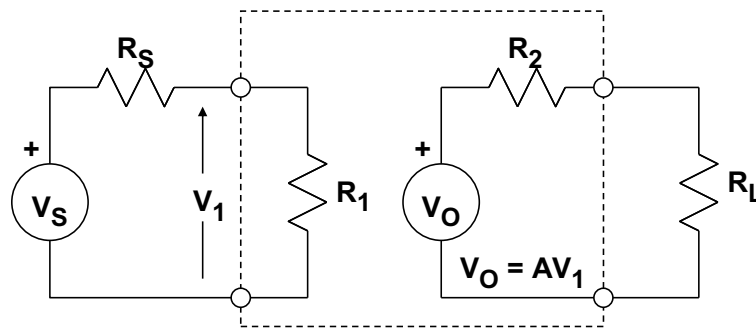
$k = 1.38 \times 10^{-23}$ Joules / K (Boltzman's Constant)
 $T =$ Temperature (assume 300K, room temperature)
 $B =$ Noise bandwidth (Hz)

$$P_a \text{ (dBm)} = -174\text{dBm} + 10 \log B$$

图2: 来自源的有效噪声功率

有效功率增益

第二个重要概念是双端口网络的有效功率增益，如下面的图3所示。双端口网络由阻抗为 R_s 的信号源驱动。等式展示了来自源的有效信号功率，以及来自网络输出端的有效信号功率。简单来说，有效功率增益就是有效输出功率与源的有效功率之比。

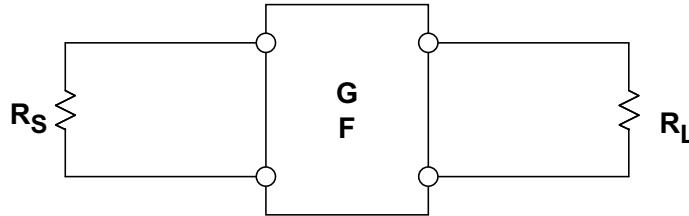


- Available signal power from source = $P_{as} = \frac{V_s^2}{4R_s}$
- Available signal power at output = $P_{ao} = \frac{V_o^2}{4R_2}$
- Available power gain = $G_a = \frac{P_{ao}}{P_{as}} = \frac{V_o^2 R_s}{V_s^2 R_2}$

图3: 双端口网络的有效功率增益

噪声因数和噪声系数的定义

双端口网络的增益和噪声可以用有效功率增益 G 和噪声因数 F 来定义，如下面的图4所示。噪声因数 F 定义为总有效输出噪声功率与来自源的有效输出噪声功率之比。对于阻性源，来自源的有效噪声功率即为 kTB ，仅由源导致的输出噪声功率为 $G \cdot kTB$ 。



G = Available Power Gain of Network

$$F = \text{Noise Factor} = \frac{\text{Total Available Output Noise Power}}{\text{Available Output Noise Power Due to Source Only}}$$

$$= \frac{\text{Total Available Output Noise Power}}{G \cdot kTB}$$

$$NF = \text{Noise Figure} = 10 \log_{10} F$$

图4：双端口噪声网络的噪声因数和噪声系数的定义。

请注意，噪声因数 F 表示为一个比值，而噪声系数 NF 则是以 dB 为单位的比值 F 。因而，一个理想的无噪声双端口网络的噪声因数为 $F = 1$ ，噪声系数为 $NF = 0 \text{ dB}$ 。我们可以用相同的定义来计算运算放大器电路的 NF ，但是，用电压噪声频谱密度和电流噪声频谱密度的平方则会简化计算，而不是使用功率或功率频谱密度(见下面的图5)。另外，用这种方法来处理不匹配条件要容易些。

简单而言，运算放大器的噪声因数 F 就是总输出噪声频谱密度的平方与仅来自于源的输出噪声频谱密度的平方之比。噪声系数 $NF = 10 \cdot \log F$ 。

- ◆ With op amps, it is easier to work with voltage and current noise spectral density, rather than power or power spectral density.
- ◆ Unmatched conditions are more easily dealt with using voltage noise spectral density analysis.
- ◆ Voltage noise spectral densities add using root-sum-squares (RSS).
- ◆ A 1000Ω resistor has a voltage noise spectral density of 4nV/√Hz @ 25°C (300K). (This is good to remember!)
- ◆ The basic definition of Noise Factor and Noise Figure in terms of voltage noise spectral density becomes:

$$\text{Noise Factor} = F = \frac{(\text{Total Output Voltage Noise Spectral Density})^2}{(\text{Output Voltage Noise Spectral Density Due to Source Only})^2}$$

$$\text{Noise Figure} = \text{NF} = 10 \log_{10} F$$

图5: 运算放大器的噪声系数

在RF或IF增益模块中，需要定义输入阻抗。然而，在将运算放大器在同相模式下用作增益模块时，输入阻抗较高(相对于传输线路阻抗)，对于会影响噪声系数的输入终端则有数种选项。这些选项被推广到带有可选输入终端的任何双端口网络中，如下面的图6所示。

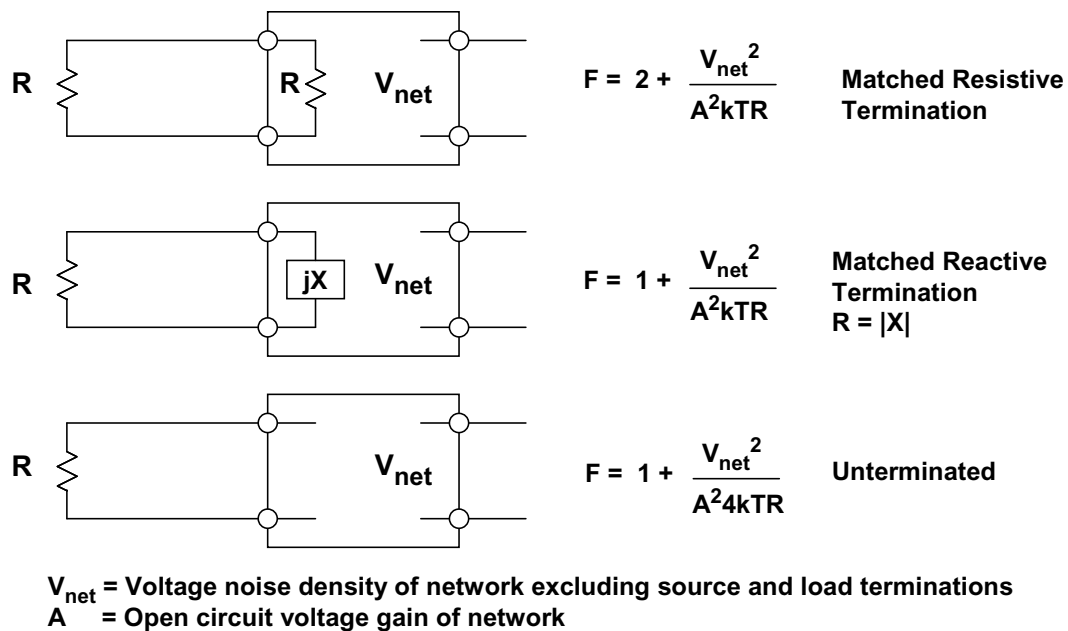


图6: 阻性、抗性和无端接条件下的噪声因数

设网络的开路电压增益为 A ，且总输出噪声频谱密度(不包括源电阻和输入终端所导致的)等于 V_{net} 。

图6中，顶部示意图展示的是传统的匹配情况，其中，输入以阻性方式端接，以匹配源阻抗。这种情况下，输入终端电阻不但会使源的电压噪声衰减2倍，同时其热阻会导致噪声增加。

图6中部示意图展示的是一种抗性匹配终端的情况。当带宽有限但以高频载波为中心时，往往要使用抗性终端。这种情况下，源电压噪声被衰减2倍，但抗性终端不会给总输入噪声带来更多的噪声。

图6底部示意图展示的是一种不匹配、未端接输入的情况。这种情况下，源的电压噪声不发生衰减，由于不存在输入终端，显然不会有输入终端导致的额外噪声！虽然这种情况不大可能出现在采用RF/IF增益模块(这些模块一般要求所有接口处的阻抗都能匹配)的系统中，但是，在把运算放大器用作增益模块时，这还是有可能的，因为同相配置输入阻抗相对较高。

如果假设网络的噪声 V_{net} 与源噪声相比是极小的，则显而易见的是，输入终端电阻会使总噪声系数增加3 dB，同时使总电压增益下降2倍。将这种情况与不存在输入终端的最低噪声情况进行比较。事实上，对于只有输入阻性匹配终端的无噪声网络来说，最低噪声系数是3 dB。只有使用匹配抗性终端才有可能得到更低的噪声系数。

另一方面，如果网络的噪声 V_{net} 相对于源噪声显得非常大，则增加阻性终端会使总噪声系数比不匹配、无终端情况增加6 dB。

总之，使用大的源电阻会导致噪声系数下降，但会增加总电路噪声，这一点非常有趣。这展现了以下重要事实：噪声系数只有在标称阻抗等级相同时才具有可比性。下面的图7总结了放大器输入终端对总电路噪声和噪声系数的影响。

- ◆ For a low noise network, adding the matching input termination resistor makes the noise figure 3dB worse. The voltage gain is also reduced by a factor of 2.
- ◆ For a high noise network, adding the matching termination resistor makes the noise figure 6dB worse.
- ◆ Reactive matched terminations are often used at fixed IF/RF frequencies in LNAs, mixers, etc.
- ◆ Using large source and termination resistors decreases noise figure but increases overall circuit noise.
- ◆ Noise figures should only be compared at the same impedance level.

图7： 输入终端对噪声系数的影响

参考文献

1. Hank Zumbahlen, *Basic Linear Design*, Analog Devices, 2006, ISBN: 0-915550-28-1. Also available as [Linear Circuit Design Handbook](#), Elsevier-Newnes, 2008, ISBN-10: 0750687037, ISBN-13: 978-0750687034. Chapter 1.
2. Walter G. Jung, [Op Amp Applications](#), Analog Devices, 2002, ISBN 0-916550-26-5, Also available as [Op Amp Applications Handbook](#), Elsevier/Newnes, 2005, ISBN 0-7506-7844-5. Chapter 1.

Copyright 2009, Analog Devices, Inc. All rights reserved. Analog Devices assumes no responsibility for customer product design or the use or application of customers' products or for any infringements of patents or rights of others which may result from Analog Devices assistance. All trademarks and logos are property of their respective holders. Information furnished by Analog Devices applications and development tools engineers is believed to be accurate and reliable, however no responsibility is assumed by Analog Devices regarding technical accuracy and topicality of the content provided in Analog Devices Tutorials.

运算放大器失真：HD、THD、THD + N、IMD、SFDR、MTPR

谐波失真(HD)和总谐波失真(THD)

运算放大器的动态范围可以多种方式进行定义。其中一种最常见的方式是规定谐波失真、总谐波失真(THD)或总谐波失真加噪声(THD + N)。其他相关规格包括交调失真(IMD)、交调截点(IP2, IP3)、无杂散动态范围(SFDR)和多音功率比(MTPR)。

谐波失真非常简单，就是目标谐波(二阶、三阶等)的均方根(RMS)值与信号电平均方根值的比值。在音频应用中，通常表示为一个百分比，但在通信应用中，则经常表示为dB。其测量方式是，将一个频谱纯净的正弦波应用于一个放大器，并用一个频谱分析仪观察放大器的输出。

总谐波失真(THD)为所有谐波(二阶、三阶、四阶等)的和方根值与信号方根值的比值。一般而言，在THD测量中，只有前五个或六个谐波是有意义的。在许多实际场合中，仅考虑二阶和三阶谐波而不考虑更高阶谐波，所带来的误差已经可以忽略了，因为更高阶项的幅度往往大幅降低了。

总谐波失真加噪声(THD + N)

总谐波失真加噪声(THD + N)为所有谐波及噪声组分在指定带宽下的和方根值与信号方根值的比值。必须注意，THD测量不包括噪声项，而THD + N则包括。THD + N测量中的噪声项必须在整个测量带宽上积分，并且必须指定该带宽才可得到有意义的测量结果。在窄带应用中，可通过滤波方式降低噪声电平，结果将降低THD + N，从而提高信噪比(SNR)。

在许多情况下(尤其是在音频应用中)，当引用THD时，制造商实际上指的是THD + N，因为多数测量系统并不区分谐波相关信号和其他信号。THD + N测量一般是通过以下方法测得的，以陷波方式消除基波信号(以防止过驱)，然后测量剩下的信号，其中包括噪声和失真组分。在音频应用中，一般采用[Audio Precision](#)出品的特殊分析仪来测量THD + N。图1对THD和THD + N的定义进行了总结。

- ◆ V_s = Signal Amplitude (RMS Volts)
- ◆ V_2 = Second Harmonic Amplitude (RMS Volts)
- ◆ V_n = nth Harmonic Amplitude (RMS Volts)
- ◆ V_{noise} = RMS value of noise over measurement bandwidth

$$\text{THD} + N = \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + \dots + V_n^2 + V_{\text{noise}}^2}}{V_s}$$

$$\text{THD} = \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + \dots + V_n^2}}{V_s}$$

图1: THD和THD + N定义

交调失真(IMD)

当一个频谱纯净的正弦波通常一个放大器(或其他有源器件)时,会产生各类谐波失真积,具体取决于非线性度的性质和严重程度。然而,仅仅测量单音正弦波在各种频率下的谐波失真,无法得到对放大器在通信应用中的潜在性能进行评估时所需要的全部信息。在多数通信系统中,有多个通道在频率上是“堆叠”起来的。往往需要测定放大器在应用两个或多个指定音时产生的交调失真(IMD)。

交调失真积在IF和RF区域尤其值得关注,也是无线电接收器设计的主要关注内容之一。不仅需要考察单音正弦波输入产生的谐波失真或总谐波失真(THD),通常同时需要考察双音产生的失真积。

如图2所示,两个音将产生二阶和三阶交调积。示例展示了在将两个频率 f_1 和 f_2 应用于一个非线性器件时产生的二阶和三阶积。位于 $f_2 + f_1$ 和 $f_2 - f_1$ 的二阶积离两个音非常远,可通过滤波的方式加以消除。位于 $2f_1 + f_2$ 和 $2f_2 + f_1$ 的三阶积也可以类似方式过滤掉。然而,位于 $2f_1 - f_2$ 和 $2f_2 - f_1$ 的三阶积离原始音非常近,对其进行过滤是非常困难的。

三阶IMD积在多通道通信系统中尤其麻烦,这种应用中,通道隔离在整个频段保持不变。来自大信号(阻断器)的三阶IMD积可以屏蔽小信号。

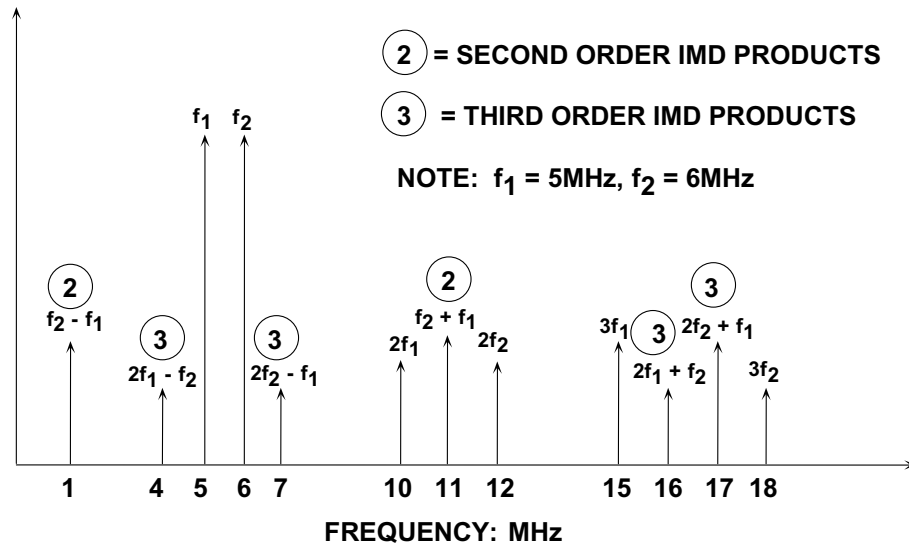


图2: 三阶和三阶交调失真积

交调截点和1 dB压缩点

三阶IMD一般基于三阶交调截点测定，如下面的图3所示。两个频谱纯净的音被应用到系统上。单音的输出信号功率(单位: dBm)以及三阶积的相对幅度(以一个单音为基准)表示为输入信号功率的函数。基波表示为图中的slope = 1曲线。如果通过幂级数展开逼近系统非线性度，则信号每增加1 dB，二阶IMD幅度将增加2 dB，如图中slope = 2曲线所示。

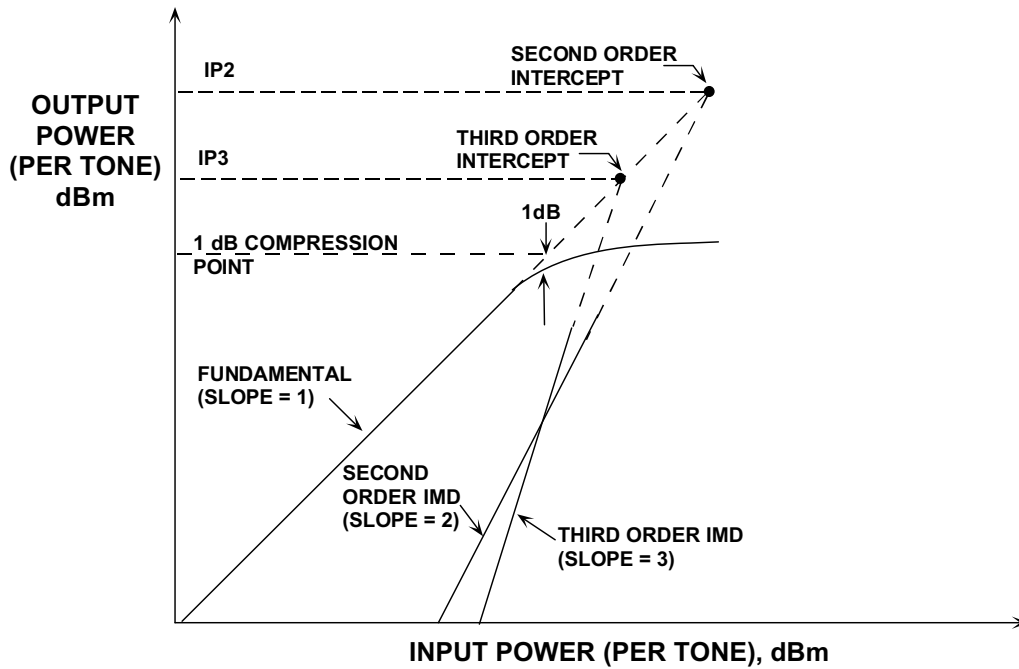


图3: 交调截点和1 dB压缩点

类似地，信号每增加1 dB，三阶IMD幅度就增加3 dB，如图中slope = 3曲线所示。在一个低电平双音输入信号和两个数据点下，则可以绘制出二阶和三阶交调失真线，如图3所示(其原理是，一个点和一个斜率定义一条直线)。

然而，输入信号一旦达到某种水平，输出信号就会开始软限制或压缩。这里一个相关参数是1 dB压缩点。这就是输出信号从一个理想的输入/输出传递函数压缩1 dB的点。在图3中，该点处于理想斜率= 1线变成虚线与实际响应表现出压缩迹象(实线)之间的区域中。

然而，二阶和三阶交调截线都可以延长，与理想输出信号线的延长线(虚线)相交。这些交点分别称为二阶和三阶交调截点，表示为IP2和IP3。这些功率电平值通常以传导至一个匹配负载(通常但不一定为50 Ω)的器件输出功率为基准，表示为dBm。

应当注意，IP2、IP3和1 dB压缩点都是频率的函数，不出所料，频率越高，失真越严重。

对于给定的频率，在已知三阶交调截点的情况下，可以计算出三阶IMD积的近似电平值(为输出信号电平的函数)。下面的图4所示三阶交调值(典型宽带低失真放大器)为频率的函数。

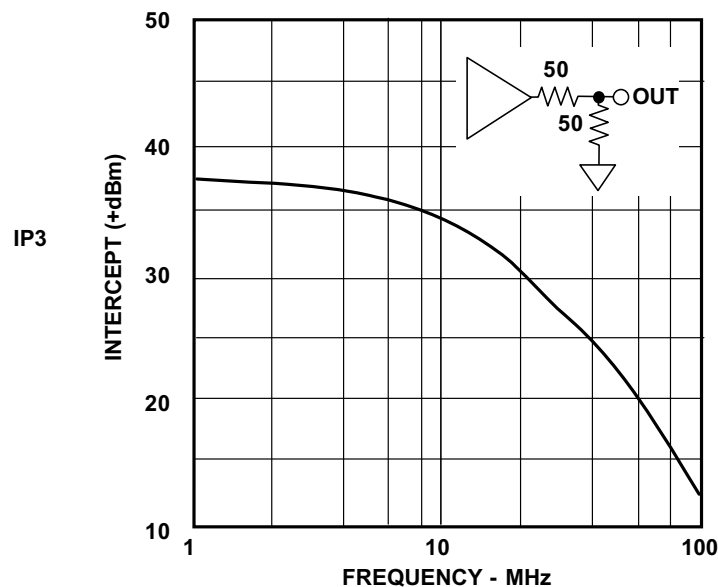


图4：低失真放大器的三阶交调截点(IP3)与频率的关系

设运算放大器的输出信号为5 MHz，峰峰值电压为2 V，负载为100 Ω (50 Ω 源和负载端接)。因此，进入50 Ω 负载的电压为1 V峰峰值，相当于+4 dBm。从图4中可见，三阶交调截点在5 MHz时的值为36 dBm。 $+36$ dBm与 $+4$ dBm之差为32 dB。然后将该值乘以2，结果得到64 dB(即三阶交调积的值，折合到单音中的功率)。因此，交调积应为-64 dBc(低于载波频率的dB值)，或者为-60 dBm的输出功率水平。

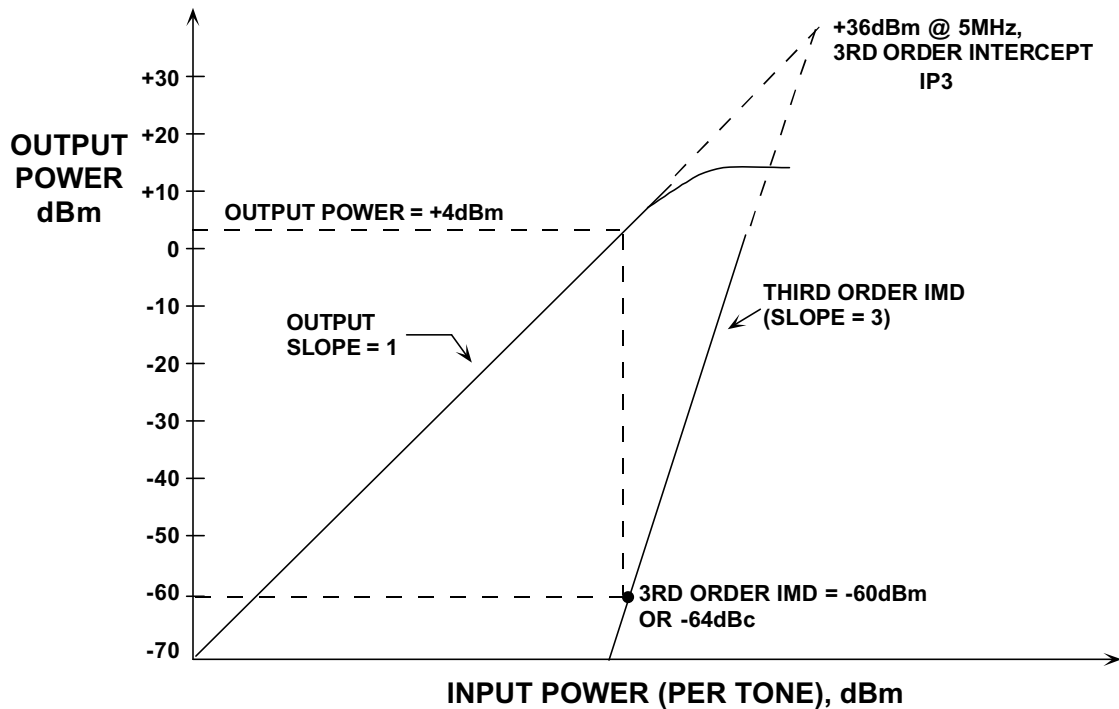


图5: 通过IP3计算三阶IMD积的幅度

图5给出了本例所用的图形分析结果。运用IP2数据，可以对二阶交调积进行类似分析。

无杂散动态范围(SFDR)

通信系统中常见的另一种规格是无杂散动态范围(SFDR)。下面的图6所示为该规格的两个变体。单音SFDR(左)为信号(或载波)与目标带宽中最差杂散之间的比值。该杂散可能与信号谐波相关，也可能不相关。SFDR可以折合到信号或载波电平(dBc)，或者折合到满量程(dBFS)。

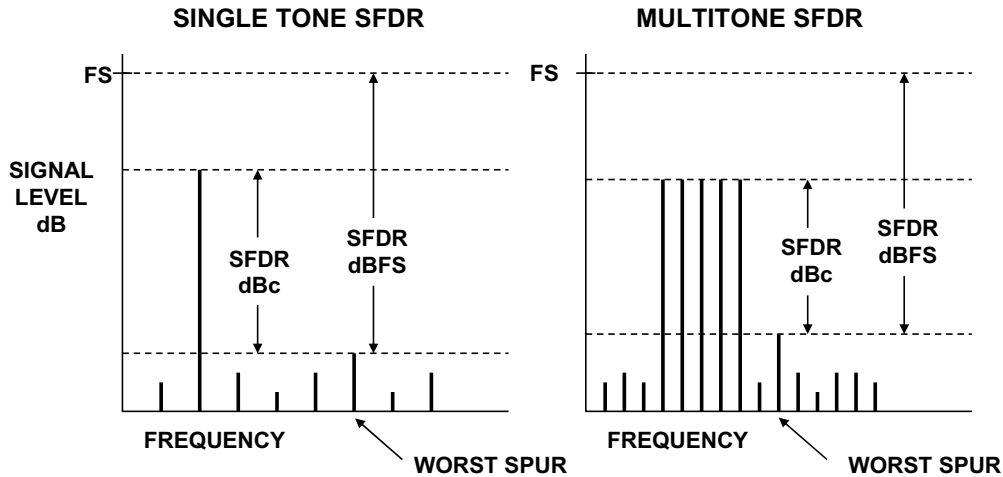


图6: 通信系统中的无杂散动态范围(SFDR)

由于多数放大器都是软限幅器，因此更常用的是dBc单位。然而，在拥有用于精确定义满量程的硬限幅器的系统中(如ADC)，可能同时使用dBc和dBFS。需要了解的是，二者描述的都是最差情况下的杂散幅度。SFDR也可针对双音或多音(右)测定，由此模拟含有多个载波和通道的复杂信号。

多音功率比(MTPR)

多音功率比是描述多通道通信系统失真性能的另一种方式。下面的图7所示为一个xDSL系统中的频率分割。上游数据路径中的QAM信号由多个等幅音表示，其间隔频率都是相同的。一个通道被从输入信号中彻底移除(表示为空引脚)，但系统非线性度导致的交调失真会使一个小信号出现在该引脚上。

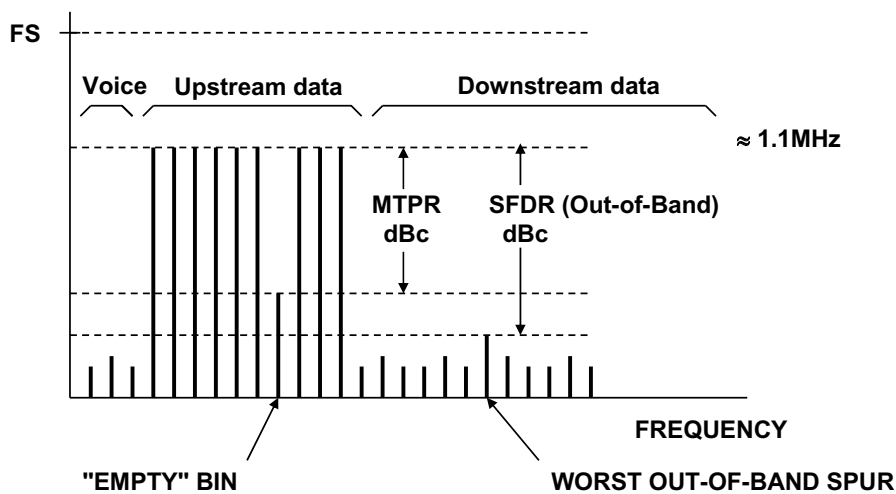


图7: xDSL应用中的多音功率比(MTPR)与带外SFDR的关系

音幅度与空引脚中的无用信号的幅度之间的比值即是多音功率比(MTPR)。同样重要的是,多音信号(模拟多个通道)交调积的幅度不得干扰语音频带中的信号,也不得干扰下游数据频带中的信号。因此,这些频带中产生的最差杂散的幅度与多音信号的幅度之间的比值被定义为带外SFDR。

运算放大器失真与噪声对电路配置的依赖性

本指南中讨论的所有运算放大器失真规格都高度依赖于运算放大器的配置(反相或同相)、增益、电源电压、输出电压摆幅、输出加载和输出频率。由于存在这些依赖关系,因此,运算放大器的失真和噪声规格必须包括确切的电路测试配置和条件。

由于条件存在许多的组合可能,因此,运算放大器数据手册中的规格表一般都含有最常见条件下的失真规格。针对其他条件的典型曲线一般包含在数据手册的其余部分。图8所示为AD8044高速运算放大器的这样一条曲线。这类曲线所表示的数据可能有些难以理解,因为同一图形中还显示了大量变量。

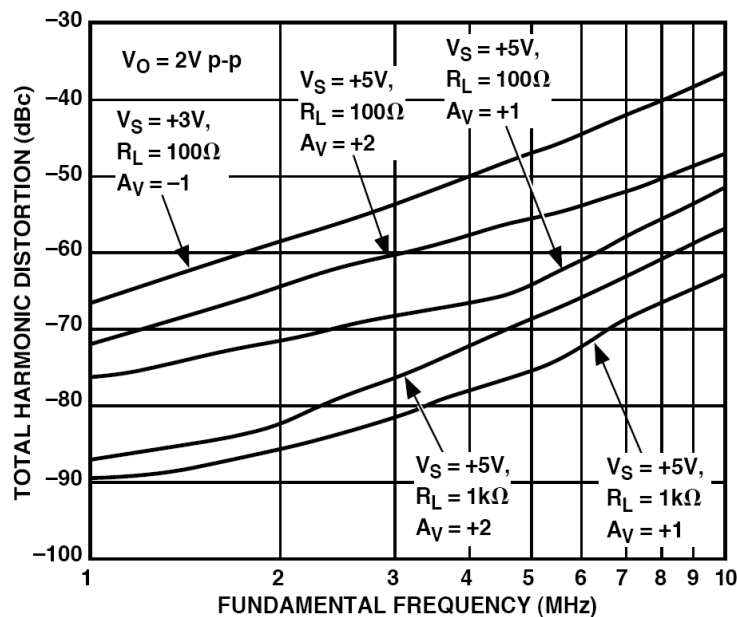


图8: AD8044运算放大器的

摘要

运算放大器的失真可以归纳如下。在多数情况下，运算放大器失真会随着以下条件而恶化：

- 输出信号摆幅的增加
- 输出频率的增加
- 电源电压的下降
- 输出负载的增加(较高的输出电流)
- 闭环增益的增加

参考文献

1. Hank Zumbahlen, *Basic Linear Design*, Analog Devices, 2006, ISBN:0-915550-28-1.另见[Linear Circuit Design Handbook](#), Elsevier-Newnes, 2008, ISBN-10:0750687037, ISBN-13:978-0750687034。 Chapter 1.
2. Walter G. Jung, *Op Amp Applications*, Analog Devices, 2002, ISBN 0-916550-26-5, 另见[Op Amp Applications Handbook](#), Elsevier/Newnes, 2005, ISBN 0-7506-7844-5.Chapter 1.

Copyright 2009, Analog Devices, Inc. All rights reserved. Analog Devices assumes no responsibility for customer product design or the use or application of customers' products or for any infringements of patents or rights of others which may result from Analog Devices assistance. All trademarks and logos are property of their respective holders. Information furnished by Analog Devices applications and development tools engineers is believed to be accurate and reliable, however no responsibility is assumed by Analog Devices regarding technical accuracy and topicality of the content provided in Analog Devices Tutorials.

运算放大器带宽和带宽平坦度

电压反馈型运算放大器的带宽

下图1显示电压反馈型运算放大器的开环频率响应。有两种可能：图1A是最常见的情况，高直流增益以6 dB/倍频程从极低频率下降至单位增益，也就是典型的单极点响应。相比之下，图1B的放大器响应中具有两个极点，增益先以6 dB/倍频程下降，然后以12 dB/倍频程下降。图1A中的放大器称为无条件稳定或完全补偿型放大器，可配合单位噪声增益使用。该类型的放大器可在输出至反相输入的100%反馈(包括电容)下保持稳定。

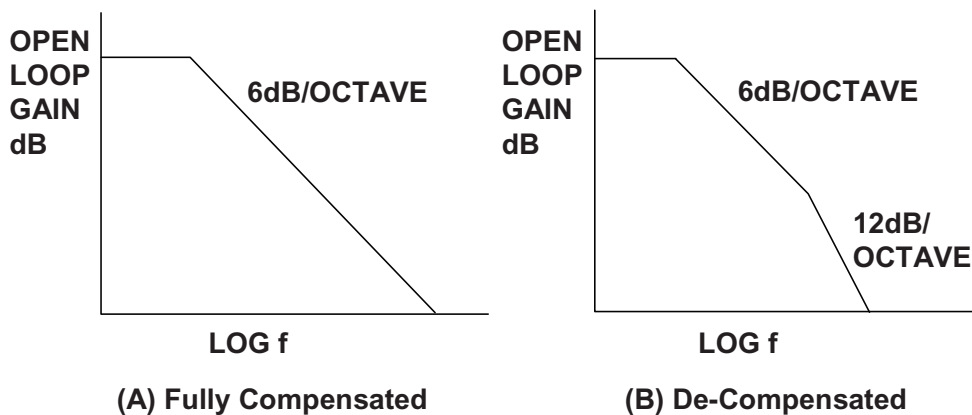


图1：电压反馈型运算放大器的频率响应

与图1B的放大器相互比较，如果该运算放大器配合特定噪声增益使用，且该噪声增益低于响应斜率从6 dB/倍频程增加至12 dB/倍频程的增益，则反馈中的相移将过大，放大器将会振荡。该类型的放大器表述为“在增益 $\geq X$ 时保持稳定”，其中 X 是发生6 dB/12 dB转换时的频率增益。当然应注意，这里参考的是噪声增益。稳定增益级可能在2至25之间，通常我们称之为“5倍增益稳定”等等。这些非完全补偿运算放大器具有比完全补偿型放大器更高的增益带宽积，所有其他特性完全相同。因此虽然设计器件时略为复杂，但非常有用。不过，与完全补偿型运算放大器不同，非完全补偿运算放大器无法用于输出至反相输入的直接容性反馈。

两种放大器的响应斜率均为6 dB/倍频程，也就是在发生此斜率的频率范围内，该增益下的闭环增益与3 dB闭环带宽之积恒定不变，这称为增益带宽积(GBW)，是放大器的一个品质因数。例如，如果运算放大器具有 X MHz的GBW积，则在1倍噪声增益下的闭环带宽为 X MHz，2倍噪声增益下为 $X/2$ MHz， Y 倍噪声增益下为 X/Y MHz(参见下图2)。请注意，闭环带宽是噪声增益与开环增益相交的频率。

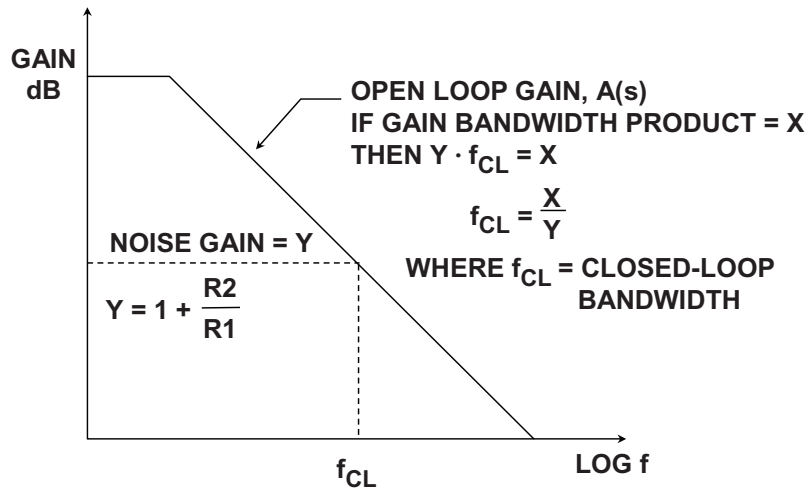


图2：电压反馈型运算放大器的增益带宽积

以上示例中，假定了反馈元件为电阻性。但实际情况通常需要反馈电容以提高稳定性。

下图3显示了典型示例，其中运算放大器的反相输入端具有电容C1。此电容是运算放大器内部电容与可能存在的任何外部电容之和，它始终存在，并在噪声增益传递函数中引入一个极点。

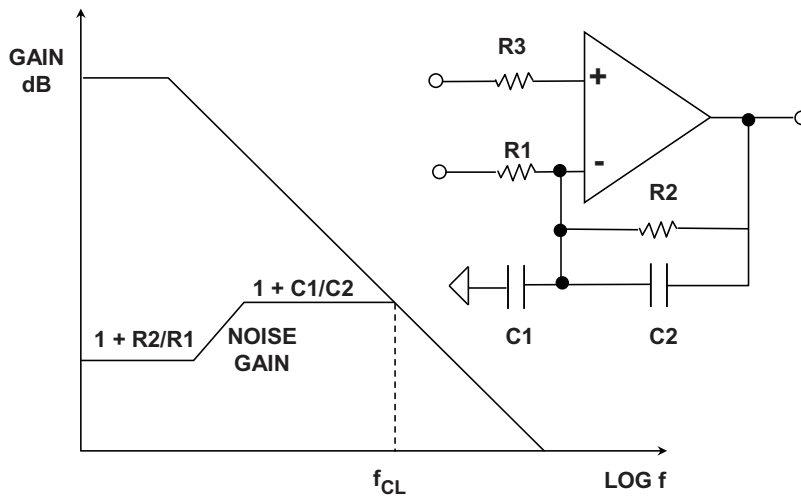


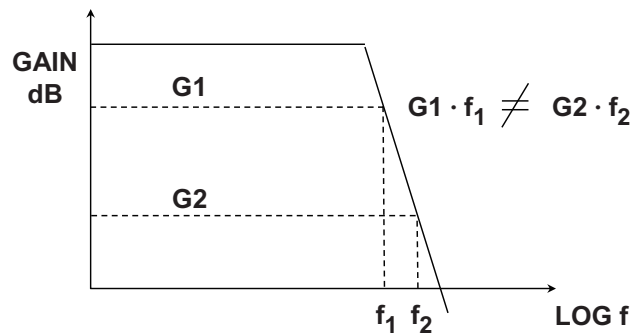
图3：使用电阻性和电抗性反馈元件的电压反馈型运算放大器的噪声增益波特图

噪声增益曲线和开环增益曲线交点处的净斜率决定系统稳定性。如需无条件稳定性，噪声增益必须以小于12 dB/倍频程(20 dB/10倍频程)的净斜率与开环增益相交。添加反馈电容C2可在噪声增益传递函数内引入一个零点，从而使电路趋于稳定。请注意，图3中的闭环带宽 f_{cl} 是噪声增益与开环增益相交的频率。

噪声增益波特图在分析运算放大器稳定性时是很有用的工具。制作波特图并不难。噪声增益和稳定性的进一步细节不在本节讨论范围内，有关波特图的制作和分析，请读者自行参阅参考文献1。

电流反馈型运算放大器的带宽

电流反馈型运算放大器与电压反馈型运算放大器不同。在容性反馈下不会保持稳定，也无法用于输出至反相输入的短路。对于CFB运算放大器，一般在最佳反馈电阻时可获得最大带宽。请注意，此电阻值可随电源电压而变化—请参考器件数据手册。如果反馈电阻增大，带宽会降低。相反，如果反馈电阻减小，带宽会升高，放大器则变得不稳定。



- ◆ Feedback resistor fixed for optimum performance. Larger values reduce bandwidth, smaller values may cause instability.
- ◆ For fixed feedback resistor, changing gain has little effect on bandwidth.
- ◆ Current feedback op amps do not have a fixed gain-bandwidth product.

图4：电流反馈型运算放大器的频率响应

在CFB运算放大器中，对于给定反馈电阻值(R2)，闭环带宽大多数情况下不受噪声增益影响，如上图4所示。因此CFB放大器不应参考增益带宽积，因为该值不恒定。控制CFB运算放大器应用中的增益时，需要为器件选择正确的反馈电阻(R2)，然后选择底部电阻(R1)，以产生所需的闭环增益。R2和R1的增益关系与VFB运算放大器中的关系是相同的。

通常，CFB运算放大器数据手册会提供建议电阻值表，规定了器件在增益和电源电压范围内的最大带宽。使用这些表可显著简化设计过程。

带宽平坦度

在要求严苛的专业视频之类应用中，需要在某一最大额定频率之下维持相对平坦的带宽和线性相位，仅仅指定3 dB带宽是不够的。具体而言，习惯做法是指定0.1 dB带宽或0.1 dB带宽平坦度。这意味着在额定的0.1 dB带宽频率之下，纹波不超过0.1 dB。

视频缓冲放大器一般同时指定3 dB和0.1 dB带宽。图5显示了AD8075三路视频缓冲器的频率响应。

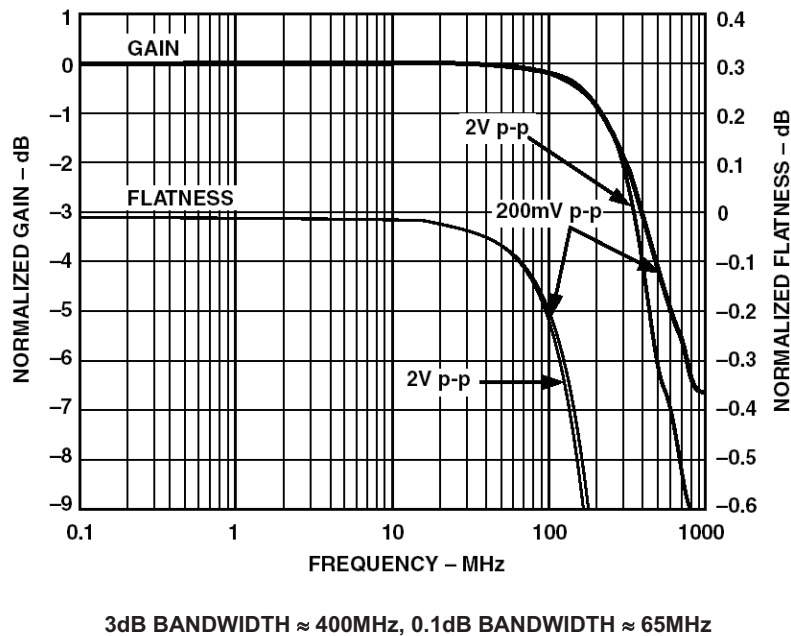


图5：AD8075三路视频缓冲器的3 dB和0.1 dB带宽， $G = 2$ ， $R_L = 150\Omega$

请注意，3 dB带宽约为400 MHz。这可以从图中标为“GAIN”的响应确定，左侧竖轴显示了对应的增益量程(刻度为1 dB/分频)。

右侧竖轴是“FLATNESS”的响应量程，本例中刻度为0.1 dB/分频。这样就能确定0.1 dB带宽，本例中约为65 MHz。此处应注意一点，即3 dB和0.1 dB标准适用带宽的差异。提供65 MHz 0.1 dB的平坦度额定值需要400 MHz带宽的放大器(以常规方式测定)。

应注意，驱动75 Ω源和负载端接电缆时，这些技术规格仍然适用，代表150 Ω的阻性负载。放大器输出端的任何容性负载将导致频率响应峰化，必须予以阻止。

压摆率和全功率带宽

放大器的压摆率(SR)是其输出端上的最大电压变化率，用V/s(或更常见的V/μs)表示。我们曾解释过运算放大器为何在趋正和趋负转换过程中具有不同压摆率，但此分析的假设前提是高速、优良运算放大器具有合理对称的压摆率。

如果考虑峰峰值幅度为 $2V_p$ 、频率为 f 的正弦波信号，输出电压表达式应为：

$$V(t) = V_p \sin 2\pi ft. \quad \text{公式1}$$

此正弦波信号在零交越处具有最大变化率(斜率)。该最大变化率为：

$$\left. \frac{dv}{dt} \right|_{\max} = 2\pi f V_p. \quad \text{公式2}$$

要无失真地重现此信号，放大器必须能够以此速率(或更快地)响应输出电压。当放大器到达最大输出变化率或压摆率时，表示发生了压摆限制(有时也称为压摆率限制)。因此可以看出，不会发生压摆限制的最大信号频率与信号斜率成正比，与信号幅度成反比。这样，我们便可定义运算放大器的全功率带宽(FPBW)，即额定电压输出下不会发生压摆限制的最大频率。计算方式如下，让公式2中的 $2V_p$ 等于放大器最大峰峰值摆幅， dV/dt 等于放大器压摆率，求解 f ：

$$\text{FPBW} = \text{Slew Rate}/2\pi V_p \quad \text{公式3}$$

必须了解，压摆率和全功率带宽在某种程度上也取决于使用的电源电压以及放大器驱动的负载(特别是容性负载)。下图6总结了有关压摆率和全功率带宽的关键问题。作为参考，峰值输出摆幅为1 V的运算放大器要重现1 MHz正弦波，必须具有6.28 V/μs的最低SR。

◆ **Slew Rate = Maximum rate at which the output voltage of an op amp can change**

◆ **Ranges: A few volts/μs to several thousand volts/μs**

◆ **For a sine wave, $V_{out} = V_p \sin 2\pi ft$**

$$dV/dt = 2\pi f V_p \cos 2\pi ft$$

$$(dV/dt)_{max} = 2\pi f V_p$$

◆ **If $2V_p =$ full output span of op amp, then**

$$\text{Slew Rate} = (dV/dt)_{max} = 2\pi \cdot \text{FPBW} \cdot V_p$$

$$\text{FPBW} = \text{Slew Rate} / 2\pi V_p$$

图6：压摆率和全功率带宽

事实上，在实际电路中，设计人员会选择SR超过此数字的运算放大器，因为真正的运算放大器在到达压摆率限制点之前就会显示失真增加。

参考文献

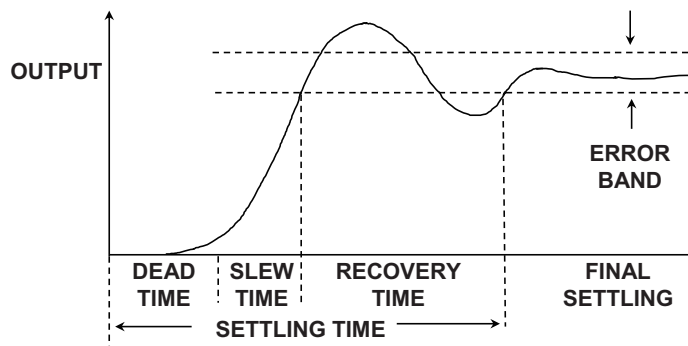
1. James L. Melsa and Donald G. Schultz, *Linear Control Systems*, McGraw-Hill, 1969, pp. 196-220, ISBN: 0-07-041481-5
2. Hank Zumbahlen, *Basic Linear Design*, Analog Devices, 2006, ISBN: 0-915550-28-1. Also available as [Linear Circuit Design Handbook](#), Elsevier-Newnes, 2008, ISBN-10: 0750687037, ISBN-13: 978-0750687034. Chapter 12
3. Walter G. Jung, *Op Amp Applications*, Analog Devices, 2002, ISBN 0-916550-26-5, Also available as [Op Amp Applications Handbook](#), Elsevier/Newnes, 2005, ISBN 0-7506-7844-5. Chapter 2.

Copyright 2009, Analog Devices, Inc. All rights reserved. Analog Devices assumes no responsibility for customer product design or the use or application of customers' products or for any infringements of patents or rights of others which may result from Analog Devices assistance. All trademarks and logos are property of their respective holders. Information furnished by Analog Devices applications and development tools engineers is believed to be accurate and reliable, however no responsibility is assumed by Analog Devices regarding technical accuracy and topicality of the content provided in Analog Devices Tutorials.

运算放大器建立时间

建立时间

放大器的建立时间是指输出响应输入的阶跃变化，然后进入并保持在规定误差带所需的时间，参照输入脉冲50%点测得，如下图1所示。



- ◆ Error band is usually defined to be a percentage of the step 0.1%, 0.05%, 0.01%, etc.
- ◆ Settling time is non-linear; it may take 30 times as long to settle to 0.01% as to 0.1%.
- ◆ Manufacturers often choose an error band which makes the op amp look good.

图1：建立时间

和DAC器件不同，运算放大器本身没有误差带(DAC本身具有1 LSB的误差带，或者可能为 ± 1 LSB)。因此，除了步长(1 V、5 V、10 V等)等定义外，还必须选择并定义一个误差带。具体数值取决于运算放大器的性能，但由于所选数值随器件不同而不同，常常很难进行比较。之所以如此，是因为建立过程不是线性的，而且还可能包含很多不同的时间常数。例如采用介质隔离(DI)工艺的早期运算放大器。这些器件建立至满量程的1%很快，但建立至10位(0.1%)却极慢。同样，由于存在热效应，一些极高精度的运算放大器虽然可在几微秒内建立至0.025%，但建立至0.001%或更高水平却需要几十毫秒。

还有一点需要注意，热效应在短期建立时间(通常以纳秒计算)和长期建立时间(通常以微秒或毫秒计算)之间有很大的不同。在许多直流应用中，长期建立时间并不重要，如果确实需要的话，必须采用和短期建立时间差异较大的时标来测量。

建立时间的测量

高精度快速测量建立时间非常困难。要想产生快速、高精度、低噪声的平顶脉冲，必须十分谨慎。输入调整设置为高灵敏度时，大幅度阶跃电压会对许多示波器前端造成过驱。

下图2所示的测试设置示例可用于测量反相模式工作运算放大器的建立时间。“伪求和节点”的信号代表输出和输入信号之间的差值，乘以常数k，即误差信号。

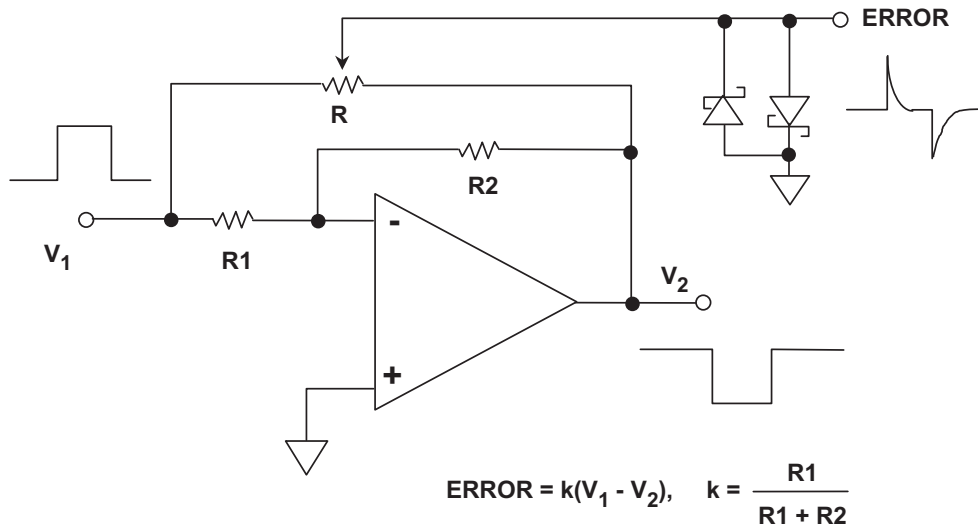


图2：用“伪求和节点”测量建立时间

要想使建立过程可靠，必须注意很多细微之处。电阻值必须较低，以减小寄生时间常数。背对背肖特基二极管箝位有助于防止示波器过驱，实现高灵敏度。如果 $R_1 = R_2$ ，则 $k = 0.5$ 。因此，采用10 V输入步长时，0.1%建立时间的误差输出端误差带为5 mV。

在某些情况下，可能还需要在伪求和节点后使用第二个(极快)放大器级来增加信号电平。任何情况下都必须采用和运算放大器制造商相同的测试设置来测试建立时间，以确保有效性。许多现代数字示波器对输入过驱不敏感，可以直接用来测量误差波形，不过必须仔细查看操作手册，对每个示波器进行验证。注意，可以直接测量反相和同相模式下的建立时间。下图3所示为AD8039运算放大器平坦脉冲输入的输出阶跃响应示例。注意，0.1%建立时间约为18 ns。

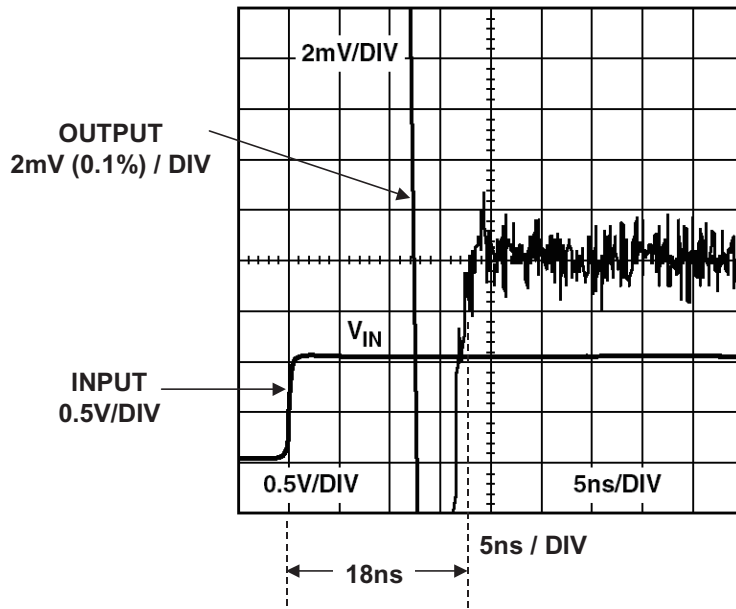


图3: AD8039 $G = +2$ 直接测量建立时间

用这种方法测量建立时间时，还必须采用能够产生具有足够平坦度脉冲的脉冲发生器源。换言之，如果被测运算放大器的0.1%建立时间为20 ns，施加的脉冲必须在5 ns内建立至优于0.05%。

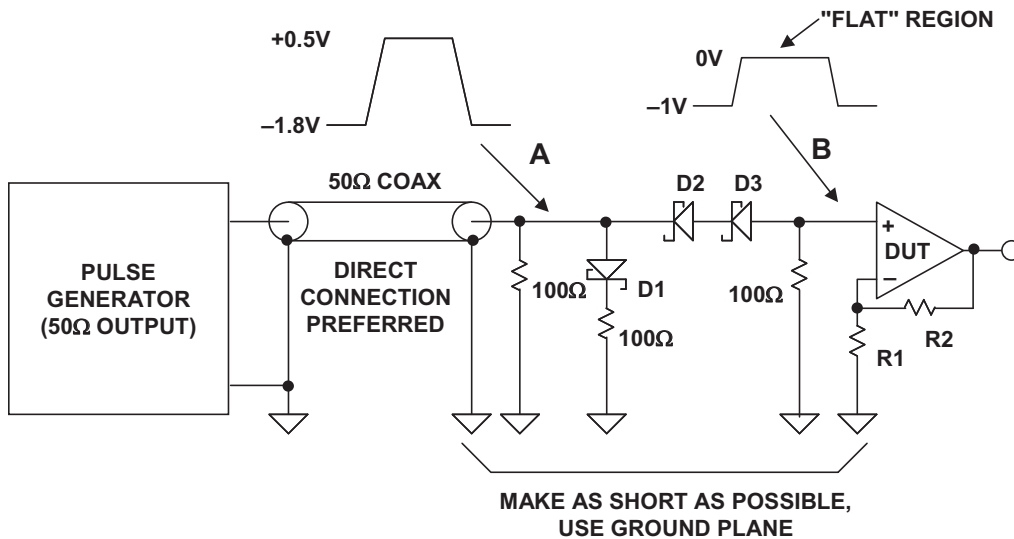


图4: 简单的平坦脉冲发生器

这种发生器十分昂贵，但是，可以采用图4所示的简单电路，配合较为平坦的发生器，确保平坦脉冲输出。

如果D1-D2-D3采用低电容肖特基二极管，图4的电路可以发挥最佳效果，所有连接的引脚长度也会降到最低。可以采用长度较短的50 Ω 同轴电缆将脉冲发生器连接至电路，但是，如果测试夹具直接连接至发生器的输出端，测试结果最好。脉冲发生器在“A”处调整至输出趋正脉冲，电压在5 ns内从约-1.8 V上升至+0.5 V(假定DUT建立时间约20 ns)。上升时间较短会产生响铃，上升时间较长则会缩短DUT建立时间，因此，实际电路需要进行一些优化，以获得最佳性能。脉冲发生器输出“A”到达0 V以上时，D1开始导通，D2/D3则反向偏置。“根据定义”，忽略D2-D3串联组合的漏电流和杂散电容的情况下，DUT输入端信号“B”的“0 V”区域是平坦的。在“A”处脉冲为正值期间，D1二极管及100 Ω 电阻有助于维持大约50 Ω 的端电阻。

参考文献

1. Hank Zumbahlen, *Basic Linear Design*, Analog Devices, 2006, ISBN: 0-915550-28-1. Also available as [Linear Circuit Design Handbook](#), Elsevier-Newnes, 2008, ISBN-10: 0750687037, ISBN-13: 978-0750687034. Chapter 1.
2. Walter G. Jung, [Op Amp Applications](#), Analog Devices, 2002, ISBN 0-916550-26-5, Also available as [Op Amp Applications Handbook](#), Elsevier/Newnes, 2005, ISBN 0-7506-7844-5. Chapter 1.

Copyright 2009, Analog Devices, Inc. All rights reserved. Analog Devices assumes no responsibility for customer product design or the use or application of customers' products or for any infringements of patents or rights of others which may result from Analog Devices assistance. All trademarks and logos are property of their respective holders. Information furnished by Analog Devices applications and development tools engineers is believed to be accurate and reliable, however no responsibility is assumed by Analog Devices regarding technical accuracy and topicality of the content provided in Analog Devices Tutorials.

运算放大器开环增益与开环增益非线性

开环增益

大多数电压反馈(VFB)型运算放大器的开环电压增益(通常称为 A_{VOL} ，有时简称 A_V)都很高。常见值从100000到1000000，高精度器件则为该数值的10至100倍。有些快速运算放大器的开环增益要低得多，但是几千以下的增益不适合高精度应用。此外还要注意，开环增益对温度变化并不高度稳定，同一类型的不同器件也会存在极大差异，因此，增益值必须很高。

电压反馈运算放大器采用电压输入/电压输出方式工作，其开环增益为无量纲比，所以不需要单位。但是，数值较小时，为方便起见，数据手册会以V/mV或V/ μ V代替V/V表示增益，电压增益也可以dB形式表示，换算关系为 $\text{dB} = 20 \times \log A_{VOL}$ 。因此，1V/ μ V的开环增益相当于120 dB，以此类推。

电流反馈(CFB)型运算放大器采用电流输入和电压输出，因此，其开环跨导增益以V/A或 Ω (或k Ω 、M Ω)表示。增益值通常介于几百k Ω 与几十M Ω 之间。

根据基本反馈原理，为了保持精度，精密放大器的直流开环增益 A_{VOL} 必须很高。通过检查闭环增益公式就能发现这点，该公式包含由有限增益引起的误差。包含有限增益误差的闭环增益公式如下：

$$G_{CL} = \frac{1}{\beta} \cdot \left[\frac{1}{1 + \frac{1}{A_{VOL}\beta}} \right] \quad \text{公式 1}$$

其中， β 是反馈环路衰减，也称反馈因子(反馈网络的电压衰减)。噪声增益等于 $1/\beta$ ，因此，该公式还可以其它形式表示。将公式右端两项合并，把NG(噪声增益)代入，可得到如下公式：

$$G_{CL} = \frac{NG}{1 + \frac{NG}{A_{VOL}}} \quad \text{公式 2}$$

公式1和2是等效的，两者均可使用。如前所述，噪声增益(NG)只是从与运算放大器输入串联的小电压源获得的增益，是同相模式下的理想放大器信号增益。如果公式1和2中的 A_{VOL} 无限大，闭环增益就和噪声增益 $1/\beta$ 完全相等。

但是，由于 $NG \ll A_{VOL}$ 且 A_{VOL} 为有限值，因此存在闭环增益误差，估算公式如下：

$$\text{Closed loop error(\%)} = \frac{NG}{A_{VOL}} \cdot 100 \approx \quad \text{公式 3}$$

注意，公式3中的百分比形式增益误差直接与噪声增益成比例，因此，有限 A_{VOL} 对低增益的影响较小。一些示例可以说明上述增益关系的要点。

开环增益不确定性

下图1中，第一个示例中噪声增益为1000，可以看出，开环增益为200万时，闭环增益误差约为0.05%。注意，若温度、输出负载和电压变化时开环增益保持不变，0.05%的增益误差很容易通过校准从测量结果中去除，这样就不存在整体系统增益误差。但是，若开环增益改变，由此产生的闭环增益也会改变。这就导致了增益不确定性。在第二个示例中， A_{VOL} 减少至30万，产生的增益误差为0.33%。这种情况会使闭环增益中产生0.28%的增益不确定性。大多数应用中，使用良好的放大器时，电路的增益电阻是绝对增益误差的最大来源，但是应注意，增益不确定性不能通过校准去除。

- ◆ "IDEAL" CLOSED LOOP GAIN = $1/\beta$ = NOISE GAIN (NG)
- ◆ ACTUAL CLOSED LOOP GAIN = $\frac{1}{\beta} \cdot \frac{1}{1 + \frac{1}{A_{VOL}\beta}} = \frac{NG}{1 + \frac{NG}{A_{VOL}}}$
- ◆ CLOSED LOOP GAIN ERROR (%) $\approx \frac{NG}{A_{VOL}} \times 100$ ($NG \ll A_{VOL}$)
- ◆ Ex. 1: Assume $A_{VOL} = 2,000,000$, $NG = 1,000$
% GAIN ERROR $\approx 0.05\%$
- ◆ Ex. 2: Assume A_{VOL} Drops to 300,000
% GAIN ERROR $\approx 0.33\%$
- ◆ CLOSED LOOP GAIN UNCERTAINTY
= $0.33\% - 0.05\% = 0.28\%$

图1：开环增益变化导致闭环增益不确定性

输出电平和输出负载的变化是导致运算放大器开环增益变化的最常见原因。开环增益中信号电平的变化会导致闭环增益传递函数的非线性，也无法在系统校准过程中去除。大多数运算放大器都有固定负载，因此负载的 A_{VOL} 变化一般不重要。但是， A_{VOL} 对输出信号电平的灵敏度在负载电流较高时可能会上升。

非线性的严重程度在不同类型的器件中变化很大，数据手册中一般不会明确规定。但是通常会规定最小 A_{VOL} ，选择高 A_{VOL} 的运算放大器可以将增益非线性误差的发生概率降至最低。增益非线性的来源有很多，具体取决于运算放大器的设计。其中一个常见来源是热反馈(例如从热输出级反馈至输入级)。如果温度变化是非线性误差的唯一原因，减小输出负载可能会有所帮助。为了验证这一点，需要在空载条件下测量非线性，然后与负载条件下进行比较。

测量开环增益非线性

下图2所示为测量直流开环增益非线性的示波器X-Y显示测试电路。前文讨论的与失调电压测试电路相关的防范措施在该电路中也应注意。放大器的信号增益设置为-1。开环增益定义为输出电压的变化除以输入失调电压的变化。但是， A_{VOL} 值较大时，实际失调电压在整个输出电压摆幅内可能只改变几微伏。因此，采用 $10\ \Omega$ 电阻和 R_G ($1\ M\Omega$)组成的除法器时，节点电压 V_Y 按以下公式计算：

$$V_Y = \left[1 + \frac{R_G}{10\ \Omega} \right] V_{OS} = 100,001 \cdot V_{OS}. \tag{公式 4}$$

选择 R_G 值是为了使 V_Y 获得可测量的电压，具体取决于 V_{OS} 的预期值。

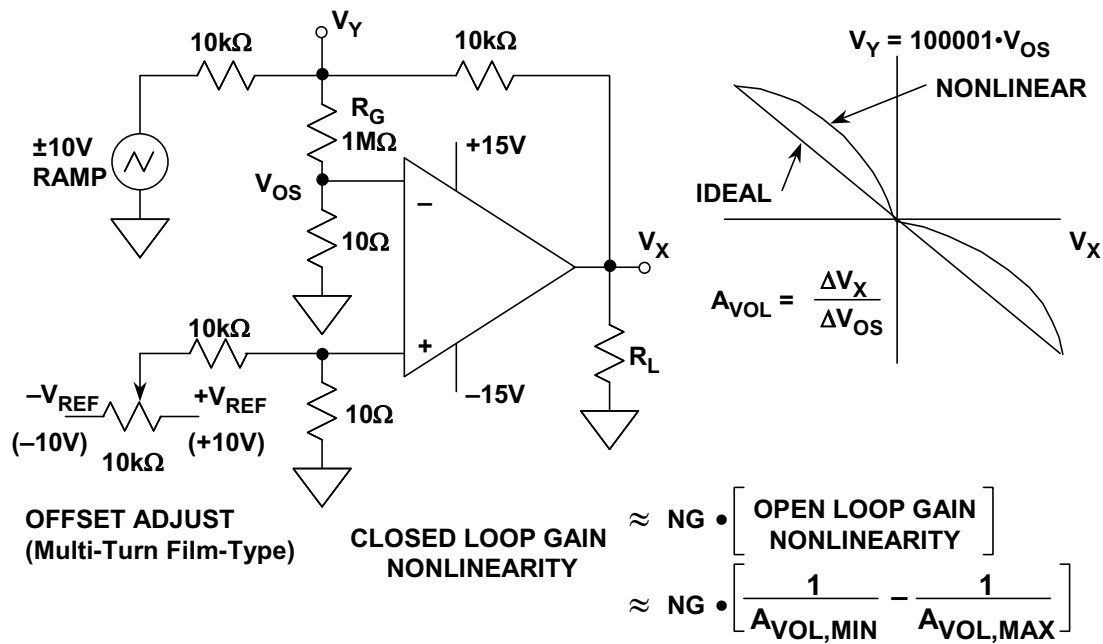


图2：测量开环增益非线性的电路

$\pm 10\text{ V}$ 斜波发生器输出乘以 -1 的信号增益后，会使得运算放大器输出电压 V_x 在 $+10\text{ V}$ 到 -10 V 之间摆动。因为失调电压添加了增益系数，所以需要增加失调调整电位计，将初始输出失调设置为零。选择的电阻值可以抵消高达 $\pm 10\text{ mV}$ 的输入失调电压。电位计的每一端都应采用稳定的 10 V 基准电压源(如AD688)，以防止输出漂移。还应注意，由于开环增益的转折频率较低，斜坡发生器频率必须很低，可能不超过 1 Hz 的几分之一(例如，OP177为 0.1 Hz)。

图2右侧的坐标图所示为 V_y 与 V_x 的关系图。如果不存在增益非线性，则图中所示应为斜率不变的直线， A_{VOL} 按以下公式计算：

$$A_{VOL} = \frac{\Delta V_X}{\Delta V_{OS}} = \left[1 + \frac{R_G}{10\Omega} \right] \left[\frac{\Delta V_X}{\Delta V_Y} \right] = 100,001 \cdot \left[\frac{\Delta V_X}{\Delta V_Y} \right]. \quad \text{公式 5}$$

如果存在非线性， A_{VOL} 会随着输出信号变化而动态变化。开环增益非线性的近似值根据输出电压范围内的 A_{VOL} 最大值和最小值计算，公式如下：

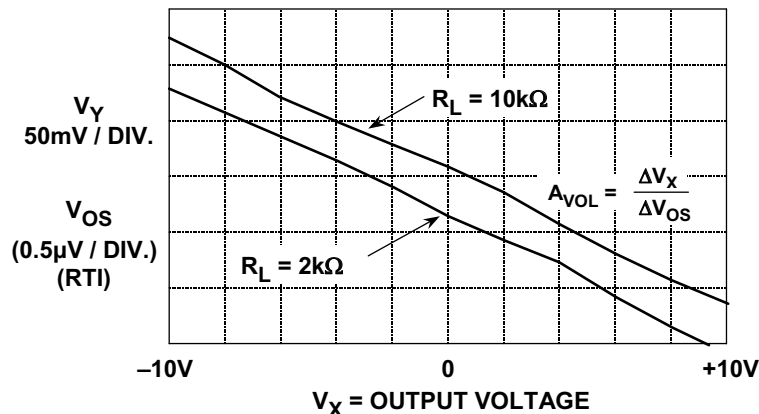
$$\text{Open Loop Gain Nonlinearity} = \frac{1}{A_{VOL,MIN}} - \frac{1}{A_{VOL,MAX}}. \quad \text{公式 6}$$

闭环增益非线性用开环增益非线性乘以噪声增益NG计算得出，公式如下：

$$\text{Closed Loop Gain Nonlinearity} \approx \text{NG} \cdot \left[\frac{1}{A_{VOL,MIN}} - \frac{1}{A_{VOL,MAX}} \right]. \quad \text{公式 7}$$

理想状态下， V_{OS} 和 V_x 的关系图是一条斜率不变的直线，斜率的倒数为开环增益 A_{VOL} 。斜率为零的水平线表示开环增益无限大。实际运算放大器中，由于存在非线性和热反馈等因素，斜率会在输出范围内发生变化。实际上，斜率甚至可以改变符号。

图3所示为OP177精密运算放大器中 V_y (以及 V_{OS})与 V_x 的关系图。图中所示为 $2\text{ k}\Omega$ 和 $10\text{ k}\Omega$ 两种负载下的关系图。斜率的倒数根据端点计算， A_{VOL} 平均值约为800万。经测量， A_{VOL} 在输出电压范围内的最大值和最小值分别约为910万和570万。对应的开环增益非线性约为 0.07 ppm 。因此，噪声增益为100时，对应的闭环增益非线性约为 7 ppm 。



A_{VOL} (AVERAGE) \approx 8 million

$A_{VOL,MAX} \approx$ 9.1 million, $A_{VOL,MIN} \approx$ 5.7million

OPEN LOOP GAIN NONLINEARITY \approx 0.07ppm

CLOSED LOOP GAIN NONLINEARITY \approx NG \times 0.07ppm

图3: OP177增益非线性

当然，这些非线性测量方法在高精度直流电路中最为适用。但是也适合音频之类带宽较宽的应用。例如，图2中的X-Y显示技术可以轻松显示设计不当的运算放大器输出级的交越失真

参考文献:

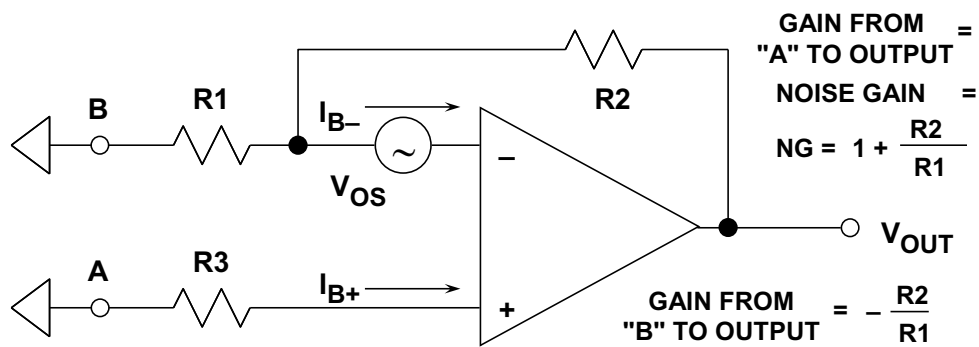
1. Hank Zumbahlen, *Basic Linear Design*, Analog Devices, 2006, ISBN: 0-915550-28-1. Also available as [Linear Circuit Design Handbook](#), Elsevier-Newnes, 2008, ISBN-10: 0750687037, ISBN-13: 978-0750687034. Chapter 1.
2. Walter G. Jung, *Op Amp Applications*, Analog Devices, 2002, ISBN 0-916550-26-5, Also available as [Op Amp Applications Handbook](#), Elsevier/Newnes, 2005, ISBN 0-7506-7844-5. Chapter 1.

Copyright 2009, Analog Devices, Inc. All rights reserved. Analog Devices assumes no responsibility for customer product design or the use or application of customers' products or for any infringements of patents or rights of others which may result from Analog Devices assistance. All trademarks and logos are property of their respective holders. Information furnished by Analog Devices applications and development tools engineers is believed to be accurate and reliable, however no responsibility is assumed by Analog Devices regarding technical accuracy and topicality of the content provided in Analog Devices Tutorials.

运算放大器总输出失调电压计算

计算由 I_B 和 V_{OS} 引起的总输出失调误差

通过下图1中所示的公式，可将所有失调电压和由偏置电流误差导致的失调电压折算至运算放大器的输入(RTI)或输出(RTO)。选择RTI还是RTO基于个人偏好。



◆ $OFFSET (RTO) = V_{OS} \left[1 + \frac{R2}{R1} \right] + I_{B+} \cdot R3 \left[1 + \frac{R2}{R1} \right] - I_{B-} \cdot R2$

◆ $OFFSET (RTI) = V_{OS} + I_{B+} \cdot R3 - I_{B-} \left[\frac{R1 \cdot R2}{R1 + R2} \right]$

FOR BIAS CURRENT CANCELLATION:

$OFFSET (RTI) = V_{OS}$ IF $I_{B+} = I_{B-}$ AND $R3 = \frac{R1 \cdot R2}{R1 + R2}$

图1: 运算放大器总失调电压模型

RTI值可用于比较累积运算放大器失调误差和输入信号。如果运算放大器驱动附加电路，RTO值更适合用来比较该级和下一级的净误差。

在任何情况下，RTO值都可以简单通过将RTI值与该级噪声增益(1 + R2/R1)相乘得出。

开始讨论失调误差前，需要重申一些降低失调误差的简单规则。

- 保持较低的输入/反馈阻抗值，最大程度地降低由偏置电流效应引起的失调电压。
- 不采用内部偏置补偿，而是将偏置补偿阻抗用于VFB运算放大器。对该阻抗进行旁路，以实现最低噪声拾取。
- 如果VFB运算放大器采用了内部偏置电流补偿，不要使用补偿电阻。
- 必要时，使用外部失调调整网络，使引起的漂移降至最低。
- 选择具有低失调和漂移性能的适用精密运算放大器，而不是进行调整。
- 注意热电偶效应，并使用平衡、低热误差布局，以实现高性能低漂移电路。

参考文献：

1. Hank Zumbahlen, *Basic Linear Design*, Analog Devices, 2006, ISBN: 0-915550-28-1. Also available as [Linear Circuit Design Handbook](#), Elsevier-Newnes, 2008, ISBN-10: 0750687037, ISBN-13: 978-0750687034. Chapter 1.
2. Walter G. Jung, *Op Amp Applications*, Analog Devices, 2002, ISBN 0-916550-26-5, Also available as [Op Amp Applications Handbook](#), Elsevier/Newnes, 2005, ISBN 0-7506-7844-5. Chapter 1.

Copyright 2009, Analog Devices, Inc. All rights reserved. Analog Devices assumes no responsibility for customer product design or the use or application of customers' products or for any infringements of patents or rights of others which may result from Analog Devices assistance. All trademarks and logos are property of their respective holders. Information furnished by Analog Devices applications and development tools engineers is believed to be accurate and reliable, however no responsibility is assumed by Analog Devices regarding technical accuracy and topicality of the content provided in Analog Devices Tutorials.

运算放大器电源抑制比(PSRR)与电源电压

电源抑制比(PSRR)

如果运算放大器的电源发生变化，输出不应变化，但实际上通常会发生变化。如果X V的电源电压变化产生Y V的输出电压变化，则该电源的PSRR(折合到输出端)为X/Y。无量纲比通常称为电源电压抑制比(PSRR)，以dB表示时则称为电源电压抑制(PSR)。但是，PSRR和PSR几乎总能互换使用，半导体行业很少有相关标准。

PSRR或PSR可折合到输出端(RTO)或输入端(RTI)。RTI值可用RTO值除以放大器增益得出。在传统运算放大器中，该值为噪声增益。请务必仔细阅读数据手册，因为PSR可能以RTO或RTI值表示。

PSR以dB表示时可能为正值或负值，具体取决于PSRR是定义为电源电压变化除以输出电压变化，还是相反。业界对此没有公认标准，两种规则都有使用。如果放大器采用双电源，通常单独表示每个电源的PSR。这种方法特别适合那些可用于双电源或单电源应用的放大器。

记住，PSR通常与纹波或噪声频率密切相关，这一点至关重要，如OP1177运算放大器图表所示。大多数情况下，滚降的转折频率由开环增益引起，曲线斜率约为6 dB/倍频程(20 dB/十倍频程)。下图1所示为OP1177PSR的典型特性曲线。

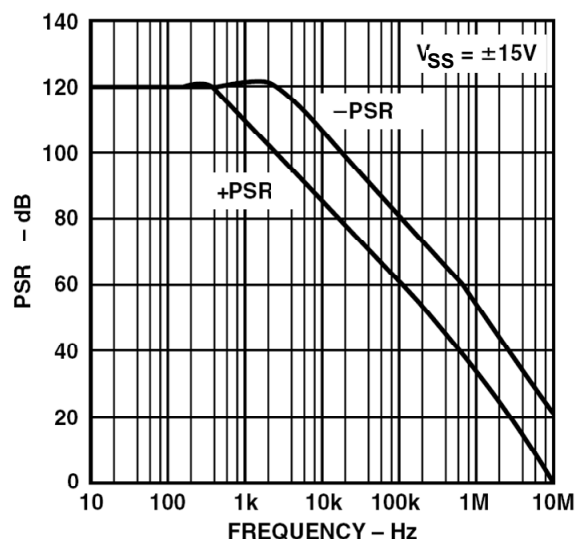


图1: OP1177电源抑制(PSR)

下图2所示为测量PSRR的测试设置。注意，该图与测量CMRR的测试设置类似(参见[指南 MT-042](#))。

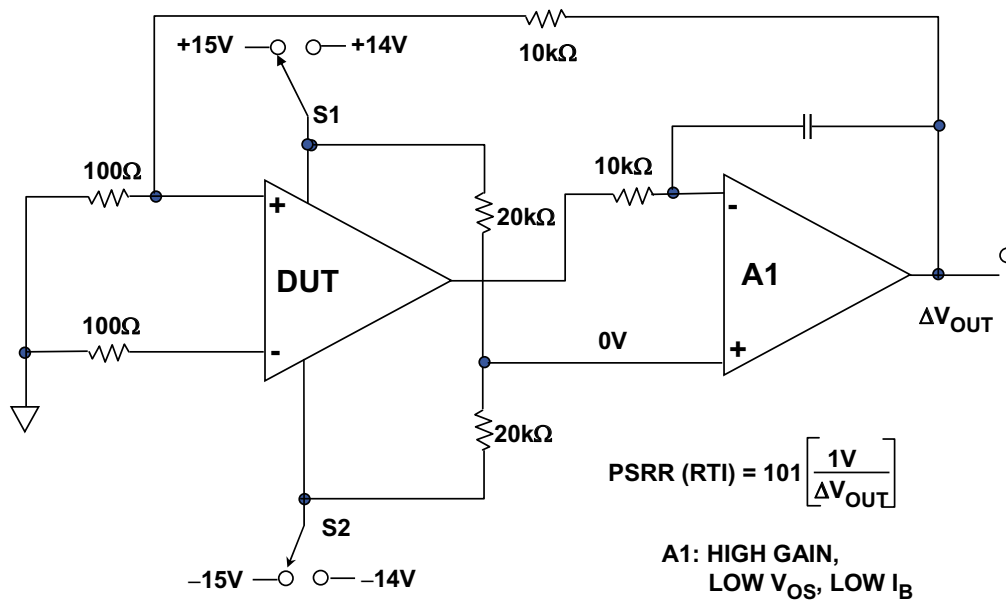


图2：测试电源抑制比(PSRR)的测试设置

针对1 V对称电源变化选择电压。也可选用其它合适的电压值，测量可以单独针对正电源和负电源进行。

电源与功耗

运算放大器没有接地端。电源电压规格通常采用 $\pm X$ V的形式表示，但实际上也可表示为 $2X$ V。重要的是，共模和输出范围与电源有关。这一信息可以表格或图表形式提供。

通常，数据手册会建议运算放大器在一定电源电压范围内(如+3 V至 ± 16.5 V)工作，还会列出几个电源值时的参数，以使用户进行推算。如果最低电源电压很高，通常是由于器件采用了需要阈值电压进行工作的结构(如齐纳二极管)。

数据手册还会提供功耗。任何流入某一电源引脚的电流都会从另一个引脚或输出端流出。当输出处于开路状态时，功耗很容易通过电源电压和电流计算得出。当电流流入负载时，总功耗最容易计算(记住，如果负载沿中间轨接地，则负载电流是从电源流向地，而不是在电源之间流动)，只需减去负载功耗就能得出器件功耗。数据手册通常会列出详细的热阻数据，以及最大结温额定值，通过这些已知条件可以计算出功耗限值。与功耗相关的其它因素(散热等)的详细数据请参见“参考文献1第7章”。

电源与去耦

运算放大器PSRR与频率有关，因此其电源必须充分去耦。低频时，如果几个器件的PC走线距离都不超过10厘米，这些器件就可以在每个电源上共用一个10至50 μF 电容。

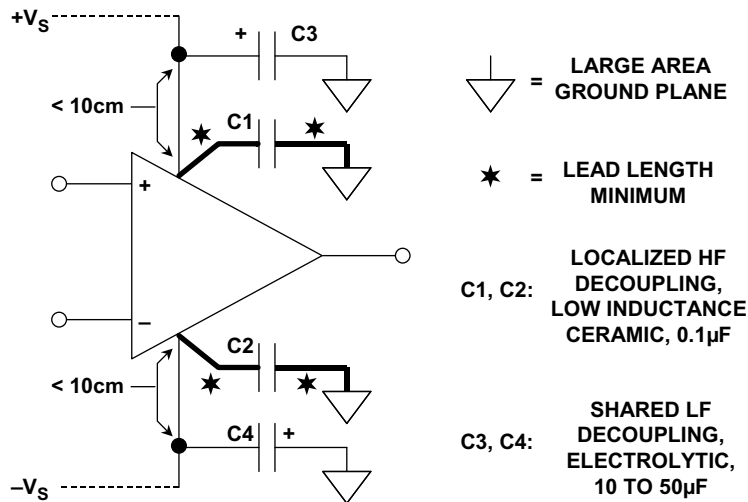


图3：运算放大器适用的低频与高频去耦技术

高频时，每个IC的电源引脚都应采用具有短引线/PC走线、约0.1 μF 的低电感电容进行去耦处理。这些电容还必须为运算放大器负载中的高频电流提供回路。上图3所示为典型的去耦电路。更多旁路与去耦信息请参见参考文献1和2的最后一章。

参考文献：

1. Hank Zumbahlen, *Basic Linear Design*, Analog Devices, 2006, ISBN: 0-915550-28-1. Also available as [Linear Circuit Design Handbook](#), Elsevier-Newnes, 2008, ISBN-10: 0750687037, ISBN-13: 978-0750687034. Chapter 1
2. Walter G. Jung, [Op Amp Applications](#), Analog Devices, 2002, ISBN 0-916550-26-5, Also available as [Op Amp Applications Handbook](#), Elsevier/Newnes, 2005, ISBN 0-7506-7844-5. Chapter 1.

Copyright 2009, Analog Devices, Inc. All rights reserved. Analog Devices assumes no responsibility for customer product design or the use or application of customers' products or for any infringements of patents or rights of others which may result from Analog Devices assistance. All trademarks and logos are property of their respective holders. Information furnished by Analog Devices applications and development tools engineers is believed to be accurate and reliable, however no responsibility is assumed by Analog Devices regarding technical accuracy and topicality of the content provided in Analog Devices Tutorials.

运算放大器输入、输出、单电源和轨到轨问题

单电源运算放大器问题

由于市场需求，单电源供电已成为一项日益重要的要求。汽车、机顶盒、照相机/摄像机、PC和笔记本电脑应用要求IC供应商提供各种采用单电源轨供电，而性能则与双电源器件相同的线性器件。功耗现已成为线路或电池供电系统的关键参数，某些情况下甚至比成本还重要。因此，器件以低电压/低电源电流工作至关重要。与此同时，精度和精密性要求则迫使IC制造商要在放大器设计中做到“事半功倍”。

在单电源应用中，对放大器性能的最直接影响是输入和输出信号范围缩小。由于输入和输出信号的偏移度更小，放大器电路对内部和外部误差源变得更敏感。在12位、10 V满量程系统中，精密放大器的0.1 mV失调电压引起的误差小于0.04 LSB。但在单电源系统中，“轨到轨”精密放大器的1 mV失调电压则代表5 V满量程系统中的0.8 LSB误差(或2.5 V满量程系统中的1.6 LSB误差)。

在某些低压单电源器件中，增益精度也会降低，因此需要仔细考虑器件选型。许多具有120 dB左右开环增益的放大器通常都采用双电源供电，如OP07型等。然而，许多用于精密应用的单电源/轨到轨放大器在轻负载(>10 k Ω)下通常具有25,000至30,000的开环增益。某些器件，比如OP113/OP213/OP413系列，确实具有高开环增益(>120 dB)，适用于要求苛刻的应用。另一个例子是AD855x系列斩波稳定运算放大器。

除了这些限制以外，还有许多其它在双电源放大器中不是大问题的设计考虑，现在却变得很重要。例如，信噪比(SNR)性能由于信号摆幅缩小而降低。“接地基准”不再是一个简单的选择，因为一个基准电压可能只适用于某些器件，而不适用于其它器件。放大器电压噪声随着工作电流的降低而提高，带宽降低。在单电源、低功耗应用中，要利用选择相对有限的放大器实现足够的带宽和所需的精度，对系统设计来说是一个巨大的挑战。

大多数电路设计人员视“地”基准为理所当然。许多模拟电路以地基准为中心缩放输入和输出范围。在双电源应用中，将电源电压一分为二的基准电压(0 V)是非常方便的，这样将使各个方向上的电源裕量相等，而且0 V一般是低阻抗接地层的电压。然而，在单电源/轨到轨电路中，由于没有标准可依，接地基准可以在电路的电源范围内任意选择。接地基准的选择取决于待处理信号的类型和放大器特性。例如，选择负电源轨作为接地基准，可以优化输出要摆动到0 V的运算放大器动态范围。另一方面，信号可能需要进行电平转换，以便兼容其它不是采用0 V输入工作的器件(如ADC等)的输入。

为了保持低电源电压应用的宽动态范围，也需要轨到轨放大器输出级。单电源/轨到轨放大器的输出电压摆幅应在任一电源轨的至少100 mV范围内(标称负载下)。输出电压摆幅与输出级拓扑结构和负载电流密切相关。图1列出了单电源运算放大器的设计问题。

- ◆ **Single Supply Offers:**
 - Lower Power
 - Battery Operated Portable Equipment
 - Requires Only One Voltage

- ◆ **Design Tradeoffs:**
 - Reduced Signal Swing Increases Sensitivity to Errors Caused by Offset Voltage, Bias Current, Finite Open-Loop Gain, Noise, etc.
 - Must Usually Share Noisy Digital Supply
 - Rail-to-Rail Input and Output Needed to Increase Signal Swing
 - Precision Less than the best Dual Supply Op Amps but not Required for All Applications
 - Many Op Amps Specified for Single Supply, but do not have Rail-to-Rail Inputs or Outputs

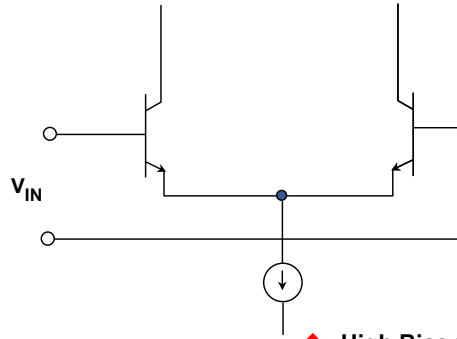
图1：单电源运算放大器设计问题

运算放大器输入级

为了正确设计所需的接口，了解运算放大器的输入和输出结构非常重要。为便于讨论，可以将输入级和输出级分别加以研究，因为目前还没有必要考虑二者的关系。

双极性输入级

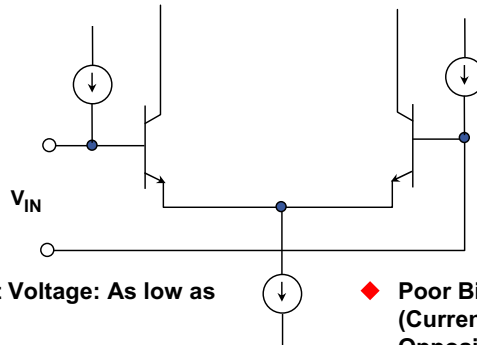
图2所示为常见的基本双极性输入级，它包括一个“长尾”双极性晶体管对。它有许多优势：结构简单，失调电压非常低，反相和同相输入端的偏置电流匹配良好且不随温度而发生较大变化。此外，通过激光调整降低双极性运放的初始失调电压也能使其温漂最小化。这种架构曾用于非常早期的单芯片运算放大器，如 μ A709等。它也运用于现代高速运算放大器。图中显示为NPN双极性晶体管，但其原理同样适用于PNP双极性晶体管。



- ◆ Low Offset: As low as $10\mu\text{V}$
- ◆ Low Offset Drift: As low as $0.1\mu\text{V}/^\circ\text{C}$
- ◆ Temperature Stable I_B
- ◆ Well-Matched Bias Currents
- ◆ Low Voltage Noise: As low as $1\text{nV}/\sqrt{\text{Hz}}$
- ◆ High Bias Currents: $50\text{nA} - 10\mu\text{A}$
- ◆ (Except Super-Beta: $50\text{pA} - 5\text{nA}$, More Complex and Slower)
- ◆ Medium Current Noise: $1\text{pA}/\sqrt{\text{Hz}}$
- ◆ Matching source impedances minimize offset error due to bias current

图2: 双极性晶体管输入级

偏置电流补偿双极性输入级



- ◆ Low Offset Voltage: As low as $10\mu\text{V}$
- ◆ Low Offset Drift: As low as $0.1\mu\text{V}/^\circ\text{C}$
- ◆ Temperature Stable I_{bias}
- ◆ Low Bias Currents: $<0.5 - 10\text{nA}$
- ◆ Low Voltage Noise: As low as $1\text{nV}/\sqrt{\text{Hz}}$
- ◆ Poor Bias Current Match (Currents May Even Flow in Opposite Directions)
- ◆ Higher Current Noise
- ◆ Not Very Useful at HF
- ◆ Matching source impedances makes offset error due to bias current worse because of additional impedance

图3: 偏置电流补偿双极性输入级

简单的双极性输入级(例如图2所示)会表现出高偏置电流, 因为外部看到的电流事实上是两个输入晶体管的基极电流。如果通过内部电流源提供该必要的偏置电流, 如图3所示, 那么基极电流与电流源之间的差分电流将是流入输入端的唯一“外部”电流, 它可能相当小。

多数现代精密运算放大器都会采用某种方式的内部偏置电流补偿，大家熟悉的OP07和OP27系列就是如此。

偏置电流补偿输入级具有简单双极性输入级的许多优良特性，例如：低电压噪声、低失调电压和低漂移。此外，它还提供具有良好温度稳定性的低偏置电流。但是，其电流噪声特性不是非常好，而且偏置电流匹配较差。

后两个副作用源于外部偏置电流，它是补偿电流源与输入晶体管基极电流的“差值”。这两个电流不可避免地具有噪声。由于两者不相关，两个噪声以和的平方根形式相加(即使直流电流是相减的)。所产生的外部偏置电流为两个近乎相等的电流之差，因此净电流的极性是不确定的。所以，偏置补偿运算放大器的偏置电流可能既不匹配，而且有可能方向相反。

许多情况下，运算放大器的数据手册中没有提到偏置电流补偿特性，而且不会提供原理示意图。通过检查偏置电流规格，很容易确定是否采用了偏置电流补偿。如果偏置电流用“±”值表示，则运算放大器非常有可能对偏置电流进行了补偿。

注意，通过检查“失调电流”规格(偏置电流之差)，很容易验证这一点。如果存在内部偏置电流补偿，则失调电流的幅度与偏置电流相同。如果没有偏置电流补偿，则失调电流一般比偏置电流至少低10倍。注意，无论偏置电流的确切幅度是多少，上述关系一般都成立。

偏置电流对运放输出失调电压的影响常常可以通过如下方法来消除：使两个输入端的源电阻相等。但有一点需要注意：这种做法仅对无偏置电流补偿，即输入电流匹配良好的双极性输入运算放大器有效。如果运算放大器采用内部偏置电流补偿，则向任一输入端增加额外电阻都会使输出失调变得更差！

FET输入级

场效应晶体管(FET)具有远高于双极性结型晶体管(BJT)的输入阻抗，似乎是运算放大器输入级的理想器件。然而，并不是所有双极性IC工艺都能制造FET，即使某种工艺能够制造FET，其本身往往也会有一些问题。

FET具有高输入阻抗、低偏置电流和良好的高频性能(在运算放大器应用中，FET器件的较低 g_m 支持更高的尾电流，从而提高最大压摆率)。FET的电流噪声也低得多。

另一方面，FET长尾对的输入失调电压不如BJT那么好，而且用于降低失调电压的调整功能不能同时降低漂移，漂移需要单独进行调整。因此，虽然JFET运算放大器具有良好的失调和漂移特性，但比不上最佳BJT器件。

可以将JFET运算放大器的电压噪声降到非常低的程度，但涉及的器件非常大，并且具有相当高的输入电容，它随输入电压而变化，因此需要权衡电压噪声与输入电容。

FET运算放大器的偏置电流是栅极扩散层的漏电流(或栅极保护二极管的漏电流，其特性与MOSFET相似)。芯片温度每升高 10°C ，该漏电流就会提高一倍。因此，FET运算放大器在 125°C 时的偏置电流比 25°C 时高1000倍。显然，在双极性和FET输入运算放大器之间进行选择时，这是一个重要考虑因素，特别是在高温应用中，双极性运算放大器的输入偏置电流实际上会降低。

到目前为止，我们从一般意义上谈到了所有类型的FET，包括结型(JFET)和MOS型(MOSFET)。实践中，双极性/JFET组合技术运算放大器(即BiFET)的性能优于仅使用MOSFET或CMOS技术的运算放大器。虽然ADI和其它公司采用MOS或CMOS输入级制造高性能运算放大器，但一般而言，这些运算放大器的失调和漂移、电压噪声、高频性能不如精密双极性器件。功耗通常略低于性能相当甚至更好的双极性运算放大器。

JFET器件需要的裕量高于BJT器件，因为JFET的夹断电压通常大于BJT基极-射极电压。相应地，JFET器件更难于采用非常低的电源电压(1-2 V)工作。在这方面，CMOS具有优势，所需的裕量低于JFET。

轨到轨输入级

如今，要求运算放大器的输入共模电压包括两个电源轨，即轨到轨共模工作，已变得非常普遍。虽然这种特性在某些应用中无疑很有用，但工程师应认识到，在为数很少的应用中，这种特性是绝对不可缺少的。应将这些应用与许多其它应用区别开来，后者例如：共模范围接近电源的应用，或者包括一个电源是必需的，但并不需要真正的输入轨到鬼。

许多单电源应用要求输入共模电压范围扩展到一个电源轨(通常为地)。高端或低端电流检测应用就是这样的例子。许多放大器可以处理0 V共模输入，这可以利用PNP(或PMOS)差分对(或N沟道JFET对)轻松实现，如图4所示。这种运算放大器的输入共模范围一般是从负电源轨($-V_s$ 或地)以下约200 mV到正电源轨($+V_s$)的大约1-2 V范围内。

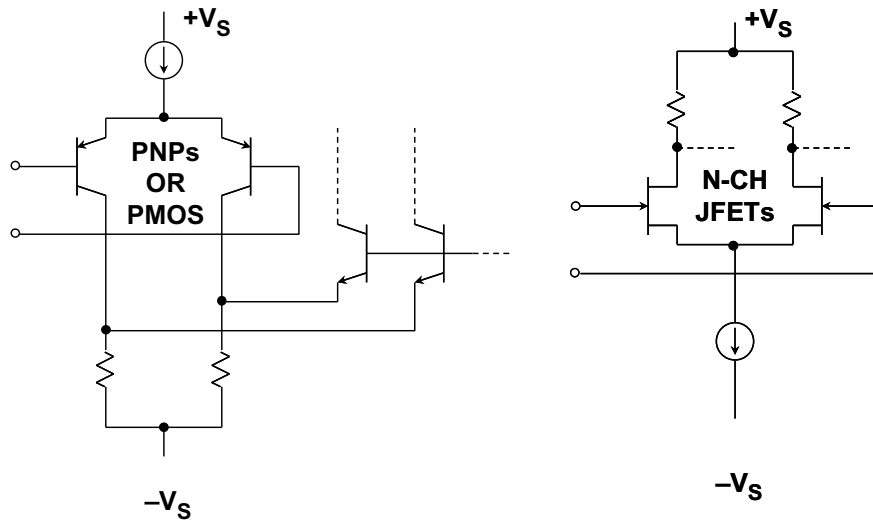


图4：PNP/PMOS或N沟道JFET级支持共模输入扩展到负电源轨

输入级也可以采用NPN(或NMOS)晶体管(或P沟道JFET)设计，这种情况下，输入共模范围将包括正电源轨，并进入负电源轨的约1-2 V范围内。这种要求通常出现在高端电流检测等应用中。OP282/OP482输入级采用N沟道JFET输入对，其输入共模范围包括正电源轨，因而适合高端检测应用。

图6为真正轨到轨输入级的示意图。注意：需要使用两个长尾对，一个是PNP双极性晶体管Q1-Q2，另一个是NPN晶体管Q3-Q4。利用CMOS对也可以构建类似的输入级。

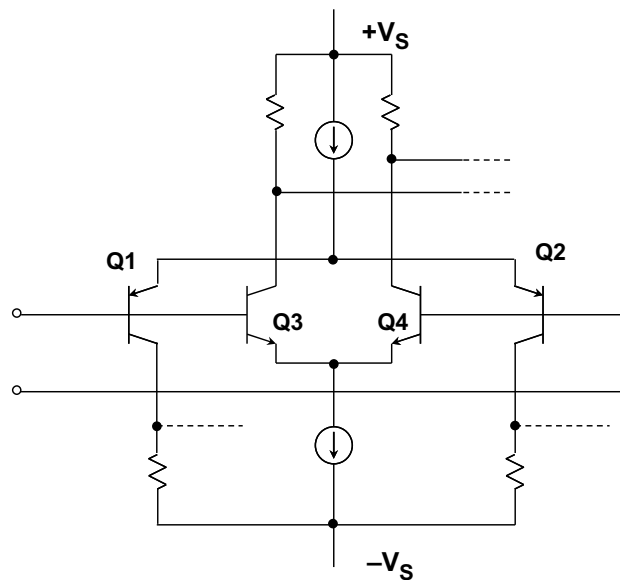


图5：真正轨到轨双极性晶体管输入级

应当注意，两个晶体管对具有不同的失调电压和偏置电流，当施加的共模电压改变时，放大器的输入失调电压和输入偏置电流也会改变。事实上，当两个电流源在整个输入共模范围的大部分范围内均保持活动时，放大器输入失调电压等于两个晶体管对的平均失调电压。在某些设计中，电流源在输入共模电压范围内的某点交替关闭，当信号接近负电源时，放大器输入失调电压以PNP对失调电压为主；当信号接近正电源时，放大器输入失调电压以NPN对失调电压为主。如上所述，真正轨到轨输入级也可以采用CMOS晶体管构建，例如CMOS AD8531/AD8532/AD8534运算放大器系列就是如此。

放大器输入偏置电流是晶体管电流增益的函数，同时也是所施加输入共模电压的函数。与大家熟悉的双电源器件相比，这将导致共模抑制(CMR)性能相对较差，并且共模输入阻抗在共模输入电压范围内变化不定。选择轨到轨输入运算放大器时，特别是针对同相配置，应当认真考虑这些特性。输入失调电压、输入偏置电流和CMR在部分共模范围内可能非常好，但在NPN与PNP器件交替工作区域，这些特性可能非常差。

真正轨到轨放大器的输入级设计必须在输入共模电压范围的某点，从一个差分对过渡到另一个差分对。某些器件的共模交越阈值比正电源低约1 V(信号很少出现在该区域)，如OP191/OP291/OP491系列和OP279等。PNP差分输入级的有效范围从负电源以下约200 mV到正电源的大约1 V范围内。在该共模范围内，放大器输入失调电压、输入偏置电流、CMR、输入噪声电压/电流主要由PNP差分对的特性决定。但在交越阈值时，放大器输入失调电压变为NPN/PNP对的平均失调电压，并且可能快速变化。

此外，如上所述，在大部分输入共模范围内，放大器偏置电流以PNP差分对为主；在NPN差分对变为有效的交越阈值处，放大器偏置电流改变极性和幅度。

OP184/OP284/OP484系列等运算放大器采用轨到轨输入级设计，在整个输入共模电压范围的大部分范围内，NPN和PNP晶体管对均有效。利用这种方法处理偏置时，不存在共模交越阈值。放大器输入失调电压为NPN和PNP级的平均失调电压，由于输入级电阻经过细致的激光调整，失调电压在整个输入共模范围内平稳地变化。

同样，一丝不苟的输入级电流平衡和输入晶体管设计，使得OP184系列的输入偏置电流在整个共模输入电压范围内平稳变化。例外情况发生在输入范围的极端处，此时由于寄生PN结的轻微正偏，放大器失调电压和偏置电流急剧提高。当输入电压在任一电源轨的大约1 V范围内时，就会发生这种情况。

当两个差分对在输入共模范围的大部分范围内均有效时，放大器在共模范围中部的瞬态响应速度更快，双极性输入级快2倍，JFET输入级快 $\sqrt{2}$ 倍，其原因是两个工作输入级的跨导更高。

输入级 g_m 决定放大器的压摆率和单位增益交越频率，因此，在输入共模范围的极端处，当PNP级(信号接近正电源轨)或NPN级(信号接近负电源轨)被强制切断时，响应速度会略有下降。跨导发生变化时的阈值约在任一电源轨的1V范围内，该行为与输入偏置电流相似。

鉴于真正轨到轨运算放大器输入级有许多怪异之处，应当对确实需要真正轨到轨输入的应用进行仔细评估，并且应确保所选放大器的输入失调电压、输入偏置电流、共模抑制和噪声(电压和电流)是合适的。

输出级

最早期的IC运算放大器输出级是带有NPN电流源或下拉电阻的NPN射极跟随器，如图6A所示。显然，趋正信号的压摆率要大于趋负信号的压摆率。

虽然所有现代运算放大器都具有某种形式的推挽输出级，但许多放大器仍然是非对称的，一个方向的压摆率大于另一个方向的压摆率。非对称性往往会给交流信号带来失真，其产生原因一般是所用IC工艺的NPN晶体管快于PNP晶体管。就饱和电压而言，它还可能导致输出离一个电源更近，而离另一个电源更远。

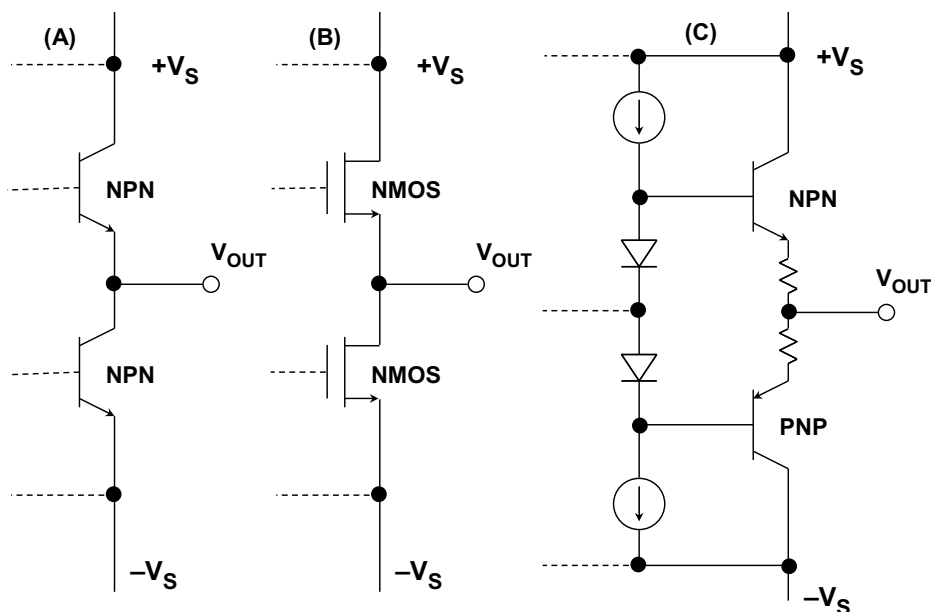


图6: 某些传统的运算放大器输出级

许多应用要求输出仅向一个电源轨摆动，通常是负电源轨(即单电源系统中的地)。可以利用下拉电阻来使输出趋向负电源轨(前提是负载阻抗足够高，或者也以该电源轨为地)，但速度缓慢。用FET电流源代替电阻可以加快速度，但会提高设计复杂度，如图6B所示。

借助现代互补双极性(CB)工艺，能够轻松获得匹配良好的高速PNP和NPN晶体管。图6C所示的互补射极跟随器输出级具有许多优点，最突出的一个是低输出阻抗。然而，这种输出级的输出电压只能在任一电源轨的一个 V_{BE} 压降范围内摆动。因此，采用+5 V单电源供电时，这种输出级的典型输出摆幅为+1 V至+4 V。

利用图7A和图7B所示的互补共射极/共源极输出级，运算放大器的输出电压摆幅可以更接近电源轨，但这些输出级的开环输出阻抗远高于图6C所示的射极跟随器输出级。但在实际应用中，该放大器的高开环增益和所施加的反馈仍然能产生低输出阻抗(特别是在10 Hz以下的频率时)。对于这类输出级，应当仔细评估存在负载时应用内部的环路增益。通常会给出运算放大器在10 k Ω (或更高)负载电阻下的最小增益。应当注意，应用负载不得低于额定负载，否则增益精度可能会受损。

还应注意，与射极跟随器输出级相比，这种输出级可能会使运算放大器对容性负载更敏感。同样，器件数据手册会说明这一点，并给出不会引起过冲或不稳定现象的最大容性负载。

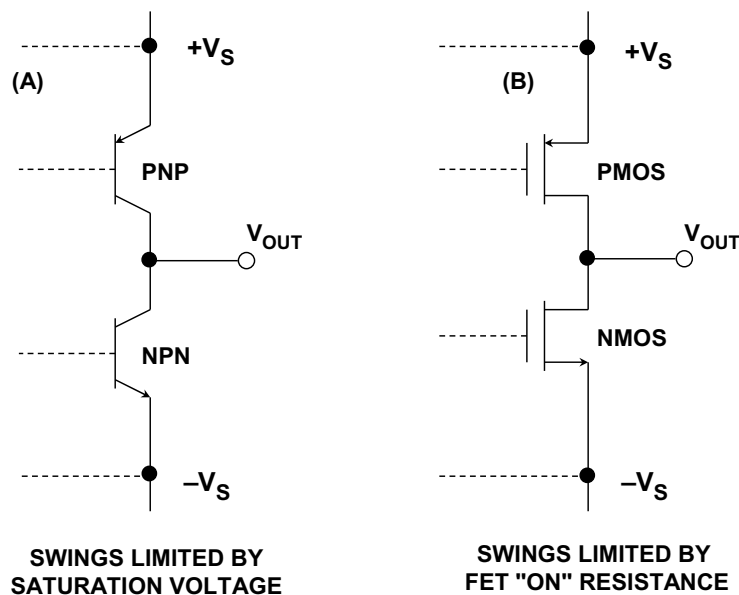


图7：“近乎”轨到轨的输出结构

使用BJT的互补共射极输出级(图7A)无法完全摆动到电源轨，只能摆动到电源轨的晶体管饱和电压(V_{CESAT})范围内。对于较小的负载电流(小于100 μA)，饱和电压可能低至5至10 mV；但是，对于较高负载电流，饱和电压可能增加至数百毫伏(比如50 mA时为500 mV)。

另一方面，采用CMOS FET构建的输出级(图7B)则可以提供近乎真正轨到轨的性能，但只能在空载条件下。如果运算放大器输出必须流出或吸入相当大的电流，则输出电压摆幅会降低，降幅为FET内部导通电阻上的 $I \times R$ 压降。通常而言，精密放大器的导通电阻在100 Ω 左右，但高电流驱动CMOS放大器的导通电阻可能小于10 Ω 。

根据以上基本原因，应该明白，根本不存在“真正轨到轨输出级”，因此图7的标题是“近乎”轨到轨的输出结构。运算放大器输出级能够做到的最好程度，是在轻负载条件下实现近乎轨到轨的摆幅。

单电源系统的电路设计考虑

许多波形本质上是双极性的，这意味着信号自然地以基准电平为中心摆动，基准电平通常是地。在单电源环境下，这显然不成立，因而必须对信号进行交流耦合。

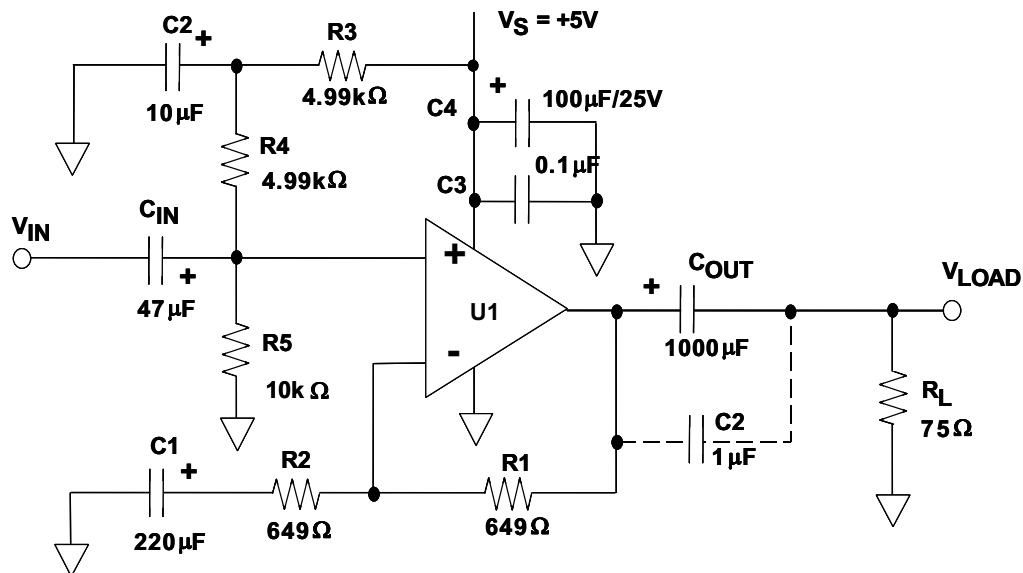


图8：单电源偏置

交流耦合是指应用一个高通滤波器，从而在电源电压范围的中心附近建立一个新的基准电平，如图8所示。串联电容会阻隔输入信号的直流成分。转折频率(响应比中频带水平低3 dB时的频率)由以下器件的值决定：

$$f_C = \frac{1}{2\pi R_{EQ} C}, \quad \text{公式 1}$$

其中：

$$R_{EQ} = \frac{R_4 R_5}{R_4 + R_5}. \quad \text{公式 2}$$

应注意，如有多个部分被交流耦合，则在转折频率时各部分的响应都会降低3 dB。因此，如果有两个部分的转折频率相同，则总响应将降低6 dB，三部分则会降低9 dB，依此类推。为使系统的总响应满足要求，应当考虑这一点。还应注意，从转折频率开始，幅度响应会滚降10倍或更多。

任意波形的交流耦合可能会带来直流耦合系统中根本不存在的一些问题，这些问题与波形占空比有关，当信号接近电源轨时尤为严重，就像在交流耦合的低电源电压系统中一样。

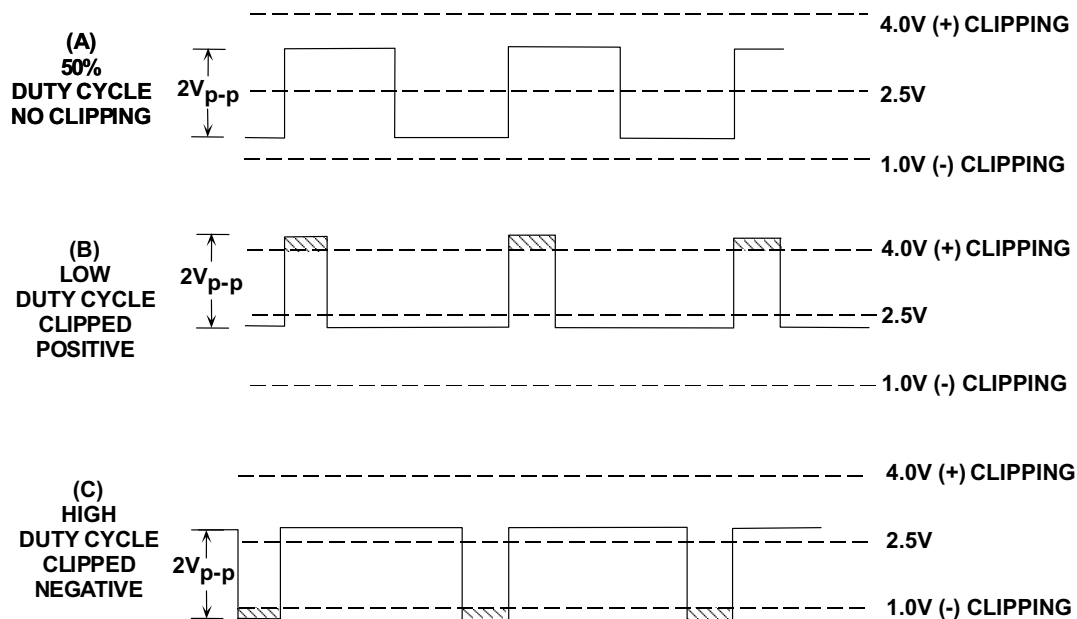


图9：单电源偏置的裕量问题

在诸如图8所示的放大器电路中，输出偏置点等于施加于运放(+)输入端的直流偏置。对于2 V_{p-p}输出电平的对称(50%占空比)波形，输出信号将围绕偏置点(标称值2.5 V±1 V，使用图9给出的值计算)对称地摆动。然而，如果该脉冲波形的占空比非常高(或非常低)，则C_{IN}和R₄||R₅的交流均值效应将会高移或低移有效峰值电平，具体取决于占空比。这种现象的净效应是降低放大器的工作裕量，如图9所示。

图9(A)所示为一个约2 V_{p-p}电平的50%占空比方波，信号摆幅对称偏置，位于5 V电源放大器的上下削波点之间。该放大器(例如类似图8中的偏置AD817)只能摆动到图中标出的受限直流电平，距离任一电源轨均是大约1 V。在示例(B)和(C)中，输入波形的占空比调整到高低两个极端，同时保持相同的峰峰值输入电平。在放大器输出上，可以看到(B)和(C)中的波形分别在负端和正端削波。

参考文献：

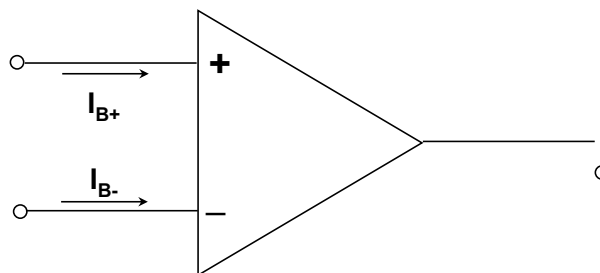
1. Hank Zumbahlen, *Basic Linear Design*, Analog Devices, 2006, ISBN: 0-915550-28-1. Also available as [Linear Circuit Design Handbook](#), Elsevier-Newnes, 2008, ISBN-10: 0750687037, ISBN-13: 978-0750687034. Chapter 1.
2. Walter G. Jung, *Op Amp Applications*, Analog Devices, 2002, ISBN 0-916550-26-5, Also available as [Op Amp Applications Handbook](#), Elsevier/Newnes, 2005, ISBN 0-7506-7844-5. Chapter 1.

Copyright 2009, Analog Devices, Inc. All rights reserved. Analog Devices assumes no responsibility for customer product design or the use or application of customers' products or for any infringements of patents or rights of others which may result from Analog Devices assistance. All trademarks and logos are property of their respective holders. Information furnished by Analog Devices applications and development tools engineers is believed to be accurate and reliable, however no responsibility is assumed by Analog Devices regarding technical accuracy and topicality of the content provided in Analog Devices Tutorials.

运算放大器输入偏置电流

输入偏置电流定义

理想情况下，并无电流进入运算放大器的输入端。而实际操作中，始终存在两个输入偏置电流，即 I_{B+} 和 I_{B-} (参见图1)。



- ◆ A very variable parameter!
- ◆ I_B can vary from 60 fA (1 electron every 3 μ s) to many μ A, depending on the device.
- ◆ Some structures have well-matched I_B , others do not.
- ◆ Some structures' I_B varies little with temperature, but a FET op amp's I_B doubles with every 10°C rise in temperature.
- ◆ Some structures have I_B which may flow in either direction.

图1：运算放大器输入偏置电流

I_B 的值大小不一，在静电计[AD549](#)中低至60 fA(每三毫秒通过一个电子)，而在某些高速运算放大器中可达数十微安。运算放大器采用由双极性结型晶体管(BJT)或FET长尾对构成的简单输入结构时，偏置电流为单向流动。而采用更为复杂的输入结构时(如偏置补偿和电流反馈运算放大器)，偏置电流可能是两个或以上内部电流源之间的差分电流，且可能是双向流动。

对运算放大器用户来说，偏置电流是个问题，因为当其流过外部阻抗时会产生电压，进而导致系统误差增加。以1 M Ω 源阻抗驱动同相单位增益缓冲器为例，如果 I_B 为10 nA，则会额外引入10 mV的误差。这种误差度在任何系统中都不容忽略。

或者，如果设计人员完全忘记考虑 I_B 并且采用容性耦合，那么电路将根本不能工作！或者，如果 I_B 足够小，那么电路或许能在电容充电期间短暂工作，结果导致更多的问题。因此，我们应当明白，任何运算放大器电路中都不能忽略 I_B 的影响，仪表放大器电路中亦是如此。

输入失调电流

“输入失调电流” I_{OS} 是 I_{B-} 和 I_{B+} 之差，即 $I_{OS} = I_{B+} - I_{B-}$ 。另请注意，两个偏置电流首先必须基本上具有相当良好的匹配性， I_{OS} 才有意义。多数电压反馈(VFB)型运算放大器都是如此。不过，针对电流反馈(CFB)型运算放大器等来谈 I_{OS} 就没什么意义，因为这两个电流完全不匹配。

需要注意的是，对于由两个并联级构成的轨到轨输入级，当共模电压经过跃迁区时，偏置电流方向会发生改变。因此，这类器件的偏置电流和失调电流尤其难以标定，根本不可能简单地给出最大正值/负值。

内部偏置电流消除电路

如果通过内部电流源提供该必要的偏置电流，如下文图2所示，那么基极电流与电流源之间的差分电流将是流入输入端的唯一“外部”电流，它可能相当小。

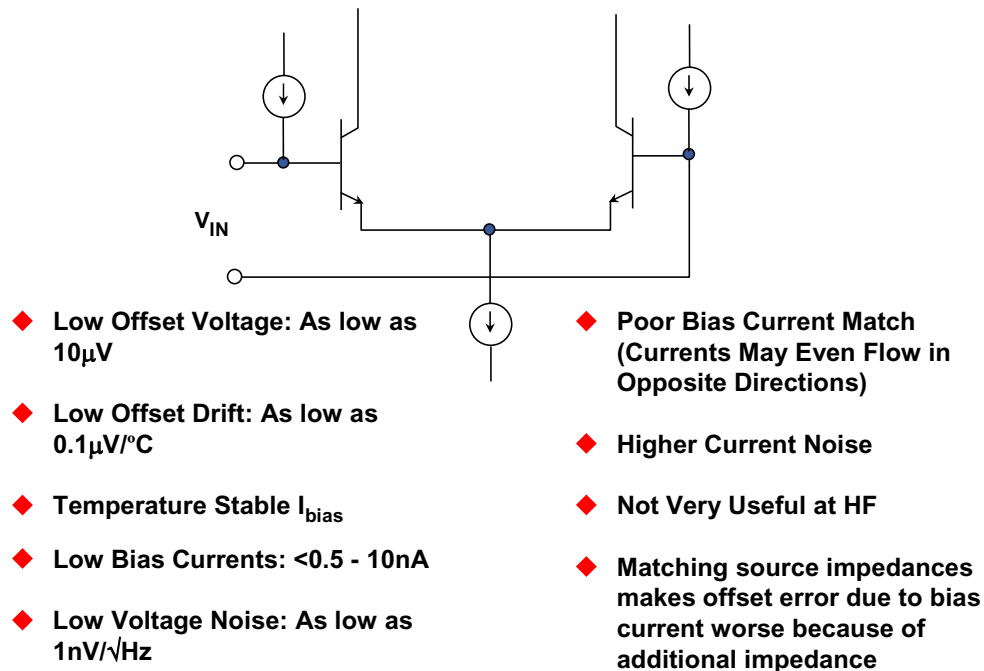


图2：偏置电流补偿双极性输入级

多数现代精密双极性输入级运算放大器都会采用某种方式的内部偏置电流补偿，大家熟悉的OP07和OP27系列就是如此。

偏置电流补偿输入级具有简单双极性输入级的许多优良特性，例如：低电压噪声、低失调电压和低漂移。此外，它还提供具有相当温度稳定性的低偏置电流。但是，其电流噪声特性不是非常好，而且偏置电流匹配较差。

后两个副作用源于外部偏置电流，它是补偿电流源与输入晶体管基极电流的“差值”。这两个电流不可避免地具有噪声。由于无相关性，两个噪声以方和根形式相加(但直流电流采用减法)。

所产生的外部偏置电流为两个近乎相等的电流之差，因此净电流的极性是不确定的。所以，偏置补偿运算放大器的偏置电流可能不仅不匹配，而且有可能反向流动！多数应用中这点并不重要，但在有些应用中却会产生无法预料的影响(例如，在用偏置补偿运算放大器构建的采样保持(SHA)电路中，压降可能具有两种极性之一)。

许多情况下，运算放大器的数据手册中没有提到偏置电流补偿特性，而且不会提供原理示意图。通过检查偏置电流规格，很容易确定是否采用了偏置电流补偿。如果偏置电流用“±”值表示，则运算放大器非常有可能对偏置电流进行了补偿。注意，通过检查“失调电流”规格(偏置电流之差)，很容易验证这一点。如果存在内部偏置电流补偿，则失调电流的幅度与偏置电流相同。如果没有偏置电流补偿，则失调电流一般比偏置电流至少低10倍。注意，无论偏置电流的确切幅度是多少，上述关系一般都成立。

如前所述，对于轨到轨输入级，当共模电压经过交越区时，偏置电流方向会发生改变。因此，这类器件的偏置电流和失调电流尤其难以指定，根本不可能简单地给出最大正值/负值。

消除偏置电流影响(运算放大器外部)

当运算放大器的偏置电流匹配良好时(如前所述，就像简单的双极性输入级运算放大器那样，但“不”包括内部偏置补偿运算放大器)，偏置补偿电阻 R_3 ($R_3=R_1||R_2$)会在同相输入中引入压降，以便与反相输入中 R_1 和 R_2 并联组合上的压降匹配并实现补偿。这样可以最大程度地减少额外的失调电压误差，如图3所示。注意，如果 R_3 大于1 k Ω ，则应使用电容进行旁路，以免噪声影响。另请注意，当偏置电流匹配不佳时，这种消除偏置方式毫无用处，事实上会更糟。

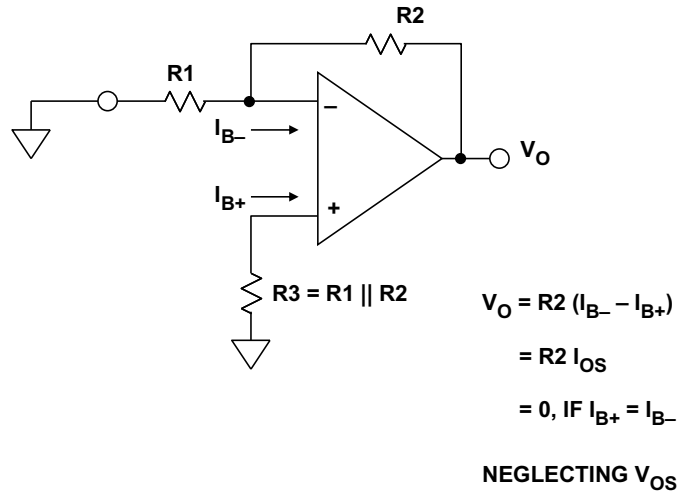
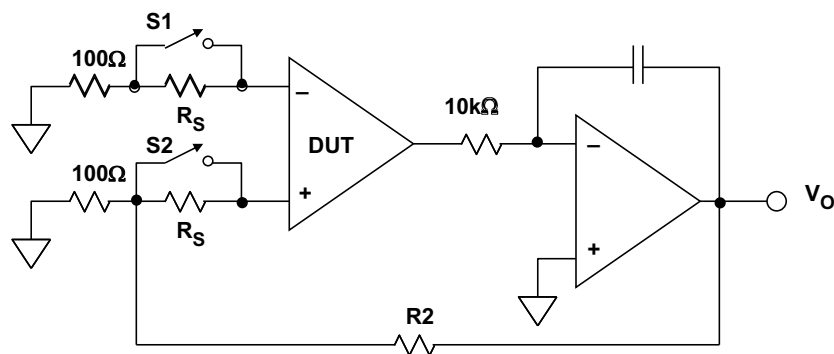


图3: 消除应用中的输入偏置电流影响

测量输入失调电流和输入偏置电流

可以利用图4中的测试电路来测量输入偏置电流(或输入失调电压)。要测量 I_B ，应插入大电阻 R_S 与待测输入端串联，从而产生大小等于 $I_B \times R_S$ 的显著额外失调电压。如果之前已经测量并记录实际的 V_{OS} ，则可以确定因 R_S 变化而导致的 V_{OS} 明显变化，进而可以轻松计算出 I_B 。这样即可得出 I_{B+} 和 I_{B-} 的值。 I_B 的额定值是这两个电流的平均值，即 $I_B = (I_{B+} + I_{B-})/2$ 。

通常，有效 R_S 值的变化范围为100 k Ω (双极性运算放大器)至1000 M Ω (某些FET输入器件)。



$R_S \gg 100\Omega$ (100k Ω TO 1G Ω)

S1 CLOSED TO TEST I_{B+}

S2 CLOSED TO TEST I_{B-}

BOTH CLOSED TO TEST V_{OS}

BOTH OPEN TO TEST I_{OS}

$$V_O = \left[1 + \frac{R2}{100} \right] V_{OS}$$

$$+ \left[1 + \frac{R2}{100} \right] I_{B+} R_S$$

$$- \left[1 + \frac{R2}{100} \right] I_{B-} R_S$$

图4: 测量输入偏置电流

对于极低的输入偏置电流，则必须采用积分技术来测量。具体方法是利用所考虑的偏置电流给电容充电，然后测量电压变化速率。如果电容和一般电路泄露可以忽略不计(电流小于10 fA时，很难测量)，则可直接根据测试电路的输出变化速率计算出该电流。基本原理如下面图5所示。断开一个开关，闭合另一个开关，可以分别测得 I_{B+} 或 I_{B-} 。

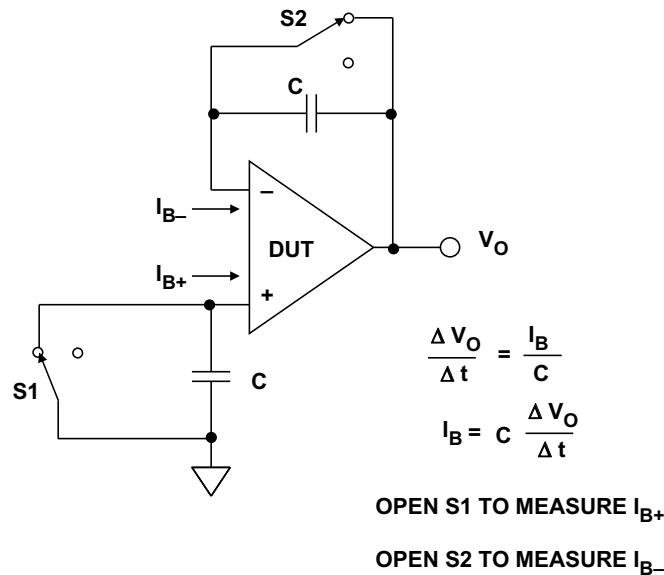


图5：测量极低的偏置电流

很明显，C只可使用高品质的电容电介质，如特氟龙或聚丙烯等类型。

参考文献：

1. Hank Zumbahlen, *Basic Linear Design*, Analog Devices, 2006, ISBN: 0-915550-28-1. Also available as [Linear Circuit Design Handbook](#), Elsevier-Newnes, 2008, ISBN-10: 0750687037, ISBN-13: 978-0750687034. Chapter 1.
2. Walter G. Jung, *Op Amp Applications*, Analog Devices, 2002, ISBN 0-916550-26-5, Also available as [Op Amp Applications Handbook](#), Elsevier/Newnes, 2005, ISBN 0-7506-7844-5. Chapter 1.
- 3.

Copyright 2009, Analog Devices, Inc. All rights reserved. Analog Devices assumes no responsibility for customer product design or the use or application of customers' products or for any infringements of patents or rights of others which may result from Analog Devices assistance. All trademarks and logos are property of their respective holders. Information furnished by Analog Devices applications and development tools engineers is believed to be accurate and reliable, however no responsibility is assumed by Analog Devices regarding technical accuracy and topicality of the content provided in Analog Devices Tutorials.

运算放大器输入和输出共模与差分电压范围

输入与输出电压范围

关于实际运算放大器的容许输入和输出电压范围，有一些实际的基本问题需要考虑。显然，这不仅会根据具体器件而变化，还会根据电源电压而变化。我们可以通过器件选型来优化该性能点，首先要考虑较为基础的问题。

任何实际运算放大器输入和输出端的工作电压范围都是有限的。现代系统设计中，电源电压在不断下降，对运算放大器之类的模拟电路而言，3 V至5 V的总电源电压现在已十分常见。这一数值和过去的电源系统电压相差甚远，当时通常为 ± 15 V(共30 V)。

由于电压降低，必须了解输入和输出电压范围的限制——尤其是在运算放大器选择过程中。

输出共模电压范围

下图1大致显示了运算放大器输入和输出动态范围的限制，与两个供电轨有关。任何运算放大器都由两个电源电位供电，用正供电轨 $+V_S$ 和负供电轨 $-V_S$ 表示。运算放大器的输入和输出共模范围根据与两个供电轨电压限值的接近程度来定义。

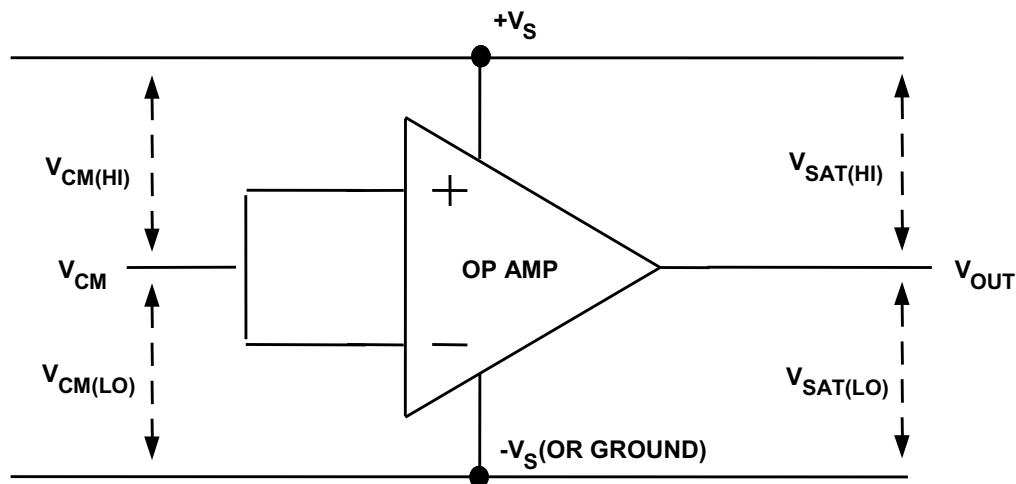


图1：运算放大器输入和输出共模范围

在输出端， V_{OUT} 有两个供电轨相关限制，即高电平(接近 $+V_S$)和低电平(接近 $-V_S$)。高电平时，范围可达饱和上限 $V_S - V_{SAT(HI)}$ (最大正值)。例如，如果 $+V_S$ 为5 V， $V_{SAT(HI)}$ 为100 mV，则 V_{OUT} 上限(最大正值)为4.9 V。同样，低电平时，范围可达饱和下限 $-V_S + V_{SAT(LO)}$ 。因此，如果 $-V_S$ 为接地(0 V)， $V_{SAT(LO)}$ 为50 mV，则 V_{OUT} 下限为50 mV。

显然，给定运算放大器的内部设计会影响该输出共模动态范围，必要时，器件本身的设计应当最大程度地减小 $V_{SAT(HI)}$ 和 $V_{SAT(LO)}$ ，以便实现最大输出动态范围。某些类型的运算放大器就采用了这样的设计，这些放大器通常采用单电源系统专用的设计。欲了解更多详情，请参考[指南MT-035](#)

输入共模电压范围

在输入端，适用于 V_{IN} 的共模范围也有两个供电轨相关限制，即高电平(接近 $+V_S$)和低电平(接近 $-V_S$)。高电平时，范围可达共模上限 $+V_S - V_{CM(HI)}$ (最大正值)。仍以 $+V_S = 5$ V为例，如果 $V_{CM(HI)}$ 为1 V，则 V_{IN} 上限(最大共模正值)为 $+V_S - V_{CM(HI)}$ 或4 V。

下图2所示为采用假设运算放大器数据时确定 $V_{CM(HI)}$ 的方法，如上方曲线所示。该运算放大器会在低于图中所示曲线的 V_{CM} 输入下工作。

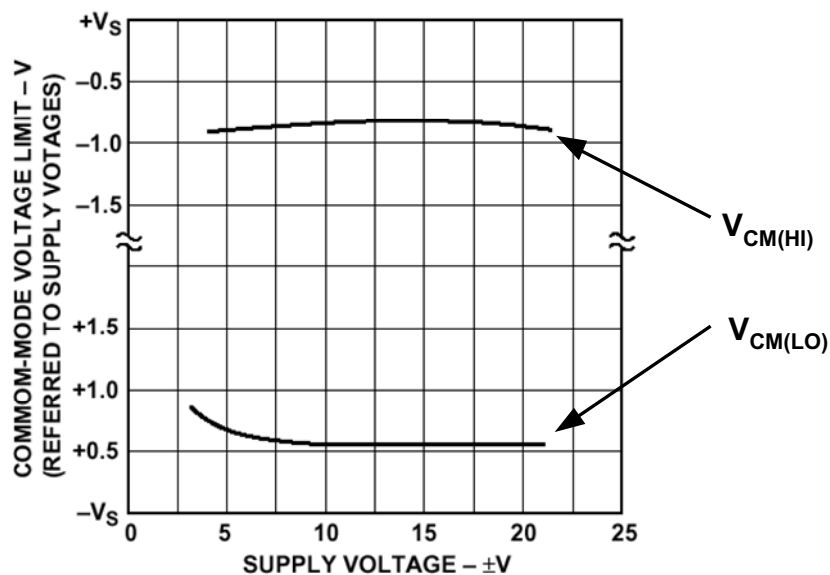


图2：运算放大器输出共模范围图示

在实际操作中，实际运算放大器的输入共模范围通常规定为电压范围，不必以 $+V_S$ 或 $-V_S$ 为参考。例如，典型的 $\pm 15\text{ V}$ 工作双电源运算放大器的额定共模工作范围为 $\pm 13\text{ V}$ 。低电平时，同样也存在共模下限。通常用 $-V_S + V_{\text{CM(LO)}}$ 来表示，图2中所示为下方 $V_{\text{CM(LO)}}$ 曲线。如果该器件也是采用 $\pm 15\text{ V}$ 电源电压，就可以代表典型性能。

以单电源为例， $-V_S = 0\text{ V}$ 的情况下，如果 $V_{\text{CM(LO)}}$ 为 100 mV ，则共模下限为 $0\text{ V} + 0.1\text{ V}$ （即 0.1 V ）。本例显示的共模下限在 100 mV 的 $-V_S$ 范围之内，实际上更适合表示具有共模下限或上限（包括供电轨）的单电源器件。

换言之， $V_{\text{CM(LO)}}$ 或 $V_{\text{CM(HI)}}$ 为 0 V 。还有包括两个供电轨、具有共模范围的单电源器件。然而，单电源器件往往无法提供图形数据（例如图2所示的共模限值）但是会通过表格形式的额定电压范围来说明性能。

运算放大器差分输入电压范围

在正常工作模式下，运算放大器连接至反馈环路，因此，差分输入电压保持在 0 V （忽略失调电压）。但在某些情况下（例如上电），运算放大器可能会受到不等于 0 的差分输入电压影响。某些输入结构需要限制差分输入电压来防止其受损。这些运算放大器的输入通常还具有内部背靠背二极管，放大器的简化原理图中不一定会显示这些，但是会显示 $\pm 700\text{ mV}$ （最大值）的差分输入电压规格。

此外，图中还显示最大输入差分电流规格。有些放大器内置限流电阻，但这些电阻会提高噪声，因此在低噪声运算放大器中不予使用。

关于输入过压和保护的一般问题请参考[指南MT-036](#)

输出电流与输出短路电流

大多数通用运算放大器都有输出级，提供对地或对任一电源的短路保护。这通常称为无限短路保护，因为放大器可以无限地将该电流值输入短路电路。应由运算放大器提供的输出电流即为此时的输出电流。通常要设定限制，使运算放大器能够为通用运算放大器提供 10 mA 输出电流。

如果运算放大器必须同时具备高精度和大输出电流，建议使用独立输出级（反馈环路内），将精密运算放大器的自发热降至最低。该附加放大器通常称为缓冲器，因为其电压增益通常为 1 。

有一些运算放大器能够提供大输出电流。例如AD8534，这是一种四通道器件，四个部分的输出电流均为250 mA。注意，如果同时从四个部分输出250 mA电流，就会超过封装功耗规格，放大器会过热，并且可能会损坏。对低功耗的较小封装而言，这一问题更加严重。

高速运算放大器的输出电流通常不会限制在较低值，因为会影响其压摆率和驱动低阻抗的能力。大多数高速运算放大器的源电流和吸电流都在50至100 mA之间，但也有一些限制在30 mA以下。即使是具有短路保护的高速运算放大器，温度也可能会超过结温(由于短路电流较高)，从而导致器件由于长时间短路而受损。

参考文献：

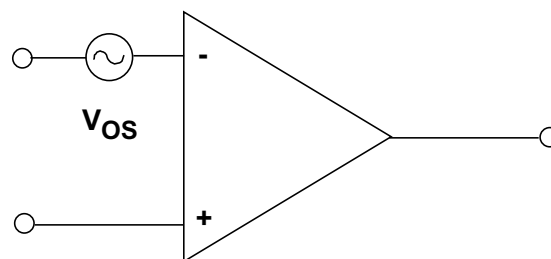
1. Hank Zumbahlen, *Basic Linear Design*, Analog Devices, 2006, ISBN: 0-915550-28-1. Also available as [Linear Circuit Design Handbook](#), Elsevier-Newnes, 2008, ISBN-10: 0750687037, ISBN-13: 978-0750687034. Chapter 1.
2. Walter G. Jung, *Op Amp Applications*, Analog Devices, 2002, ISBN 0-916550-26-5, Also available as [Op Amp Applications Handbook](#), Elsevier/Newnes, 2005, ISBN 0-7506-7844-5. Chapter 1.
- 3.

Copyright 2009, Analog Devices, Inc. All rights reserved. Analog Devices assumes no responsibility for customer product design or the use or application of customers' products or for any infringements of patents or rights of others which may result from Analog Devices assistance. All trademarks and logos are property of their respective holders. Information furnished by Analog Devices applications and development tools engineers is believed to be accurate and reliable, however no responsibility is assumed by Analog Devices regarding technical accuracy and topicality of the content provided in Analog Devices Tutorials.

运算放大器输入失调电压

输入失调电压定义

理想状态下，如果运算放大器的两个输入端电压完全相同，输出应为0 V。实际上，还必须在输入端施加小差分电压，强制输出达到0。该电压称为输入失调电压 V_{os} 。输入失调电压可以看成是电压源 V_{os} ，与运算放大器的反相输入端串联，如图1所示。



- ◆ **Offset Voltage:** The differential voltage which must be applied to the input of an op amp to produce zero output.
- ◆ **Ranges:**
 - Chopper Stabilized Op Amps: <math><1\mu\text{V}</math>
 - General Purpose Precision Op Amps: 50-500 μV
 - Best Bipolar Op Amps: 10-25 μV
 - Best JFET Input Op Amps: 100-1,000 μV
 - High Speed Op Amps: 100-2,000 μV
 - Untrimmed CMOS Op Amps: 5,000-50,000 μV
 - DigiTrim™ CMOS Op Amps: <math><100\mu\text{V}</math>-1,000 μV

图1：典型的运算放大器输入失调电压

斩波稳定型(也称自稳零)运算放大器的 V_{os} 小于1 μV (如[AD8538](#)、[AD8551](#)、[AD8571](#)、[AD8628](#)、[AD8630](#))，最好的精密双极性运算放大器(super-beta或偏置稳定型)的最大失调电压可低至25 μV ([OP177E](#))。最好的调整后JFET输入型运算放大器的失调电压约为100 μV ([AD8610B](#)、[AD8620B](#))，未调整的CMOS运算放大器则为5至50 mV。

但是，ADI DigiTrim™ CMOS运算放大器的失调电压小于100 μV (如[AD8603](#)、[AD8607](#)、[AD8609](#)、[AD8605](#)、[AD8606](#)、[AD8608](#))。“精密”运算放大器的 V_{OS} 一般小于0.5 mV，某些高速放大器可能略差一些。本教程稍后将介绍DigiTrim技术。

输入失调电压漂移与老化效应

输入失调电压随温度变化，其温度系数称为 TCV_{OS} ，更常见的说法是温漂。失调温漂受运算放大器失调调整的影响，但是当双极性输入运算放大器的失调电压降至最低后，温漂可能会低至0.1 $\mu\text{V}/^\circ\text{C}$ ([OP177F](#)的典型值)。对一系列通用精密运算放大器而言，更典型的温漂值范围为1至10 $\mu\text{V}/^\circ\text{C}$ 。大多数运算放大器都有 TCV_{OS} 额定值，但是某些却有第二个最大 V_{OS} 值，并保证在工作温度范围内实现。这样的指标用处不大，因为无法保证 TCV_{OS} 稳定不变或具有单调性。

失调电压还会随时间变化，也称老化。老化通常以 $\mu\text{V}/\text{月}$ 或 $\mu\text{V}/1000\text{小时}$ 来表示，但是可能会有问题。由于老化是一个“醉汉走路”现象，与经过时间的平方根成比例。因此，1 $\mu\text{V}/1000\text{小时}$ 的老化率就会变成大约3 $\mu\text{V}/\text{年}$ (而不是9 $\mu\text{V}/\text{年}$)。

[OP177F](#)的长期稳定性约为0.3 $\mu\text{V}/\text{月}$ 。这是指首次工作30天后的一段时间。除去刚开始工作的一小时，这些器件在最初工作30天内的失调电压变化通常小于2 μV 。

由于自稳零电路会消除所有因老化产生的失调，因此斩波稳定运算放大器的长期稳定性并没有明确规定。

测量输入失调电压

测量几微伏的输入失调电压时，测试电路产生的误差不应比失调电压本身更多。图2所示为测量失调电压的标准电路。该电路以1001的噪声增益放大输入失调电压，测量采用精确数字电压表在放大器输出端完成。折合到输入端(RTI)的失调电压通过输出电压除以噪声增益计算得出。从输入端获得源阻抗较小，因而产生的偏置电流对测量的失调电压的影响可忽略不计。例如，流经10 Ω 电阻的2 nA偏置电流产生的折合到输入端误差为0.02 μV 。

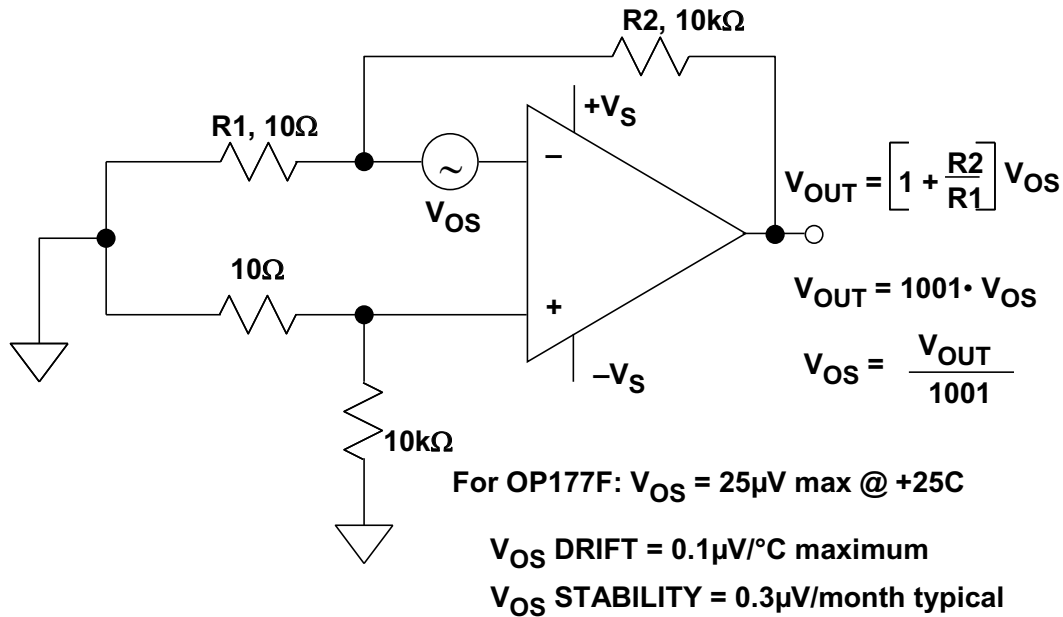


图2：测量输入失调电压

该电路很简单，测试精密运算放大器时，除非小心注意，否则结果会不准确。可能存在的最大误差源来自寄生热电偶结点，这是在两种不同金属连接的时候形成的。该热电偶电压范围可达 $2 \mu\text{V}/^\circ\text{C}$ 至 $40 \mu\text{V}/^\circ\text{C}$ 以上。注意，该电路的同相输入端额外增加了“伪”电阻，目的是精确匹配/平衡反相输入路径中的热电偶结点。

测量精度还取决于元件的机械布局，确切地说，元件在PC板上的位置。记住，电阻等器件的两个连接点会产生两个大小相等、极性相反的热电电压(假定连接至相同金属，例如PC板上的铜走线)。这两个电压会相互抵消，前提是假定两者温度完全相同。连接点整洁和引线长度较短都能够尽可能减小温度梯度，提高测量精度。

应尽可能减小测试电路中的气流，这样所有的热电偶结点就能稳定在同一温度。有些情况下，电路应安放在小型封闭容器中，以消除外部气流的影响。电路应水平放置在某个表面，这样气流就会向上对流，流出电路板顶部，而不是像电路板垂直安放时那样流经元件。

测量整个温度范围的失调电压温漂是一项更加艰巨的挑战。将含有被测放大器的印刷电路板放在采用泡沫隔离的小盒子或塑料袋中，这样就可以防止恒温气流导致寄生热电偶产生温度梯度。如果需要进行冷测试，建议采用干式氮吹。另一种方法是用Thermostream加热器/冷却器对放大器本身采取局部温度循环，但是，这些器件可能会产生相当大的气流，带来麻烦。图2的测试电路通常适用于很多放大器。采用绝对值低的小电阻(如 10Ω)可以尽量减小偏置电流产生的误差。

图3所示是另一种 V_{OS} 测量方法，适合偏置电流较高和/或不相等的情况(如采用电流反馈运算放大器时)。在这种测量方法中，一个仪表放大器通过隔离电阻连接至运算放大器输入端，并为测量提供增益。然后，仪表放大器的失调电压(采用S闭环测量)必须从最终的 V_{OS} 测量值中减去。

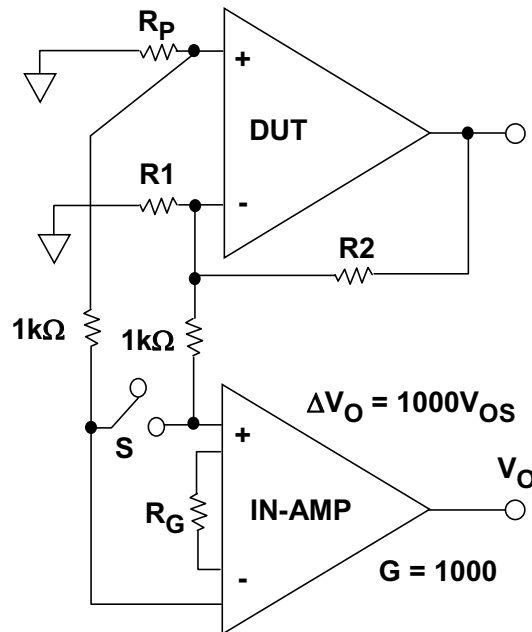
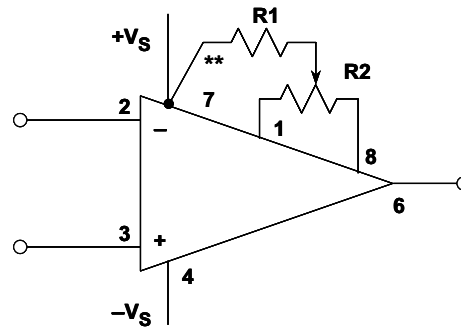


图3: 采用仪表放大器的另一种输入失调电压测量方法

采用“零点校准”引脚调整失调电压

许多单路运算放大器都有供可选失调零点校准使用的引脚。为了使用这项功能，两个引脚应通过电位计连接，游标通过电阻移动到其中一个电源，通常如图4所示。注意，如果游标不慎连接到错误的电源，运算放大器很可能会受损，更换运算放大器类型时，这个问题很常见。运算放大器若设计周全，其失调调整范围不会超过最低等级器件最大 V_{OS} 的两至三倍，从而尽可能降低敏感度。然而，运算放大器失调调整引脚的电压增益实际上可能大于其信号输入端的增益！因此，必须保持这些引脚无噪声。注意，千万不要采用长引线将运算放大器连接至相距较远的零值电位计。



- ◆ ** Wiper connection may be to either $+V_S$ or $-V_S$ depending on op amp
- ◆ R values depend on op amp. Consult data sheet
- ◆ Use to null out input offset voltage, not system offsets!
- ◆ There may be high gain from offset pins to output — Keep them quiet!
- ◆ Nulling offset causes increase in offset temperature coefficient, approximately $4\mu\text{V}/^\circ\text{C}$ for 1mV offset null for FET inputs

图4：失调调整引脚

如上所述，运算放大器随温度产生的失调温漂会根据其失调调整设置发生变化。因此，应当只采用内部调整引脚来调整运算放大器自身的失调，不校正任何系统失调误差，因为这样做会导致温度漂移上升。对每毫伏零点校准失调电压而言，FET输入运算放大器的漂移影响约为 $4\mu\text{V}/^\circ\text{C}$ 。一般而言，最好选择合适的器件/等级来控制失调电压。

失调调整(外部方法)

如果运算放大器没有失调调整引脚(常见的双路运放和所有的四路运放都没有)，但仍然需要调整放大器和系统失调，就可以采用外部方法。如果利用系统可编程电压完成失调调整，这种方法同样也最有效，例如用DAC。

采用反相运算放大器配置时，向反相输入注入电流是最简单的方法，如图5A所示。这种方法的缺点是由于 R_3 和电位计电阻采用并行路径，噪声增益可能会有所上升。要减少由此增加的噪声增益，可将 $\pm V_R$ 设置得足够大，这样 R_3 的值就会远大于 $R_1||R_2$ 。注意，如果电源稳定且无噪声，就可以用作 $\pm V_R$ 。

图5B显示如何通过向同相输入注入小失调电压来调整失调。该电路优于图5A的电路，因为不会增加噪声增益(但是需要增加 R_p)。如果运算放大器与输入偏置电流匹配， R_p 应等于 $R_1||R_2$ (以尽量减小增加的失调电压)。否则， R_p 应小于 $50\ \Omega$ 。如果值较高，建议在高频时将 R_p 进行旁路分流。

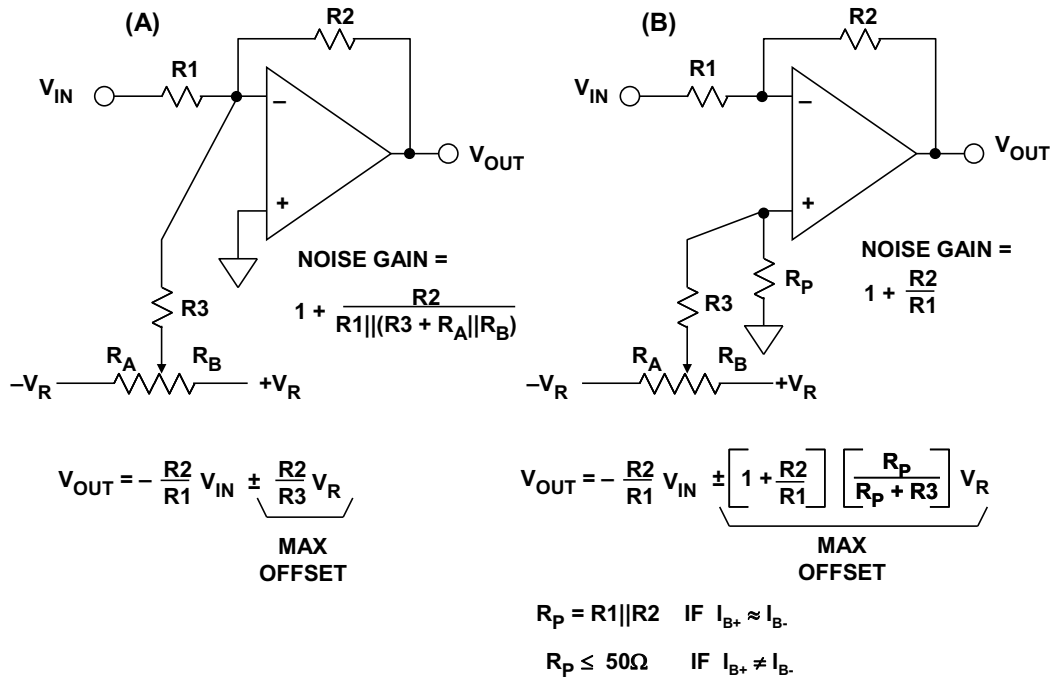


图5: 反相运算放大器外部失调调整方法

在同相模式中使用运算放大器时，可利用图6所示的电路注入小失调电压。该电路在失调较小时效果较好，其中R3可设置为远大于R1。否则就要注意，由于调整了失调电位计，信号增益可能会受到影响。但是，如果R3连接至固定的低阻抗基准电压源 $\pm V_R$ ，增益就能保持稳定。

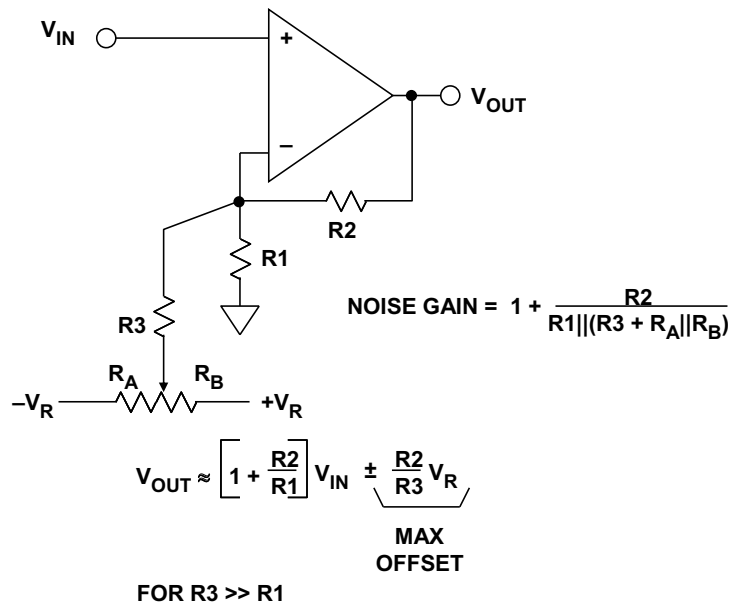


图6: 同相运算放大器外部失调调整方法

失调电压调整过程

DigiTrim™ CMOS运算放大器系列利用数字技术的优势，目的是尽量减小通常与CMOS放大器有关的失调电压。失调电压调整在器件封装好之后完成。数字码输入器件中，根据器件等级将失调电压调整至1 mV以下。不需要进行晶圆测试，ADI公司的专利技术DigiTrim™也不需要额外的引脚来实现该功能。这些器件具有轨到轨输入和输出，NMOS和PMOS并行输入级采用DigiTrim单独进行调整，以尽量减小两对输入输出中的失调电压。图7所示为典型DigiTrim CMOS运算放大器的功能框图。

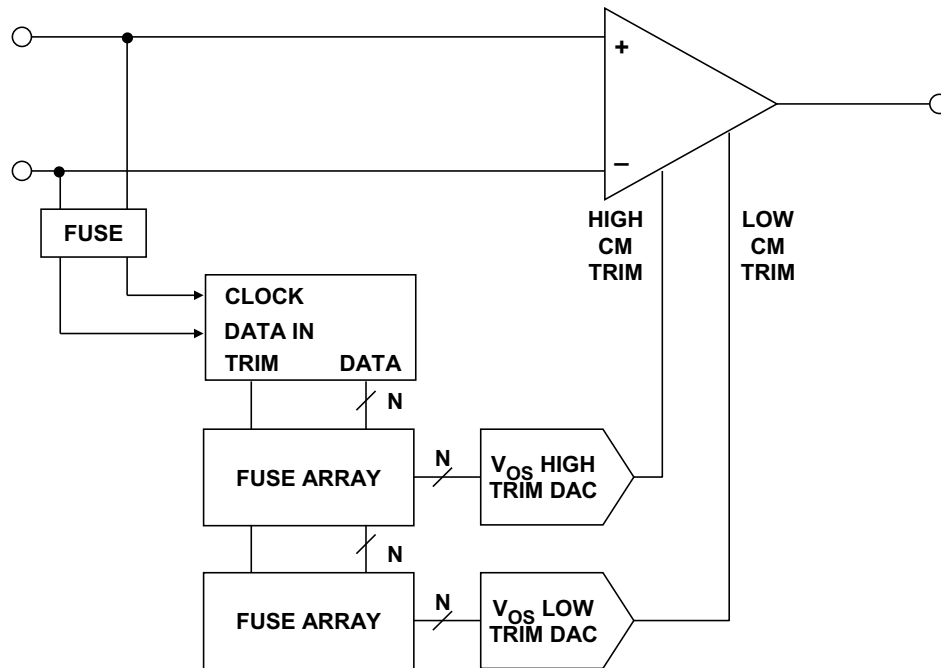


图7：ADI公司用于调整CMOS运算放大器的DigiTrim™技术

DigiTrim通过对数字加权电流源进行编程来调整失调电压。调整信息以特殊的数字序列通过现有的引脚输入。调整值可以暂时先编程、评估，然后经重新调整以实现最佳精度，最后再进行永久调整。调整完成后，调整电路就会闭锁，防止最终用户意外重新调整。

通过熔断晶硅熔丝实现物理调整是一种很可靠的方法，不需要额外的焊盘或引脚，也不需要特殊的测试设备。调整可以在封装后进行，这样就可以消除装配相关漂移。由于芯片产量较高，所以不需要进行晶圆级测试。

第一批采用该新技术的器件是ADI公司的[AD8601](#)、[AD8602](#)、[AD8604](#)（单路、双路、四路）轨到轨CMOS放大器。高低共模情况下都要进行失调调整，从而使失调电压在整个共模输入电压范围内都小于500 μV 。运算放大器的带宽为8 MHz，压摆率为5 V/ μs ，每个放大器的电源电流仅为640 μA 。

[AD8603](#)、[AD8605](#)、[AD8607](#)(单路、双路、四路)系列的最大失调电压在整个共模范围内为50 μV 。增益带宽为400 kHz，每个放大器的电源电流仅为50 μA 。

现在，有必要回顾一下其他常见的调整方法。ADI公司率先在精密放大器、基准电压源、数据转换器和其他线性IC上采用薄膜电阻和激光晶圆调整技术。通过调整，可以实现高达16位的精度，由于薄膜电阻本身具有极佳的温度稳定性，即使不用作调整，也可以增加器件的热稳定性和精度。薄膜沉积和图案成形过程都必须严格控制。激光调整系统也非常昂贵。因为无法进行封装内调整，所以装配相关温漂不易补偿。然而，在需要高精度和稳定性的精密集成电路中，晶圆级薄膜调整可以提供连续的高调整分辨率。

齐纳击穿通过电压使晶体管基极-发射极结点上的金属短路，从而移除某个电路元件。基极-发射极结点通常称为齐纳，但其机制实际上是结点的雪崩击穿。在基极-发射极结点的雪崩击穿过程中，极高的电流密度和局部发热会引起基极和发射极结点之间产生快速金属迁移，导致结点出现金属短路。通过适当的偏置(电流、电压和时间)，短路的电阻值可以变得很低。如果将一系列这样的基极-发射极结点与电阻串并联，击穿选择的结点会使部分电阻串短路，从而调整总电阻值。

封装好的IC中可以进行齐纳击穿调整，以补偿装配相关的失调电压温漂。但是，封装内调整需要额外的封装引脚。另一种晶圆级调整则需要额外的探测点。由于工艺特征减少，探测点不能有效进行调整。因此，调整所需的芯片面积相对稳定，不受工艺尺寸的影响。调整结构中需要某些双极性晶体管，因此，完全基于MOS的工艺可能不具备齐纳击穿能力。这些调整属于分立式调整，因为每次击穿都会减去预定的电阻值。增加调整分辨率需要额外的晶体管和焊盘或引脚，这会大大增加总芯片面积和/或封装成本。该技术对大尺寸工艺而言性价比最高，这种工艺中调整结构和探测点占总芯片面积的比例相对较小。

1975年，在制定[OP07](#)行业标准的过程中，Precision Monolithics公司率先使用了齐纳击穿调整技术。OP07和其它类似器件必须能够采用 $\pm 15\text{ V}$ 以上的电源工作。因此，他们采用相对较大的器件尺寸，以满足高压要求，并且额外的探测点也不会明显增加芯片面积。

联接调整(link trimming)是指采用金属切割或多晶硅联接来去除某个连接。联接调整采用激光或高电流破坏并联电阻元件上的“短路”连接。去除连接可以增加组合元件的有效电阻。激光切割与薄膜激光调整的工作方式类似。激光束的局部高温导致材料发生变化,形成一个不导电区域,从而有效切割金属或导电晶硅连接器。

高电流联接调整法与齐纳击穿的作用相反,前者破坏导电连接,后者则形成导电连接。

联接调整结构往往比激光调整电阻结构更紧凑,通常不需要特殊工艺,但是采用激光切割时,可能必须根据激光的特点定制工艺。采用高电流调整法时,如果芯片产量较高,可能不需要晶圆级测试。激光切割法不需要额外的接触点,但是调整结构不会随着工艺特征尺寸而调整。激光切割联接不能在封装内完成,而且芯片上要有额外的探测点。此外,它还需要有额外的封装引脚进行封装内高电流调整。和齐纳击穿一样,联接调整也是分立式的。分辨率的提高需要额外的结构,会增加面积和成本。

EEPROM调整采用特殊的非易失性数字存储器来存储调整数据。存储的数据位通过片上DAC控制调整电流。

存储器电池和DAC随工艺特征尺寸调整。封装内调整和客户系统内调整都可以实现,从而可以调整消除装配相关漂移。如果芯片产量合适,就不需要进行晶圆级测试。对正常混合信号测试器系统以外进行测试不需要特殊硬件,不过开发测试软件可能比较复杂。

由于调整可以覆写,有可能会定期对系统重新编程,以处理长期漂移,或根据新的要求修改系统特性。重新编程的周期数量可能由工艺决定,而且是有限的。大多数EEPROM工艺都提供足够的覆写周期,以便进行常规重新校准程序。

这种调整方法不需要特殊处理。存储的调整数据在某些情况下可能会丢失,尤其是在工作温度较高时。至少需要一个额外的数字接触点/封装引脚将调整数据输入片上存储器。

该技术可用于基于MOS的工艺,因为氧化物必须很薄。最大的缺点是片上DAC很大——通常大于其调整的放大器电路。因此,EEPROM调整通常用于数据转换器或系统级产品,这种情况下DAC占总芯片面积的比例小得多。

图8总结了每种ADI调整方法的主要特点。可以看出,所有的调整方法都有各自适用的场合,目的是构建高性能线性集成电路。

PROCESS	TRIMMED AT:	SPECIAL PROCESSING	RESOLUTION
DigiTrim™	Wafer or Final Test	None	Discrete
Laser Trim	Wafer	Thin Film Resistor	Continuous
Zener Zap Trim	Wafer	None	Discrete
Link Trim	Wafer	Thin Film or Poly Resistor	Discrete
EEPROM Trim	Wafer or Final Test	EEPROM	Discrete

图8: ADI调整工艺技术总结

参考文献:

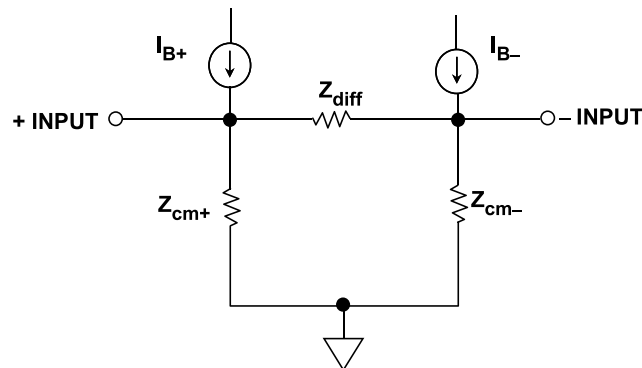
1. Hank Zumbahlen, *Basic Linear Design*, Analog Devices, 2006, ISBN: 0-915550-28-1. Also available as [Linear Circuit Design Handbook](#), Elsevier-Newnes, 2008, ISBN-10: 0750687037, ISBN-13: 978-0750687034. Chapter 1.
2. Walter G. Jung, *Op Amp Applications*, Analog Devices, 2002, ISBN 0-916550-26-5, Also available as [Op Amp Applications Handbook](#), Elsevier/Newnes, 2005, ISBN 0-7506-7844-5. Chapter 1.

Copyright 2009, Analog Devices, Inc. All rights reserved. Analog Devices assumes no responsibility for customer product design or the use or application of customers' products or for any infringements of patents or rights of others which may result from Analog Devices assistance. All trademarks and logos are property of their respective holders. Information furnished by Analog Devices applications and development tools engineers is believed to be accurate and reliable, however no responsibility is assumed by Analog Devices regarding technical accuracy and topicality of the content provided in Analog Devices Tutorials.

运算放大器输入阻抗

电压反馈(VFB)运算放大器输入阻抗

电压反馈(VFB)运算放大器通常具有差模和共模两种指定的输入阻抗。电流反馈(CFB)运算放大器通常在每个输入端将阻抗接地。不同的模型可用于不同的电压反馈运算放大器，在缺少其它信息时，使用如下图1的模型通常比较安全。该模型中，偏置电流从无限阻抗电流源流入输入端。



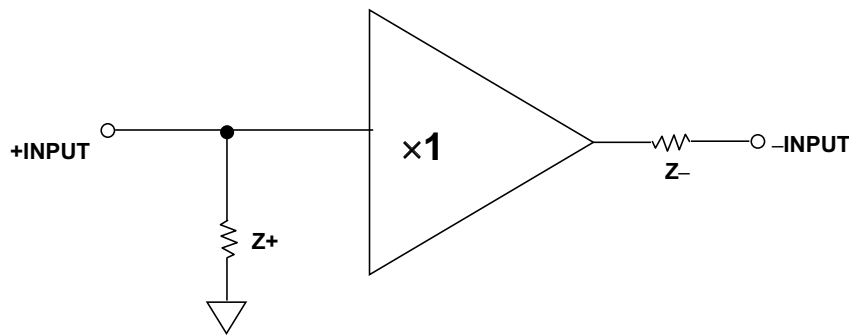
- ◆ Z_{cm+} and Z_{cm-} are the common-mode input impedance. The figure on the data sheet is for one, not both, but they are approximately equal. Z_{diff} is the differential input impedance.
- ◆ They are high resistance ($10^5 - 10^{12}\Omega$) in parallel with a small shunt capacitance (sometimes as high as 25pF).
- ◆ In most practical circuits, Z_{cm-} is swamped by negative feedback.

图1: 输入阻抗(电压反馈运算放大器)

共模输入阻抗数据手册中的规格参数(Z_{cm+} 和 Z_{cm-})是从任一输入至地(不是从两者至地)的阻抗。差分输入阻抗(Z_{diff})是指两个输入之间的阻抗。这些阻抗通常是电阻性的，且阻值较高(10^5 至 $10^{12}\Omega$)，还有一些并联电容(通常为几pF，有时可高达20至25 pF)。大多数运算放大器电路中，反相输入阻抗都通过负反馈降至极低值，起重要作用的只有 Z_{cm+} 和 Z_{diff} 。

电流反馈(CFB)运算放大器输入阻抗

电流反馈运算放大器更加简单，如图2所示。同相输入阻抗 Z_+ 是电阻性的，通常还有一些并联电容，且阻值较高(10^5 至 $10^9 \Omega$)； Z_- 是电抗性的(L或C，具体取决于器件)，但具有10至100 Ω 的阻性元件，根据类型不同而有所变化。



- ◆ Z_+ is high resistance ($10^5 - 10^9 \Omega$) with little shunt capacitance.
- ◆ Z_- is low and may be reactive (L or C). The resistive component is 10-100 Ω .

图2：输入阻抗(电流反馈运算放大器)

运算放大器输入电容

在许多应用中，运算放大器的输入电容都不会造成问题。但是，当源阻抗较高时(如光电二极管前置放大器中)，二极管电容会增大运算放大器输入电容，而且可能需要额外的反馈电容使运算放大器稳定。对高阻抗高频源而言，运算放大器的输入电容应远小于源电容。

FET运算放大器的输入电容会产生二阶效应，尤其是在用于同相模式时。输入共模电压会调制电容，还可能导致失真。为了最大程度地降低该效应，应确保从每个运算放大器输入端获得的源阻抗(阻性与容性元件)相等。

应避免运算放大器反相输入端存在外部杂散电容，尤其是在高速应用中。反相输入周围区域应去除接地层，从而最大程度地减小PC板杂散电容，此外，该引脚的所有连接都应尽量短。如上所述，反相输入电容会在运算放大器频率响应中形成一个额外极点，必须增加反馈电容以起到稳定作用。反馈电容也可以降低总闭环带宽。

在反相模式中，电流反馈运算放大器对杂散电容不太敏感，因为反相输入阻抗开始时较低。但是，在同相模式中，CFB运算放大器反相输入的杂散电容会导致不稳定，应当注意避免。

参考文献：

1. Hank Zumbahlen, *Basic Linear Design*, Analog Devices, 2006, ISBN: 0-915550-28-1. Also available as [Linear Circuit Design Handbook](#), Elsevier-Newnes, 2008, ISBN-10: 0750687037, ISBN-13: 978-0750687034. Chapter 1.
2. Walter G. Jung, [Op Amp Applications](#), Analog Devices, 2002, ISBN 0-916550-26-5, Also available as [Op Amp Applications Handbook](#), Elsevier/Newnes, 2005, ISBN 0-7506-7844-5. Chapter 1.

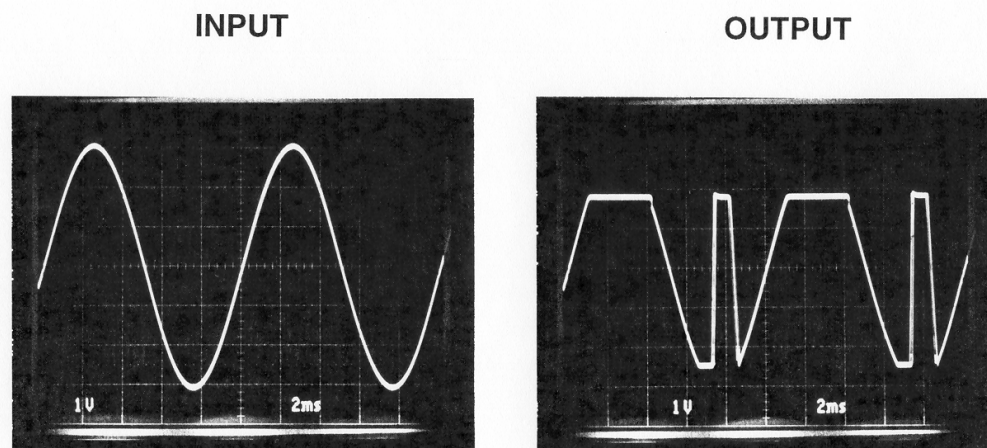
Copyright 2009, Analog Devices, Inc. All rights reserved. Analog Devices assumes no responsibility for customer product design or the use or application of customers' products or for any infringements of patents or rights of others which may result from Analog Devices assistance. All trademarks and logos are property of their respective holders. Information furnished by Analog Devices applications and development tools engineers is believed to be accurate and reliable, however no responsibility is assumed by Analog Devices regarding technical accuracy and topicality of the content provided in Analog Devices Tutorials.

运算放大器输出相位反转和输入过压保护

运算放大器输出电压相位反转

本教程讨论两个与运算放大器相关的话题：输出相位反转和输入过压保护。

超过输入共模电压(CM)范围时，某些运算放大器会发生输出电压相位反转问题。其原因通常是运算放大器的一个内部级不再具有足够的偏置电压而关闭，导致输出电压摆动到相反电源轨，直到输入重新回到共模范围内为止。图1所示为电压跟随器的输出相位反转情况。注意，输入可能仍然在电源电压轨内，只不过高于或低于规定的共模限值之一。这通常发生在负范围，最常发生相位反转的是JFET和/或BiFET放大器，但某些双极性单电源放大器也有可能发生。



VERTICAL SCALE: 1V / div.
HORIZONTAL SCALE: 2ms / div.

图1：电压跟随器的输出电压相位反转

相位反转通常只是暂时现象，但如果运算放大器在伺服环路内，相位反转可能会引起灾难性后果。

运算放大器配置为单位增益电压跟随器时，最有可能发生相位反转。在反相模式下，相位反转不是问题，因为两个输入均恒定不变，并且处于地电位(某些单电源应用中则处于中间电源电压)。

大多数现代运算放大器都会使用电路设计技术来防止相位反转。如果运算放大器能够避免相位反转，其数据手册的“主要特性”部分一般会说明这一点，但“技术规格”部分不一定会说明。

对于“轨到轨”输入运算放大器，输入共模电压包括电源轨，因此，只要输入电压不超过电源轨，运算放大器就不应发生相位反转。

图2显示了AD8625(四通道)、AD8626(双通道)和AD8627(单通道)运算放大器系列的“主要特性”和绝对最大值规格。这些放大器具有JFET输入，采用+5 V单电源供电时，输入共模电压范围为0 V至+3 V(最大值)。“无相位反转”特性意味着：在+3 V至+5 V的共模区间，输出不会发生相位反转。

FEATURES

SC70 package

Very low I_B : 1 pA max

Single-supply operation: 5 V to 26 V

Dual-supply operation: ± 2.5 V to ± 13 V

Rail-to-rail output

Low supply current: 630 μ A/amp typ

Low offset voltage: 500 μ V max

Unity gain stable

No phase reversal

ABSOLUTE MAXIMUM RATINGS

Absolute maximum ratings apply at 25°C, unless otherwise noted.

Table 3. Stress Ratings

Parameter	Ratings
Supply Voltage	27 V
Input Voltage	V_{S-} to V_{S+}
Differential Input Voltage	\pm Supply Voltage
Output Short-Circuit Duration	Indefinite
Storage Temperature Range, R Package	-65°C to +125°C
Operating Temperature Range	-40°C to +85°C
Junction Temperature Range, R Package	-65°C to +150°C
Lead Temperature Range (Soldering, 60 sec)	300°C

图2：AD8625/AD8626/AD8627运算放大器的“主要特性”和绝对最大值规格

某些运算放大器可能仅在输入超过电源轨时出现输出电压相位反转现象。然而，这种情况违反了输入电压的绝对最大值要求，应当避免。如果输入过压情况可能发生，则应增加适当的保护电路。多数情况下，这种保护电路也能起到防止输出电压相位反转的作用，如下文所述

输入过压保护和输出相位反转保护电路

绝对最大额定值是IC运算放大器的电压、电流和温度限值，一旦超出该值，运算放大器就会受损。通常对输入引脚施加过大的电压会破坏或损毁运算放大器。过压状况可以分为两类：过压和静电放电(ESD)。

ESD电压通常高达数千伏。大多数人都有被静电电击的体验。在尼龙地毯上拖着脚走，特别是在干燥环境下，并触摸金属门把手，就有可能被电到，火花从指尖飞出。CMOS电路特别容易因ESD损坏，双极性电路同样可能受损。多数运算放大器的输入引脚内置ESD保护二极管，以便能够在PC板装配阶段处理IC。为使电容和泄漏最小，这些二极管一般很小，不是用来应付数mA以上的持续输入电流。

只要运算放大器的输入共模电压超出其电源范围，即使电源已关闭，运算放大器也可能受损。因此，几乎所有运算放大器的绝对最大输入额定值都将最大输入电压限制在如下电平：正负电源电压加上大约0.3 V(即 $+V_S + 0.3\text{ V}$ 或 $-V_S - 0.3\text{ V}$)。即使规定绝对最大输入电压等于电源电压(如图2所示的情况)，这一经验法则也仍然适用。

虽然可能存在一些例外，但务必注意：当发生超出电源轨0.3 V以上的过压状况时，多数IC运算放大器需要输入保护。

导致故障的原因并非过压本身，而是过压引起的电流会流入输入引脚。如果输入电流不超过5 mA(经验法则)，则不会造成严重破坏。然而，如果输入持续处于过应力状况，偏置电流和失调电压等参数可能会发生变化。因此，过压虽然不一定会损毁运算放大器，但应极力避免。

过压保护措施一般包括在输入引脚与电源之间放置外部二极管，以及增加限流电阻(参见图3)。二极管通常是肖特基二极管，因为其正向电压较低(通常为300 mV，硅二极管则为700 mV)。应用这些保护器件时必须谨慎。某些二极管可能有严重泄漏，额外的漏电流最终会变成运算放大器的偏置电流。某些二极管可能还有相当大的电容，这可能会限制频率响应，对高速放大器的影响尤为严重。此外，外加限流电阻 R_{LIMIT} 会增加噪声。

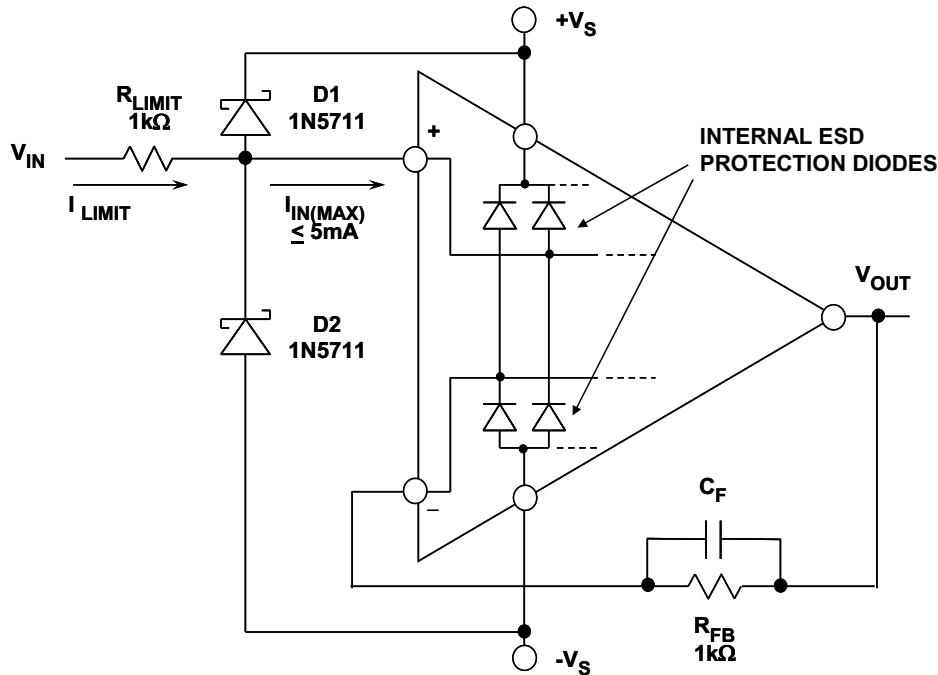


图3：使用肖特基箝位二极管和限流电阻的通用运放过压保护网络

除非数据手册另有说明，运算放大器的输入故障电流应等于或小于5 mA以免受损。这是一个保守的经验法则，基于典型运放输入的金属走线宽度。更高的电流会引起“金属迁移”，这是一种累积效应，如果持续发生的话，最终会导致走线开路。如果存在迁移现象，故障可能需要经过很长时间发生多次过压才会显现，这种故障非常难以发现。因此，即使一个放大器似乎能够短时间承受远高于5 mA的过压电流，也必须将最大电流限制在5 mA(或以下)，以确保长期可靠性。

某些运算放大器，如OP27等，内置保护二极管，但仍然需要限流。如果运算放大器具有保护二极管，它通常会规定最大差分输入电流。原理示意图上也应显示该保护电路。

某些运算放大器的输入还具有背靠背二极管，这不是用于输入过压保护，而是限制差分电压。如果存在这种二极管，差分输入电压将有 ± 700 mV的绝对最大额定值。

图3所示电路是一个通用运算放大器共模保护电路。只要元件选择得当，大量运算放大器的输入都能获得有效保护。注意：运算放大器可能还有连接到电源的内部保护二极管(如图所示)，当正向电压超出或低于相应电源轨大约0.6 V时，该二极管就会导通。但在这种情况下，外部肖特基二极管与内部二极管并联，因而内部单元永远不会达到其阈值。将故障电流转移到外部可以消除潜在的应力，从而保护运算放大器。

外部二极管还能带来其它好处，有些可能不太明显。例如，如果允许故障电流流入运算放大器，则必须选择适当的 R_{LIMIT} ，使得在最差情况的 V_{IN} 下，最大电流不超过5 mA。这一要求可能导致 R_{LIMIT} 值相当大，相关的噪声和失调电压增加可能是设计无法接受的。举例来说，为了预防100 V的 V_{IN} ，根据5 mA要求， R_{LIMIT} 必须大于或等于20 k Ω 。然而，如果有外部肖特基箝位二极管，则 R_{LIMIT} 可以由最大容许的D1-D2电流决定，它可以大于5 mA。不过这里应小心，对于非常高的电流，肖特基二极管压降可能超过0.6 V，从而激活内部运放二极管。

为使失调电压和噪声误差最小，必须使 R_{LIMIT} 的值尽可能低。 R_{LIMIT} 与运算放大器输入端串联，产生一个与偏置电流成比例的压降。如果不校正，此电压将表现为电路失调电压增加。因此，对于偏置电流中等且大致相等的运算放大器(大部分是双极性类型)，补偿电阻 R_{FB} 用于平衡直流失调，使该误差最小。对于低偏置电流运算放大器($I_b \leq 10$ nA或FET型)，有可能不需要 R_{FB} 。为使 R_{FB} 相关噪声最小，应利用一个电容 C_F 将其旁路。

消除输出相位反转

许多情况下，增加合适的 R_{LIMIT} 电阻可以防止输出相位反转。然而，许多运算放大器制造商未必始终能够提供适合防止输出相位反转的 R_{LIMIT} 电阻值。不过，可以通过一组测试以经验来确定该值。通常，防止相位反转的 R_{LIMIT} 电阻值也会通过输入共模箝位二极管来安全地限制故障电流。如果不确定，可以从1 k Ω 的标称值开始测试。

通常而言，FET输入运算放大器只需要限流串联电阻来提供保护，但双极性输入放大器最好同时用限流电阻和肖特基二极管来提供保护(如图3所示的 R_{LIMIT} 和D2)。

输入差分保护

到目前为止的讨论都是关于过压共模状况，它通常与输入级结构固有的PN结正偏有关。过压保护还有一点也同样重要，那就是过大差分电压引起的过压。将过大差分电压施加于某些运算放大器时，可能导致其工作性能降低。

这种性能降低是由“反向结击穿”引发的，这是输入级导通不良的第二种情况，发生在差分过压状况下。然而，对于PN结反向击穿，问题的性质可能更加微妙，图4所示为一个运放输入级的一部分。

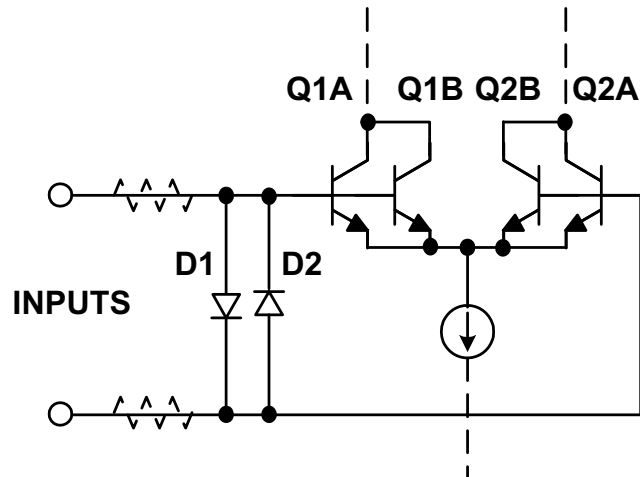


图4: 具有D1-D2输入差分过压保护网络的运算放大器输入级

该电路适用于OP27等低噪声运算放大器，也是许多其它采用低噪声双极性晶体管来构成差分对Q1-Q2的放大器的典型保护电路。如果没有任何保护，可以看出，两个输入间高于大约7 V的电压将导致Q2或Q1(取决于相对极性)反向结击穿。注意，如果是射极-基极击穿，则很小的反向电流也会导致两个晶体管的增益和噪声性能下降。发生射极-基极击穿后，运算放大器参数(如偏置电流和噪声等)可能会超出额定范围。这通常是永久性的，逐渐而微妙地发生，特别是在由瞬变触发的情况下。因此，几乎所有低噪声运算放大器，无论是基于NPN还是PNP，都会采用保护二极管，如输入上的D1-D2等。如果施加的电压超过 ± 0.6 V，这些二极管就会导通，从而保护晶体管。

虚线所示的串联电阻起到限流作用(为保护二极管提供保护)，但所有情况下均未使用。例如，AD797没有这些电阻，因为它们会降低器件的 $1 \text{ nV}/\sqrt{\text{Hz}}$ 额定噪声性能。注意，如果内部缺少这些电阻，则必须提供外部限流措施，以防受差分过压状况影响。显而易见，这里存在一个取舍关系，必须权衡考虑全面保护的程与噪声性能的降幅。注意，应用电路本身可能已在运算放大器输入中提供足够的电阻，因而不需要额外的电阻。

应用低噪声双极性输入级运算放大器时，首先应检查所选器件的数据手册，看它是否具有内部保护。需要时，应增加保护二极管D1-D2(如果运算放大器没有内置)，确保避免Q1-Q2射极-基极击穿。如果应用中运算放大器经历的差分瞬变高于5 V，这些二极管应能处理。普通的低电容二极管足以胜任，如1N4148系列。视需要增加限流电阻，以便将二极管电流限制在安全水平。

其它IC器件结，如基极-集电极和JFET栅极-源极结等，在击穿时不会表现出这样的性能降低。对于这些结，输入电流应以5 mA为限，除非数据手册另有规定。

运算放大器和仪表放大器的这些不同过压防范措施看起来很复杂，事实上也的确如此！只要运算放大器(或仪表放大器)输入(和输出)超出设备边界条件，就可能发生危险情况或器件损毁。显然，为了实现最高可靠性，必须防患于未然。

幸运的是，大多数应用都是完全内置于设备中，通常看到的是采用同一电源系统的其它IC的输入和输出。因此，这种情况下一般不需要箝位和保护方案。

图5总结了过压考虑事项。

- ◆ **INPUT VOLTAGES MUST NOT EXCEED ABSOLUTE MAXIMUM RATINGS**
(Usually Specified With Respect to Supply Voltages)
- ◆ **Requires $V_{IN(CM)}$ Stay Within a Range Extending to $\leq 0.3V$ Beyond Rails**
($-V_S - 0.3V \geq V_{IN} \leq +V_S + 0.3V$)
- ◆ **IC Input Stage Fault Currents *Must* Be Limited**
($\leq 5mA$ Unless Otherwise Specified)
- ◆ **Avoid Reverse-Bias Breakdown in Input Stage Junctions!**
- ◆ **Differential and Common Mode Ratings Often Differ**
- ◆ **No Two Amplifiers are Exactly the Same**
- ◆ **Watch Out for Output Phase-Reversal in JFET and SS Bipolar Op Amps!**
- ◆ **Some ICs Contain *Internal* Input Protection**
 - Diode Voltage Clamps, Current Limiting Resistors (or both)
 - Absolute Maximum Ratings Must Still Be Observed

图5：电路内过压考虑事项汇总

采用高共模电压仪表放大器的共模过压保护

在精密运算放大器之前进行阻性输入衰减，是模拟通道过压保护的终极简化方案。这一组合相当于一个支持高压的仪表放大器，如AD629等，它能够以线性方式对叠加于最高 $\pm 270 V$ 共模电压的差分信号进行处理。此外，过压保护考虑最重要的一点是，片内电阻能够为最高 $\pm 500 V$ 的共模或差分电压提供保护。所有这些都是通过精密激光调整薄膜电阻阵列和运算放大器实现，如图6所示。

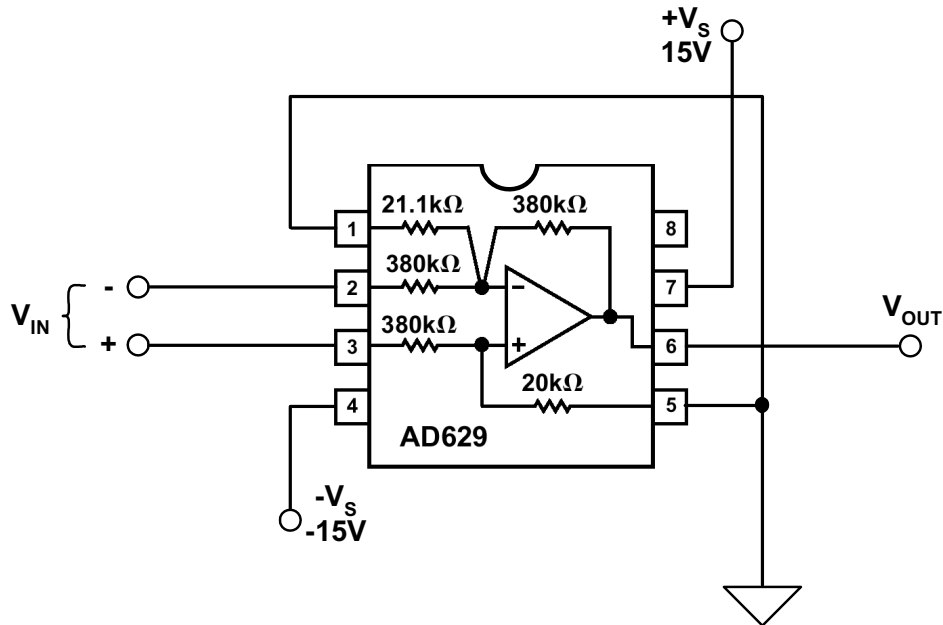


图6：高压仪表放大器IC AD629提供± 500 V输入过压保护；仅采用单个器件，极其简单，并且实现了防故障关断操作

分析该拓扑结构可知，精密运算放大器AD629周围的阻性网络充当一个分压器，将施加于 V_{IN} 的共模电压降低20倍。AD629同时以单位增益将输入差模信号 V_{IN} 转换成以本地接地为基准的单端输出信号。增益误差不超过 $\pm 0.03\%$ 或 $\pm 0.05\%$ ，失调电压不超过0.5 mV或1 mV（取决于器件等级）。AD629的电源电压范围是 $\pm 2.5\text{ V}$ 至 $\pm 18\text{ V}$ 。

这些因素相结合，使AD629成为可能经受危险瞬变电压的卡外模拟输入的简便、单器件保护解决方案。由于所用的电阻值相对较大，因此它本身就能保护器件，在不加电情况下，输入电阻也能安全地限制故障电流。此外，它还提供仪表放大器固有的运作优势：高CMR(500Hz时最小值86 dB)、出色的整体直流精度和灵活、简单的极性变化。

对性能不利的一面是，与较低增益的仪表放大器配置相比，如AMP03等，多个因素使得AD629的输出噪声和漂移相对较高，包括高值电阻的约翰逊噪声和拓扑结构的高噪声增益(21倍)。这些因素与电阻噪声共同提高运算放大器的噪声和漂移，提高幅度高于典型值。当然，这个问题是否与具体应用有关，需要根据具体情况进行评估。

内置过压保护的ADA4091-2运算放大器

ADA4091-2是一款双通道、微功耗、单电源、3 MHz带宽放大器，具有轨到轨输入与输出特性。ADA4091-2保证可采用+3 V至+36 V单电源供电以及±1.5 V至±18 V双电源供电。ADA4091-2拥有过压保护输入和二极管，允许输入电压高于或低于供电轨12 V，非常适合鲁棒的工业应用。

具体应用包括便携式电信设备、电源控制与保护、分流检测，以及具有宽输出范围的传感器接口。

参考文献：

1. Hank Zumbahlen, *Basic Linear Design*, Analog Devices, 2006, ISBN: 0-915550-28-1. Also available as [Linear Circuit Design Handbook](#), Elsevier-Newnes, 2008, ISBN-10: 0750687037, ISBN-13: 978-0750687034. Chapters 1 and 11.
2. Walter G. Jung, [Op Amp Applications](#), Analog Devices, 2002, ISBN 0-916550-26-5, Also available as [Op Amp Applications Handbook](#), Elsevier/Newnes, 2005, ISBN 0-7506-7844-5. Chapter 7.

Copyright 2009, Analog Devices, Inc. All rights reserved. Analog Devices assumes no responsibility for customer product design or the use or application of customers' products or for any infringements of patents or rights of others which may result from Analog Devices assistance. All trademarks and logos are property of their respective holders. Information furnished by Analog Devices applications and development tools engineers is believed to be accurate and reliable, however no responsibility is assumed by Analog Devices regarding technical accuracy and topicality of the content provided in Analog Devices Tutorials.

采样保持放大器

引言和历史回顾

采样保持放大器或SHA是大部分数据采集系统的关键组成部分，它捕捉模拟信号并在某些操作(最常见的是模数转换)中保持信号不变。SHA对相关电路的要求非常高，电容和印刷电路板等普通组件的某些特性可能会意想不到地降低SHA性能。

当SHA配合ADC使用时(外置或内置)，SHA性能对该组合的整体动态性能至关重要，在确定系统的SFDR、SNR等参数方面起着重要作用。

虽然今天的SHA功能已经集成到采样ADC中，但了解其基本工作原理对于了解ADC动态性能十分重要。

当采样保持器处于采样(或跟踪)模式时，输出跟随输入而变化，二者之间仅存在很小的电压偏差。但也有输出在采样模式下不完全跟随输入的SHA，其输出仅在保持期间是精确的(如[AD684](#)、[AD781](#)和[AD783](#))。本文不考虑这种情况。严格来说，具有良好跟踪性能的采样保持器应被称为跟踪保持电路，但在实际应用中，这些术语可以互换使用。

SHA的最常见应用是在数据转换期间将ADC的输入保持为恒定值。对于许多(但不是全部)类型的ADC，为避免转换过程被破坏，转换期间输入的变化不得大于1 LSB，这就对此类ADC设置了非常低的输入频率限值，或者要求采用SHA以保持每次转换期间的输入不变。

回顾历史，一个有趣的事实是：A. H. Reeves在其著名的PCM专利(1939，参考文献1)中描述了一个5位6 kSPS计数ADC，模拟输入信号直接驱动一个真空管脉宽调制器(PWM)，采样功能集成于PWM中。贝尔实验室对PCM进行了后续研究工作，引入了电子束编码器管和逐次逼近型ADC。参考文献2 (1948)描述了一个基于脉冲变压器驱动电路的配套50 kSPS真空管采样保持电路。

在1950年代后期和1960年代早期，随着晶体管取代真空管，人们更加关注ADC所用的采样保持电路。1964年，贝尔实验室的Gray和Kitsopolos发表了最早对固态采样保持器产生的误差进行分析的文章之一(参考文献3)。贝尔实验室的Edson和Henning描述了在一个224 Mbps PCM系统上进行实验的结果，该系统包括一个9位ADC和一个配套的12 MSPS采样保持器。参考文献4、5和6是1960年代和1970年代早期采样保持电路研究成果的代表之作。

1969年，ADI公司新收购的Pastoriza部门率先推出商用采样保持器SHA1和SHA2。电路在PC板上实现，SHA1达到0.01%的采集时间为2 μ s，功耗0.9 W，成本约为\$225；SHA2速度更快，达到0.01%采集时间为200 ns，功耗1.7 W，成本约为\$400。两款器件专门配合同样在PC板上实现的12位逐次逼近型ADC工作。

模块化和混合技术迅速淘汰了PC板采样保持器，而随着IC ADC的上市，如工业标准AD574等，对采样保持器的需求渐增。上世纪70年代和80年代早期，系统设计师购买独立的采样保持器来驱动此类ADC是相当普遍的现象，因为当时的工艺技术还无法将它们集成在同一芯片上。IC SHA，如AD582(0.01%采集时间为4 μ s)、AD583(0.01%采集时间为6 μ s)和AD585(14位精度的采集时间为3 μ s)等，服务于上世纪70年代和80年代的低速市场。

混合SHA，如HTS-0025(0.1%采集时间为25 ns)、HTC-0300(0.01%采集时间为200 ns)和AD386(16位精度的采集时间为25 μ s)等，则服务于高速高端市场。到1995年，ADI公司针对各种应用推出了大约20款采样保持产品，包括下列高速IC：AD9100/AD9101(0.01%采集时间为10 ns)、AD684(四通道、0.01%采集时间为1 μ s)和AD783(0.01%采集时间为250 ns)。

然而，同时期的ADC技术迅猛发展，许多ADC都已内置SHA(即采样ADC)，因而更容易指定，当然也更容易使用。新工艺的开发，包括高速互补双极性工艺和先进的CMOS工艺，使得集成SHA功能成为可能。事实上，现在(2003年)采样ADC已经非常普及并大受欢迎，很少有人需要独立的SHA。

除了尺寸更小、成本更低和外部元件更少等明显的优势以外，采样ADC还有一个重要优势，那就是整体直流和交流性能已完全明确，设计人员不必像对待分立ADC与分立SHA的组合那样需要确保不存在的指标、接口或时序问题。当考虑SFDR和SNR等动态特性时，这一优势尤为可贵。

SHA绝大部分时候是与ADC一起使用，但偶尔也会用于DAC限变器、峰值检波器、模拟延迟电路、同步采样系统和数据分配系统。

SHA基本工作原理

无论SHA的电路细节或类型如何，所有此类器件都包括四个主要部分：输入放大器、能量存储元件(电容)、输出缓冲器和开关电路，如图1的典型配置所示。

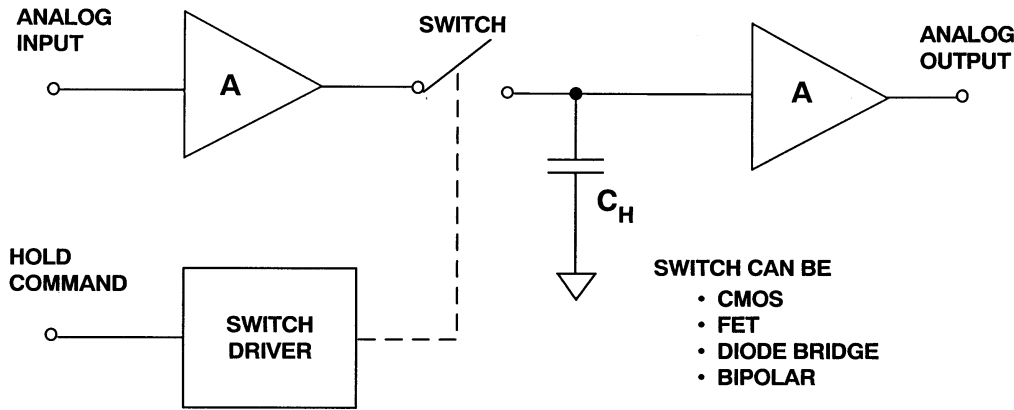


图1: 基本采样保持电路

能量存储元件(SHA的核心)是电容。输入放大器缓冲输入, 向信号源提供高阻抗, 并提供电流增益来给保持电容充电。在跟踪模式下, 保持电容上的电压跟随(或跟踪)输入信号(有一定的延迟和带宽限制)。在保持模式下, 开关断开, 电容保持与输入缓冲器断开连接之前存在的电压。输出缓冲器向保持电容提供高阻抗, 防止保持电压过早放电。开关电路及其驱动器构成SHA交替处于跟踪和保持模式的切换机制。

描述SHA基本操作的规格有四组: 跟踪模式、跟踪转保持、保持模式、保持转跟踪。图2总结了这些规格, 图3以图解方式显示了SHA的一些误差源。由于每种模式同时涉及到直流和交流性能, 因此要正确指定SHA并了解其在系统中的操作是一件很复杂的事情。

SAMPLE MODE	SAMPLE-TO-HOLD TRANSITION	HOLD MODE	HOLD-TO-SAMPLE TRANSITION
STATIC: ◆ Offset ◆ Gain Error ◆ Nonlinearity	STATIC: ◆ Pedestal ◆ Pedestal Nonlinearity	STATIC: ◆ Droop ◆ Dielectric ◆ Absorption	
DYNAMIC: ◆ Settling Time ◆ Bandwidth ◆ Slew Rate ◆ Distortion ◆ Noise	DYNAMIC: ◆ Aperture Delay Time ◆ Aperture Jitter ◆ Switching Transient ◆ Settling Time	DYNAMIC: ◆ Feedthrough ◆ Distortion ◆ Noise	DYNAMIC: ◆ Acquisition Time ◆ Switching Transient

图2: 采样保持器规格

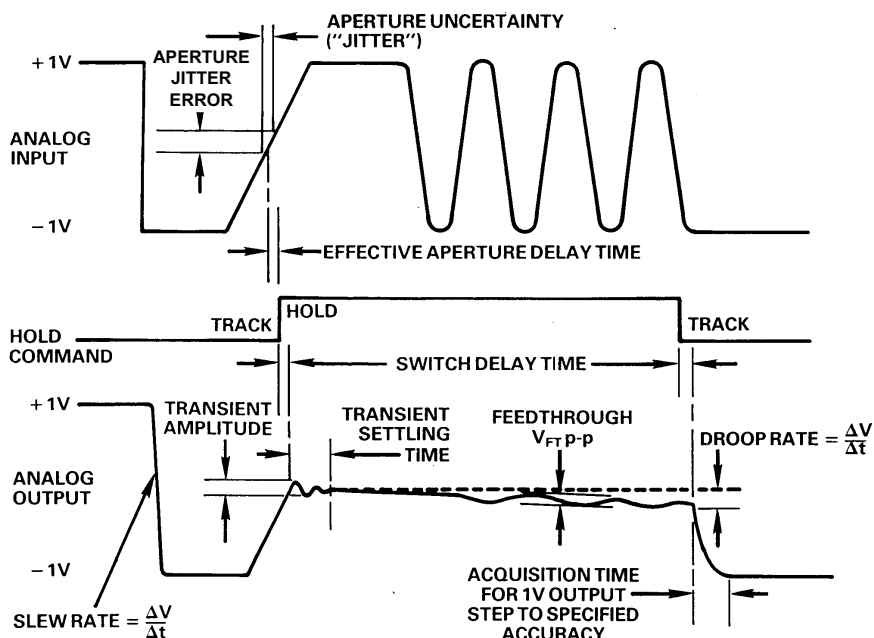


图3: 采样保持器的一些误差源

跟踪模式规格

在采样(或跟踪)模式下, SHA只是一个放大器, 因此这种模式下的静态和动态特性与任何其它放大器相似。(在跟踪模式下性能下降的SHA一般仅指定保持模式下的特性。)跟踪模式下的主要规格包括: 失调、增益、非线性、带宽、压摆率、建立时间、失真和噪声。然而, 失真和噪声在跟踪模式下一般不如在保持模式下重要。

跟踪转保持模式规格

当SHA从跟踪切换到保持时, 由于开关的非理想特性, 一般会有少量电荷释放在保持电容上。这会导致保持模式直流失调电压, 称为基底误差, 如图4所示。如果SHA驱动ADC, 基底误差表现为直流失调电压, 可以通过系统校准予以消除。如果基底误差与输入信号电平相关, 则由此产生的非线性会增加保持模式下的失真。

通过提高保持电容的值, 相应地延长采集时间并降低带宽和压摆率, 可以减小基底误差。

从跟踪切换到保持会产生瞬变, SHA输出建立到额定误差带范围以内所需的时间称为保持模式建立时间。偶尔也会规定开关瞬变的峰值幅度。

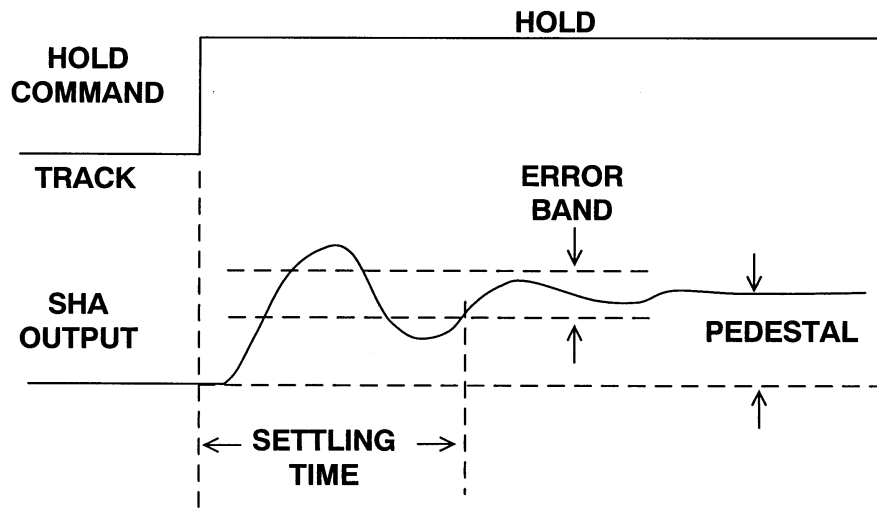


图4: 跟踪转保持模式的基底、瞬变和建立时间误差

在SHA的技术规格中，误解最深、滥用最多的可能是那些包含“孔径”的规格。SHA最基本的动态特性是它能够快速断开保持电容与输入缓冲放大器的连接，这一动作所需的极短(但非零)时间间隔称为孔径时间。SHA内部时序的各种相关量如图5所示。

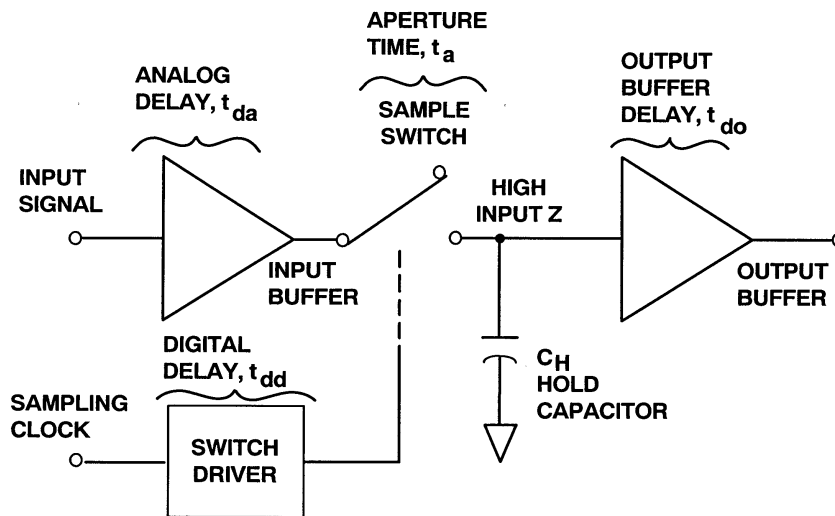


图5: 说明内部时序的SHA电路

此间隔结束时保持电压的实际值取决于输入信号和开关操作本身引入的误差。图6显示对一个任意斜率的输入信号应用保持命令时的情况(为清楚起见,忽略采样保持基底和开关瞬变)。最终保持的值是输入信号的延迟版本,并且是开关孔径时间范围内的平均值,如图6所示。该一阶模型假设,保持电容上的最终电压值约等于应用于开关的信号在开关从低阻抗变为高阻抗的时间间隔(t_a)内的平均值。

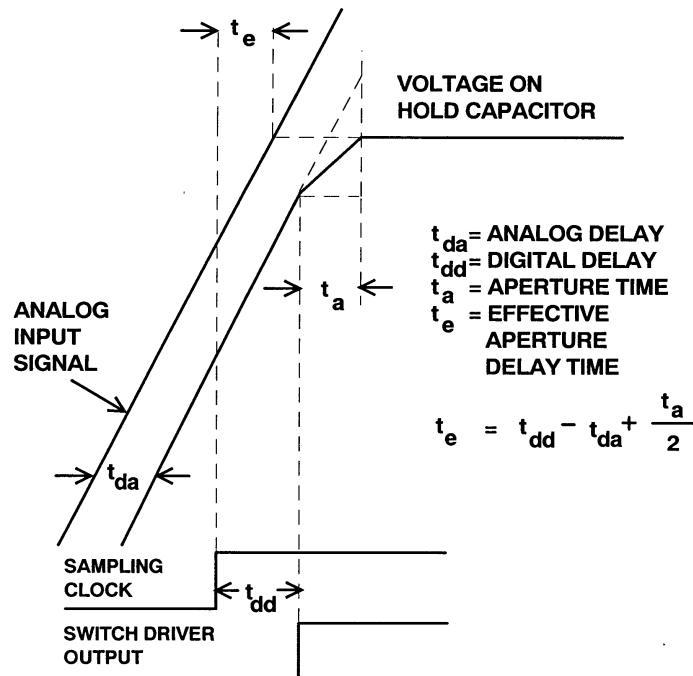


图6: SHA波形

该模型显示,开关断开所需的有限时间(t_a)相当于在驱动SHA的采样时钟中引入一个小延迟。此延迟为常数,可以是正值,也可以是负值,称它为有效孔径延迟时间、孔径延迟时间或孔径延迟(t_e),定义为前端缓冲器的模拟传播延迟(t_{da})与开关驱动器数字延迟(t_{dd})的时间差加上孔径时间的一半($t_a/2$)。有效孔径延迟时间通常为正值,但如果孔径时间的一半($t_a/2$)与开关数字延迟(t_{dd})之和小于通过输入缓冲器的传播延迟(t_{da}),则它也可以是负值。因此,孔径延迟规格确定了输入信号相对于采样时钟沿的实际采样时间。

孔径延迟时间可以通过如下方法来测量:对SHA应用一个双极性正弦波信号,然后调整同步采样时钟延迟时间,使得SHA的输出在保持期间为0,输入采样时钟沿与输入正弦波实际零交越点之间的相对延迟即为孔径延迟时间,如图7所示。

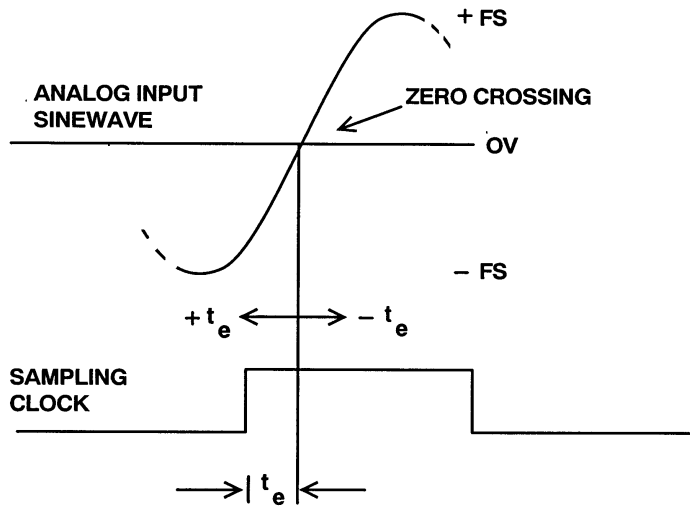


图7: 有效孔径延迟时间

孔径延迟不产生误差，但会在采样时钟输入或模拟输入(取决于其符号)中起固定延迟作用。如果孔径延迟中存在样本间变化(孔径抖动)，则会产生相应的电压误差，如图8所示。在开关断开的时刻，这种样本间变化称为孔径不确定性或孔径抖动，通常用均方根皮秒(ps rms)来衡量。相应输出误差的幅度与模拟输入的变化速率有关。针对既定的孔径抖动值，孔径抖动误差随着输入 dv/dt 提高而提高。

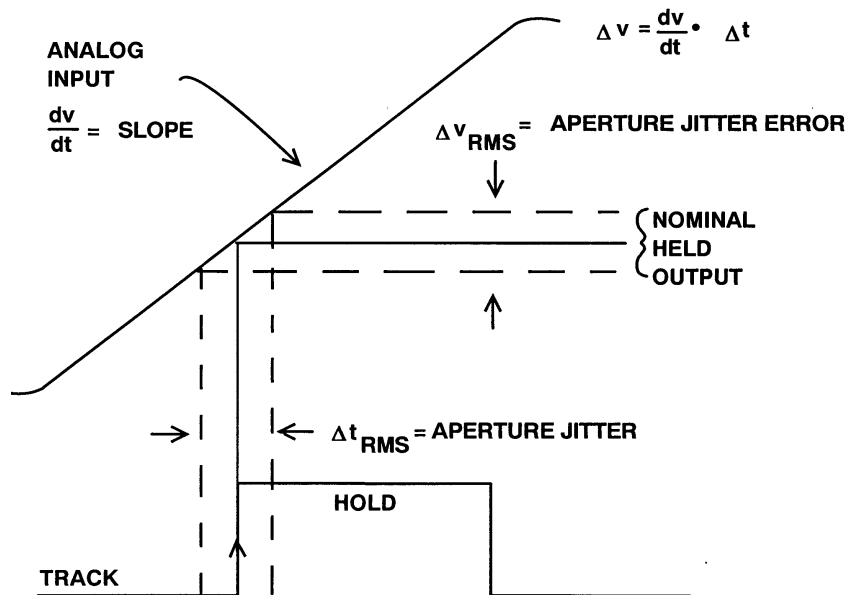


图8: 孔径或采样时钟抖动对SHA输出的影响

测量SHA的孔径抖动误差需要无抖动的采样时钟和模拟输入信号源，因为这些信号上的抖动无法与SHA孔径抖动本身区别开来，抖动的影响是相同的。事实上，系统中的最大时序抖动误差源往往在SHA(或采样ADC)之外，由于高噪声或不稳定的时钟、信号布线不当以及没有采用良好的接地和去耦技术而导致。SHA孔径抖动一般小于50 ps rms，高速器件则小于5 ps rms。关于测量ADC孔径抖动的详细说明，请参阅参考文献11的第5章。

图9显示了总采样时钟抖动对数据采样系统信噪比(SNR)的影响。总均方根抖动由多个部分组成，实际SHA孔径抖动常常是最不重要的一个部分。

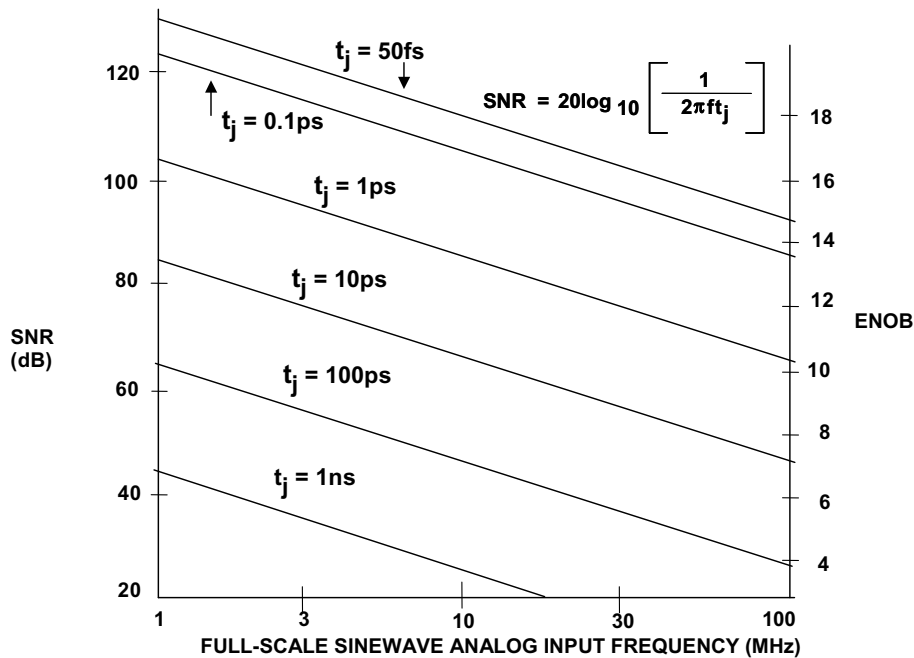


图9：采样时钟抖动对SNR的影响

保持模式规格

在保持模式下，保持电容、开关和输出放大器的缺陷会引起误差。如果有漏电流流入或流出保持电容，电容会缓慢充电或放电，其电压将发生图10所示的变化，这种效应称为SHA输出电压下降，用V/ μs 表示。压降可能由污秽PC板的泄漏(使用外部电容时)或易泄漏的电容引起，但最常见的原因是半导体开关的漏电流和输出缓冲放大器的偏置电流。可以接受的压降值是：在它驱动的ADC转换期间，SHA的输出变化幅度不超过 $\frac{1}{2}$ LSB；但该值高度依赖于ADC架构。如果压降是由反偏结(CMOS开关或FET放大器栅极)的漏电流引起，则芯片温度每升高 10°C ，它就会提高一倍，这意味着从 $+25^\circ\text{C}$ 到 $+125^\circ\text{C}$ ，压降会提高1000倍。

通过提高保持电容的值可以降低压降，但这也会延长采集时间并降低跟踪模式下的带宽。在作为ADC一部分的现代IC采样保持电路中，常常利用差分技术来减小压降效应。

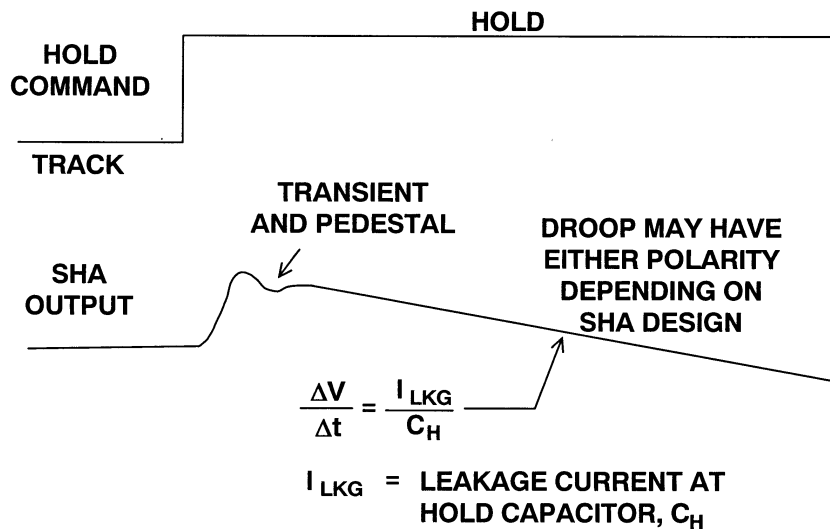
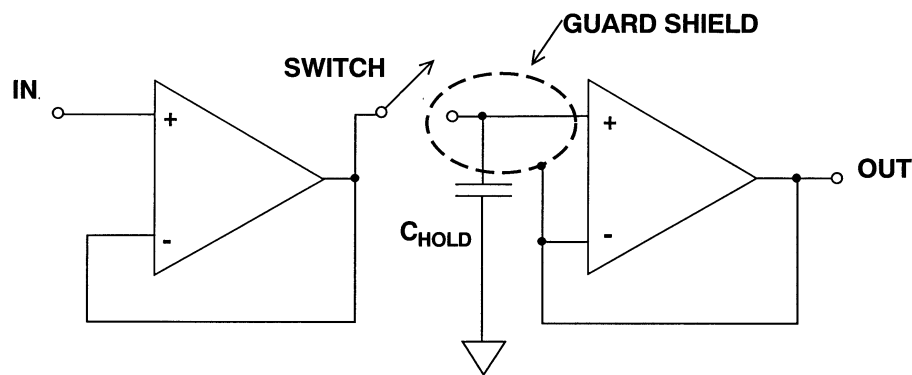


图10: 保持模式压降

当SHA使用小保持电容时，即使很小的漏电流也可能引起严重的压降。PCB的漏电流可以通过巧妙地使用保护环而最小化。保护环是一个由导体构成的环，它包围一个敏感节点并处于等电位。由于其间没有电压，因此不会有漏电流流动。在同相应用中，如图11所示，必须将保护环驱动到正确的电位，但虚地上的保护环可以处于实际的地电位(图12)。PCB材料的表面电阻远低于其体电阻，因此PCB两端必须都放上保护环；在多层板上，所有层都应当有保护环。



Note: Be Sure a Guard Shield is in Each Layer of the PCB

图11: 用与保持电容相同的电压驱动防护罩以降低电路板泄漏

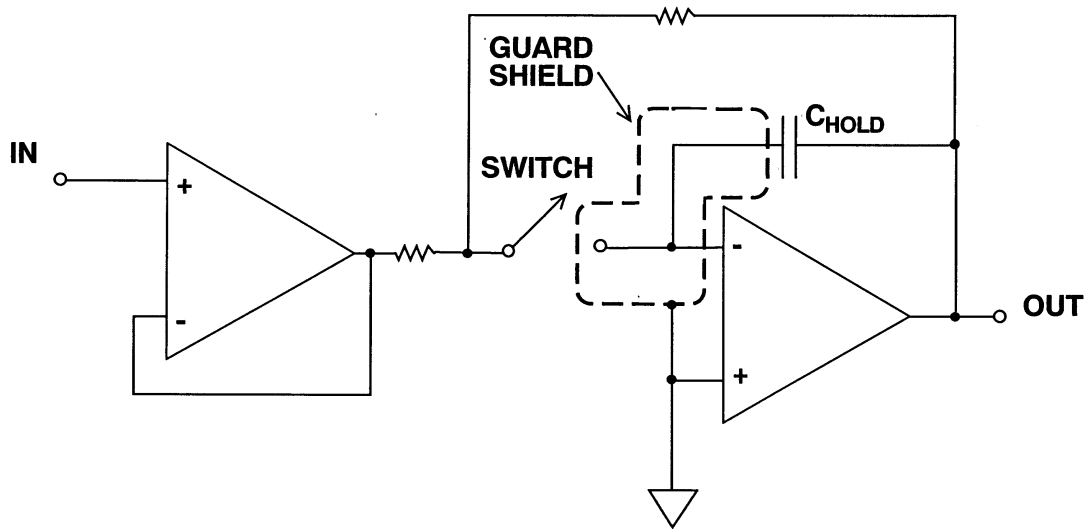


图12: 在虚地SHA设计上使用防护罩

SHA保持电容的泄漏必须很低，但还有一个特性也同样重要，这就是“低电介质吸收”。如果一个电容充电、放电然后开路，它会恢复一些电荷，如图13所示。这种现象称为“电介质吸收”，它会导致上一个样本的残余部分污染新样本，并且可能引入数十甚至数百mV的随机误差，因此可能会使SHA的性能严重降低。

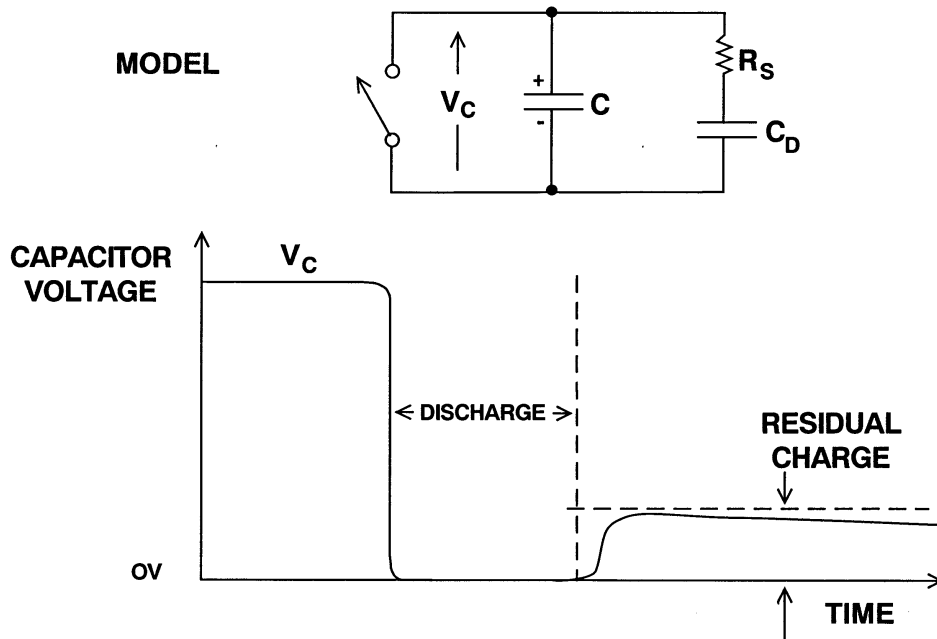


图13: 电介质吸收

不同的电容材料具有不同的电介质吸收量，电介质电容最糟糕(泄漏也很高)，某些高K陶瓷电容也很差，但云母、聚苯乙烯和聚丙烯电容一般较好。遗憾的是，产品批次不同，电介质吸收也会有所不同，有时连聚苯乙烯和聚丙烯电容也可能受批次影响。因此，购买用于SHA应用的电容时，增加30-50%的预算是明智的，并且应当购买制造商保证它具有低电介质吸收的器件，而不是购买一般认为它具有这种特性的某类电容。

SHA的杂散电容可能会让少量交流输入在保持期间耦合到输出，这种效应称为“馈通”，取决于输入频率和幅度。如果馈通到SHA输出的信号幅度大于 $\frac{1}{2}$ LSB，ADC就会发生转换错误。

许多SHA中，失真仅在跟踪模式下规定。跟踪模式失真常常远优于保持模式失真。跟踪模式失真不包括开关网络引起的非线性，当驱动ADC时，可能无法反映SHA的性能。现代SHA，特别是高速SHA，通常规定两种模式下的失真。跟踪模式失真可以利用模拟频谱分析仪测量，但保持模式失真应当利用图14所示的数字技术进行测量。将一个频谱纯净的正弦波应用于SHA，一个低失真高速ADC在保持时间快要结束时对SHA输出进行数字化。然后对ADC输出执行FFT分析，并计算失真成分。

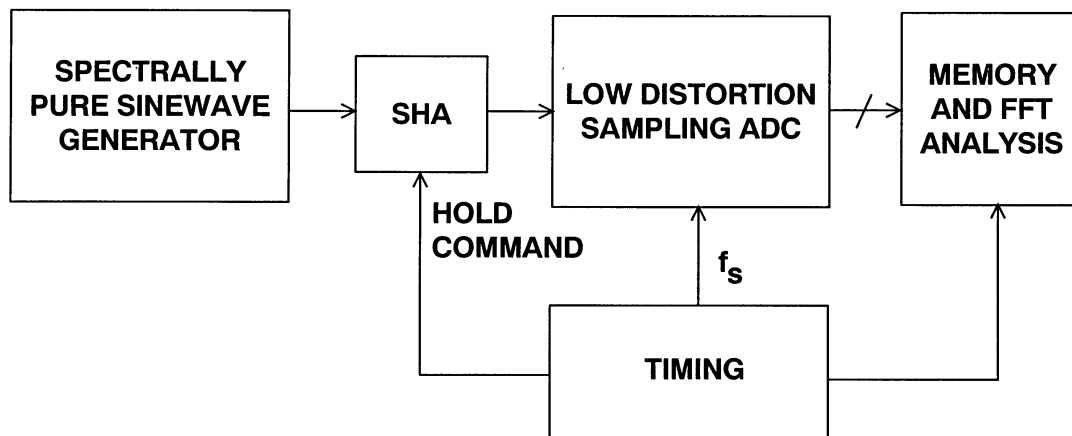


图14：测量保持模式失真

在跟踪模式下，SHA噪声的规定和测量与放大器相似。峰峰值保持模式噪声利用示波器测量，然后除以6.6转换成均方根值。保持模式噪声可以用频谱密度(nV/\sqrt{Hz})来表示，或者用额定带宽内的均方根值来表示。除非另有说明，保持模式噪声必须与跟踪模式噪声合并以得出总输出噪声。有些SHA规定的是总输出保持模式噪声，其中包括跟踪模式噪声。

保持转跟踪模式规格

当SHA从保持切换到跟踪时，它必须重新获取输入信号(输入信号在保持模式期间可能已经发生满量程跃迁)。“获取时间”是指SHA从保持切换到跟踪时，重新获取信号并达到目标精度所需的时间间隔。该时间间隔开始于采样时钟沿的50%点，结束于SHA输出电压落在额定误差带以内时(通常规定0.1%和0.01%时间)。某些SHA还规定相对于保持电容电压的获取时间，而忽略输出缓冲器的延迟和建立时间。保持电容获取时间规格适用于高速应用，在这种应用中，必须为保持模式分配可能的最长时间。当然，输出缓冲器建立时间必须显著小于保持时间。

获取时间可以利用现代数字采样示波器(DSO)或数字荧光示波器(DPO)直接测量，这些示波器对大过驱不敏感。

SHA架构

像运算放大器一样，SHA架构有许多种，我们将讨论最常见的几种架构。最简单的SHA结构如图15所示。输入信号由放大器缓冲，然后施加于开关。输入缓冲器可以是开环或闭环，可以提供或不提供增益。开关可以是CMOS、FET或双极性(使用二极管或晶体管)，由开关驱动器电路控制。保持电容上的信号由输出放大器缓冲。有时将这种架构称为开环架构，因为开关不在反馈环路之内。注意，全部信号电压均施加于开关，因此它必须具有出色的共模特性。

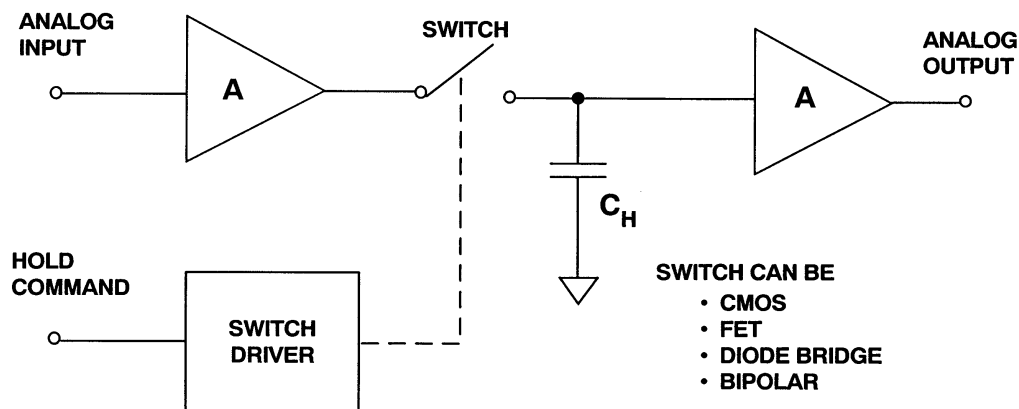


图15: 开环SHA架构

图16显示了这种架构的一个实现方案，其中开关使用简单的二极管桥。在跟踪模式下，电流流经二极管桥D1、D2、D3和D4。对于快速压摆的输入信号，保持电容通过电流I充电和放电。

因此，保持电容的最大压摆率等于 I/C_H 。使电桥驱动电流反向会导致电桥反向偏置，从而将电路置于保持模式。利用保持输出信号自举关闭脉冲可以使共模失真误差最小，这对于该电路至关重要。反偏电桥电压等于D5和D6的正向压降加上串联电阻R1和R2上的压降。该电路速度非常快，特别是如果输入和输出缓冲器为开环跟随器，并且二极管为肖特基二极管。关闭脉冲可以利用高频脉冲变压器或电流开关产生，如图17所示。该电路可以在任何采样速率下使用，因为二极管开关脉冲直接耦合到电桥。自上世纪60年代中期起，这种电路的不同形式就已用于高速PC板、模块式、混合和IC SHA。

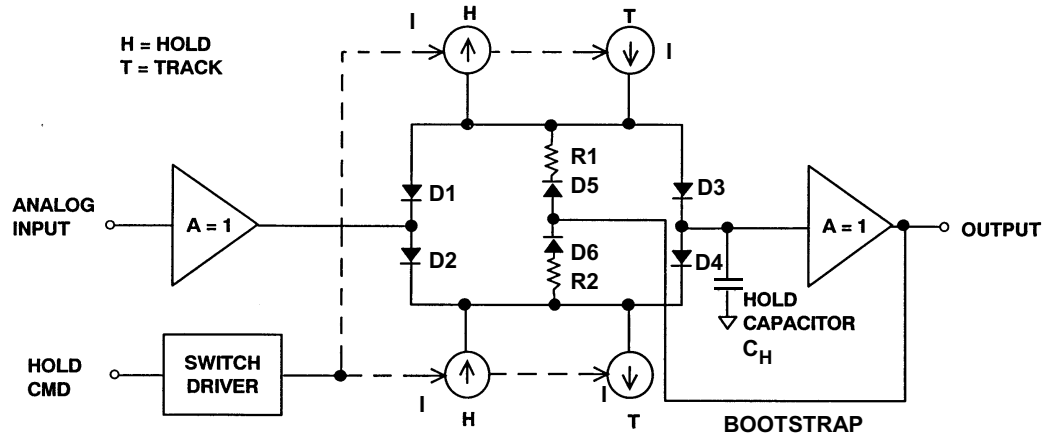


图16：使用二极管桥开关的开环SHA

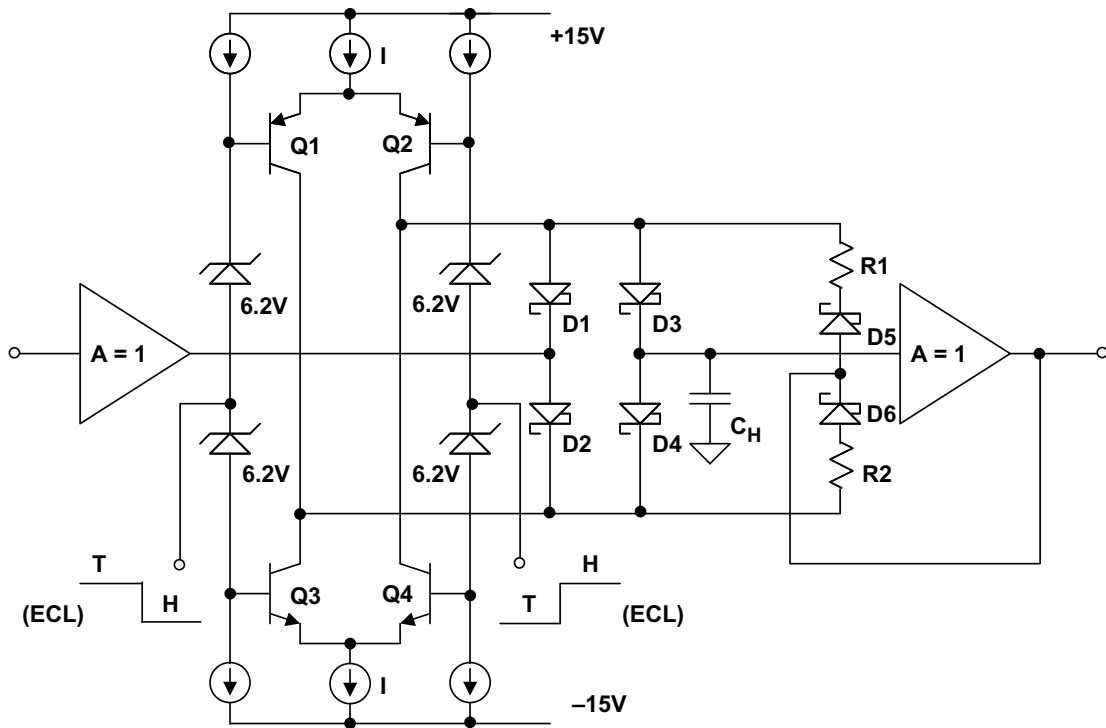


图17：开环SHA实现方案

图18所示的SHA电路是经典的闭环设计，已被许多CMOS采样ADC采用。由于开关始终在虚地工作，因此开关上不存在共模信号。

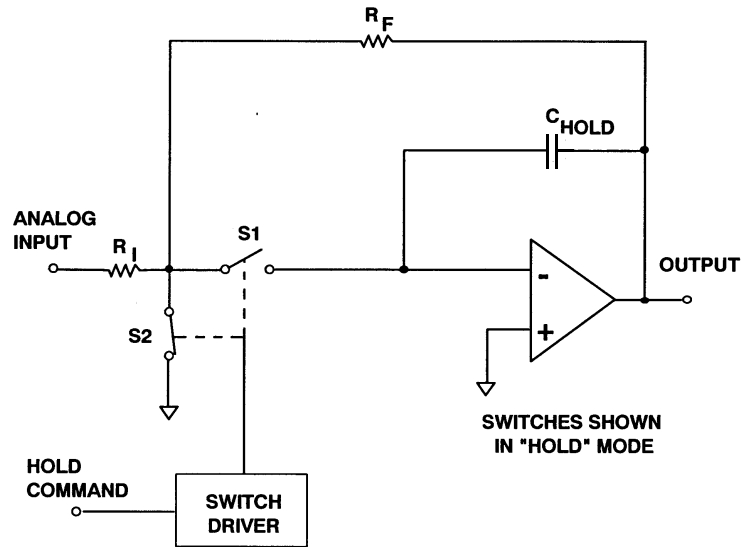


图18：基于反相积分器的闭环SHA，
在求和点切换

开关S2是必需的，用以保持恒定的输入阻抗，防止输入信号在保持期间耦合到输出端。在跟踪模式下，SHA的传递特性由运算放大器决定，开关不会引入直流误差，因为开关位于反馈环路之内。利用图19所示的差开关技术，可以将电荷注入的影响降至最小。

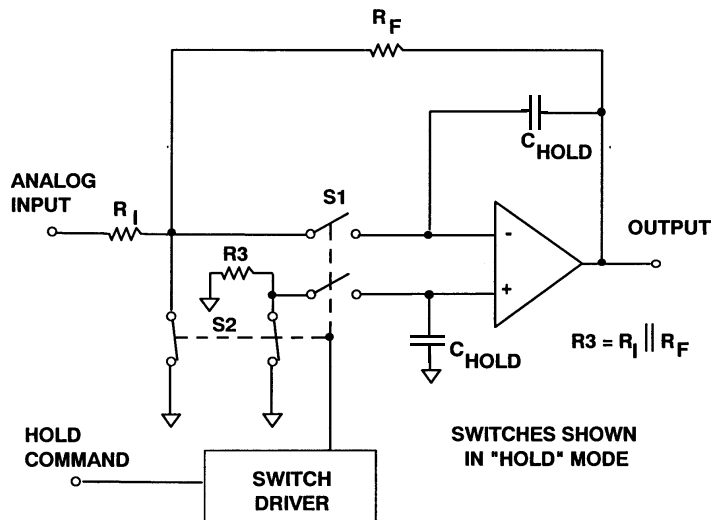
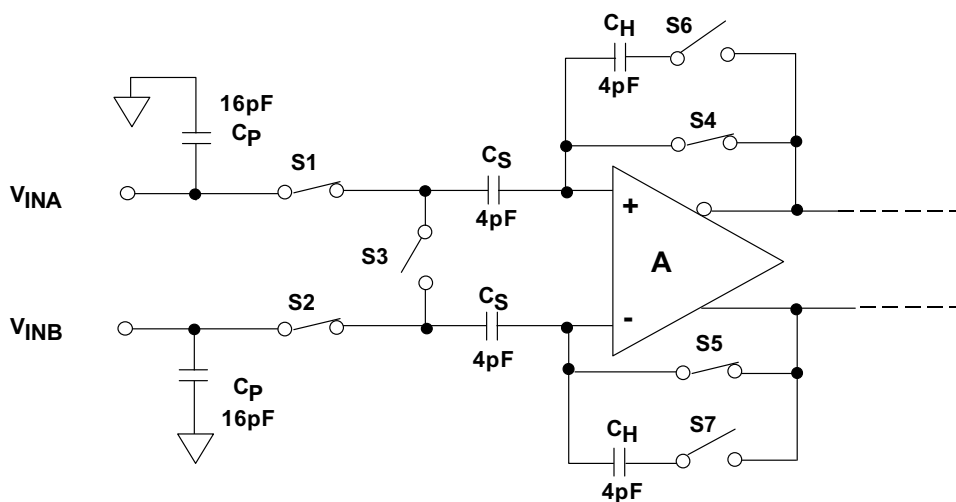


图19：差开关减少电荷注入

IC ADC的内置SHA电路

CMOS ADC由于低功耗和低成本而颇受欢迎。使用差分采样保持器的典型CMOS ADC的等效输入电路如图20所示。图中开关显示为跟踪模式，但应注意，它们以采样频率断开和闭合。16 pF电容代表开关S1和S2的有效电容以及杂散输入电容。 C_S 电容(4 pF)是采样电容， C_H 电容是保持电容。虽然输入电路完全是差分式，但该ADC结构既可以单端方式驱动，也可以差分方式驱动。然而，使用差分变压器或差分运放驱动一般可以获得最佳性能。



SWITCHES SHOWN IN TRACK MODE

图20: 典型开关电容CMOS采样保持器的简化输入电路

在跟踪模式下，差分输入电压施加于 C_S 电容。当电路进入保持模式时，采样电容上的电压转移到 C_H 保持电容上，由放大器A缓冲(开关由适当的采样时钟相位控制)。当SHA返回跟踪模式时，输入源必须将 C_S 上的电压充电或放电到新的输入电压。 C_S 的这种充电和放电动作(求一定时间内的平均值，以给定的采样频率 f_s 进行)，使输入阻抗呈现为一个有利的阻性元件。然而，如果在采样周期($1/f_s$)内分析该动作，输入阻抗将是动态的，必须考虑输入驱动源的一些注意事项。

输入阻抗的阻性部分可以通过计算 C_H 从输入驱动源获取的平均电荷而算出。可以证明，如果允许 C_S 在开关S1和S2断开前完全充电至输入电压水平，则流入输入端的平均电流与下述情况产生的电流相同：输入端之间连有一个 $1/(C_S f_s)$ 的电阻。由于 C_S 仅为数pF，因此当 $f_s = 10$ MSPS时，阻性部分通常大于数千 Ω 。

图21显示了1995年推出的12位41 MSPS ADC [AD9042](#)采用的输入SHA的简化电路(参考文献7)。[AD9042](#)采用高速互补双极性工艺(XFCB)制造。电路包括两个独立的并联SHA，构成全差分工作方式，图中仅显示了一半电路。全差分工作方式可以减小下降率引起的误差，同时还能降低二阶失真。在跟踪模式下，晶体管Q1和Q2提供单位增益缓冲。当电路被置于保持模式时，Q2的基极电压被拉至负值，直到被二极管D1钳位。片内保持电容 C_H 标称值为6 pF。Q3与 C_F 一起提供输出电流自举功能，并减小Q2的 V_{BE} 变化，进而降低三阶信号失真。20 MHz时，跟踪模式THD通常为-93 dB。在时域中，12位精度的满量程获取时间为8 ns。在保持模式下，Q3和 $A = 1$ 缓冲器的电压自举动作与Q2的低馈通寄生效应一起，使信号相关的基底变化最小化。12位精度的保持模式建立时间为5 ns。在50 MSPS时钟速率和20 MHz输入信号下，保持模式THD为-90 dB。

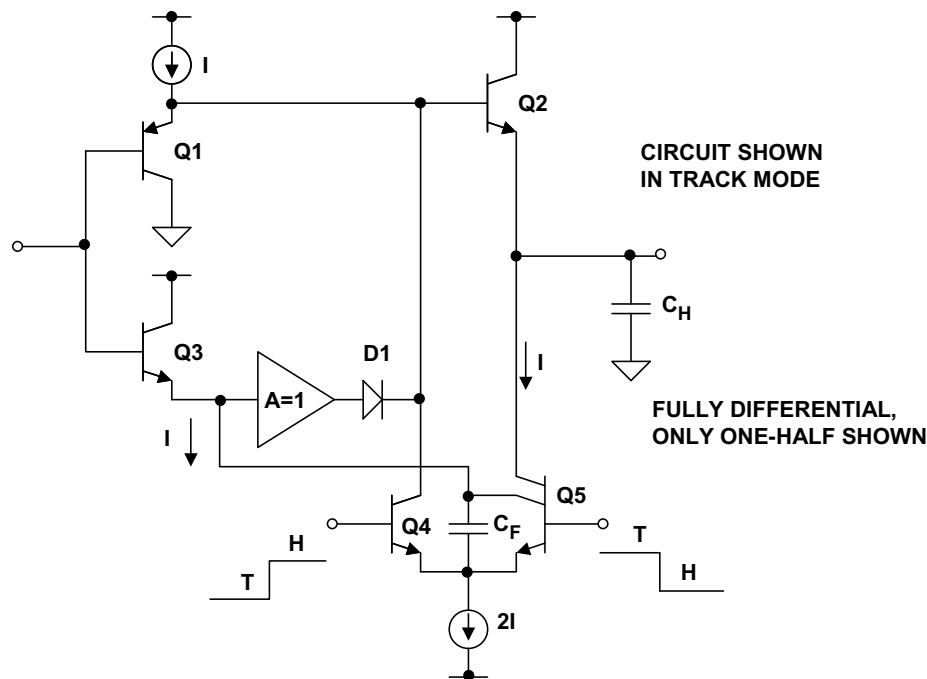


图21：1995年推出的12位41 MSPS ADC AD9042采用的SHA

图22所示为近年推出的14位105 MSPS ADC [AD6645](#)中使用的差分SHA一半电路的原理示意图(参考文献9详细描述了该ADC，包括SHA)。在跟踪模式下，Q1、Q2、Q3和Q4形成一个互补射极跟随器缓冲器，驱动保持电容 C_H 。在保持模式下，Q3和Q4的基极极性反转，钳位在低阻抗，从而关闭Q1、Q2、Q3和Q4，导致输入端信号与保持电容之间产生双重隔离。如前所述，钳位电压由保持输出电压自举，以便最大程度地减小非线性效应。

跟踪模式线性度主要取决于 C_H 充电时Q3和Q4的 V_{BE} 调制。保持模式线性度取决于跟踪模式线性度和跟踪转保持时的非线性误差，引起该非线性误差的原因是Q3和Q4的基极电压切换不平衡，以及由此导致的Q3和Q4关闭时通过其基极-射极结注入的电荷不平衡。

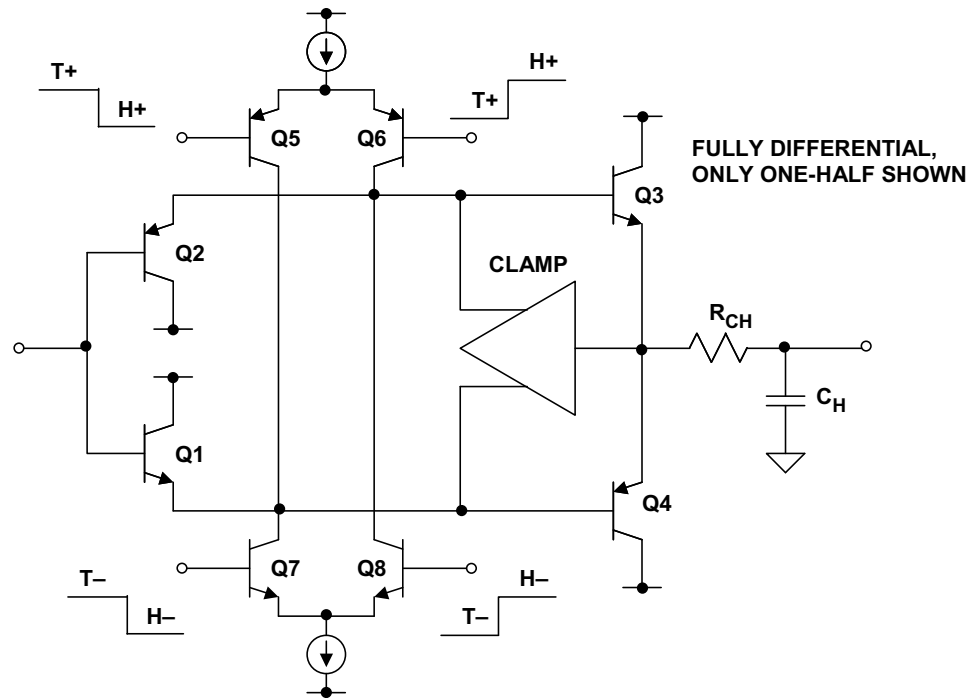


图22: 2000年推出的14位105 MSPS ADC AD6645采用的SHA

SHA应用

目前来说，SHA的最大应用是驱动ADC。大多数用于信号处理的现代ADC都是采样ADC，内置针对转换器设计而优化的SHA。采样ADC的直流和交流性能均是完全明确的，只要有可能，就应当取代分立式SHA/ADC组合。仅在极少的情况下，特别是那些要求宽动态范围和低失真的应用，使用分立组合可能是有利的。

图23显示了一个类似的应用，它利用低失真SHA来降低代码相关DAC毛刺的影响。就在要将新数据锁存至DAC之前，将SHA置于保持模式，从而将DAC开关毛刺与输出隔离。SHA产生的开关瞬变与代码无关，并且以更新频率出现，因此很容易予以滤除。这种技术在低频时可能有用，可以改善DAC的失真性能，但对于专门为DDS应用而设计、更新速率为数百MHz的高速低毛刺低失真DAC，价值则不大。

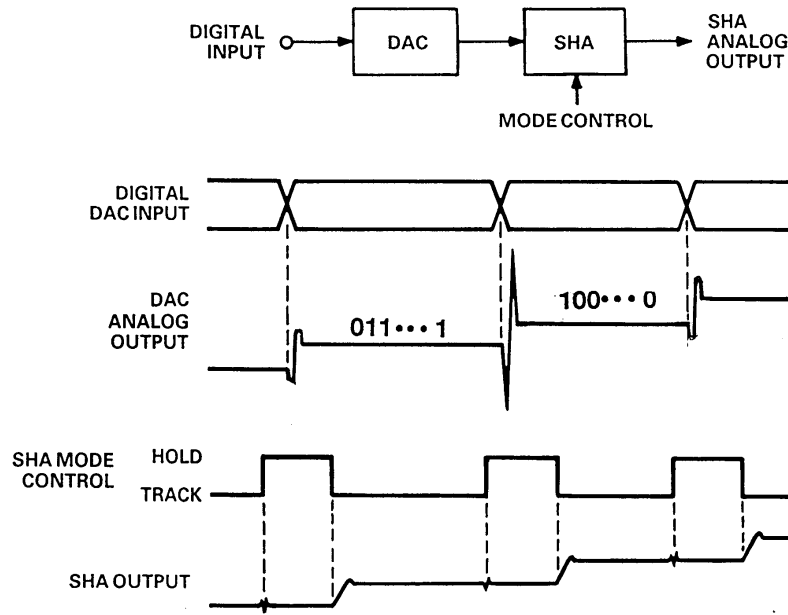


图23: SHA用作DAC限变器

在同步采样系统中，与每通道使用一个ADC的方案相比，使用多个SHA、一个模拟多路复用器和单个ADC的方案往往更具经济性(图24)。同样，在数据分配系统中，可以使用多个SHA将单个DAC的顺序输出路由到多个通道，如图25所示，但这种做法不太普遍，因为使用多个DAC的方案通常更好。

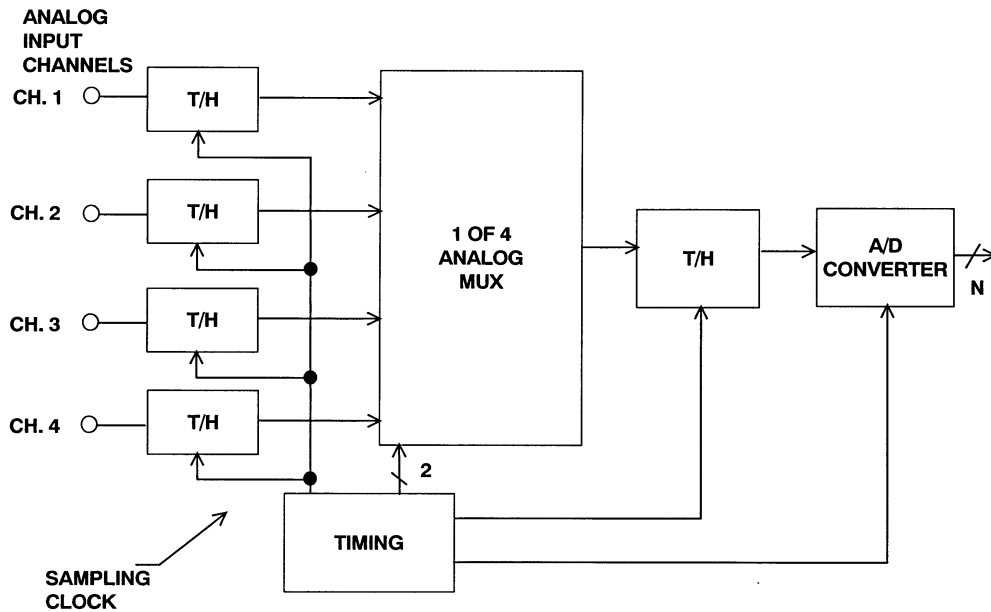


图24: 使用多个SHA和单个ADC的同步采样

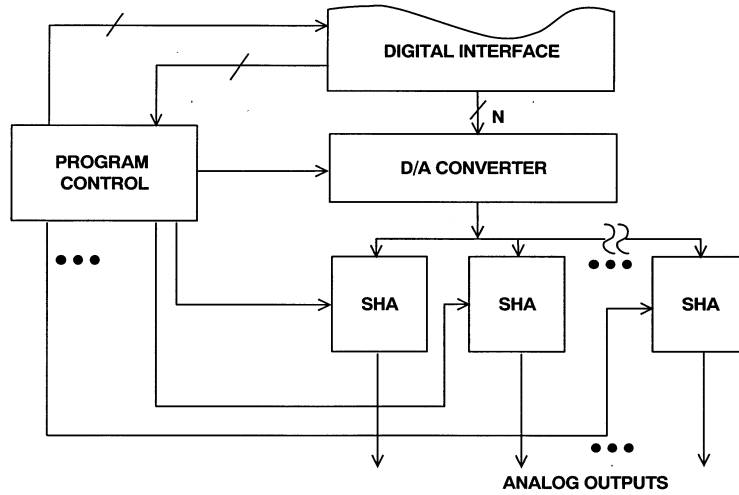


图25: 使用多个SHA和单个DAC的数据分配系统

SHA的最后一个应用如图26所示：在一个数据采样系统中，多个SHA级联起来以产生模拟延迟。在SHA 1的保持间隔时间快要结束之前，SHA 2被置于保持模式。因此，总流水线延迟时间大于采样周期 T 。这种技术常常用于多级流水线式分级ADC中，以提供连续多级的转换延迟。在流水线式ADC中，50%占空比的采样时钟很普遍，因而可以利用交替的时钟相位来驱动流水线中的各SHA(流水线式ADC详见教程MT-024)

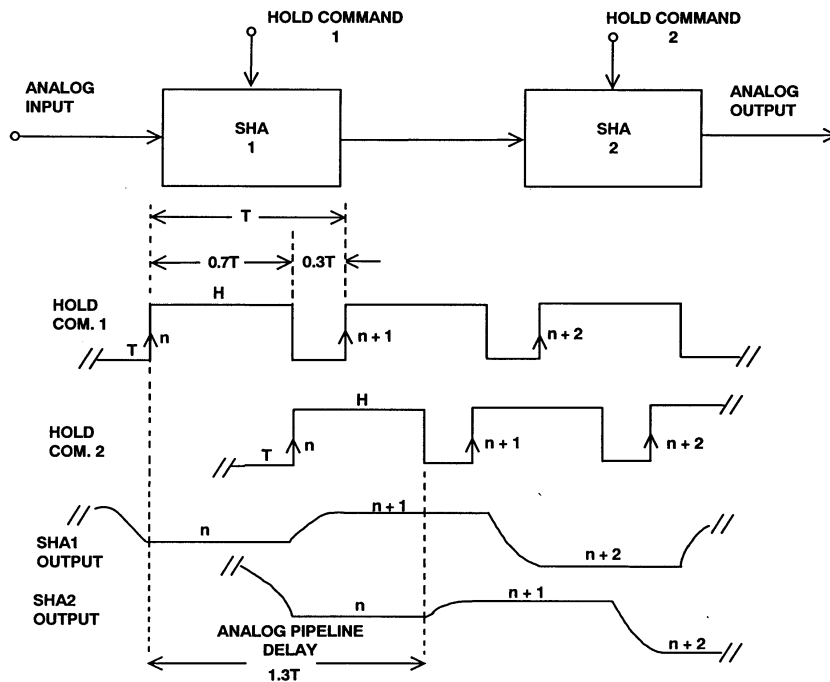


图26: 用于产生模拟流水线延迟的SHA

参考文献:

1. Alec Harley Reeves, "Electric Signaling System," *U.S. Patent 2,272,070*, filed November 22, 1939, issued February 3, 1942. Also *French Patent 852,183* issued 1938, and *British Patent 538,860* issued 1939. (*the classic patents on PCM including descriptions of a 5-bit, 6-kSPS vacuum tube ADC and DAC*).
2. L. A. Meacham and E. Peterson, "An Experimental Multichannel Pulse Code Modulation System of Toll Quality," *Bell System Technical Journal*, Vol 27, No. 1, January 1948, pp. 1-43. (*describes the culmination of much work leading to this 24-channel experimental PCM system. In addition, the article describes a 50-kSPS vacuum tube sample-and-hold based on a pulse transformer driver*).
3. J. R. Gray and S. C. Kitsopoulos, "A Precision Sample-and-Hold Circuit with Subnanosecond Switching," *IEEE Transactions on Circuit Theory*, CT11, September 1964, pp. 389-396. (*an excellent description of a solid-state transformer-driven diode bridge SHA, along with a detailed mathematical analysis of the circuit and associated errors*).
4. J. O. Edson and H. H. Henning, "Broadband Codecs for an Experimental 224Mb/s PCM Terminal," *Bell System Technical Journal*, Vol. 44, pp. 1887-1940, Nov. 1965. (*summarizes experiments on ADCs based on the electron tube coder as well as a bit-per-stage Gray code 9-bit solid state ADC. The electron beam coder was 9-bits at 12MSPS, and represented the fastest of its type*).
5. D. J. Kinniment, D. Aspinall, and D.B.G. Edwards, "High-Speed Analogue-Digital Converter," *IEE Proceedings*, Vol. 113, pp. 2061-2069, Dec. 1966. (*a 7-bit 9MSPS three-stage pipelined error corrected converter is described based on recirculating through a 3-bit stage three times. Tunnel (Esaki) diodes are used for the individual comparators. The article also shows a proposed faster pipelined 7-bit architecture using three individual 3-bit stages with error correction. The article also describes a fast bootstrapped transformer-driven diode-bridge sample-and-hold circuit*).
6. A. Horna, "A 150Mbps A/D and D/A Conversion System," *Comsat Technical Review*, Vol. 2, No. 1, pp. 39-72, 1972. (*a description of a subranging ADC including a detailed analysis of the sample-and-hold circuit*).
7. Roy Gosser and Frank Murden, "A 12-bit 50MSPS Two-Stage A/D Converter," *1995 ISSCC Digest of Technical Papers*, p. 278. (*a description of the AD9042 error corrected subranging ADC using MagAMP stages for the internal ADCs*).
8. Carl Moreland, "An 8-bit 150 MSPS Serial ADC," *1995 ISSCC Digest of Technical Papers*, Vol. 38, p. 272. (*a description of an 8-bit ADC with 5 folding stages followed by a 3-bit flash converter, including a discussion of the sample-and-hold circuit*).
9. Carl Moreland, Frank Murden, Michael Elliott, Joe Young, Mike Hensley, and Russell Stop, "A 14-bit 100-Msample/s Subranging ADC," *IEEE Journal of Solid State Circuits*, Vol. 35, No. 12, December 2000, pp. 1791-1798. (*describes the architecture used in the 14-bit, 105MSPS AD6645 ADC and also the sample-and-hold circuit*).
10. Hank Zumbahlen, *Basic Linear Design*, Analog Devices, 2006, ISBN: 0-915550-28-1. Also available as [Linear Circuit Design Handbook](#), Elsevier-Newnes, 2008, ISBN-10: 0750687037, ISBN-13: 978-0750687034. Chapter 7.

11. Walt Kester, [*Analog-Digital Conversion*](#), Analog Devices, 2004, ISBN 0-916550-27-3, Chapter 7. Also available as [*The Data Conversion Handbook*](#), Elsevier/Newnes, 2005, ISBN 0-7506-7841-0, Chapter 7.

Copyright 2009, Analog Devices, Inc. All rights reserved. Analog Devices assumes no responsibility for customer product design or the use or application of customers' products or for any infringements of patents or rights of others which may result from Analog Devices assistance. All trademarks and logos are property of their respective holders. Information furnished by Analog Devices applications and development tools engineers is believed to be accurate and reliable, however no responsibility is assumed by Analog Devices regarding technical accuracy and topicality of the content provided in Analog Devices Tutorials.

高速ADC用差分驱动器概述

差分驱动器基础知识

目前许多高性能ADC设计均采用差分输入。全差分ADC设计具有共模抑制性能出色、二阶失真产物较少、直流调整算法简单的优点。尽管可以单端驱动，但全差分驱动器通常可以优化整体性能。

差分设计固有的低二阶失真产物如下所示。失真产物可以通过将电路传递函数表达为幂级数来建立模型。

进行输出一般扩展并假设放大器匹配，我们得到：

$$V_{OUT+} = k_1(V_{IN}) + k_2(V_{IN})^2 + k_3(V_{IN})^3 + \dots \quad \text{等式 1}$$

$$V_{OUT-} = k_1(-V_{IN}) + k_2(-V_{IN})^2 + k_3(-V_{IN})^3 + \dots \quad \text{等式 2}$$

采用差分输出：

$$V_{OUT+} - V_{OUT-} = 2k_1(V_{IN}) + 2k_3(V_{IN})^3 + \dots \quad \text{等式 3}$$

其中 k_1 、 k_2 和 k_3 为常数。

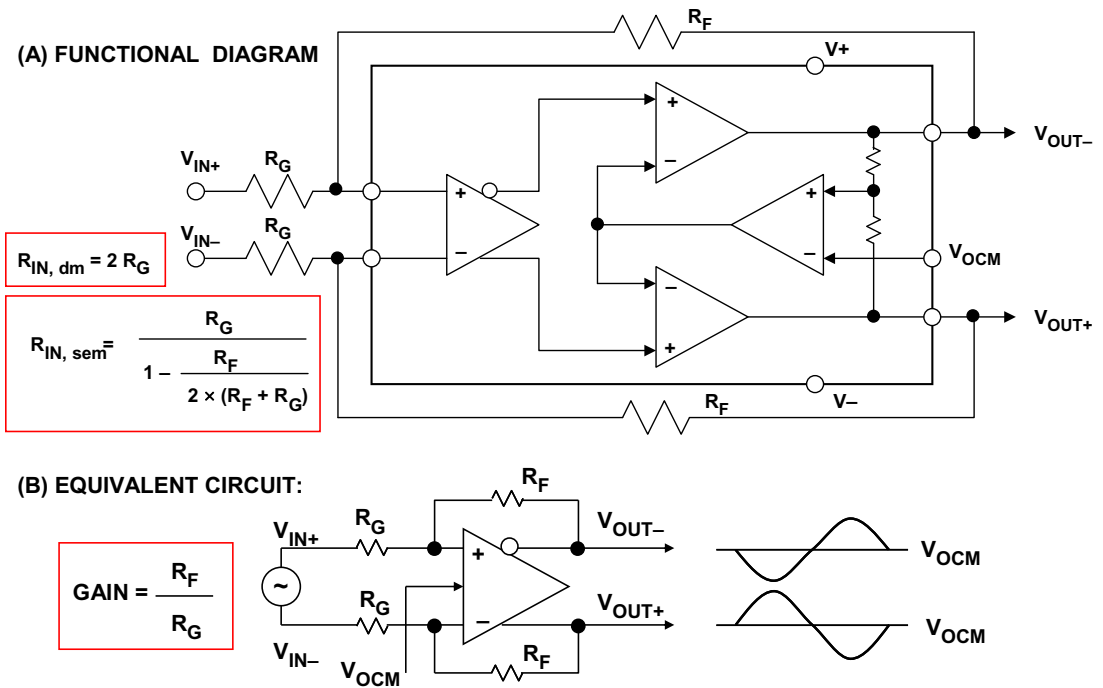
二次项引起二阶谐波失真，三次项引起三阶谐波失真，如此等等。在一个全差分放大器中，奇数阶项保留极性，而偶数阶项则始终为正。当采取差分时，偶数阶项如等式3所示消除。三阶项不受影响。

差分输入ADC的一种最常用驱动方法是使用变压器。不过，因为频率响应必须延伸至直流，许多应用无法使用变压器来驱动。这类情况就需要使用差分驱动器。在ADC前面需要明显信号增益的情况下，差分放大器提供一种不错的解决方案。尽管提供“无噪声”电压增益，但匝数比大于2的变压器一般为带宽和失真问题所困扰，在中频时尤为明显。

图1所示为驱动ADC而优化的AD813x和ADA493x系列全差分放大器框图。图1A显示内部电路细节，而图1B显示等效电路。增益由外部电阻 R_F 和 R_G 设定，共模电压由 V_{OCM} 引脚上的电压设定。内部共模反馈强制 V_{OUT+} 和 V_{OUT-} 输出保持平衡，即在两个输出端的信号根据等式幅值始终相等，但相位相差 180° 。

$$V_{OCM} = (V_{OUT+} + V_{OUT-}) / 2.$$

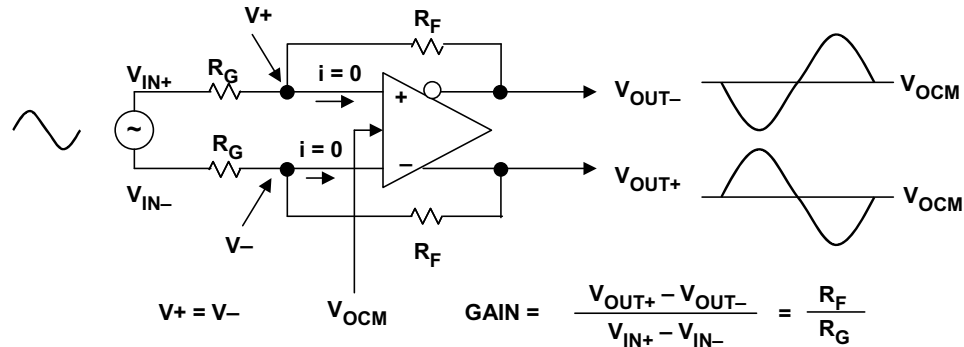
等式 4



**图1: AD813x、AD493x差分ADC驱动器
功能框图及等效电路**

AD813x和ADA493x用两个反馈环路，来分开控制差分输出电压和共模输出电压。外部电阻设定的差分反馈只控制差分输出电压。共模反馈控制共模输出电压。这种架构方便在电平转换应用中任意设定输出共模电平。内部共模反馈强制其等于 V_{OCM} 输入上施加的电压，而不影响差分输出电压。其结果是近乎完美的平衡差分输出，在宽广的频率范围内其幅度完全相同，相位相差 180° 。该电路可配合差分或单端输入使用，且电压增益等于 R_F 与 R_G 之比。

该电路可使用图2中所归纳的假设和程序来分析。如同运算放大器电路直流分析的情况，我们可以先假设流入反相和同相输入的电流为零(即输入阻抗相对反馈电阻值较高)。第二个假设为反馈强制同相和反相输入电压相等。第三个假设为输出电压相位相差 180° 并在 V_{OCM} 两侧对称。



- ◆ + and - input currents are zero
- ◆ + and - input voltages are equal
- ◆ Output voltages are 180° out of phase and symmetrical about V_{OCM}
- ◆ Gain = R_F/R_G

图2：差分放大器电平分析

即使外部反馈网络(R_F/R_G)不匹配，内部共模反馈环路仍将强制输出保持平衡。每个输出端的信号幅度保持相等，相位相差180°。输入到输出的差模增益变化与反馈的不匹配成比例，但输出平衡不受影响。外部电阻的比例匹配误差会导致电路抑制输入共模信号的能力降低，非常类似于使用常规运算放大器制成的四电阻差动放大器。

而且，如果输入和输出共模电压的直流电平不同，匹配误差会导致一个细小的差模输出失调电压。对于 $G = 1$ ，具有一个地基准输入信号且针对2.5 V设定输出共模电平的情况，如果使用1%容差电阻，则可产生高达25 mV的输出失调（1%共模电平差）。由于2.5 V电平转换，1%容差的电阻将导致一个约40 dB的输入CMR（最差情况）、25 mV的差模输出失调（最差情况），不会对输出平衡误差造成明显恶化。

如图2所示电路的有效输入阻抗（在 V_{IN+} 和 V_{IN-} 端）取决于放大器是由单端信号源驱动，还是由差分信号源驱动。对于平衡差分输入信号，两个输入端(V_{IN+} 和 V_{IN-})之间的输入阻抗($R_{IN,dm}$)为：

$$R_{IN,dm} = 2 \times R_G$$

等式 5

若为单端输入信号(例如, 若 V_{IN-} 接地, 输入信号接入 V_{IN+}), 输入阻抗则为:

$$R_{IN,sem} = \left(\frac{R_G}{1 - \frac{R_F}{2 \times (R_G + R_F)}} \right) \quad \text{等式 6}$$

该电路的单端输入阻抗高于作为反相放大器连接的常规运算放大器, 因为一小部分差分输出电压在输入端表现为共模信号, 从而部分增加了输入电阻 R_G 两端的电压。

图3所示为AD813x差分放大器的一些可能配置。图3A为标准配置, 其中利用两个反馈网络, 分别表现为反馈系数 β_1 和 β_2 。另需注意, 各反馈系数可能为0与1之间的任意数。

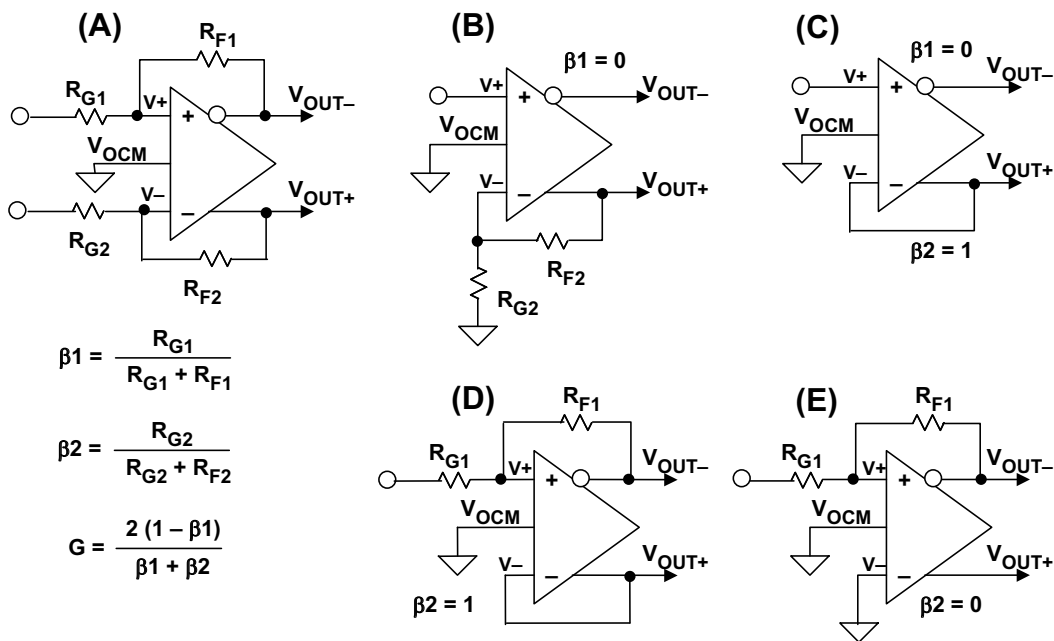


图3: 差分放大器的一些配置

图3B显示在 V_{OUT-} 至 $V+$ 之间无任何反馈的配置, 即 $\beta_1 = 0$ 。在这种情况下, β_2 决定反馈至 $V-$ 的 V_{OUT+} 量值, 且除了有额外的互补输出外, 电路类似于同相运算放大器。因此, 整体增益是同相运算放大器的两倍, 或 $2 \times (1 + R_{F2}/R_{G2})$ 或 $2 \times (1/\beta_2)$ 。

图3C显示 $\beta_1 = 0$ 且 $\beta_2 = 1$ 的电路。该电路特别提供无电阻增益2。

图3D显示 $\beta_2 = 1$ 的电路，而 β_1 则由 R_{F1} 和 R_{G1} 决定。此电路的增益始终小于2。

最后，图3E的电路 $\beta_2 = 0$ ，除 V_{OUT+} 端的额外互补型输出外，极其类似于常规反相运算放大器。

差分驱动器/接收器应用

[AD813x/ADA493x](#)系列也非常适用于平衡差分线路驱动，如图4所示，其中AD8132驱动一根100 Ω 双绞线。[AD8132](#)配置成一个增益为2的驱动器，说明来源和负载端接电缆所引起的2倍损耗。在此配置下，AD8132的带宽约为160 MHz。

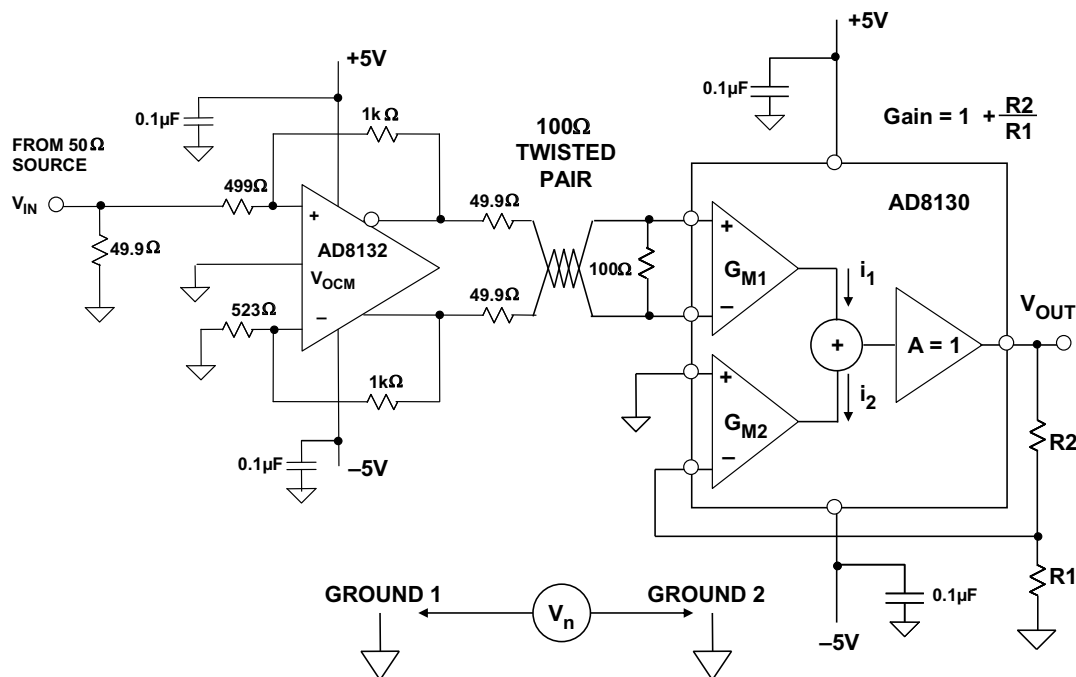


图4：高速差分线路驱动器、线路接收器应用

该线路接收器为一个[AD8130](#)差分接收器，具有一种称为“有源反馈”的独创架构，可在10 MHz时实现约70 dB的共模抑制。对于增益1，AD8130的3dB带宽约为270 MHz。

AD8130利用两个相同的跨导(g_m)级，其输出电流在高阻抗节点处加总，然后缓冲至输出端。两个 g_m 级的输出电流必须相等，符号相反，因此各自输入电压也必须相等，符号相反。

差分输入信号接入其中一级(G_{M1})，而负反馈则如同常规运算放大器接入至另一级(G_{M2})。增益等于 $1 + R2/R1$ 。 G_{M1} 级因此为端接双绞线提供一个真正平衡的输入，以获得最佳的共模抑制。

一系列三路驱动器用于在5类电缆上驱动RGB，例如[AD8133](#)、[AD8134](#)、[AD8146](#)、[AD8147](#)、[AD8148](#)。

也可提供相应的三路接收器，包括[AD8143](#)和[AD8145](#)。[AD8123](#)(三路)和[AD8128](#)(单路)接收器也包括可调节线路均衡。

应用示例：ADA4937-1差分放大器驱动AD6645 14位80/105MSPS ADC

[AD813x](#)和[ADA493x](#)系列差分驱动器适用于直流或交流耦合应用，其中电压增益1至4(0 dB至12 dB)，频率高达约100 MHz(取决于该系列的特定成员)。它们特别适合作为低失真直流耦合单端至差分转换器以驱动差分输入ADC。 V_{OCM} 特性可用于电平转换双极性信号以匹配ADC的共模输入电压。直流驱动器的电路分析细节和电阻值挑选在MT-xxx中给出。还提供[ADIsimDiffAmp](#)设计工具以方便这类设计。

[ADA4937-1](#)是最新系列差分放大器之一，针对+5 V单电源特殊优化。图5显示它用作一个电平转换器以驱动[AD6645](#) 14位80/105 MSPS ADC。([ADA4939-1](#)是一个针对电压增益 ≥ 2 而优化的类似器件)。

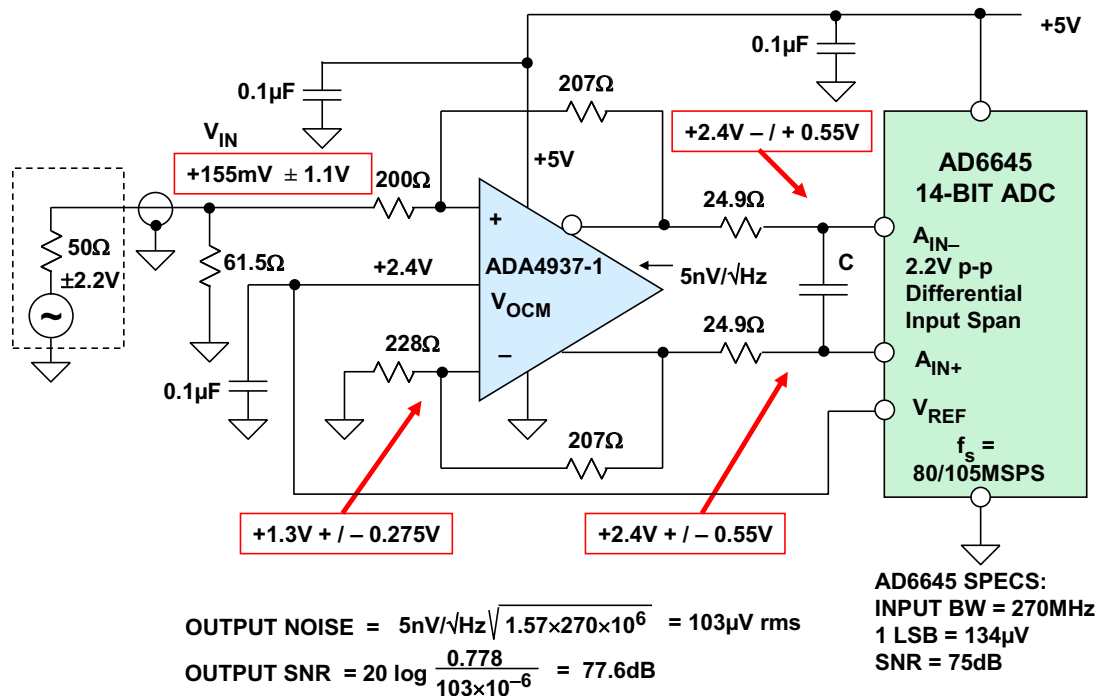


图5: ADA4937-1在+5 V直流耦合应用中驱动AD6645

现在将在信号摆幅和共模电平方面对图5所示电路进行细致分析。为确保所有电压落入器件规定的允许范围内，这一步必不可少。

AD6645利用一个2.2 V p-p差分信号操作，共模电压为+2.4 V。这意味着ADA4937的每个输出必须在1.85 V和2.95 V之间摆动，即在+5 V单电源运行的ADA4937-1的输出驱动能力范围内。

输入信号因此必须在1.025 V和1.575 V之间摆动，落入在+5 V单电源运行的ADA4937-1的允许输入范围内。

电路输入由一个50 Ω 来源驱动。在单端配置中“自举式”输入阻抗约为267 Ω 。61.5 Ω 输入终端电阻与267 Ω 增益设定电阻并联使得整体阻抗约为50 Ω 。注意，228 Ω 电阻是与反相输入串联插入的。这是为了匹配同相输入的净阻抗($200 \Omega + 61.5 \Omega \parallel 50 \Omega = 200 \Omega + 28 \Omega = 228 \Omega$)。没有此额外28 Ω 匹配电阻与最初200 Ω 增益设定电阻串联，不平衡源阻抗会导致一个不必要的差分失调电压出现在输出端上。

底部增益设定电阻从200 Ω 增加至228 Ω 需要反馈电阻增加至207 Ω 以便保持增益1。实际上，最近标准1%电阻会代替计算值。[ADIsimDiffAmp](#)设计工具用来方便这类设计并计算特定增益和源阻抗的所需电阻值。该工具还检查是否违反差分放大器的输入和输出共模范围限制。

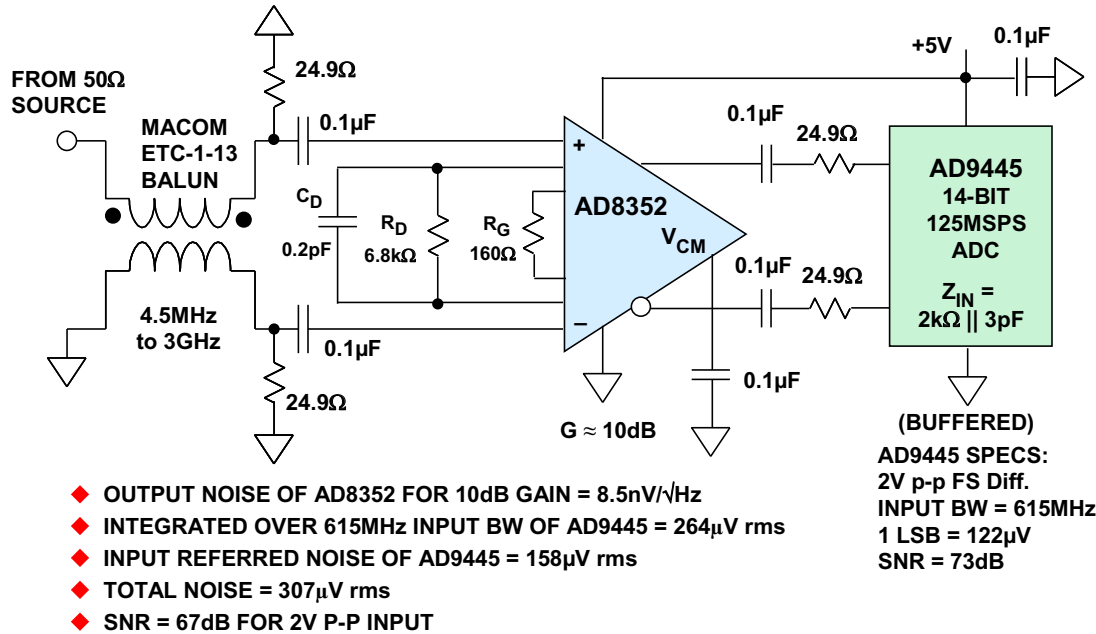
ADA4937-1的输出噪声电压频谱密度只有5 nV/ $\sqrt{\text{Hz}}$ 。该值包括反馈和增益电阻的贡献并适用于 $G = 1$ 。这在AD6645的输入带宽(270 MHz)上积分，产生103 $\mu\text{V rms}$ 的输出噪声。这对应于放大器所引起的77.6 dB SNR。注意，由于没有任何外部噪声滤波器，积分必须在ADC的完整输入带宽上。

AD6645的SNR为75 dB，对应于138 $\mu\text{V rms}$ 的输入噪声。由于运算放大器(103 μV)和ADC(138 μV)所引起的组合噪声为172 μV ，产生73 dB的整体SNR。

如果不需要AD6645的完整带宽，可通过选择适当的C值来增加一个单极降噪滤波器。

适合中频应用的宽带交流耦合ADC驱动器

在图6所示的示例中，我们数字分析了[AD9445](#) 14位125MSPS ADC的宽带信号，希望尽量保留ADC输入带宽。因此没有任何中间级噪声滤波器。



**图6: AD8352 2GHz 差分放大器驱动AD9445
14位 125MSPS ADC**

在100 MHz时，[AD9445](#)输入带宽为615 MHz，SFDR为95 dBc。对于驱动器，我们挑选了[AD8352](#) 2 GHz带宽差分放大器，因为其电阻可编程增益范围为3 dB至21 dB。该放大器还具有低噪声(对于10 dB增益设置，等效输入噪声为 $2.7\text{nV}/\sqrt{\text{Hz}}$)、低失真(100 MHz时82 dBcHD3)。带宽要求的更低端约为10 MHz。

图6所示为在宽带应用中利用2 GHz AD8352驱动AD9445的最佳电路配置。巴伦将单端输入转换为差分以驱动AD8352。尽管可配置AD8352以接受一个单端输入(见AD8352数据手册)，但如果按图所示以差分驱动，则获得最佳的失真性能。选择 C_D/R_D 网络是为了优化AD8352的三阶交调性能。这些值是基于所需增益而选择并在数据手册中给出。

该电路对于105 MSPS采样的98.9 MHz输入信号产生83 dBc的SFDR。

$G = 10$ 时AD8352的输出噪声频谱密度为 $8.5\text{nV}/\sqrt{\text{Hz}}$ 。由于没有任何输入滤波器，这必须在AD9445的整个615 MHz输入带宽上积分。组合放大器和ADC的SNR为67 dB。

参考文献

1. Hank Zumbahlen, *Basic Linear Design*, Analog Devices, 2006, ISBN: 0-915550-28-1. Also available as [Linear Circuit Design Handbook](#), Elsevier-Newnes, 2008, ISBN-10: 0750687037, ISBN-13: 978-0750687034. Chapter 2.
2. Walter G. Jung, *Op Amp Applications*, Analog Devices, 2002, ISBN 0-916550-26-5, Also available as [Op Amp Applications Handbook](#), Elsevier/Newnes, 2005, ISBN 0-7506-7844-5. Chapter 3.
3. Walt Kester, *Analog-Digital Conversion*, Analog Devices, 2004, ISBN 0-916550-27-3, Chapter 6. Also available as [The Data Conversion Handbook](#), Elsevier/Newnes, 2005, ISBN 0-7506-7841-0, Chapter 6.
4. Walt Kester, *High Speed System Applications*, Analog Devices, 2006, ISBN-10: 1-56619-909-3, ISBN-13: 978-1-56619-909-4, Chapter 2.
5. [ADIsimDiffAmp](#), an Analog Devices' on-line interactive design tool for differential amplifiers.

Copyright 2009, Analog Devices, Inc. All rights reserved. Analog Devices assumes no responsibility for customer product design or the use or application of customers' products or for any infringements of patents or rights of others which may result from Analog Devices assistance. All trademarks and logos are property of their respective holders. Information furnished by Analog Devices applications and development tools engineers is believed to be accurate and reliable, however no responsibility is assumed by Analog Devices regarding technical accuracy and topicality of the content provided in Analog Devices Tutorials.

高速可变增益放大器(VGA)

[高频可变增益放大器\(VGA\)的全面而详细参数](#)不仅包括传统运算放大器的交流参数(带宽、压摆率、建立时间),而且还应说明通信专用参数。这些参数包括谐波失真性能、无杂散动态范围(SFDR)、交调失真、交调截点(IP2、IP3)、噪声和噪声系数(NF)。图1列出了这些参数。

- ◆ **Noise**
 - Noise referred to output (RTO)
 - Noise referred to input (RTI)
- ◆ **Distortion**
 - Second and third order intercept points (IP2, IP3)
 - Spurious free dynamic range (SFDR)
 - Harmonic distortion
 - ◆ Single-tone
 - ◆ Multi-tone
 - ◆ Out-of-band
 - Multitone Power Ratio (MTPR)
 - Noise Factor (NF), Noise Figure (NF)

图1: 通信系统中的动态范围参数

本指南将重点讨论适合通信系统的VGA。VGA是否适合通信系统取决于这些参数是否满足系统性能。文中将探讨模拟控制式和数字控制式VGA。

自动增益控制(AGC)系统中的可变增益放大器(VGA)

宽带、低失真可变增益放大器在通信系统中应用非常广泛。例如,无线电接收机中的自动增益控制(AGC),如图2所示。通常,由于传播路径存在差异,接收到的能量表现出很大的动态范围,需要在接收机内进行动态范围压缩。

这种情况下，所需信息蕴含在调制包络中(无论采用何种调制模式)，而不是载波的绝对幅度。例如，1MHz的载波被调制到1kHz上，调制深度为30%，不管接收到的载波电平是0 dBm还是-120 dBm，传递的信息都是相同的。存在较大输入变化时，通常会在接收机内利用某种类型的自动增益控制(AGC)功能，将载波幅度调整到某个归一化参考水平。AGC电路用作动态范围压缩器，能够在多个载波周期的间隔内响应某个信号衡量指标(通常为幅度平均值)。

因此，它们需要时间来根据接收信号电平差异做出调整。利用峰值检波方法可以缩短信号电平突然提高所需的响应时间，但稳定性会受到一定损害，因为瞬态噪声尖峰现在可以激活AGC检测电路。非线性滤波和“延迟AGC”概念对于优化AGC系统很有用。实践中有很多折衷考虑。

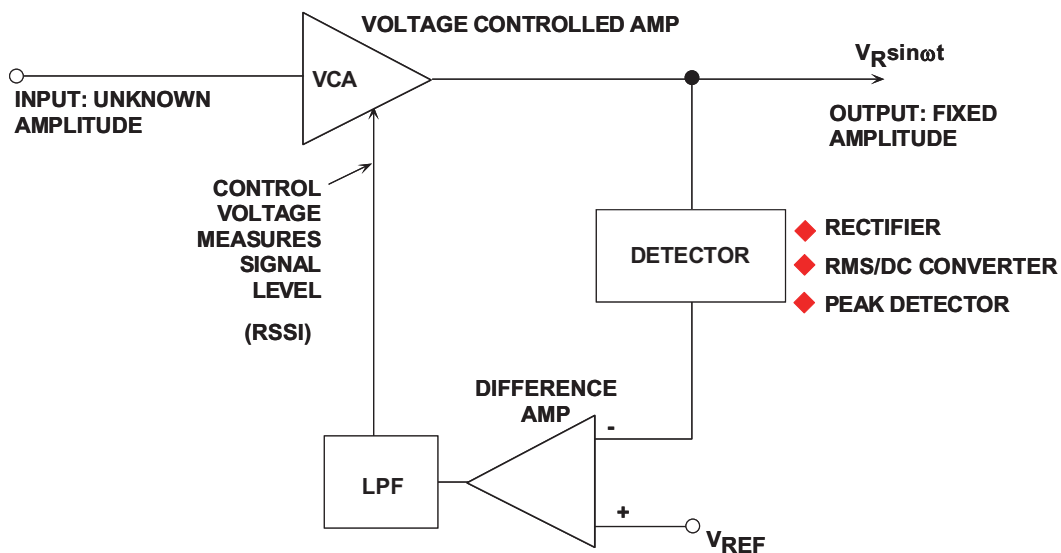


图2：典型的自动增益控制(AGC)系统

值得注意的是，一个AGC环路实际上有两路输出。当然，较为明显的输出是幅度稳定信号。不太明显的输出则是VCA的控制电压。实际上，此电压衡量输入信号的幅度平均值。如果系统经过精确调整，则控制电压可用于衡量输入信号，有时也称为“接收信号强度指示(RSSI)”。给定适用的精密VCA增益控制法则，利用后面这点便可以实施针对输入信号电平进行校准的接收系统。

压控可变增益放大器

ADL5391等模拟乘法器可以用作可变增益放大器，如下面图3所示。控制电压施加于其中一路输入，信号则施加于另一路输入。采用这种配置时，增益与控制电压成正比。

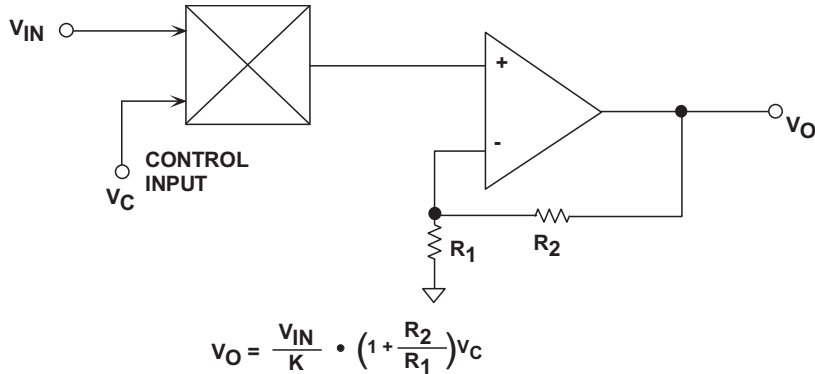


图3：将乘法器用作压控可变增益放大器

对于大多数采用模拟乘法器构建的VCA，其增益与以V为单位的控制电压成线性关系，而且往往存在噪声。但是，所需的VCA能够将宽增益范围与恒定带宽和相位、低噪声与大信号处理能力以及低失真与低功耗相结合，同时提供精确、稳定的线性dB增益。X-AMP™系列可以利用一个独特而精致的解决方案(针对指数放大器)实现这些非常严苛且相互冲突的目标。概念非常简单：固定增益放大器后接通过特殊方式利用电压来控制其衰减的无源宽带衰减器(见图4)。

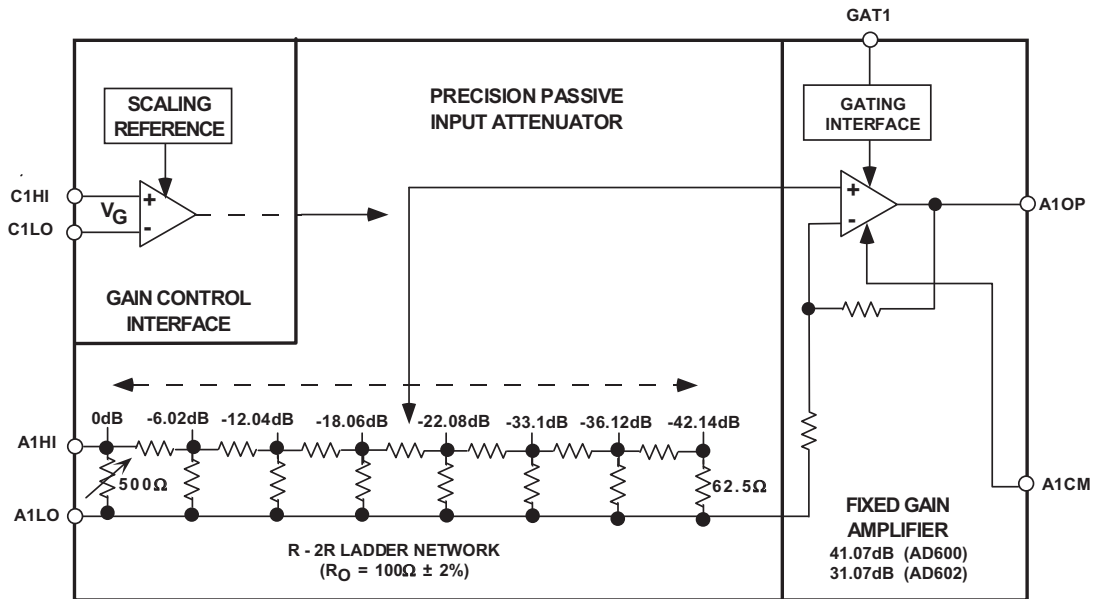


图4：X-Amp框图

该放大器具有优秀的低噪声性能，负反馈则用于精确定义其较高增益(约30至40 dB)并将失真降至最低。由于该放大器的增益是固定的，因此其交流和瞬变响应特性也是不变的，包括失真和群延迟；由于其增益较高，因此其输入永远不会由超过数毫伏的电压驱动。因此，该器件始终工作在其小信号响应范围内。

衰减器是一个7级(8抽头)R-2R梯形网络。所有相邻抽头之间的电压比都正好为2，即6.02 dB。这为实现精密线性dB特性奠定了基础。总体衰减为42.14 dB。如图所示，该放大器的输入可以连接到这些抽头中的任意一个，甚至可以在这些抽头之间进行插值，而且偏差很小，只有约±0.2 dB。总增益的变化范围是固定增益(最大值)到比最大值小42.14 dB的值。例如，在AD600中，固定增益为41.07 dB(电压增益为113)；使用此选项时，整个增益范围为-1.07 dB至+41.07 dB。该增益与控制电压之间的关系为 $G_{dB} = 32V_G + 20$ ，其中 V_G 的单位为伏特(V)。

$V_G = 0$ 时的增益经过激光调整至绝对精度±0.2 dB。增益调整比例由片上带隙基准电压源(由两个通道共享)决定，该电压源经过激光调整以获得高精度和低温度系数。图5所示为AD600和AD602的增益与差分控制电压之间的关系。

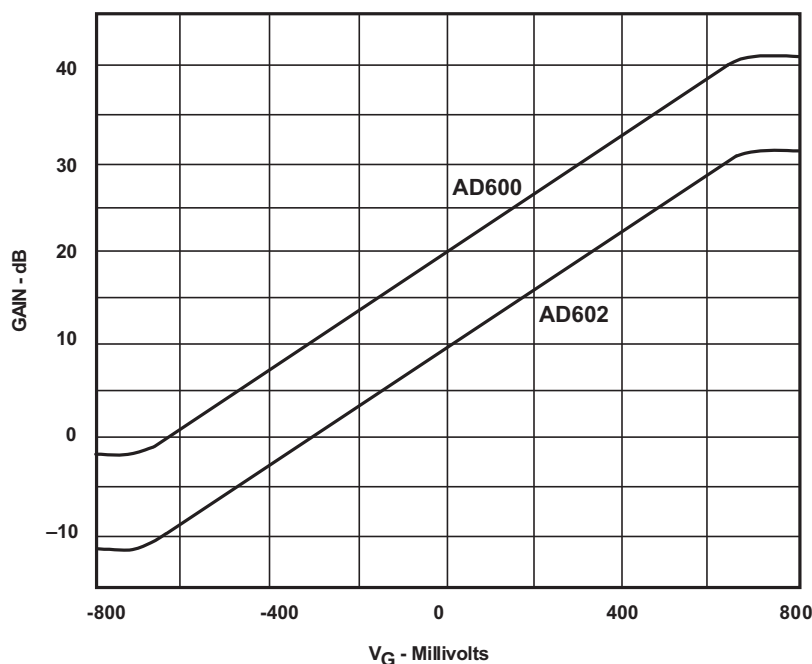


图5: X-Amp传递函数

为了了解X-AMP™系列的工作方式，请考虑图6所示的示意图。请注意，八个抽头各自均连接到八个双极性差分对(用作由电流控制的跨导(g_m)级)之一的一个输入端；所有这些 g_m 级的另一个输入端则连接到放大器用于决定增益的反馈网络 R_{F1}/R_{F2} 。当发射极偏置电流 I_E 被送至8个晶体管对之一(此处未显示具体方式)时，它成为完整放大器的输入级。

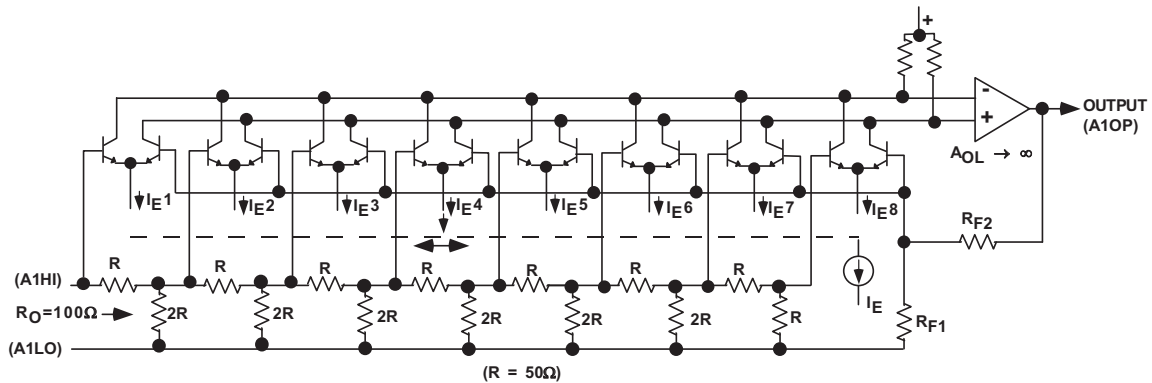


图6: X-Amp原理示意图

当 I_E 连接至左侧的对时，信号输入直接连接到放大器，从而产生最大增益。凭借良好的开环设计并辅以负反馈，使得即使在较高频率条件下，失真也非常低。如果 I_E 现在被突然切换至第二对，那么总增益会下降正好6.02 dB，而由于只有一个 g_m 级保持有效，因此失真仍旧会很低。

在现实中，偏置电流会“逐渐”从第一对传递到第二对。当 I_E 在两个 g_m 级之间均衡分配时，这两个级都激活；当运算放大器中的两个输入级争抢环路控制(其中一个获得完整信号，而另一个获得刚好一半信号)时，就会出现这种情况。

分析表明，有效增益会减少 $20 \log 1.5$ (即3.52 dB)，而不是大家首先预想的3 dB。在整个范围内均衡分配时，该误差相当于 ± 0.25 dB的增益纹波；不过，插值电路实际上会生成偏置电流的高斯分布，有些 I_E 始终在相邻级中流动。这使得增益函数更加平滑，并真正地减少纹波。随着 I_E 逐渐向右移动，总增益会逐渐下降。

X-AMP™折合到输入端的总噪声为 $1.4 \text{ nV}/\sqrt{\text{Hz}}$ ，仅略大于 100Ω 电阻的热噪声(25°C 时为 $1.29 \text{ nV}/\sqrt{\text{Hz}}$)；折合到输入端的噪声是恒定的，而不受衰减器设置影响，因此输出噪声始终是恒定的且不受增益影响。

	BANDWIDTH	DISTORTION	NOISE	INPUT Z	SUPPLY
AD600/602	35MHz	-60dBc @ 10MHz	1.4nV/ $\sqrt{\text{Hz}}$	100 Ω	$\pm 5\text{V}$
AD603	90MHz	-60dBc @ 10MHz	1.3nV/ $\sqrt{\text{Hz}}$	100 Ω	$\pm 5\text{V}$
AD604	40MHz	-43dBc @ 10MHz	0.8nV/ $\sqrt{\text{Hz}}$	300k Ω	$\pm 5\text{V}$
AD605	40MHz	-51dBc @ 10MHz	1.8nV/ $\sqrt{\text{Hz}}$	200 Ω	+5V
AD8367	500MHz	IP3 = +33dBm @140MHz	NF = 7.5dB @140MHz	200 Ω	+2.7 to +5.5V
AD8368	800MHz	IP3 = +33dBm @ 140MHz	NF = 9.5dB @ 140MHz	50 Ω	+4.5 to +5.5V

图7总结了很多X-AMP系列的特性。

数字控制式VGA

在某些情况下，以数字方式控制信号电平可能会大有好处。上行电缆调制解调器驱动器便是一例，如AD8325。

由于数据速率远高于标准拨号连接，有线调制解调器越来越受欢迎。除接收数据(下行)之外，有线调制解调器还能发射数据(上行)。这就要求使用低失真的数字控制式可变增益放大器，且该放大器能够以1 V rms的标称电平(+11.2 dBm或60 dBmV)驱动75 Ω 同轴电缆。AD8325就是适合此应用的有线电视(CATV)上行线路驱动器系列的一款产品。AD8325的增益由一个8位串行字控制，该字在59.45 dB范围内决定所需增益，进而产生0.7526 dB/LSB的增益变化。AD8325框图如下面图8所示。

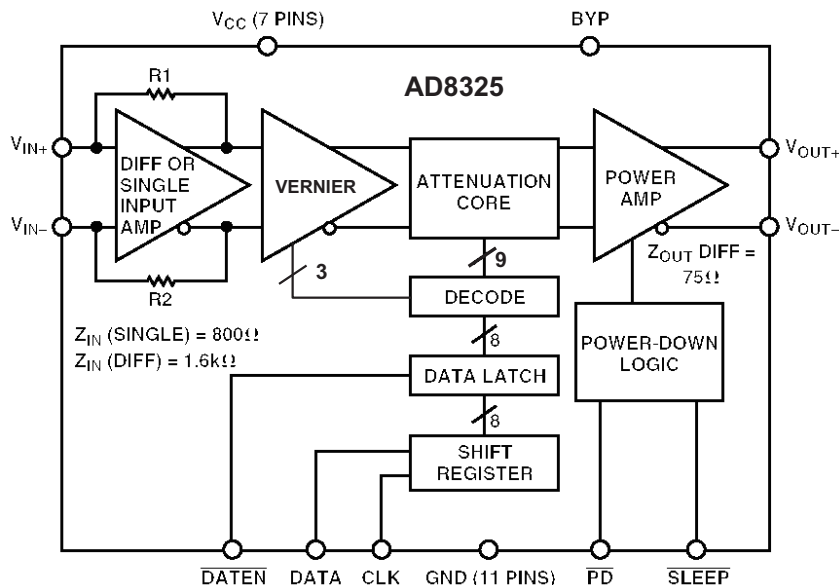


图8: AD8325 CATV数字控制式可变增益放大器

AD8325具有一个可变衰减器内核，以数字方式控制衰减，范围为0 dB至-59.45 dB。输入缓冲器的增益大约为+30 dB，因此得到的总增益范围为-29.45 dB至+30.0 dB。在上电模式下，AD8325包括四个模拟功能。输入放大器(前置放大器)可以采用单端或差分配置。8位控制字解码成一个3位字和一个9位字，前者驱动游标级(精密增益调整)，后者则驱动衰减内核(DAC)。游标级中实现0.7526 dB/LSB分辨率，总衰减约为5.25 dB。在游标级之后，由DAC提供AD8325衰减的批处理(9位或54 dB)。

前置放大器和游标增益模块中的信号为差分形式，以提高PSRR和线性度。差分电流从DAC馈入输出级，后者将这些电流放大到驱动75 Ω负载所需的合适电平。

AD8325在上电和关断情况下均可保持恒定的75 Ω动态输出阻抗，这是该器件的一项主要性能和成本优势。输出级利用负反馈来实现75 Ω差分动态输出阻抗。这样便无需使用外部75 Ω端接电阻，进而产生是标准运算放大器两倍的有效输出电压。

这些特性使得AD8325能够采用+5 V单电源工作并且仍能提供所需的输出功率。在21 MHz带宽、输出电平最高为1 V rms (+11.2 dBm)时，失真性能为-57 dBc。

[AD8370](#)是一款低成本、数字控制、可变增益放大器，可以提供精密增益控制、高IP3和低噪声系数。框图如图9所示。

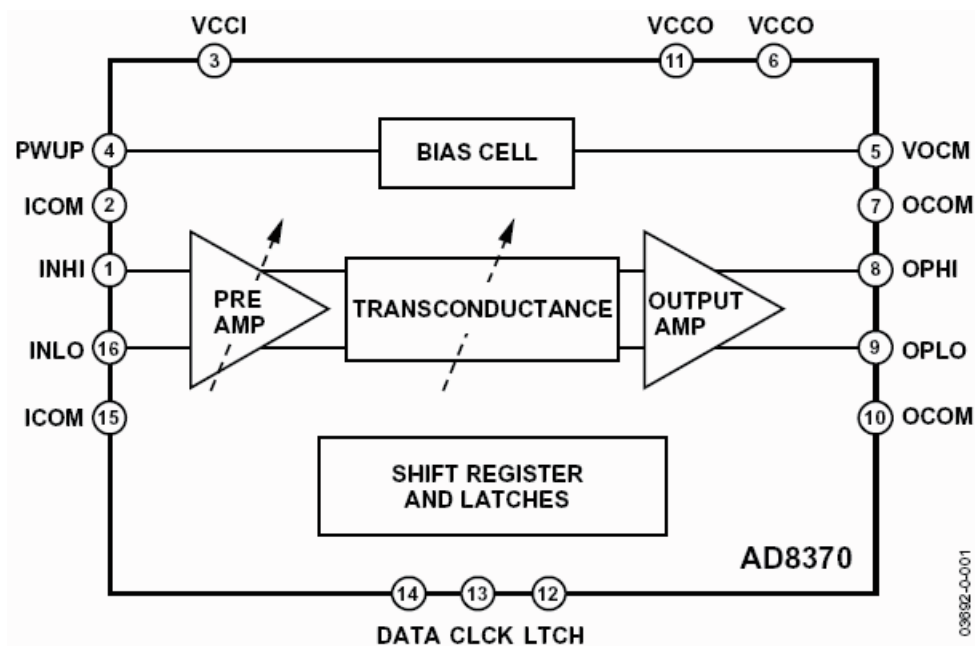


图9：750MHz数字控制式VGA AD8370

[AD8370](#)具有出色的失真性能和宽带宽。对于宽输入动态范围应用，AD8370能提供以下两种输入范围：高增益模式和低增益模式。一个游标7位跨导(Gm)级能够以优于2 dB的分辨率提供28 dB增益范围，以优于1 dB的分辨率提供22 dB的增益范围。第二种增益范围比第一种要高17 dB，可选择用于改善噪声性能。AD8370的电源由PWUP引脚的逻辑电平提供，在关断模式下，其功耗小于4 mA，可以提供出色的输入-输出隔离。关断模式下工作时，增益设置保持不变。

AD8370的增益控制通过一个8位串行增益控制字实现。MSB在两个增益范围之间进行选择，余下的7位则以精确线性增益步进调整总增益。

[AD8375](#)是一款差分可变增益放大器，由一个150 Ω 数字控制式无源衰减器后接高线性度跨导放大器组成，如图10所示。

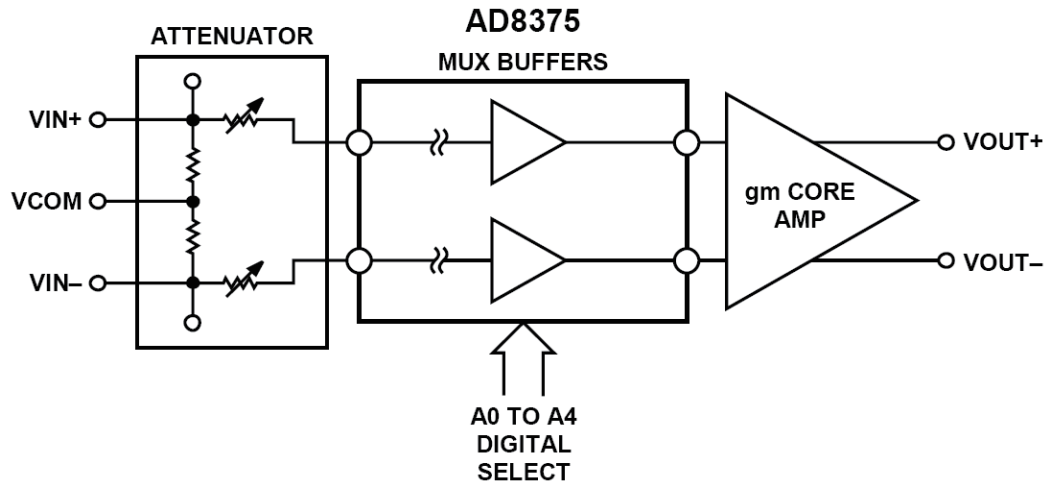


图10：630MHz低失真数字控制式VGA AD8375

一个5位二进制代码以1 dB步进更改衰减设置，从而使得器件的增益从20 dB(代码0)变为-4 dB(代码24及以上)。最大增益设置下，器件的噪声系数约为8 dB，并会随着增益下降而增加。噪声系数的增加量与增益的减少量相等。在输出端测得的器件线性度是一阶的，且与增益设置无关。增益介于0 dB至20 dB之间时，140 MHz条件下150 Ω 负载的OIP3约为50 dBm(每个信号音3 dBm)。增益设置为0 dB以下时，则会下降至约45 dBm。

参考文献

1. Hank Zumbahlen, *Basic Linear Design*, Analog Devices, 2006, ISBN: 0-915550-28-1. Also available as [*Linear Circuit Design Handbook*](#), Elsevier-Newnes, 2008, ISBN-10: 0750687037, ISBN-13: 978-0750687034. Chapter 4.
2. Walter G. Jung, [*Op Amp Applications*](#), Analog Devices, 2002, ISBN 0-916550-26-5, Also available as [*Op Amp Applications Handbook*](#), Elsevier/Newnes, 2005, ISBN 0-7506-7844-5. Chapter 6.

Copyright 2009, Analog Devices, Inc. All rights reserved. Analog Devices assumes no responsibility for customer product design or the use or application of customers' products or for any infringements of patents or rights of others which may result from Analog Devices assistance. All trademarks and logos are property of their respective holders. Information furnished by Analog Devices applications and development tools engineers is believed to be accurate and reliable, however no responsibility is assumed by Analog Devices regarding technical accuracy and topicality of the content provided in Analog Devices Tutorials.

高速电压反馈运算放大器

为了针对给定应用选择正确的高速运算放大器，需要了解各种运算放大器拓扑结构以及它们之间的权衡考虑。使用最为广泛的两种拓扑结构是电压反馈(VFB)和电流反馈(CFB)。以前的指南([MT-050](#)、[MT-051](#)、[MT-052](#))中已概要描述过这些拓扑结构，接下来，我们将更加详细地介绍这两种拓扑结构与频率相关的方面。

高速电压反馈(VFB)运算放大器拓扑结构

电压反馈(VFB)运算放大器的电路拓扑结构与电流反馈(CFB)运算放大器不同。VFB运算放大器无疑在低频应用中最受欢迎，但CFB运算放大器在高频下具有一定的优势。我们将在[指南MT-057](#)中详细讨论高速CFB运算放大器，这里先谈谈更加传统的VFB架构。

早期的IC电压反馈运算放大器基于“全NPN”工艺制成。这些工艺针对NPN晶体管而优化——“横向”PNP晶体的性能相对较弱。采用这种低质PNP的早期VFB运算放大器示例包括709、LM101和741。

横向PNP一般只用作电流源、电平转换器，或者其他非关键功能。下面的图1所示为基于这种工艺制成的一种典型VFB运算放大器的简化原理图。

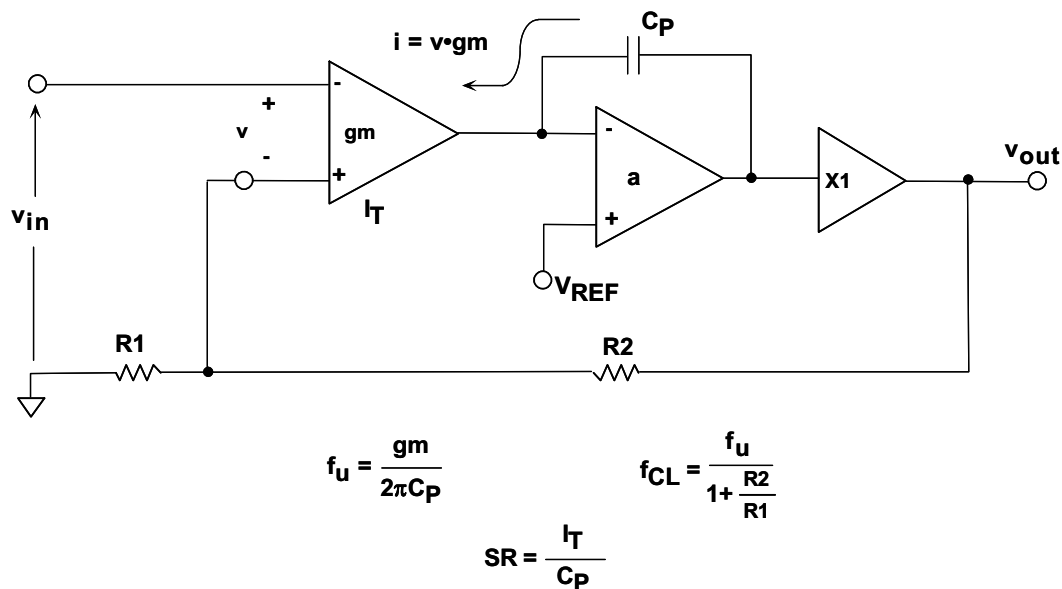


图1：基于“全NPN”IC工艺设计的电压反馈(VFB)运算放大器

输入级为一个差分对(有时称为长尾对),由双极性对(Q1, Q2)或FET对构成。该“ g_m ”(跨导)级将小信号差分输入电压 v 转换成一个电流 i ,其传递函数以电导率单位 $1/\Omega$ (或姆欧)测量。小信号发射极电阻 r_e 大约等于小信号 g_m 的倒数。

单个双极性晶体管的小信号 g_m 的计算公式来自以下等式:

$$g_m = \frac{1}{r_e} = \frac{q}{kT} (I_C) = \frac{q}{kT} \left(\frac{I_T}{2} \right), \text{ 或} \quad \text{等式1}$$

$$g_m \approx \left(\frac{1}{26\text{mV}} \right) \left(\frac{I_T}{2} \right) \quad \text{等式2}$$

其中, I_T 为差分对尾电流, I_C 为集电极静态偏置电流($I_C = I_T/2$), q 为电子电荷, k 为玻尔兹曼常数, T 为绝对温度。在 $+25^\circ\text{C}$ 下, $V_T = kT/q = 26 \text{ mV}$ (经常称为热电压 V_T)。

就如我们即将看到的那样,放大器单位增益带宽积 f_u 等于 $g_m/2\pi C_p$,其中,电容 C_p 用于设置主极点频率。为此,尾电流 I_T 与绝对温度成比例(PTAT)。该电流会跟踪 r_e 随温度的变化情况,从而使 g_m 不依赖于温度。使 C_p 在温度范围内保持不变是相对容易的。

g_m 级的Q2集电极输出驱动横向PNP晶体管的发射极(Q3)。需要注意的是, Q3并非用于放大信号,而是用来转换电平,即Q2集电极中的信号电流变化出现在Q3的集电极上。Q3的集电极电流会在高阻抗节点A上形成一个电压, C_p 设定放大器的主极点。发射极跟随器Q4提供低阻抗输出。

高阻抗节点A处的有效负载可通过与主极点电容 C_p 并联的电阻 R_T 表示。小信号输出电压 v_{out} 等于小信号电流 i 与 R_T 和 C_p 的并联阻抗之积。

下面的图2所示为单极放大器的简单模型以及对应的波特图。波特图是以对数-对数比例尺绘制的。

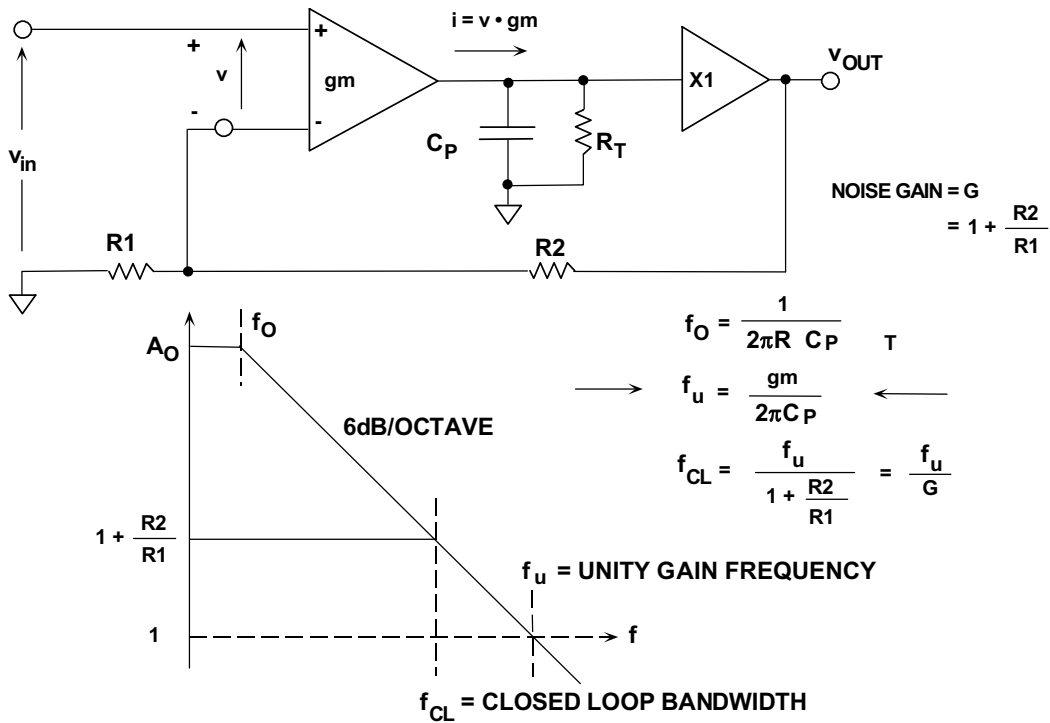


图2: VFB运算放大器的模型和波特图

低频断点 f_o 通过以下等式计算:

$$f_o = \frac{1}{2\pi R_T C_P} \quad \text{等式3}$$

注意, 高频响应完全取决于 g_m 和 C_p :

$$v_{out} = v \cdot \frac{g_m}{j\omega C_P} \quad \text{等式4}$$

单位增益带宽频率 f_u 发生于 $|v_{out}| = |v|$ 时。使 $\omega = 2\pi f_u$ 且 $|v_{out}| = |v|$, 等式4中的 f_u 可以求解。

$$f_u = \frac{g_m}{2\pi C_P} \quad \text{等式5}$$

我们可以使用反馈理论来推导电路信号输入电压 v_{in} 及其输出电压 v_{out} 之间的闭环关系:

$$\frac{v_{out}}{v_{in}} = \frac{1 + \frac{R2}{R1}}{1 + \frac{j\omega C_P}{g_m} \left(1 + \frac{R2}{R1}\right)}. \quad \text{等式6}$$

在运算放大器3 dB闭环带宽频率 f_{cl} 下，以下等式成立：

$$\frac{2\pi f_{cl} C_P}{g_m} \left(1 + \frac{R2}{R1}\right) = 1, \text{ 因此有} \quad \text{等式7}$$

$$f_{cl} = \frac{g_m}{2\pi C_P} \left(\frac{1}{1 + \frac{R2}{R1}} \right), \text{ 或} \quad \text{等式8}$$

$$f_{cl} = \frac{f_u}{1 + \frac{R2}{R1}}. \quad \text{等式9}$$

这显示了VFB运算放大器的基本属性：闭环带宽与闭环增益之积是一个常数，即VFB运算放大器在多数可用频率范围内将展现一个恒定不变的增益带宽积。

如前所述，有些VFB运算放大器(称为非完全补偿)在单位增益下并不稳定，但根据设计，其工作时会有定量(较高)的闭环增益。然而，即使对这些运算放大器来说，增益带宽积在整个稳定区域内仍然是相对恒定不变的。

现在，我们考虑以下典型示例： $I_T = 100 \mu\text{A}$, $C_P = 2 \text{ pF}$ 。我们发现：

$$g_m = \frac{I_T/2}{V_T} = \frac{50\mu\text{A}}{26\text{mV}} = \frac{1}{520\Omega} \quad \text{等式10}$$

$$f_u = \frac{g_m}{2\pi C_P} = \frac{1}{2\pi(520)(2 \cdot 10^{-12})} = 153\text{MHz}. \quad \text{等式11}$$

现在，我们必须考虑电路中的大信号响应。压摆率SR就是总的可用充电电流 $I_T/2$ ，再除以主极点电容 C_P 。对于现在考虑的示例：

$$I = C \frac{dv}{dt}, \frac{dv}{dt} = \text{SR}, \text{SR} = \frac{I}{C} \quad \text{等式12}$$

$$SR = \frac{I_T / 2}{C_P} = \frac{50\mu A}{2pF} = 25V/\mu s. \quad \text{等式13}$$

现在，可以通过以下公式计算运算放大器的全功率带宽(FPBW):

$$FPBW = \frac{SR}{2\pi A} = \frac{25V/\mu s}{2\pi \cdot 1V} = 4MHz, \quad \text{等式14}$$

其中，A是输出信号的峰值幅度。如果假设存在2 V峰峰值输出正弦波(这无疑是高速应用的一个合理假设)，则可得到仅为4 MHz的FPBW，即使小信号单位增益带宽积为153 MHz! 对于2 V峰峰值输出正弦波，失真发生的频率远远低于实际FPBW频率。我们必须将SR提高约40倍，以使FPBW等于153 MHz。唯一方法是将输入差分对的尾电流 I_T 提高相同的倍数。这意味着，要实现160 MHz的FPBW，则需要4 mA的偏置电流。我们的假设是， C_p 为一个2 pF的固定值电容，根据设计，不能降低该值。下面的图3对这些计算进行了总结。

- ◆ Assume that $I_T = 100\mu A$, $C_p = 2pF$

$$g_m = \frac{I_c}{V_T} = \frac{50\mu A}{26mV} = \frac{1}{520\Omega}$$

$$f_u = \frac{g_m}{2\pi C_p} = 153MHz$$

- ◆ Slew Rate = SR =

BUT FOR 2V PEAK-PEAK OUTPUT (A = 1V)

$$FPBW = \frac{SR}{2\pi A} = 4MHz$$

- ◆ Must increase I_T to 4mA to get $FPBW = 160MHz!!$
- ◆ Reduce g_m by adding emitter degeneration resistors

图3: VFB运算放大器的带宽和压摆率计算

实际上，运算放大器的FPBW应该大约为最大输出频率的5至10倍，以取得可以接受的失真性能(典型值为55-80 dBc @ 5-20 MHz，但实际系统要求存在较大差异)。

但需要注意的是，提高尾电流会导致 g_m 按比例增加，从而使 f_u 也按比例增加。为了防止 f_u 的大幅增加而可能导致的不稳定性，可以插入电阻并使其与发射极Q1和Q2串联，从而降低 g_m (这种技术称为发射极衰减，同时能够使 g_m 传递函数线性化，从而减少失真)。

从分析可以看出，常规双极性电压反馈运算放大器的一个主要低效问题是，如果不按比例增加静态电流，则无法实现高压摆率(设 C_p 固定不变，且其合理最小值为2或3 pF)。

当然，这并不是说，运用这种架构设计的高速运算放大器存在缺陷，只是说目前有电路设计技术能以低得多的静态电流实现与之相当的性能。这在便携式电池供电设备中是非常重要的，因为，其中每毫瓦特的功耗都是至关重要的。

基于互补双极性工艺设计的VFB运算放大器

随着拥有高品质PNP和NPN晶体管的互补双极性(CB)工艺的出现，如图4简化原理图所示VFB运算放大器配置逐渐流行起来。

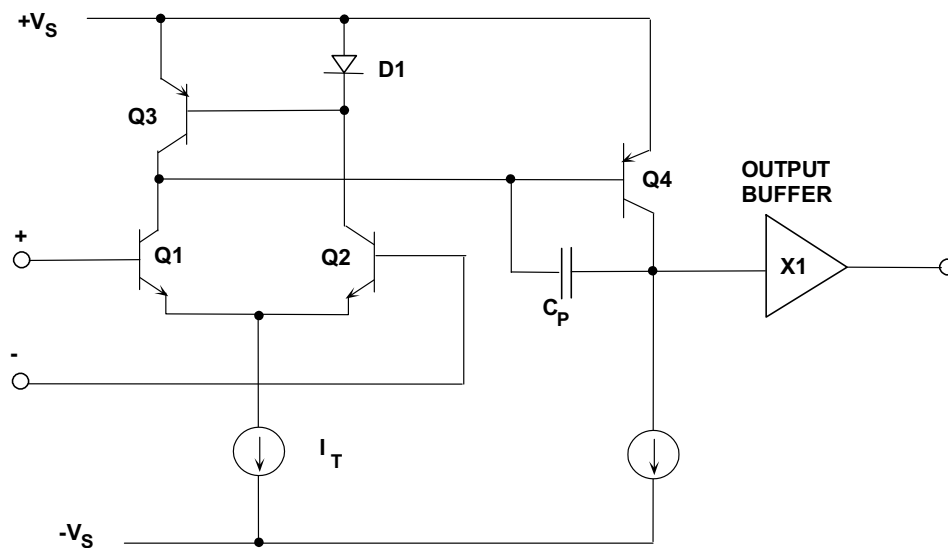


图4：采用两个增益级的VFB运算放大器

请注意，输入差分对(Q1, Q2)由一个电流镜(Q3和D1)加载。为简化起见，我们把D1表示为一个二极管，但它实际上是一个以二极管连接的PNP晶体管(与Q3匹配)，其基极和集电极是相连的。本节后面部分的许多电路图都会使用这种简化图示。共用发射极晶体管Q4提供第二电压增益级。

由于PNP晶体管是以互补双极性工艺制成的，因此，其质量非常出色，并与NPN相匹配，因而适用于电压增益。图4中放大器的主极点由 C_p 设定，增益级Q4与局部反馈电容 C_p 的组合通常称为密勒积分器。单位增益输出缓冲器通常是一个互补发射极跟随器。

下面的图5所示为该双级VFB运算放大器的一个模型。请注意，单位增益带宽频率 f_u 仍然取决于输入级 g_m 和主极点电容 C_p 。第二增益级会提高直流开环增益，但最大压摆率仍然受到输入级尾电流的限制： $SR = I_T/C_p$ 。

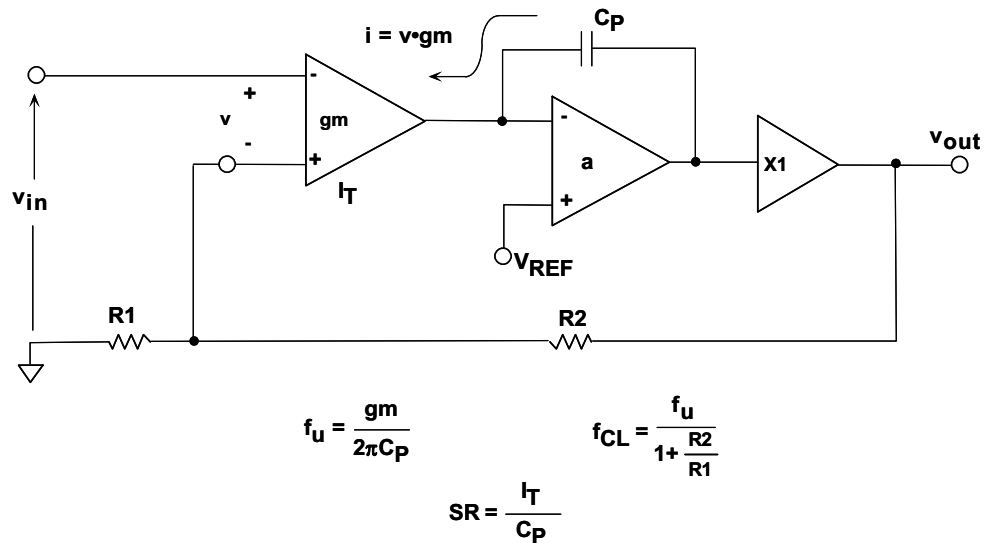


图5：双级VFB运算放大器模型

诸如此类双级放大器拓扑结构被IC工业广泛应用于VFB运算放大器之中，精密和高速放大器均是如此。

另一种流行的VFB运算放大器架构是折叠式共源共栅，如图6所示。有一个行业标准视频放大器系列([AD847](#))即是以这种架构为基础的。该电路同时利用了基于CB工艺的快速PNP。Q1和Q2集电极中的差分信号电流馈入PNP共源共栅晶体管对的发射极中(术语折叠式共源共栅即源于此)。Q3和Q4集电极以电流镜D1和Q5加载，电压增益则形成于Q4-Q5节点。这种单极架构在高阻抗节点采用结电容来实现补偿(C_{STRAY})。

一些变化设计将该节点引至一个外部引脚，从而可在需要时，增加额外的外部电容。

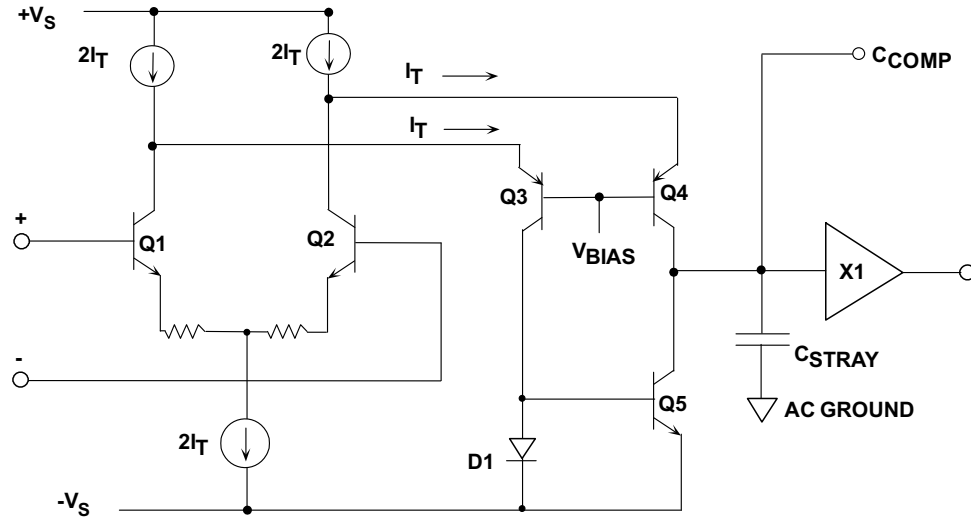


图6: [AD847](#)系列折叠式共源共栅晶体管的简化电路图

如果Q1和Q2中无发射极衰减电阻，且不采用额外的外部补偿电容，则该电路只能在高闭环增益下保持稳定。然而，该系列同时提供单位增益补偿版本，具有适量的发射极衰减。

基于CB工艺的JFET的上市，不但有助于实现低输入偏置电流，同时可以改善压摆率折衷，这种折衷是双极性输入级中 g_m 和 I_T 之间的无赖之举。图7所示为[AD845](#) 16 MHz运算放大器的简化原理图。JFET每mA尾电流的 g_m 比双极性晶体管要低得多。由于FET的 g_m 较低，因而可以增加输入尾电流(从而增加压摆率)，而无需增加 C_p 即可保持稳定。

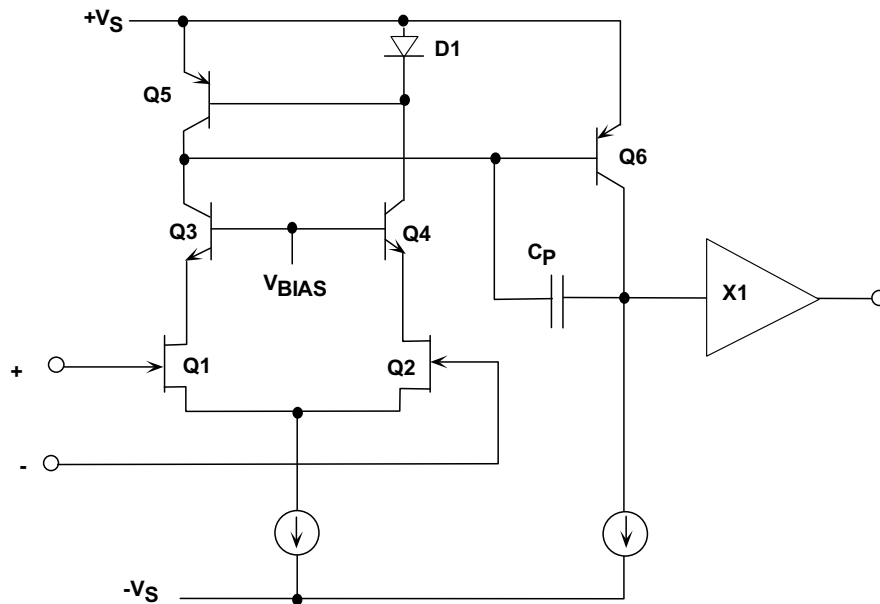


图7: [AD845](#) BiFET 16MHz运算放大器的简化电路图

JFET虽然看似性能不佳，但奇怪的是，这正是快速、高压摆率输入级所需要的特性。对于一个典型的JFET，双极性晶体管的 g_m 值约为 $I_s/1V$ (I_s 为源电流)，而不是 $I_c/26mV$ ，即FET g_m 约低40倍。如此，在JFET用作输入级时，对于给定 g_m ，可支持高得多尾电流(以及较高的压摆率)。

直到最近，运算放大器设计师还不得不在输入 g_m 级静态电流与压摆率和失真性能之间做出折衷。ADI公司的一种电路核心已获得专利，该核心可按需提供电流，以对主极点电容 C_p 进行充放电，同时支持小静态电流。额外的电流与快速摆动的输入信号成比例，并且会增加静态电流。基本核心单元的简化原理图如下面的图8所示。

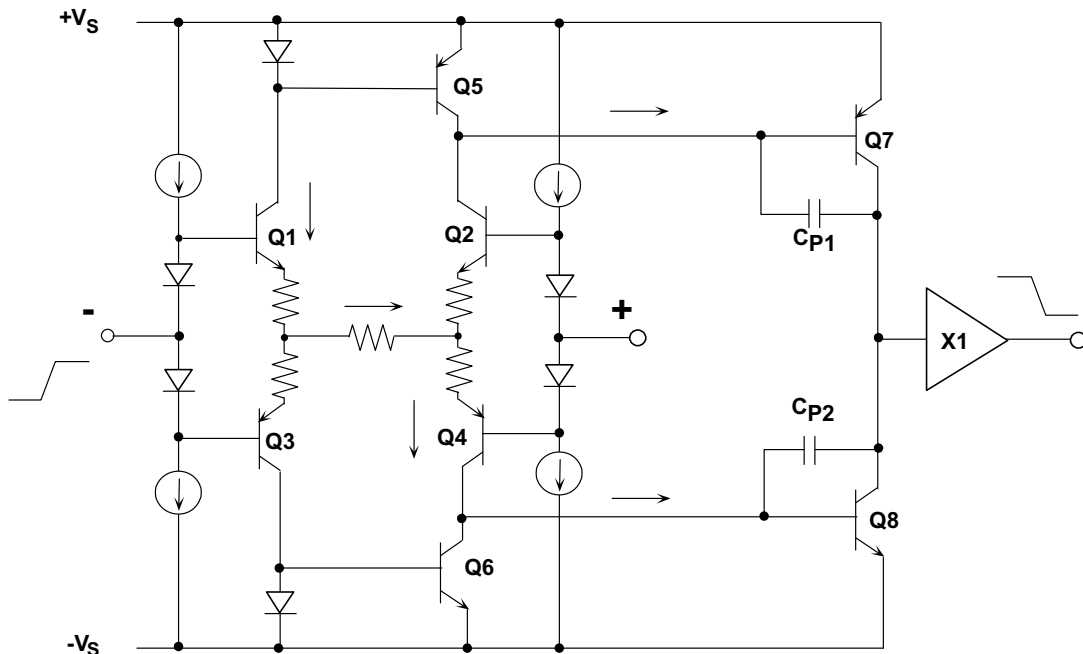


图8：支持按需电流的“四核”VFBgm级

四核(g_m 级)由晶体管Q1、Q2、Q3和Q4构成，其发射极相互连接，如图所示。现在考虑反相输入端上的一个正阶跃电压。该电压会在Q1中产生一个比例电流，后者由Q5映射至 C_{p1} 。通过Q1的电流也会流过Q4和 C_{p2} 。

在动态范围限值处，Q2和Q3会相应关闭。请注意， C_{p1} 和 C_{p2} 的充电和放电电流不受四核偏置电流的限制。但实际上，需要采用小型限流电阻，以形成一个“H”形的电阻网络，如图所示。Q7和Q8形成第二增益级(由Q5和Q6集电极差分驱动)，输出由一个单位增益互补发射极跟随器缓冲。

该四核配置已获得专利(参见参考文献1)，同时获得专利的有确立静态偏置电流的电路(图8中未显示)。“四核”也经常称为“H桥”核心。目前已发布采用这种专有配置的多种VFB运算放大器，可在低静态电流水平下提供无与伦比的高频失真性能、带宽和压摆率。图9列出了采用这种架构的几种电压反馈运算放大器，以便进行比较。

LISTED IN ORDER OF DECREASING SUPPLY CURRENT

PART #	I_{SY} / AMP	BANDWIDTH	SLEWRATE
AD8045 (1)	19mA	1000MHz	1350V/ μ s
ADA4899-1 (1)	16.2mA	600MHz	310V/ μ s
AD8099 (1)	16mA	500MHz	1600V/ μ s
AD8074 (3)	10mA	600MHz	1600V/ μ s
AD8057 (1)	7.5mA	325MHz	1150V/ μ s
AD8038 (1)	1.5mA	350MHz	425V/ μ s

Number in () indicates single, dual, triple, or quad

图9：部分高速VFB运算放大器

参考文献

1. Hank Zumbahlen, *Basic Linear Design*, Analog Devices, 2006, ISBN:0-915550-28-1. 另见 [Linear Circuit Design Handbook](#), Elsevier-Newnes, 2008, ISBN-10:0750687037, ISBN-13:978-0750687034。Chapter 1.
2. Walter G. Jung, *Op Amp Applications*, Analog Devices, 2002, ISBN 0-916550-26-5, 另见 [Op Amp Applications Handbook](#), Elsevier/Newnes, 2005, ISBN 0-7506-7844-5. Chapter 1.

Copyright 2009, Analog Devices, Inc. All rights reserved. Analog Devices assumes no responsibility for customer product design or the use or application of customers' products or for any infringements of patents or rights of others which may result from Analog Devices assistance. All trademarks and logos are property of their respective holders. Information furnished by Analog Devices applications and development tools engineers is believed to be accurate and reliable, however no responsibility is assumed by Analog Devices regarding technical accuracy and topicality of the content provided in Analog Devices Tutorials.

高速电流反馈运算放大器

CFB运算放大器简化电路和模型

现在，我们将详细考察高速运算放大器中非常流行的电流反馈(CFB)运算放大器拓扑结构。如前所述，电路概念虽然出现在数十年之前，但要充分发挥这种架构的优势，需要采用现代高速互补双极性工艺。

众所周知，在双极型晶体管电路中，在所有其他条件相同的情况下，电流的切换速度快于电压。这构成了非饱和发射极耦合逻辑(ECL)和电流输出DAC等器件的基础。在电流开关节点维持低阻抗有助于降低杂散电容的影响，这是高速运行状态下最大的危害因素之一。电流镜很好地展示了如何在最少量的延迟下实现电流开关。

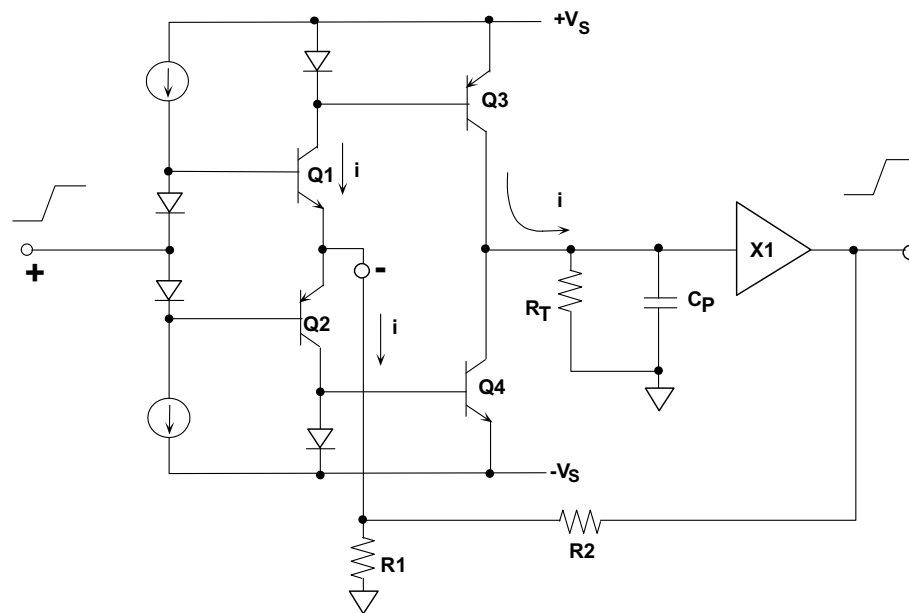


图1：简化版电流反馈(CFB)运算放大器

电流反馈运算放大器拓扑结构只是这些基本电流导引原理的应用。以上图1给出了简化的CFB运算放大器。同相输入端为高阻抗，并通过互补发射极跟随缓冲器Q1和Q2直接缓冲至反相输入端。注意，反相输出阻抗极低(一般为10至100 Ω)，这是低发射极电阻造成的(理想状况下为零)。这是CFB与VFB运算放大器之间的一个基本差异，同时也CFB运算放大器的一个特性，使其具有了某些特有的优势。

Q1和Q2的集电极输出驱动着电流镜，而电流镜则将反相输入电流映射到高阻抗节点，分别表示为 R_T 和 C_p 。高阻抗节点由一个互补单位增益发射极跟随器缓冲。从输出到反相输入的反馈发生作用，强制反相输入电流归零，这就是电流反馈这个术语的由来。注意，在理想状况下，对于零反相输入阻抗，该节点处不能存在小信号电压，只能存在小信号电流。

现在，考虑应用于CFB运算放大器同相输入端的一个正阶跃电压。Q1将立即将一个成比例的电流送入外部反馈电阻，从而形成一个误差电流，而Q3则会将该误差电流映射至高阻抗节点。在高阻抗节点处形成的电压等于该电流与等效阻抗之积。这个术语跨导运算放大器正是源于此，因为传递函数为一个阻抗，而不是像传统VFB运算放大器那样，是一个无单位的电压比值。

同时注意，传递至高阻抗节点的误差电流不受输入级尾电流的限制。换言之，不同于常规VFB运算放大器，理想的CFB运算放大器中不存在压摆率限制。电流镜从电源按需提供电流。在此基础上，负反馈环路强制使输出电压达到某个值，从而将反相输出误差电流归零。

CFB运算放大器的模型如图2所示，其中同时给出了相应的波特图。波特图是按对数-对数比例尺绘制的，开环增益表示为一个跨导 $T(s)$ ，其单位为欧姆。

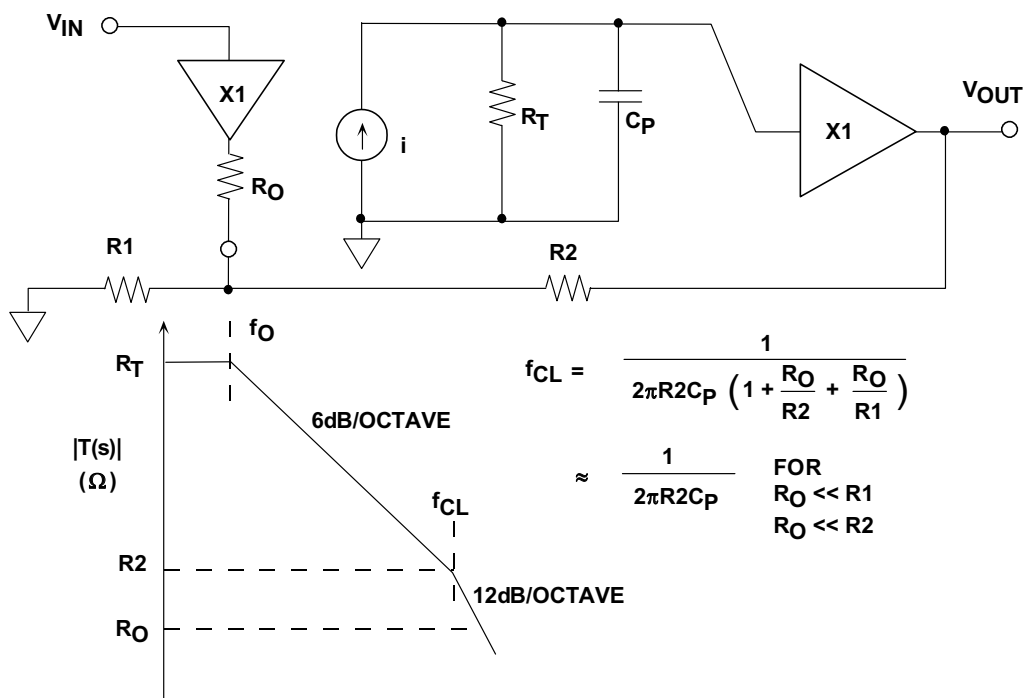


图2: CFB运算放大器模型与波特图

输入缓冲器的有限输出阻抗模拟为 R_o 。输入误差电流为 i 。应用负反馈原理，我们可以推出运算放大器传递函数的表达式：

$$\frac{v_{out}}{v_{in}} = \frac{1 + \frac{R_2}{R_1}}{1 + j\omega C_P R_2 \left(1 + \frac{R_o}{R_2} + \frac{R_o}{R_1} \right)}. \quad \text{等式1}$$

在运算放大器3 dB闭环带宽频率 f_{cl} 下，以下等式成立：

$$2\pi f_{cl} C_P R_2 \left(1 + \frac{R_o}{R_2} + \frac{R_o}{R_1} \right) = 1. \quad \text{等式2}$$

求解 f_{cl} ：

$$f_{cl} = \frac{1}{2\pi C_P R_2 \left(1 + \frac{R_o}{R_2} + \frac{R_o}{R_1} \right)}. \quad \text{等式3}$$

对于条件 $R_o \ll R_2$ 和 R_1 ，等式可简化为：

$$f_{cl} = \frac{1}{2\pi C_P R_2}. \quad \text{等式4}$$

仔细考察该等式，很快就会发现，CFB运算放大器的闭环带宽取决于内部的主极点电容 C_p 和外部反馈电阻 R_2 ，并且独立于增益设置电阻 R_1 。独立于增益维持带宽恒定的这种能力使得CFB运算放大器成为宽带可编程增益放大器的理想选择。

由于闭环带宽与外部反馈电阻 R_2 成反比，因此，CFB运算放大器通常是针对特定 R_2 而优化的。从最佳值开始增加 R_2 的值，结果会降低带宽，而降低该值则可能导致振荡和不稳定，这是高频寄生极点所致。

现代CFB运算放大器的性能

CFB运算放大器[AD8011](#)在各种闭环增益值(+1、+2和+10)下的频率响应如图3所示。注意，即使是在增益为+10时，闭环带宽仍然大于100 MHz。在增益为+1时发生的峰值现象是宽带CFB运算放大器用于同相模式时的典型特性，其主要原因是反相输入端存在杂散电容。可以通过牺牲带宽来减少这种峰值现象，其方法是使用一个略大的反馈电阻。

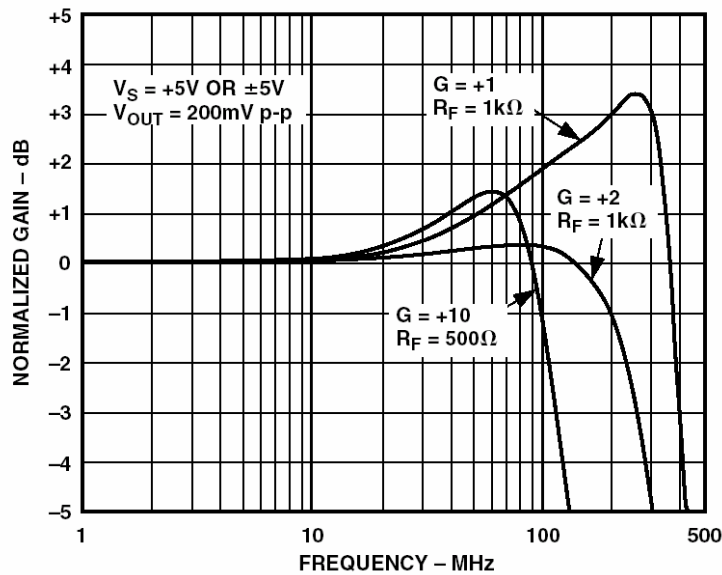


图3: AD8011 频率响应, $G = +1$ 、 $+2$ 、 $+10$

AD8011 CFB运算放大器(1995年推出)仍然代表着最佳性能, 其主要规格如下面的图4所示。

- ◆ 1mA Power Supply Current (+5V or ±5V)
- ◆ 300MHz Bandwidth ($G = +1$)
- ◆ 2000 V/μs Slew Rate
- ◆ 29ns Settling Time to 0.1%
- ◆ Video Specifications ($G = +2$)
 - Differential Gain Error 0.02%
 - Differential Phase Error 0.06°
 - 25MHz 0.1dB Bandwidth
- ◆ Distortion
 - 70dBc @ 5MHz
 - 62dBc @ 20MHz
- ◆ Fully Specified for ±5V or +5V Operation

图4: AD8011的主要技术规格

CFB运算放大器拓扑结构的进步

传统电流反馈运算放大器使用电流镜, 限制为一个单一的增益级。AD8011(以及该系列中的其他成员)与传统CFB运算放大器不一样, 采用二级增益配置, 如下面的图5所示。

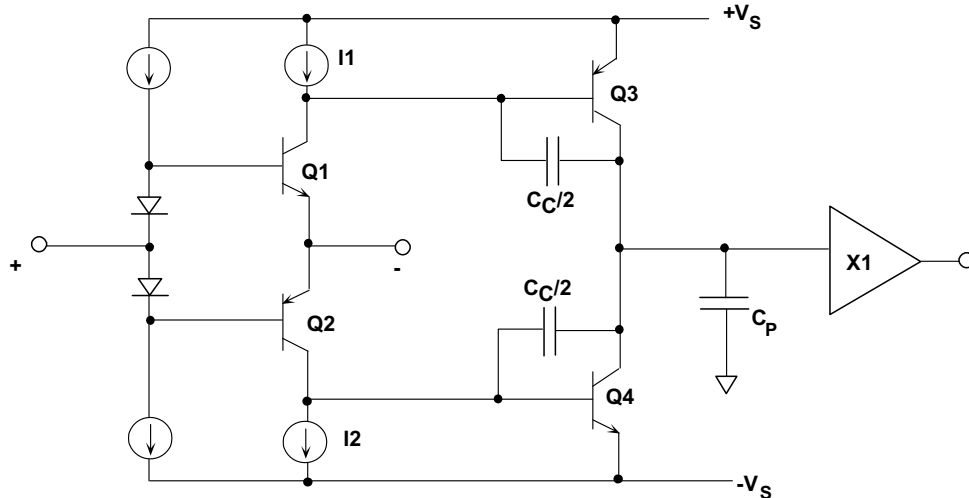


图5：简化的二级电流反馈运算放大器

在AD8011问世以前，完全互补型二增益级CFB运算放大器未达到实用水平，因为其功耗过高。AD8011采用一种专利第二增益级，由一对互补放大器(Q3和Q4)构成。注意，这对放大器并未作为电流镜连接，而是作为接地发射极增益级连接。电流源(I1和I2)的详细设计以及其各自的偏置电流是二级CFB电路成功的关键；它们可以使放大器的静态功耗保持于低位，同时却能为快速压摆期间所需要的宽电流偏移按需提供电流。二级放大器的另一个优势是其总带宽较高(功耗相同)，这意味着较低的失真以及驱动较大外部负载的能力。

图6简要总结了一些常见的电流反馈运算放大器。这些器件是按电源电流降序排列的。

LISTED IN ORDER OF DECREASING SUPPLY CURRENT

PART #	I_{SY} / AMP	BANDWIDTH	SLEWRATE
AD8009 (1)	16.0mA	1000MHz	5500V/ μ s
AD8000 (1)	14.3mA	1580MHz	4100V/ μ s
AD8002 (2)	11.5mA	600MHz	1200V/ μ s
AD8003 (3)	10.2mA	1650MHz	3800V/ μ s
ADA4861-3 (3)	6.83mA	730MHz	680V/ μ s
AD8001 (1)	5.0mA	880MHz	1000V/ μ s
AD8013 (3)	4.0mA	480MHz	1000V/ μ s
AD8011 (1)	1.3mA	400MHz	3500V/ μ s

Number in () Indicates Single, Dual, Triple, or Quad

图6：所选CFB运算放大器的性能

参考文献

1. Hank Zumbahlen, *Basic Linear Design*, Analog Devices, 2006, ISBN:0-915550-28-1. 另见 [Linear Circuit Design Handbook](#), Elsevier-Newnes, 2008, ISBN-10:0750687037, ISBN-13:978-0750687034。 Chapter 1.
2. Walter G. Jung, *Op Amp Applications*, Analog Devices, 2002, ISBN 0-916550-26-5, 另见 [Op Amp Applications Handbook](#), Elsevier/Newnes, 2005, ISBN 0-7506-7844-5. Chapter 1.

Copyright 2009, Analog Devices, Inc. All rights reserved. Analog Devices assumes no responsibility for customer product design or the use or application of customers' products or for any infringements of patents or rights of others which may result from Analog Devices assistance. All trademarks and logos are property of their respective holders. Information furnished by Analog Devices applications and development tools engineers is believed to be accurate and reliable, however no responsibility is assumed by Analog Devices regarding technical accuracy and topicality of the content provided in Analog Devices Tutorials.