



专为莱迪思FPGA架构而优化的领先的设计和实现工具

Lattice Diamond® 设计软件提供了最先进的设计和实现工具，专门针对成本敏感、低功耗的莱迪思 FPGA 架构进行了优化。Diamond 是替代 ispLEVER® 的新一代软件，具有设计探索、易于使用、改进的设计流程，以及许多其他的增强功能。新的和增强的功能使得用户能够更快、更方便地完成设计，并获得比以往更好的效果。可以从莱迪思网站下载 Windows 版和 Linux 版的 Diamond 软件。一旦下载并安装，可通过申请免费许可证或订购许可证来使用软件。

Diamond软件免费许可证

可从莱迪思网站申请免费许可证。使用了该许可证，就可立即免费使用许多深受欢迎的莱迪思器件，如 ECP5U、MachXO3L™、MachXO2™、MachXO™、Platform Manager 2 和 LatticeXP2™。它包括了支持莱迪思器件的 Synopsys® Synplify Pro™ 综合工具和 Aldec® Active-HDL™ 莱迪思版 II 混合语言仿真器。*

Diamond软件订购许可证

订购许可证提供了所有莱迪思 FPGA 产品的支持，包括 ECP5UM、LatticeECP3 器件。它还包括了支持莱迪思器件的 Synopsys® Synplify Pro™ 综合工具和 Aldec® Active-HDL™ 莱迪思版 II 混合语言仿真器。*

*Aldec® Active-HDL™ 莱迪思版 II 仿真器仅适用于 Windows。Floating 许可证需要额外的 ALDEC-USBKEY 产品。

重要功能和优点

设计探索

- 为设计探索不同的实现和策略
- 用于加速设计探索和使用多核处理器的运行管理器
- 莱迪思综合引擎 (LSE)，另一种适用于综合探索的选择

易于使用的功能

- 先进的下一代用户界面
- 报告视图带有消息筛选功能
- 全面的交叉查询支持
- 在文件列表视图中管理多个约束、preference、调试、时序分析器和功耗计算器文件
- 用于特定物理网表级更改的 ECO 编辑器
- 适用于混合信号器件应用的 Platform Designer 工具
- 改进了编程支持的编程器

改进的设计流程

- 新的时序分析器视图允许在无需重新实现设计的情况下，更新时序分析，包括时钟抖动分析
- 仿真向导，轻松导出设计到多个仿真器

Diamond 中包含的其他软件

- 适用于嵌入式微处理器应用的 LatticeMico™ 系统集成
- EPIC 全功能物理网表级编辑器

Lattice Diamond 主要功能

设计探索

项目/实现/策略

Diamond允许更多的项目，提供了许多更好的适用于设计探索的新功能。主要功能包括：

- 支持混合的Verilog、VHDL、EDIF和原理图源文件
- 实现的概念，允许在一个项目下的设计拥有多个版本，易于设计探索
- 策略使实现“方法”用于一个项目中的任意实现或在多个项目中共享
- 管理并选择文件用于约束、时序分析、功耗计算和硬件调试
- 使用运行管理器视图，用于多个实现的并行处理，以探索不同的设计方法寻求最佳的结果

HDL分析工具

- Hierarchy视图会自动解析和显示设计结构
- 显示post-synthesis以及post-map的设计资源使用情况
- 可以方便地访问每个层的源文件
- Hierarchy control、test bench generation和symbol generation选项

综合选项

- 莱迪思综合引擎（LSE）和Synplify Pro 可用于探索如何实现最优的结果。LSE 支持大部分器件，Synplify Pro适用于所有器件。这两种综合工具支持Verilog和VHDL语言，并使用Synopsys设计约束（SDC）格式的约束。

易于使用

新一代工具的图形化用户界面

Diamond用户界面在提供了先进功能的同时，还提供定制化的特性，更加便于你的使用。现在Diamond中的所有工具都以“视图”方式打开，集成到用户界面中。一旦熟悉了一个工具的使用，其他工具的使用方法也类同。

重要的图形化用户界面元素

- 所有视图都能看到的常用菜单和按钮
- 用户界面分为工具、项目和输出三个部分
- 开始页面——打开项目、导入ispLEVER项目、在线帮助和软件更新
- 报告视图——对实现工具产生的所有报告进行集中显示

通过ECO编辑器和编程器加速了常用的功能

- ECO编辑器提供了快速进行常用网表的编辑功能，而无需再使用一个EPIC全能编辑器
- 编程器可实现简便快捷的FPGA编程
- 部署工具可创建一个器件编程文件格式，用于用户部署模式

改进的设计流程

快速、方便的时序分析

时序分析视图提供了一个易于使用的图形化环境，用以查看时序信息。

- 图形化显示任何约束条件下的时序、原理图和详细路径
- 方便的提示信息，提供即时的设计反馈
- 当时序约束更改后，快速更新时序分析
- 添加了时钟抖动分析来改善您设计的稳定性

使用Tcl编写脚本

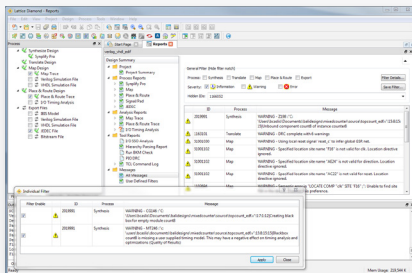
- 适用于项目、网表、HDL代码检测、功耗计算器和硬件调试的Tcl指令字典
- 除了Diamond环境下的Tcl控制台外，还有一个独立的Tcl控制台应用程序可单独运行脚本

方便地导出到仿真器

新的仿真向导将引导你完成所有必须的步骤，以你所希望的格式，将你的设计导出到Aldec或ModelSim仿真器。

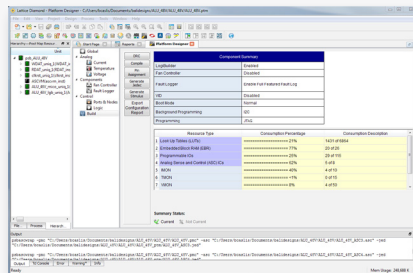
Lattice Diamond 主要工具

消息筛选



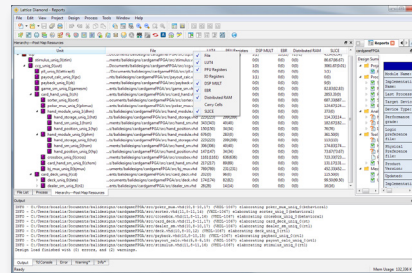
对你所选中的消息进行筛选，便于你进行设计分析。消息可以分别根据ID、类别或严重性进行筛选。

Platform Designer (平台设计器)



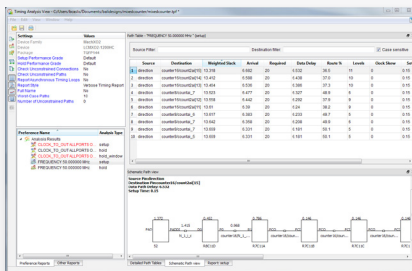
Platform Designer (平台设计器) 这个工具可以通过使用Platform Manager II 器件系列，轻松构建混合信号应用。方便地配置你的设计单元并进行编译，即使是使用了多块芯片的设计。

Hierarchy View (层次视图)



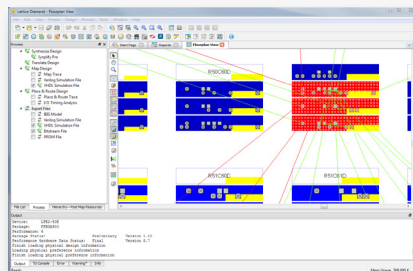
除了展示设计层次，在这里还可以找到许多重要的信息，如使用的源文件以及post-synthesis和post-map的资源使用情况。

时序分析



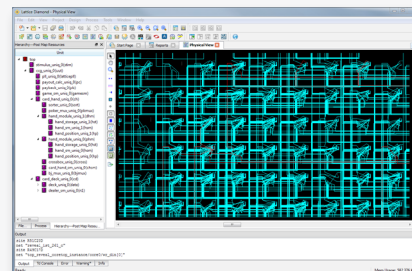
时序分析视图可以交互式地编辑时序约束和分析，加快时序收敛。

Floorplan 视图



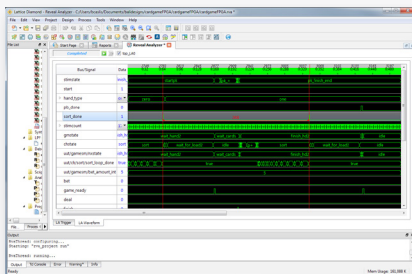
Floorplan视图提供了查看设计布局 and 编辑布局约束条件的功能。

物理视图



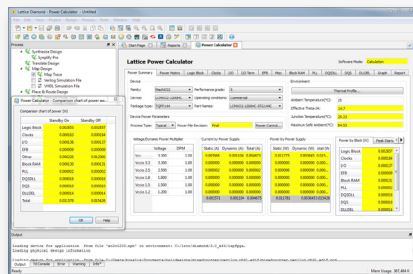
详细的实际布线路径的只读视图，为有关时序问题提供了更多详细信息。

Reveal 硬件调试器



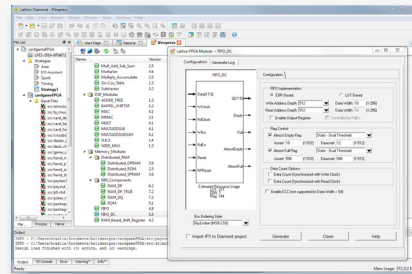
Reveal硬件调试器使用一个信号为中心的模式，便于插入嵌入式逻辑分析器，调试硬件用于实时分析。

Power Calculator (功耗计算器)



功率计算器使用数据模型，根据实际芯片性能进行估计和计算，提供准确的结果。

IPexpress



与莱迪思的各种功能模块和知识产权(IP)核接口，它们都针对莱迪思器件进行了优化。

功能	说明
功耗计算器	<ul style="list-style-type: none"> 高度精确的数据模型和数据驱动的功耗模型 提供功耗估计和计算结果，图形化的功耗显示和报告 此外，Power Estimator是一个独立的工具可提供功耗估计
数据表视图	<ul style="list-style-type: none"> 输入和查看设计约束（引脚分配、时钟资源的使用、全局约束、时序约束等） 检查引脚分配，实时或需要时进行
封装视图	<ul style="list-style-type: none"> 方便、图形化的信号至引脚的分配界面 SSO噪声分析的图形化显示
Floorplanning任务	<ul style="list-style-type: none"> Floorplan视图——查看设计布局并编辑布局约束 物理视图——实际布线路径的详细信息，有助于了解时序问题 网表视图——设计端口、实例和网表的查看。可拖放到其他视图来进行约束设置 NCD视图——物理元件的详细信息 器件视图——查看器件资源和编辑布局约束
莱迪思综合引擎(LSE)	<ul style="list-style-type: none"> 支持ECP5、LatticeECP3、LatticeECP2/M、MachXO3L/LF、MachXO2、MachXO和LatticeXP2器件系列 支持Verilog、VHDL和混合HDL设计 使用Synopsys设计约束 (SDC) 格式的约束
Reveal硬件调试器	<ul style="list-style-type: none"> 便于插入嵌入式逻辑分析器，以调试硬件用于实时分析 更有效的Reveal Analyzer模块，带有多个游标和rubber banding，用于在波形显示中的事件测量
IPexpress / Clarity	<ul style="list-style-type: none"> 接口到各种模块和知识产权 (IP) 核，它们都专门为莱迪思器件而做了优化 为每一个模块或IP导入参考文件，方便地整合为了再生成一个模块或IP而所需进行的更改 Clarity (ECP5): 构建和布局子系统，实现优化的性能
编程器	<ul style="list-style-type: none"> 全面的器件编程管理器 通过莱迪思软件生成的JEDEC和位流文件，高效地对莱迪思器件进行编程
部署工具	<ul style="list-style-type: none"> 创建各种器件编程文件格式用于测试、嵌入式系统或外部存储器
支持莱迪思器件的Synopsys Synplify Pro综合工具	<ul style="list-style-type: none"> 混合的VHDL和Verilog综合支持 自动重新时序 (平衡整个组合逻辑中的寄存器)
Aldec Active-HDL仿真	<ul style="list-style-type: none"> VHDL和Verilog的混合语言仿真 语言助理 高级的断点管理

Diamond 软件配置小结

	Lattice Diamond免费许可证	Lattice Diamond订购许可证
莱迪思器件支持		
ECP5UM, LatticeECP3, LatticeECP2M/S, LatticeECP2/S, LatticeSC™, LatticeSCM™		X
ECP5U, LatticeECP2, LatticeEC™, MachXO3L/LF, MachXO2, MachXO, LatticeXP2, LatticeXP™, Platform Manager 2, Platform Manager	X	X
重要的软件功能		
完备的Diamond软件环境	X	X
第三方软件		
Synopsys Synplify Pro	X	X
Aldec Active-HDL莱迪思版II	X	X
操作系统		
Windows 8, Windows 7 (64位应用程序用于64位操作系统, 32位应用程序用于32位操作系统)	X	X
Linux – REHL 6, 5 和 4; Novell SUSE 10	X	X
许可证及订购		
许可证条款	1年期Nodelocked版, 可延期	1年期订购版, Nodelocked或Floating版
订购部件编号	N/A	DIAMOND-E-12M

相关产品

产品	说明	订购部件编号
Aldec仿真Floating许可证USB Key	要求在使用Aldec仿真时必须使用floating许可证。现有的ispLEVER USB key也可用于Diamond软件。	ALDEC-USBKEY
下载电缆 (1.2V至3.3V USB编程电缆)	USB编程电缆	HW-USBN-2B
下载电缆 (1.2V至5V USB编程电缆)	USB编程电缆	HW-USBN-2A
下载电缆 (1.8V至5V 并行端口编程电缆)	并行端口编程电缆	HW-DLN-3C

应用支持

techsupport@latticesemi.com

Lattice Semiconductor Corporation 2015版权所有©. Lattice Semiconductor, L (设计图案) Lattice Semiconductor Corp.和Lattice (设计), IPexpress, ispLEVER, ispVM, Lattice Diamond, LatticeEC, LatticeECP, LatticeECP2, LatticeECP2M, LatticeECP3, ECP5, LatticeMico, LatticeMico32, LatticeSC, LatticeSCM, LatticeXP, LatticeXP2, MachXO, MachXO2, MachXO3, MachXO3L, Reveal和sysIO均为莱迪思半导体公司在美国 and/ 或其它国家的子公司的注册商标或商标。本出版物中提到的其它产品名称仅作识别目的，它们可能是其各自所有公司的商标。

2015年6月

订购编号: 1020706 版本1

