

文章编号: 1000-7709(2014)10-0166-03

# FPGA 示波器的采样存储和显示设计

吴建新<sup>1</sup>, 张宏广<sup>2</sup>, 陈 旭<sup>2</sup>

(1. 华中科技大学 电子与信息工程系, 湖北 武汉 430074; 2. 华中科技大学 光学与电子信息学院, 湖北 武汉 430074)

**摘要:** 为实现示波器的高速、经济、便携, 设计了以 FPGA 为控制核心的数字示波器。系统在硬件上采用可变增益放大器做信号调理电路, AD9288 做高速模数转换器, 并用液晶屏幕显示波形; 在软件上使用软触发、触发电平可调和插值算法, 改善了信号的波形。经测试, 该系统可较好地实现信号测量、存储和显示功能, 效果较好, 且成本低、体积小、应用范围广, 具有较强的推广价值。

**关键词:** 信号调理; FPGA; 数字存储; 示波器

**中图分类号:** TM93

**文献标志码:** B

## 1 引言

在水电系统的测试和检修中, 示波器用来观察信号波形并进行相关参数的测量, 是一种重要的仪器设备。相比于模拟示波器, 数字示波器因具有存储信号波形、体积小、功耗低、使用简便等优点, 正逐渐取代模拟示波器。然而, 目前我国拥有自主知识产权的数字示波器较少, 主要依赖于国外产品, 这些产品价格昂贵, 因此研究数字存储示波器很有必要。为此, 本文设计了一套以 FPGA 为控制核心的简易数字存储示波器<sup>[1]</sup>, 测试结果表明, 该系统可测信号频率范围为 8 Hz ~ 8 MHz、可测信号幅度范围为 10 mV<sub>pp</sub> ~ 10 V<sub>pp</sub>, 测量准确、波形稳定、无失真, 可广泛应用于水电系统的信号数据测试中, 对数字示波器制作技术具有一定的推动作用。

## 2 系统组成与工作原理

系统以 FPGA 为处理器, 通过对模数转换电路和 LCD 显示模块的控制, 可实现数据采样、存储、显示等功能, 达到数字存储示波器的基本技术要求。系统组成见图 1, 系统主要由信号调理电路<sup>[2]</sup>、高速 AD 采样电路、FPGA 存储及处理模块、LCD 液晶显示屏构成。工作原理为信号首先经过缓冲器 BUF634 进行阻抗变换<sup>[3]</sup>, 使输入阻抗达到 10 MΩ, 由于该系统频率达 8 MHz, 故缓

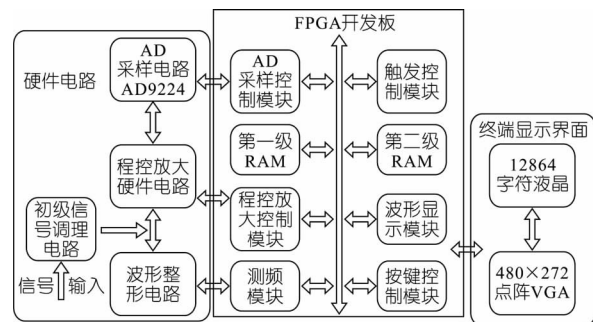


图 1 系统组成图

Fig. 1 Constitution diagram of system

冲器的正负电源引脚需施加 0.1、10 μF 的电容, 以分别滤除高频噪声和低频噪声; 采用程控放大器对不同幅度的信号分别放大<sup>[4]</sup>, 然后通过加法电路给信号一个直流偏置, 使信号幅度在 AD 的采样范围内; 对于频率在 1 MHz 以上的信号, 运用放大电路和整形电路将信号整形为方波, 进行测频; 运用高速 AD(AD9288) 在合适的频率下对信号进行采样, 并将采样的数据保存在一级缓冲 RAM 中; 系统在触发模块的控制下从一级缓冲 RAM 中取出合适数据并存放在二级 RAM 中; 在波形显示模块控制下, 系统从二级 RAM 中取出采样信号数据并在 LCD 上显示。

## 3 波形采样与存储

### 3.1 波形采样设计

示波器的采样方式有两种, 即实时采样和等效时间采样。实时采样根据奈奎斯特采样定律对

收稿日期: 2013-12-09, 修回日期: 2014-03-12

作者简介: 吴建新(1967-), 男, 硕士, 高级工程师, 研究方向为信号分析与检测、EDA 技术, E-mail: wujx@hust.edu.cn

信号进行采样,其采样频率与系统时钟有关,可以采集任意信号;等效时间采样可以提高采样频率,但只能对周期性信号进行采样。为了达到既能采集低频任意信号又能采集高频周期性信号的目的,该系统同时使用了两种采样方式。等效时间采样的基本原理是将高频周期性信号转换为低频周期性信号的过程,对周期性波形在不同的周期中进行采样,然后将采样点拼接起来重建波形;其优点是采样速率不受 AD 转换速率和系统时钟的限制,但为了得到足够多的采样点,需要多次触发<sup>[5]</sup>。系统中采用顺序等效时间采样,对每一个信号周期仅采样 1 个点,采样脉冲信号比被测量的信号延迟一个步进脉冲信号的宽度时间  $\Delta t$ ,如此采样脉冲就可以采集到一个完整的周期性信号。等效时间采样示意图见图 2,其中频率降低

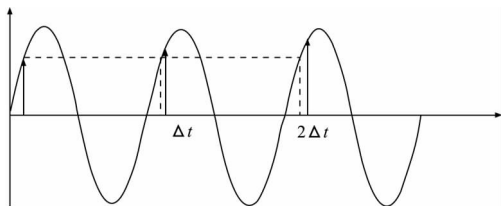


图 2 等效时间采样示意图

Fig. 2 Schematic diagram of equivalent time sampling

的倍数计算公式为:

$$N = T / \Delta t \quad (1)$$

式中,  $N$  为频率降低的倍数;  $T$  为被测信号的周期。

实时采样模式下,用计数器对系统时钟进行分频,分别得到各级采样时钟。在等效时间采样模式下,为了达到 100 Msa/s 的采样率,先利用 Xilinx IPcore 中的 DCM 核,倍频得到 100 MHz 的时钟,也就是 10 ns 的时间间隔,然后以周期性信号整形得到方波为触发信号,依次延时 10 ns 进行采样。系统中由采样控制模块决定系统实施实时采样方式或等效时间采样方式,两种方式独立工作。

### 3.2 波形存储模块设计

系统采用两级双口 RAM 的软件触发方式。第一级 RAM 存储采集到的数据,第二级 RAM 对满足触发条件的数据进行存储。软件设计中,利用状态机来实现,如 RAM 存储状态机见图 3。

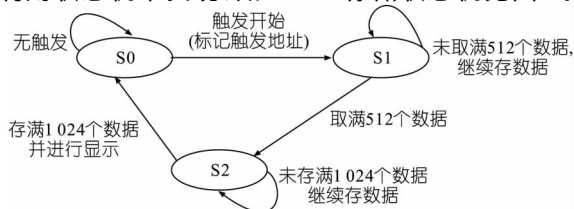


图 3 RAM 存储状态机图

Fig. 3 Diagram of RAM memory state machine

程序开始后,进入 S0 状态,将采样的波形存储于第一级双口 RAM,在触发电平和触发方式的作用下,进入 S1 状态,此时标记触发地址,并将满足触发的数据存入第二级 RAM 中,当存满 512 个字节数据时,进入 S2 状态,当抓取 1 024 个字节数据后使用 LCD 更新显示波形并进入 S0 状态,由于所用液晶屏行高 256,所以每次采集的 1 024 个数据可以显示 4 屏,波形可以左右移动,以达到数字存储的目的<sup>[6]</sup>。

## 4 系统显示与测试

为了显示信号波形,采用 4.3 寸(480×272)的点阵液晶,4.3 寸屏的每个点根据三原色光模式(RGB)原理可以得到 8 种颜色,共 24 位真彩颜色值,扫描时钟可以达到 8 MHz。显示时运用 VGA 原理,内部以行场和列场进行动态扫描,从而将波形显示出来,LCD 液晶屏的扫描示意图<sup>[7]</sup>见图 4。点阵液晶设有一个行计数器  $X$  和一个列计数器  $Y$ ,计数器  $X$  包含有 8 位二进制数(D7~D0)。列场计数器  $Y$  在循环外部,行场计数器  $X$  在内部,当行场计数器  $X$  到 479 时,列场计数器  $Y$  加 1,这时将 24 位 RGB 颜色值赋给数据线,从而将这一个点显示为所设想的颜色值。这样反复动态扫描,在较高的频率(8 MHz)和残光余辉效应作用下,可以动态显示波形。

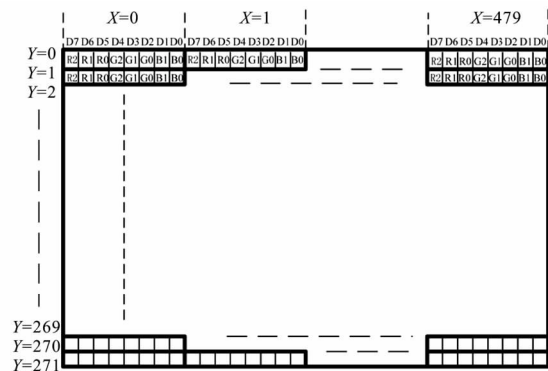


图 4 LCD 液晶屏的扫描示意图

Fig. 4 Schematic diagram of LCD screen scans

为了显示信号的特征信息,如峰峰值、频率、触发方式,系统采用了带字符库的 LCD12864 液晶屏,该屏幕使用方便,性价比较高。系统采用并行的数据传输方式,并行写数据 LCD12864 的时序图,见图 5。图 5 中,数据/指令 RS 寄存器为高电平,读/写寄存器 R/W 为低电平时,在使能信号  $E$  的上升沿将数据传给液晶模块并口,在屏幕上显示字符,由于屏幕时钟 CLK 为 2 MHz,此时数据通信频率高,所以显示无闪烁<sup>[8]</sup>。为了动态

