

2019年全国大学生电子设计竞赛系列培训



FPGA篇：FPGA介绍及电赛中的应用

主讲人：小脚丫FPGA团队

 摩尔吧 (moore_8)

 摩尔吧电赛交流群：836323769

CONTENTS



01 /

FPGA是什么

02 /

在电赛中的应用

03 /

掌握设计技能

04 /

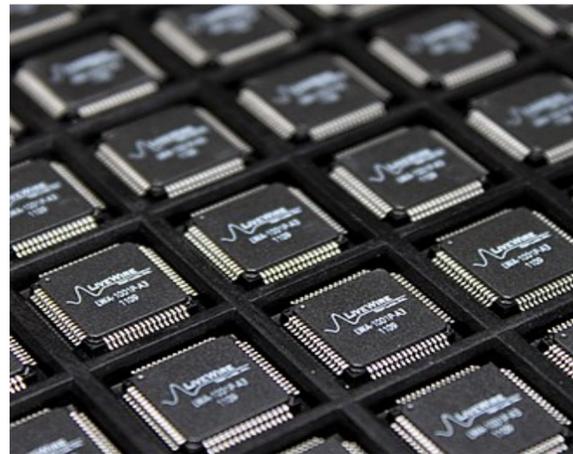
如何快速入门

FPGA是什么



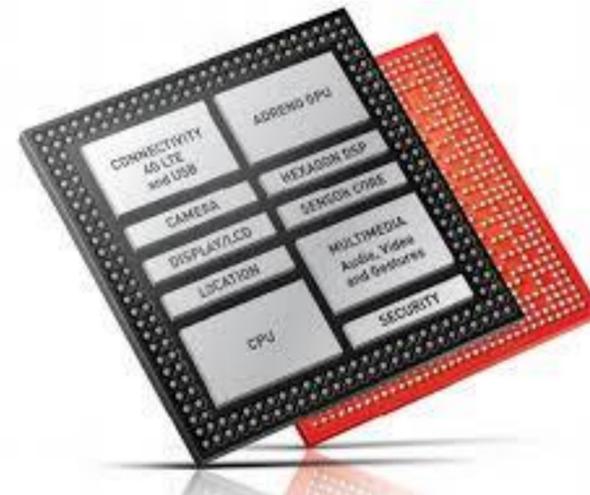
FPGA

Field Programmable Gate Array
现场可编程门阵列



ASIC

Application-specific Integrated Circuit
特定应用集成电路



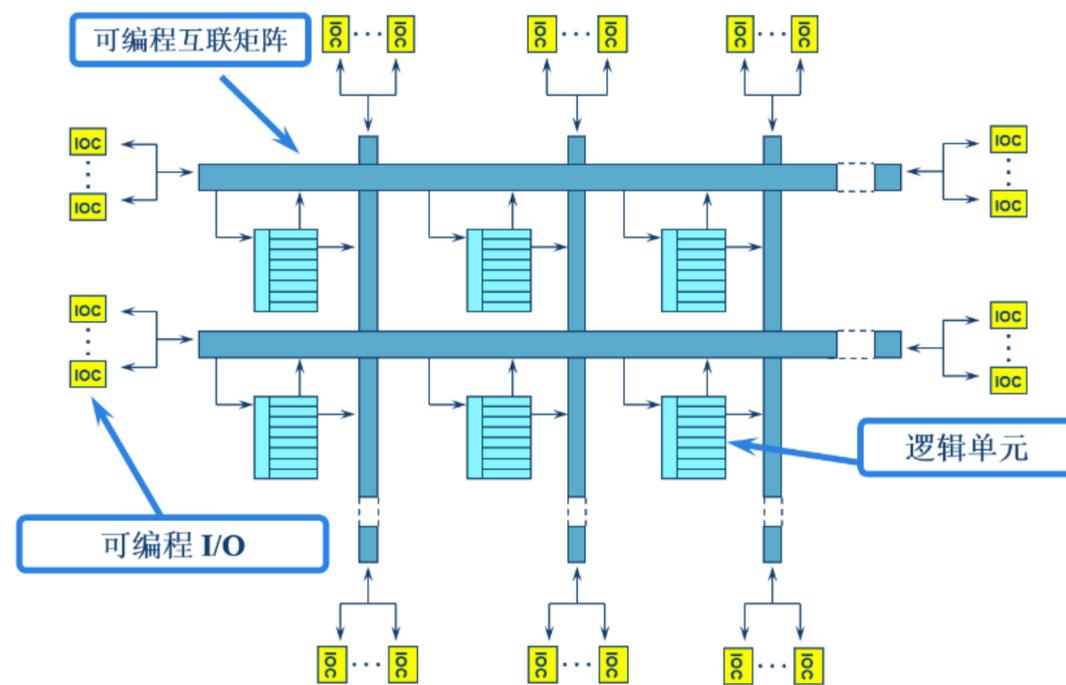
SOC

System On Chip
片上系统



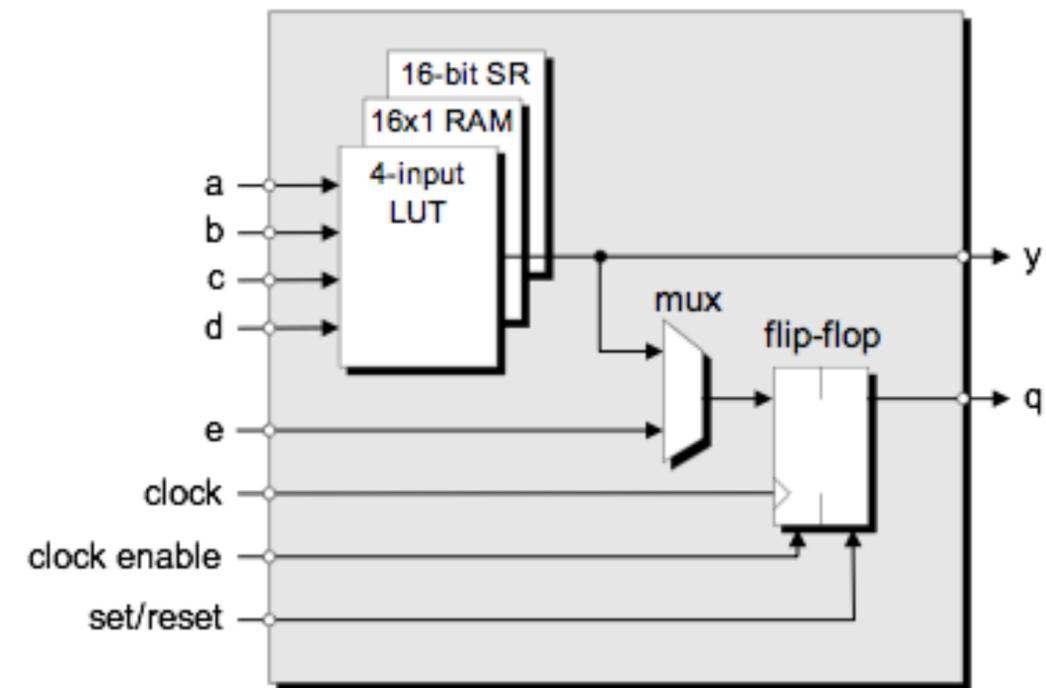
CPU / GPU / MPU
MCU / DSP / CPLD

.....



FPGA基本组成:

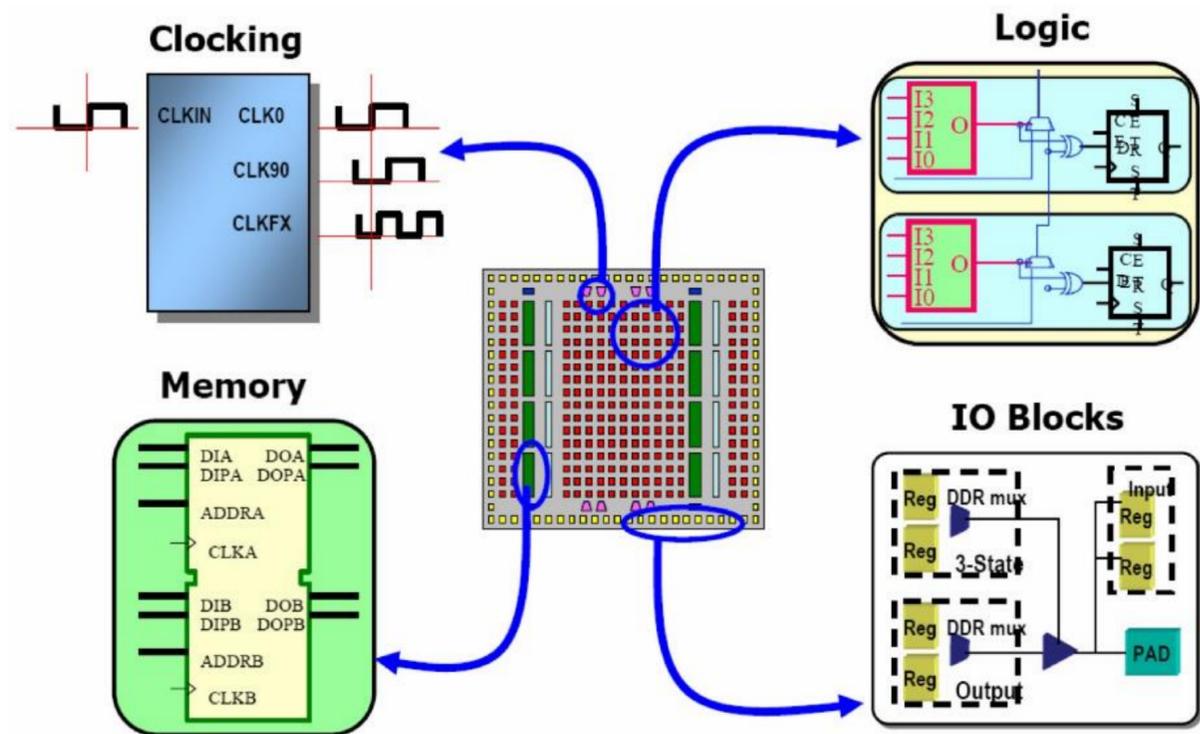
- 可配置逻辑模块CLB (Configurable Logic Block)
- 输入输出模块IOB (Input Output Block)
- 内部连线 (Interconnect)



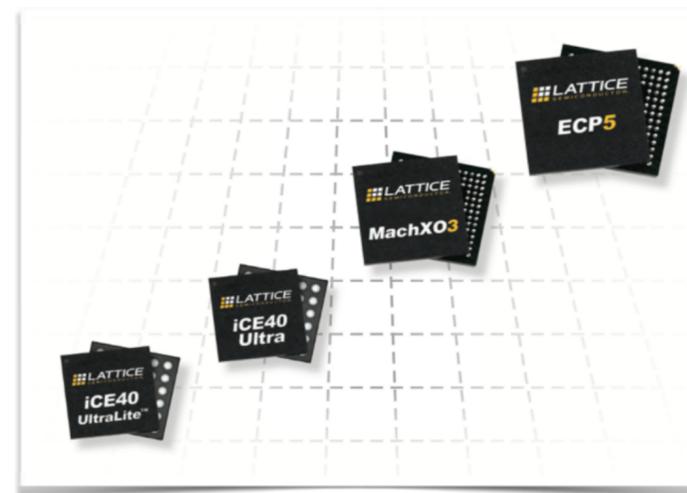
逻辑单元：4输入LUT+1个触发器

- Intel/altera: LE(Logic Element)
- Xilinx: LC(Logic Cell)
- Lattice: LUTs / SLICE

LUT: 查找表 (Look-Up-Table)



- » 内置处理器：软核 & 硬核 & DSP
- » 时钟及管理：PLL、DLL、驱动 / 分配
- » IO：多种高速收发、DDR存储器访问、可编程数控阻抗
- » 嵌入MAC单元 - 高效浮点运算
- » 各种内置存储器：双口RAM、FIFO
- » 各种常用接口：I2C、SPI等
- » 系统监控：内置ADCs



MICROCHIP

英特尔® FPGA 和可编程设备

英特尔® FPGA

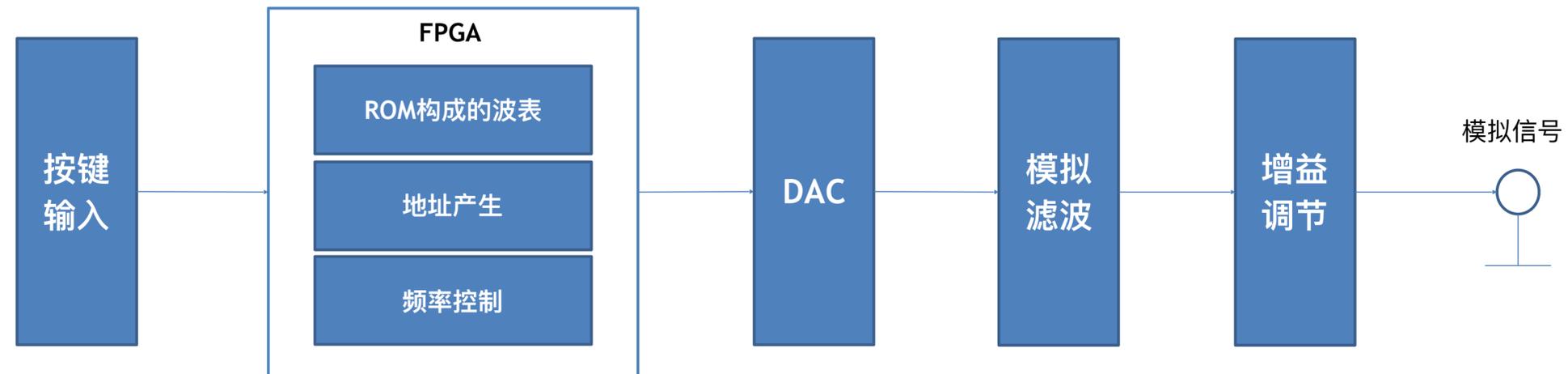


-
- **灵活性：**重复编程配置，启动前可更改，设计灵活。
 - **并行性：**并行处理结构可以同时处理不同运算数据或任务。
 - **速度快：**FPGA可对时钟倍频作系统时钟，加之并行性，可以达到较高的数据处理速度。
 - **集成度高：**丰富的片上硬件资源，可编程逻辑单元、I/O资源、RAM、片上处理器和DSP等。
 - **成本低：**数字电路硬件开发无需反复投板，开发周期短、费用低。

FPGA在电赛中的应用

- 仪器仪表/测试测量类
 - 信号源
 - 器件参数采集
 - 信号特征测量
- 数字系统处理类
 - 数据采集
 - 自适应滤波、数字滤波器 (FIR、IIR)
 - 语音处理及回放 - 通过音频Codec
- 控制系统类
 - 接口扩展, 传感器数据采集
 - 实时性, 精确控制
 - 硬件加速
- 通信类
 - 无线电发射机
 - 无线电接收机
 - 无线收发系统

仪器仪表类应用 - 信号发生



典型系统构成

典型应用：

- PWM: 通过GPIO生成不同占空比的数字脉冲波形，用于产生直流（DAC的功能）、控制LED等的亮度、驱动马达
- 正弦波生成 - 可以调节频率、幅度
- 任意波形 - 正弦波、三角波、锯齿波、方波
- 调幅/调频/调相波形：使用数字调制方式生成调制波形
- 时变波形：随时间改变相位)、频率

2005年全国大学生电子设计竞赛

正弦信号发生器 (A 题)

一、任务

设计制作一个正弦信号发生器。

二、要求

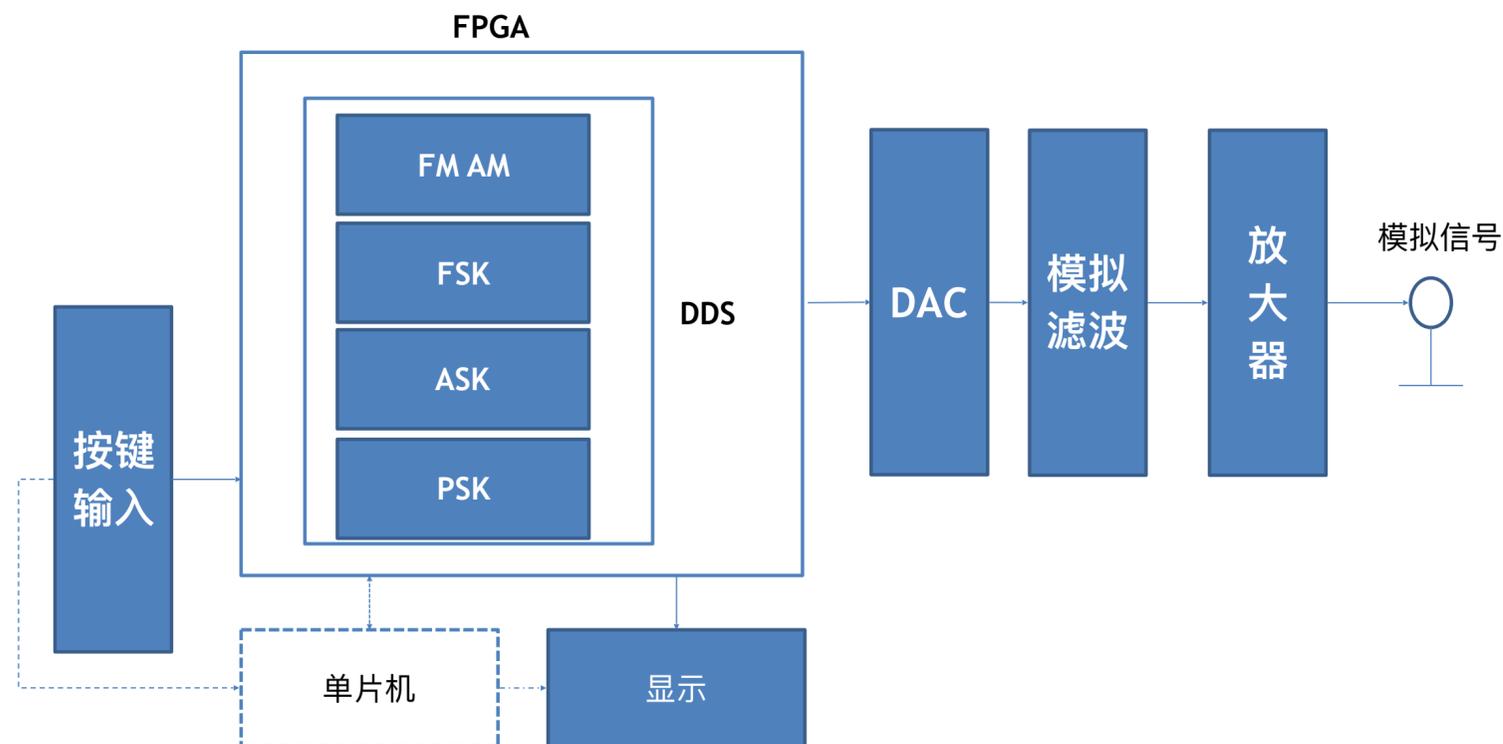
1、基本要求

- (1) 正弦波输出频率范围：1kHz~10MHz；
- (2) 具有频率设置功能，频率步进：100Hz；
- (3) 输出信号频率稳定度：优于 10^{-4} ；
- (4) 输出电压幅度：在 50Ω 负载电阻上的电压峰-峰值 $V_{opp} \geq 1V$ ；
- (5) 失真度：用示波器观察时无明显失真。

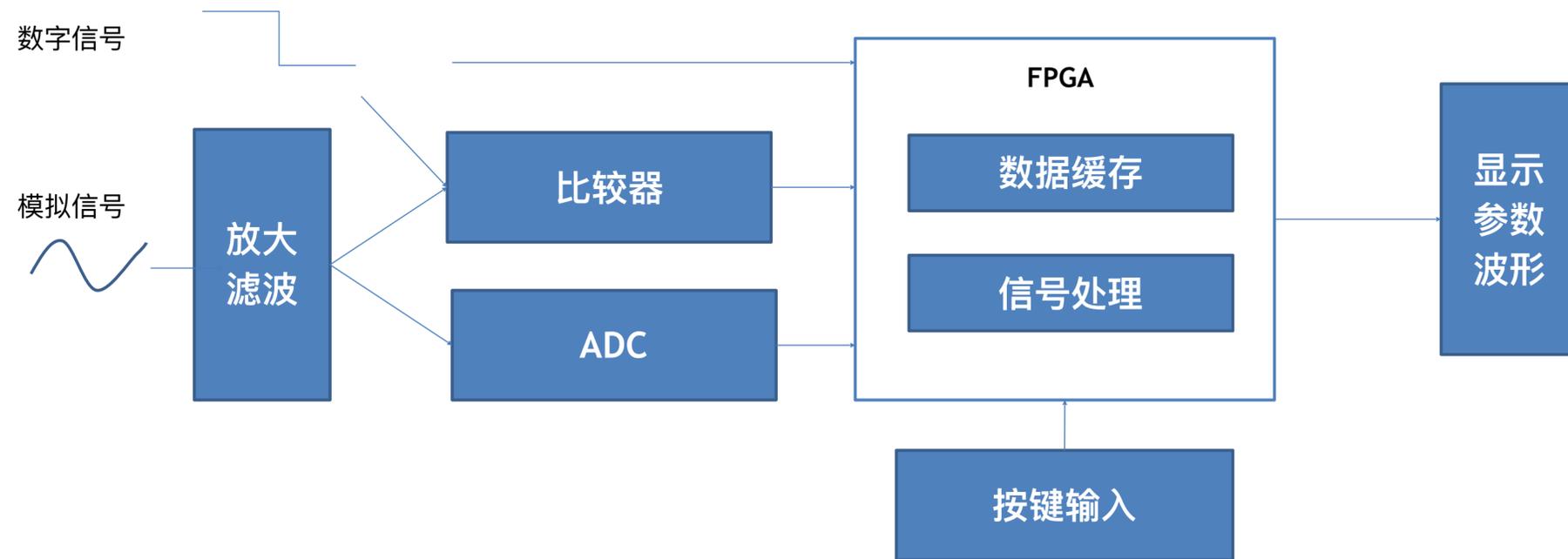
2、发挥部分

在完成基本要求任务的基础上，增加如下功能：

- (1) 增加输出电压幅度：在频率范围内 50Ω 负载电阻上正弦信号输出电压的峰-峰值 $V_{opp}=6V \pm 1V$ ；
- (2) 产生模拟幅度调制(AM)信号：在 1MHz~10MHz 范围内调制度 m_a 可在 10%~100%之间程控调节，步进量 10%，正弦调制信号频率为 1kHz，调制信号自行产生；
- (3) 产生模拟频率调制(FM)信号：在 100kHz~10MHz 频率范围内产生 10kHz 最大频偏，且最大频偏可分为 5kHz/10kHz 二级程控调节，正弦调制信号频率为 1kHz，调制信号自行产生；
- (4) 产生二进制 PSK、ASK 信号：在 100kHz 固定频率载波进行二进制键控，二进制基带序列码速率固定为 10kbps，二进制基带序列信号自行产生；



系统实现框图



系统举例 - 数据采集分析

典型应用

- 元器件参数 - 电阻、电容、运放
- 电气参数 - 工频、电压、电流、Q、功率因子
- 时域 - 频率、相位，用闸门计数器
- 时域波形 - 示波器，用触发
- 频域波形 - 频谱仪、音频信号分析、频率特性、幅频特性，FFT
- 数据域 - 传输时间、传输特性、逻辑分析仪、相关分析

数字频率计 (F 题) 【本科组】

一、任务

设计并制作一台闸门时间为 1s 的数字频率计。

二、要求

1. 基本要求

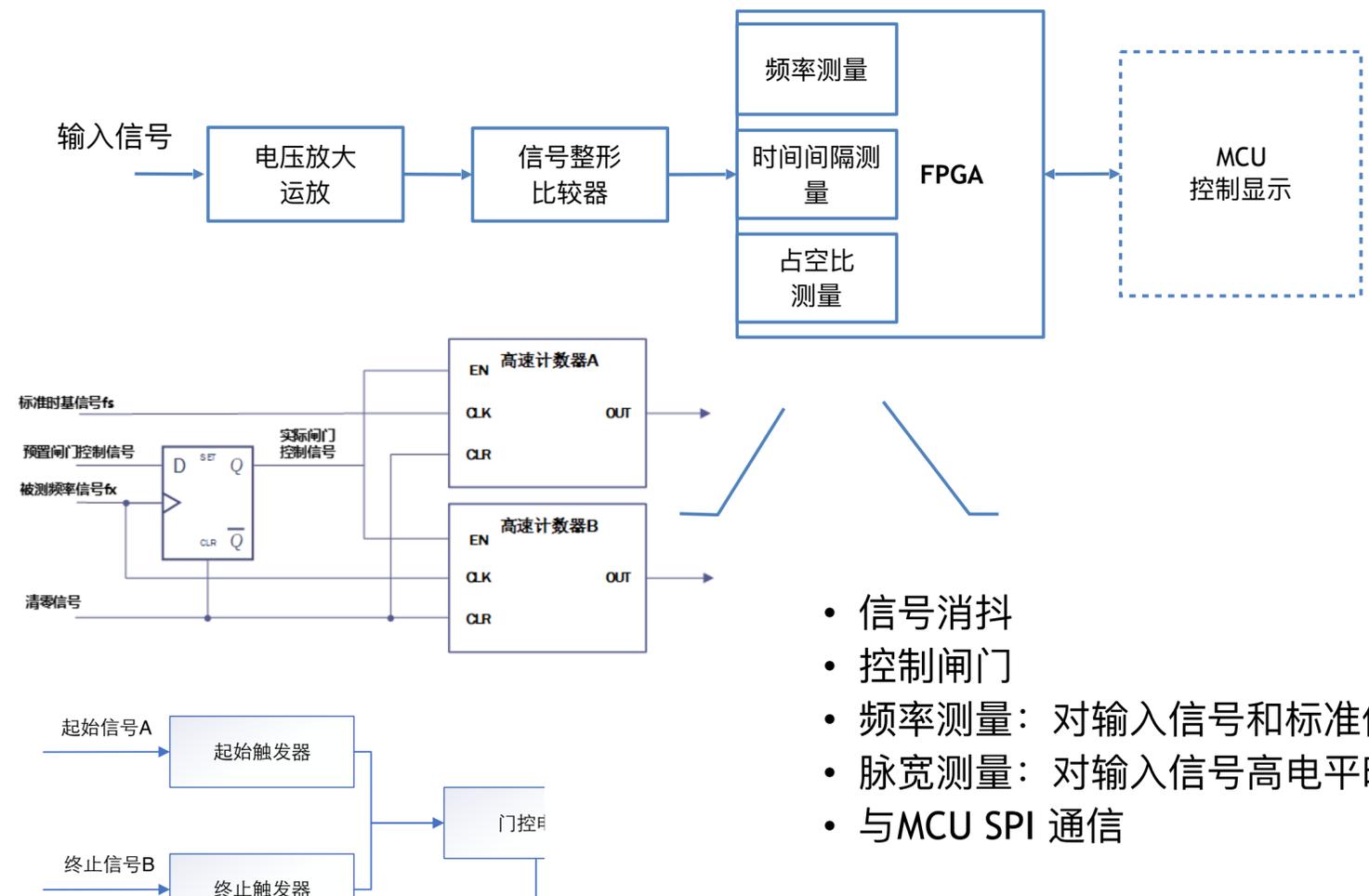
- 频率和周期测量功能
 - 被测信号为正弦波，频率范围为 1Hz~10MHz；
 - 被测信号有效值电压范围为 50mV~1V；
 - 测量相对误差的绝对值不大于 10^{-4} 。
- 时间间隔测量功能
 - 被测信号为方波，频率范围为 100Hz~1MHz；
 - 被测信号峰峰值电压范围为 50mV~1V；
 - 被测时间间隔的范围为 0.1 μ s~100ms；
 - 测量相对误差的绝对值不大于 10^{-2} 。
- 测量数据刷新时间不大于 2s，测量结果稳定，并能自动显示单位。

2. 发挥部分

- 频率和周期测量的正弦信号频率范围为 1Hz~100MHz，其他要求同基本要求 (1) 和 (3)。
- 频率和周期测量时被测正弦信号的最小有效值电压为 10mV，其他要求同基本要求 (1) 和 (3)。
- 增加脉冲信号占空比的测量功能，要求：
 - 被测信号为矩形波，频率范围为 1Hz~5MHz；
 - 被测信号峰峰值电压范围为 50mV~1V；
 - 被测脉冲信号占空比的范围为 10%~90%；
 - 显示的分辨率为 0.1%，测量相对误差的绝对值不大于 10^{-2} 。
- 其他 (例如，进一步降低被测信号电压的幅度等)。

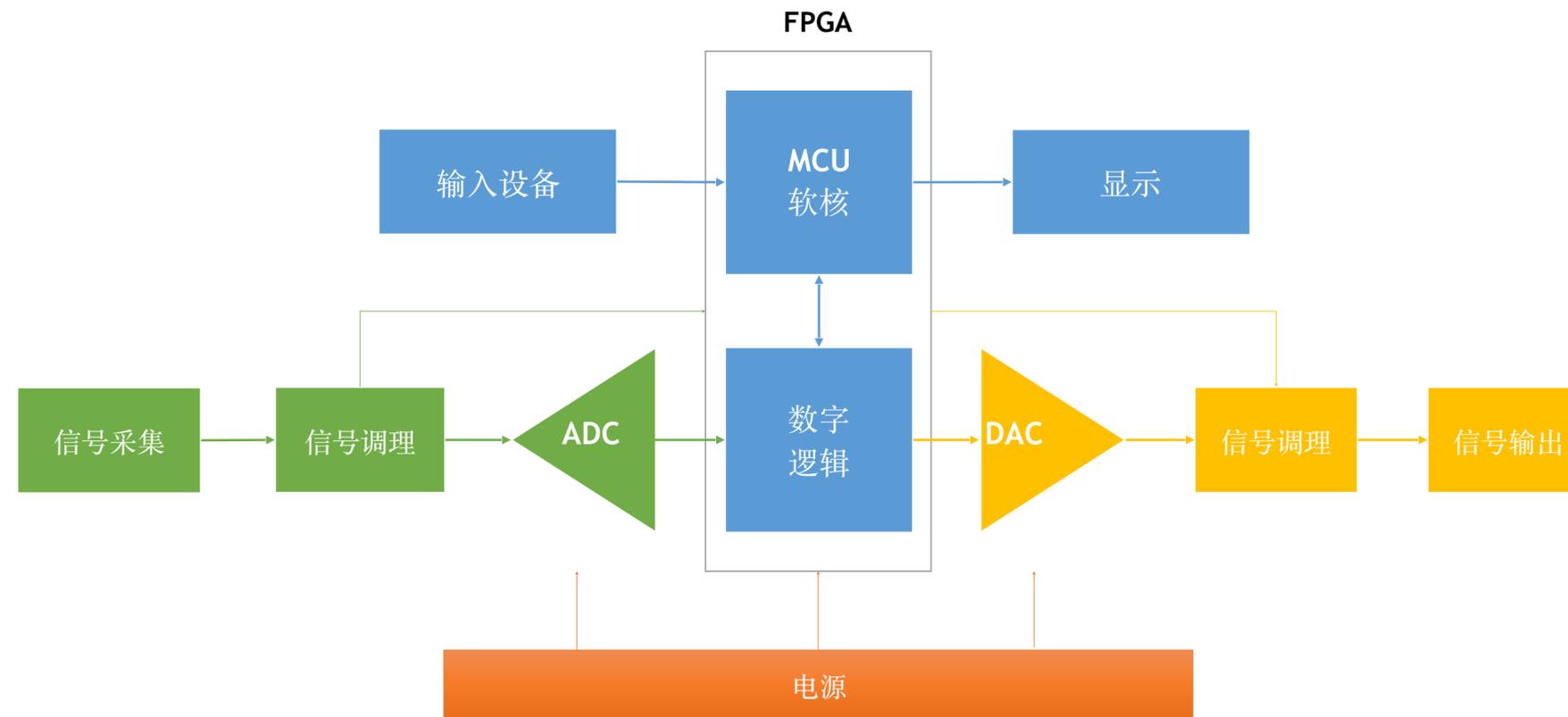
三、说明

本题时间间隔测量是指 A、B 两路同频周期信号之间的时间间隔 T_{A-B} 。测试时可以使用双通道 DDS 函数信号发生器，提供 A、B 两路信号。



- 信号消抖
- 控制闸门
- 频率测量：对输入信号和标准信号计数
- 脉宽测量：对输入信号高电平时间计数
- 与MCU SPI 通信

数字系统处理 - 信号处理



系统构成

- ADC + FPGA + 按键 + 显示 + DAC, FPGA也可以配制成8051、Arm、RISC-V控制器使用
- ADC + MCU + 按键 + 显示 + DAC, 此处的MCU也可以用FPGA来配置实现

应用

- 数据采集
- 自适应滤波、数字滤波器 (FIR、IIR)
- 语音处理及回放 - 通过音频Codec (集成了ADC+DAC+数字滤波)

自适应滤波器 (E 题)

【本科组】

一、任务

设计并制作一个自适应滤波器，用来滤除特定的干扰信号。自适应滤波器工作频率为 10kHz~100kHz。其电路应用如图 1 所示。

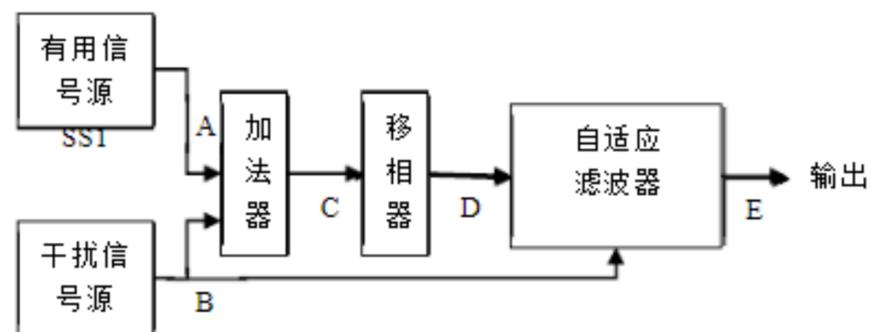
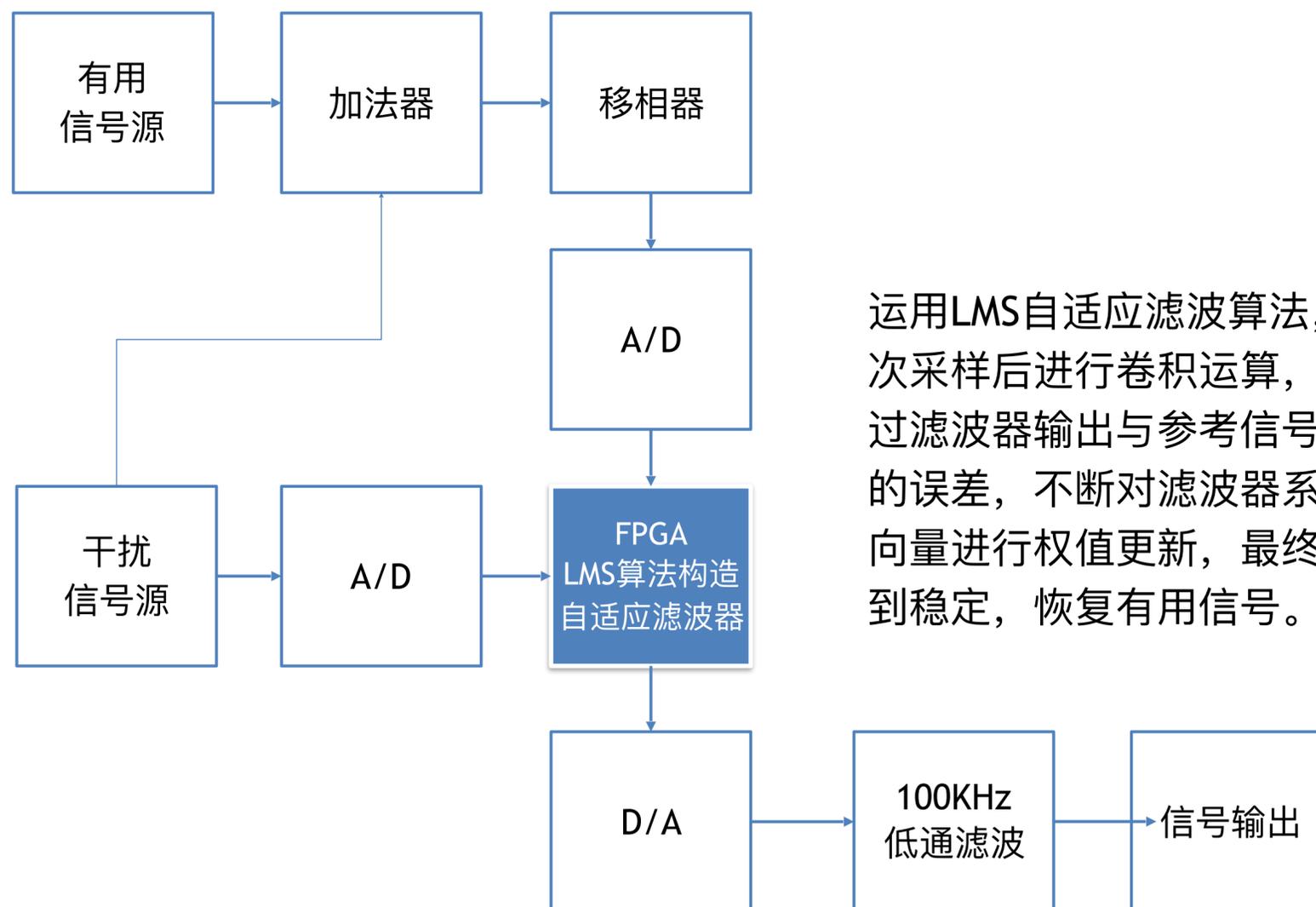


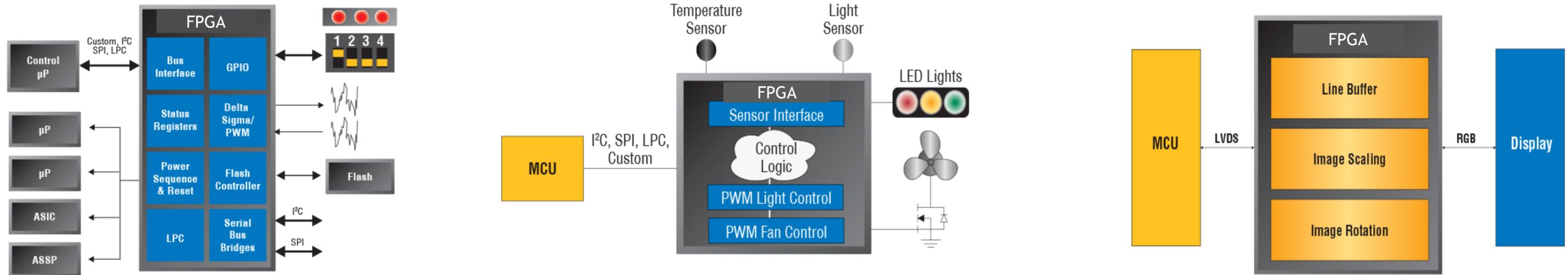
图 1 自适应滤波器电路应用示意图

图 1 中，有用信号源和干扰信号源为两个独立信号源，输出信号分别为信号 A 和信号 B，且频率不相等。自适应滤波器根据干扰信号 B 的特征，采用干扰抵消等方法，滤除混合信号 D 中的干扰信号 B，以恢复有用信号 A 的波形，其输出为信号 E。



运用LMS自适应滤波算法，每次采样后进行卷积运算，通过滤波器输出与参考信号的误差，不断对滤波器系数向量进行权值更新，最终达到稳定，恢复有用信号。

数字系统处理 - 行使MCU的功能



微处理器的接口扩展

- 为低成本微控制器增加通用IO以节省成本
- 为系统控制处理器增加SPI和I2C等接口
- 快速添加高性能的DDR SRAM和Flash存储器接口
- 通过采用PLD配置为系统状态寄存器简化系统管理

提高实时性要求较高的功能的性能

- 在系统上电时通过快速启动逻辑精确地控制信号
- 可以配置PWM功能以精确产生照明和马达控制所需要的模拟电压
- 构建传感器缓冲器以及智能中断以保证实时世界的事件能够被捕捉
- 采用硬件UART克服采用软件实现UART的性能限制

通过硬件加速提高系统的性能

- 通过基于逻辑的信令过滤机制降低处理器的负荷
- 可以通过最小的处理器消耗实现图像的旋转、缩放以及合并

通信系统应用 - 在数字域进行信号处理

无线电发射机

- 系统构成：FPGA（DDS、时钟、本振、乘法器、数字滤波器）+ DAC + 模拟滤波器 + 变频
- 应用领域
 - 生成单一波形
 - 生成调制波形 - 调频、调幅、调相、FSK、PSK、MSK、QAM等
 - 编码、前向纠错

无线电接收机

- 系统构成：[运放] + 模拟滤波器 + ADC + FPGA（数字变频、数字滤波、本振、乘法器、时钟提取等）
- 应用领域：
 - 调制信号的解调、检波
 - 编码信号的解码
 - 时钟提取、数据成帧

无线电收发系统

- 系统构成：ADC + DAC + FPGA + [运放] + [滤波器]
- 应用领域：见上发射机+接收机部分，更多的是系统应用

2003年电子设计竞赛A题

一、任务

设计并制作一个电压控制LC振荡器。

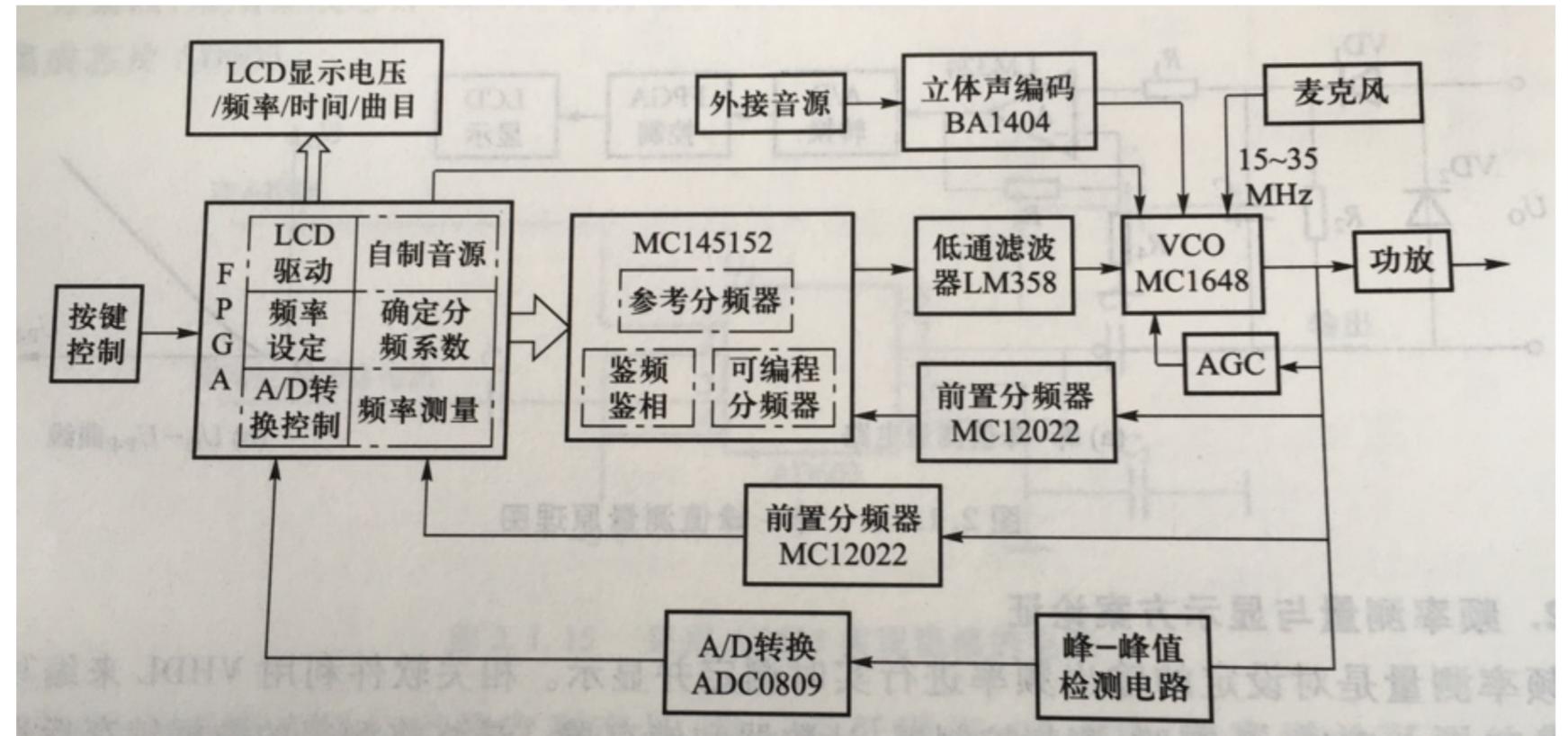
二、要求

1、基本要求

- (1) 振荡器输出为**正弦波**，波形无明显失真。
- (2) 输出**频率范围**：15MHz~35MHz。
- (3) 输出频率**稳定度**：优于10⁻³。
- (4) 输出电压**峰-峰值**： $V_{p-p}=1V\pm 0.1V$ 。
- (5) 实时测量并显示振荡器输出电压**峰-峰值**，精度优于10%。
- (6) 可实现输出频率**步进**，步进间隔为1MHz±100kHz。

2、发挥部分

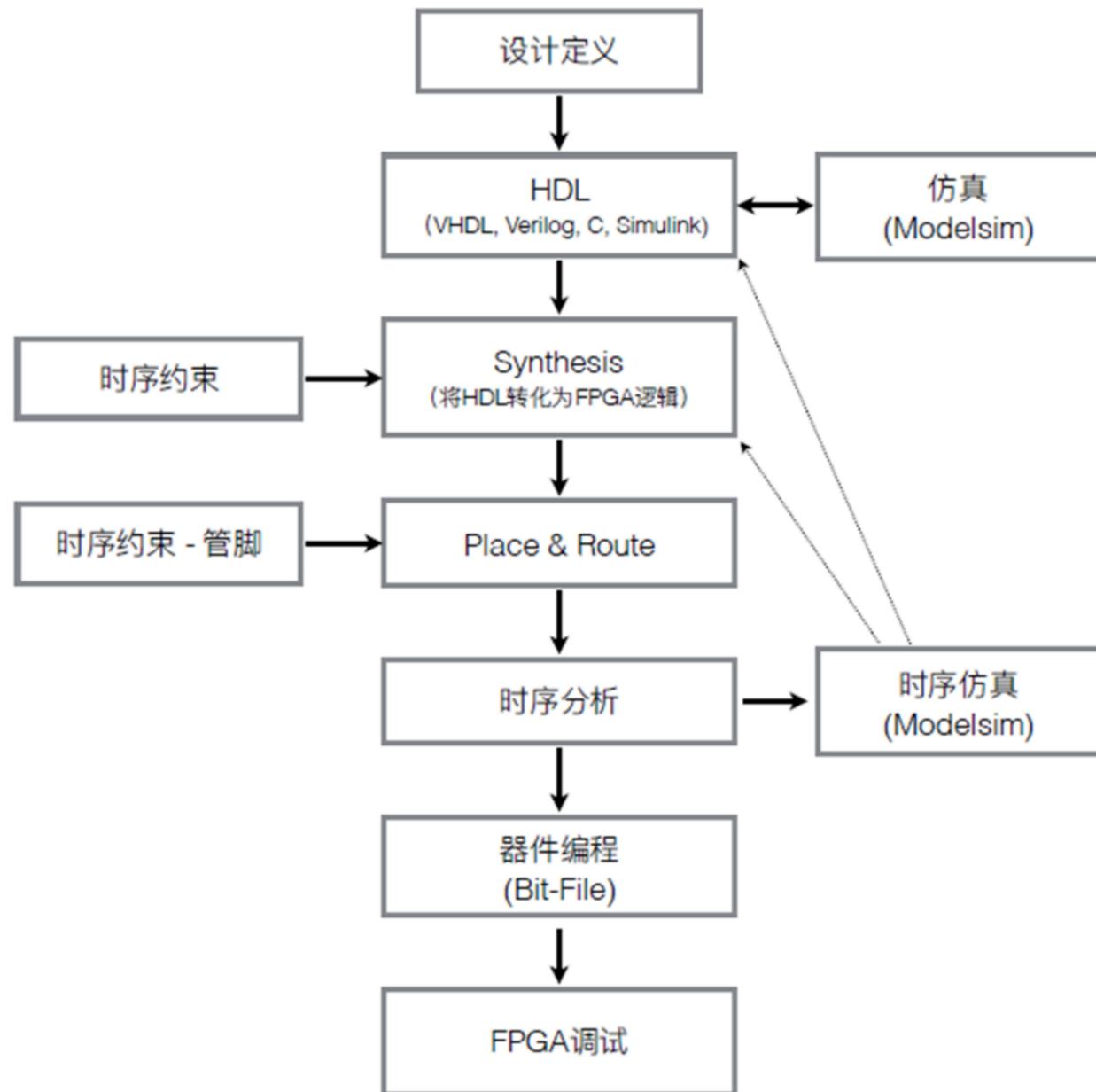
- (1) 进一步扩大输出频率范围。
- (2) 采用锁相环进一步提高输出频率**稳定度**，输出频率步进间隔为100kHz。
- (3) 实时测量并显示振荡器的输出频率。
- (4) 制作一个功率放大器，放大LC振荡器输出的30MHz正弦信号，限定使用E=12V的单直流电源为功率放大器供电，要求在50Ω纯电阻负载上的输出功率≥20mW，尽可能提高功率放大器的效率。
- (5) 功率放大器负载改为50Ω电阻与20pF电容串联，在此条件下50Ω电阻上的输出功率≥20mW，尽可能提高放大器效率。
- (6) 其它。



电压控制LC振荡器——立体声输入的FM调制器



FPGA设计技能



- 数字知识
 - 组合逻辑
 - 时序逻辑
 - 数字信号处理
- 开发软件
 - Quartus
 - Vivado
 - Diamond
- 硬件描述语言
 - Verilog
 - VHDL
- 仿真与测试
 - 仿真软件 - Modelsim
 - 功能仿真、时序仿真
 - 系统测试、调试与验证
- 高级技能
 - 设计约束
 - 设计复用
 - 信号完整性
 - 功耗设计
- 系统设计
 - 功能模块划分
 - IP集成及接口
 - 总线、时序、存储
- 设计原则
 - 思想-状态机
 - 面积与速度互换
 - 硬件可实现原则
 - 同步设计

-
- » **功能 / 资源**: 逻辑单元、存储器、处理能力、IO、处理器内核、DSP
 - » **封装**: 满足管脚数量以及板卡的物理尺寸要求
 - » **功耗**: 满足系统对供电的限制需求
 - » **开发工具 / 难度**: 影响设计难度和开发时间
 - » **系统成本**: 包括配置RAM、外供电源、时钟等
 - » **购买难度**: 价钱 / 数量 / 供货渠道

工具

- 开发板/评估板
- 调试工具
- 编译/仿真软件

IP Cores

- 原厂官方提供
- 开源组织提供
- 其它人验证

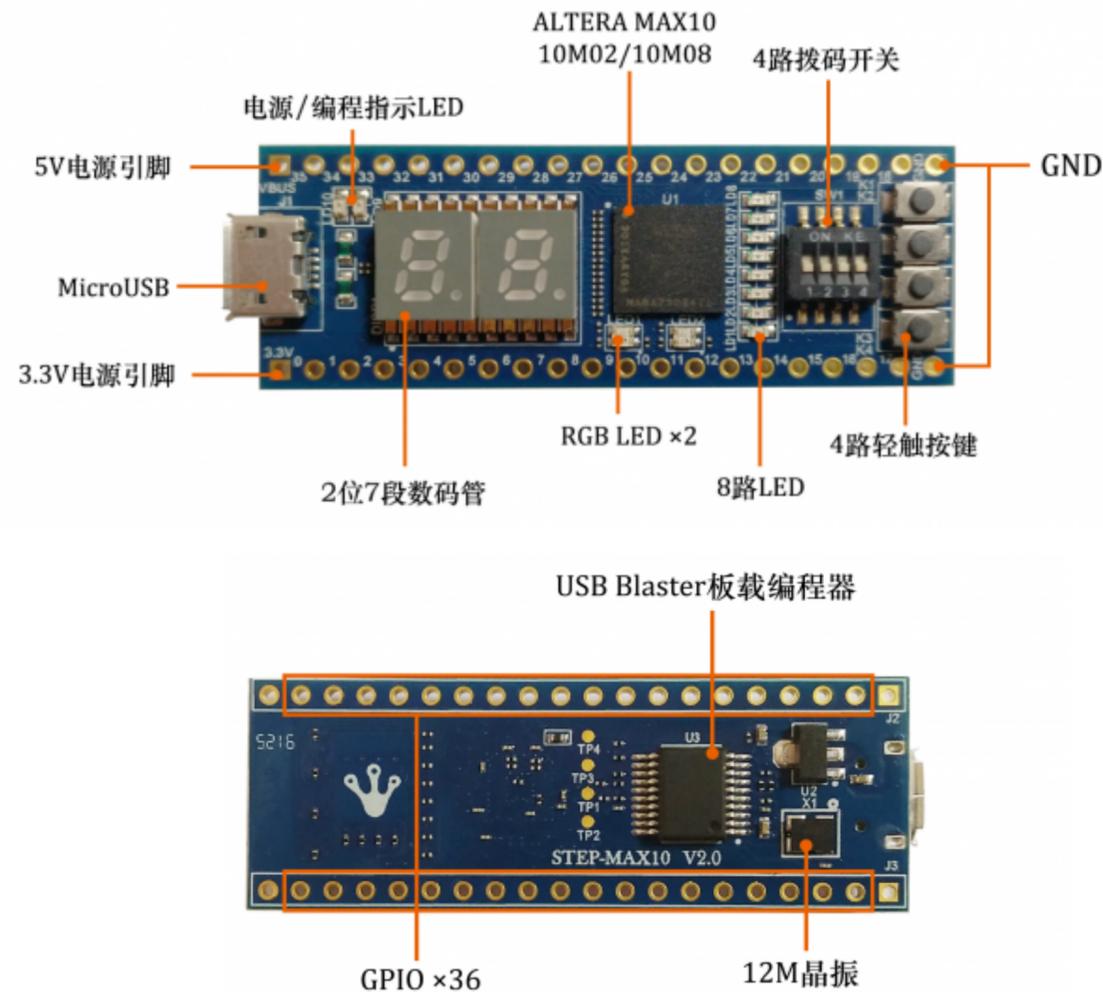
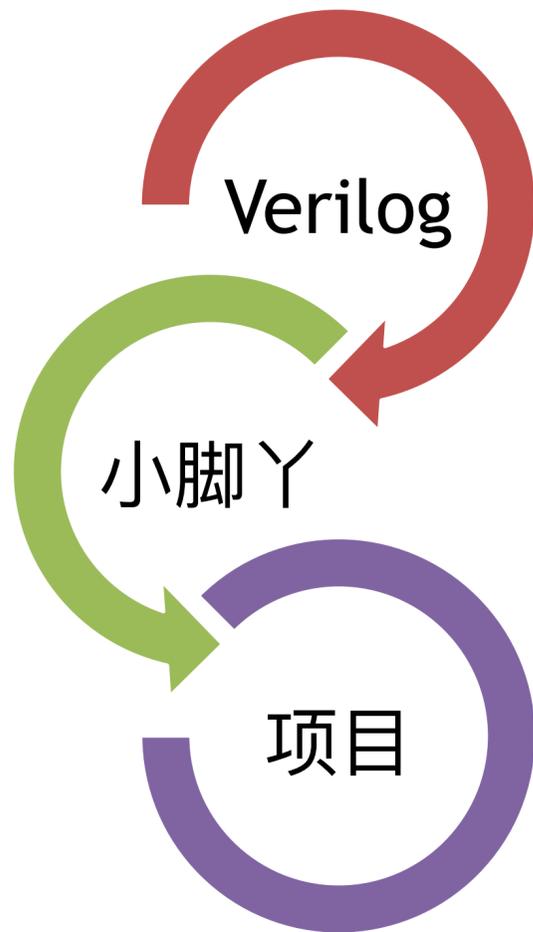
参考

- 设计指南
- 系统应用
- 视频/教程

技术支持

- 原厂FAE
- 第三方机构
- 论坛/社区

FPGA快速入门



- Altera MAX10M02/08SCM153
- Lattice LCMXO2-4000HC-4MG132
- 4K LUTs (Lattice版本) / 8K LEs (Altera版本)

特点:

- 集成JTAG下载器
- 一根 MicroUSB 线实现供电和下载
- 内部集成Flash上电瞬时启动
- 92Kbits RAM, 96Kbits 用户Flash
- 双路PLL, 内部时钟运行到400MHz
- SPI、I2C、中断定时器
- 36个可以编程的通用I/O

板载资源:

- 两位7段数码管
- 两个RGB三色LED
- 8路用户LED
- 4路拨码开关
- 4路按键; 36个用户可扩展I/O

为啥要用小脚丫FPGA？

使用优势：

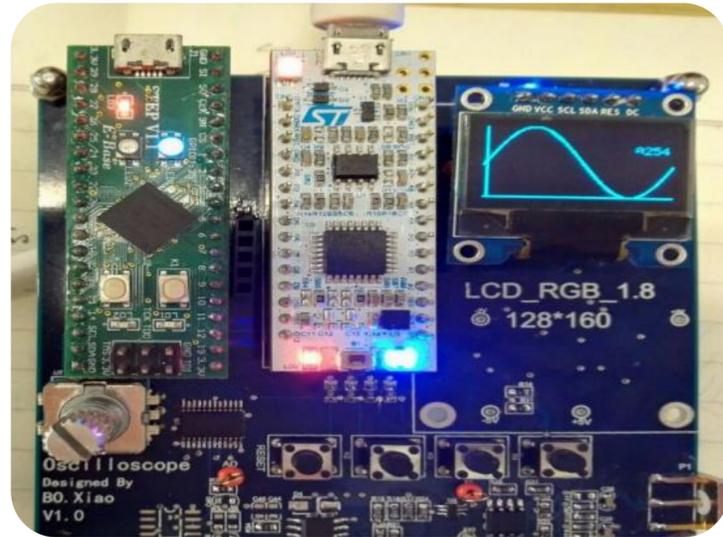
- 像DIP40的芯片一样可以灵活使用、即插即用，板上供电、下载配置
- 丰富的源码案例，可以应对电赛中的各种应用场景
- 多种外设模块，可以搭配实现各种功能
- 支持树莓派、Arduino、PMOD的各种外设模块，省去了硬件设计的麻烦
- 已经成功移植8051、Arm-M0、RISC-V控制器内核，可以当控制器使用

可以搭配模块：

- 双路DAC - 100Msps/10bits，生成20MHz以内的任意信号波形
- 双路ADC - 100Msps/8bits，采集模拟带宽20MHz以内的波形
- 传感器/LED显示 - 用于各种传感器的算法训练和实现

丰富的外设模块资源和灵活的连接方式

基于小脚丫FPGA和STM32的简易示波器



任意波形发生器

基于小脚丫FPGA的频率计
逻辑分析仪

串口通信模块

简易电子琴设计

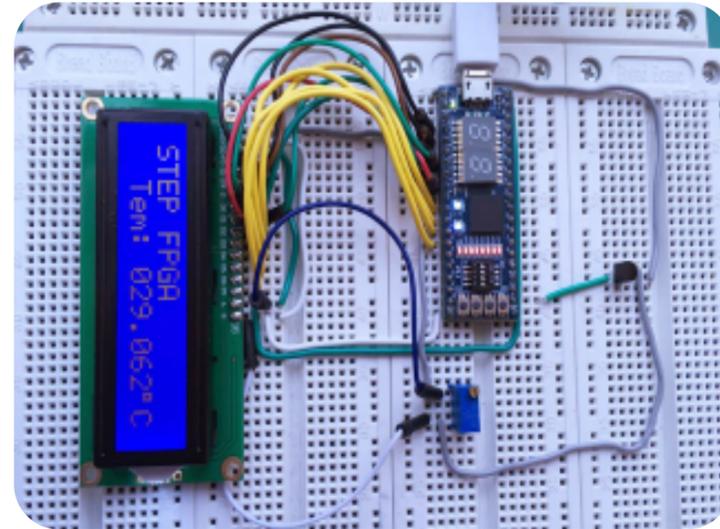
I2C-Master

简易电压表设计



LCD图片显示

FPGA嵌入8051软核Arduino开发



STEP MAX10嵌入ARM Cortex M0核

小脚丫FPGA嵌入RISC-V核
FPGA与WiFi通信

FPGA实现FIR滤波

实现视语音信号处理
FPGA实现直接数字频率合成DDS

驱动高速ADC

驱动高速DAC

FPGA对频率精确控制

学习资源

摩尔吧培训课程：共38讲，其中8讲是针对FPGA在电赛中的应用

电子森林网站：关于FPGA在大赛中的应用资源页面/全国大学生电子设计竞赛专题页面/关于FPGA在电子设计竞赛中的应用

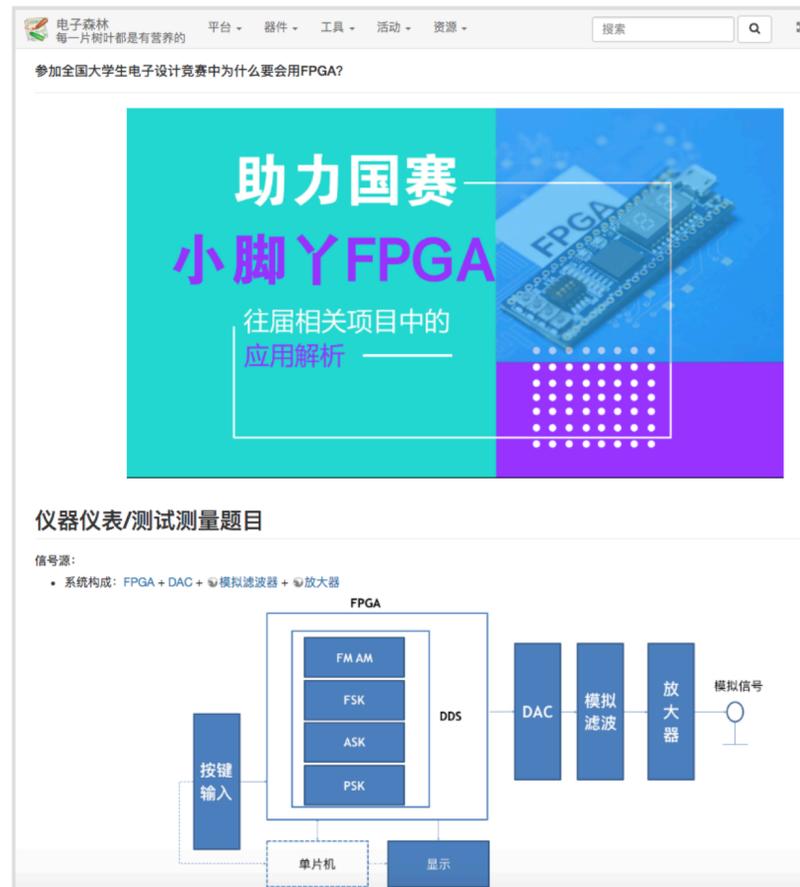
电子森林公众号：从移动端随时、随地查看技术资料口袋图书馆

摩尔吧
MOORE8

FPGA类专项

8门课程
共8节课，4月4日起，每周四播出

- 5.1 【FPGA专项篇-1】2019电赛：FPGA简介及竞赛中用途
- 5.2 【FPGA专项篇-2】2019电赛：软件安装与Verilog语法
- 5.3 【FPGA专项篇-3】2019电赛：组合逻辑和时序逻辑
- 5.4 【FPGA专项篇-4】2019电赛：仿真及测试文件的编写
- 5.5 【FPGA专项篇-5】2019电赛：模块化设计及IP使用
- 5.6 【FPGA专项篇-6】2019电赛：常用总线设计UART/SPI/I2C
- 5.7 【FPGA专项篇-7】2019电赛：设计要点及思想
- 5.8 【FPGA专项篇-8】2019电赛：设计实例—基于小脚丫的电赛频率计



电子森林网站：www.eetree.io

这个页面会不断更新，持续给大家带来更多关于此次竞赛的更多资源，为了让大家方便在手机上随时查看，你可以关注“电子森林”公众号，在公众号下面的导航栏有一个专门的入口“电赛资源”，点击这个按钮，你就可以随时进入此资源页面



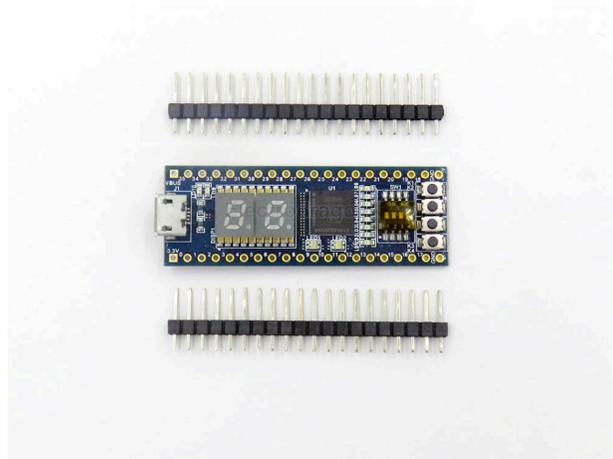
关注公众号“电子森林”



从“电赛资源”入口进入页面

备赛要点

① 入门FPGA (2周)

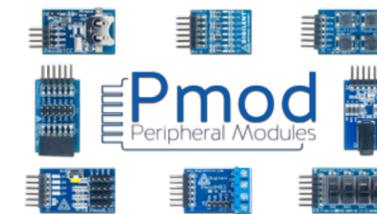
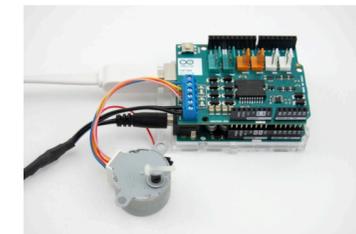


② 针对性训练 (1个月)



- ① DIP40插座
- ② PS2键盘模块
- ③ AD/DA模块
- ④ PMOD模块*2
- ⑤ 蜂鸣器模块
- ⑥ 128*160LCD显示模块
- ⑦ DS18B20温度模块
- ⑧ VGA接口
- ⑨ 矩阵键盘
- ⑩ 旋转编码器
- ⑪ 7段数码管
- ⑫ 串口通讯模块

③ 准备模块/代码案例 (1个月)



CONTACT US



网址: www.moore8.com



邮箱: moore8@eefocus.com



微信: 摩尔吧 (微信号: moore_8)



QQ群: 摩尔吧电赛交流群: 836323769

扫描微信二维码关注我们

查看更多电赛资料

2019年全国大学生电子设计竞赛系列培训



THANKS

 摩尔吧 (moore_8)

 摩尔吧电赛交流群: 836323769