



PCB的布线

最短路径、减少干扰、供电

面对的现实

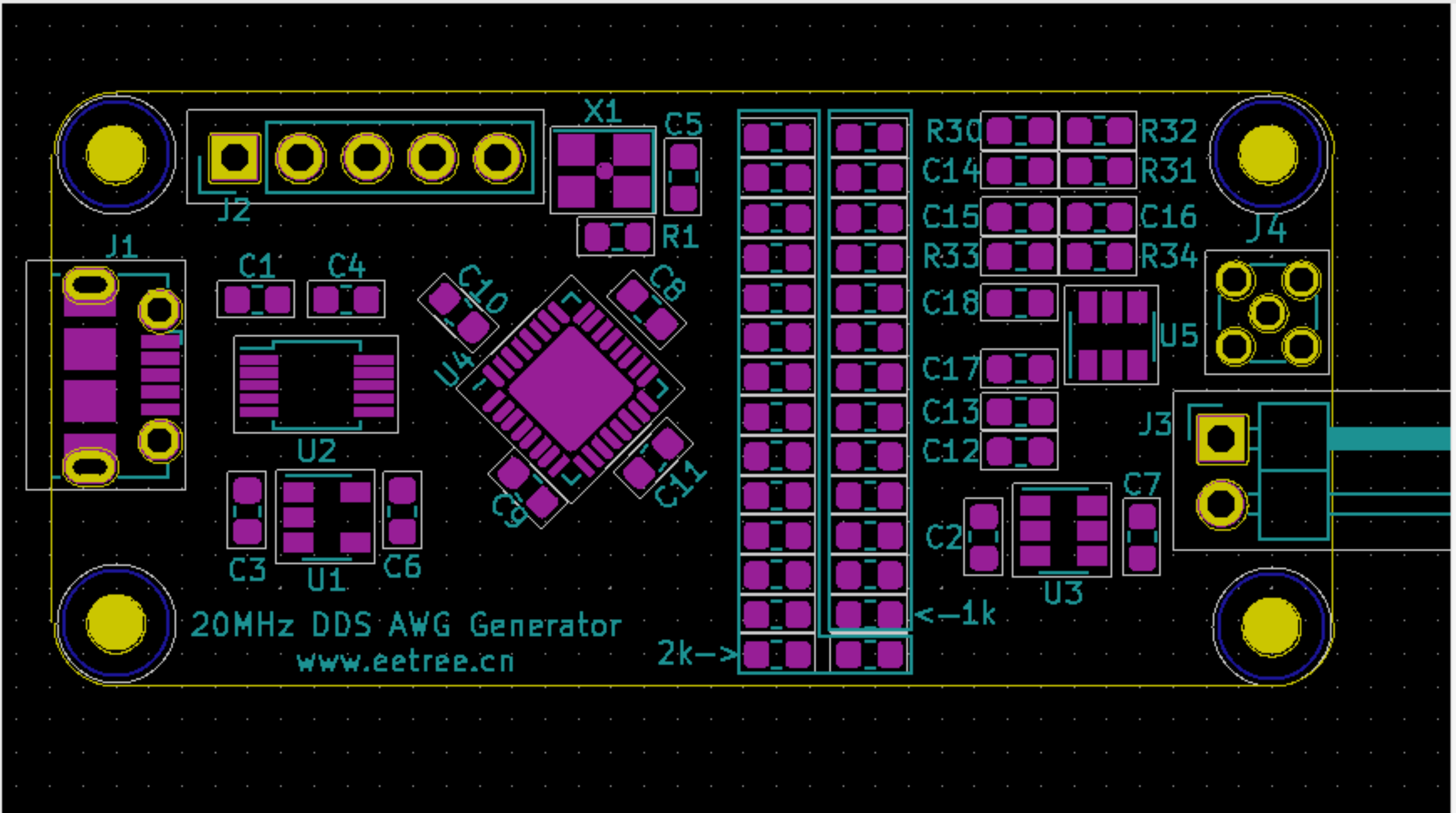
规则

供电

互扰



Track: 0.152 mm (6.00 mils) * Via: 0.60 / 0.30 mm (23.6 / 11.8 mils) * Grid: 0.1270 mm (5.00 mils) Zoom Auto



Layers Manager

Layers	Items
<input type="checkbox"/>	F.Cu
<input type="checkbox"/>	B.Cu
<input checked="" type="checkbox"/>	F.Adhes
<input checked="" type="checkbox"/>	B.Adhes
<input checked="" type="checkbox"/>	F.Paste
<input checked="" type="checkbox"/>	B.Paste
<input checked="" type="checkbox"/>	F.SilkS
<input type="checkbox"/>	B.SilkS
<input checked="" type="checkbox"/>	F.Mask
<input checked="" type="checkbox"/>	B.Mask
<input type="checkbox"/>	Dwgs.User
<input checked="" type="checkbox"/>	Cmts.User
<input type="checkbox"/>	Eco1.User
<input type="checkbox"/>	Eco2.User
<input checked="" type="checkbox"/>	Edge.Cuts
<input type="checkbox"/>	Margin
<input checked="" type="checkbox"/>	F.CrtYd
<input checked="" type="checkbox"/>	B.CrtYd
<input type="checkbox"/>	F.Fab
<input type="checkbox"/>	B.Fab

Pads 206 Vias 60 Track Segments 326 Nodes 188 Nets 49 Unrouted 0

Z 4.34 X 73.914000 Y 79.629000 dx 73.914000 dy 79.629000 dist 108.646 mm

PCB布线流程

1. 了解制造厂商的制造规范 - 线宽、线间距、过孔要求、层数要求
2. 确定层数并定义各层的功能
3. 设计布线规则 - 线宽、线间距、过孔大小
4. 定义不同net的走线宽度
5. 关键信号线走线 - 电源、时钟、差分信号、敏感的模拟信号....
6. 其它信号线走线
7. 铺地/电源
8. DRC检查
9. 对照原理图上的连线逐线高亮检查
- 10.调整丝印

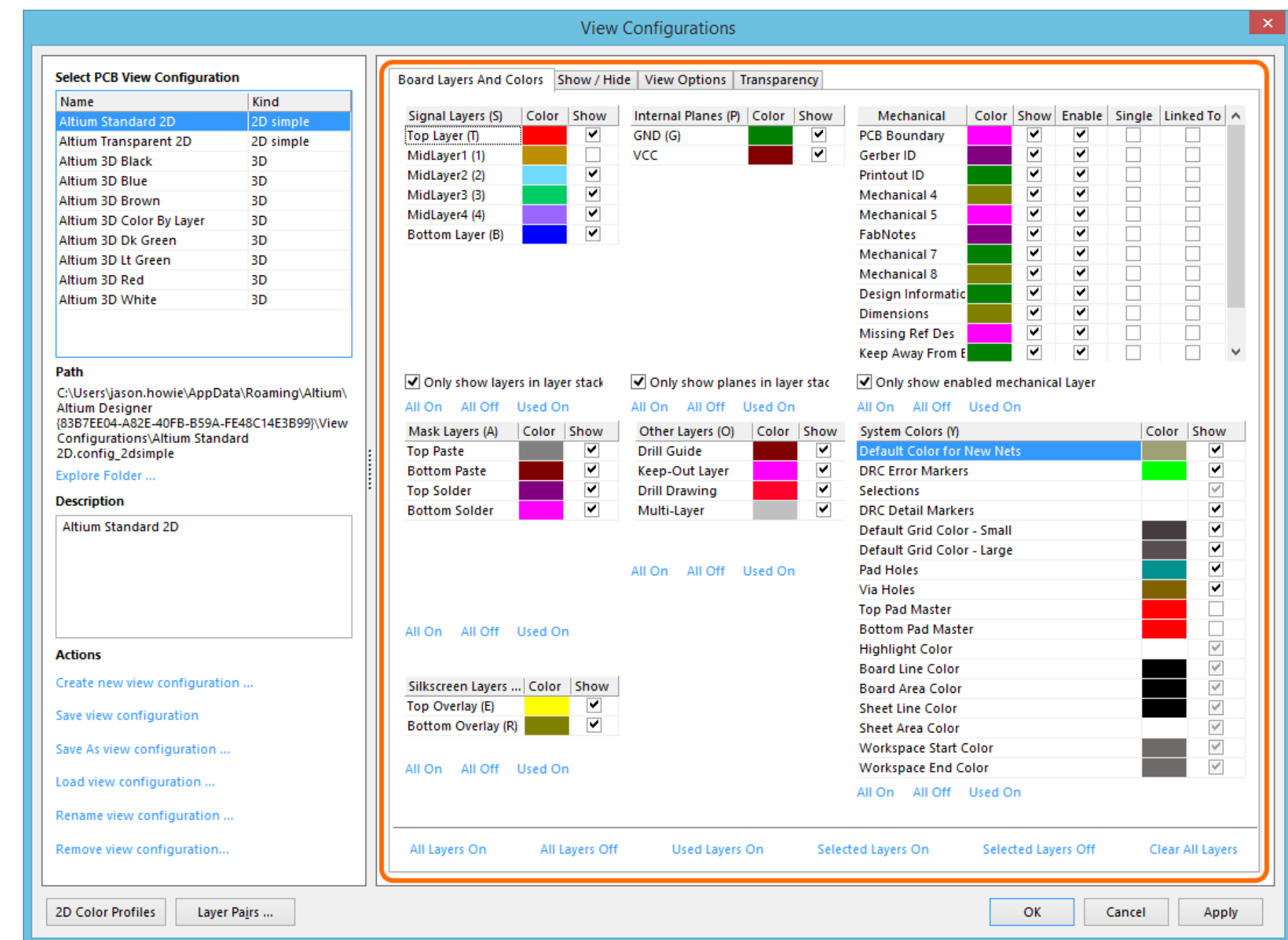
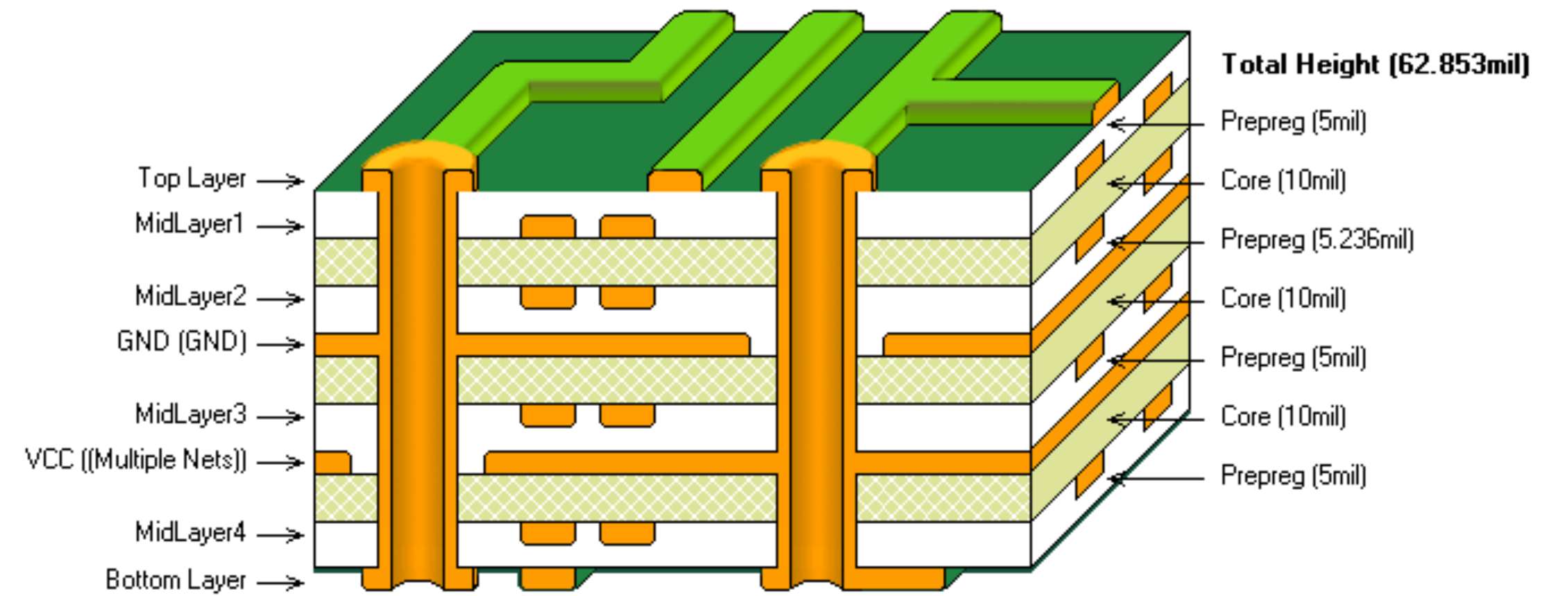
选择层数

- 根据电路特点规划层数：

- 高速/低速、模拟/数字、阻抗要求
- 器件封装及散出
- 抗干扰、可靠性要求
- 成本

- 定义各层的功能

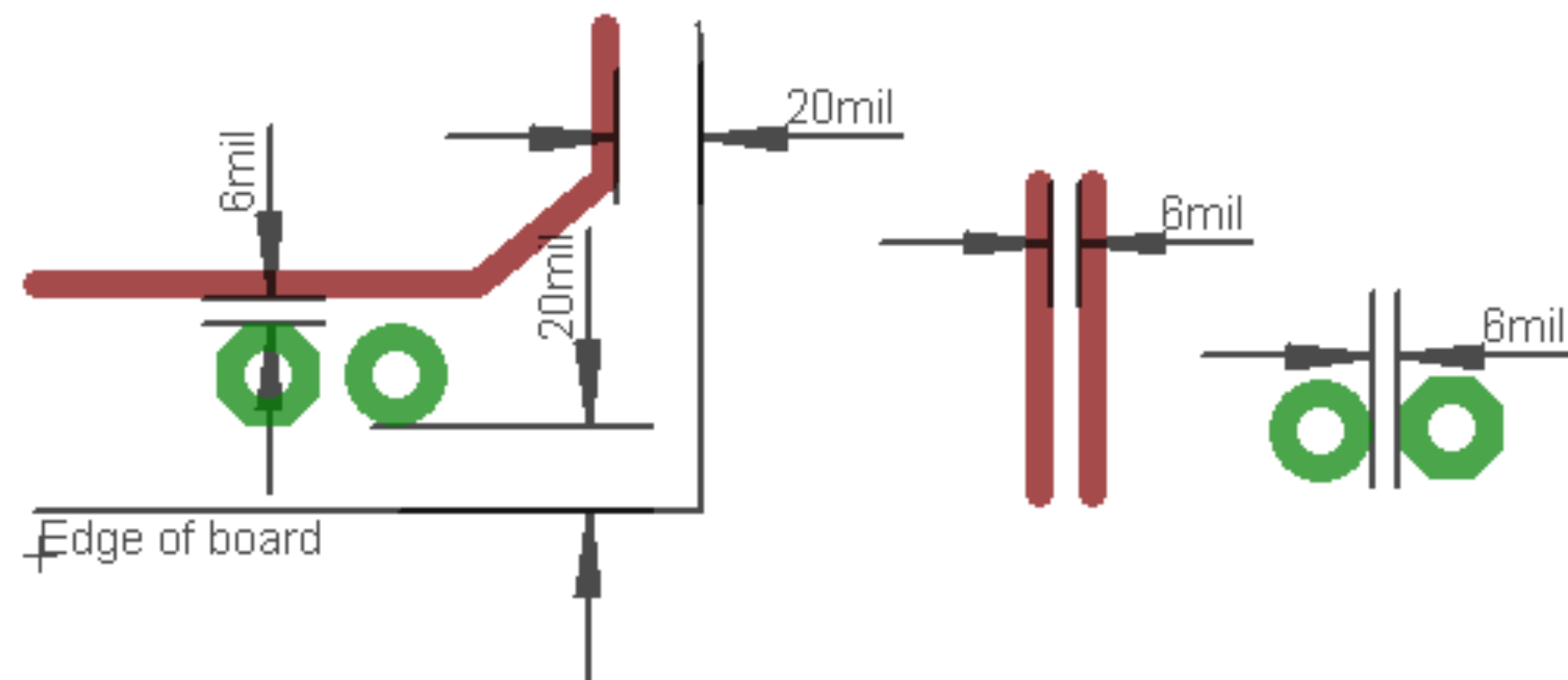
- 关闭未曾用过的层



设定布线规则



Minimum trace/silkscreen/text/hole size

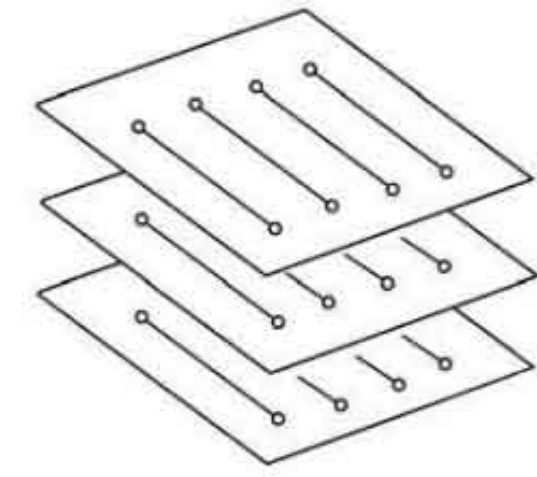


Minimum trace/via/pad space

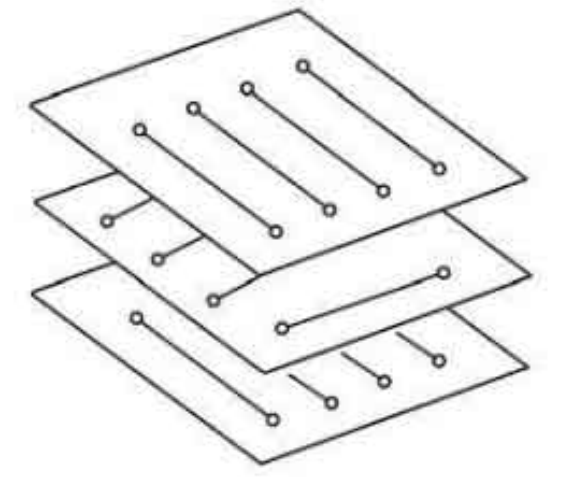
- 线宽 - 不同的net可以单独定义
- 过孔形状和孔径（内径、外径）
- 丝印的文字字体和字号
- 安全间距：
 - 走线和走线之间
 - 走线和孔径之间
 - 孔径和孔径之间
 - 走线/孔径和板卡边沿之间
- 走线层面和方向 - 此处可设置使用的走线层和每层的主要走线方向。

一般走线规则

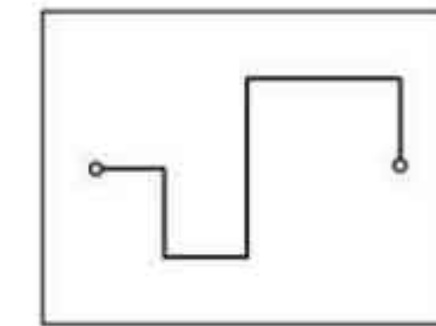
- 走线方向
 - 输入和输出端的导线应尽量避免相邻平行
 - 相邻层的走线方向成正交结构
 - 避免将不同的信号线在相邻层走成同一方向，以减少不必要的层间窜扰
 - 当 PCB 布线受到结构限制（如某些背板）难以避免出现平行布线时，特别是在信号速率较高时，应考虑用地平面隔离各布线层，用地线隔离各信号线
- 器件和器件之间的走线尽可能短且直
- 电源及临界信号走线使用宽线，电源线要根据电流的大小计算需要的宽度
- 确保模拟、数字线路相互分离，不要将数字信号线和模拟信号线并行布线，避免在ADC封装的下方铺设数字信号线
- 相同属性的一组总线，应尽量并排走线，做到尽量等长。同一级电路的接地点应尽量靠近，并且本级电路的电源滤波电容也应接在该级接地点上



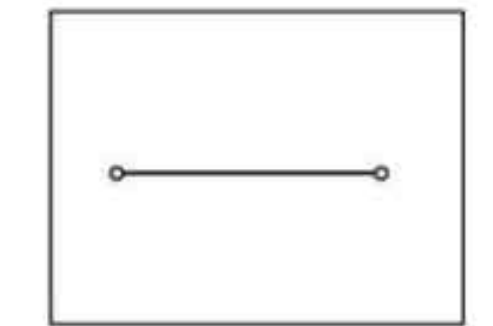
错误布线



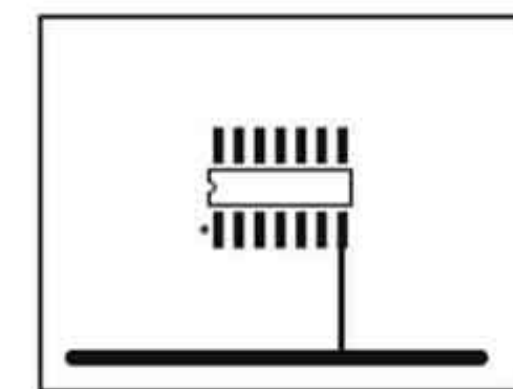
正确布线



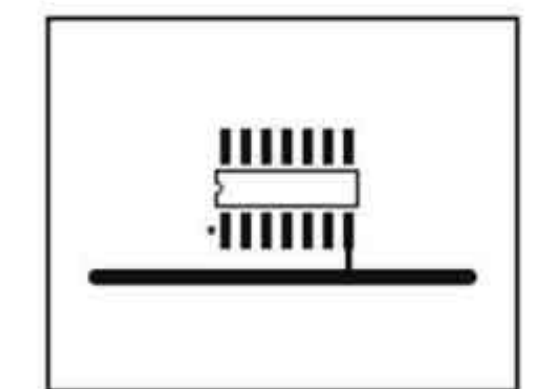
错误布线



正确布线



错误布线



正确布线

时钟走线

Figure 4. Schematic of External Components

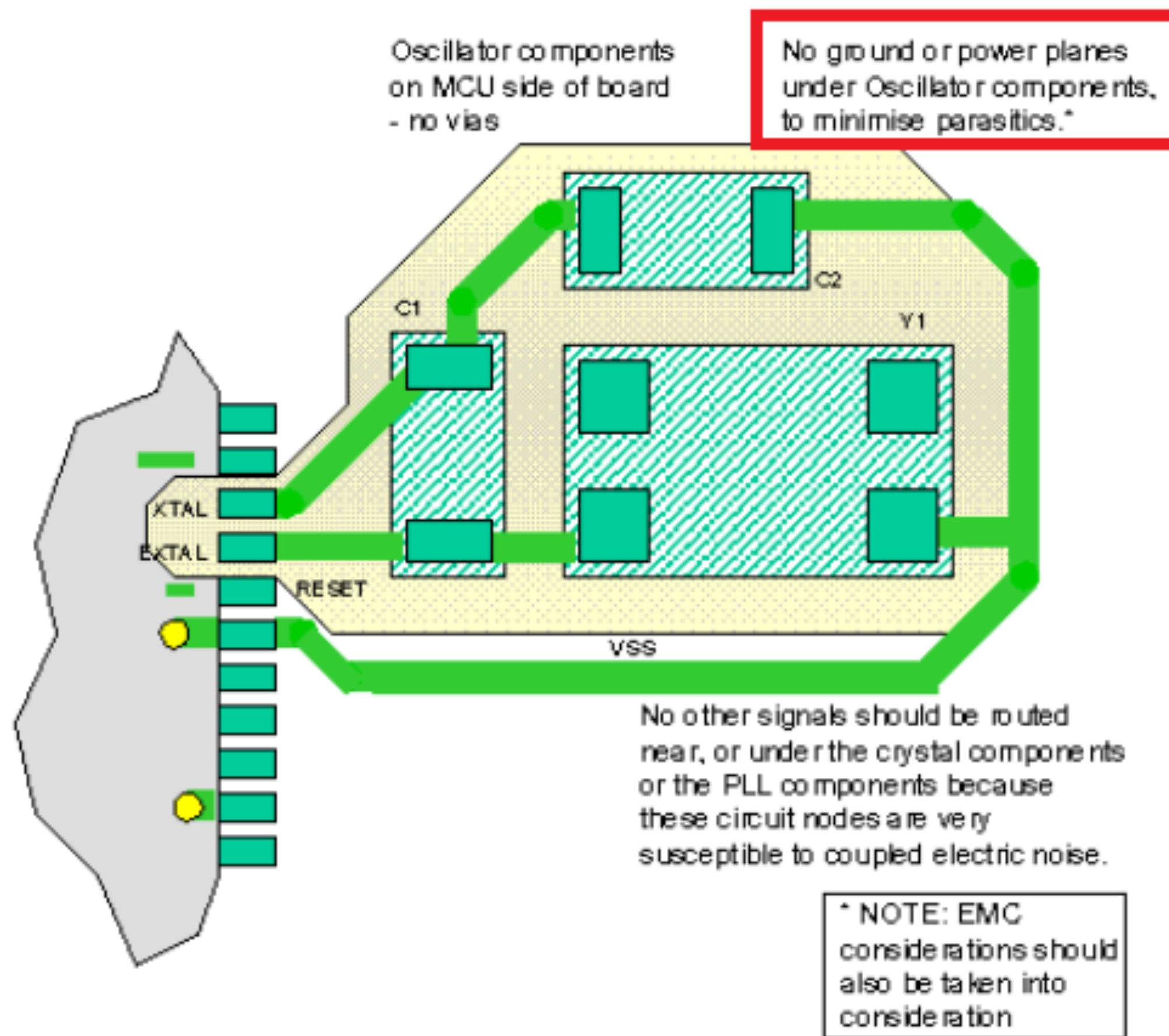
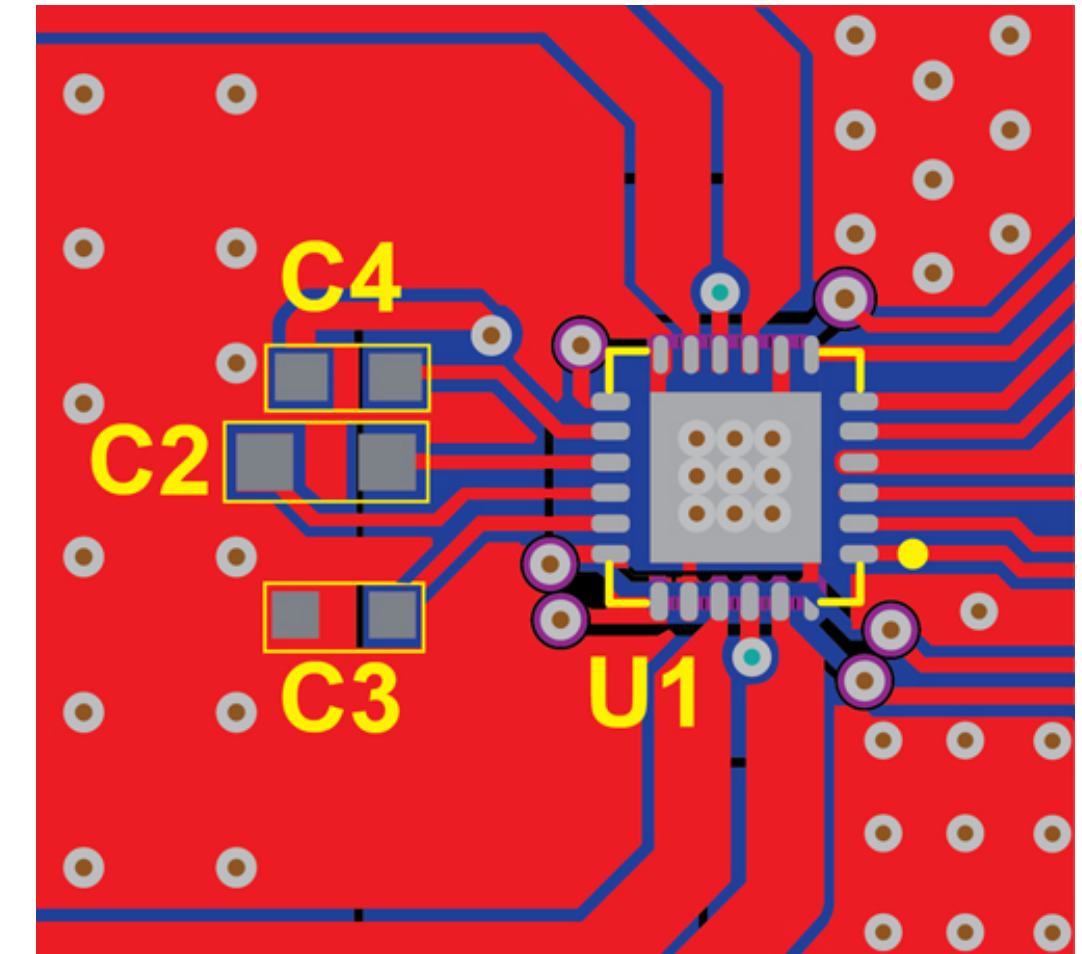
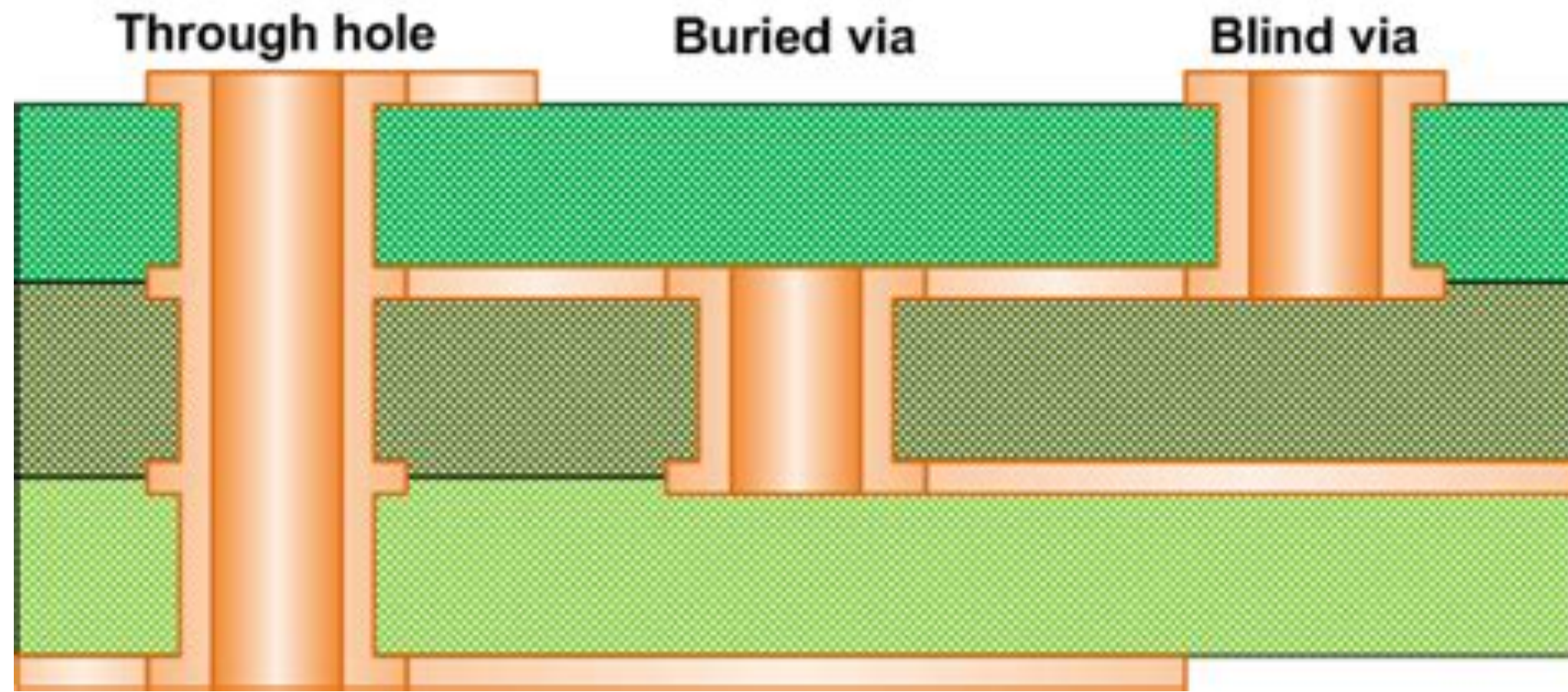


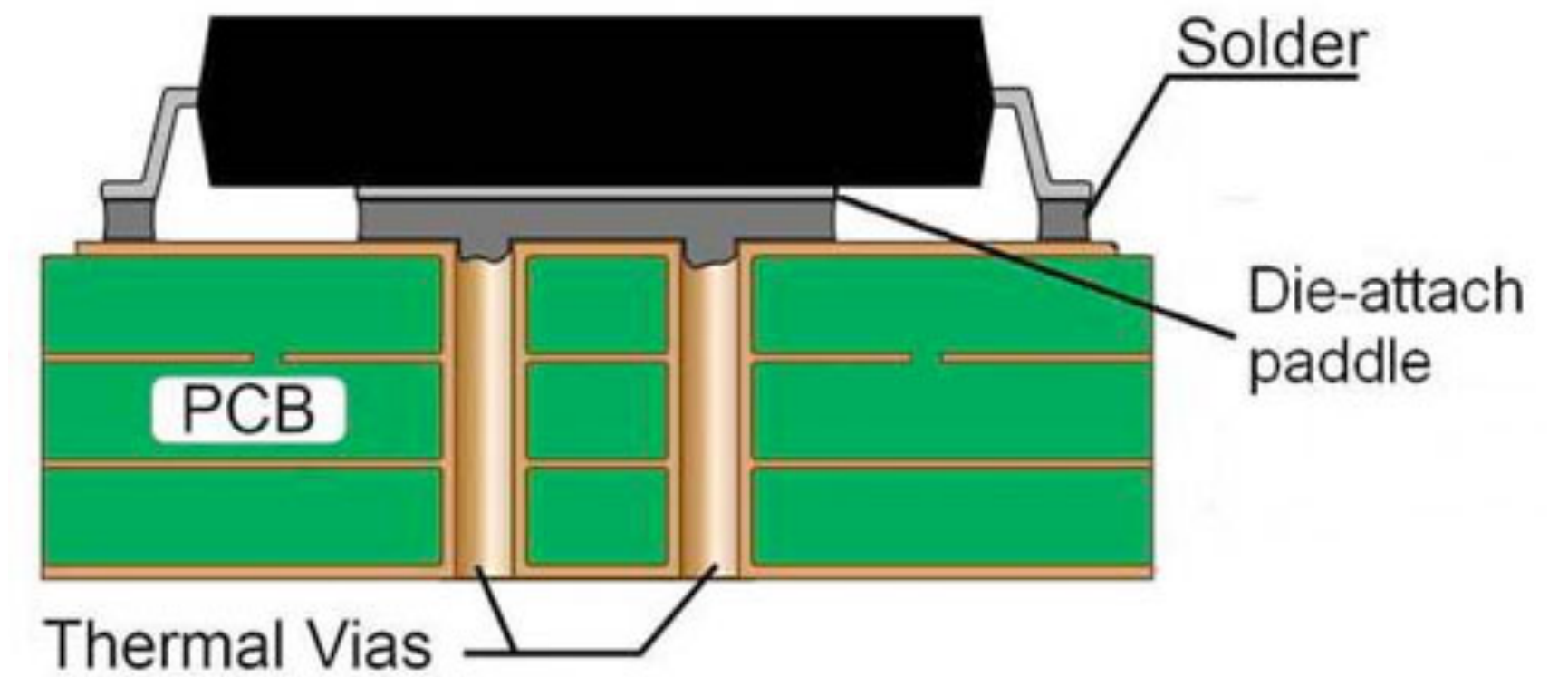
Figure 5. Recommended PCB Layout

- 晶振 - 连到其输入、输出端的线尽量短，最好不要有过孔，以减少噪声干扰以及分布电容的影响
- 晶振可以采用环绕敷铜，并将晶振外壳接地，以改善晶振对其他元器件的干扰。
- 尽量避免和其它信号线并行走线，且应远离一般信号线，避免对信号线的干扰。
- 应避开板上的电源部分，以防止电源和时钟互相干扰，时钟电路下面不要有电源层或地层
- 当一块电路板上用到多个不同频率的时钟时，两根不同频率的时钟线不可并行走线。
- 时钟线还应尽量避免靠近输出接口。

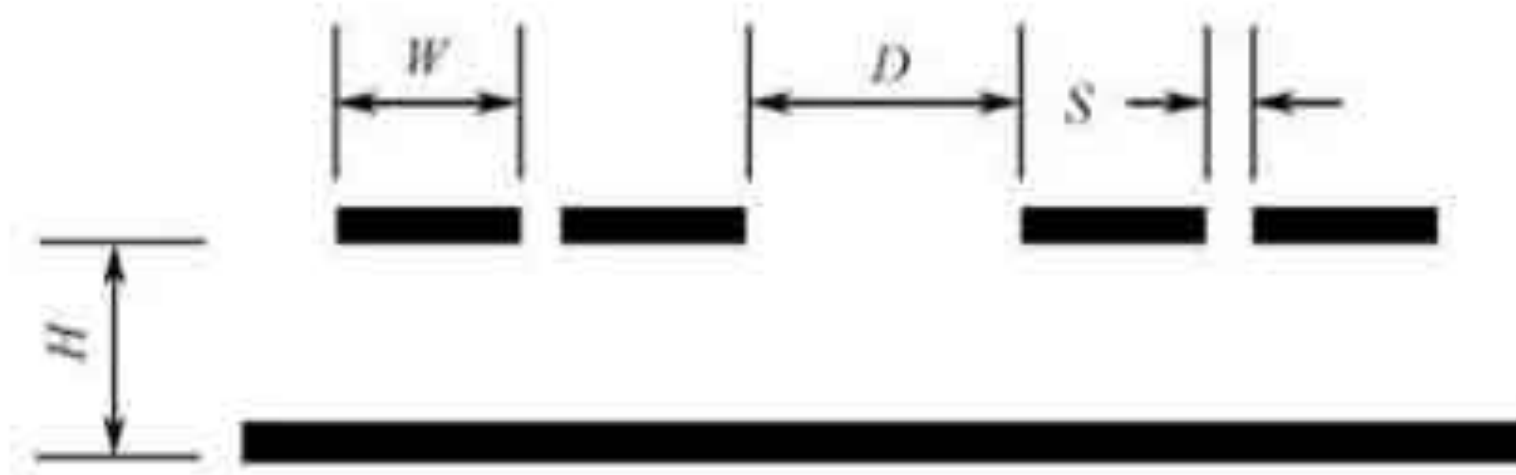
过孔的使用



- 从成本和信号质量综合考虑选择合理的尺寸
- PCB板上的信号走线尽量在同一层，尽量不要使用不必要的过孔，布局的时候规划好走线
- 高速数字信号线（尤其是时钟信号）尽量避免跨层走线，减少过孔对信号的反射和干扰
- 电源和地的管脚要就近放置过孔，过孔和管脚之间的引线越短越好，同时电源和地的引线尽可能粗以减少阻抗
- 在信号换层的过孔附近放置一些接地的过孔，以便为信号提供最近的回路
- 利用过孔进行导热



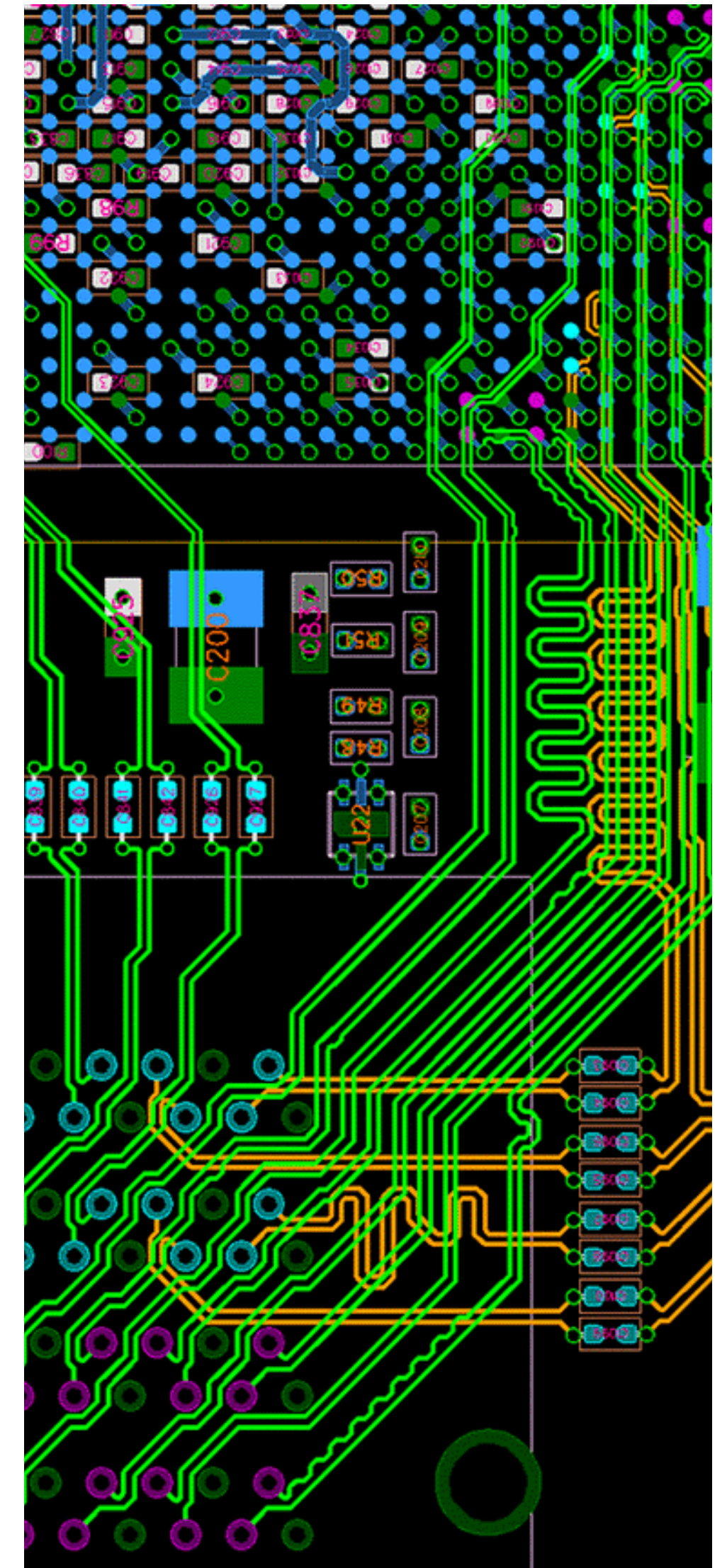
差分信号线



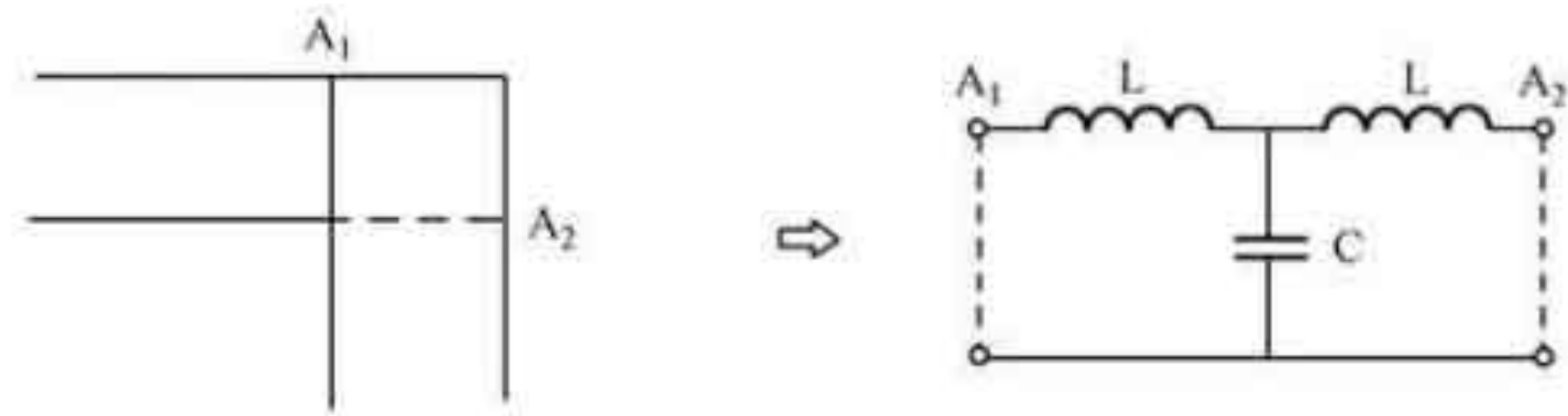
D —两个差分对之间的距离； S —差分对两根信号线间的距离； W —差分对走线的宽度； H —介质厚度

PCB 上的差分对走线

- 成对走线，尽量平行、靠近 - 保持差分对的两信号走线之间的距离 S 在整个走线上为常数
- 确保 $D > 2S$ ，以最小化两个差分对信号之间的串扰。
- 将两差分信号线的长度保持相等，以消除信号的相位差。
- 避免在差分对上使用多个过孔，因为过孔会产生阻抗不匹配和电感，必须打孔的时候，应两线一同打孔。



避免直角走线

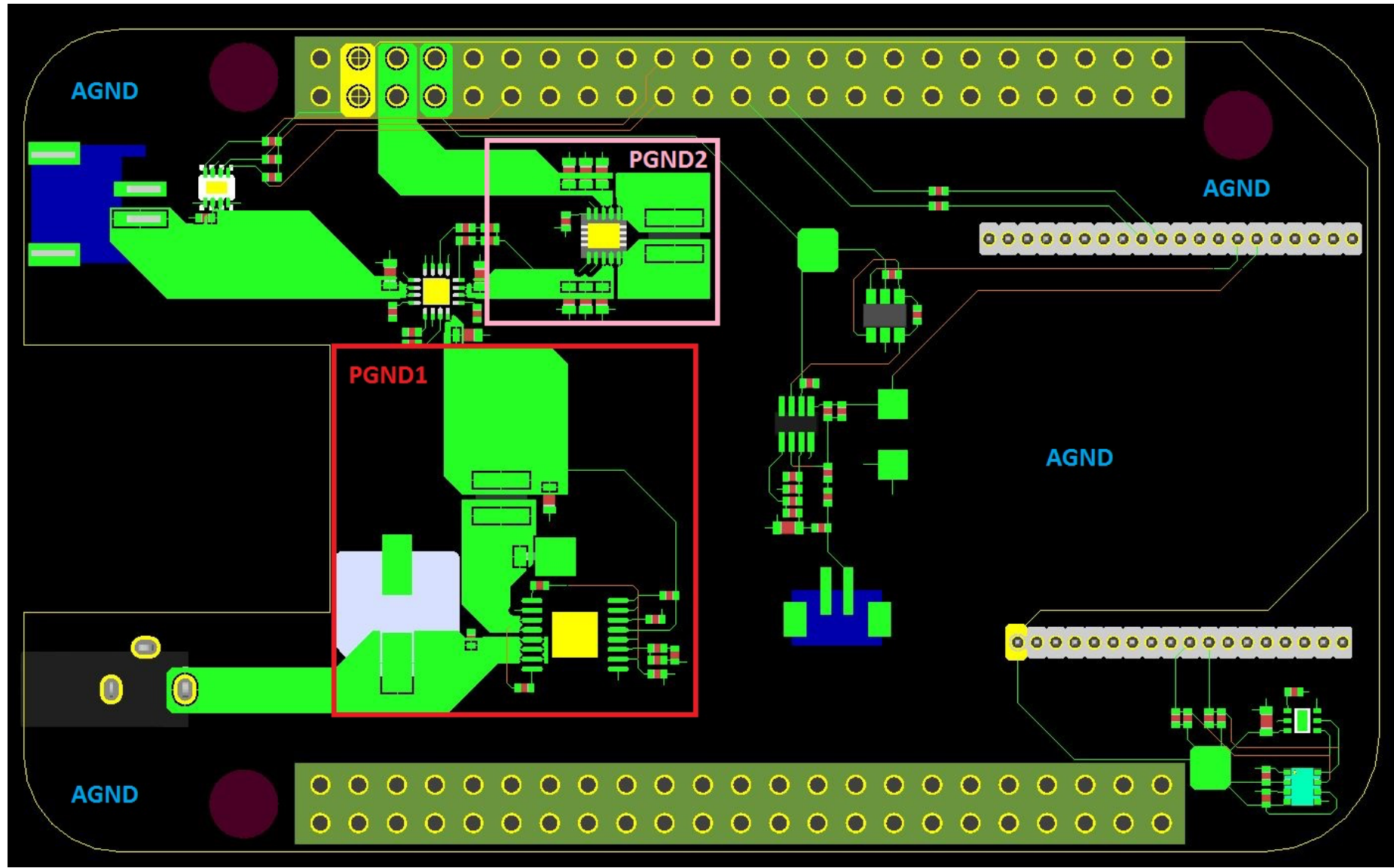


直角拐角的高频等效电路

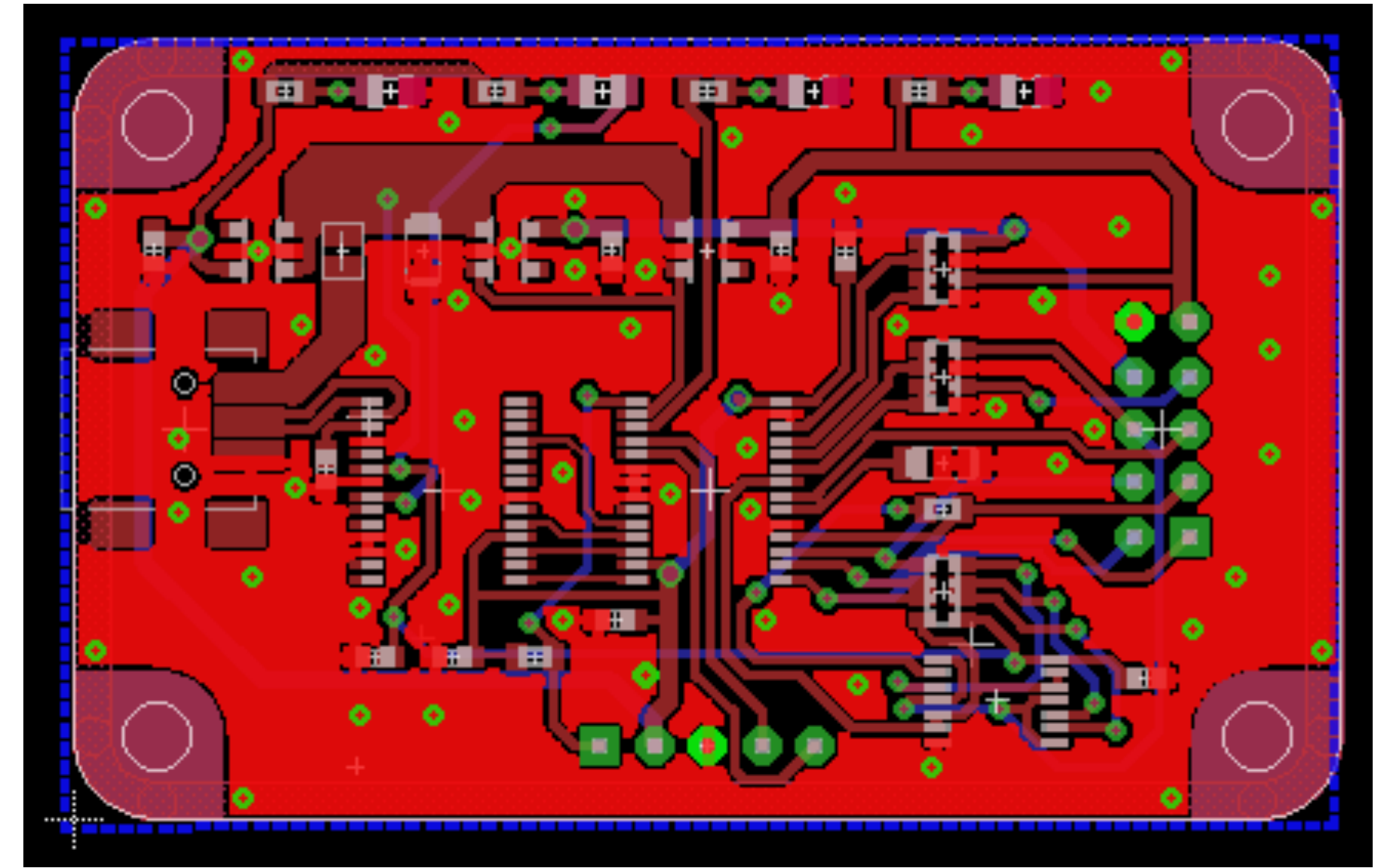


- 在高速传输的时候，直角或锐角走线在拐角处产生额外的寄生电容和寄生电感，影响高速信号的传输，对于低速的信号，影响可以忽略不计
- 尽量不采用直角的是为了避免工艺上的问题
- 在走线确实需要直角拐角的情况下，可以采取两种改进方法：
 - ① 一种是将 90° 拐角变成两个 45° 拐角
 - ② 另一种是采用圆角

接地和填充



- 多层板可以采用独立的地层，数字信号分布在一侧，模拟信号分布在另一侧
- 最好是地线比电源线宽，它们的关系是：地线 > 电源线 > 信号线。
- 数字地与模拟地分开



- 用大面积铜层做地线用，把没被用上的地方都与地相连接作为地线用
- 抑制高频干扰、降低电源或地线的阻抗、方便布线
- 注意分割铺设的区域、设定好铺设规则

电源布线及去偶

- 电源线尽可能粗 - 减少环路阻抗，从而降低压降、干扰。
- 供电方向 - 与数据、信号的传递方向相反，即：从未级向前级推进的供电方式，这样有助于增强抗噪声能力。
- 采用两个电源平面分别连接所有AVDD和DVDD，每个PCB板的AVDD和DVDD引脚至少增加一个10 μ F去耦电容。
- 在器件的AVDD和DVDD的引脚与地之间连接0.1 μ F陶瓷去耦电容，电容须靠近器件放置，以便降低寄生电感，尽可能采用贴片电容
- 去耦电容的多少和值取决于器件工作的速度、负载、管脚数量、布线难度，数字电路的如果有多个电源管脚，尽可能在每一个电源管脚放置一个0.1 μ F的去耦电容，当有些电源管脚距离很近且布局困难的时候，这些电源管脚可以共享一个去耦电容

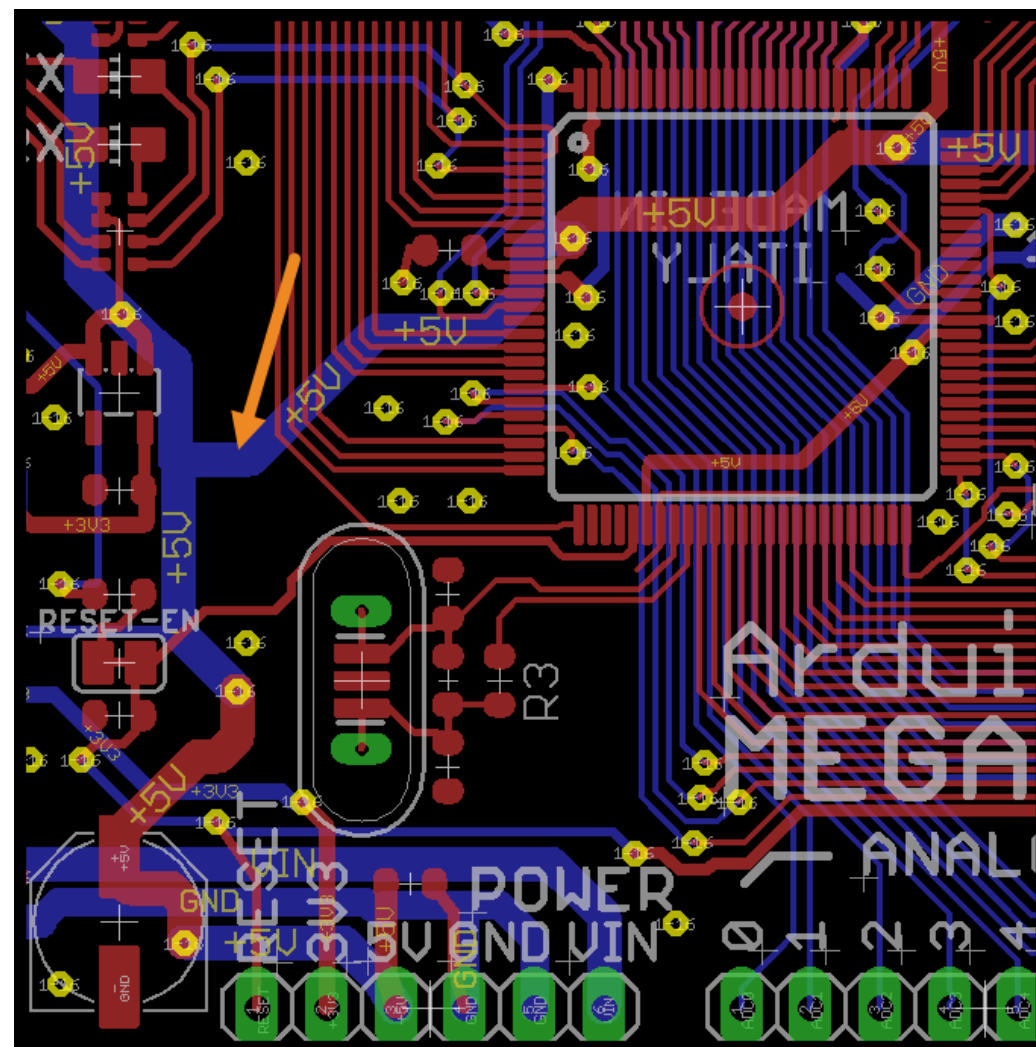
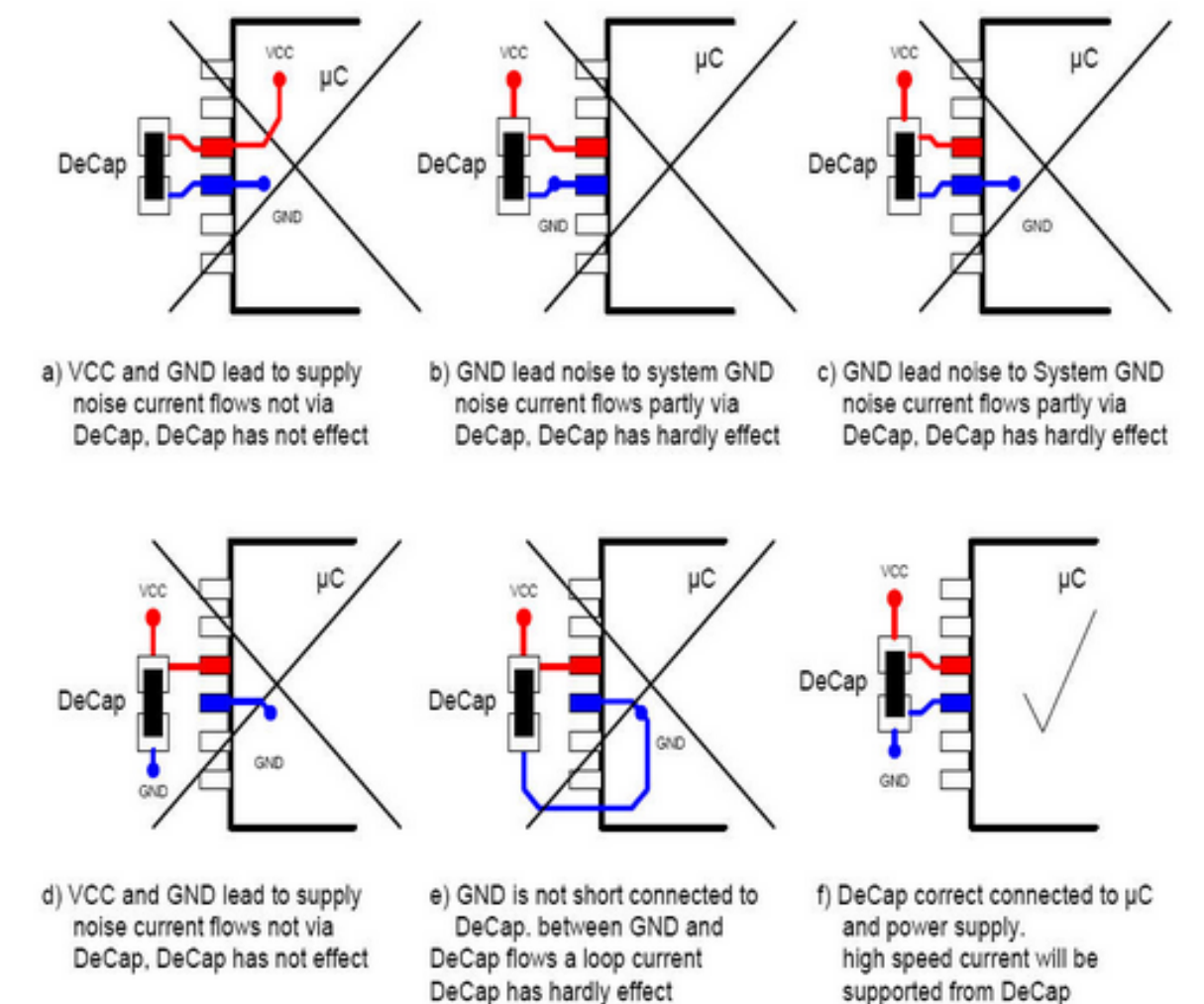
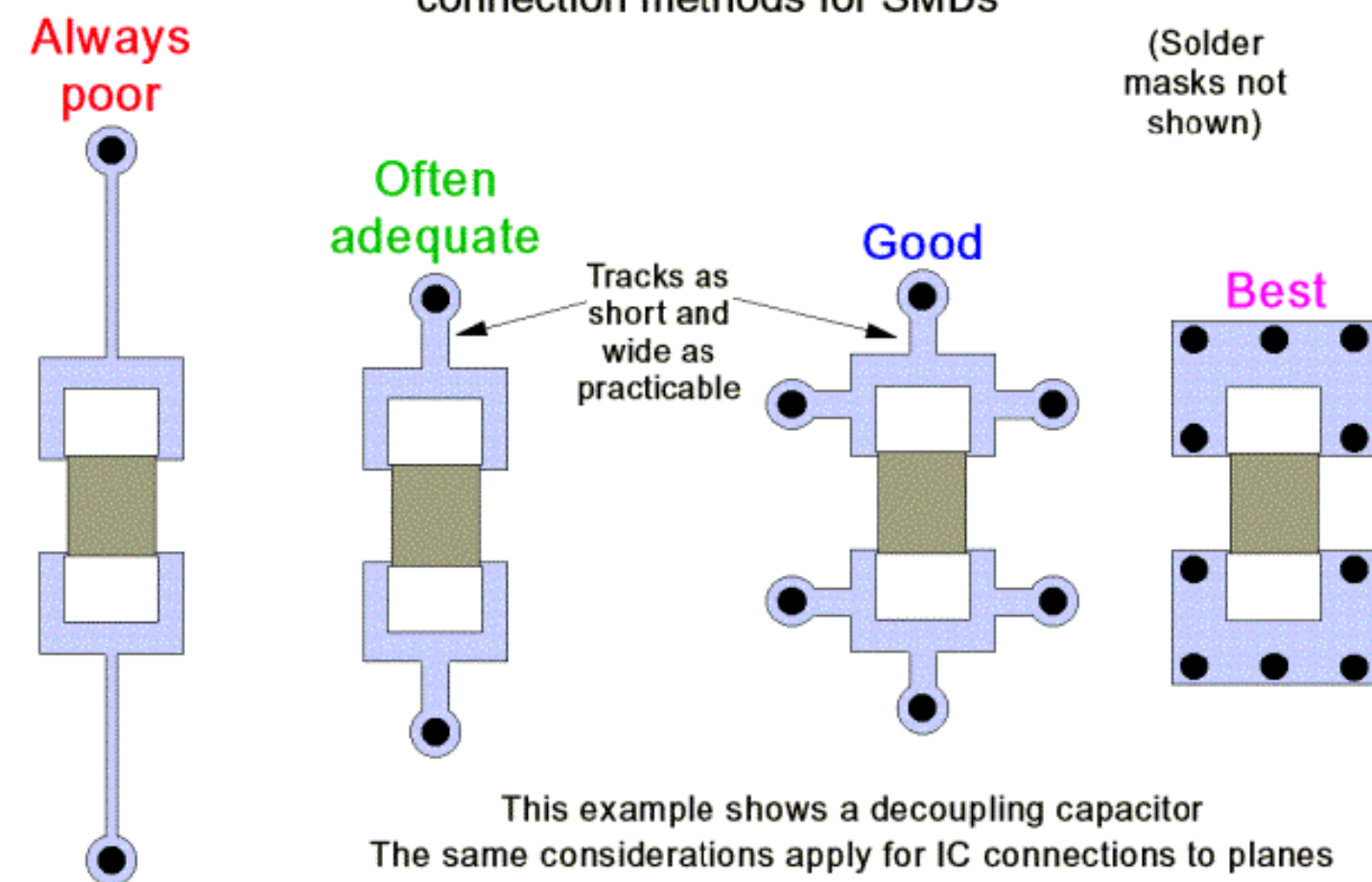
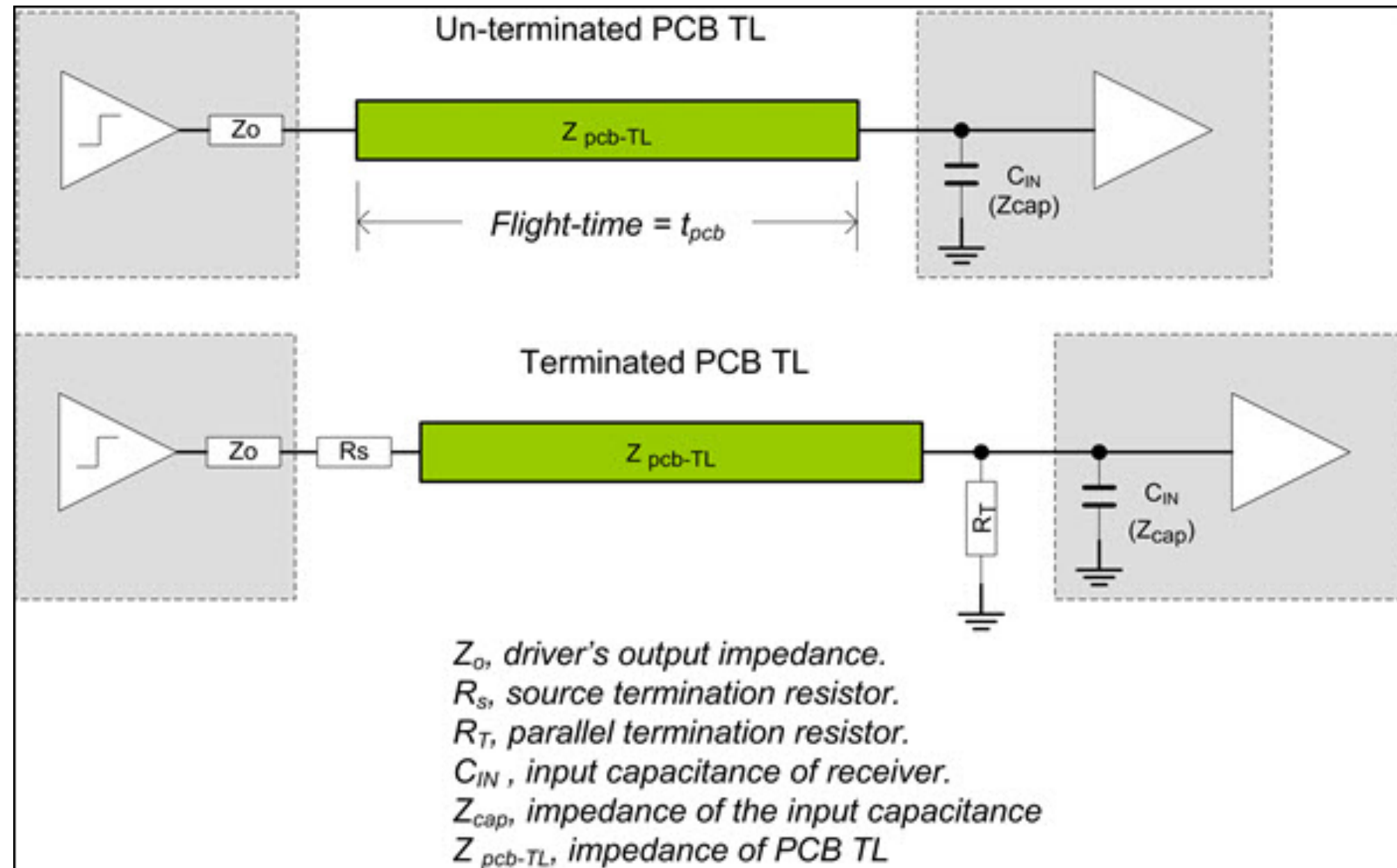


Figure 5C A comparison of the partial inductances of various plane connection methods for SMDs

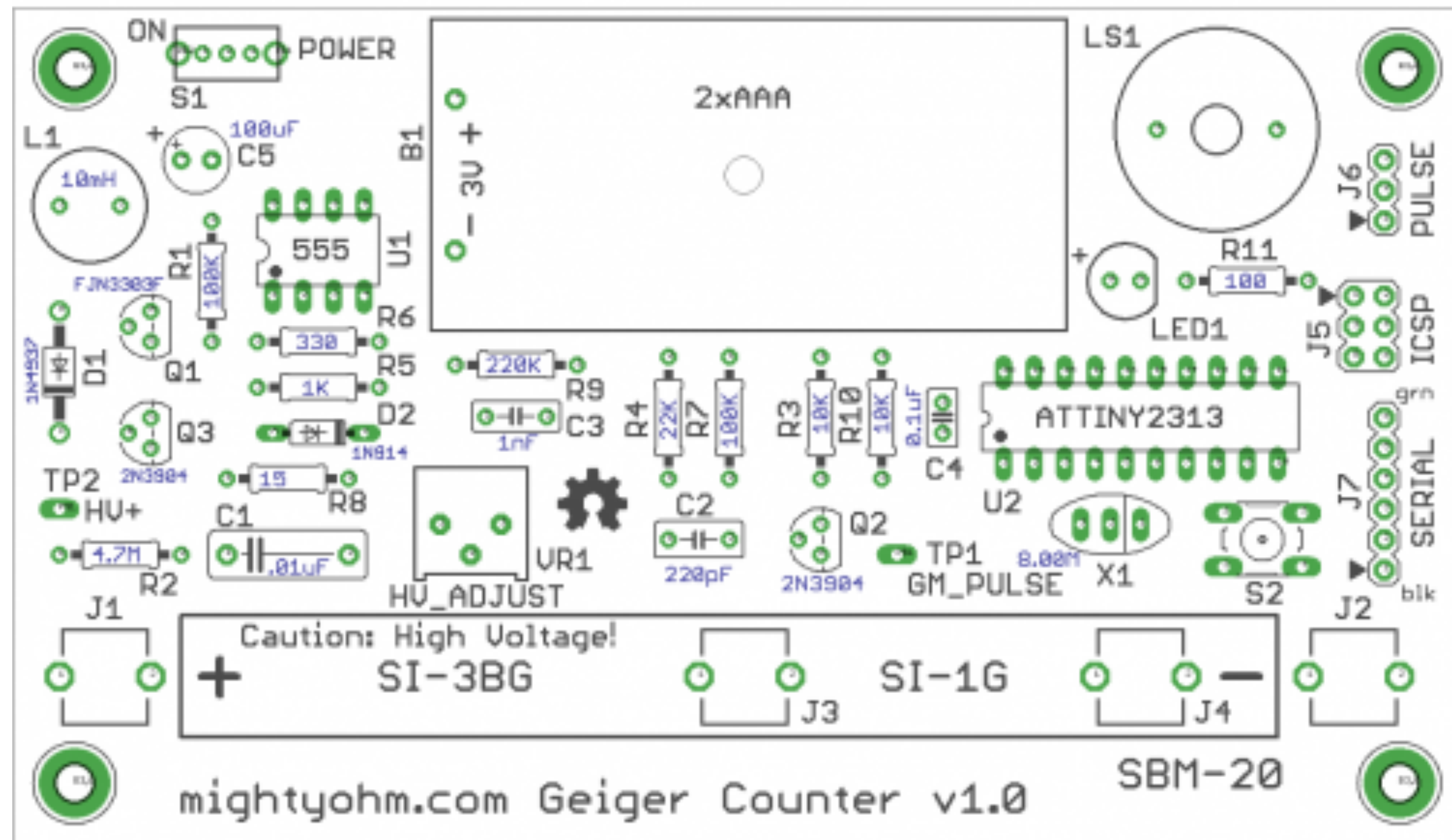


走线阻抗及终端匹配

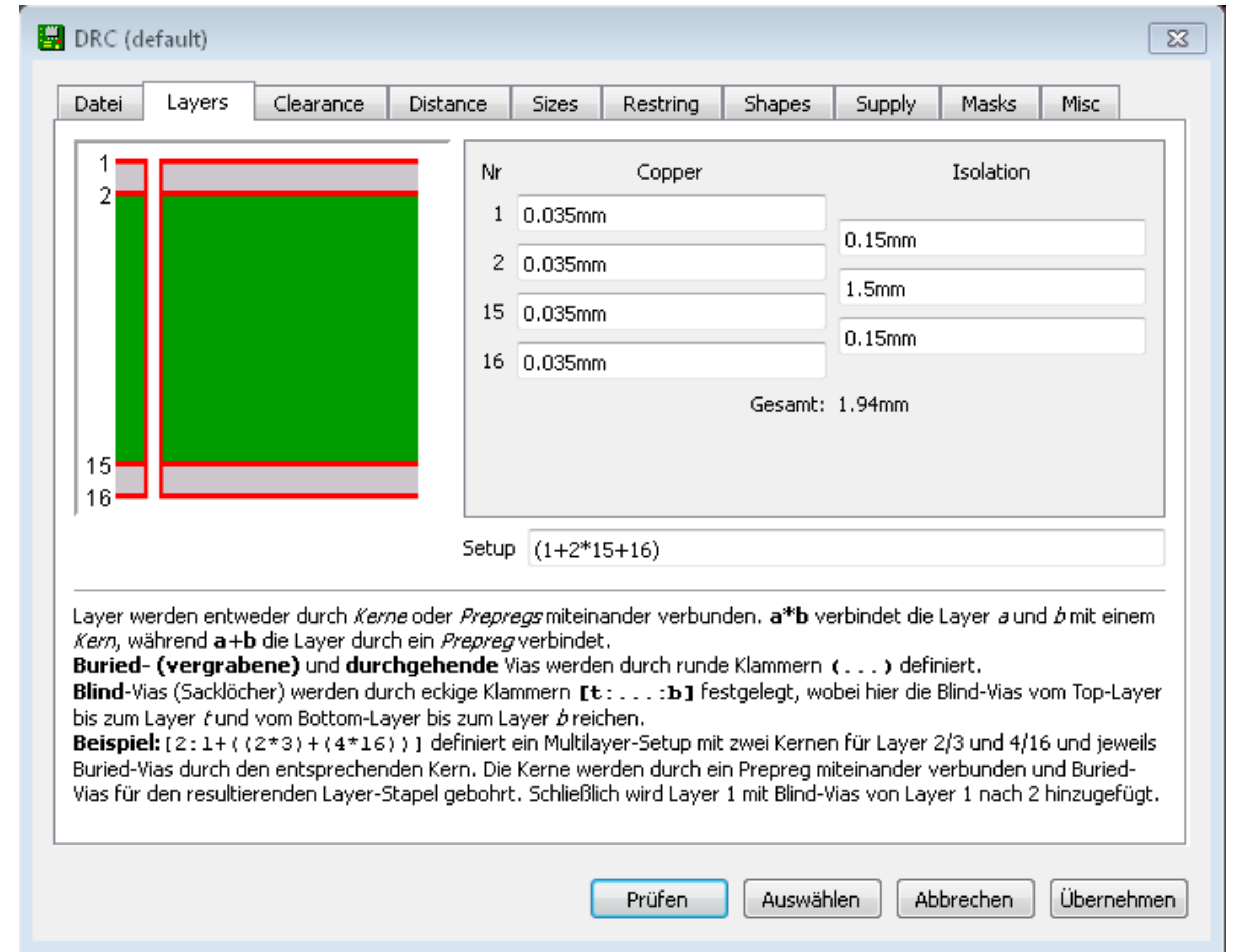
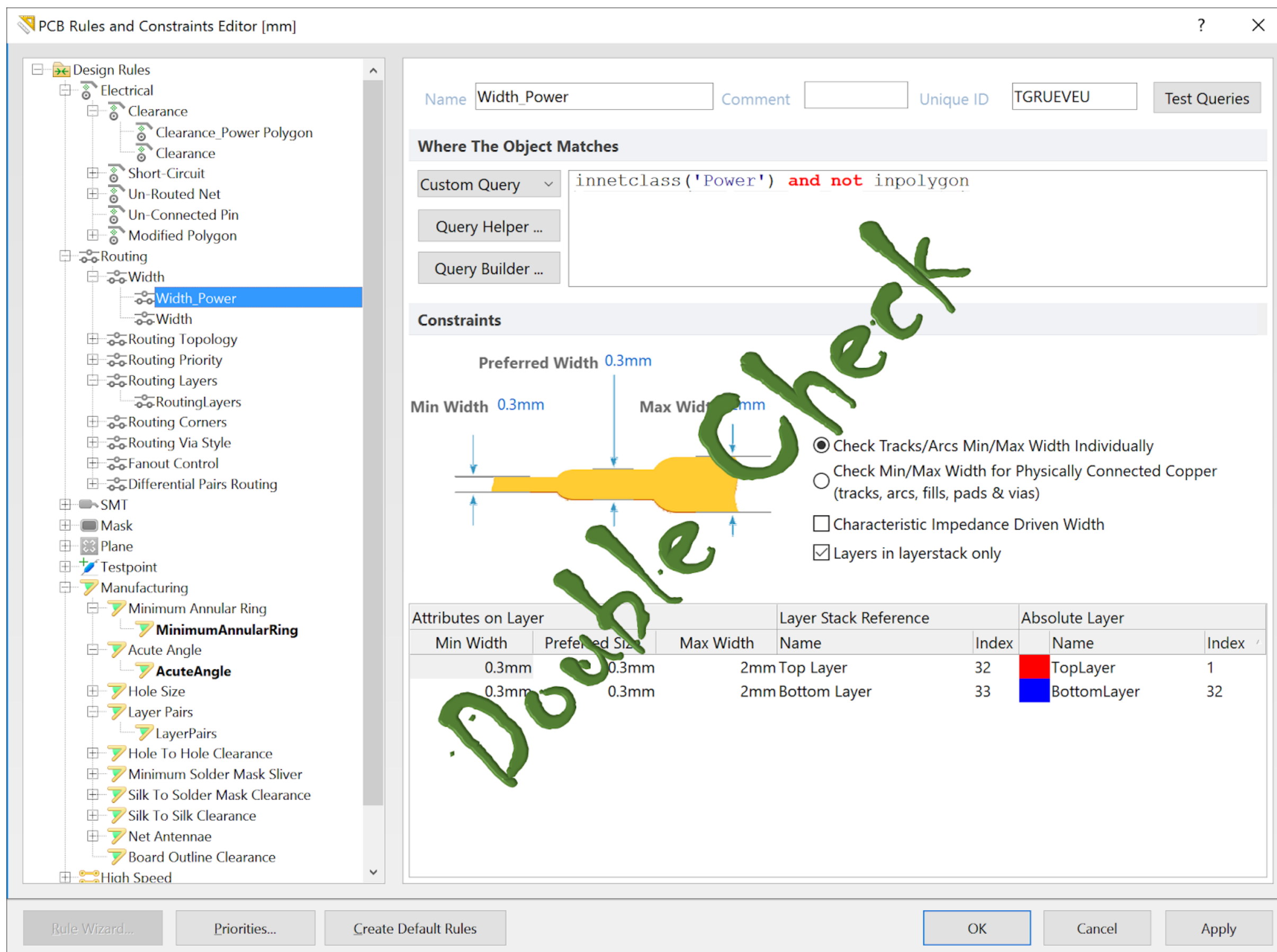


- 高速数字电路和射频电路，对PCB导线的阻抗是有要求的，低速电路可以忽略
- 发送端阻抗 == 走线阻抗 == 接收端阻抗要匹配，以达到最佳的传输效果，降低反射
- 走线阻抗要根据板材计算其宽度，走线过程中尽可能不要出现阻抗的变化 - 线宽一致
- 减少跨层走线，尽可能少用过孔
- 注意发送端阻抗匹配 - 串行匹配电阻，接收端阻抗匹配 - 并行匹配电阻，放置的位置

丝印

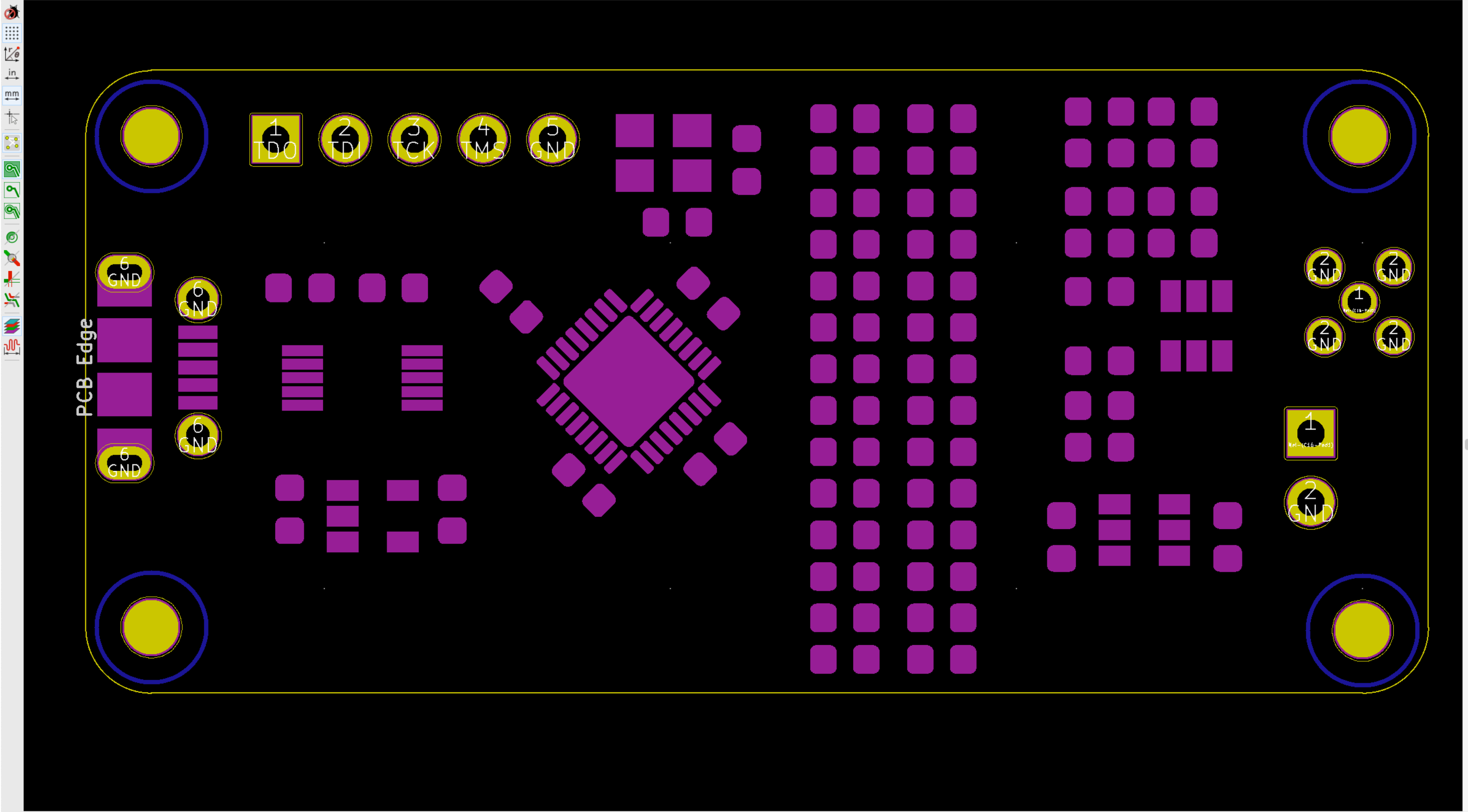


- 在PCB上下两表面印刷上标识图案和文字代号的专用层，开发者、测试、安装者、使用者都会用到
- 清楚、规则、整齐、归属明确、无歧义
- 字符不能覆盖在焊盘或过孔上，同一层的丝印不能互相重叠
- 清楚表明元器件、连接器装联的方向，极性器件如指示灯、三极管、跳塞、开关、端子、配线需要明确的极性标识
- 器件密集的区域可以将丝印字符对应、有序地放置在其他区域并加上适当标识
- 丝印字体一般采用EDA软件支持的缺省字体，AD的不好，需要修改



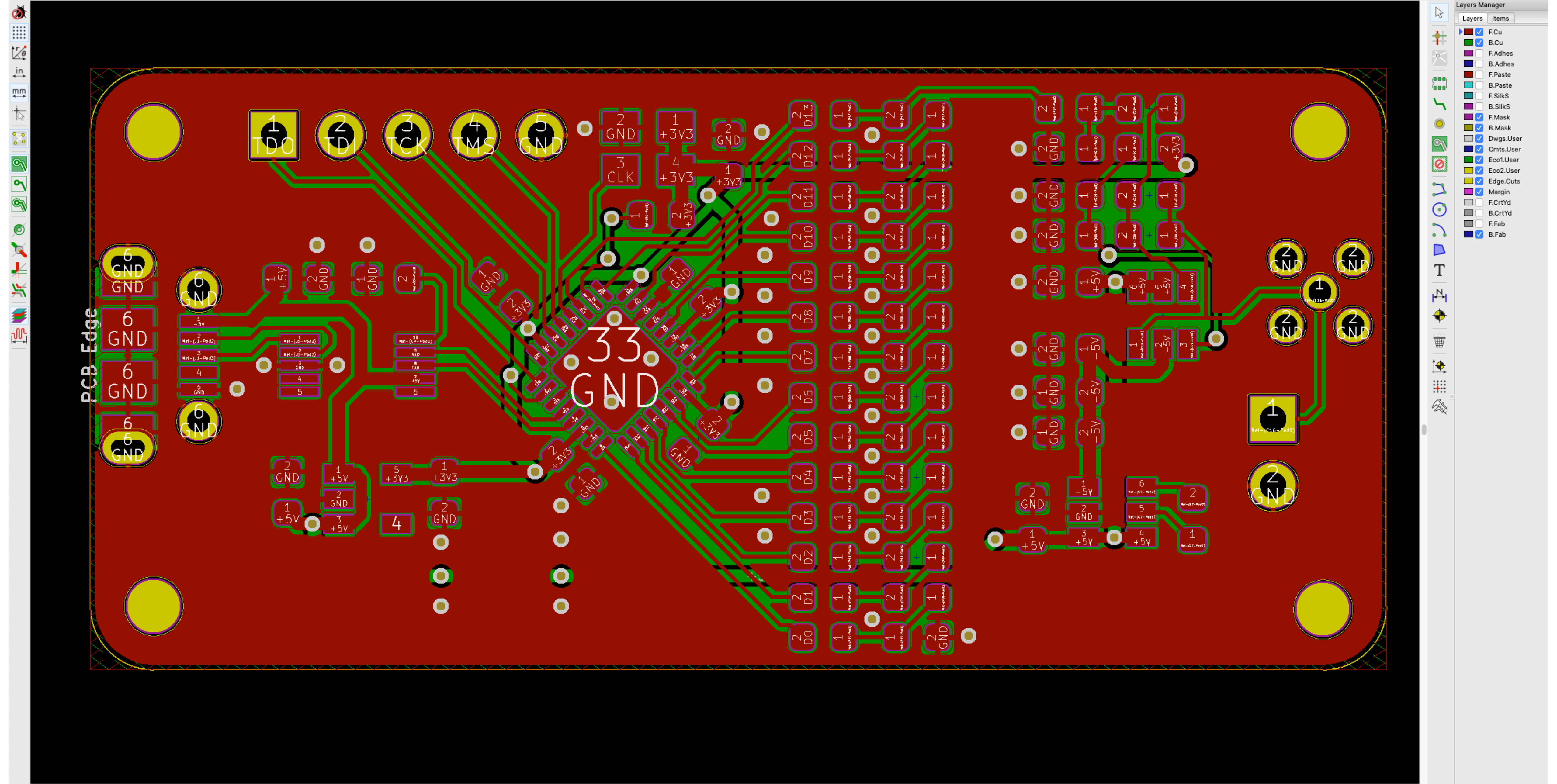
检查

1. ERC (电气规则检查)
2. DRC (设计规则检查) - 线宽、线间距、加工厂工艺要求、高速设置、短路
3. 对照原理图逐线高亮检查



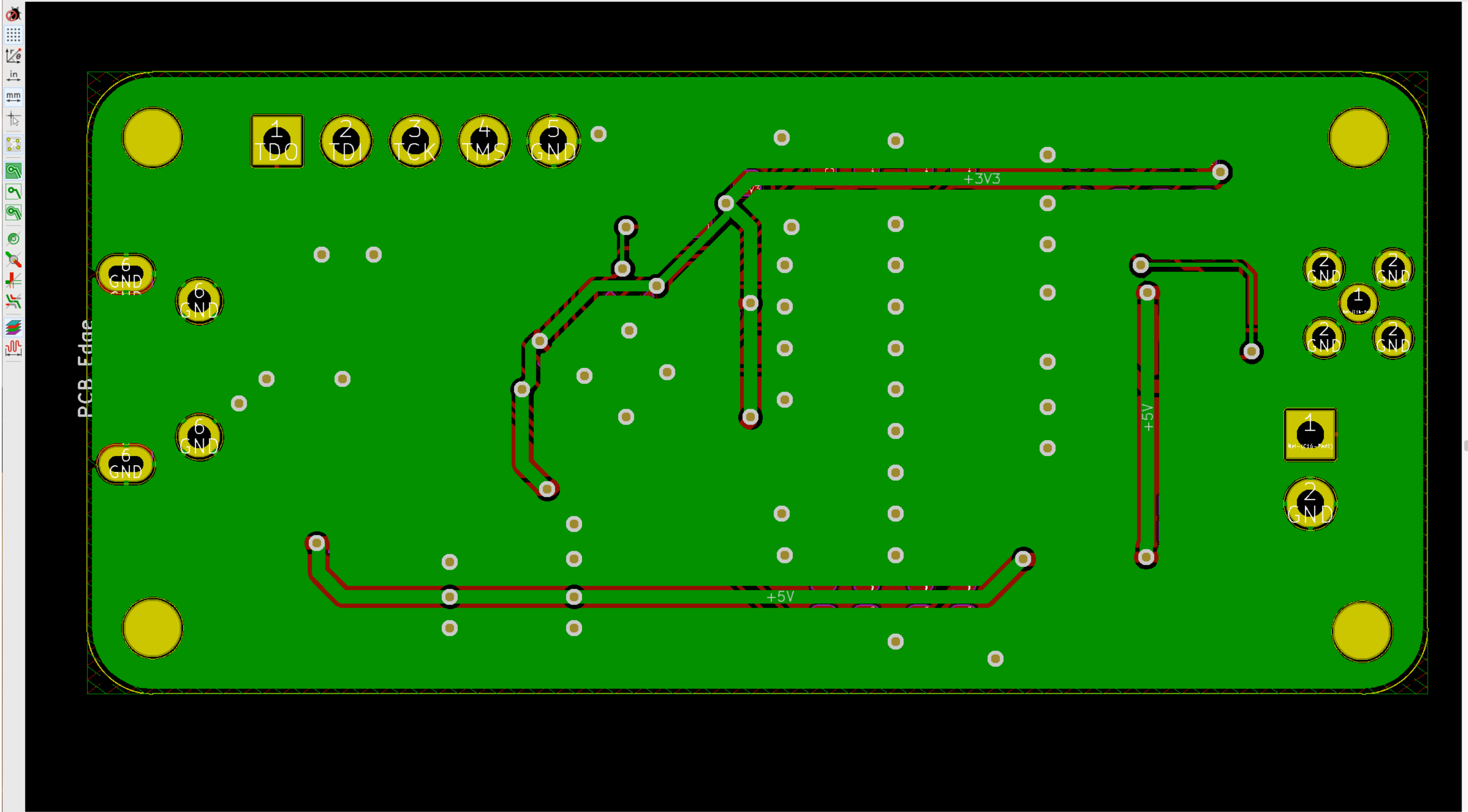
Layers Manager

Layers	Items
<input type="checkbox"/>	F.Cu
<input type="checkbox"/>	B.Cu
<input type="checkbox"/>	F.Adhes
<input type="checkbox"/>	B.Adhes
<input type="checkbox"/>	F.Paste
<input type="checkbox"/>	B.Paste
<input type="checkbox"/>	F.Silks
<input type="checkbox"/>	B.Silks
<input checked="" type="checkbox"/>	F.Mask
<input checked="" type="checkbox"/>	B.Mask
<input type="checkbox"/>	Dwgs.User
<input checked="" type="checkbox"/>	Cmts.User
<input checked="" type="checkbox"/>	Eco1.User
<input checked="" type="checkbox"/>	Eco2.User
<input checked="" type="checkbox"/>	Edge.Cuts
<input checked="" type="checkbox"/>	Margin
<input type="checkbox"/>	F.CrtYd
<input type="checkbox"/>	B.CrtYd
<input type="checkbox"/>	F.Fab
<input checked="" type="checkbox"/>	B.Fab



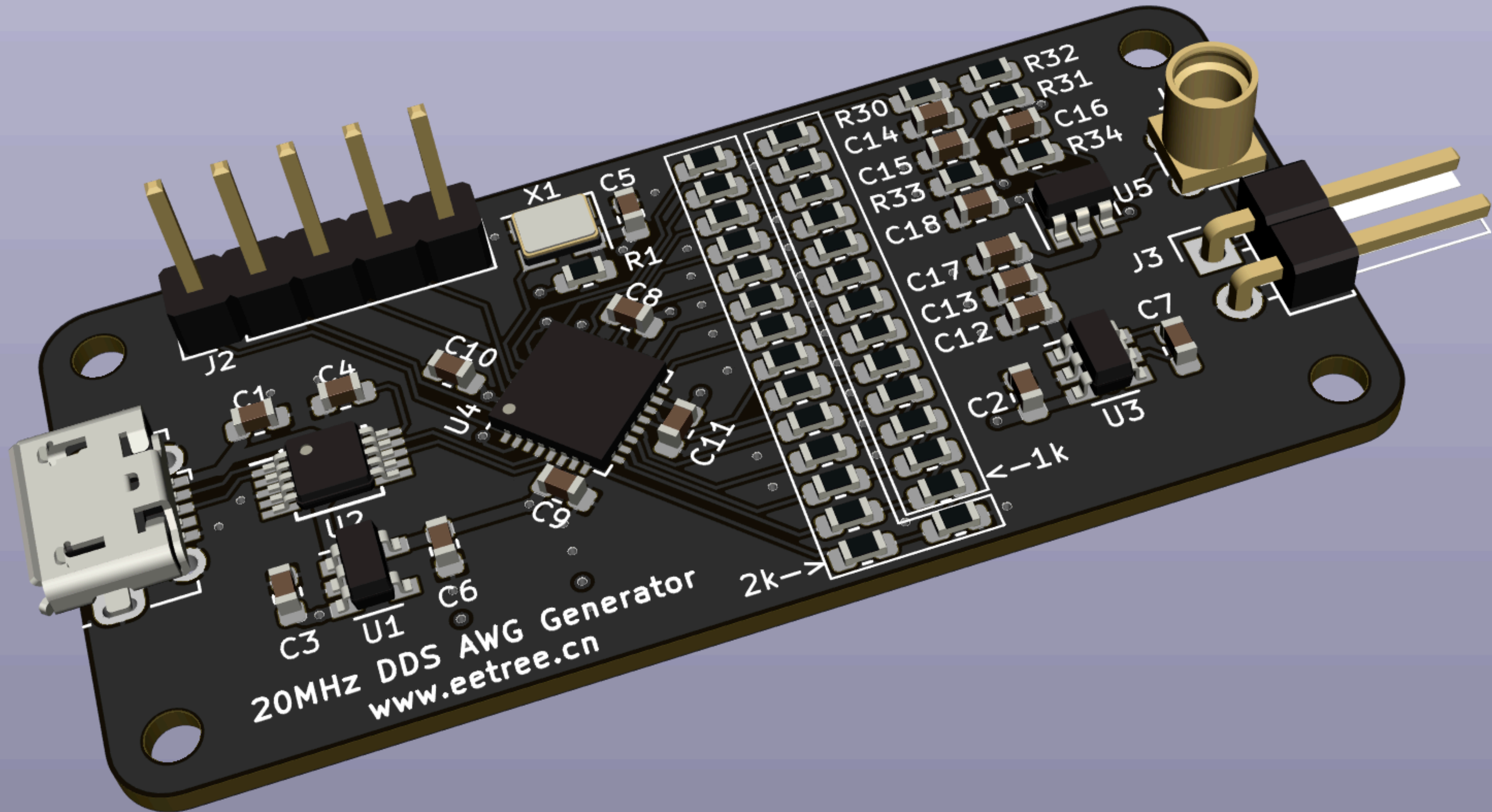
Layers Manager

Layers	Items
F.Cu	
B.Cu	
F.Adhes	
B.Adhes	
F.Paste	
B.Paste	
F.Silks	
B.Silks	
F.Mask	
B.Mask	
Dwgs.User	
Cmts.User	
Eco1.User	
Eco2.User	
Edge.Cuts	
Margin	
F.CrtYd	
B.CrtYd	
F.Fab	
B.Fab	



Layers Manager

Layers	Items
<input checked="" type="checkbox"/>	F.Cu
<input checked="" type="checkbox"/>	B.Cu
<input checked="" type="checkbox"/>	F.Adhes
<input checked="" type="checkbox"/>	B.Adhes
<input checked="" type="checkbox"/>	F.Paste
<input checked="" type="checkbox"/>	B.Paste
<input checked="" type="checkbox"/>	F.SilkS
<input checked="" type="checkbox"/>	B.SilkS
<input checked="" type="checkbox"/>	F.Mask
<input checked="" type="checkbox"/>	B.Mask
<input checked="" type="checkbox"/>	Dwgs.User
<input checked="" type="checkbox"/>	Cmts.User
<input checked="" type="checkbox"/>	Eco1.User
<input checked="" type="checkbox"/>	Eco2.User
<input checked="" type="checkbox"/>	Edge.Cuts
<input checked="" type="checkbox"/>	Margin
<input checked="" type="checkbox"/>	F.CrtYd
<input checked="" type="checkbox"/>	B.CrtYd
<input checked="" type="checkbox"/>	F.Fab
<input checked="" type="checkbox"/>	B.Fab



20MHz DDS AWG Generator
www.eetree.cn

J2

X1

C5

R1

C8

C10

U4

C11

C9

C3

U1

C6

2k

←1k

R30

C14

C15

R33

C18

C17

C13

C12

C2

U3

J3

C7

U5

R32

R31

C16

R34