

# Extend Shield 使用手册

---

小脚丫 STEP

STEP

2018/12/12

# Extend Shield 使用手册

## 目录

Extend Shield 使用手册 .....	1
1. 概述 .....	3
2. 硬件 .....	3
2.1 PCIE 接口 .....	4
2.2 Uart .....	5
2.3 数码管 .....	5
2.4 VGA .....	6
2.5 按键与开关 .....	7
2.6 引脚分配 .....	8
3. 测试程序 .....	9
3.1 VGA 测试 .....	9
3.2 综合测试 .....	10
4. 版本信息 .....	11

# 1. 概述

Extend Shield 是一款配合小脚丫 STEP FPGA 核心板使用的扩展模块，板上集成了 VGA 接口、PMOD 接口、USB 串口、4 位数码管等等。Extend Shiled 模块可以支持 STEP-MXO2 和 STEP-MAX10 两种核心板，非常适合用于移植处理器内核到 FPGA 的系统的评估设计，可以作为 SoC 系统设计和微机原理的课程实验设备。

Extend Shield 模块采用了小脚丫扩展模块统一的 Mini PCIE 子卡设计，尺寸 6cm x 4cm，52pin 的 PCIE 接口。模块使用还需要配合小脚丫 STEP 的 PCIE 底板，能很方便搭建平台。

## 板载资源：

- 1 路 Micro USB 接口，用作 USB 串口；
- 1 个系统复位按键；
- 1 个五向按键；
- 1 路 VGA 接口，采用 8 路 RGB 信号；
- 2 路 PMOD 插座；
- 4 位 7 段数码管；

# 2. 硬件

图 1 为 Extend Shiled 实物图：

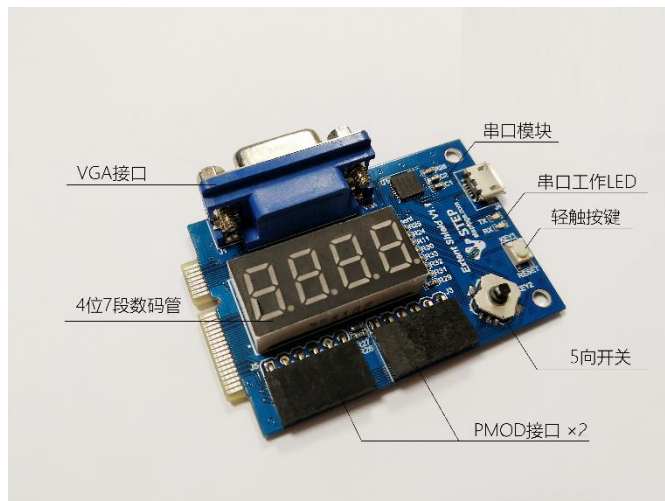
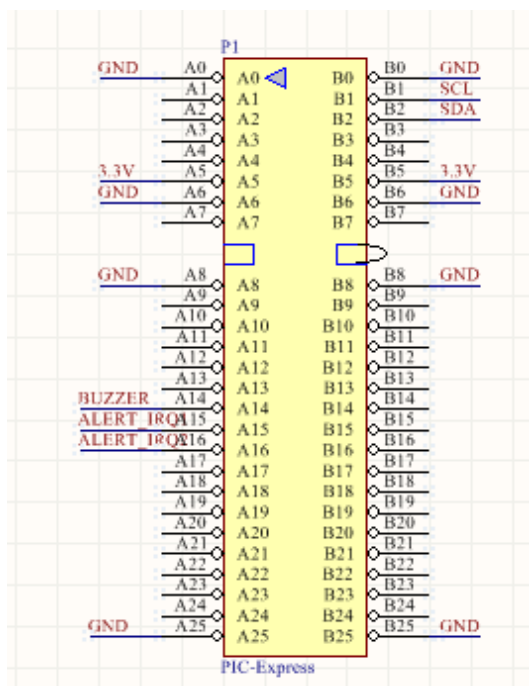


图 1 Extend Shield 实物图

## 2.1 PCIE 接口

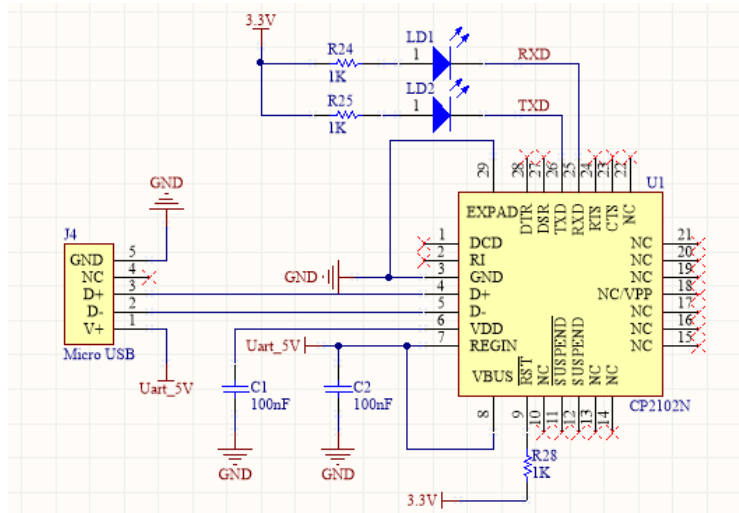


板卡左侧金手指为 STEP-PCIE 接口，用于转接板卡与子卡的连接。板卡正面金手指从上至下信号依次为 A0-A25，背面则为 B0-B25，管脚信息如下图所示：

分配管脚 (MAX10)	管脚分配 (MXO2)	PCIE 引脚号	PCIE 引脚号	管脚分配 (MXO2)	分配管脚 (MAX10)
GND		A0	B0		GND
5V		A1	B1	5V	
B15	P13	A2	B2	C8	M4
B14	N4	A3	B3	B8	P3
B13	M4	A4	B4	E3	M5
A14	P3	A5	B5	F3	R3
3.3V		A6	B6		3.3V
GND		A7	B7		GND
GND		A8	B8		GND
NC		A9	B9		NC
B4	E12	A10	B10	G3	L6
A5	F12	A11	B11	H3	P4
A7	G12	A12	B12	J2	L7
B6	F13	A13	B13	J3	R5
E7	F14	A14	B14	K2	P6
D7	G13	A15	B15	K3	R7
B7	G14	A16	B16	L3	P7
C8	H12	A17	B17	N5	P8
B8	J13	A18	B18	P6	P9
D10	J14	A19	B19	N6	R9
A9	K12	A20	B20	P7	R11
A11	K14	A21	B21	N7	P12
A13	K13	A22	B22	P8	R14
B11	J12	A23	B23	N8	P15
NC		A24	B24		NC
GND		A25	B25		GND

## 2.2 Uart

板卡集成 USB 转串口通讯模块 CP2102，电路如下：

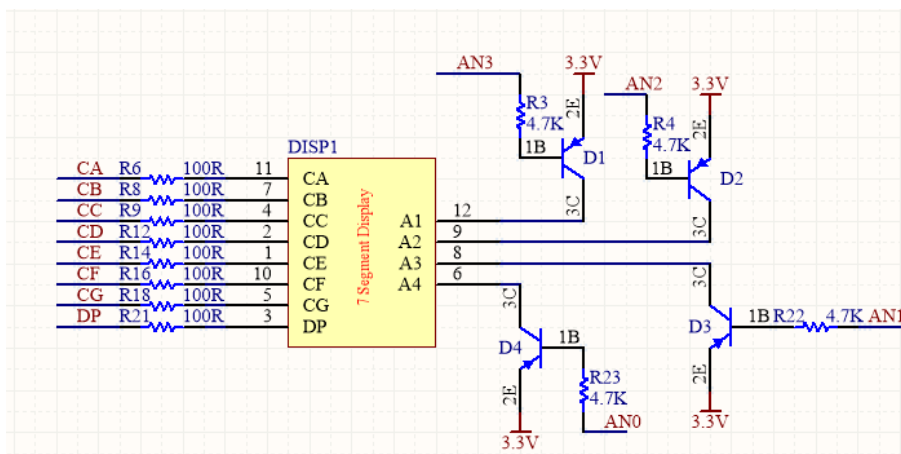


图中，J4 为 MicroUSB 接口，D+,D-脚分别与 CP2102 对应管脚相连用于将上位机的 USB 数据输入至 CP2102，CP2102 的 TXD 管脚与 RXD 管脚分别与芯片相连，用于串口通讯。管脚分配如下图所示：

信号名	分配管脚(MXO2)	分配管脚(MAX10)
Uart_tx	E3	M5
Uart_rx	F3	R3

## 2.3 数码管

Extend Shield 上板载 4 位 7 段共阳极数码管，采用扫描显示方式，硬件电路如下图所示：

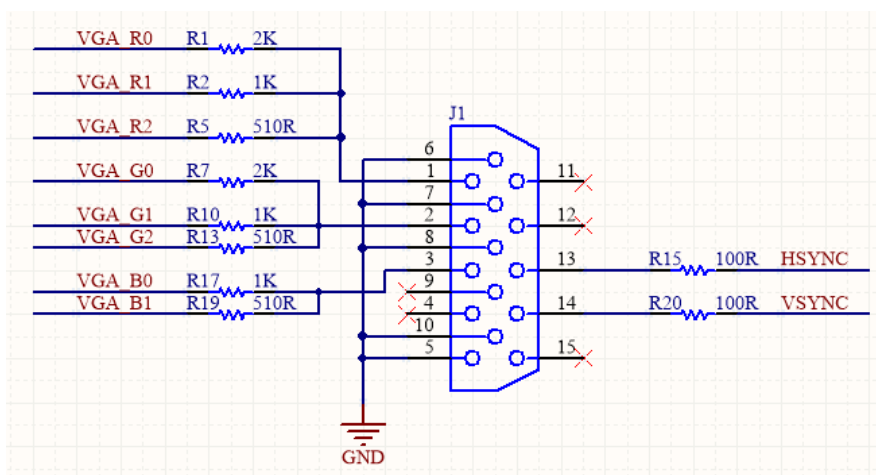


其中, CA-CG,DP 为段选信号, 负责每位数码管上的 LED 与小数点的显示, 在 Verilog 编程中, 为了便于操作, 常用于将其编为寄存器组, AN1-AN4 为位选信号, 控制 4 位数码管的亮灭。管脚分配如下图所示:

信号名	分配管脚(MXO2)	分配管脚(MAX10)
CA	J3	R5
CB	H3	P4
CC	N6	R9
CD	L3	P7
CE	N5	P8
CF	K2	P6
CG	P7	R11
DP	P6	P9
AN1	N7	P12
AN2	G3	L6
AN3	K3	R7
AN4	J2	L7

## 2.4 VGA

板载 VGA 接口, 可实现 256 色视频输出, 接口采用 D-SUB 15pins 封装, 电路图如下



其中, VGA\_R0-VGAB1 为 RGB 三色输入, 共 8 个信号, 故可输入 256 种颜色, HSYNC 信号为行扫描信号, VSYNC 信号为场扫描信号, 行扫描与场扫描按照对应的时序与一定的扫描频率就可实现图像的显示。具体管脚分配如下:

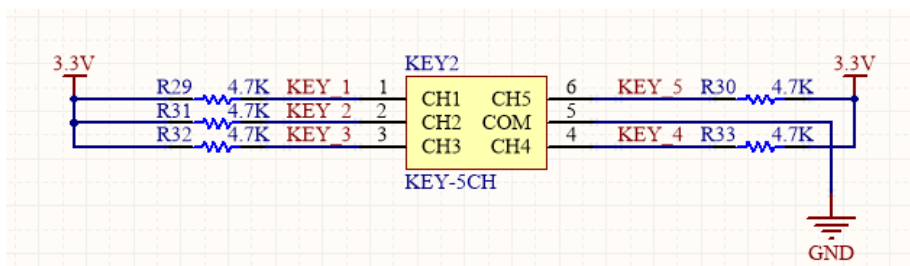
信号名	分配管脚(MXO2)	分配管脚(MAX10)
VGA_R0	E12	B4
VGA_R1	F12	A5
VGA_R2	G12	A7
VGA_G0	F13	B6

VGA_G1	G13	D7
VGA_G2	F14	E7
VGA_B0	H12	C8
VGA_B1	G14	B7
HSYNC	J14	D10
VSYNC	J13	B8

## 2.5 按键与开关

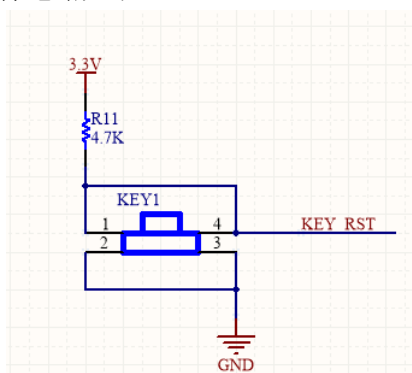
### · 5 向开关

Extend Shield 提供了一个 5 向按键。



### · 1 路复位按键

该按键可用于复位，硬件电路如下：



管脚分配如下表所示：

信号名	分配管脚(MXO2)	分配管脚(MAX10)
KEY_LEFT	K12	A9
KEY_RIGHT	P8	R14
KEY_CENTER	K14	A11
KEY_UP	A23	J12
KEY_DOWM	K13	A13
KEY_RESET	N8	P15

## 2.6 引脚分配

Extend_Shield信号名	FPGA管脚	
	LatticeMXO2	Intel MAX10
sync_h	J14	D10
sync_v	J13	B8
vga_R[0]	E12	B4
vga_R[1]	F12	A5
vga_R[2]	G12	A7
vga_G[0]	F13	B6
vga_G[1]	F14	E7
vga_G[2]	G13	D7
vga_B[0]	G14	B7
vga_B[1]	H12	C8
key_1	K12	A9
key_2	K14	A11
key_3	K13	A13
key_4	J12	B11
key_5	P8	R14
key_rst	N8	P15
TX (FPGA)	E3	M5
RX (FPGA)	F3	R3
an0	N7	P12
an1	G3	L6
an2	K3	R7
an3	J2	L7
ca	J3	R5
cb	H3	P4
cc	N6	R9
cd	L3	P7
ce	N5	P8
cf	K2	P6
cg	P7	R11
dp	P6	P9
spi_sck	P13	B15
spi_miso	N4	B14
spi_mosi	M4	B13
spi_ss	P3	A14
i2c_scl	C8	M4
i2c_sda	B8	P3



## 3. 测试程序

### 3.1 VGA 测试

我们提供了两个 VGA 测试 demo，一个是彩条测试，提供了 MAX10 和 MXO2 两个版本，用户在使用时根据自己使用的小脚丫核心板选择。

工程文件：

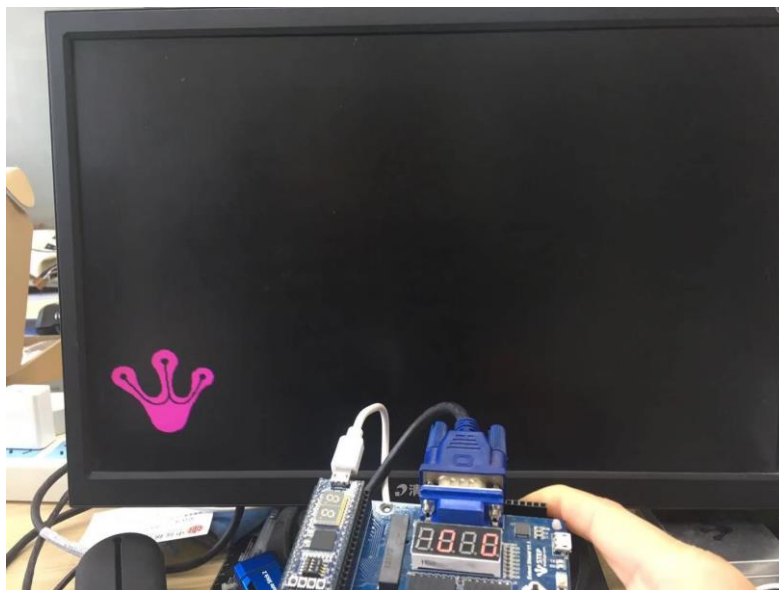
VGA\_Color\_Test\_MAX10，如果使用的是 MAX1008SAM153C8G，可以直接烧录到 FPGA 中。

VGA\_Color\_Test\_MXO2，如果使用的是 LCMXO2-4000HC-4MG132C，可以直接烧录到 FPGA 中。

在屏幕上显示不同颜色的彩条。



另一个是屏保程序的演示。



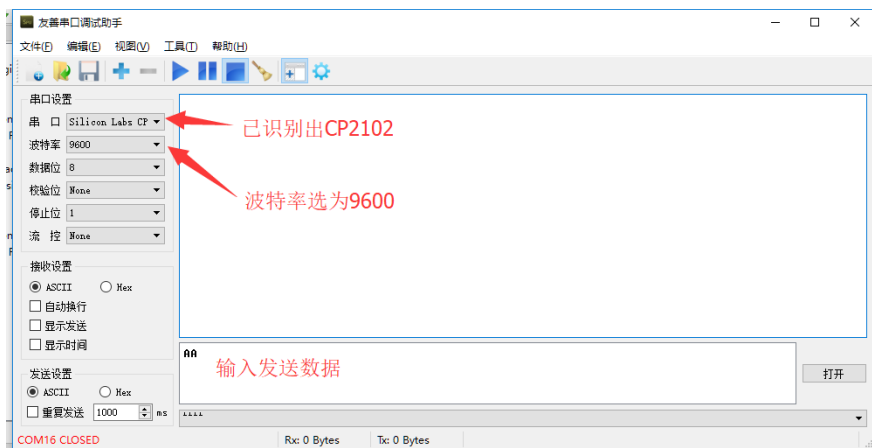
## 3.2 综合测试

综合演示程序，除 VGA 测试外可以还做串口测试，数码管显示测试。

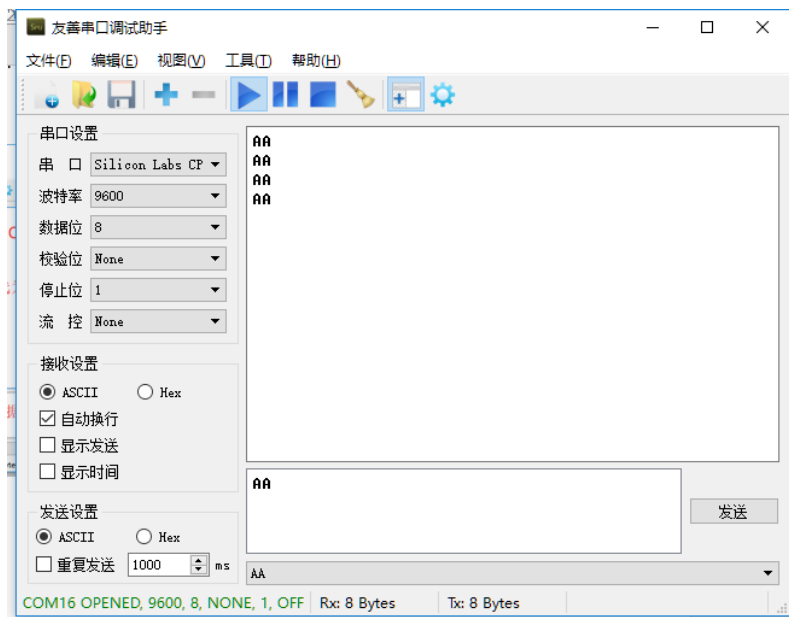
工程文件：Extend\_Shield\_Demo\_MAX10、Extend\_Shield\_Demo\_MXO2，根据具体使用的小脚丫选择对应的程序。

将板卡连接好，并用数据线与 PC 端相连，若硬件无问题，串口将会发送从 PC 端接收的数据，以下是调试步骤：

1. 打开串口调试助手：

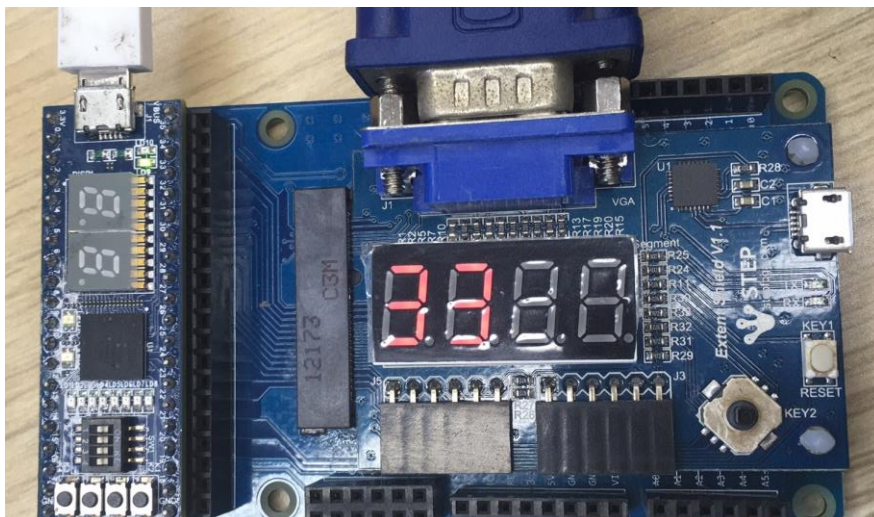


2. 打开串口并发送数据：



此处共发了 4 次“AA”，FPGA 接收到数据后返回了 4 次“AA”，说明通讯正常，没有问题。

数码管循环显示 1234，如下图：



## 4. 版本信息

版本编号	修改日期	修改
V1.0	2017/7/6	初始版本
V1.1	2018/12/12	增加引脚分配图，修改测试程序部分