

ADI 技术文章合集

ADI公司 编译



仪器仪表和测量

MS-2624	精密光电二极管传感器电路优化设计.....	4
MS-2698	使用同步检测进行精密低电平测量.....	9
MS-2210	高速 ADC 的电源设计.....	17
MS-2660	认识宽带 GPS ADC 中的无杂散动态范围.....	24
MS-2714	了解 JESD204B 规范的各层——从高速 ADC 的角度出发（第一部分）.....	28
MS-2643	高速 DAC 宽带输出网络知识与设计.....	34
MS-2739	采用高动态范围中频接收器简化下一代微波点对点调制解调器的设计.....	38
MS-2740	噪声频谱密度：在软件定义系统中查看数据转换器性能的实用方法.....	43
MS-2698	使用同步检测进行精密低电平测量.....	9
MS-2208	选择合适的无源和分立元件以实现最高系统性能.....	47
MS-2624	精密光电二极管传感器电路优化设计.....	4
MS-2707	征服恶劣环境——面向极端高温应用的低功耗、精密、高温器件.....	55

电机控制系统设计

MS-2758	利用数字隔离器技术增强工业电机控制性能.....	59
MS-2488	交流电压电机驱动的数字隔离.....	64
MS-2302	数字隔离器为工业电机驱动应用带来性能优势.....	67
MS-2652	适用于工业运动控制的测量技术.....	73
MS-2549	面向高效电机控制的无传感器矢量控制技术继续.....	78
MS-2326	易用的 PFC 助益电机控制应用.....	82

过程控制和工业自动化

MS-2528	功耗：智能发射器设计中的首要考虑因素.....	85
MS-2475	环路供电智能变送器的功耗限制如何在功耗预算固定不变的情况下提高智能水平.....	88
MS-2352	利用集成式工业接口数字隔离器减少尺寸与成本.....	94
MS-2340	利用数字隔离器简化设计并确保系统可靠性.....	96
MS-2317	用低噪声仪表放大器设计高性能系统.....	101
MS-2155	在隔离 RS-485 节点中分割隔离电源的选择和解决方案.....	103
MS-2242	数据耦合器的增强隔离.....	106
MS-2411	优化隔离传感器接口的功率转换.....	110

医疗健康

MS-2569	医疗健康应用中的电源管理.....	115
MS-2425	家庭医疗健康电子产品中安全隔离的未来发展.....	118
MS-2126	多生理参数病人监护.....	122
MS-2125	共模抑制与 ECG 子系统有何关系以及用来实现出色性能的技术.....	128
MS-1908	芯片级封装有助于便携式医疗设备减小尺寸并减轻重量.....	132
MS-2066	传感器电路的低噪声信号调理.....	135

MS-2626	JESD204B 转换器内确定性延迟解密	151
MS-1779	九项常被忽略的 ADC 技术规格	155
MS-1944	通过集成和功耗调节应对超声设计挑战	158
MS-2178	CareFusion 与 ADI 之间的探讨：优化 EEG 放大器的性能并降低功耗	162
MS-2569	医疗健康应用中的电源管理	115

能源

MS-2249	智能电能计量应用数字隔离器	167
MS-2250	自适应实时 DSP 架构可以监控电网中的谐波成分和各种电源品质因数	171
MS-2223	新型谐波分析方法提高智能电表的精度并降低计算开销	175
MS-2200	无线智能计量技术	179
MS-2544	ADSP-CM403 Sinc—太阳能应用中的隔离测量	183
MS-2543	2543ADSP-CM403 HAE 在太阳能应用中的谐波分析	188
MS-2356	并网光伏逆变器隔离的集成	191

通信

MS-2660	认识宽带 GSPS ADC 中的无杂散动态范围	24
MS-2643	高速 DAC 宽带输出网络知识与设计	34
MS-2739	采用高动态范围中频接收器简化下一代微波点对点调制解调器的设计	38
MS-2740	噪声频谱密度：在软件定义系统中查看数据转换器性能的实用方法	43
MS-2708	GSPS 数据转换器拯救电子监控与对抗系统！	196
MS-2374	什么是 JESD204 标准，为什么我们要重视它？	199
MS-2626	JESD204B 转换器内确定性延迟解密	151
MS-2670	数字需求：高速 ADC 和雷达系统的挑战与解决方案	203
MS-2629	高速转换器：内涵、原因和原理概述	206
MS-2597	如何设计 GSPS 转换器的宽带前端	212
MS-2773	高速转换器技术的进步对下一代无线通信系统设计的支持	216

航空航天和防务

MS-2423	数字隔离器的安全可靠	220
MS-2652	适用于工业运动控制的测量技术	73
MS-2115	通过精确可靠的振动检测实现基于状态的预见性维护	224
MS-2302	数字隔离器为工业电机驱动应用带来性能优势	67
MS-2318	实现隔离式半桥栅极驱动器的设计基础	228
MS-2549	面向高效电机控制的无传感器矢量控制技术继续发展	78
MS-2443	保护 RS-485 通信网络不受有害 EMC 事件影响	232

楼宇技术

MS-2437	降压调节器变身为智能 LED 驱动器	242
MS-2629	高速转换器：内涵、原因和原理概述	206

汽车应用

MS-2670	数字需求：高速 ADC 和雷达系统的挑战与解决方案	203
---------	---------------------------------	-----

精密光电二极管传感器电路优化设计

作者: Luis Orozco

光电二极管是很多光学测量中最常用的传感器类型之一。诸如吸收和发射光谱、色彩测量、浑浊度、气体探测等应用均有赖于光电二极管实现精密光学测量。

光电二极管产生与照射到活动区的光量成比例的电流。大多数测量应用都需要用到跨阻放大器，以便将光电二极管电流转换为输出电压。图1显示电路的原理示意图。

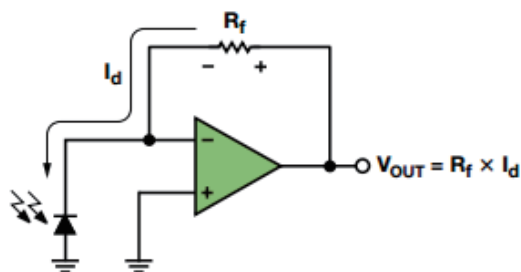


图1. 简单跨阻放大器电路

该电路的光电二极管在光伏模式下工作，其中运算放大器保持光电二极管上的电压为0 V。这是精密应用中最常见的配置。光电二极管的电压与电流关系曲线十分类似于常规二极管，但前者的整条曲线会随着光照水平的变化而向上或向下平移。图2a显示典型的光电二极管传递函数。图2b是传递函数放大后的图形，表明哪怕在没有光的情况下，光电二极管也会输出少量电流。这种暗电流会随着光电二极管上的反向电压增加而上升。大部分制造商在反向电压为10 mV的前提下给出光电二极管的暗电流。

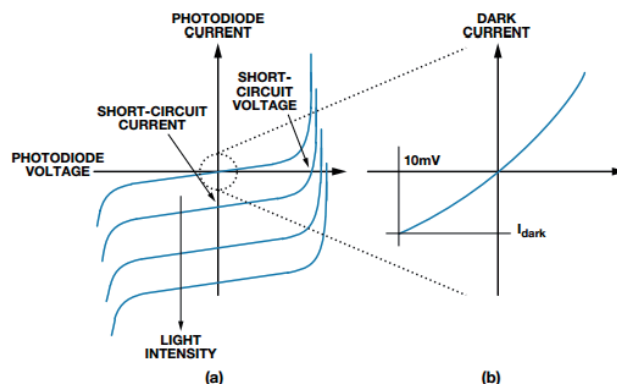


图2. 典型光电二极管传递函数

光照射到光电二极管的活动区后，电流从阴极流向阳极。理想情况下，所有的光电二极管电流都流经图1中的反馈电阻，产生数值等于光电二极管电流乘以反馈电阻的反馈电压。该电路在原理上很简单，但若系统具备最佳性能则必须解决一些难题。

直流考虑因素

第一个难题是选择直流规格匹配应用要求的运算放大器。对大部分应用来说，低输入失调电压是最重要的规格。放大器输出端存在输入失调电压，该失调电压会增加系统总误差；而在光电二极管放大器中，它还会产生其他误差。光电二极管上存在输入失调电压，产生更多暗电流，进一步增加系统失调误差。通过软件校准、交流耦合——或者两者兼用——消除初始直流失调，但较大的失调误差会缩小系统动态范围。幸运的是，输入失调电压在几百mV甚至几十mV的范围内，有大量的运算放大器可供选择。

第二重要的直流规格是运算放大器的输入漏电流。电流进入运算放大器输入端，或者进入反馈电阻以外的任何地方，都会产生测量误差。具有零输入偏置电流的运算放大器是不存在的，但某些CMOS或JFET输入运算放大器非常接近这个数值。例如，在室温下，AD8615的最大输入偏置电流为1 pA。AD549最大输入偏置电流为60 fA，该数值得到保证并经过生产测试。FET输入放大器的输入偏置电流随温度升高而呈指数上升。很多运算放大器提供85°C或125°C下的规格；但如果未提供，则一种较好的近似是温度每升高十度，电流就翻倍。

另一个难题是设计电路并进行布局,从而最大程度降低外部漏电路径——漏电流会影响低输入偏置电流运算放大器性能。最常用的外部漏电路径是印刷电路板本身。例如,图3显示图1中光电二极管放大器的一种可行布局。粉红色的走线表示+5 V供电轨,为放大器供电并将电能输送至电路板的其余部分。如果在+5 V走线以及搭载光电二极管电流的走线之间电阻等于5 G(图3中以 R_L 表示),那么1 nA电流将从+5 V走线流入放大器。显然,这与应用中仔细选择1 pA运算放大器的目标相违背。最大程度缩短外部漏电路径的一种方法是增加搭载光电二极管电流的走线与任何其他走线之间的电阻。这可能如同在走线周围加入一个较大的路由禁区以便增加与其他走线之间距离那样方便。在某些极端应用中,有的工程师会一并取消PCB走线,将光电二极管引线暴露在空气中并与运算放大器输入端引脚直接相连。

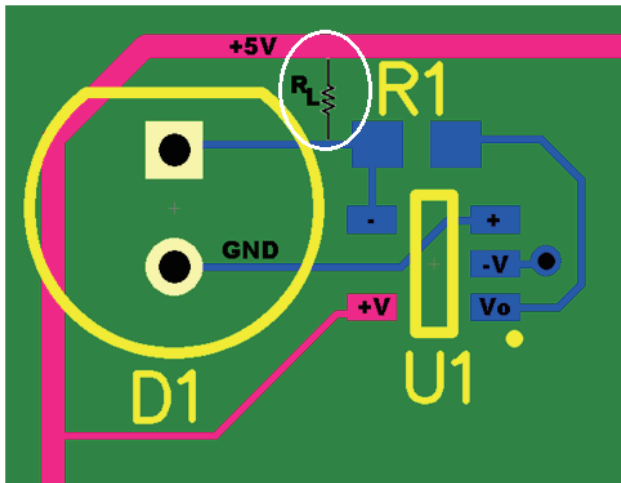


图3. 带漏电流路径的光电二极管布局

防止外部漏电流的另一种方法是在搭载光电二极管电流的走线旁布局一个保护走线,并确保两条走线均驱动至相同的电压。图4显示搭载光电二极管电流的网络周围的保护走线。+5 V走线产生的漏电流随后通过 R_L 流入保护走线,而非流入放大器。在该电路中,保护走线和输入走线之间的压差仅与运算放大器的输入失调电压有关——这就是为什么要选用低输入失调电压放大器的又一个原因。

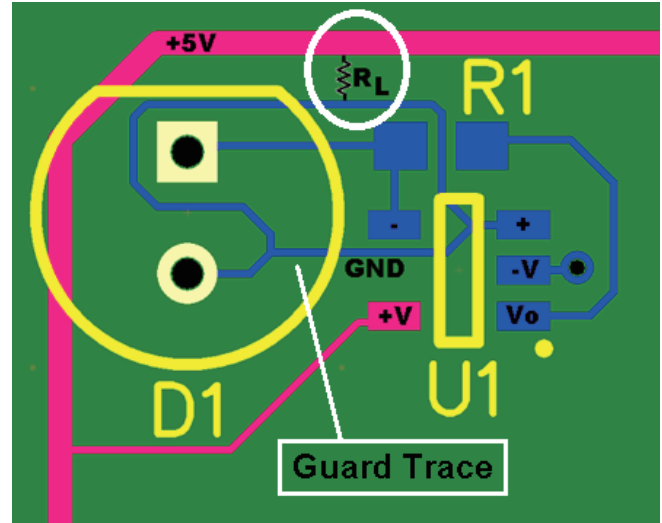


图4. 使用保护走线降低外部漏电流

交流考虑因素

虽然大部分精密光电二极管应用的工作速率较低,但我们依然需要保证针对该应用,系统具有足够的交流性能。这里,两个最大的问题是信号带宽(或闭环带宽)和噪声带宽。

闭环带宽取决于放大器的开环带宽、增益电阻和总输入电容。光电二极管输入电容范围可从数pF(高速光电二极管)到几千pF(面积极大的精密光电二极管)。然而,在运算放大器的输入端加入电容会使它变得不稳定,除非在反馈电阻上添加电容进行补偿。反馈电容限制系统的闭环带宽。可以使用等式1计算导致45°相位裕量的最大可能闭环带宽。

$$f_{45} = \sqrt{\frac{f_u}{2\pi \cdot R_F \cdot (C_{IN} + C_M + C_D)}} \quad \text{等式1}$$

其中:

f_u 是放大器的单位增益频率。

R_F 是反馈电阻。

C_{IN} 是输入电容,包括二极管电容和电路板上的其他所有寄生电容等。

C_M 是运算放大器的共模电容。

C_D 是运算放大器的差分电容。

例如，假设应用中的光电二极管电容为15 pF且跨阻增益为1 M Ω ，则等式1预计您将需要单位增益带宽约为95 MHz的放大器，才能获得1 MHz信号带宽。这是相位裕量为45°时的情况，此时在信号阶跃发生变化时会产生峰化。您可能希望通过设计60°或更高的相位裕量来降低峰化，这便要求使用速度更快的放大器。因此，诸如ADA4817-1等具有20 pA最大输入偏置电流和400 MHz左右单位增益频率的器件适用于高增益光电二极管应用，甚至对中等带宽的应用也同样适用。

在多数系统中，光电二极管电容占总输入电容的绝大部分，但某些应用在选择极低输入电容的运算放大器时需分外仔细。为了解决这个问题，某些运算放大器提供特殊的引脚排列，以降低输入电容。例如，图5显示ADA4817-1s引脚排列，可将运算放大器输出路由至反相输入的相邻引脚。

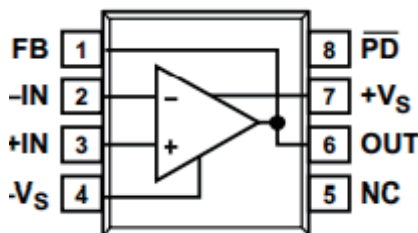


图5. ADA4817-1引脚排列针对低寄生电容优化

采用光电二极管进行设计时，系统噪声通常是又一个难题。输出噪声主要由放大器输入电压噪声和反馈电阻约翰逊噪声导致。来自反馈电阻的噪声出现在输出端，且无额外的放大效应。如果增加电阻值以便放大光电二极管电流，则增益电阻导致的噪声将仅增加电阻值增加量的平方根。实际上，这意味着光电二极管放大器增益越大越有好处，因为若采用第二个放大器级，则噪声会随着增益的增加而线性增加。

放大器输出噪声等于输入电压噪声乘以放大器噪声增益。噪声增益不仅由反馈电阻确定，同时还由反馈和输入电容确定，因此它在整个频率范围内是变化的。图6显示放大器噪声增益与频率关系的典型曲线，并叠加了闭环增益供参考。可从该曲线中了解到两件事：输出噪声在某些频率下会增加，以及频率范围——在该范围内噪声峰值高于放大器闭环截止频率。

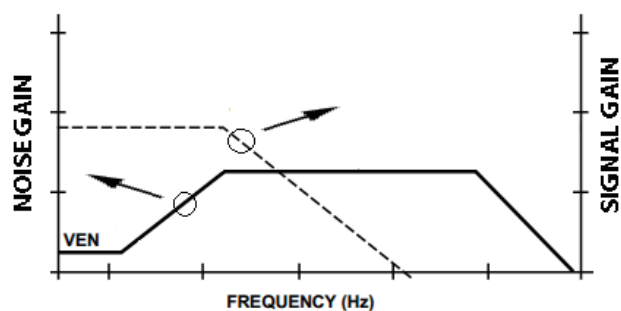


图6. 光电二极管放大器的噪声增益会在较高的频率下增加

由于无法利用该带宽，因此可以采用设置为放大器信号带宽的低通滤波器来降低该噪声。

采用可编程增益扩展动态范围

由于反馈电阻的约翰逊噪声随电阻的平方根值而增加，因此相比于使用第二个放大器级，光电二极管放大器中的增益越高越好。如图7所示，通过向光电二极管放大器中加入可编程增益，便可使该想法更进一步。

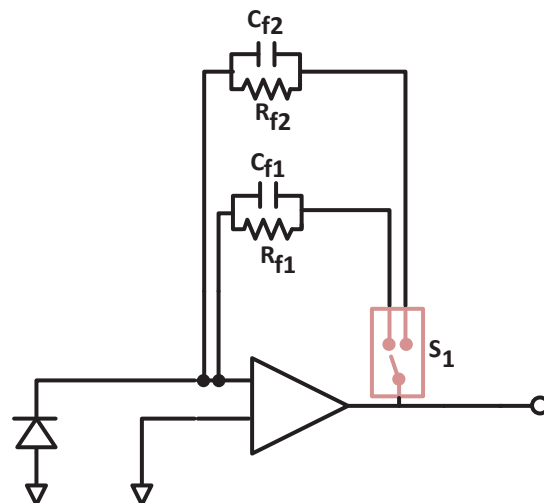


图7. 可编程增益光电二极管放大器概念

开关 S_1 选择所需的反馈路径，因此您可以为不同信号选择最优增益。不幸的是，模拟开关的导通电阻会使电路产生增益误差。该导通电阻将随施加的电压、温度等的变化而发生改变，因此您必须找到将其从电路消除的方法。图8显示如何使用两组开关移除反馈环路中导通电阻产生的误

差。该电路在反馈环路内部有一个开关，如图7所示；但开关 S_2 将电路输出直接与增益电阻相连，而不管放大器输出电压。它可以消除由于电流流过开关 S_1 而产生的任何增益误差。使用该电路的代价之一是输出不再具有与放大器输出有关的低阻抗，因为它包括多路复用器 S_2 的导通电阻。如果下一级具有高阻抗输入(比如采用ADC驱动器)，那么这通常没什么问题。

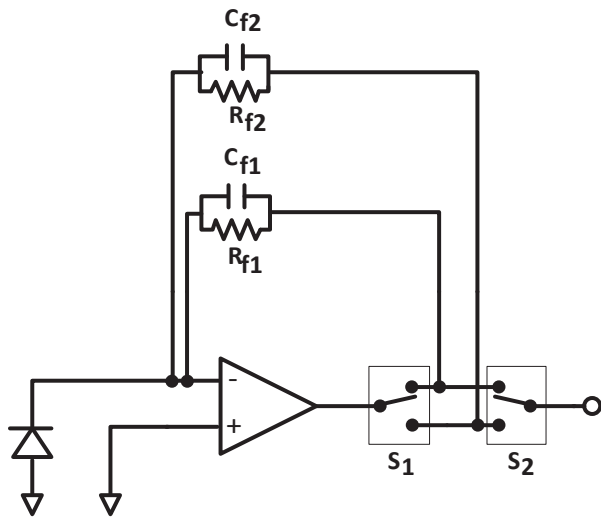


图8. 使用两组开关降低环路内额外电阻产生的误差

使用调制和同步检测降低噪声

很多精密应用都需测量通过样本吸收或反射的直流光照水平。

虽然某些应用允许对全部环境光进行屏蔽，很多其他系统(主要在工业环境中)不得不暴露在环境光下。此时，可以调制光源并使用同步检测，使您的信号远离低频频谱；而电气干扰和光学干扰在低频频谱中最为严重。最简单的调制方式是快速开关光源。取决于具体光源，可对其进行电子调制，或者像某些较老的仪器仪表那样使用机械斩波器在给定速率下阻挡光线。

例如，如果您对测量某种物质的光吸收并确定其浓度感兴趣，那么您可以对光源进行数kHz斩波。图9显示进行斩波后，测量结果不受大多数环境中普遍存在的低频光污染影响；这类环境的例子有：一天内不同时刻的环境光变化、50 Hz/60 Hz荧光灯等。

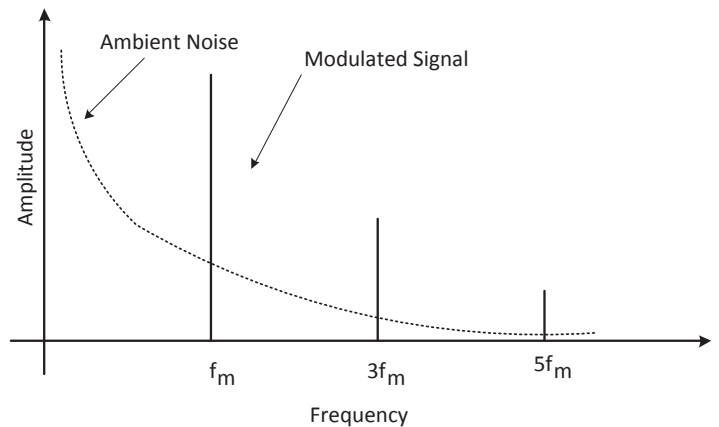


图9. 对输入信号进行斩波可将信息移入斩波频率内，远离环境噪声

由于调制信号频率是可控的，因此可以利用相同的时钟同步解调接收到的光。图10中的电路是一个非常简单的同步解调器。光电二极管放大器输出端的电压交流耦合，然后以可编程增益+1和-1经放大器传输。增益开关经同步处理，可在预期开灯的确切时刻将增益设为+1，并在预期关灯的时刻设为-1。理想情况下，输出将是直流电压，并与光脉冲的幅度有关。低通滤波器抑制一切与调制时钟不同步的信号。低通滤波器的截止频率等于调制频率周围的带通滤波器宽度。例如，假设调制频率为5 kHz，并且采用带宽为10 Hz的低通滤波器，则电路输出可将信号从4.99 kHz传输至5.01 kHz。降低低通滤波器带宽可获得更好的抑制效果，但代价是建立时间更长。

图9还显示了使用斩波需注意的另一点。斩波产生的波形并不是频域内单一的线条(要求使用正弦波)，而是斩波频率下的线条和其奇次谐波。斩波频率奇次谐波处的任何噪声都将以最小程度的衰减出现在输出端。通过使用正弦波调制可将其完全消除，但需要用到更为复杂或成本更高的电路。另一种解决方案是选择一个罕见的基波频率，其谐波不符合任何已知的干扰源。您还可在固件内实现图10中的相同功能。您可以根据调制时钟同步采样斩波光信号，并使用数字信号处理技术提取目标频率的幅度信息。

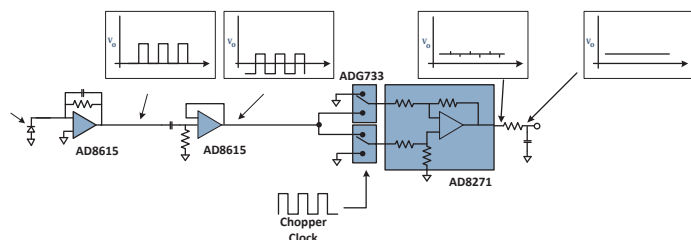


图10. 同步检测电路

结论

光电二极管放大器是大多数精密光学测量系统的重要构建模块。选择正确的运算放大器很重要，是获得最佳系统性能的第一步。使用其他性能增强技术——比如可编程增益和同步检测——有助于增加动态范围并抑制噪声。如您希望了解有关精密光电二极管电路的更多信息，请访问 <http://instrumentation.analog.com/en/chemical-analysis/segment/im.html>。

作者

Luis Orozco [luis.orozco@analog.com]是ADI公司工业和仪器仪表部系统应用工程师，在2011年加入ADI之前，他从事精密测量设备设计工作达11年之久。他目前专注于测试和测量、化学分析以及环境检测应用。

参考文献

电路笔记CN0312。[带可编程增益跨阻放大器](#)和[同步检波器的双通道色度计](#)。

Luis Orozco。“[可编程增益跨阻放大器使光谱系统的动态范围达到最大](#)。”模拟对话，第47卷。2013年第5期。

[ADA4817数据手册](#)。

Mark Johnson。光电检测和测量：光纤系统中最大限度提升性能。纽约：2003年McGraw-Hill。

使用同步检测进行精密低电平测量

作者: Luis Orozco, ADI公司系统应用工程师

同步检测是一项实用的技术,它可通过许多仪器仪表应用提取低于噪声底的嵌入低电平信号。例如:测量非常小的电阻,测量在强背景光下光的吸收或反射,或者甚至在高噪声电平的情况下进行应变测量。

当频率接近直流时,许多电气和物理系统都会有更高的噪声。例如,运算放大器有 $1/f$ 的噪声,并且露天光学测量系统会受日光、白炽灯、荧光灯和其他光源造成的环境光照条件变化产生的噪声影响。如果可以使测量远离这些低频噪声源,则可以获得更高的信噪比并检测出弱得多的信号。例如,如果您希望测量表面反射的光量,则在几kHz下调制光源将能够测量在较低频率噪声中嵌入的信号。图1展示了信号调制在低于噪声底和可恢复测量方面有多么重要。

调制传感器激励信号的方法有不少。最简单的调制方案是反复开启和关闭激励信号。这对于驱动LED和其他类型激励(例如应变计桥加压)很有效。它尤其适用于很难以电子方式调制激励源(例如广泛运用于许多波谱仪器的白炽灯)的情况。在此情况下,调制就如使用机械调制盘对光进行斩波一样简单。

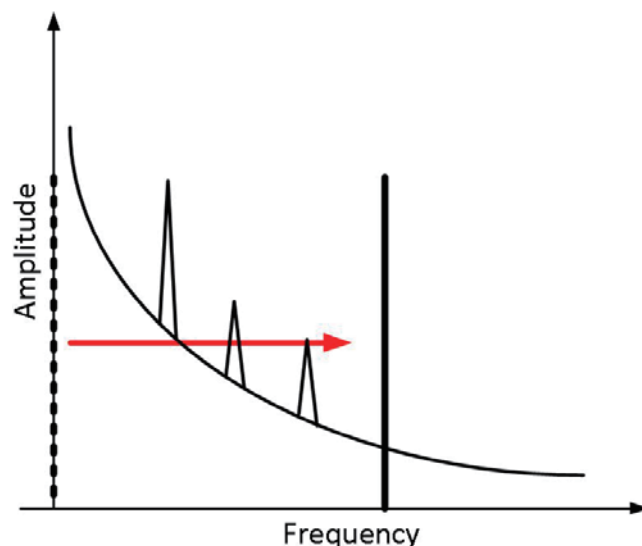


图1. 调制信号以将信号移至远离噪声源的位置

要恢复图1中的信号,您只需设计窄带带通滤波器,以去除其它频率信号仅保留目标频率信号,然后测量信号的幅度。在实践中,设计具有分立组件的极窄(高Q)带通滤波器非常具有挑战性。如果规格要求极窄的滤波器,则更不可能办到。此外,您可以使用同步解调将已调制的信号移回直流,同时滤除与参考信号不同步的其他信号。运用此技术的仪器称作锁相放大器。

要简单介绍锁定放大器,不妨首先描述图2中所示的应用。一个调制为1 kHz的光源照亮测试表面,一个光电二极管测量表面反射的光量,反射光量与累积的污染量成正比。假设参考信号和测量均为正弦波(频率和相位均相同,但是幅度不同)。假设参考信号以固定的幅度驱动光电二极管,则测量的幅度会随着反射的光量而变化(在其他应用中,这与测量的物理参数相对应)。

将两个正弦波相乘的结果是频率组分在两个输入正弦波之和以及之差上的一个信号。在此情况下，两个正弦波具有相同的频率，公式1显示的结果表明一个直流信号，另一个信号是原始频率两倍(负号指示180°的相移)。低通滤波器会移除信号直流组分以外的所有组分。

$$\begin{aligned} A\sin(2\pi f_m t) \times B \sin(2\pi f_m t) &= \frac{1}{2}AB \times \cos(2\pi \times (f_m - f_m) \times t) - \frac{1}{2}AB \times \cos(2\pi \times (f_m + f_m) \times t) \\ &= \frac{1}{2}AB - \frac{1}{2}AB\cos(2\pi 2f_m t) \quad (\text{公式1}) \end{aligned}$$

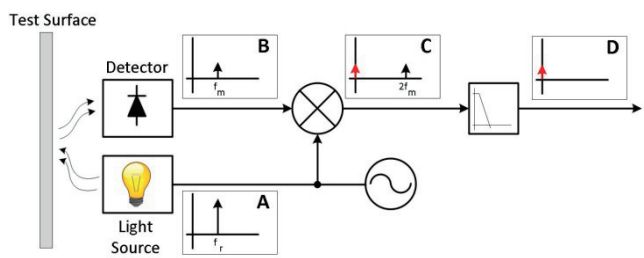


图2. 使用锁定放大器测量表面污染情况

如果您考虑嘈杂的输入信号，则运用这项技术的优势会非常明显。多乘法级输出仍会导致只有调制频率下的信号才会移回到直流，所有其他频率组分会移至其他非直流频率。例如，图3介绍了具有50 Hz和2.5 kHz强噪声源的系统，以及使用1 kHz正弦波调制的非常弱的目标信号。

将输入与参考相乘将获得直流信号，其他信号为950 Hz、1.05 kHz、1.5 kHz、2 kHz 和 3.5 kHz。直流信号包含所需的信息，因此您可以使用低通滤波器移除所有其他频率。

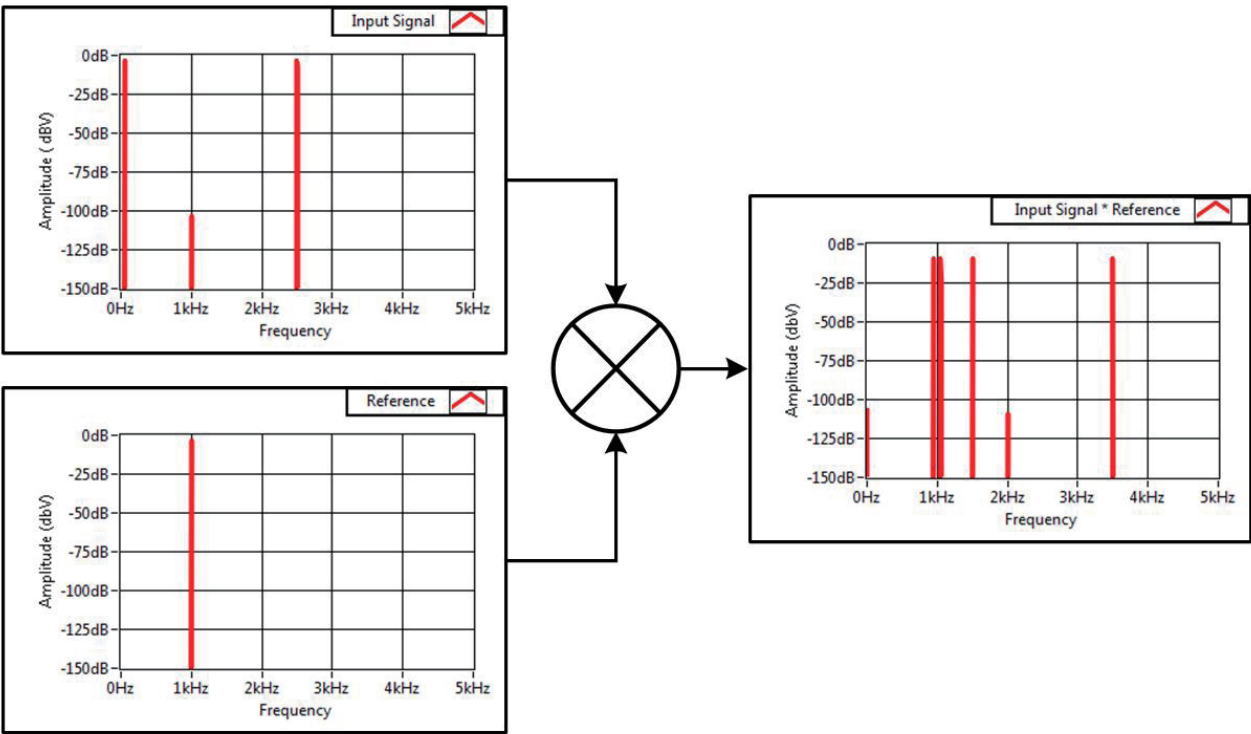


图3. 同步解调在50 Hz和2.5 kHz强噪声源的情况下挑出微弱的1 kHz信号

由于接近目标信号的任何噪声组分均会在接近直流的频率出现，因此挑出其附近没有强噪声源的调制频率非常重要。如果这不可能办到，则需要截止频率非常低并可作出敏锐响应的低通滤波器，并会耗费较长的建立时间。

实际锁定方案

生成正弦波来调制信号源可能不切实际，有些系统会改用方波。生成方波激励要比生成正弦波简单得多，使用简单的装置(诸如可切换模拟开关或MOSFET的微控制器引脚)即可实现。

图4的电路是基于硬件的锁定放大器的简单实施方法。微控制器或其他数字设备会生成促使传感器作出响应的方波激励信号。如果是光电二极管，则第一个放大器将是电流电压转换器，而应变计桥将需要仪表放大器。

用于激励传感器的信号同样将用于控制ADG619 SPDT开关。当激励信号为正时，ADG619会将放大器配置为+1的增益。当激励为负时，ADG619会将放大器配置为-1的增益，这实质上会“拨动”方波的负极。这在数学上等同于将测量的信号乘以参考方波。输出RC滤波器会移除任何其他频率的信号，输出电压是直流信号，等于测量方波的峰峰值电压的一半。

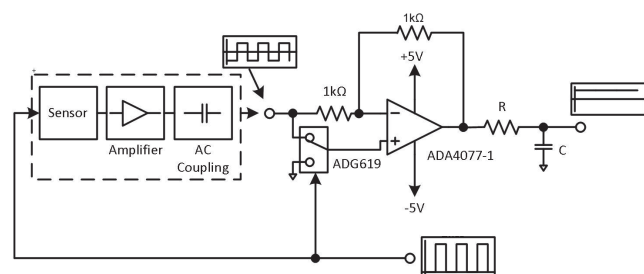


图4. 使用方波激励的锁定放大器

虽然该电路很简单，但针对任务要求挑选正确的运算放大器很重要。输入交流耦合级将除去大部分低频输入噪声，但是不会从最后一个放大器中滤除任何 $1/f$ 噪声和失调误差。ADA4077-1具有0.1 Hz到10 Hz的250 nV p-p噪声以及 $0.55 \mu\text{V}/^\circ\text{C}$ 的失调漂移，这使其成为该应用的理想选择。

使用基于方波的锁定放大器需要简单的电路，但是其噪声抑制性能要逊于使用正弦波的系统。图5展示了使用方波作为传感器激励和参考信号的频率域表示。方波由基波 and 所有奇次谐波的无穷正弦波的和构成。将两个同频方波相乘需将参考信号的每个正弦组分乘以测量信号的每个正弦组分。结果将获得包含方波的每个谐波能量的直流信号。不会滤除在任何奇次谐波频率出现的任何无用信号(虽然它们将根据所在的谐波范围按比例缩小)。当设计基于方波的锁定放大器时，挑选的调制频率务必不含任何频率谐波或已知噪声源谐波。例如，选择1.0375 kHz(与50 Hz或60 Hz的谐波不一致)，而不选择1 kHz调制频率(第20个50 Hz的谐波)。

即使有此缺点，但电路简单、成本低。与尝试直流测量相比，使用低噪放大器并挑选合适的调制频率仍然可获得更大的改善。

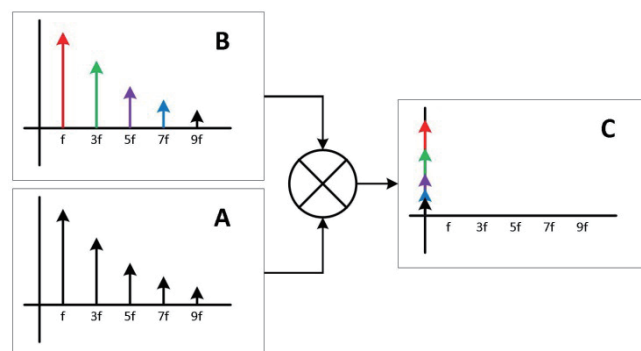


图5. 如果输入信号(A)和参考(B)都是方波，则将它们相乘(C)可有效解调输入信号的每个谐波

简单的集成式替代方案

图4的电路要求使用运算放大器、模拟开关和一些分立组件，另外还需要微处理器提供参考时钟。该电路的替代方案是使用集成式同步解调器，如ADA2200。图6展示了ADA2200的内部模块，包括缓冲输入、可编程IIR滤波器和乘法器。它还包括可对参考信号进行 90° 相移的模块，从而可轻松测量或补偿在参考时钟和输入信号之间的相移。

后面将详细说明这样做的好处。

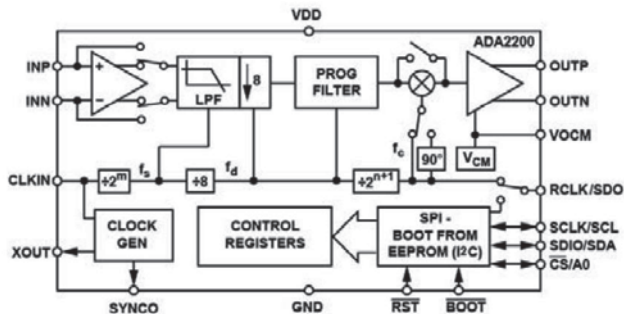


图6. ADA2200内部架构

要利用ADA2200实现锁定检测电路，只需施加比所需参考频率高64倍的时钟频率。可编程滤波器的默认配置针对带通响应，因而无需如图4中的电路对信号进行交流耦合。ADA2200的采样模拟输出将以采样速率的倍数生成图像。您可以使用RC滤波器后接 Σ - Δ ADC以移除这些图像，并且仅测量信号的解调直流组分。

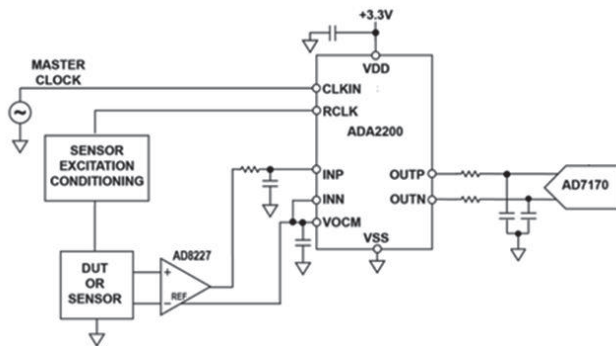


图7. 使用ADA2200实现锁定放大器

改善方波锁定电路

图8展示了对方波调制电路的改进。如果您通过方波激励传感器，现在将测量信号与相同频率和相位的正弦波相乘，则只有基波频率的信号内容才会移至直流，而所有其他谐波将移至非直流频率。这样使用低通滤波器就很轻松，并且除测量信号直流组分外，其他一切皆不需要。

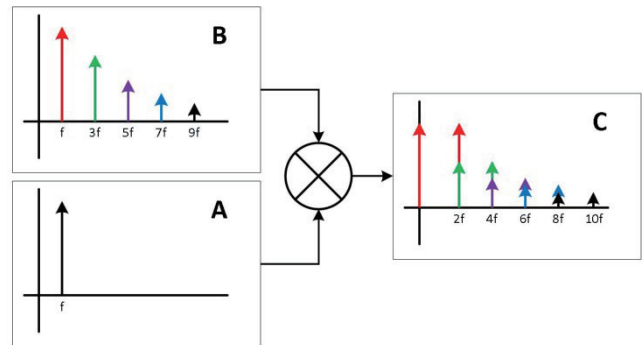


图8. 使用正弦波作为参考信号可防止噪声解调到直流

另一个难点是，如果参考信号和测量信号之间存在相移，则将两者相乘会导致输出幅度比无相移时更低。如果传感器信号调理电路包括任何滤波器(这会造成相位延迟)，就会出现这种情况。利用模拟锁定放大器，解决该问题的唯一方法是在参考信号路径中增加相位补偿电路。这并非易事，因为电路需要可调，以补偿各种相位延迟，并且会随温度、元件容差等因素而变化。一个更为轻松的替代方案是添加第二个乘法级，将测量信号乘以参考信号的 90° 相移。这个第二级的输出信号将与输入的反相组分成正比。图9展示了这一概念。

经过两级乘法器后，低通滤波器的输出会是与输入的同相(I)及正交(Q)组分成正比的低频信号。要计算输入信号幅度，只需取I和Q输出的平方和。该架构的另一好处是您还可以计算激励/参考信号和输入之间的相位。

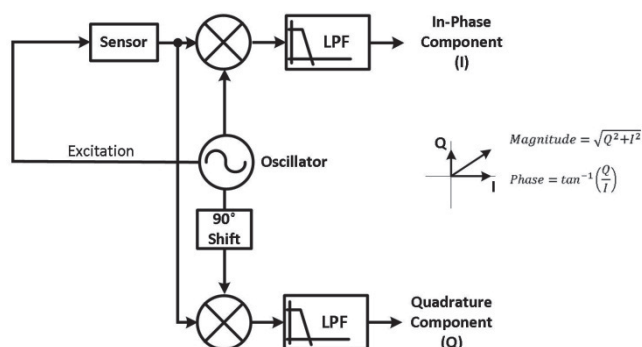


图9. 使用参考信号的正交结果计算幅度和相位

至此讨论的所有系统均会产生可激励传感器的参考信号。锁定放大器的最后一项改进是允许外部信号充当参考信

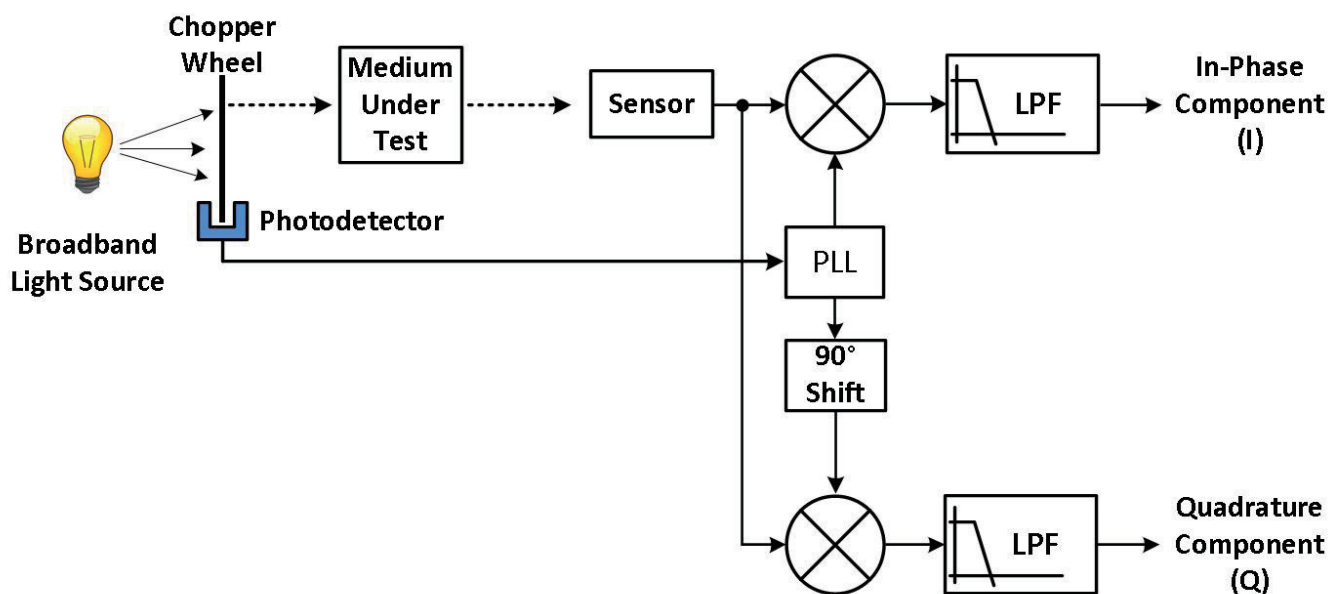


图10. 使用PLL锁定外部参考信号

号。例如，图10展示了可使用宽带白炽灯来测试表面光学属性的系统。此类系统可以测量镜面反射性或表面污染量等参数。与应用电子调制相比，使用机械斩波器调制白炽灯光源会简单得多。接近斩波器的廉价位置传感器会生成方波参考信号馈送给锁定放大器。锁相环会产生与输入参考信号频率和相位相同的正弦波，而非直接使用此信号。

此方法请注意一点，内部生成的正弦波必须具有低失真。

虽然使用分立式PLL和乘法器可以实现该系统，但是使用FPGA实现锁定放大器功能会带来多个性能优势。图11展示了使用FPGA构建的锁定放大器，采用基于ADA4528-1零偏移放大器的前端和24位Σ-Δ ADC AD7175-2。此类应用无需很高的带宽，因此我们可以将锁相放大器的噪声带宽设置为50 Hz。受测设备仍然是任何可外部激励的传感器。ADA4528-1配置为噪声增益为20，以充分利用ADC的满量程(本例随意设置)。虽然直流错误不会影响测量，但是最大限度降低失调漂移和1/f噪音仍然很重要，因为它们会缩小可用的动态范围，尤其是针对高增益配置放大器的情况。ADA4528-1的2.5 μV最差情况的输入失调误差表示只有10 ppm的AD7175-2全量程输入范围(采用2.5 V基准电压)。ADC后的数字高通滤

波器将移除任何直流失调和频率很低的噪声。要计算输出噪声，我们需要了解AD7175-2的电压噪声密度。数据手册规定ADC噪声为5.9 μVrms，输出数据速率为50 kSPS，使用Sinc5 + Sinc1滤波器并支持输入缓冲器。采用这些设置的等效噪声带宽为21.7 kHz，这将产生40 nV/√Hz的电压噪声密度。ADA4528的宽带输入噪声是5.9 nV/√Hz，它会在输出为

118 nV/ $\sqrt{\text{Hz}}$ 时出现, 产生125 nV/ $\sqrt{\text{Hz}}$ 的组合噪音密度。由于数字滤波器的等效噪声带宽仅为50 Hz, 因此输出噪声为881 nVrms。在 ± 2.5 V输入范围内, 这将产生动态范围为126 dB的系统。通过调整低通滤波器的频率响应, 我们能够以带宽来换取动态范围。例如, 针对1 Hz等效噪声带宽设置滤波器, 所产生的动态范围为143 dB, 而将带宽设置为250 Hz, 则会获得119 dB的动态范围。

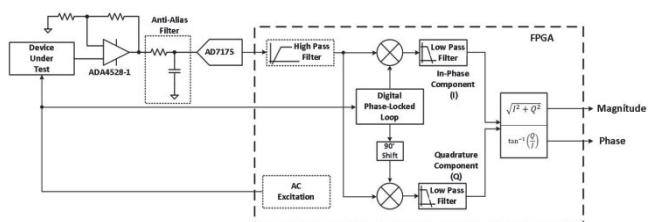


图11. 基于FPGA的锁定放大器

数字锁相环会生成锁定为激励信号(可以是外部信号或FPGA内部生成的信号, 并且不必是正弦波)的正弦波。参考正弦波中的任何谐波也将与输入信号相乘, 将谐波频率

中存在的噪声和其他无用的信号解调, 这正如两个方波相乘的情况(见图5)。以数字方式生成此参考正弦波的一个优势是, 这样只需调整数字精度, 即可相对轻松地生成失真度极低的信号。例如, 图12展示了四个使用4、8、16和32位精度以数字方式生成的正弦波。显然, 使用4位精度所获得的性能与图5中的情况差别不大, 但是该情况会在使用更高精度数字后很快得以改善。在16位精度条件下, 需要付出一些努力才能生成具有如此低总谐波失真(THD)的模拟信号, 在32位精度时THD超过-200 dB, 这是不可能与模拟电路相匹配的。此外, 由于这些是以数字方式生成的信号, 因此它们可以很好地重复。将数据转换到数字域并输入FPGA后, 就无需考虑其他噪声或漂移。

在乘法器后, 低通滤波器将除去任何高频成分并输出信号的同相和正交组分。继续假定滤波器的等效噪声带宽仅为50 Hz, 没有理由按原始采样速率250 kSPS传输数据。低通滤波器可包括抽取滤波器级, 以降低输出数据速率。该流程的最后一步是计算输入信号同相和正交组分的幅度和相位。

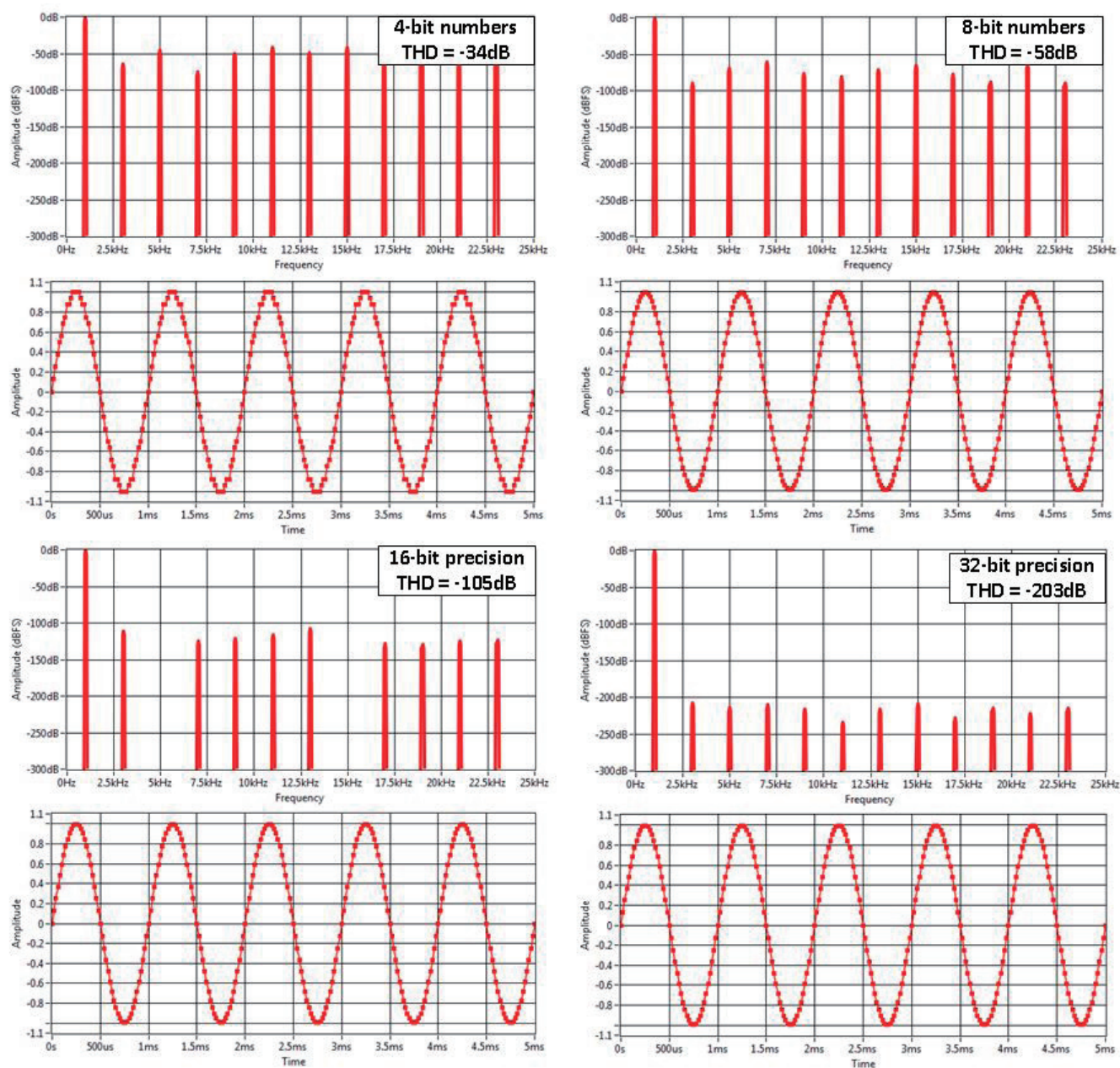


图12. 使用不同的数字精度以数字方式生成正弦波

小结

嵌入噪底的低频小信号难以测量，但是应用调制和锁定放大器技术可以获得高精度的测量。最简单的锁定放大器可以是在两个增益之间切换的运算放大器。虽然这不会带来最好的噪声性能，但是与简单的直流测量相比，简单的低

成本电路仍然非常具有吸引力。此电路的一项改进是使用正弦波参考和乘法器，但是在模拟域中实现会比较难。为获得终极性能，可考虑使用低噪声、高分辨率的 Σ - Δ ADC (例如AD7175-2)，以便将输入信号数字化，然后生成参考正弦波以及数字域中锁定放大器的所有其他要素。

作者

Luis Orozco [luis.orozco@analog.com]是ADI公司工业和仪器仪表部系统应用工程师，主要涉足精密仪器仪表、化学分析和环境监测应用。Luis于2011年2月加入ADI。在加入ADI前，他在数据采集设备设计领域拥有超过十年的工作经验。

高速ADC的电源设计

作者：Rob Reeder, ADI高速信号处理部(北卡罗莱纳州格林斯博罗)资深应用工程师

内容提要

如今,在设计人员面临众多电源选择的情况下,为高速ADC设计清洁电源时可能会面临巨大挑战。在利用高效开关电源而非传统LDO的场合,这尤其重要。此外,多数ADC并未给出高频电源抑制规格,这是选择正确电源的一个关键因素。

本技术文章将描述用于测量转换器AC电源抑制性能的技术,由此为转换器电源噪声灵敏度确立一个基准。我们将对一个实际电源进行的简单噪声分析,展示如何把这些数值应用于设计当中,以验证电源是否能满足所选转换器的要求。总之,本文将描述一些简单的指导方针,以便带给用户一些指导,帮助其为高速转换器设计电源。

当今许多应用都要求高速采样模数转换器(ADC)具有12位或以上的分辨率,以使用户能够进行更精确的系统测量。然而,更高分辨率也意味着系统对噪声更加敏感。系统分辨率每提高一位,例如从12位提高到13位,系统对噪声的敏感度就会提高一倍。因此,对于ADC设计,设计人员必须考虑一个常常被遗忘的噪声源——系统电源。ADC属于敏感型器件,每个输入(即模拟、时钟和电源输入)均应平等对待,以便如数据手册所述,实现最佳性能。噪声来源众多,形式多样,噪声辐射会影响性能。



图1.

当今电子业界的时髦概念是新设计在降低成本的同时还要“绿色环保”。具体到便携式应用,它要求降低功耗、简化热管理、最大化电源效率并延长电池使用时间。然而,大多数ADC的数据手册建议使用线性电源,因为其噪声低于开关电源。这在某些情况下可能确实如此,但新的技术发展证明,开关电源也可以用于通信和医疗应用(见参考文献部分的“[How to Test Power Supply Rejection Ratio \(PSRR\) in an ADC](#)”(如何测试ADC中的电源抑制比(PSRR)))。

本文介绍对于了解高速ADC电源设计至关重要的各种测试测量方法。为了确定转换器对供电轨噪声影响的敏感度,以及确定供电轨必须处于何种噪声水平才能使ADC实现预期性能,有两种测试十分有用:一般称为电源抑制比(PSRR)和电源调制比(PSMR)。

模拟电源引脚详解

一般不认为电源引脚是输入,但实际上它确实是输入。它对噪声和失真的敏感度可以像时钟和模拟输入引脚一样敏感。即使进入电源引脚的信号实际上是直流,而且一般不会出现重复性波动,但直流偏置上仍然存在有定量的噪声和失真。导致这种噪声的原因可能是内部因素,也可能是外部因素,结果会影响转换器的性能。

想想经典的应用案例,其中,转换器采样时钟信号中有噪声或抖动。采样时钟上的抖动可能表现为近载波噪声,并且/或者还可能表现为宽带噪声。这两种噪声都取决于所使用的振荡器和系统时钟电路。即使把理想的模拟输入信号提供给理想的ADC,时钟杂质也会在输出频谱上有所表现,如图2所示。

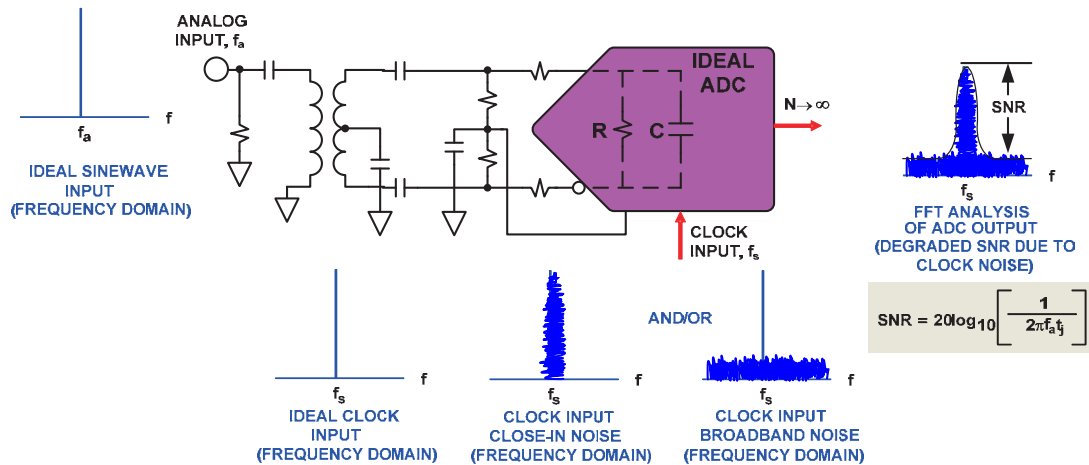


图2. 采样时钟噪声对理想数字化正弦波的影响

来使隔离效果达到最大化。在电源噪声非常明显的情况下，有些类型(如共源极)可能并不是十分合适，因为电源是通过阻性元件偏置的，而该阻性元件后来又连接到输出级，如图3和图4所示。AVDD引脚上的任何调制、噪声等可能更容易表现出来，从而对局部和/邻近电路造成影响。这正是需要了解并探索转换器PSRR数据的原因所在。

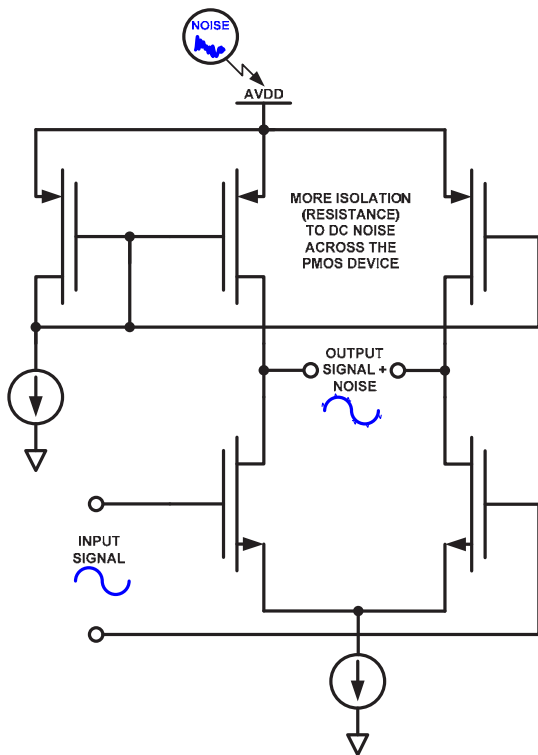


图3. 不同的电路拓扑结构——实现方案A

由该图可以推论出是电源引脚。用一个模拟电源引脚 (AVDD)代替图2中的采样时钟输入引脚。相同的原理在此同样适用，即任何噪声(近载波噪声或宽带噪声)将以这种卷积方式出现在输出频谱上。然而，有一点不同；可以将电源引脚视为带一个40 dB至60 dB的衰减器(具体取决于工艺和电路拓扑结构)的宽带输入引脚。在通用型MOS电路结构中，任何源极引脚或漏极引脚在本质上都是与信号路径相隔离的(呈阻性)，从而带来大量衰减，栅极引脚或信号路径则不是这样。假定该设计采用正确的 电路结构类型

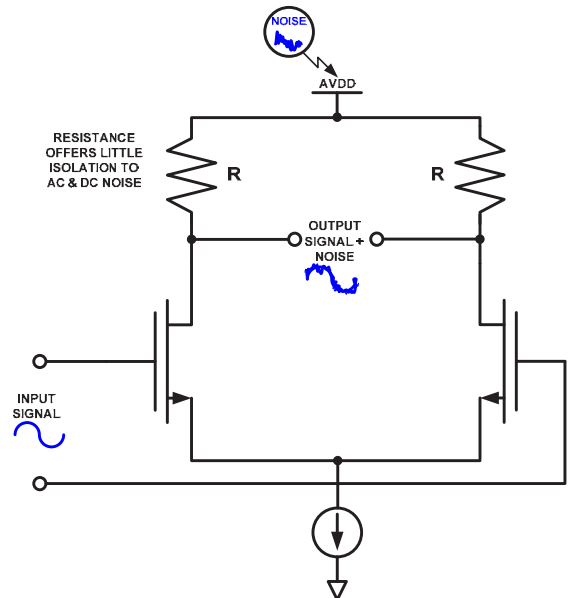


图4. 不同的电路拓扑结构——实现方案B

正如不同实现方式所示，存在寄生R、C和失配造成的不同频率特性。记住，工艺也在不断变小，随着工艺的变小，可用带宽就会增加，可用速率也会提升。考虑到这一点，这意味着更低的电源和更小的阈值。为此，为什么不把电源节点当作高带宽输入呢，就像采样时钟或模拟输入引脚一样呢？

何谓电源抑制

当供电轨上有噪声时，决定ADC性能的因素主要有三个，它们是PSRR-dc、PSRR-ac和PSMR。PSRR-dc指电源电压的变化与由此产生的ADC增益或失调误差的变化之比值，它可以用最低有效位(LSB)的分数、百分比或对数dB ($PSR = 20 \times \log_{10}(PSRR)$)来表示，通常规定采用直流条件。

但是，这种方法只能揭示ADC的一个额定参数随电源电压可能会如何变化，因此无法证明转换器的稳定性。更好的方法是在直流电源之上施加一个交流信号，然后测试电源抑制性能(PSRR-ac)，从而主动通过转换器电路耦合信号(噪声源)。这种方法本质上是对转换器进行衰减，将其自身表现为杂散(噪声)，它会在某一给定幅度升高至转换器噪底以上。其意义是表明在注入噪声和幅度给定的条件下转换器何时会崩溃。同时，这也能让设计人员了解到多大的电源噪声会影响信号或加入到信号中。PSMR则以不同的方式影响转换器，它表明当与施加的模拟输入信号进行调制时，转换器对电源噪声影响的敏感度。这种影响表现为施加于转换器的IF频率附近的调制，如果电源设计不严谨，它可能会严重破坏载波边带。

总之，电源噪声应当像转换器的任何其他输入一样进行测试和处理。用户必须了解系统电源噪声，否则电源噪声会

提高转换器噪底，限制整个系统的动态范围。

电源测试

图6所示为在系统板上测量ADC PSRR的设置。分别测量每个电源，以便更好地了解当一个交流信号施加于待测电源之上时，ADC的动态特性。开始时使用一个高容值电容，例如100 μ F非极化电解质电容。电感使用1 mH，充当直流电源的交流阻塞器，一般将它称为“偏置-T”，可以购买采用连接器式封装的产品。

使用示波器测量交流信号的幅度，将一个示波器探针放在电源进入待测ADC的电源引脚上。为简化起见，将施加于电源上的交流信号量定义为一个与转换器输入满量程相关的值。例如，如果ADC的满量程为2V p-p，则使用200 mV p-p或-20 dB。接下来让转换器的输入端接地(不施加模拟信号)，查找噪底/FFT频谱中处于测试频率的误差杂散，如图5所示。若要计算PSRR，只需从FFT频谱上所示的误差杂散值中减去-20 dB即可。例如，如果误差杂散出现在噪底的-80 dB处，则PSRR为-80 dB - -20 dB，即-60 dB(PSRR = 误差杂散(dB) - 示波器测量结果(dB))。-60 dB的值似乎并不大，但如果换算成电压，它相当于1 mV/V(或 $10^{-60/20}$)，这个数字对于任何转换器数据手册中的PSRR规格而言都不鲜见。

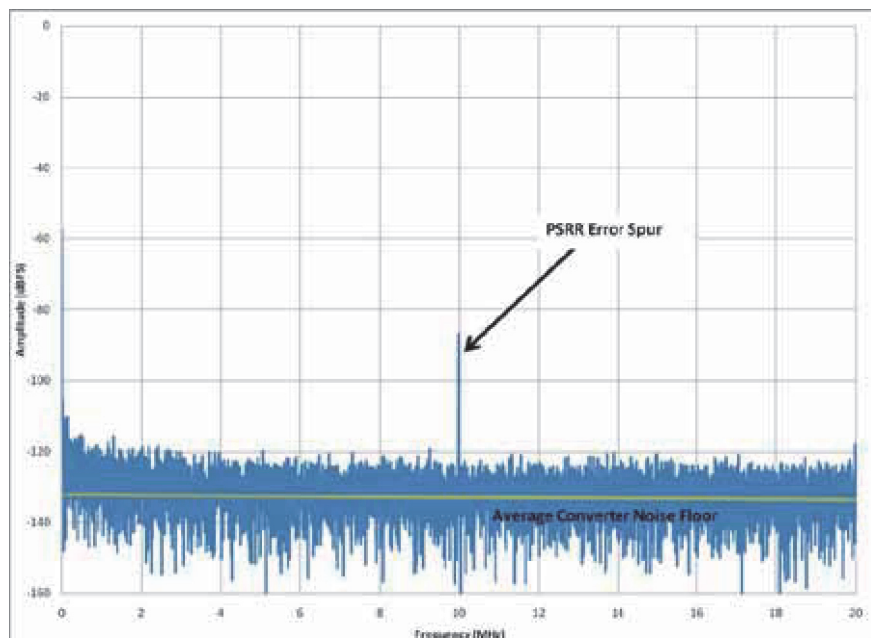


图5. PSRR—FFT频谱示例

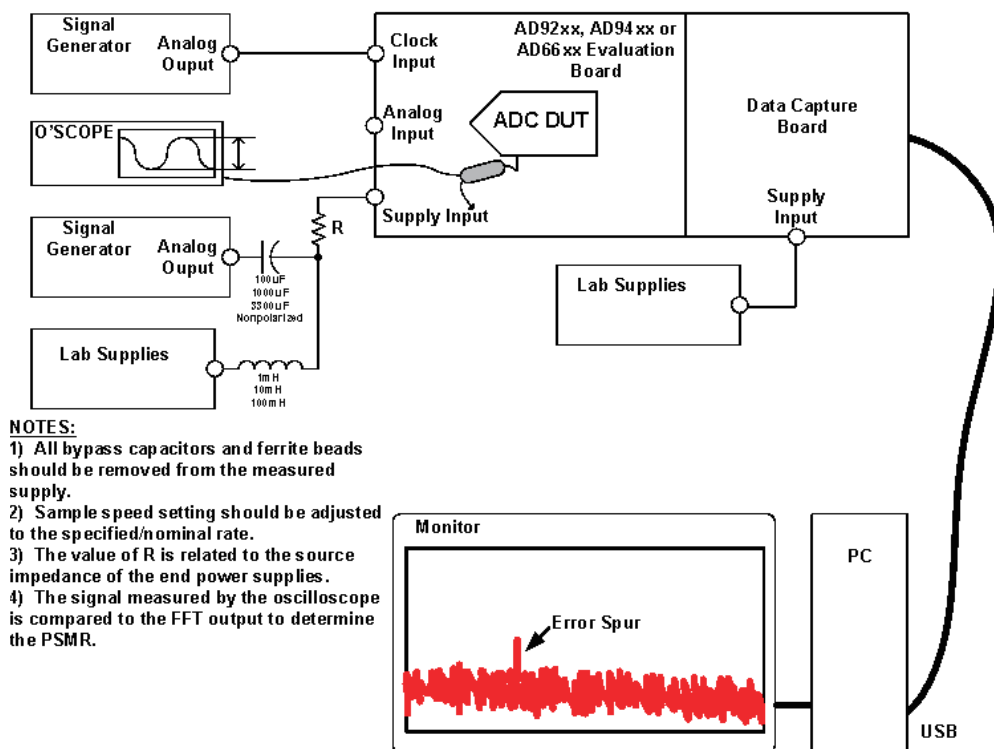


图6. 典型的PSRR测试设置

下一步是改变交流信号的频率和幅度，以便确定ADC在系统板中的PSRR特性。数据手册中的大部分数值是典型值，可能只针对最差工作条件或最差性能的电源。例如，相对于其他电源，5 V模拟电源可能是最差的。应确保所有电源的特性都有说明，如果说明得不全面，请咨询厂家。这样，设计人员将能为每个电源设置适当的设计约束条件。

请记住，使用LC配置测试PSRR/PSMR时有一个缺点。当扫描目标频段时，为使ADC电源引脚达到所需的输入电平，波形发生器输出端所需的信号电平可能非常高。这是因为LC配置会在某一频率(该频率取决于所选的值)形成陷波滤波器。这会大大增加陷波滤波器处的接地电流，该电流可能会进入模拟输入端。要解决这一问题，只需在测试频率造成测量困难时换入新的LC值。这里还应注意，LC网络在直流条件下也会发生损耗。记住要在ADC的电源引脚上

测量直流电源，以便补偿该损耗。例如，5 V电源经过LC网络后，系统板上可能只有4.8 V。要补偿该损耗，只需升高电源电压即可。

PSMR的测量方式基本上与PSRR相同。不过在测量PSMR时，需将一个模拟输入频率施加于测试设置，如图7所示。

另一个区别是仅在低频施加调制或误差信号，目的是查看此信号与施加于转换器的模拟输入频率的混频效应。对于这种测试，通常使用1 kHz至100 kHz频率。只要能在基频周围看到误差信号即混频结果，则说明误差信号的幅度可以保持相对恒定。但也不妨改变所施加的调制误差信号幅度，以便进行检查，确保此值恒定。为了获得最终结果，最高(最差)调制杂散相对于基频的幅度之差将决定PSMR规格。图8所示为实测PSMR FFT频谱的示例。

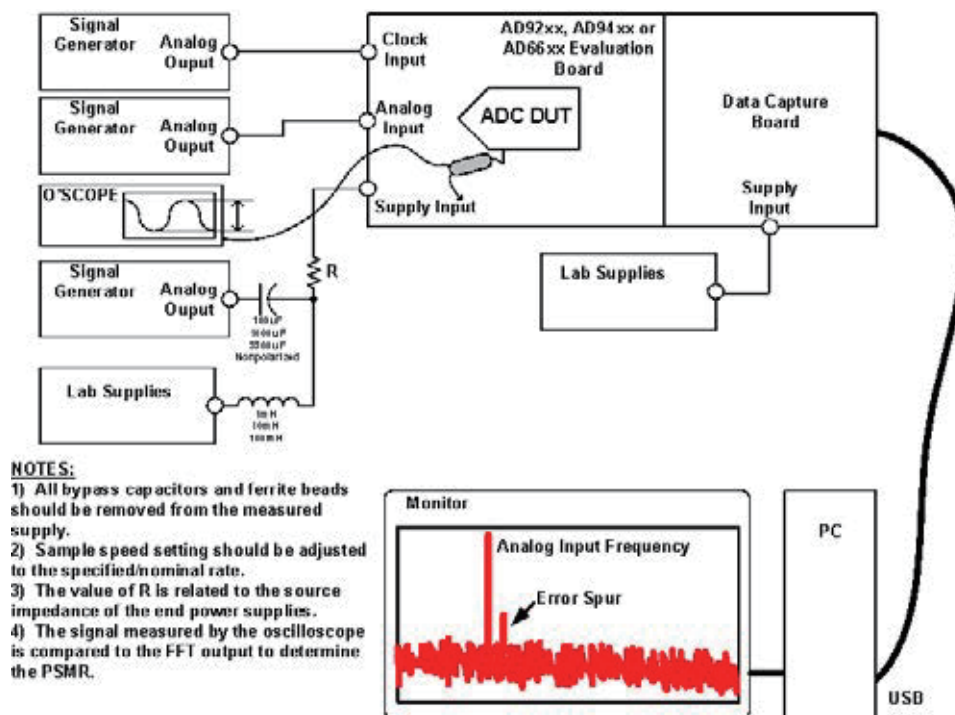


图7. 典型的PSMR测试设置

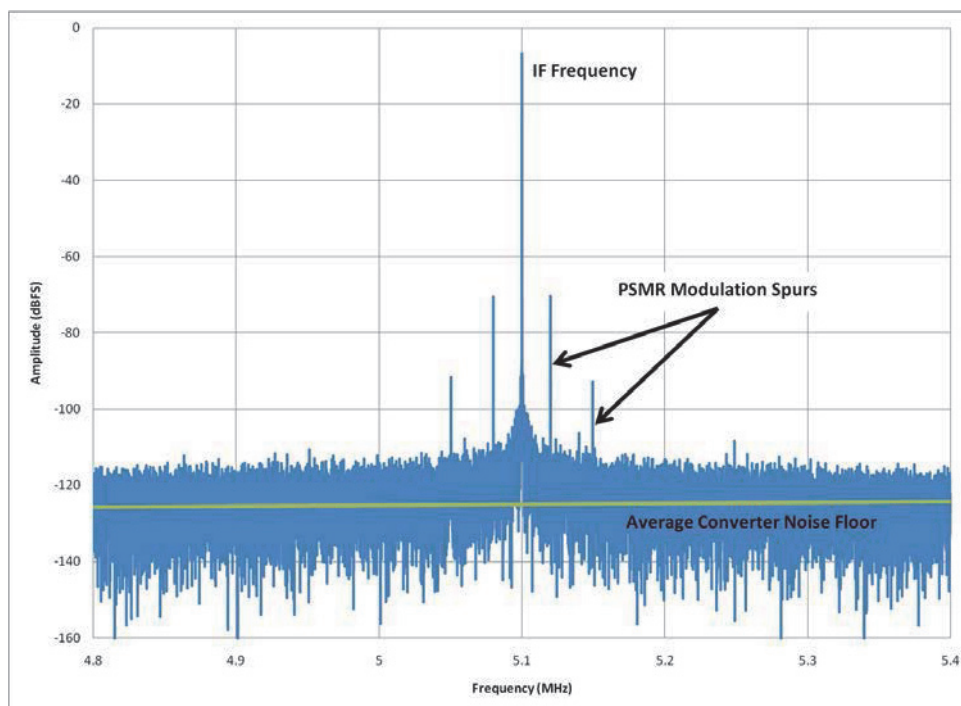


图8. PSMR—部分FFT频谱示例

电源噪声分析

对于转换器和最终的系统而言，必须确保任意给定输入上的噪声不会影响性能。前面已经介绍了PSRR和PSMR及其重要意义，下面将通过一个示例说明如何应用所测得的数值。该示例将有助于设计人员明白，为了了解电源噪声并满足系统设计需求，应当注意哪些方面以及如何正确设计。

首先，选择转换器，然后选择调节器、LDO、开关调节器等。并非所有调节器都适用。应当查看调节器数据手册中的噪声和纹波指标，以及开关频率(如果使用开关调节器)。典型调节器在100 kHz带宽内可能具有10 μV rms噪声。假设该噪声为白噪声，则它在目标频段内相当于31.6 nV rms/ $\sqrt{\text{Hz}}$ 的噪声密度。

接着检查转换器的电源抑制指标，了解转换器的性能何时会因为电源噪声而下降。在第一奈奎斯特区 $f_s/2$ ，大多数高速转换器的PSRR典型值为60 dB (1 mV/V)。如果数据手册未给出该值，请按照前述方法进行测量，或者询问厂家。

使用一个2 V p-p满量程输入范围、78 dB SNR和125 MSPS采样速率的16位ADC，其噪底为11.26 nV rms。任何来源的噪声都必须低于此值，以防其影响转换器。在第一奈奎斯特区，转换器噪声将是 $89.02 \mu\text{V rms} (11.26 \text{ nV rms}/\sqrt{\text{Hz}}) \times \sqrt{125 \text{ MHz}/2}$ 。虽然调节器的噪声($31.6 \text{ nV}/\sqrt{\text{Hz}}$)是转换器的两倍以上，但转换器有60 dB的PSRR，它会将开关调节器的噪声抑制到 $31.6 \text{ pV}/\sqrt{\text{Hz}} (31.6 \text{ nV}/\sqrt{\text{Hz}} \times 1 \text{ mV/V})$ 。这一噪声比转换器的噪底小得多，因此调节器的噪声不会降低转换器的性能。

电源滤波、接地和布局同样重要。在ADC电源引脚上增加 $0.1 \mu\text{F}$ 电容可使噪声低于前述计算值。请记住，某些电源引脚吸取的电流较多，或者比其他电源引脚更敏感。因此应当慎用去耦电容，但要注意某些电源引脚可能需要额外的去耦电容。在电源输出端增加一个简单的LC滤波器也有助于降低噪声。不过，当使用开关调节器时，级联滤波器能将噪声抑制到更低水平。需要记住的是，每增加一级增益就会每10倍频程增加大约20 dB。

最后需要注意的一点是，这种分析仅针对单个转换器而言。如果系统涉及到多个转换器或通道，噪声分析将有所不同。例如，超声系统采用许多ADC通道，这些通道以数字方式求和来提高动态范围。基本而言，通道数量每增加一倍，转换器/系统的噪底就会降低3 dB。对于上例，如果使用两个转换器，转换器的噪底将变为一半(-3 dB)；如果使用四个转换器，噪底将变为-6 dB。之所以如此，是因为每个转换器可以当作不相关的噪声源来对待。不相关噪声源彼此之间是独立的，因此可以进行RSS(平方和的平方根)计算。最终，随着通道数量增加，系统的噪底降低，系统将变得更敏感，对电源的设计约束条件也更严格。

结论

要想消除应用中的所有电源噪声是不可能的。任何系统都不可能完全不受电源噪声的影响。因此，作为ADC的用户，设计人员必须在电源设计和布局布线阶段就做好积极应对。下面是一些有用的提示，可帮助设计人员最大程度地提高PCB对电源变化的抗扰度：

- 对到达系统板的所有电源轨和总线电压去耦。
- 记住：每增加一级增益就会每10倍频程增加大约20 dB。
- 如果电源引线较长并为特定IC、器件和/或区域供电，则应再次去耦。
- 对高频和低频都要去耦。
- 去耦电容接地前的电源入口点常常使用串联铁氧体磁珠。对进入系统板的每个电源电压都要这样做，无论它是来自LDO还是来自开关调节器。
- 对于加入的电容，应使用紧密叠置的电源和接地层(间距 ≤ 4 密尔)，从而使PCB设计本身具备高频去耦能力。
- 同任何良好的电路板布局一样，电源应远离敏感的模拟电路，如ADC的前端级和时钟电路等。
- 良好的电路分割至关重要，可以将一些元件放在PCB的背面以增强隔离。
- 注意接地返回路径，特别是数字侧，确保数字瞬变不会返回到电路板的模拟部分。某些情况下，分离接地层也可能有用。
- 将模拟和数字参考元件保持在各自的层面上。这一常规做法可增强对噪声和耦合交互作用的隔离。
- 遵循IC制造商的建议；如果应用笔记或数据手册没有直接说明，则应研究评估板。这些都是非常好的起步工具。

这篇技术文章旨在清楚说明高速转换器的电源敏感问题，以及它为何对用户的系统动态范围如此重要。为使系统板上的ADC实现数据手册所述的性能规格，设计人员应当了解所需的布局布线技术和硬件。

作者简介

Rob Reeder是ADI公司(www.analog.com/cn)高速信号处理部(美国北卡罗来纳州格林斯博罗)资深转换器应用工程师。他于1998年加入ADI公司,负责有关高速ADC(模数转换器)的开发和支持工作。Rob拥有北伊利诺斯州大学的电机工程学士学位和硕士学位。联系方式:
rob.reeder@analog.com。

参考文献

“如何测试ADC中的电源抑制比(PSRR)”。EETimes。
2003年7月。

Patoux, Jerome。“请咨询应用工程师——37低压差稳压器”。
模拟对话。2007年5月。

“高速模数转换器应用中的开关稳压器设计”。ADI研讨会。
2009年6月。

“利用开关电源为高速模数转换器供电”。EETimes,
TechOnLine。2009年5月。

Arrants, Alex, Brad Brannon和Rob Reeder。应用笔记AN-835,
《了解高速ADC测试和评估》。ADI公司(6月)。

Motchenbacher, C.D.和J.A.Connelly。1993年。《低噪声电子
系统设计》。Wiley。

电路笔记CN-0135,《利用开关稳压器PMU ADP5020为八通
道超声ADC/LNA/VGA/AAF AD9272供电以提高效率》。
www.analog.com/cn/CN0135。

电路笔记CN-0137,《利用同步降压DC-DC稳压器ADP2114
为双通道、16位、125 MSPS模数转换器AD9268供电,
以提高功效比》。www.analog.com/cn/CN0137。

认识宽带GSPS ADC中的无杂散动态范围

作者: Ian Beavers | Electronic Design

在为高性能系统选择宽带模数转换器(ADC)时,需要考虑多种模拟输入参数,比如,ADC分辨率、采样速率、信噪比(SNR)、有效位数(ENOB)、输入带宽、无杂散动态范围(SFDR)以及微分或积分非线性度等。

对于GSPS ADC,最重要的一个交流性能参数可能就是SFDR。简单而言,该参数规定了ADC以及系统从其他噪声或者任何其他杂散频率中解读载波信号的能力。

为了实现GSPS ADC中所使用的转换速率,可以采用以高采样速率捕获信号的多种架构。然而,使用其中一些架构时需要以牺牲全带宽SFDR性能为代价。

为了认识转换器SFDR对系统的影响,我们就设计工程师针对SFDR参数细节提出的一些常见问题进行了回答,同时对该参数在转换器数据手册中的描述方式、对ADC性能起着限制或促进作用的各种架构以及对SFDR性能形成限制的系统设计因素进行了说明。

我注意一以,数据手册中关于SFDR的说明,有些列出了注意事项,有些没有列出。到底什么是SFDR?

能够区分信号和噪声是许多信号采集系统的一个关键方面。无论明确的电信协议、雷达扫描,还是测量仪器,弱信号的采集和解码是区分任何系统性能的核心所在。

SFDR表示可从大于干扰信号分辨出的最小功率信号。它定义的是载波功率的均方根(rms)值与频域(如快速傅里叶变换

(FFT))中的下一个最大有效杂散信号的均方根值之间的动态比值。因此,根据定义,该动态范围不得存在其他杂散频率。

SFDR通常采用功率单位(dBc),量化为目标载波相对于下一个最大有效频率的功率的范围。然而,该参数也可以满量程信号为基准,以功率单位(dBFS)为计量单位。这是一个重要的区别,因为目标载波可能是功率相对较低的信号,而且远远低于至ADC的满量程输入。当情况确实如此时,SFDR在区分信号与其他噪声和杂散频率时变得至关重要。

是什么对ADC的SFDR构成限制?

谐波频率是基波频率的整数倍数。对于设计良好的单芯片ADC内核,SFDR一般主要由载波频率与目标基波频率的第二或第三谐波之间的动态范围构成。一些窄带ADC数据手册只会定义较窄的工作频带内的SFDR,这种情况下,第二和第三谐波一般都位于带外。其他数据手册可能描述较宽带内的SFDR,同时就实现该性能要满足的条件做出说明。

尽管第二或第三谐波一般可能是主导杂散频率,但由于存在其他系统原因,有些杂散也可能会限制GSPS ADC的SFDR性能。例如,多个交错ADC内核可能会把交错伪像带入频域,从而产生杂散频率。这些在量级上有可能比基波频率的第二或第三谐波大。因此,它们会成为SFDR的主导限制因素。尽管这可能不符合直觉,但在交错ADC数据手册中,SFDR参数值可能会伴随一条警告消息,称计算时未纳入交错杂散(图1)。

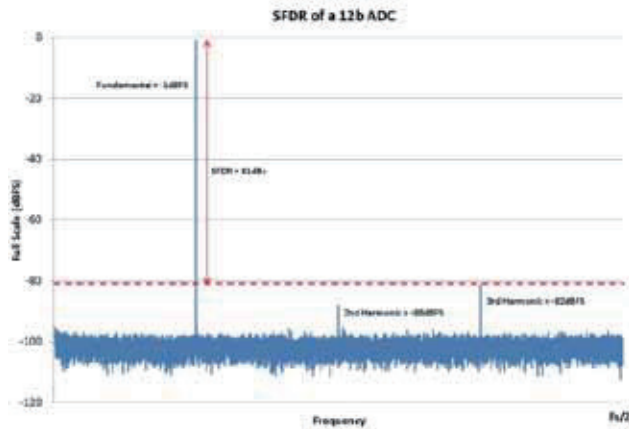


图1.这是一款单芯片12位ADC的FFT，其中，第三谐波为SFDR的主要贡献因素。在这种情况下，从基波(-1 dBFS)到第三谐波(-92 dBFS)的动态范围为-81 dBc，因为动态范围是相对于载波功率的。

窄带SFDR要以外推至宽带SFDR吗？

如果系统只需要较窄的频带，则可使用带通抗混叠输入滤波器来抑制目标频带以外的谐波或伪像。只要无需观察滤波频带范围内的信号，这对某些应用来说可能非常有效。但对于带宽信号采集系统来说，这却是不可行的。在有些数据手册中，ADC的SFDR参数值也可能针对的是很窄的一部分带宽，要比ADC的满量程输入带宽小得多。

一般地，我们不能假定，可对针对窄频带的SFDR进行外推，以在较宽或满量程奈奎斯特频带(即 $f_s/2$)中获得相同的性能。其主要原因在于，针对基波窄带的频率规划的目的就是过滤掉较高谐波并将其推至目标频带以外。如果移除滤波器，则这些谐波和其他杂散将成为系统中宽带SFDR的一部分(图2和图3)。

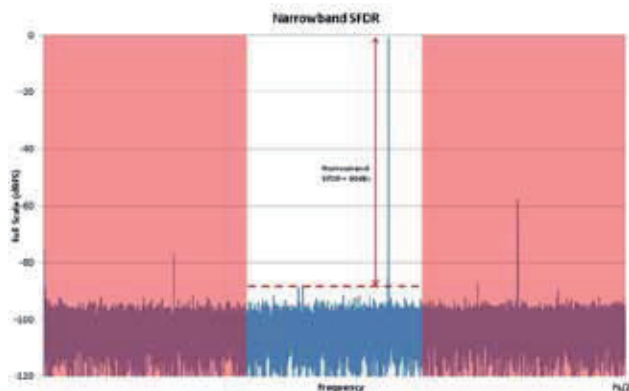


图2.实际上，窄带应用可能使用宽带SFDR较差的ADC。利用抗混叠滤波器来抑制红色阴影区域的频率，就可以将会导致SFDR性能下降的任何谐波或杂散过滤到带外。

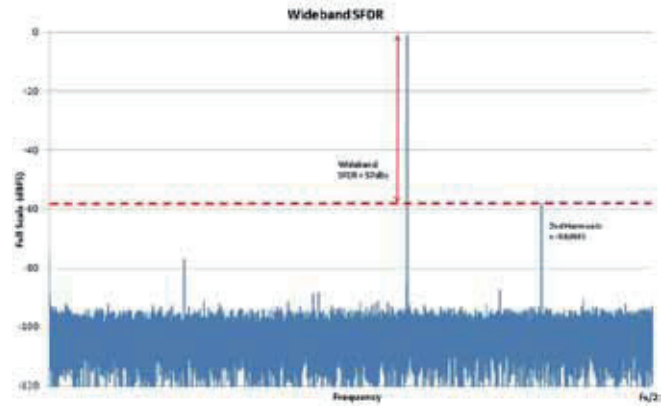


图3.运用相同的条件，同时假定移除ADC滤波，结果，宽带谐波或杂散会对SFDR形成限制。这种情况表明，将优良的窄带SFDR外推至宽带SFDR是不可行的。

差分输入ADC的SFDR可能受到其他前端系统元件的影响吗？

多数高速ADC采用一种差分输入结构，具有良好的共模噪声抑制能力。然而，这需要许多采集系统在ADC输入前端将单端信号转换成差分信号。对于从单端到差分信号的这一转换过程，主要选择是无源巴伦或变压器及有源放大器。虽然系统的这一部分有许多高性能元件可供选择，但是，即使最好的解决方案也会存在一些较小的差分不平衡，结果会使目标信号失真，并减小通过ADC的SFDR。

ADC前端的差分输入信号各端之间的相位失配会导致基波信号谐波功率增加。当差分信号的一端在时间上先于另一端且提前量达到相对于其周期的一定相位量时，就可能发生这种情况。其效应如图4所示，此时，差分对的一端比另一端提前较小的周期相位量。

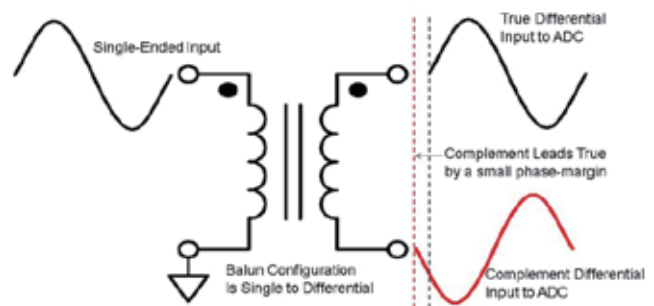


图4.这种情况下，巴伦输出与ADC差分输入之间存在几度的相位失配。如果差分输入在相位上完全匹配，这可能导致FFT中的第二谐波比其他情况下高，从而对SFDR造成影响。

差分信号采集系统前端的另一不平衡可能是幅度失配。当差分信号一端的增益不同于其补码时，ADC输入就会把一端视为较大信号，另一端视为较小信号。在其他情况下，这会减小基波信号的全功率，降低SFDR的dBc值。差分输入端如果存在2-dB的幅度失配，结果会导致满量程输入信号功率下降1-dB。这些前端信号完整性方面的问题都可能使ADC的SFDR性能以及整个系统的信号解码能力下降。

可能限制SFDR的ADC架构有哪些？

采样速率达到且超过1 GSPS的几种ADC采用一种交错方案，利用一对或几个分立通道或内核来实现完全高速数据速率。例如，可以基于交错方案，用一个双通道ADC来实现完全采样速率，其中，每个内核轮流使用采样过程。当一个通道在采样时，另一通道将处理前面的采样。交错架构也可使用3个或更多ADC内核。

采用交错方法时，多个ADC内核可以并行工作，从而实现高于单核的采样速率。然而，每个这些内核的输入端之间都存在相位、失调、增益和带宽微小差异。结果，新的交错伪像和图像杂散可能进入频谱中，从而导致ADC宽带SFDR下降。这会减小系统的动态范围，降低其分辨弱目标信号与交错杂散的能力。为了缓解交错ADC看到的伪像，系统设计师可能需要仔细阅读应用笔记，了解特殊校准模式和方法，以便对杂散做出细致的安排。

只有一个处理内核的单芯片ADC架构不会出现交错杂散。例如，作为一种宽带转换器，单核流水线ADC都会标榜相对较高的SFDR，一般受第二或第三谐波的限制。

交错ADC的性能在频域中有着怎样的表现？

对于由三个分立交错内核构成的采样架构，有两个增益和相位图像杂散及一个失调杂散(图5)。可在 $2/3 \times$ 奈奎斯特频率时看到失调杂散，但在这种情况下，失调杂散并非SFDR的主要贡献因素。SFDR限制增益和相位杂散可在 $(2/3 \times$ 奈奎斯特频率 $\pm$ 模拟输入频率)时看到。

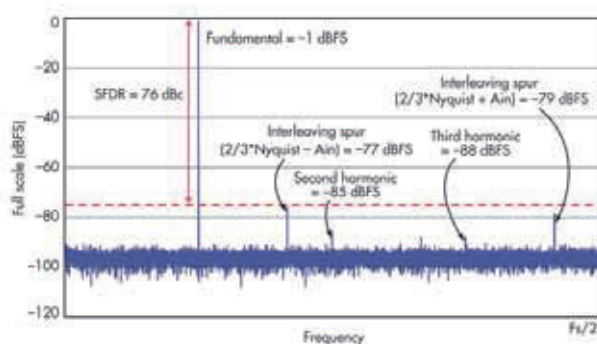


图5.在该FFT中，在一个交错系统板上采用了三个分立式ADC。请注意，关联交错杂散伪像会给SFDR带来-8 dBc的限制，而第二谐波为-85 dBFS。

幅度上最大的杂散是系统SFDR的最大贡献因素。如果没有交错杂散，SFDR将是基波频率到第二谐波的动态范围。在这种具体情况下，交错图像杂散会导致SFDR性能下降-8-dB。

对于由四个分立交错内核构成的采样架构，有三个增益和相位图像杂散及两个失调杂散(图6)。在奈奎斯特频率以及 $1/2 \times$ 奈奎斯特频率下存在失调杂散，在(奈奎斯特频率-模拟输入频率)下另有一个图像杂散，但在这种情况下，这些都不是SFDR的主要贡献因素。主要增益和相位杂散可在 $(1/2 \times$ 奈奎斯特频率 $\pm$ 模拟输入频率)时看到。

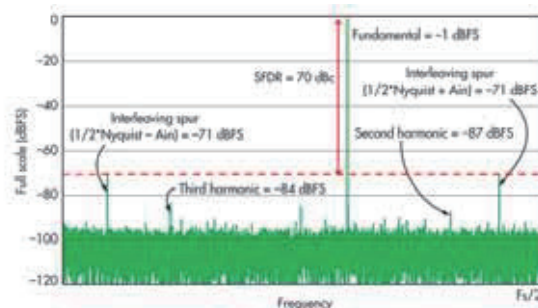


图6.在该FFT中，在一个交错系统板上采用了4个分立式ADC。请注意，关联图像杂散伪像会在 $1/2 \times$ 奈奎斯特频率 $\pm$ Ain时影响SFDR，给SFDR带来-13 dBc的限制，而第三谐波为-84 dBFS。

如果这些杂散的幅度大于第二或第三谐波，则会成为系统中SFDR的主要贡献因素。如果没有交错杂散，SFDR将是基波频率到第三谐波的动态范围。在这种具体情况下，交错图像杂散会导致SFDR性能下降-13-dB。

SFDR的其他限制因素

造成SFDR性能下降的另一潜在领域是系统设计，即在设计允许外部噪声耦合到ADC的模拟输入端或时钟输入端时。另外，如果系统板布局规划不当，ADC的数字输出端有可能耦合回输入端。外部噪声也可能耦合到ADC的基准电压源、电源或接地域上。如果噪声足够大且具有半周期性，则会在系统的频域中表现为无用的SFDR限制杂散，与基波频率或ADC架构均无关系。

GSPS ADC的未来发展趋势

具有高宽带SFDR的GSPS ADC目前已经上市，这类器件不存在过去曾对系统性能形成限制的交错伪像。AD9860是一款双通道、14位、1-GSPS ADC，可在1-GHz输入下实现78 dBc的SFDR。AD9625是一款12位、2-GSPS ADC，可在1-GHz输入下实现80 dBc的典型宽带SFDR。

SFDR是GSPS和ADC的一个重要而关键的性能指标。宽带SFDR一般受基波信号第二或第三谐波的限制。单通道单芯片流水线ADC及其他高级架构为高性能GSPS转换器开创了一个新的前沿。在频域中，它们不存在ADC架构过去在GSPS空间所表现的交错杂散。

对于要求宽带响应的应用，查看、规划和移除这些伪像可能面临诸多问题。新型解决方案可以解决这些系统问题，同时还能在整个宽带频谱内提供最先进的SFDR性能。

作者简介

Ian Beavers是ADI公司(美国北卡罗来纳州格林斯博罗)高速模数转换器团队的应用工程师。他于1999年加入ADI公司，拥有超过18年的半导体行业从业经验。他于美国北卡罗来纳州立大学获得电气工程学士学位和格林斯博罗分校MBA学位。他是中文技术论坛高速ADC支持社区的会员。如有任何问题，请发送到ADI公司中文技术论坛在线技术支持社区的IanB。

参考文献

1. Walt Kester, “了解SINAD、ENOB、SNR、THD、THD + N 和 SFDR，不在噪底中迷失”，MT-003 教程，http://www.analog.com/media/cn/training-seminars/tutorials/MT-003_cn.pdf。
2. Mark Looney, “高级数字后处理技术增强时间交错ADC系统的性能”，《模拟对话》第37卷第8期，2003年8月
3. Walt Kester, 模数转换，ADI公司，2004年，ISBN 0-916550-27-3，第6章；另见数据转换手册，Elsevier/Newnes，2005年，ISBN 0-7506-7841-0，第2章
4. W.C. Black Jr.和D.A.Hodges, “时间交错转换器阵列”，IEEE国际固态电路会议，1980年2月，第14页至15页。
5. W.C. Black Jr.和D.A.Hodges, “时间交错转换器阵列”，IEEE国际固态电路会议，1980年12月，第15卷，第1022页至1029页。
6. Jonathan Harris, “交错ADC入门”，EDN Network，2013年2月17日，www.edn.com/design/analog/4407107/3/_e-ABCs-ofinterleaved-ADCs。

了解JESD204B规范的各层—— 从高速ADC的角度出发(第一部分)

作者: Jonathan Harris, ADI公司应用工程师

简介

随着高速ADC跨入GSPS范围, 与FPGA(定制ASIC)进行数据传输的首选接口协议是JESD204B。为了捕捉频率范围更高的RF频谱, 需要宽带RF ADC。在其推动下, 对于能够捕捉更宽带宽并支持配置更灵活的SDR(软件定义无线电)平台的GSPS ADC, 高速串行接口(在此情况下即JESD204B)是必不可少的。JESD204B标准是一种分层规范, 了解这一点很重要。规范中的各层都有自己的功能要完成。应用层支持JESD204B链路的配置和数据映射。传输层实现转换样本与成帧未加扰八位字之间的映射。加扰层可以选择性地获取八位字并进行加扰或解扰, 以便通过延展频谱尖峰来降低EMI效应。加扰在发送器中完成, 解扰在接收器中完成。在数据链路层中, 可选加扰的八位字编码成10位字符。该层也是产生或检测控制字符的地方, 目的是监视和维护通道对齐。物理层即串行器/解串器(SERDES)层, 负责以线路速率发送或接收字符。该层包括串行器、驱动器、接收器、时钟和数据恢复电路。图1显示了这些层在JESD204B中的安排。为了更好地理解该规范, 详细阐释各层对了解ADC样本如何映射到8B/10B串行字是有好处的。

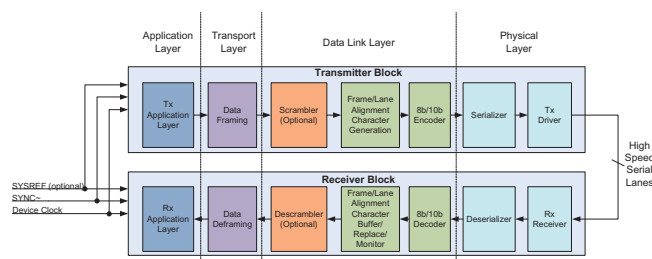


图1. 通过JESD204B各层的简化数据流

应用层

通过应用层可以实现特殊用户配置, 以及将采样数据映射到典型JESD204B规范之外。这样便能更有效地使用该接口来降低功耗并获得其它好处。必须注意: 发送器(ADC)和接收器(FPGA)均须采用此类特殊配置。接收器和发送器必须以相同方式进行配置, 以便正确传输和解读数据。对于需要以不同于N'(每个样本传输的位数)的样本大小传输数据的ADC, 以独特方式配置应用层可能有利。可以将多个样本重新包装, 从而降低通道速率, 提高链路整体效率。

传输层

让我们仔细看看JESD204B规范的传输层。传输层接受ADC样本并添加信息(填充)以产生半字节组(通常在4位边界上)。此信息以结束位或控制位的形式提供, 是有关所传输数据的附加信息。传输层将这些半字节组安排为帧。必须注意: 传输层以并行数据将这些样本提供给数据链路。并行数据总线的宽度由成帧器结构决定, 单字节为8位, 双字节为16位, 以此类推。此时的数据流尚未达到串行器。

一个ADC可以映射到一个单通道链路，或者映射到一个多通道链路。这种配置能力对于宽带RF应用中使用的GSPS ADC特别方便，在此类应用中，采样速率决定是否使用多个通道，以便符合对通道速率的限制。若同一器件中有M个ADC，也可以将多个转换器映射到多个通道。这些ADC可以映射到一个单通道链路，或者映射到一个包括L个通道的多通道链路。某些情况下，一个ADC可能需要多个通道。这要由给定ADC的最大通道速率来决定。例如，12位、2.5 GSPS AD9625的最大通道速率为6.5 Gbps。这意味着当N'等于16时，总共需要8个通道。有时候，通道速率可能受到系统中的FPGA限制。对于在RF应用中使用GSPS ADC的客户，成本可能是设计考虑之一。为了降低成本，可以使用通道速率较低的FPGA。例如，14位、1.0 GSPS双通道AD9680的最大通道速率为12.5 Gbps。AD9680有4个输出通道，可配置抽取来降低采样速率，从而降低通道速率。这对于特定RF应用有两个作用：一是降低通道速率，二是带宽选择。

现在回到JESD204B参数，N'参数指定JESD204B字大小。转换器采样分辨率被分解成4位半字节。14位转换器和16位转换器分别有4个半字节，而12位转换器有3个半字节。如果AD9625的N'设置为12，则所需通道数可以减少2个，有6个通道便可使通道速率小于6.5 Gbps。建议将转换样本数(S)映射到4位半字节边界上的JESD204B字中。图2显示了ADC样本数到串行通道的映射。它已经参数化，支持许多可以利用JESD204B实现的潜在情况。

N'参数等于半字节数量乘以4。将转换器的N'设为16，分辨率范围设为8位至16位，对于发射器和接收器都是有益的。这允许将相同的发射器和接收器用于多个转换器，从而简化了整体系统设计。不完整的半字节有空间可用于JESD204B标准定义的控制位(CS)或结束位(下面的图2中显示为TT)中。必须满足公式 $N' = N + CS + T$ 。如有控制位，其附于每个转换器样本的LSB之后。在使用转换器数量、每帧采样数量、JESD204B字大小和最大通道速率来计算通道数量后，我们就可以确定每帧所发送的八位字数量F。可采用下面的公式来确定该参数： $F = (M \times S \times N') / (8 \times L)$ 。有关JESD204链路参数的更多信息，请参阅参考文献1，其

中对链路参数做了更详细的说明。另有一个分为四部分的在线研讨会，它从传输层开始，提供了有关JESD204标准的进一步信息。

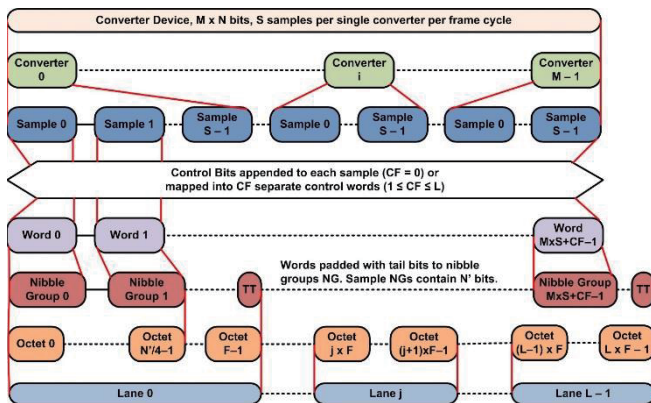


图2. 传输层ADC样本映射

传输层根据给定器件已定义的链路配置参数，决定如何包装来自ADC的数据。这些参数在初始通道对齐序列(ILAS)期间从ADC传输到FPGA。这些设置通过串行端口接口(SPI)配置，其设置ADC和FPGA上的寄存器值来定义链路配置参数。根据这些参数产生一个校验和并将其传输给接收器，以便接收器(FPGA)能够验证链路配置参数是否正确接收。通过链路传输的这些参数不是用于配置接收器，而是仅用于验证链路参数匹配。若检测到错误，FPGA将通过JESD204B规范的错误报告中定义的中断报告此错误。有关链路配置参数的更多信息，请参阅本文末尾列出的参考文献1。

数据链路层

数据链路层接受并行成帧数据(包含ADC样本、控制位和结束位)，并输出8B/10B字，后者在物理层中进行串行化且可以加扰。8B/10B方案会增加一些开销，但能提供直流平衡的输出数据和内置差错校验。数据链路层通过链路建立过程同步JESD204B链路。链路建立包括三个不同阶段：

- 1) 代码组同步(CGS)
- 2) 初始通道对齐序列(ILAS)
- 3) 用户数据

在代码组同步(CGS)期间，各接收器(FPGA)必须利用时钟和数据恢复(CDR)技术，在ADC传来的输入数据流中找到

K28.5字符。一旦在所有链路通道上检测到某一数量的连续K28.5字符，接收器模块就会解除置位送至发送器模块在代码组同步(CGS)期间，各接收器(FPGA)必须利用时钟和数据恢复(CDR)技术，在ADC传来的输入数据流中找到K28.5字符。一旦在所有链路通道上检测到某一数量的连续K28.5字符，接收器模块就会解除置位送至发送器模块的SYNC~信号。在JESD204A中，发送模块捕捉SYNC~信号的变化，经过固定数量的帧时钟之后，ILAS就会启动。在JESD204B中，发送模块捕捉SYNC~信号的变化，并在下一个本地多帧时钟(LMFC)边界上启动ILAS。

ILAS的主要作用是对齐链路的所有通道，验证链路参数，以及确定帧和多帧边界在接收器的输入数据流中的位置。在ILAS期间，链路参数被发送到接收器(FPGA)，以决定如何将数据发送到接收器。ILAS由4个或更多多帧组成。各多帧的最后一个字符是多帧对齐字符/A/。第一、第三和第四个多帧以/R/字符开始，以/A/字符结束。对于ADI ADC，其间的为斜坡数据。接收器利用各通道的最后一个/A/对齐接收器内各多帧的末尾。

第二个多帧包含/R/和/Q/字符，随后是链路参数。/Q/字符表示之后的数据是链路配置参数。如果接收器需要，ILAS可以添加其它多帧。最后一个ILAS多帧的最后一个/A/字符出现后，用户数据开始。在不需要通道间偏斜管理的系统中，可以旁路ILAS，只要发送器和接收器均支持这种模式。

CGS和ILAS阶段完成后，发送器开始送出用户数据(即来自ADC的样本)。在这一阶段，用户数据根据发送器(ADC)中定义并转发到接收器(FPGA)的链路参数，以流形式从发送器传输到接收器。这就是RF频谱中被GSPS ADC数字化的所有带宽传输以供处理的地方。接收器模块处理并监视收到的数据有无错误，包括运行差异不正确(8B/10B错误)、不在表中(8B/10B错误)、意外控制字符、ILAS不正确和通道间偏斜(注意：8B/10B以某种方式来维持运行差异，使得输出数据处于直流平衡状态，同时为接收器中的时钟和数据恢复电路保持充足的输出跃迁)。如有这其中的任何错误，将以两种方式中的一种向发送器报告：

- SYNC~置位—每个错误都需要重新同步(SYNC~拉低)。
- SYNC~报告—如果发生错误，SYNC~将变为高电平并持续一个帧时钟周期。

在初始通道对齐序列期间，数据链路层负责使接收器中的通道对齐。/A/字符就是为了对齐接收器中的通道而使用。JESD204 A和B规范要求/A/字符之间至少隔开17个八位字。这样可以降低系统大偏斜量的影响。在JESD204 A和B系统中，偏斜在下列三个可能的场景中进行了定义：

- 1) 一个发送器模块和一个接收器模块
- 2) 多个发送器模块和一个接收器模块
- 3) 多个发送器模块和多个接收器模块

达到用户数据阶段后，如果需要，通过数据链路中的字符替换可以监视并纠正帧和通道对齐。字符替换在帧和多帧边界处进行。有两种情况，一是基于帧的字符替换，二是基于多帧的字符替换。在基于帧的字符替换中，若给定通道上某一帧的最后一个字符与上一帧的最后一个字符相同，则发送器将用/F/字符替换该字符。这一做法同样适用于使能加扰时，上一帧的最后一个字符是0xFC。在基于多帧的字符替换中，若给定通道上某一多帧的最后一个字符与上一帧的最后一个字符相同，则发送器将用/A/字符替换该字符。这种情况下，当使能加扰时，若上一多帧的最后一个字符是0x7C，字符替换也会进行。CGS、ILAS、用户数据阶段以及字符替换的图解如图3所示。

在接收器字符替换中，接收器的操作必须与发送器的操作刚好相同。若检测到/F/字符，它将被上一帧的最后一个字符替代。若检测到/A/字符，它将被上一多帧的最后一个字符替代。加扰使能时，/F/字符被0xFC替代，/A/字符被0x7C替代。若接收器检测到两个连续错误，它可以重新对齐通道。然而，当它执行该操作时，数据会被破坏。表1是JESD204所有控制字符的简单列表。有关控制字符的更多信息，请参阅参考文献3。

表1. JESD204控制字符

控制字符	控制符号	8位值	10位值, RD = -1	10位值, RD = +1	描述
/R/	K28.0	000 11100	001111 0100	110000 1011	多帧开始
/A/	K28.3	011 11100	001111 0011	110000 1100	通道对齐
/Q/	K28.4	100 11100	001111 0010	110000 1101	链路配置数据开始
/K/	K28.5	101 11100	001111 1010	110000 0101	组同步
/F/	K28.7	111 11100	001111 1000	110000 0111	帧对齐

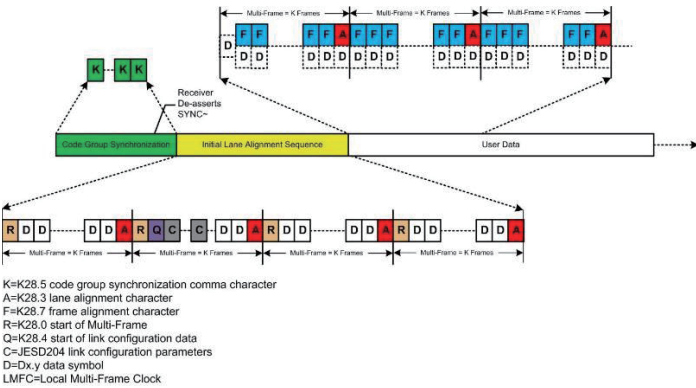
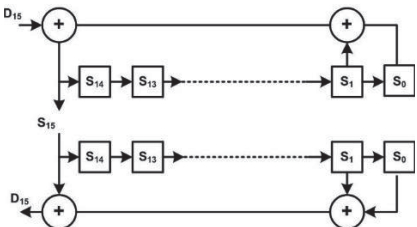


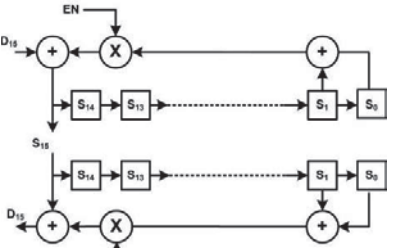
图3. 数据链路层—ILAS、CGS、数据序列

可以选择加扰数据，但必须注意：加扰要等到ILAS完成后出现第一个八位字之后才会开始。这意味着CGS和ILAS不会加扰。实施加扰可以降低发送器与接收器之间的高速串行通道上的频谱峰值辐射。在某些系统设计中，特定数据模式可能会导致产生对给定系统工作频率不利的频谱，实施加扰可以解决这一问题。加扰模块利用一个自同步的加扰模式，其具有如下多项式： $1 + x^{14} + x^{15}$ (框图见图4)。数据在8B/10B编码器之前进行加扰，解码后在接收器中进行解扰。由于加扰模式是自同步的，因此输入和输出端的两个移位寄存器不得具有相同的初始设置，否则加扰功能会不起作用。解扰器总是在两个八位字数据之后跟上步伐并

与加扰器自动同步。不是所有系统都需要加扰数据，因此，该层应有能力旁路加扰功能。



a. JESD204B Scrambler



b. JESD204B Descrambler

图4. JESD204B加扰/解扰

物理层

在物理层中，数据进行串行化，8B/10B编码数据以线路速率发送和接收。物理层包括串行/解串器(SERDES)模块、驱动器、接收器和CDR。由于数据传输速率非常高，这些模块常常采用定制单元设计。JESD204和JESD204A均支持最高3.125 Gbps的速度。JESD204B规范支持三种可能的速度等级。速度等级1支持最高3.125 Gbps的速度，基于OIF-Sx15-0.10规范。速度等级2支持最高6.375 Gbps的速度，基于CEI-6G-SR规范。速度等级3支持最高12.5 Gbps的速度，基于CEI-11G-SR规范。表2概要显示了三种速度等级对应的一些物理层规格。

表2. JESD204B物理层规范

参数	OIF-Sx15-01.0	CEI-6G-SR	CEI-11G-SR
线路速率(Gbps)	≤3.125	≤6.375	≤12.5
输出差分电压 (mVppd)	500 (最小值) 1000 (最大值)	400 (最小值) 750 (最大值)	360 (最小值) 770 (最大值)
输出上升/下降时间(ps)	>50	>30	>24
输出总抖动 (pp UI)	0.35	0.30	0.30

表2列出了各种速度等级的JESD204B标准物理层信号的线路速率、差分电压、上升/下降时间和总抖动。速度等级越高，信号幅度越小，保持高压摆率就更容易，因而能够维持开数据眼以正确传输信号。这些高速信号具有快速上升沿和下降沿，对电路板设计的约束非常严格。对于许多宽带RF系统设计者来说，这不是新鲜事。然而，高速数字设计的一个重要区别是宽带宽。典型RF系统的信号带宽约为RF工作频率的10%或以下。对于这些高速串行通道速率，系统设计需要考虑的带宽通常为通道速率的3倍至5倍。通道速率为5 Gbps时，信号带宽将是7.5 GHz到12.5 GHz。对于如此宽的带宽，保持适当的信号完整度并且了解如何衡量信号完整度是很重要的。

在串行差分接口中，眼图是信号完整度的常用测量方法。图5显示了以最高3.125 Gbps的速度工作时JESD204发送器的眼图罩。表3提供了有关时序、电压电平、阻抗和回波损耗的详细信息。信号不得侵占图中的米色区域，必须始终处于白色区域中。表中给出了发送器必须满足眼罩的条件。对于JESD204B规范中的另外两种速度等级，也有类似的眼图罩。详情请参阅CEI-6G-SR和CEI-11G-SR物理层规范。有关眼图罩的更多信息，请参阅参考文献2，其中说明了物理层测量。

表3. 眼图测量

参数	值	单位
XT1	0.175	UI
XT2	0.45	UI
YT1	0.50	UI
YT	0.25	UI
DJ	0.17	pp UI
TJ	0.35	pp UI

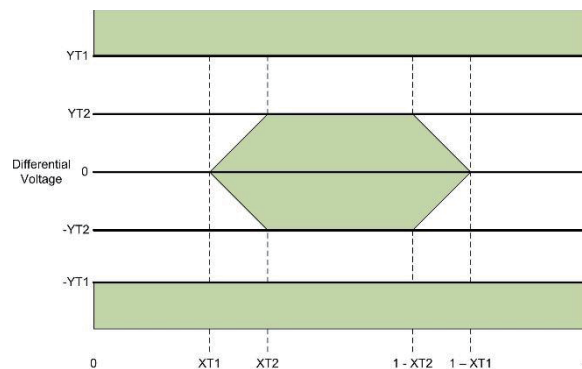


图5. Tx眼图罩示例

结语

采用JESD204B的设计数量与日俱增，并且涉及诸多市场，例如通信、仪器仪表、军工和航空航天。这些市场推动宽带RF系统设计使用GSPS ADC，因而需要JESD204B串行接口。收发器支持JESD204B串行化/解串的FPGA越来越多，而且越来越便宜。随着JESD204B接口变得越来越受欢迎，了解JESD204B规范的各层是很重要的。如上所述，规范中的各层都有自己的功能要完成。配置和数据映射是应用层的功能，而转换样本与未加扰八位字之间的映射是在传输层完成。加扰可以选择性使能，以通过延展频谱尖峰来降低EMI影响。在数据链路层，可选加扰的八位字编码为8B/10B字符，控制字符的产生或检测也在这里完成，以便支持通道对齐监控和维护。驱动器、接收器、时钟和数据恢复电路构成发送和接收数据的物理层。通过本文，系统设计者应当能够更好地了解JESD204B规范的各层，从而在下一个设计中更加有准备地实施JESD204B。

参考文献

Jonathan Harris, “[了解JESD204B链路参数](#)”, *Planet Analog*, 2013年。

Jonathan Harris, “[JESD204B发送器的三个关键物理层\(PHY\)性能指标](#)”, *EE Times*, 2013年。

Jonathan Harris, “[JESD204B中的链路同步和对齐：了解控制字符](#)”, *EE Times*, 2013年。

[JESD204B数据转换器串行接口JEDEC标准](#)。

Palkert, Thomas. “[系统接口第5级：2.488-3.125 Gbps并行接口的常见电气特性](#)”, *Optical Internetworking Forum*, 2002年。

“[常见电气I/O \(CEI\)—6G+ bps、11G+和25G+bps I/O的电气和抖动互操作性协定](#)”, *Optical Internetworking Forum*, 2005年。



高速DAC宽带输出网络知识与设计

作者: Jarrett Liner

今天, 对于新IC元器件和技术的需求依然以令人吃惊的速度增长。商业和国防工业是需求增长的主要刺激因素。目前涉及半导体行业的大部分新规格都围绕着降低尺寸(size)、重量(weight)和功耗(power)而展开——即SWaP。在半导体行业, 我们通过不断改进的技术以及更巧妙的设计来满足这些要求。然而, 性能也是关键需求, 尤其是GSPS领域的数模转换器(DAC)技术。为了跟上这一步伐, 人们常常忽略了关键的模拟输出匹配网络。

为了提供更高的清晰度, 通常认为高频是超过1 GHz的频率, 高速是超过1 GSPS的速度; 更重要的是, 最终用户可能会在DAC之后集成一个放大器, 因此可用信号便不那么依赖于信号电平, 而更多地依赖噪声和保真度。本文将讨论匹配元器件及其互连, 并在选择变压器或巴伦, 以及涉及到应用连接配置技巧时重点关注关键规格。最后, 本文将提供一些思路和优化技巧, 说明在GHz区域工作的DAC如何实现宽带平滑阻抗变换。

背景信息

DAC用途广泛; 最常见的用途包括: 商业和军事通信中的高频复杂波形生成、无线基础设施、自动测试设备(ATE)以及雷达和军用干扰电子产品。系统架构师找到合适的DAC后, 必须考虑输出匹配网络, 以保持信号结构。元件选型和拓扑较之从前更为重要, 因为GSPS DAC应用要求工作在超奈奎斯特频率下, 此时所需的频谱信息位于第二、第三或第四奈奎斯特区。

预备知识

首先让我们来考察DAC的作用, 及其在信号链中的位置。DAC的作用很像信号发生器。它能在中心频率(F_c)范围内为复杂波形提供单音。以前, F_c 最大值位于第一奈奎斯特区中, 或者为采样频率的一半。较新的DAC设计具有内部时钟倍频器, 可以有效地倍增第一奈奎斯特区; 可将其称为“混频模式”操作。使用混频模式的DAC自然输出频率响应具有 $\sin X/X$ 曲线的形状, 如图1所示。系统架构师可参考产品数据手册, 了解元器件性能。很多时候, 诸如功率水平和无杂散动态范围(SFDR)等性能参数会给出多种频率下的数值。明智的系统设计人员可将同一个DAC应用于上文所述的超奈奎斯特区中。值得注意的是, 在较高频率下(或较高区域中)预期输出电平将会低得多, 因此很多信号链会在DAC之后集成一个额外的增益模块或驱动放大器, 以补偿该损耗。

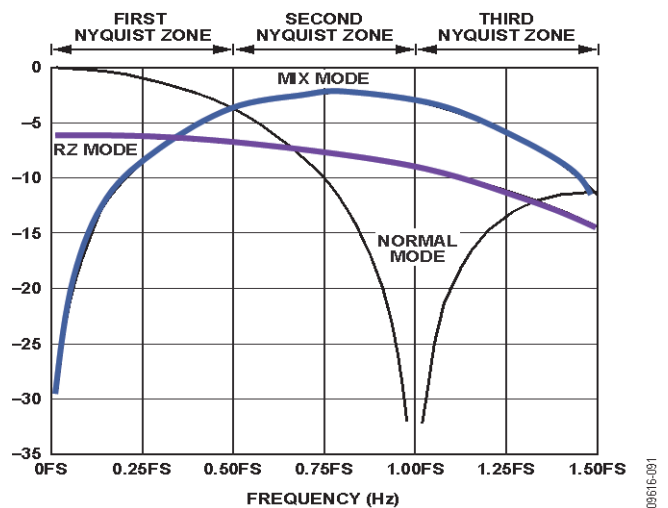


图1. DAC $\sin x/x$ 输出频率响应与混频模式的关系

元器件方面的考虑, 如选择输出巴伦

只有最终用户设计和测得的最佳性能GSPS DAC才是好器件。为了最大程度发挥高品质DAC的性能, 应当只选用最好的元器件。必须在一开始就作出重要的电路决定。数据

手册上的DAC性能是否提供了足够的输出功率？是否需要源器件？信号链是否需要从DAC差分输出传送至单端环境？是否需要用到变压器或巴伦？巴伦的合适阻抗比是多少？本文将重点讨论巴伦或变压器的使用。

选择巴伦时，应仔细考虑相位和幅度不平衡。阻抗比(电压增益)、带宽、插入损耗和回损同样也是重要的性能考虑因素。采用巴伦进行设计并不总是简单明了。例如，巴伦的特性随频率而改变，这会预期蒙上阴影。有些巴伦对接地、布局布线和中心抽头耦合敏感。系统设计人员不应完全根据巴伦数据手册上的性能作为器件选择的唯一基础。经验在这里能够发挥巨大作用：存在PCB寄生效应时，巴伦以新的形式构成外部匹配网络；转换器的内部阻抗(负载)同样成为等式的一部分。

选择巴伦时需注意的重要特性有很多，本文不作深入讨论。如需了解这方面的更多信息，以及如何选择正确的变压器或巴伦，请参见本文末尾列出的参考文献1和2。

目前市场上，Anaren、HYPERLABS、Marki Microwave、Mini-Circuits和Picosecond作为最佳解决方案，可提供最宽的带宽。这些专利设计采用特殊拓扑，允许只采用单一器件实现千兆区域带宽扩展，从而提供更高的平衡度。

使用单个巴伦或多个巴伦拓扑时，最后需要注意的一点是，布局对于相位不平衡同样具有重要作用。为在高频下保持最佳性能，布局应尽可能对称。否则，走线轻微失配可能使采用巴伦的前端设计变得毫无用处，甚至使动态范围受限。

输出匹配

依赖频率的元器件将会始终限制带宽，如并联电容和串联电感。也就是说，考虑优化而非匹配，可能更为有效。今天，巴伦的超宽带宽几乎不可能“配合”多倍频程频谱范围。对以上参数的优化则要求对系统的最终用途有深入的了解。例如，电路是否需要提供最大功率传输，而较少考虑SFDR？或者是否需要最高线性度设计，同时突出SNR和

SFDR而较少考虑DAC的输出驱动强度？这意味着在应用中，应当权衡每个参数的重要性。本例中，如图2所示为AD9129 GSPS DAC输出网络。该网络中的每个电阻和巴伦都可改变，然而随着每个电阻值的变化，性能参数也会如表1所示发生改变。

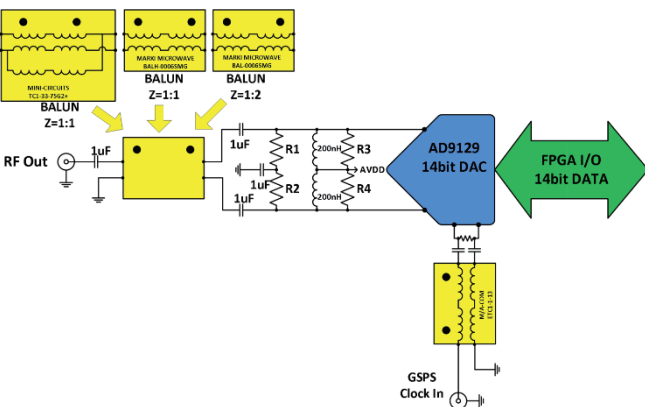


图2. AD9129 DAC输出前端功能框图

表1. 几种情形的数据定义

DAC优化	巴伦	R1/R2 (Ω)	R3/R4 (Ω)
情形1	TC1-33-75G2 + (1:1阻抗比)	DNI	50
情形2	BAL-0006SMG (1:2阻抗比)	100	50
情形3	BALH-000+SMG (1:1阻抗比)	100	50

读者需注意，最佳元器件值之间的差异非常小。巴伦元件具有最大的变化值。下文图3中的数据 displays DAC宽带噪声输出模式的优化；DAC只是在全部可用频谱带宽中产生信号音。最初的情形显示第一奈奎斯特区的可用功率下降，而第二、第三和第四奈奎斯特区中极有可能出现混叠信号音。情形2显示第一和第二奈奎斯特区中的输出电平增加，以及较高奈奎斯特区中的可用功率下降。最后，情形3为最佳情况，看上去在第一和第二奈奎斯特区具有良好的输出功率，同时相比情形1，区域3和4中的可用功率保持在最低水平。

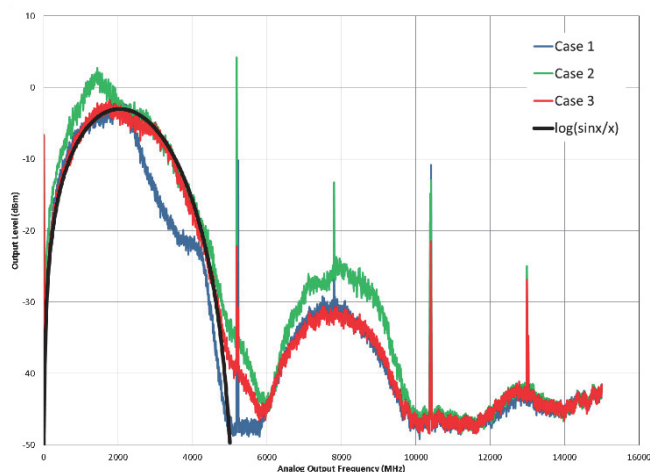


图3. 宽带噪声模式中的DAC性能

图4和5显示DAC为单音模式时的记录数据。图5显示多个奈奎斯特区中不同频率的输出功率水平。图4显示各种情形与DAC输出频率下的SFDR。读者应当对参数规划的权衡取舍有一个更全面的了解，因为随着设计过程的展开，必须理解这些参数并对其优化。显然，情形1可以通过替换为带宽更宽的巴伦解决方案加以改进，即情形2。在第二奈奎斯特区获得更高的功率水平和更佳的SFDR。此外，情形3中采用1:2宽带巴伦，则改进后的功率水平便得到了保持，同时进一步改进了系统的SFDR。其它重要发现有：在1900 MHz附近存在SFDR的“最有效点”。该性能独立于输出元器件，这是因为DAC存在内部阻抗。

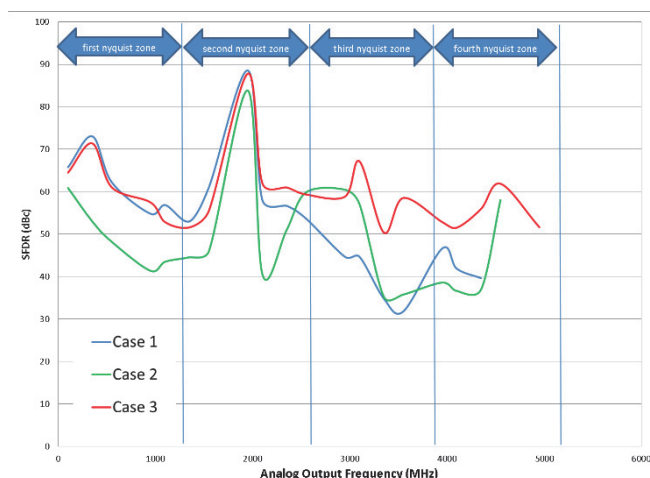


图4. SFDR性能对比

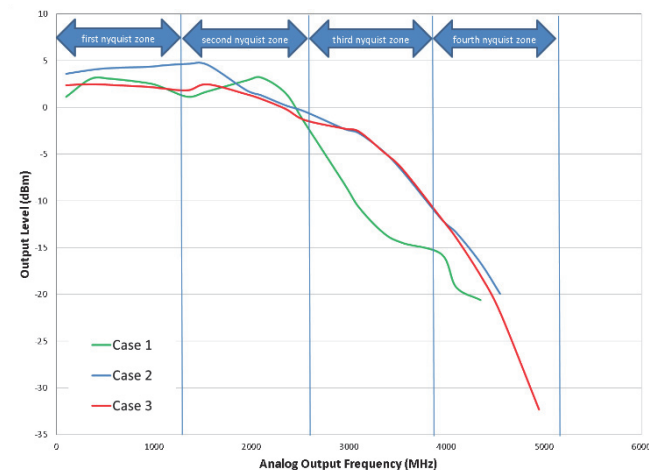


图5. 输出功率水平对比

结论

GSPS DAC的最新发展可让设计人员在发射信号链上略过多个混频级，直接处理所需的RF频段。使用GSPS DAC时，必须仔细考虑输出网络。设计高速、高分辨率转换器布局时，不容易照顾到所有的具体特性。从DAC输出差分环境转换至单端RF输出时，必须特别注意巴伦的选择。另外，设计GSPS DAC输出网络时，必须注意网络的布局与拓扑；走线宽度和长度是非常重要的参数，需加以优化。记住，为了配合特定应用，需要满足很多参数。

参考文献

Rob Reeder, “GSPS转换器宽带前端设计”, ADI公司, 2013年

Rob Reeder, “宽带模数转换器的变压器耦合前端”, 模拟对话第39卷第2期, 2005年4月

Rob Reeder, AN-935应用笔记, [ADC变压器耦合前端设计](#), ADI公司, 2007年

Ken Gentile, AN-912应用笔记, [利用平衡电流输出DAC驱动中心抽头变压器](#), ADI公司, 2007年

Walt Kester, [模数转换: 研讨会系列](#), ADI公司, 2004年
“优化数据转换器接口”, 高速系统应用, ADI公司, 2006年

作者简介

Jarrett Liner是ADI公司工业与仪器仪表部射频系统应用工程师, 负责防务和航空航天应用, 工作地点在美国北卡罗来纳州格林斯博罗。他在射频系统和器件设计方面有着丰富的经验。此前, 他是防务和航空航天领域碳化硅衬底氮化镓放大器应用工程师。其先前的经历还包括从事13年的RF IC WLAN功率放大器和前端模块的设计与测试工作。Jarrett于1988年获得华莱士社区大学工业电子副学士学位。他曾作为电子技师在美国海军服役6年。Jarrett于2004年获得北卡罗来纳州农业技术州立大学(位于北卡罗来纳州格林斯博罗)电气工程学士学位。当Jarrett不在实验室仿真电路或测量数据时, 他可能在山地上骑自行车、在健身房教授自行车课程、跑步或者在庭院与他的四个孩子追逐嬉戏。联系方式: jarrett.liner@analog.com。

采用高动态范围中频接收器简化下一代微波点对点调制解调器的设计

Paul, Hendriks, 应用工程师, Analog Devices, Inc

微波点对点链路是无线移动网络的一个组成部分, 它提供了基站(BTS/Nodes)与无线控制器(BSC/RNCs)之间的回传能力, 这种架构采用光纤链接成本较高, 全球超过半数都采用这种微波链接。受市场向智能手机转移的趋势驱动, 近期移动网络流量的迅猛增涨, 如视频流等数据需求大大增强, 同时也对现有微波回传设备的容量造成了压力。为了使回传网络上的数据吞吐量适应LTE与LTE-Advanced的需求, 下一代微波链路需要:

- 朝着越来越高次的数字调制迈进, 从如今的QAM256到未来的QAM4096, 从而使一个固定信道分配的容量增加50%。
- 在传统频带6 GHz至42 GHz内, 支持从56 MHz提升至112 MHz的信道分配。如果载波信噪比(CNR)保持恒定, 则信道带宽每增加一倍, 数据吞吐率能力就会成比例增加。
- 采用如极化分集、信道集合, $N \times N$ 线的多路输入多路输出(MIMO)等技术。

通信系统设计的典型特征就是吞吐力的提升是需要付出一定代价的。要同时支持更高的QAM和信道带宽, 微波链路就必须具备更大的动态范围能力以确保所需的最小EVM性能, 特别是QAM大小或带宽每增加一倍会造成接收器灵敏度降低3dB。微波设备必须保持灵活性, 因此在支持所有

可能的工况时需要一些额外的考虑, 同时也要简化接收滤波器和AGC需求以提高性能降低成本。

另一个行业发展趋势是完全户外单元(ODU)的出现, 其中一体式无线电调制解调器、收发器、开关/多路复用单元和流量接口集成在一个独立的盒子中, 并安装在信号塔或其他类似的建筑上。新基站CAPEX/OPEX和现有基站的空间限制都推动这一趋势的发展。传统的分离式户内(IDU)/户外(ODU)系统将微波/射频部件放置在ODU中, 通过同轴电缆将其与设备房内(IDU)的另一部分系统连接。同轴电缆最高长度可达300米并进行双向通信, 通过一个双工器将中心频率140 MHz的接收器中频信号, 从频率中心分布在340 MHz-400 MHz的发送器中频信号中分离出来。

虽然这一趋势值得关注, 但无论是目前还是可预见的将来, 大多出货的微波设备仍然是既有的分离式IDU/ODU系统。这将有损于推动以设计再利用为目的的后端调制解调器结构, 这个结构支持原有系统以及下一代ODU平台。工作在1.5 GSPS以上时钟速率的高速DAC和ADC技术的进步使支持4096 QAM及以上的高中频QAM信号的合成与数字化成为可能。有了高动态范围和高过采样率, 不仅无需使用传统模拟I/Q实施所需的正交误差校正, 同时使得数字域的大多数滤波器也得以实现, 从而减少了补偿所需的模拟滤波器和数字均衡器的数量。在发射器的信号路径端, 为了合成宽带QAM信号, [AD9142](#)和[AD9136](#)这样的高速DACs正在替代传统的双通DAC和I/Q调制器, 不仅可以获得优秀的EVM性能且无需对发射器进行校正。在接收器信号路径端, 能够良好适应这些应用且1.5 GSPS以上的ADC迟迟没有出现, 直至最近[AD6676](#)发布。

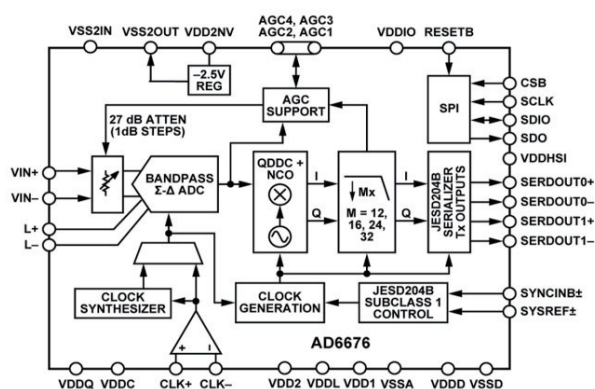


图1. AD6676中频接收器子系统框图

AD6676是业界首款基于带通 Σ - Δ 型ADC的带宽中频接收机子系统(图1),支持高达160 MHz的中频信号带宽,内部时钟频率高达3.2 GHz。 Σ - Δ ADC的高过采样能力简化了中频模拟滤波的要求,而这些滤波器在低采样率的ADC是需要用来抑制相邻信道(和干扰/阻塞),否则这些信号会混迭回到IF信号上,从而减小了接收器灵敏度性能。另外,具有-160 dBFS/Hz的NSD底(窄带宽QAM信道)的ADC高动态范围会减少双工发送接收机的隔离要求或衰减补偿的模拟AGC范围。AD6676包含一个片上27 dB数字衰减器,精度为1 dB,用于校正初始器件公差和同轴电缆损耗变化引起的静态增益误差。

我们先来看一下AD6676中频接收器子系统协同AD9136这样的高速DAC,是如何极大简化传统IDU收发器并同时提高它的性能的。图2上层接收器链路显示一个直接转换方式,用来支持140 MHz和400 MHz的典型低中频接收器和收发器。直接转换收发器架构的挑战有文档可查,但可以通过I/Q平衡校正、直流偏置校正、可调节基带I/Q滤波,以及抑制发射器漏信号的双工器设计进行克服。然而支持最大56 MHz信道带宽和256 QAM的传统IDU接收器已经量产,若需要更大容量而将信道带宽增加2倍, QAM等级提升8倍都是对直接转换架构的重大挑战。高速ADC/DAC技术最新进展有望由数字化IDU取代传统方法,如图2所示。图2下半部分收发器方案仅需4个ICs,具有显著宽松的滤波要求,实现近乎完美的性能。

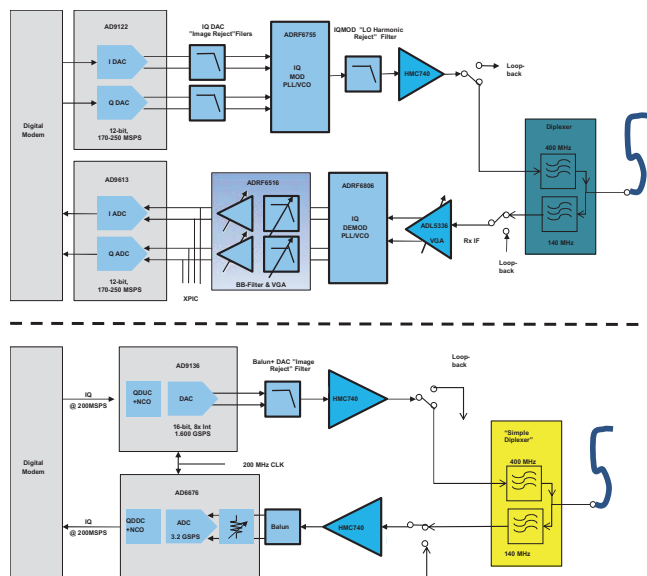


图2. 现有“直接转换”IDU收发器构架与使用高速DAC/ADC的Tx、Rx QAM信号直接数字合成及数字化的IDU收发器构架的比较

在发送器侧,像工作在1.6 GSPS时钟速率下AD9136这样的高速DAC可以合成一个EVM性能优异且以中频为中心频率的112 MHz, 1024 QAM信号,这样可以将多数发送器链路误差预算预留留给ODU(其中相位噪声和线性的累加效应将导致大多数EVM的降低)。同时需要一个低通滤波器来抑制1.2 GHz处的第一个DAC镜像跌落,相对需要滤除落在1.2 GHz处的I/Q调制器的三次LO镜像的谐波抑制滤波器,可以放宽到12 dB。用来克服线缆损耗的发送功率控制已在AD9136中实现, QAM信号EVM性能超过15 dB范围,衰减可忽略。

在接收器侧, 112 MHz, 1024 QAM信道被AD6676以具有卓越的动态范围和精确性来进行数字化,即使存在大量因双工滤波器宽泛带来的传输漏信号,如图3所示。在这个示例中, AD6676的配置支持112 MHz带宽,其衰减器设置为3 dB,这样使得进入HMC740前置放大器中有效的RTINF保持在10 dB左右。图3中左曲线是AD6676 Σ - Δ 型ADC数据输出的快速傅里叶变化结果(仅用于演示目的),其中,发射器-26 dBm漏信号中心在400 MHz,混合了一个143 MHz处-17.2dBm的连续单音信号作为代表。

注意，可调节带通 Σ - Δ 型ADC的固有噪声整形在中心位于期望中频的高动态范围区域内是十分明显的(高至-160 dBFS/Hz)。图三中的右侧曲线是以中频信号为零中心的16位，200 MSPS I/Q数据经过数字转换和16 $\times$ 抽样滤波后的快速傅里叶变化结果。注意，数字滤波器提供的+85 dB抑制用来去除带外噪声和混迭返回到112 MHz通带的发射器漏信号。落在112 MHz通带以外的残余整形噪声由调制解调器的RRC滤波器去除。

-2 dBFS的连续大信号测试条件下的带内噪声是-68.6 dBFS。如果用峰值到均方根值为10 dB的全比例1024 QAM Rx信号来替代连续单音，则需要7 dB的额外回退来防止ADC畸变。这种情况下，接收器IDU的输入功率将在-9 dBFS(或者-24.2 dBm)，建议接近60 dB的CNR。针对双工滤波器的简化设计，当前双工发送器到接收器的抑制大致略为20 dB，以此抑制-6 dBm的接收器信号，因此前置放大器输入会出现-26 dBm。对于IDU和ODU之间有较短电缆部署的情况，AD6676的衰减器可以增强以容许ODU具有更高的QAM。

非期望的邻近信号出现时，需要在低灵敏度(BER < 10⁻⁶，带FFC使能)时恢复QAM信号的IDU接收器能力是一个非常重要的指标。可能最苛刻的测试(根据ETSI EN 301 390 V1.2.1)是：一个具有比QAM信号高30 dB能量的连续干扰单音(阻断)被放置在所期望QAM信号的2.5 $\times$ 信道偏置处。注意：现今接收器中使用的可调或开关组滤波器大多由这一规格驱动，这是因为调制解调器必须支持3.5 MHz到56 MHz的信道带宽。之前的示例代表了下一代112 MHz信道带宽，我们可以假设邻近的连续干扰被112 MHz以上的固定信道滤波器有效抑制，并在ODU RF链路内最后一次转换完成前实现镜像抑制。事实上，这一滤波器仍为28 MHz到56 MHz信道带宽提供70 MHz到140 MHz偏置的有效阻隔抑制。若信道带宽为14 MHz或更低，连续单音将会落在滤波器的通带范围中，因此需要在140 MHz处增加额外带通滤波器来进行抑制，或由ADC进行数字化后再数字滤波。

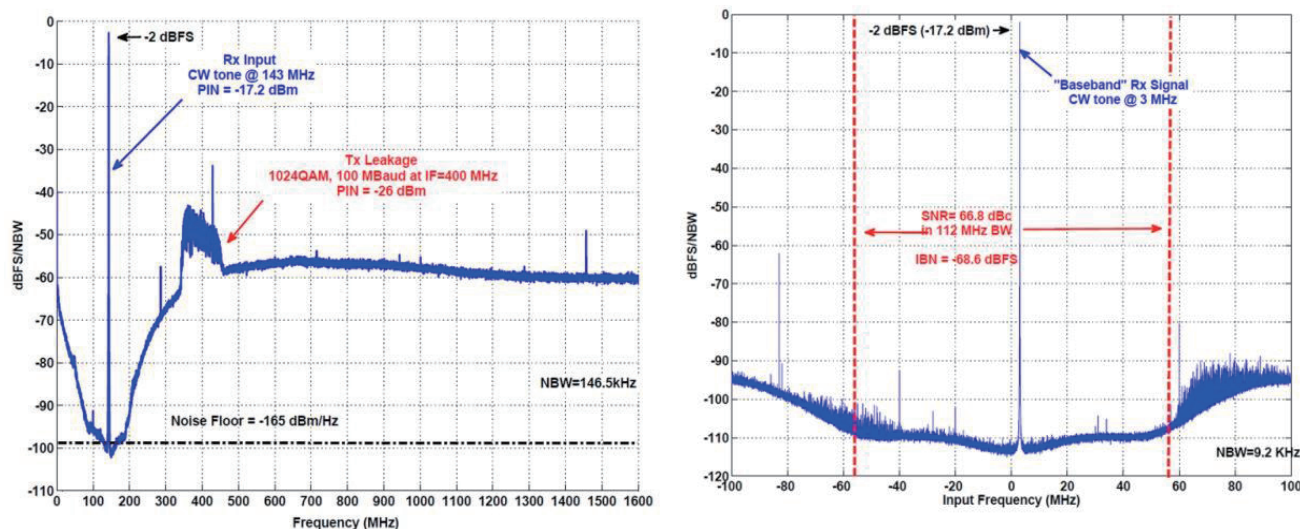


图3. 相对零中频，带AD6676的HCM740组成的RX链路在数字转换之前之后的动态能力测试

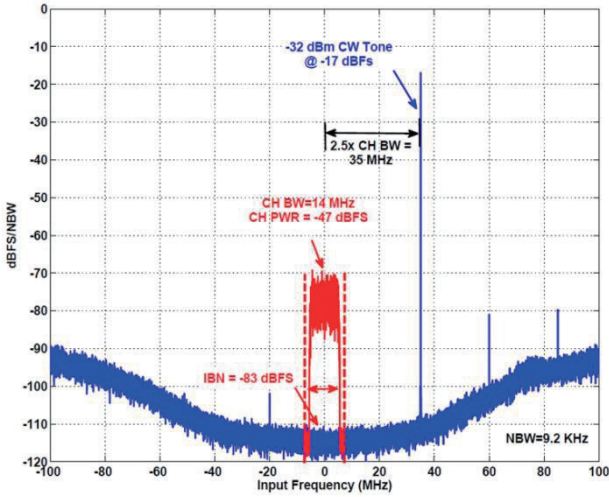


图4. 通过容许较大的相邻干扰的方法, AD6676的高动态范围简化了Rx滤波要求

基于AD6676的IDU接收器架构具有即时动态范围，支持无额外滤波器的方案。图4显示了与图3相同接收器链路的AD6676快速傅里叶变化的频率响应，唯一区别在于 Σ - Δ 型ADC的可调带宽降低至56 MHz。在这一示例中，175 MHz(或35 MHz偏置)处的-32 dBm连续单音(或-32 dBm偏置)将增加到400 MHz处存在的-26 dBm传输漏信号上。连续单音响应在AD6676可见的-17 dBFS输入水平等级，并在最低灵敏度(CNR = 36 dB)时的设置比-47 dBFS、1024 QAM高30 dB。连续干扰单音额外增加15 dB，则突出的过设计裕量可能有助于微波/射频电路的噪声分配。在没噪声阻隔器的情况下，期望的1024 QAM信号可能增加38 dB，从而为IDU接收器提供额外的动态范围以处理信号衰减。

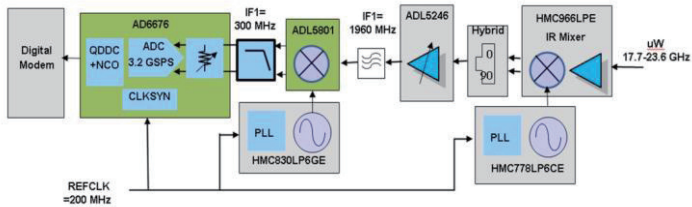


图5. AD6676中频接收器也可用在高性能 ODU Rx的链路设计中

AD6676提供给IDU设计的高动态范围优势，这也对ODU接收器的设计有利。图5显示了AD6676如何应用于18 GHz至23 GHz的ODU接收器链路，该链路由一个诸如ADL5801均

射频混频器、诸如HMC966的微波镜像抑制混频器和诸如ADL5246射频VGA组成。注意：其余6 GHz至43 GHz范围的微波带宽可以选择不同微波镜像抑制混频器、微波锁相环和可能的第一个中频频率。在没有电缆限制中频选择的全UDU情况下，可以将AD6676设置成较高的中频频率，比如300 MHz，以进一步简化镜像抑制的射频滤波器要求。如果任何混频器杂散分量更大，则需要额外抑制，AD6676可以与RF混频器直接接口，或通过简单的三次低通修平滤波器接口。1960 MHz的RF滤波器专用于支持最高至112 MHz的信道带宽。如果将AD6676的衰减器设置为0 dB，在56 MHz的带宽信道上，ADL5801和AD6676的合成噪底将会低于-157 dBFS/Hz，等效NF为17 dB。ADL5246和HMC966默认总转换增益可以与ADL5801/AD6676即时动态范围一起进行初始优化，故而数字解调器追踪初始衰减(由标称的接收器输入电源处)。可以设置ADL5246的阈值，因此当解调器接收器的BER低于特定QAM信号的预设水平以下时开始增加增益。这一混合方法只会在输入信号非常低时激活RF AGC，以此改善接收器的最低灵敏度。

总结：

下一代微波点对点接收器需要支持3.5 MHz到112 MHz信道带宽，拥有高动态范围，从而在更宽的衰减边界内支持越来越高的M-QAM。AD6676中频接收器子系统能使普通的微波点对点平台支持既有的IDU/ODU分离式系统和全新的ODU平台。对于IDU/ODU分离式系统，其突出的高动态范围可以在系统出现临近的干扰信号时，不需要复杂可调或庞大的开关组滤波器，就可以保证优秀的调制精度(EVM)。而对于完全的ODU系统，拥有高瞬时动态范围(带混频器直接接口)降低了追踪衰减所需要的RF AGC范围，并简化了RF滤波要求。AD6676为 4.3×5.0 mm、80引脚WLCSP封装，可以在2.5 V或1.1 V的电压下工作。

关于作者

Paul Hendriks工作地在马塞诸塞州威尔明顿，是ADI高速转换器产品线高级应用工程师、产品线经理。在过去20年中，Paul专注于无线、有线通讯应用的高速转换器产品的使用和产品定义。从1989年加入ADI开始，Paul撰写过大量文章，应用笔记，设计思路及产品数据手册。Paul于1986年获得McGill 大学电子工程学士学位。

噪声频谱密度：在软件定义系统中查看数据转换器性能的实用方法

作者：David Robertson，产品线总监；Gabriele Manganaro，工程总监，ADI公司

不断丰富的高速和极高速ADC以及数字处理产品正使过采样成为宽带和射频系统的实用架构方法。半导体技术进步为提升速度以及降低成本做出了诸多贡献(比如价格、功耗和电路板面积)，可让系统设计人员使用宽带转换器探索转换与处理信号的各种方式。这些技术改变了我们对信号处理的认识，以及我们选择产品的方式。

本文说明如何观察噪声频谱密度(NSD)及其在目标频段内分布能够有助于指导系统设计人员选择最合适的转换器。

处理增益：我的目标频段内有多少噪声？

考虑图1中的简化情况。我们的ADC时钟为75 MHz，并在输出数据上运行FFT，因此我们看到的频谱为从直流到37.5 MHz。我们的“目标信号”是唯一的大信号，且碰巧位于2 MHz附近。指定数据转换器的信噪比(SNR)后，它将指示与其他所有频率仓中的总噪声功率相比的满量程信号功率。对于白噪声(大部分情况下包含量化噪声和热噪声)而言，噪声均匀分布在转换器的奈奎斯特频段内；本例中为直流至37.5 MHz。

如果我们知道信号在哪里(本例中为直流和4 MHz之间)，就可以应用数字后处理，以便滤除或去除一切高于4 MHz的频率(仅保持红框中的内容)。这种情况下，我们将丢弃7/8噪声，保留所有信号——从而SNR改善了9 dB。换言之：如果我们知道信号将是频段的一半，那么我们就可以丢弃另一半频段，并仅仅消除噪声——使SNR改善3 dB。这就引出了我们所熟悉的经验法则：存在白噪声时，过采样信号的处理增益SNR可改善3 dB/8倍频程。在上例中，我们将此技巧应用到三个8倍频程中(系数为8)，使SNR改善了9 dB。

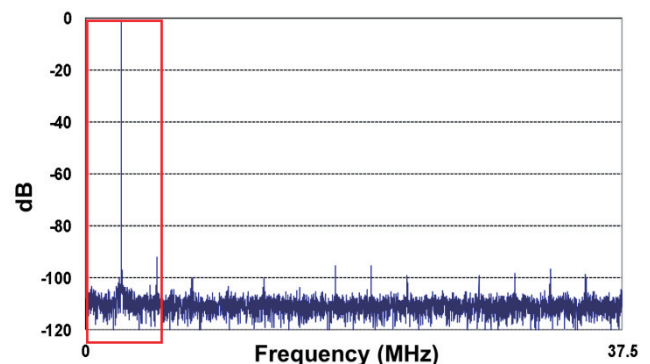


图1. 9 dB处理增益的图形表示：
保留全部信号，丢弃7/8噪声

当然，我们意识到，如果信号处于直流和4 MHz之间某处，那么我们就不需要75 MSPS来表示信号：9 MSPS至10 MSPS将满足奈奎斯特采样定理对带宽的要求。我们能够随时以8x抽取75 MSPS采样数据，产生9.375 MSPS有效数据速率，同时保留目标频段内的噪声底。正确进行抽取很重要——如果只是每8个样本丢弃7个，那么噪声会折叠或混叠返回目标频段内，而我们不会获得任何SNR的改善。我们必须先滤波，然后再抽取，才能实现处理增益。注意，完美的砖墙滤波器会消除一切噪声，输出理想3 dB/8倍频程处理增益。在现实中，所需的滤波器阻带抑制量与试图实现多少处理增益成函数关系。

极为重要的是，需认识到“3 dB/8倍频程”经验法则是基于白噪声的这样一个假设。这是一个合理的假设，但并非适用于一切情况。一个重要的例外情况是动态范围受限于非线性度或其他杂散。在这些情况下，“滤波并丢弃”的方法可能无法解决限制性能的杂散问题。在图4示例中，我们看到二次谐波杂散是主要的杂散，它落在红框内——因此当我们通过处理增益实现9 dB SNR改善时，SFDR并未改善。下文中，我们将考虑噪声整形转换器的特殊情况；在这种情况下，处理增益可远高于3 dB/8倍频程。

将SNR和采样速率转换为噪声频谱密度

当频谱中存在多个信号时——比如FM频段内的多个电台——问题就变得愈发有趣了。若要恢复任一信号，我们意识到，数据转换器的总噪声并不重要，重要的是落入目标频段内的转换器噪声数量。数字滤波和后处理将会消除所有带外噪声。

这导致我们观察到有多种方法可以减少落入红框内的噪声数量。我们可以使用具有更佳SNR(噪声更低)的75 MHz ADC，也可以使用相同SNR的ADC并提供更快的时钟(比如150 MHz)，从而将噪声分布在更宽的带宽内，使红框内的噪声更少。比较这两种情况，可以看到，不同SNR的两个转换器将在红框内提供等量的噪声(基于不同的采样速率)。现在问题来了：如要快速比较转换器以确定红框内的性能，有没有比SNR更好的规格？

此时就会用到噪声频谱密度(NSD)。通过将噪声指定为频谱密度(通常以相对每赫兹的满量程带宽分贝数为单位，即dBFs/Hz)，我们可以“归一化”不同ADC采样速率的情况，从而确定哪个器件在目标情况下可能具有最低噪声。表1检查了70 dB SNR的数据转换器，并指出了随着采样速率从100 MHz提高到2 GHz，噪声频谱密度的改善。表2显示了部分性质极为不同的转换器的多种SNR和采样速率组合，但所有组合都具有相同的NSD，因此每一种组合在1 MHz通道内都将具有相同的总噪声。在一个传统的单载波系统中，使用10 GSPS转换器捕捉1 MHz信号似乎很滑稽，但在多载波、软件定义系统中，那确实是您可能会做的事情。类似的示例是无线机顶盒——它们可能采用2.7 GSPS至3 GSPS完整频谱调谐器捕捉同轴电缆的输出信号，以便恢复6 MHz电视通道。

案例	采样速率	奈奎斯特带宽 (MHz)	SNR (dB)	NSD (dBFs/Hz)	50 MHz 频段 SNR (dB)	50 MHz带宽 过采样率
A	100 MSPS	50	70	-147	70	1
B	500 MSPS	250	70	-154	77	5
C	1 GSPS	500	70	-157	80	10
D	2 GSPS	1 GHz	70	-160	83	20

表1. 改变70 dB ADC的采样速率

案例	采样速率 (GSPS)	奈奎斯特带宽	位数*	SNR (dB)	NSD (dBFs/Hz)	1 MHz 频段 SNR (dB)
1	100	50 GHz	8	48	-155	95
2	10	5 GHz	10至12	58	-155	95
3	1	500 MHz	14	68	-155	95
4	100 MSPS	50 MHz	14	78	-155	95

表2. SNR 几种极为不同的转换器均在1 MHz 带宽内提供95 dB SNR；SNR的计算假定为白噪声(无杂散影响)。

对于数据转换器而言，噪声频谱密度的单位通常为dBFS/Hz (相对于每Hz满量程的dB，它是一种相对的量度)，一定程度上提供了噪声电平“折合到输出”的量度；或者采用dBm/Hz为单位(即dB-mW/Hz)；甚至可以采用dBm V/Hz(即dB-mV/Hz)来提供更为绝对的量度，或者表示数据转换器折合到输入的噪声。SNR、满量程电压、输入阻抗和奈奎斯特带宽还可用来计算ADC的有效噪声系数——一种相当复杂的计算，参见参考文献MT-006。

过采样优势

在较高的采样速率下使用模数转换器通常意味着较高的功耗——无论是ADC自身或是后续数字处理。表1显示过采样确实改善了NSD——但这样做值得吗？如表2所示，使用噪声较低的转换器也能实现NSD的改善。捕捉多载波的系统需工作在较高的采样速率下，因此需对每一个载波进行过采样。然而，过采样还具有其他多种优势。

*注意，转换器的实际分辨率可能远高于有效位数；很多转换器都具有额外的分辨率，保证量化噪声对NSD的影响可忽略不计。

- 简化抗混叠滤波——采样动作会将较高频率的信号(和噪声)混叠回转换器的奈奎斯特频段——从而避免混叠伪像；这些信号必须使用ADC前的滤波器进行抑制。滤波器过渡带位于最高目标捕捉频率 F_{IN} 和该频率混叠 $F_{SAMPLE} - F_{IN}$ 之间。随着 F_{IN} 越来越接近 $F_{SAMPLE}/2$ ，此抗混叠滤波器的过渡带变得非常窄，需要极高阶的滤波器。2至4过采样可大幅减少模拟域中的这个限制，并将要求置于相对容易处理的数字域中。
- 最大程度减少折叠转换器失真产物的影响。哪怕您有完美的抗混叠滤波器，ADC的不完美也会产生杂散和其他失真产物——包括某些极高阶谐波。这些谐波还将在采样频率内折叠——可能返回带内，限制目标频段内的SNR。在较高的采样速率下，所需频段成为奈奎斯特带宽的一小部分，因而降低了折叠发生的概率。注意：虽然本文中未讨论，值得一提的是，过采样还有助于可能发生带内折叠的其他系统杂散(比如其他器件的时钟源)的频率规划。
- 处理增益——如前所述，针对任意白噪声，我们得到了3 dB/8倍频程处理增益——这通常包括热噪声和量化噪声，但也可能包括来自某些类型时钟抖动的噪声。

随着速度更高的转换器和高速数字处理产品的成熟，系统设计人员正更频繁地使用一定量的过采样，从而利用这些优势。

噪底和FFT的注意事项

您可能会通过检查频谱曲线以及查看“噪底有多低”，来尝试比较转换器。进行此类比较时，重要的是需记住频谱曲线取决于采用的FFT大小。较大的FFT会将带宽分成更多的频率仓，因此每个频率仓内的累积噪声越少，频谱曲线就会显示越低的噪底。这只是一个曲线伪像；噪声频谱密度并未发生改变(这是改变频谱分析仪分辨率带宽的信号处理等效值)。如果采样速率等于FFT大小(或者适当成比例)，那么比较噪底是可行的；否则可能产生误解。再一次地，NSD规格提供了实用的直接比较。

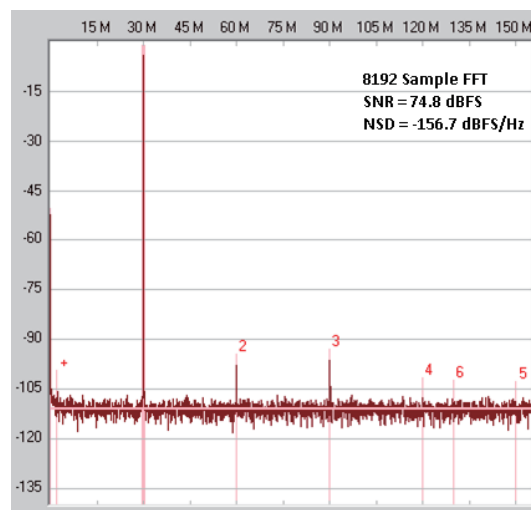


图2 (a)

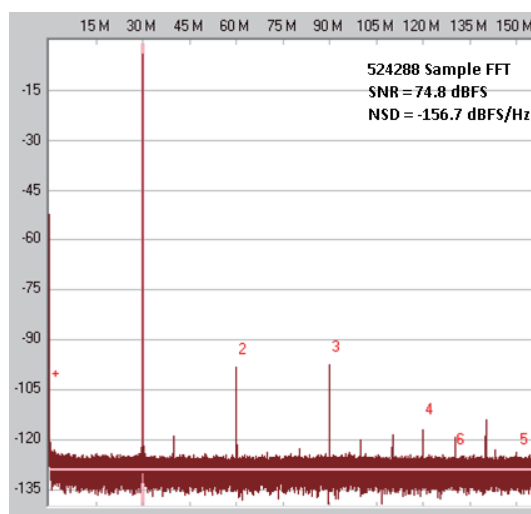


图2 (b). 相同的转换器、相同的性能——改变FFT大小也会改变频谱曲线中噪底的出现情况；顶部曲线的采样大小为8192，底部曲线的采样大小为524,288；注意，两条曲线的SNRFS约为74.8 dB

噪底不平时- $\Sigma\Delta$ 型调制器和其他频谱情况

目前为止，我们讨论的处理增益和过采样都假设噪声在转换器的奈奎斯特频带内是平坦的。很多情况下，这都是合理的假设，但也有多种情况不适用该假设。我们讨论了处理增益并不适用于杂散的事实，虽然过采样系统可能提供某些频率规划和杂散处理方面的优势。1/f噪声和部分类型的振荡器相位噪声将具有频谱整形性能，不适用处理增益计算。

噪声不平坦的一个重要区域是 Σ - Δ 型转换器部分。 Σ - Δ 型调制器使用围绕量化器的反馈进行调制器量化噪声整形——降低落入目标频段内的噪声，但代价是增加带外噪声(见图3)。可以看到，对于此类整形噪声，由丢弃带外噪声带来的增益远大于图1中的情况；事实上， Σ - Δ 型调制器针对经过调制器整形的噪声部分通常实现9 dB至15 dB/8倍频程或更高的处理增益(并非系统中的全部噪声源都由调制器反馈整形)。

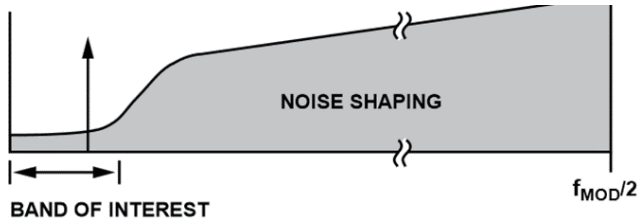


图3. 典型 Σ - Δ 型调制器的整形量化噪声

有关 Σ - Δ 型ADC更为详细的说明超出了本文的范围，但可以看到，对于 Σ - Δ 型调制器，使用NSD作为确定带内可用动态范围有规格尤为有效。图4显示的是高速带通 Σ - Δ 型ADC经过放大后的噪底曲线。在75 MHz目标频段内(中心频率为225 MHz)，噪声为-160 dBFS/Hz左右，SNR超过74 dBFS。

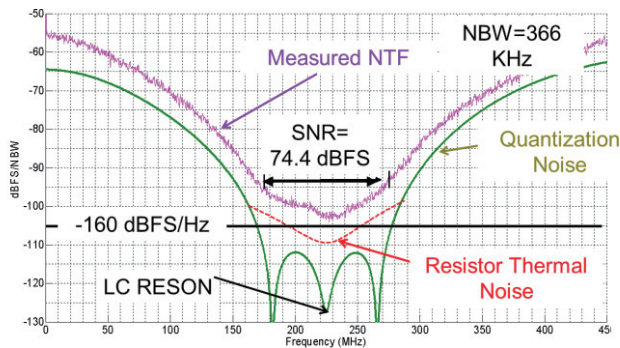


图4. AD6676带通 Σ - Δ 型ADC整形噪声

总结

不断丰富的高速和极高速ADC以及数字处理产品正使过采样成为宽带和射频系统的实用架构方法。半导体技术进步为提升速度以及降低成本做出了诸多贡献(比如价格、功耗和电路板面积)，让系统设计人员得以探索转换和处理信号的各种方法——无论使用具有平坦噪声频谱密度的宽带转换器，或是使用在目标频段内具有高动态范围的带限 Σ - Δ 型转换器。这些技术改变了我们对信号处理的认识，以及我们选择产品的方式。思考如何捕捉信号时，工程师可能会想到去比较在不同速度下工作的系统。进行这类比较，或者查看软件定义系统如何处理不同带宽的信号时，噪声频谱密度可以说比SNR规格更为有用。它不会替换其他规格，但将会是您规格列表上的有用项目。

致谢

作者希望借此机会向ADI公司高速转换器部门中为此文做出贡献的很多同事致谢，尤其是Allen Barlow、Paul Hendriks和Anthony DeSimone。

参考文献

MT-006 ADC噪声系数——一个经常被误解的参数(ADI公司，2014年)Kester, Walt.

选择合适的无源和分立元件以实现最高系统性能

作者: Tim Watkins, 核心应用部门, ADI公司

内容提要

有源和无源元件的选择对电源总体性能影响巨大。效率、产生的热量、物理尺寸、输出功率和成本都会在某种程度上依赖于所选的外部元件。本文描述了一个典型SMPS设计中, 对于下列外部无源和有源器件设计人员需要知道的最重要的规格。这些器件包括: 电阻、电容、电感、二极管和MOSFET。

对于效率至关重要的多供电轨应用, 开关模式电源(SMPS)已成为事实上的标准。在要求长电池续航时间的电池供电和便携式应用中尤其如此。

电源链设计有多种方式。可以使用降压转换器、升压转换器、降压/升压转换器以及其他几种拓扑结构。这些结构的共同点是表现出色的外部有源和无源元件才能使系统以最佳状态工作。

某些电源IC解决方案可能只需要三个外部元件, 如ADP2108降压调节器。因为它内置电源开关, 所以这种开关模式稳压器只需要三个外部元件: 一个输入电容、一个输出电容和一个电感。外部元件的上限几乎是无限的, 具体取决于拓扑结构和电源要求。面对设计中的成本、性能和系统可靠性问题, 设计人员必须知道哪些参数最为重要, 以便选择合适的元件。

电阻

电阻人人都懂, 其对SMPS的影响相当有限。然而, 在反馈、补偿和电流检测等使用它的场合, 必须了解其潜在影响。

使用可调稳压器时, 一般会使用外部电阻分压器网络来对输出电压分压, 以向稳压器提供反馈。在这里, 电阻容差和电阻温度系数都会产生影响。新式FPGA和处理器的内核电压更低, 因而对电源电压容差的要求更严格。对于1 V内核电压的FPGA, 5%容差只有50 mV。

图1显示了电阻容差和电阻温度系数如何对最终设计产生重大影响。

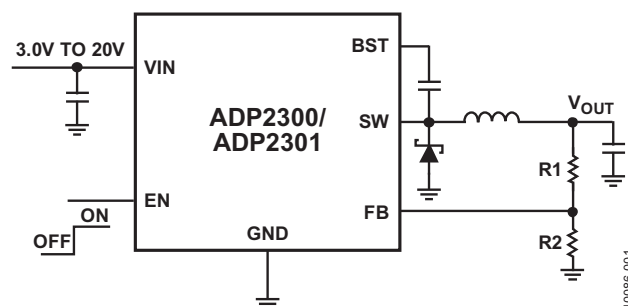


图1.

ADP2301降压调节器有一个0.8 V基准电压源。输出电压为:

$$V_{out} = 0.8 \text{ V} \times \left(\frac{R1 + R2}{R2} \right)$$

如果将电路的增益定义为

$$\frac{R1 + R2}{R2}$$

设计输出电压1 V, 选择R2 = 10 kΩ, 计算得出R1 = 2.5 kΩ。

电路的增益为:

$$\left(\frac{10\text{k} + 2.5\text{k}}{10\text{k}} \right) = 1.25$$

如果使用5%容差电阻并考虑最差情况，则增益为：

$$\left(\frac{10.5k + 2.375k}{10.5k} \right) = 1.226 \quad \text{or}$$

$$\left(\frac{9.5k + 2.625k}{9.5k} \right) = 1.276$$

对输出电压而言，这相当于±2%的容差。在要求电源电压容差为5%的系统中，上述容差已消耗掉较大一部分误差预算。

同样的设计如果使用1%容差电阻，则仅有±0.4%的误差。

电阻温度系数也会引起系统误差。如果R1的额定温度系数为+100 ppm/°C，R2为-100 ppm/°C，则温度升高100°C将引起额外的0.4%误差。由于这些原因，建议使用1%容差或更好的电阻。温度系数低至10 ppm/°C的电阻很容易购得，但会提高系统成本。

电容

电容在SMPS设计中有多重作用：储能、滤波、补偿、软启动编程等。像所有实际器件一样，电容有寄生效应，设计人员必须注意。就SMPS储能和滤波而言，两个最重要的寄生效应是有效串联电阻(ESR)和有效串联电感(ESL)。

图2所示为简化的实际电容图。

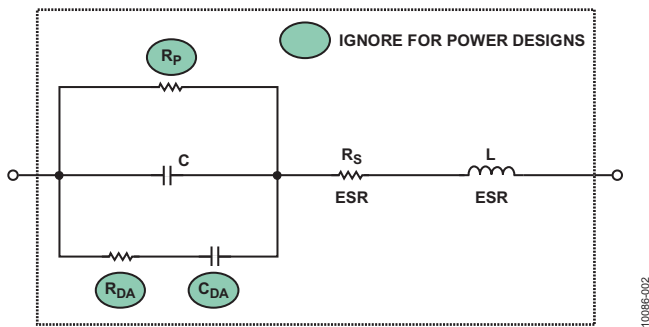


图2.

理想电容的阻抗会随着频率提高而单调下降。图3显示了两个不同100 μF电容的阻抗与频率的关系。一个是铝电解型，另一个是多层陶瓷电容。在较低频率时，阻抗随着频率提高而单调下降，符合预期。然而，由于存在ESR，在某一频率时，此阻抗会达到最小值。当频率继续提高时，电容开始表现得像一个电感，阻抗也会随之提高。阻抗与频率的关系曲线称为“浴盆”曲线，所有实际电容都有类似行为。

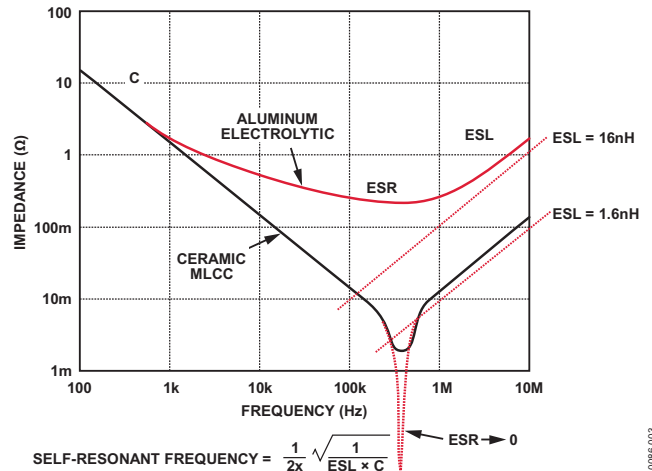


图3.

图4展示了降压转换器设计中的电容功能。输入电容会看到较大的非连续纹波电流。此电容需要能承受高纹波电流（低ESR）并具有低电感(ESL)，如果输入电容ESR过高，电容内将产生 I^2R 功耗。这会降低转换器效率，并且有可能使电容过热。输入电流的非连续性质还会与ESL相互作用，引起输入上的电压尖峰。这会给系统带来干扰噪声。降压转换器中的输出电容会看到连续的纹波电流，这种电流一般很低。为实现最佳的效率和负载瞬态响应，ESR应保持低值。

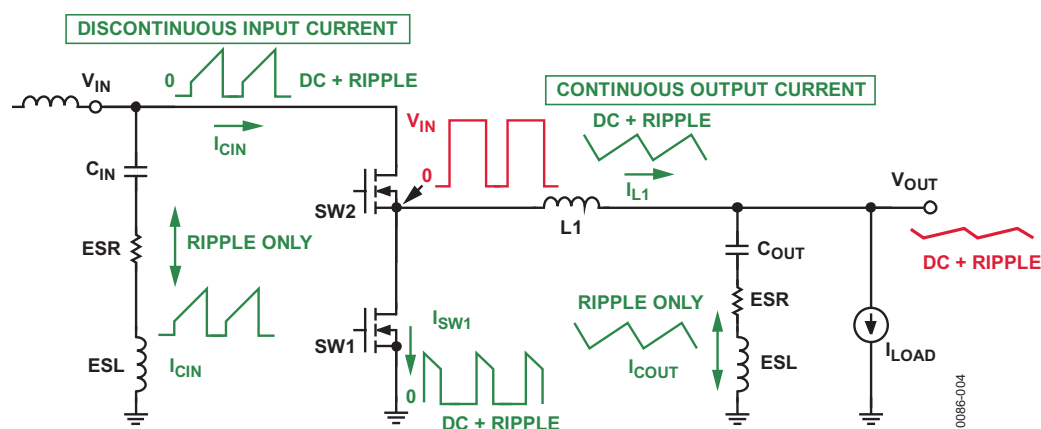


图4.

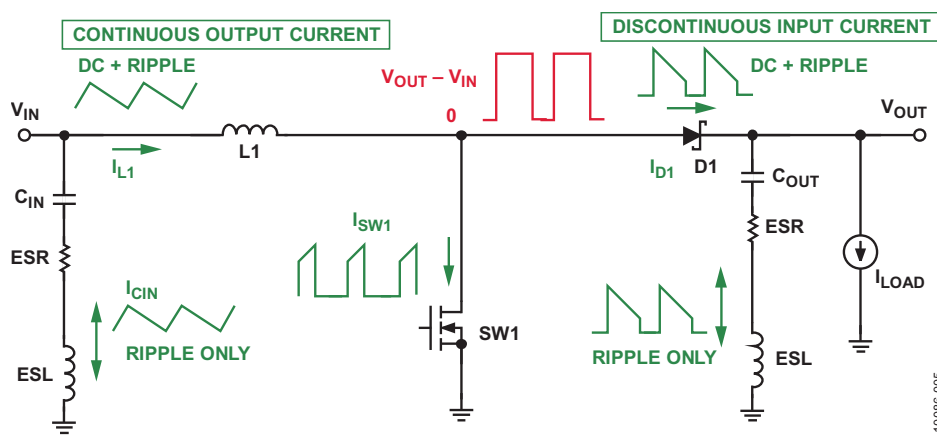


图5.

图5展示了升压转换器中的去耦电容功能。输入电容会看到连续的纹波电流。应选择低ESR电容，使输入上的电压纹波最小。输出电容会看到较大的非连续纹波电流。这里需要使用低ESR和低ESL的电容。

在降压/升压转换器中，输入和输出电容均会看到非连续纹波电流。这种拓扑结构需要使用低ESR和低ESL的电容。

多个电容并联以获得较大的电容也许是明智的。并联情况下电容会增加，而ESR和ESL则会降低。让两个或更多电容并联，便可获得较大的电容和较低的电感与电阻。很多时候，只有利用这种办法才能获得所需的大电容值和低ESR，从而满足设计要求。

使用ADI公司的ADIsimPower等在线设计工具会将这些权衡因素考虑进去，帮助您优化设计。

电容有多种类型可供选择。铝电解电容、钽电容和多层陶瓷电容是三种最常见的类型。像大多数设计决策一样，选择合适的类型涉及一系列权衡因素。

铝电解电容的容值大、成本低，在所有选择中，其成本/ μF 比最佳。铝电解电容的主要缺点是ESR较高，可达数欧姆。务必使用开关型电容，因为其ESR和ESL比通用型要低。铝电解电容还依赖于电解质，由于电解质会逐渐变干，因此电容寿命较短。

钽电容使用钽粉末作为电介质。与同等铝电容相比，钽电容能以更小的封装提供更大的容值，不过成本较高。ESR通常在100 mΩ范围内，比铝电容低。钽电容不使用液态电解质，因而寿命比铝电解型要长。由于这个原因，钽电容在高可靠性应用中很受欢迎。钽电容对浪涌电流敏感，有时需要串联电阻来限制浪涌电流。务必不要超过制造商建议的浪涌电流额定值和电压额定值。钽电容失效时，可能会烧毁并冒烟。

多层陶瓷电容(MLCC)提供极低的ESR(<10 mΩ)和ESL(<1 nH)，采用小型表贴封装。MLCC的最大容值可达100 μF，不过当容值大于10 μF时，物理尺寸和成本会增加。请注意MLCC的电压额定值及其结构中使用的电介质。实际容值会随着施加的电压而变化，这称为电压系数。依据所选的电介质，这种变化可能非常大。图6显示了三种不同电容的容值与施加电压的关系。X7R型电介质性能最佳，大力推荐使用。由于电介质的压电效应，陶瓷电容对PCB振动敏感，所产生的电压噪声可能会扰乱PLL等敏感模拟电路。在此类敏感应用中，不受振动影响的钽电容可能是更好的选择。

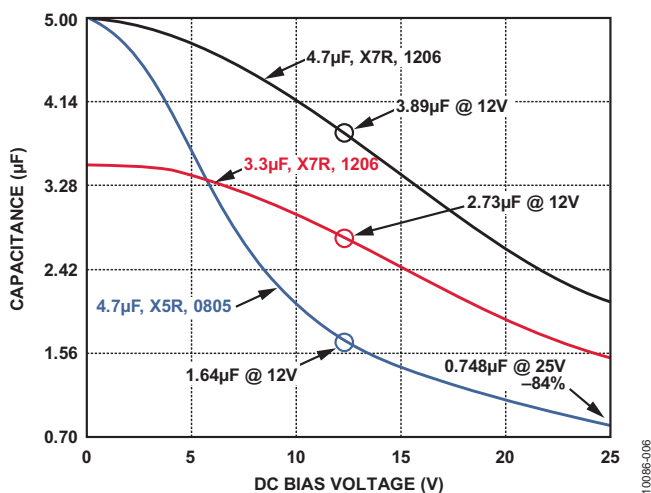


图6.

电感

电感是磁性储能元件，通常是将线圈缠绕在磁芯上构成。电流流过电感时，会在磁芯中感生一个磁场。该磁场就是储能机制。由于电感中的电流无法立即改变，因此，当把一个电压施加于电感时，电流会斜坡上升。图7显示了电感中的电流波形。

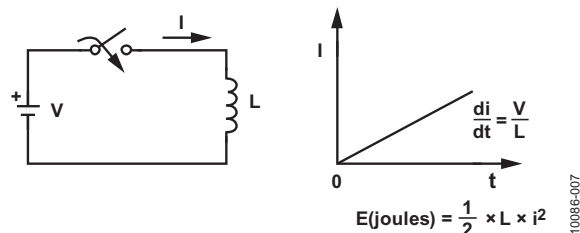


图7.

开关闭合时，全部电压(V)出现在电感上。电感中的电流以V/L的速率斜坡上升。开关断开时，电流以同样的速率斜坡下降，磁场消失，并产生一个大电压。该磁场就是储能机制。图8给出了电感的简化模型。

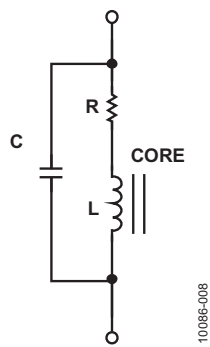


图8.

除电感外，还有串联电阻(DCR)和并联电容。DCR主要是由线圈电阻引起的，对电感的功率损耗计算很重要。并联电容与电感一起可能引起电感自谐振。自谐振频率可以通过下式计算：

$$f_{Resonance} = \frac{1}{2\pi} \sqrt{\frac{1}{LC}}$$

一个有效的经验法则是，让开关频率始终比电感的自谐振频率低10倍。在大多数设计中，这不是问题。

电感的功率损耗会引起电感温度升高和效率降低。电感的功率损失主要有两类，设计人员对这两类均要了解。绕组电阻(DCR)损耗就是导线的 $I^2 \times R$ 损耗，也称为铜损耗。电感功率损耗的另一个因素是所谓铁芯损耗。铁芯损耗是铁芯内磁滞和涡电流的综合效应。铁芯损耗的计算要困难得多，可能连数据手册上都不会提供，但会引起铁芯功耗和温度上升。ADI公司已从电感制造商处获得铁芯损耗信息，并将其纳入在线设计工具ADIsimPower中。这样，设计人员就能获得精确的铁芯损耗信息，以及其对SMPS整体设计的影响。

图9展示了降压和升压两种电源设计中的电感功能。电感的主要作用是储能，但也可用作滤波器。选择电感值时，首先要确定期望的最大纹波电流。一个很好的出发点是：对降压转换器，使用直流负载电流的30%；对升压转换器，使用直流输入电流的30%。这样就可以利用图9中的公式计算电感值。

现成电感的容差可能高达 $\pm 30\%$ ，计算时务必加以考虑。另外还要根据下式选择电感：

$$I_{sat} \geq I_{dc} + \frac{I_{ripple}}{2}$$

其中 I_{sat} 为电感的饱和电流。饱和电流是指电感感值降低某一百分比时流过的电流。此百分比随制造商不同而异，范围在10%到30%之间。选择电感时，务必注意饱和电流随温度而变化，因为电感很可能要在高温下工作。最差情况下，电感值降低10%一般是可接受的。使用大于必要值的电感会占用更多的PCB面积，并且成本通常更高。较高的开关频率支持使用值较低的电感。

用于SMPS的电感主要有两种铁芯材料：铁粉芯和铁氧体。铁粉芯的材料之间的气隙，导致饱和曲线较平缓。因此，采用这种铁芯材料的电感更适合需要大瞬时电流的应用。

铁氧体磁芯电感会更快速地饱和，但成本和铁芯损耗较低。

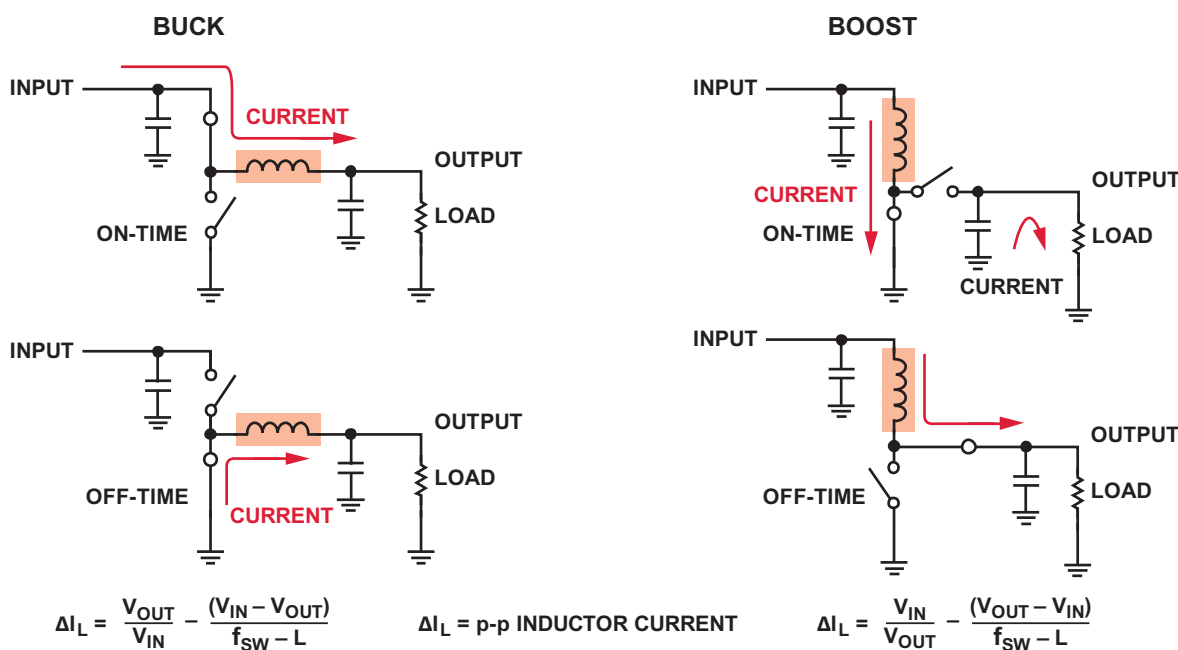


图9.

10086-009

为电路选择合适的电感值并不是简单的计算，但多数设计可支持范围相当宽的电感值。

低值电感的优势有：

- 更低的DCR
- 更高的饱和电流
- 更高的 di/dt
- 更快的开关频率
- 更好的瞬态响应

高值电感的优势有：

- 更低的纹波电流
- 更低的铁芯损耗
- 电路开关中的电流有效值更低
- 满足输出纹波要求所需的电容更低

电感家族中一个相对较新的成员是多层芯片电感。这种芯片电感的物理尺寸非常小(0805)，支持超小型设计。电感值目前最高可达 $4.7\mu\text{H}$ ，因此，一般适合较高开关频率的设计。小尺寸也限制了其电流处理能力(约1.5 A)，因此，不能用于较高功率的设计。与标准绕线电感相比，芯片电感成本更低、尺寸更小、DCR更低，设计人员可以酌情使用。

屏蔽电感与无屏蔽电感

虽然屏蔽电感较昂贵且饱和电流较低(物理尺寸和电感值相同的情况下)，但它能大大降低EMI。为了帮助消除设计的EMI问题，使用屏蔽电感是值得的。开关频率较高时尤其如此。

二极管

异步开关电源设计采用无源开关。该开关通常是一个二极管。然而，由于二极管的正向压降，异步设计的输出一般小于3 A，否则效率会大幅下降。

除最高电压设计外，异步稳压器建议使用肖特基二极管，其击穿电压最高可达100 V左右。与硅二极管相比，肖特基二极管的正向压降较低，因而功耗显著降低。

另外，其反向恢复时间为0，这也能消除二极管的开关损耗。

肖特基二极管还提供超低正向压降版本。不过其击穿电压最高只有40 V左右，成本也略高，但可进一步降低二极管的功耗。

选择二极管时，必须考虑正向压降、击穿电压、平均正向电流和最大功耗。应选择正向压降尽可能低的器件，但务必使用数据手册中与设计电流相关的正向压降值。很多时候，随着正向电流增加，正向压降会大幅提高。正向压降越高，器件功耗越大。这又会降低转换器效率，并且有可能使二极管过热。

二极管的正向电压温度系数为负值。这是一把双刃剑。一方面，随着二极管温度升高，正向压降会降低，因而器件的功耗会减小。然而，由于这一效应，不宜使用并联二极管来分流，因为其中一个二极管往往会处于支配地位，得到并联系统中的所有电流。

二极管的击穿电压额定值应高于系统电压。正向电流额定值应大于电路中设计的电感电流有效值。当然，二极管必须能够消散足够的功率，避免过热。所选器件的最大功耗额定值应大于设计要求。ADI公司的在线电源设计工具 [ADIsimPower](#) 有一个很大的二极管数据库，致力于帮您选择最适合特定应用的器件。

MOSFET

开关电源中的“开关”一般是MOSFET。超高电压和电流设计可能会使用IGBT型晶体管。

MOSFET主要分为N沟道和P沟道两大类，两者各有千秋。

N沟道增强模式器件需要一个正栅极-源极电压才能导通，导通电阻低于相同大小的P沟道器件，成本也更低。

P沟道器件需要一个负栅极-源极电压才能导通，导通电阻较大，成本略高。

由于要求栅极-源极电压为正，N沟道器件往往更难以驱动，因为可能需要将栅极驱动到系统主电源电压以上。这通常是由一个简单的自举电路来处理，但会增加系统的成本和复杂性。最新的IC稳压器包括自举二极管，可降低成本和元件数。

P沟道器件则很容易驱动，无需附加电路。使用P沟道MOSFET的缺点是成本和导通电阻较高。

选择MOSFET时，必须注意一些关键性能参数： R_{ds} 、 V_{ds} 、 V_{gs} 、 C_{dss} 、 C_{gs} 、 C_{gd} 和 P_{max} (排名不分先后)。

R_{ds} 为驱动栅极时器件的导通电阻。在SMPS中， R_{ds} 越低越好。这样可以降低器件的 $I^2 \times R$ 功耗并提高效率。MOSFET的一个良好特性是 R_{ds} 具有正温度系数。这使得MOSFET非常适合并联使用，因为并联时，器件会均等地分享电流。

V_{ds} 表示MOSFET的击穿电压。应选择大于系统电压的击穿电压额定值。击穿电压越高通常意味着成本越高，因此不要使用额定值过大的器件。

V_{gs} 指栅极-源极阈值电压。这是使器件导通所需的电压。

MOSFET器件存在最大电流额定值和最大功耗额定值，不得超过这些额定值。内部功耗主要有两个来源： $I^2 \times R_{ds}$ 和开关损耗。

当MOSFET(开关)导通时，功耗只有一个来源，即 $I^2 \times R_{ds}$ 损耗。开关关断时，器件无功耗。但在转换期间，器件会有功耗。转换期间的功耗称为开关损耗。

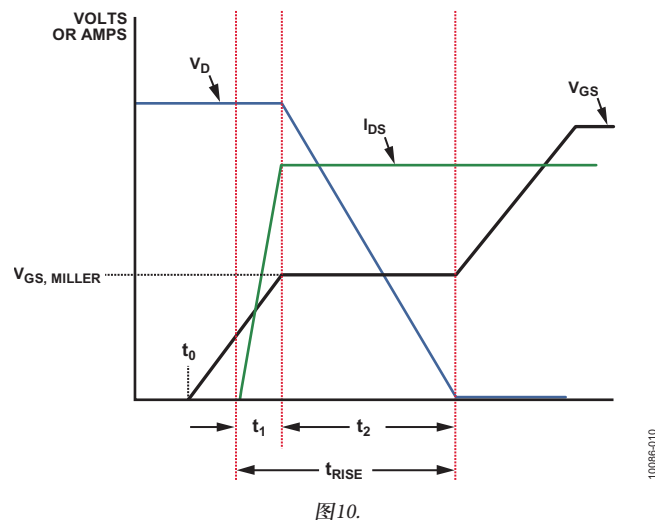


图10所示为开关损耗曲线。它主要是栅极上的电容引起的，包括栅极-源极电容和栅极-漏极电容。要导通和关断MOSFET，必须对这些电容充电和放电。注意图10中的电压和电流波形。导通期间，在一定时间内，器件上不仅存在电压，而且还有电流流过。这会导致器件的 $V \times I$ 功耗。频率越高，开关损耗越大。这是SMPS设计中诸多权衡因素之一。频率越低，电感和电容越大，效率越高。频率越高，电感和电容越小，但损耗较大。

小结

设计SMPS时，辅助元件的选择常常屈居于控制器或稳压器IC之后，但有源和无源元件的选择对电源总体性能影响巨大。效率、产生的热量、物理尺寸、输出功率和成本都会在某种程度上依赖于所选的外部元件。为了做出最佳选择，需要仔细分析性能要求。使用ADI公司的ADIsimPower等集成设计工具可简化这一过程。ADIsimPower允许用户输入设计条件，包括决定电路板空间、价格、效率或成本的优先顺序。然后，它会执行所有必要的计算来分析设计，

并推荐符合设计条件的元件。[ADIsimPower](#)有一个很大的元件数据库，数据来自各家制造商。某些情况下，该工具甚至会使用制造商未公开的数据以便给出最精准的建议。

资源

有关ADIsimPower设计工具的信息，请访问：www.analog.com/cn/ADIsimPower

征服恶劣环境—面向极端高温应用的低功耗、精密、高温器件

作者：应用工程师Jeff Watson和应用工程师Maithil Pachchigar, Analog Devices, Inc.

简介

提到恶劣环境，世界上最具挑战性的应用之一无疑是井下钻探。油田服务公司正在挑战技术极限，设计必须能承受极端压力、冲击和振动的精密设备，同时该设备需要具有较长的电池使用寿命且尺寸极小。但是，对于在此环境中使用的电子设备，最大挑战也许是极端温度。这里的高温与深度成函数关系；而地热梯度平均约为25°C/km，在某些地区，还可能更高。随着全球能源需求日益增大，推动着人们去钻探和开发这些过去一直无从下手的热井。不幸的是，在这种环境中根本无法冷却电子设备。正因如此，行业需要必须能在200°C以上的环境中可靠工作的精密仪器。确实，较高的故障成本更是突显了可靠性的重要。在地下数英里作业的钻柱如果出现电子组件故障，需要一天以上的时间来检修及更换，操作复杂深水海上钻井平台每天大约需要花费50多万美元。

除了石油和天然气勘探外，高温电子器件还有其他的新兴应用。航空业正日益向“多电子飞机”的趋势发展。这一方案一方面是为了用分布式控制系统取代传统集中式发动机控制器，分布式控制系统将发动机控制系统放置在离发动机较近的地方，显著降低了互连的复杂性，使飞机的重量减轻了数百磅。此方案的另一方面是要用电力电子和电子控制系统取代液压系统，以提升可靠性，减少维护成本。

理想状态下，控制电子设备必须离执行器很近，这也会产生较高的环境温度。类似于航空电子喷气发动机，用于发电的重工业燃气轮机需要控制系统和仪器仪表。

高额定温度的IC

过去，由于无法获得高温IC，高温电子设备设计人员只能使用超出其额定规格的器件。尽管有些标准温度IC可能具有超出规格的有限功能，但使用起来非常困难，并且十分危险，可靠性或性能毫无保障。例如，工程师必须确定可能选用的器件，充分测试并描述其温度性能，并验证其长期可靠性。器件的性能和寿命经常会大幅递减，并在制造批次之间可能有巨大差异。这一过程充满挑战且昂贵耗时，设计人员都是唯恐避之不及。此外，目标设计温度过渡到175°C，并且需要更先进的封装，即使只是为了在较短的持续时间保持可靠性。

幸运的是，近年来的发展使得能够买到现成的高额定温度IC。ADI公司高温产品组合中的产品采用专门工艺技术、电路设计和封装并经过全面的特性、验证和生产测试计划测试，能够保证以数据手册规格在高温下可靠工作。

高温信号链

尽管我们提到了高温电子设备的一些不同的最终应用，从石油勘探到航空电子再到重工业领域，这些应用在信号链中存在几个共同的要求。其中大多数系统需要从多个传感器获取精密数据或需要高吞吐速率。另外，其中许多应用具有严格的功耗预算，因为它们都是采用电池运行，或无法容忍因电子设备自热而增加的额外温度。因此，需要一个低功耗数据采集信号链，由传感器、精密模拟元件和高吞吐速率ADC组成。

尽管现在可以购买到商用高额定温度IC，如今的电路构建模块选择也仍然有限。特别是，没有低功耗、采样速率高于100 kSPS且额定工作温度超过200°C的商用精密ADC。对于需要采集并处理较宽带宽信号或想要多路复用通道的电路设计人员，这是一个非常令人头疼的问题。为满足这种需求，ADI最近发布了AD7981 ADC；在16位分辨率下，该器件的采样速率可高达600 kSPS，同时维持低功耗和极小的尺寸。现在提供额定温度为175°C的10引脚MSOP封装，以及额定温度为210°C的陶瓷扁平封装，裸片版本也即将推出。作为案例研究，我们将进一步详细探讨此ADC的特性，了解它如何在极端温度下实现突破性能和可靠性。

AD7981高温ADC

AD7981是一款16位、低功耗、单电源ADC，采用采样速率高达600 kSPS的逐次逼近型架构(SAR)。它基于ADI成熟的SAR内核，该内核已在大量工业和仪器仪表系统中使用。该架构基于ADI的专有电荷再分配容性DAC技术。CMOS制造工艺之所以可在高温下实现优异性能，其部分原因就在于这些电容在整个温度范围内的匹配和跟踪特性。此外，还对采集电路进行了优化，以提高高温环境下的精度。

AD7981的典型应用信号链如图1所示，其中轨到轨输出、精密、低功耗、双通道高温认证放大器AD8634用于驱动AD7981的输入，并作为基准电压缓冲器与低温漂移的高温认证ADR225 2.5 V基准电压源配合使用。AD7981需要两个电源：一个模拟和数字内核电源(VDD)，以及一个与1.8 V和5 V之间的任何逻辑直接接口的数字输入/输出接口电源(VIO)。VIO和VDD引脚可以连在一起，以减少所需的电源数。

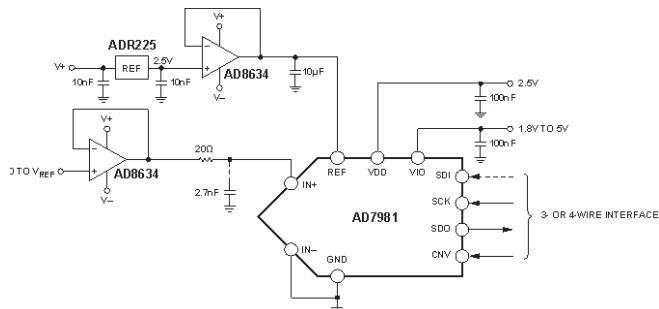


图1. AD7981应用信号链

AD7981提供出色的交流和直流性能并具有 ± 0.7 LSB INL、 -102 dB THD和91 dB SNR的典型规格，因此即使在175°C的高温下，也能实现高动态范围和更好的精度。AD7981的典型INL与代码的关系图如图2所示。

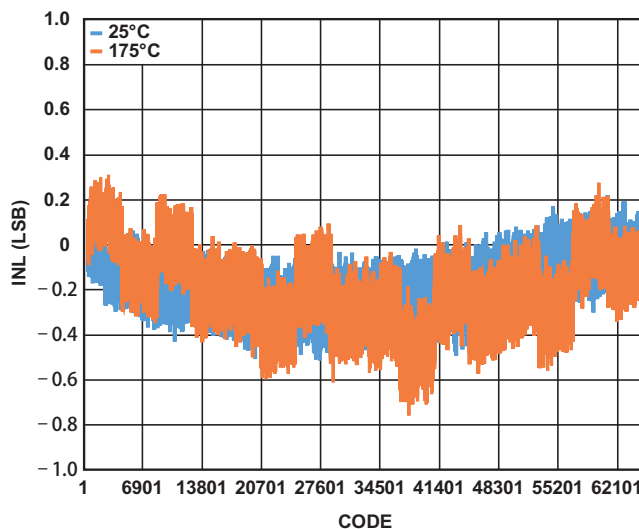


图2. AD7981的非线性误差与温度的关系

AD7981在不同温度下宽输入频率范围内的信纳比(SINAD)性能如图3所示。

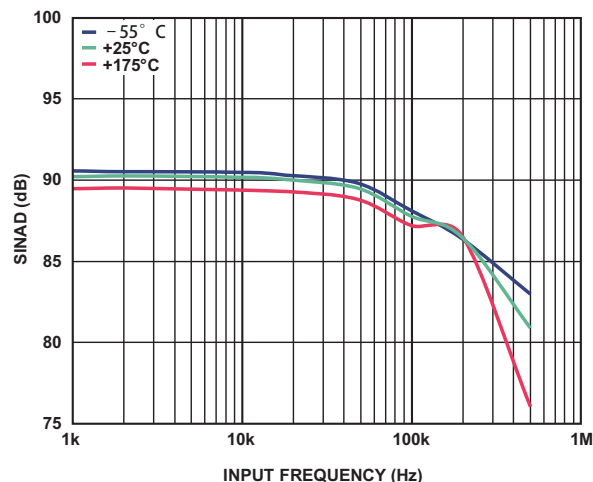


图3. 在整个温度范围内SINAD与频率的关系

AD7981通过使功耗和吞吐速率呈线性变化关系,在600 kSPS满吞吐率时功耗典型值约为4 mW,10 kSPS时为70 μ W,最大程度地延长了恶劣环境中的电池使用寿命,如图4所示。AD7981在转换之间会自动关断,以便节省功耗。这使得该器件特别适合于低采样速率的应用(即使只有几赫兹),并使电池供电系统实现极低的功耗。

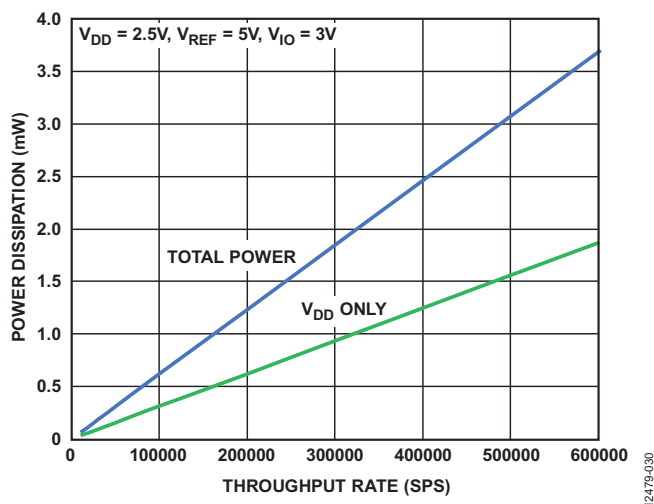


图4. AD7981功耗与吞吐速率的关系

AD7981提供与SPI和其他数字主机兼容的灵活串行数字接口。它可以配置为具有最低I/O计数的简单3线模式,或允许菊花链回读和同步采样选项的4线模式。对于多通道数据采集系统,AD7981可以轻松与多路复用器配合使用,因为它集成了片内采样保持电路,并且SAR架构不存在流水线延迟。

高温封装

拥有能够在高温下工作的高性能芯片时,我们只成功了一半。可靠封装对于必须能承受恶劣高温环境的集成电路至关重要。封装必须能提供对环境的足够保护和与PCB的可靠互连,同时尺寸适合系统的任务剖面。

尽管可靠封装有许多考虑因素,高温环境下其中一个主要故障点是线焊。这种故障在行业中常见的塑料封装中尤其成问题,其中金色焊线和铝焊盘是标准配置。高温会加速金/铝金属间化合物的生长。这些金属间化合物与焊接故障相关联,如脆性焊线和空洞,可能时刻都会发生,如图5所示。为了避免这些故障,ADI使用焊盘金属化(OPM)工艺形成金焊盘表面,以便连接焊线。此单金属系统不会形成

金属间化合物,在我们的认证测试中已经证明是可靠的,在195°C条件下预备超过6000小时,如图6所示。尽管ADI在195°C展现出可靠的焊接性能,但是受限于模塑化合物的玻璃化转变温度,塑料封装的额定工作温度最高仅到175°C。

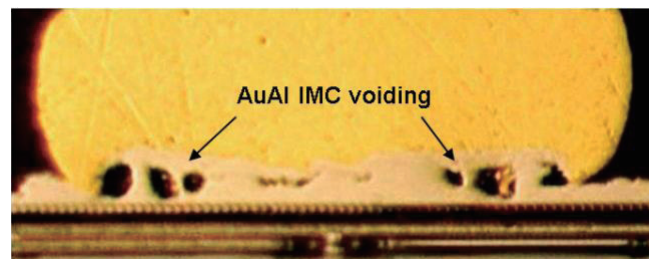


图5. 铝盘上的金球焊(195°C时500小时后)

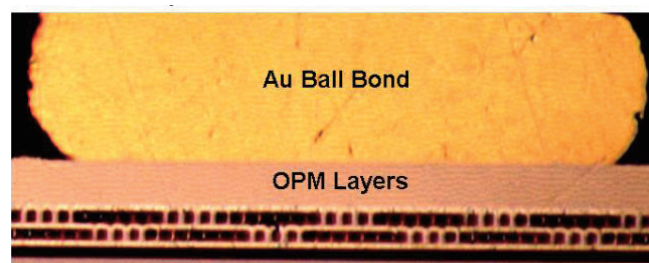


图6. OPM上的金球焊(195°C时6000小时后)

应用示例

上述AD7981重要特性组合,如高性能、稳定性、低功耗和灵活配置,符合恶劣高温环境中精密测量应用的重要性能标准,如地下石油和天然气勘探以及工业、仪器和航空电子应用。

AD7981属于不断增长的高温产品组合,能够实现从传感器到处理器的精密模拟信号处理。AD7981与ADR225 2.5 V基准输出电压源和AD8634/AD8229放大器配套用于信号调理。高额定温度的MEMS惯性传感器,如ADXL206加速度计和ADXRS645陀螺仪,为设计人员提供有关系统方向和运动的信息。使用这些器件的井下勘探仪器仪表的简化信号链如图7所示。

在此应用中，对各种井下传感器的信号进行了采样，以便收集周围的地质构造数据。这些传感器可能采用电极、线圈、压电或其他传感器的形式。加速度计、磁力计和陀螺仪提供有关钻柱的倾斜、方位角、旋转速率、冲击和振动的信息。其中部分传感器的带宽极低，而其他传感器可能具有音频范围及更高范围的相关信息。AD7981能够从具有不同带宽要求的传感器采样数据，同时保持功效。小尺寸使其可以轻松地在空间受限的布局中容纳多个通道，如井下钻探工具中常用的极窄电路板宽度。此外，灵活的数字接口则允许在要求更苛刻的应用中进行同步采样，同时还允许对低引脚计数的系统进行简单的菊花链回读。

小结

总而言之，极端高温成为恶劣环境系统中的最大挑战之一。但是，新的高额定温度IC(如AD7981)使设计人员能够采用现成的高精度、低功耗且质量可靠的器件，来克服这种挑战。

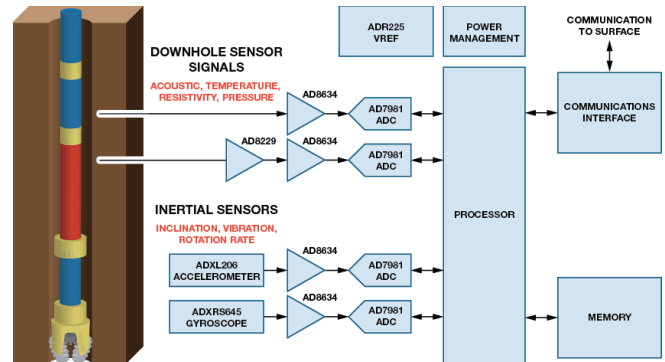


图7. 井下钻探仪器仪表的简化信号链

利用数字隔离器技术增强工业电机控制性能

作者：Dara O'Sullivan(系统工程师)和Maurice Moroney(技术营销经理)，ADI公司

隔离类型简介

隔离用户及敏感电子部件是电机控制系统的重要考虑事项。安全隔离用于保护用户免受有害电压影响，功能隔离则专门用来保护设备和器件。电机控制系统可能包含各种各样的隔离器件，例如：驱动电路中的隔离式栅极驱动器；检测电路中的隔离式ADC、放大器和传感器；以及通信电路中的隔离式SPI、RS-485、标准数字隔离器。无论是出于安全原因，还是为了优化性能，都要求精心选择这些器件。

虽然隔离是很重要的系统考虑，但它也存在缺点：会提高功耗，跨过隔离栅传输数据会产生延迟，而且会增加系统成本。系统设计师传统上求助于光隔离方案，多年来，它是系统隔离的当然选择。最近十年来，基于磁性(变压器传输)方法的数字隔离器提供了一种可行且在很多时候更优越的替代方案；从系统角度考虑，它还具备系统设计师可能尚未认识到的优点。

本文将讨论这两种隔离解决方案，重点论述磁隔离对延迟时序性能的改善，以及由此给电机控制应用在系统层面带来的好处。

隔离方法

光耦利用光作为主要传输方法，如图1所示。发送侧包括一个LED，高电平信号开启LED，低电平信号关闭LED。接收侧利用光电检测器将接收到的光信号转换回电信号。隔离由LED与光电检测器之间的塑封材料提供，但也可利用额外的隔离层(通常基于聚合物)予以增强。

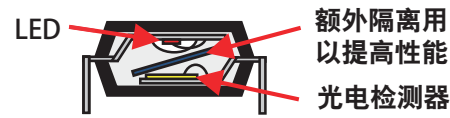


图1. 光耦结构

光耦的最大缺点之一是：LED老化，会使传输特性漂移；设计人员必须考虑这一额外问题。LED老化导致时序性能随着时间和温度而漂移。因此，信号传输和上升/下降时间会受影响，使设计复杂化，尤其是考虑到本文后面要处理的问题。

光耦的性能扩展也是受限的。为了提高数据速率，必须克服光耦固有的寄生电容问题，该问题会导致功耗升高。寄生电容还会提供耦合机制，导致基于光耦的隔离器件的CMTI(共模瞬变抗扰度)性能劣于竞争方案。

磁隔离器(基于变压器)已大规模应用十多年，是光耦合器的有效替代方案。这类隔离器基于标准CMOS技术，采用磁传输原理，隔离层由聚酰亚胺或二氧化硅构成，如图2所示。低电平电流以脉冲方式通过线圈传输，产生一个磁场，磁场穿过隔离栅，在隔离栅另一侧的第二线圈中感生一个电流。由于采用标准CMOS结构，其在功耗和速度方面具有明显优势，而且不存在光耦合器相关的寿命偏差问题。此外，基于变压器的隔离器的CMTI性能优于基于光耦合器的隔离器。

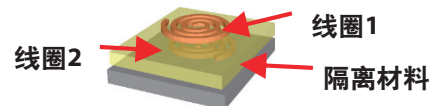


图2. 磁性变压器结构

基于变压器的隔离器还允许使用常规的信号处理模块(防止传输杂散输入)和高级传输编解码机制。这样就可以实现双向数据传输,使用不同编码方案来优化功耗与传输速率的关系,以及将重要信号更快速、更一致地传输到隔离栅另一端。

延迟特性比较

所有隔离器的一个重要但常常被轻视的特性是其传输延迟。此特性衡量信号(可以是驱动信号或故障检测信号)沿任一方向跨过隔离栅所需的时间。技术不同,传输延迟差别很大。通常提供的是典型延迟值,但系统设计师特别关注最大延迟,它是设计电机控制系统需要考虑的重要特性。表1给出了光耦合器和磁隔离栅极驱动器的传输延迟和延迟偏差值示例。

表1: 光耦合器和磁隔离器的典型延迟特性

隔离器类型	最大传输延迟	传输延迟偏差
光耦合器	最大700 ns	200 ns
磁隔离器	60 ns	12 ns

如表1所示,磁隔离在最大延迟和延迟可重复性(偏差)方面优势明显。这样,电机控制设计人员对设计将更有信心,无需增加时序裕量以满足栅极驱动器特性。对于电机控制系统的性能和安全,这都有着非常重要的意义。

对电机控制系统的系统影响

图3显示了交流电机控制应用中采用的典型三相逆变器。该逆变器由直流母线供电,直流电源通常是通过二极管桥式整流器和容性/感性-容性滤波器直接从交流电源产生。在大部分工业应用中,直流母线电压在300 V至1000 V范围内。采用脉宽调制(PWM)方案,以5 kHz至10 kHz的典型频率切换功率晶体管T1至T6,从而在电机端子上产生可变电压、可变频率的三相正弦交流电压。

PWM信号(如PWMaH和PWMaL)在电机控制器(一般用处理器和/或FPGA实现)中产生。这些信号一般是低压信号,与处理器共地。为了正确开启和关闭功率晶体管,逻辑电平信号的电压电平和电流驱动能力必须被放大,另外还必须进行电平转换,从而以相关功率晶体管发射极为接地基准。根据处理器在系统中的位置,这些信号可能还需要安全绝缘。

栅极驱动器(如图3中的GDRVaL和GDRVaH)执行这种功能。每个栅极驱动器IC都需要一个以处理器地为基准的原边电源电压和一个以晶体管发射极为基准的副边电源。副边电源的电压电平必须能够开启功率晶体管(通常为15 V),并有足够的电流驱动能力来给晶体管栅极充电和放电。

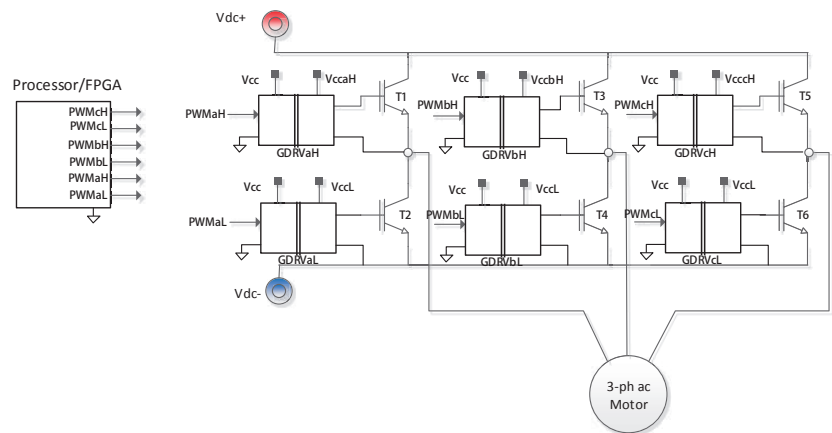


图3. 电机控制应用中的三相逆变器

逆变器死区时间

功率晶体管有一个有限的开关时间，因此，上桥和下桥晶体管之间的脉宽调制波形中必须插入一个死区时间，如图4所示。这是为了防止两个晶体管意外同时接通，引起高压直流母线短路，进而造成系统故障和/或损坏风险。死区时间的长度由两个因素决定：晶体管开关时间和栅极驱动器传输延迟失配(包括失配的任何漂移)。换言之，死区时间必须考虑PWM信号从处理器到上桥和下桥栅极驱动器之间的晶体管栅极的任何传输时间差异。

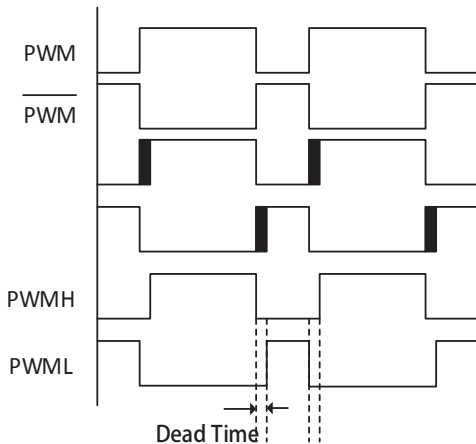


图4. 死区时间插补

死区时间会影响施加到电机的平均电压，尤其是在低速运转时。实际上，死区时间会带来以下近似恒定幅度的误差电压：

$$V_{ERROR} = \frac{t_{DEAD} + t_{ON} - t_{OFF}}{T_s} (V_{DC} - V_{SAT} + V_D) + \frac{V_{SAT} + V_D}{2}$$

其中， V_{ERROR} 为误差电压， t_{DEAD} 为死区时间， t_{ON} 和 t_{OFF} 为晶体管开启和关闭延迟时间， T_s 为PWM开关周期， V_{DC} 为直流母线电压， V_{SAT} 为功率晶体管的导通状态压降， V_D 为二极管导通电压。

当一个相电流改变方向时，误差电压改变极性，因此，当线路电流过零时，电机线间电压发生阶跃变化。这会引入正弦基波电压的谐波，进而在电机中产生谐波电流。对于

开环驱动采用的较大低阻抗电机，这是一个特别重要的问题，因为谐波电流可能很大，导致低速振动、扭矩纹波和谐波加热。

在以下条件下，死区时间对电机输出电压失真的影响最严重：

- 高直流母线电压
- 长死区时间
- 高开关频率
- 低速工作，特别是在控制算法未添加任何补偿的开环驱动中

低速工作很重要，因为正是在这种模式下，施加的电机电压在任何情况下都非常低，死区时间导致的误差电压可能是所施加电机电压的很大一部分。此外，误差电压导致的扭曲抖动的影响更有害，因为对系统惯性的滤波只有在较高速度下才可用。

在所有这些参数中，死区时间长度是唯一受隔离式栅极驱动器技术影响的参数。死区时间长度的一部分是由功率晶体管的开关延迟时间决定的，但其余部分与传播延迟失配有关。在这方面，光隔离器显然不如磁隔离技术。

应用示例

为了说明死区时间对电机电流失真的影响，下面给出了基于三相逆变的开环电机驱动的结果。逆变器栅极驱动器采用ADI公司的磁隔离器(ADuM4223)，直接驱动IR的IRG7PH46UDPBF 1200 V IGBT。直流母线电压为700 V。逆变器驱动开环V/f控制模式下的三相感应电机。利用阻性分压器和分流电阻，并结合隔离式Σ-Δ调制器(同样是来自ADI公司的AD7403)，分别测量线电压和相电流。各调制器输出的单位数据流被送至控制处理器(ADI公司的ADSP-CM408)的sinc滤波器，数据在其中进行滤波和抽取后，产生电压和电流信号的精确表示。

sinc数字滤波器输出的线电压实测结果如图5所示。实际线电压为10 kHz的高开关频率波形，但它被数字滤波器滤除，以便显示我们感兴趣的低频部分。相应的电机相电流如图6所示。

ADuM4223栅极驱动器的传输延迟失配为12 ns，因此可以使用IGBT开关所需的绝对最短死区时间。对于IR IGBT，最短死区时间可设置为500 ns。从左图可看出，这种情况下的电压失真极小。同样，相电流也是很好的正弦波，因此扭矩纹波极小。右图显示死区时间提高到1 μ s时的线电压和相电流。此值更能代表光耦合栅极驱动器的需求，因为其传播延迟失配和漂移更大。电压和电流的失真均有明显增加。这种情况使用的感应电机是相对较小的高阻抗电机。在更高功率的终端应用中，感应电机阻抗通常要低得多，导致电机电流失真和扭矩纹波增加。扭矩纹波在很多应用中都会产生有害影响，例如：电梯乘坐舒适度下降或机械系统中的轴承/联轴器磨损。

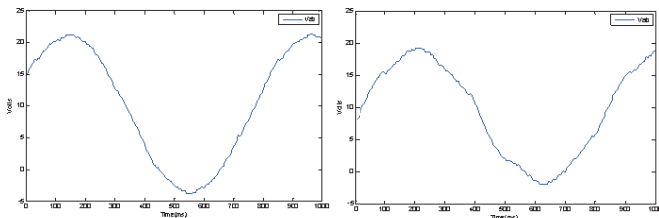


图5. 实测线间电机电压：(左)500 ns死区时间；(右)1 μ s死区时间

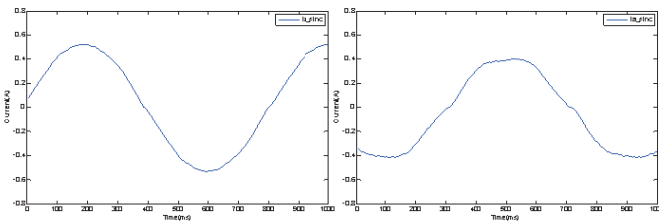


图6. 实测电机电流：(左)500 ns死区时间；(右)1 μ s死区时间

过流关断

现代栅极驱动器的另一个重要问题是处理器发出的关断命令能以多快的速度在IGBT上实现。这对于以下情况中的过流关断很重要：过流检测不是栅极驱动器本身的一部分，而是作为检测与滤波电路的一部分加以实现。这方面的另一个压力是更高效率IGBT的短路耐受时间缩短。对此，IGBT技术的趋势是从业界标准10 μ s缩短到5 μ s甚至更短。如图7所示，过流检测电路通常需要数微秒时间来锁存故障；

为了顺应总体发展趋势，必须采取措施来缩短这一检测时间。该路径中的另一主要因素是从处理器/FPGA输出到IGBT栅极(栅极驱动器)的传播延迟。同样，磁隔离器相对于光学器件有明显优势，原因是前者的传播延迟值非常小，通常在50 ns左右，不再是影响因素。相比之下，光耦合器的传播延迟在500 ns左右，占到总时序预算的很大一部分。

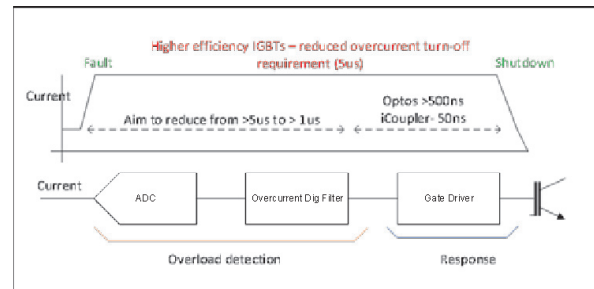


图7. 故障关断时序

电机控制应用的栅极驱动器关断时序如图8所示，其中处理器的关断命令跟在IGBT栅极发射极信号之后。从关断信号开始到IGBT栅极驱动信号接近0的总延迟仅有72 ns。

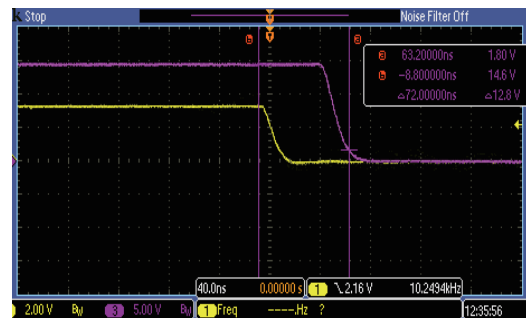


图8. 过流关断栅极驱动器时序

小结

随着人们更加关注系统性能、效率和安全，电机控制架构师在设计稳健系统时面临着日益复杂的挑战。基于光耦合器的栅极驱动器是传统选择，但基于变压器的解决方案不仅在功耗、速度、时间稳定性上更具优势，而且如本文所述，由于信号延迟缩短，其在系统性能和安全方面也有明显优势。这使得设计人员可以在防止上桥和下桥开关同时接通的同时，有把握地缩短死区时间，改善系统性能。此

外，它还支持对系统命令和错误作出更快速的响应，这同样能增强系统可靠性并提高安全性。鉴于这些优势，基于变压器的隔离式栅极驱动器已成为电机控制系统设计的一个主要选择；强烈建议系统设计人员在设计下一个项目时，把器件延迟作为一项重要要求。

参考文献

Krakauer David, MS-2576技术文章, “[平衡隔离器的主要因素以确保安全](#)”, ADI公司, 2014年。

Muñoz Alfredo R.和Thomas A. Lipo, “[开环PWM-VSI驱动的在线死区时间补偿技术](#)”, 《IEEE电源电子会刊》, 第14卷第4期, 1999年7月。

[NGTB15N60S1EG](#): IGBT—耐短路, ON Semiconductor。

作者简介

Dara O’Sullivan是ADI公司电机与功率控制部门的一名系统应用工程师。其专长领域是交流电机控制应用的功率转换和控制。Dara拥有爱尔兰科克大学工程学士、工程硕士和博士学位。联系方式: dara.osullivan@analog.com。

Maurice Moroney是ADI公司iCoupler®数字隔离器部门营销经理, 主要负责电机控制、汽车和能源应用中的隔离式栅极驱动器和电压/电流检测领域。Maurice拥有爱尔兰利默里克大学电子工程学士学位和工商管理硕士学位。联系方式: maurice.moroney@analog.com。

交流电压电机驱动的数字隔离

作者: Gaetano (Guy) Fichera, Boston Engineering Corporation 电子产品部总监

内容提要

隔离是交流电压电机驱动不可分割的一部分。电气隔离的方法有多种——主要采用光耦合器和数字隔离器。使用数字隔离器与传统的光耦合器相比具有数种优势——其中包括成本更低、元件数量更少、可靠性更强。本文以传统电机控制器设计为基础,对几种隔离方法进行比较,以突显数字隔离器的优势。

光耦合器与数字隔离器的背景知识

光耦合器使用LED发出的光将数据通过隔离栅传输到一个光电二极管。当LED开启和关闭时,将在电气隔离光电二极管一端产生逻辑高和低信号。光耦合器的速度与光电二极管检波器的速率以及为其二极管电容充电的时间直接相关。提升速度的一种方式是提高LED电流,但其代价是功耗的增加。

而基于变压器的数字隔离器借助变压器以磁性方式将数据通过隔离栅进行耦合。变压器电流脉冲通过一个线圈,形

成一个很小的局部磁场,从而在另一个线圈生成感应电流。变压器的传输速率自然比光耦合器快很多。而且变压器为差分架构,具有出色的共模瞬变抗扰度。另外,由于数字隔离器基于变压器,而光耦合器则基于LED,因此,数字隔离器的可靠性/MTTF要远远优于光耦合器。

电机驱动设计中的隔离

图1所示为Boston Engineering Corporation开发的高电压FlexMC电机控制驱动的框图(<http://www.boston-engineering.com/>),它能与ADSP-CM40x混合信号控制处理器对接。它接收一个通用交流输入,提供一个功率因数校正(PFC)前端,驱动一个永磁同步电机(PMSM),并为一个带传感器或不带传感器的控制装置提供必要的反馈调理,此装置运行于ARM® Cortex™-M4混合信号控制处理器ADSP-CM40x及一个16位高精度模拟前端。中间部分是一个隔离栅,位于高电压电源电子元件和控制器之间。电机电源电子元件随高电压电势而浮动,而ADSP-CM40x处理器则以接地为基准,因此需要进行隔离。本文将讨论选择数字隔离器而非光电耦合器将如何改善该设计。

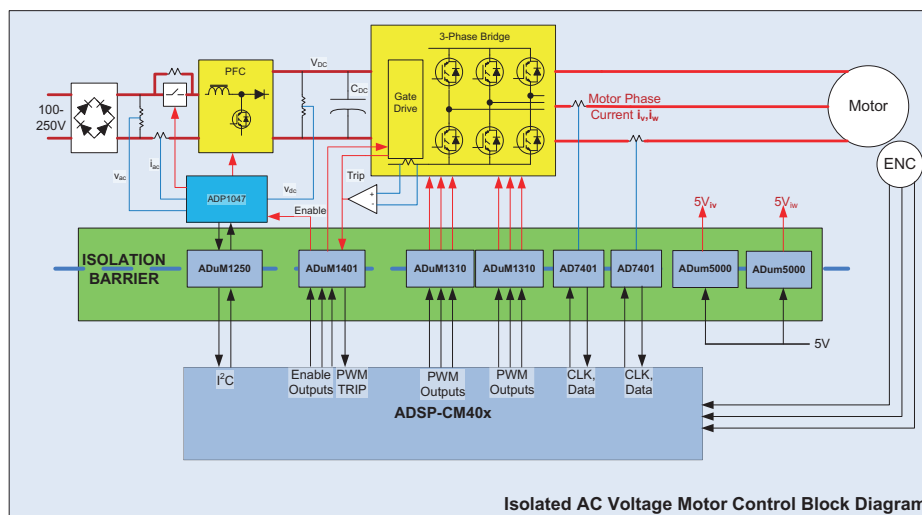


图1. 电机控制框图

在闭环电机控制设计中，两个关键的硬件构成为脉冲宽度调制(PWM)控制器输出和电机相位电流反馈。这些信号(如框图所示)通过隔离栅。另外，隔离器的使用还可惠及几种其他功能，包括数字通信和低电压、低功耗和隔离DC-DC转换。

PWM隔离

对功率级进行脉冲宽度调制，这是所有电机驱动的核心所在。开关频率范围一般为10 kHz – 20 kHz。在优化控制性能时，对脉冲宽度、停滞时间和通道间延迟的精密控制显得至关重要。在为PWM控制信号选择适当的隔离器件时，数字隔离器在性能和成本两个方面都要远远优于同级别的光耦合器选项(见表1中的比较)。

表1. PWM数字隔离器与光耦合器的比较

	PWM隔离	
	ADuM1310	光耦合器解决方案
尺寸(平方英寸)	0.5	0.45
千片订量成本(美元/片)	3.98	9.72
元件数量	2	6
最大速率(Mbps)	90	50
最大传播延迟(ns)	32	650
输出上升/下降时间(ns)	2.5	550
通道间匹配(ns)	2	500
电介质隔离(Vrms)	2500	3750
MTTF(10^6小时)	318	12.7
功耗(mW)	15	105

例如，控制器将在开关信号之间引入停滞时间，以防止任何高端和低端晶体管对同时传导(即直通)。停滞时间为功率开关的开启和关闭延迟以及隔离电路所致延迟的不确定性的函数。ADuM1310数字隔离器的通道间匹配时间仅为2 ns，光耦合器则高达500 ns。采用数字隔离器可以大幅缩减停滞时间，从而提高功率逆变器的性能。另外，如比较表中所示，除了性能以外，ADuM1310还是一种集成度更高的解决方案，可以减少元件数量和物料成本。

电机相位电流

多数高级电机驱动以电机相位电流为主反馈。为了提供连续的反馈，将超低电阻分流电阻与电机相位串联起来。然而，这会增加电路的复杂性，因为需要测量毫伏级的信号以及以快速dv/dt高频切换的百伏级共模电压摆幅。对于这

种设计，两个AD7401A隔离式Σ-Δ调制器用来测量电机绕组电流，数字位流则由ADSP-CM40x上的数字过滤电路进行处理。ADSP-CM40x的内置sinc滤波器允许与隔离式Σ-Δ型调制器实现无缝连接。第三相电流可以基于另外两相电流以数学方法计算得到，以减少功耗、降低元件成本。AD7401A在单封装中集成了一个差分采样保持级、一个Σ-Δ调制器和数字隔离机制。高电压端模拟信号被转换成一个数字串行数据流，然后通过隔离栅传输至低电压端。AD7401A还含有一个时钟输入引脚，只需一个时钟源，即可同时对各器件进行测量。正如表2所示，市场上的确存在集成度和成本类似的光耦合器；然而，数字隔离器技术在功耗、速度和可靠性方面的表现仍然更加突出，这是与器件的基础结构相关的，更不用说AD7401A出色的调制器性能。

表2. 相位电流数字隔离器与光耦合器比较

	相位电流测量	
	AD7401A	光耦合器解决方案
尺寸(平方英寸)	0.18	0.15
千片订量成本(美元/片)	3.8	3.8
元件数量	1	1
最大速率(Mbps)	20	10
电介质隔离(Vrms)	5000	5000
MTTF(10^6小时)	1576	4.9
功耗(mW)	70	91
分辨率(位)	16	16
增益误差(%)	0.5	1
SNR (dB)	80	68
失调漂移(μV/°C)	3.5	3.5

数字通信

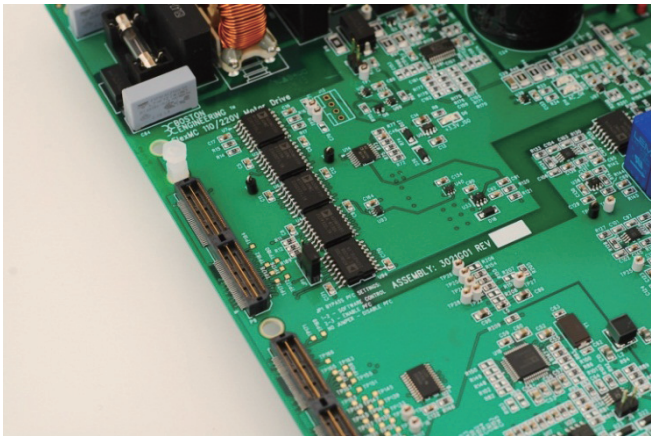
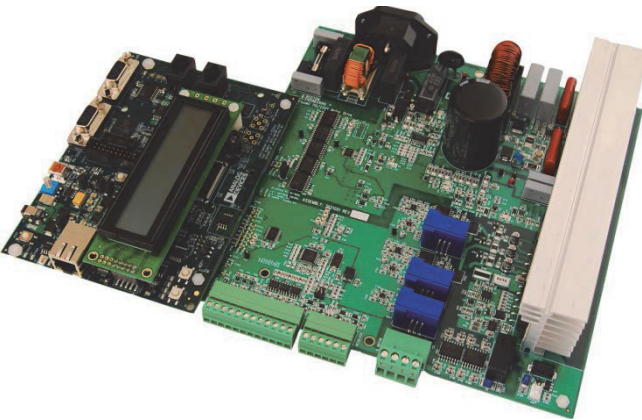
I²C是一款双线、多分支通信接口，通常用于为控制器提供数字或模拟I/O扩展能力。这种方法通常是定期监控或更新的“一般管理”类功能的预留方法。FlexMC高电压电路板采用一个I²C接口来与PFC控制器进行通信，同时以一个ADC来监控总线电压、总线电流和IGBT温度。相反，没有一款光耦合器能够单独提供I²C隔离能力。结果，如表3所示，ADuM1250在成本、尺寸、元件数量和性能方面都是比光耦合器更具优势的I²C隔离选择。ADuM1250允许ADSP-CM40x控制器仅仅使用一个双线外设接口通过一个隔离器对高电压端的所有这些功能进行监控。

表3. I²C数字隔离器与光耦合器的比较

	相位电流测量	
	AD7401A	光耦合器解决方案
尺寸(平方英寸)	0.3	0.2
成本(美元)	3.8	3.8
元件数量	1	1
最大速率(Mbps)	20	10
电介质隔离(Vrms)	5000	5000
MTTF(10 ⁶ 小时)	1576	4.9
功耗(mW)	70	91
分辨率(位)	16	16
增益误差(%)	0.5	1
失调漂移(μV/°C)	3.5	3.5

隔离电源

数字隔离器技术给这种设计带来的另一优势在于可以产生超低电平的隔离电源。两个ADuM5000器件用于产生5 V隔离电源，具备最高500 mW的功率输出能力。这些用于驱动Σ-Δ转换器的模拟端，后者会随快速变化的电机电压而浮动。这些隔离电源与数据隔离器采用相同的技术，因此，它们都内置了一个开关频率为180 MHz的变压器。这一频率比标准DC-DC转换器高出三个数量级，因而允许大幅缩减尺寸。ADuM5000器件采用SOIC-16封装，是提供低功率隔离电压的一种简便方案。



作者简介

Gaetano (Guy) Fichera是Boston Engineering Corporation电子产品部总监(<http://www.boston-engineering.com/>)。Boston Engineering Corporation是一家工程咨询服务公司，面向商业和政府机构设计开发新一代产品解决方案。我们提供跨学科的工程团队，能够为客户提供从概念验证到整个产品生命周期的帮助指导。我们凭借从机器人到复杂的机电系统及供应链开发的专业力量，尽力帮助客户解决每天面对的难题，自身也在不断成长壮大。

数字隔离器为工业电机驱动应用带来性能优势

作者: Bob Briano, ADI公司营销和应用经理; Aengus Murray, ADI公司电机和功率控制应用经理

简介

工业电机驱动中使用的电子控制必须能在恶劣的电气环境中提供较高的系统性能。电源电路会在电机绕组上导致电压沿激增现象,而这些电压沿则可以电容耦合进低电压电路之中。电源电路中,电源开关和寄生元件的非理想行为也会产生感性耦合噪声。控制电路与电机和传感器之间的长电缆形成多种路径,可将噪声耦合到控制反馈信号中。高性能驱动器需要必须与高噪声电源电路隔离开的高保真反馈控制和信号。在典型的驱动系统中,包括隔离栅极驱动信号,以便将逆变器、电流和位置反馈信号驱动到电机控制器,以及隔离各子系统之间的通信信号。实现信号隔离时,不得牺牲信号路径的带宽,也不得显著增加系统成本。光耦合器是跨越隔离栅实现安全隔离的传统方法。尽管光耦合器已使用数十年,其不足也会影响系统级性能。

变

速电机驱动器在工业应用中的广泛使用要归功于高效电源开关和具有成本优势的电子控制电路。设计上的困难则是用低压控制电路耦合高功率开关电路,而不牺牲抗噪性能或开关速度。

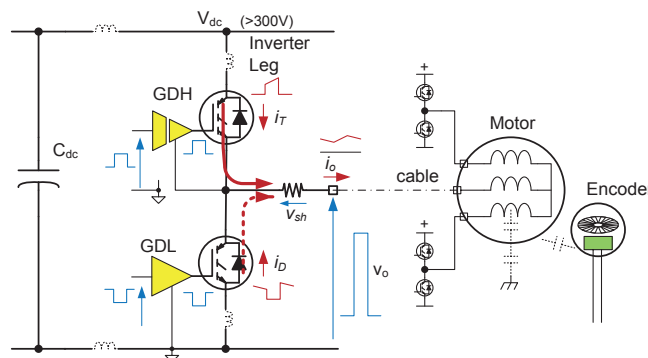


图1. 包括寄生元件的逆变器电路。

现代开关逆变器的效率一般超过95%,所用功率晶体管开关还可连接高压直流轨高轨与低轨之间的电机绕组。这一过程可以减少逆变器的损耗,因为功率晶体管工作于完全饱和模式下,而该模式会降低传导时的压降和功率损耗。开关过程中还存在额外的功率晶体管损耗,因为在此期间,晶体管上有一较大的电压,与此同时,负载电流在高、低功率设备之间进行切换。功率半导体公司设计出IGBT之类开关时间较短的晶体管,以减少这种开关功率损耗。然而,这种较高的开关速度也会带来一些无用的副作用,比如开关噪声增加。

在驱动器控制端,VLSI工艺的持续进步改善了混合信号控制电路的成本和性能,为高级数字控制算法的广泛应用以及交流电机效率的提高创造了条件。提升性能付出的代价是IC工作电压从12 V至5 V降低至现在的3.3 V,结果提高了对噪声的灵敏度。这种传统的噪声过滤方法通常不太适用,因为往往需要维持驱动系统的带宽,而带宽一般都是一个关键的性能参数。

电机驱动逆变器环境

三相逆变器是一种功率电子开关电路，控制功率从直流供电轨到三个交流电机绕组的流动。逆变器有三条相同的腿，每条腿包括两个IGBT晶体管和两个二极管，如图1所示。每个电机绕组均连接至通过分流器连接高端晶体管和低端晶体管的同一节点。逆变器使电机绕组在直流总线的高压轨和低压轨之间切换，以控制平均电压。绕组具有极高的电感性，将阻挡电流的变化，因此，当功率晶体管关闭时，电流将开始在连接至相反电源轨的二极管中流动。这样，即使逆变器功率设备和直流链路电容中存在断续传导，也会有电流连续流到电机绕组中。电机绕组阻抗充当来自逆变器的高压脉冲宽度调制方波输出电压的低通滤波器。

将低压控制电流连接至逆变器时存在巨大的困难。一个基本问题是，高端晶体管发射器节点在高压总线高供电轨与低供电轨之间切换。首先，高端驱动器必须能够驱动相对于一个发射器(可能比共用输入信号高300 V或以上)的栅极信号。其次，通过分流器(vsh)的电机电流信号必须从300 V或以上的共模电压中提取出来。其他问题将由电源电路中的寄生元件导致。当功率晶体管或二极管的开关频率超过1 A/ns时，即使是10 nH的PCB走线电感也可能导致显著的电压(>10 V)。寄生电感和部件电感会导致振铃，结果使设备开关产生的噪声脉冲的持续时间变长。甚至电机电缆的高频阻抗也可能带来问题，因为出于安全考虑，配电板可能离电机很远。其他效应包括噪声从电机耦合到反馈传感器信号中，其原因是快速切换的绕组电压波形。问题将变得更加严重，因为驱动电路的功率额定值将增加电路板的物理尺寸，结果将进一步增加寄生电感，甚至提高电流和电压开关速率。

通过隔离控制和电源电路消除噪声耦合现象，是应对这一问题的主要工具之一。隔离电路的性能是决定驱动性能的一个关键因素。在转轴转动时，转轴位置编码器将产生频率为100 kHz或以上的数字脉冲流。然而，在许

多情况下，编码器上安装的电路会提高设备的精度，并使数据速率增加到10 Mbps以上。另外，跨越分流器的反馈信号也可以隔离，方法是先把数据转换成数字位流，然后把该位流与低功耗电路隔离开来。这种情况下，数据速率为10 Mbps至20 Mbps。

栅极驱动电路所需要的开关性能似乎并不高，因为电机驱动逆变器的开关速率很少超过20 kHz。然而，需要在高端设备和低端设备的开关信号之间插入一个死区，以防止发生直通。死区为功率开关的开启和关闭延迟以及隔离电路所致延迟的不确定性的函数。死区延长会给逆变器传递函数带来更多非线性，结果将产生无用的电流谐波，并可能降低驱动效率。

因此，跨越电源电路和控制电路之间的隔离栅发送数据的方法不得在开关过程中带来时序的不确定性，并须具备较强的抗噪能力。

隔离器技术传输速率比较

隔离不得给整体系统性能带来任何显著的时序不确定性或时序误差。标准光耦合器的传播延迟为微秒级，可能因器件而异，因温度和寿命而异。光耦合器技术在时序性能方面存在一些根本的不足，而现代数字隔离器采用完全不同的运算原则，其速率也更高。

可以在有所折衷的情况下增加光耦合器的速率。光耦合器的工作原理是，将来自LED的光发送至一种光学透明的隔离材料，并用另一端的光电二极管检测光。光耦合器的速度与光电二极管检波器的速率以及为其二极管电容充电的时间直接相关。减少传播延迟的一种方法是增加发射的光量。通过提高LED电流，可以使延迟减少2或3倍，但其代价是设备功耗会增加，每个数据通道最高将达50 mW。

光传输损耗。为了维持相同的隔离能力，需要增加一层材料，但代价是成本也将增高。更快的光耦合器比标准的低成本光耦合器要贵许多倍。

相反，数字隔离器则是采用标准的高速CMOS工艺，并搭载隔离式片内微变压器。其传输速率自然比光耦合器快很多。较高的速度是电路和设计与生俱来的特点，不需要更复杂、成本更高的隔离材料也可实现更高的速度。变压器可以以最高150 Mbps的传输速率传递数据，传播延迟低至32 ns，功耗<5 mW，开关速率为25 kHz或以上。速度更快的另一个好处是，通道间的匹配优于5 ns，比标准光耦合器高出了一个数量级，仅以大约一半的单位通道成本即可实现比光耦合器快3至4倍的卓越性能。

隔离的抗噪性

在电机驱动系统中，隔离还提供了一个分离噪声源的机会，方法是以电流方式将噪声从功率开关电路和控制电路之中隔离开来。以下各项之间有安全隔离需求：高压总线、线路电压和用户界面，以同时保护人、保护其他设备。还需要在功能上使高端开关和低端开关与控制电路相隔离。隔离元件必须能提供必要的隔离，同时也需对嘈杂环境不敏感。

衡量隔离器分离地域之间高速噪声的能力的指标一般称为共模瞬变抗扰度(CMTI)。CMTI旨在衡量一个隔离器在隔离器数据通信不被噪声打断的情况下，对隔离栅中的电压噪声的抑制能力。其单位是kV/ μ s瞬变。

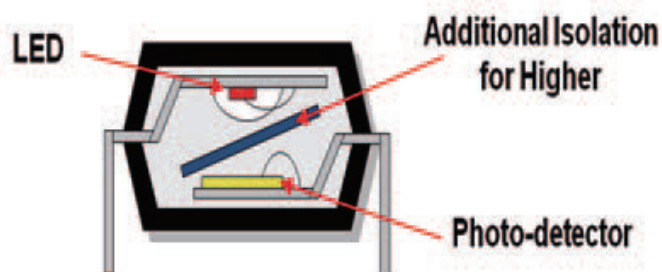


图2. 光耦合器内部结构。

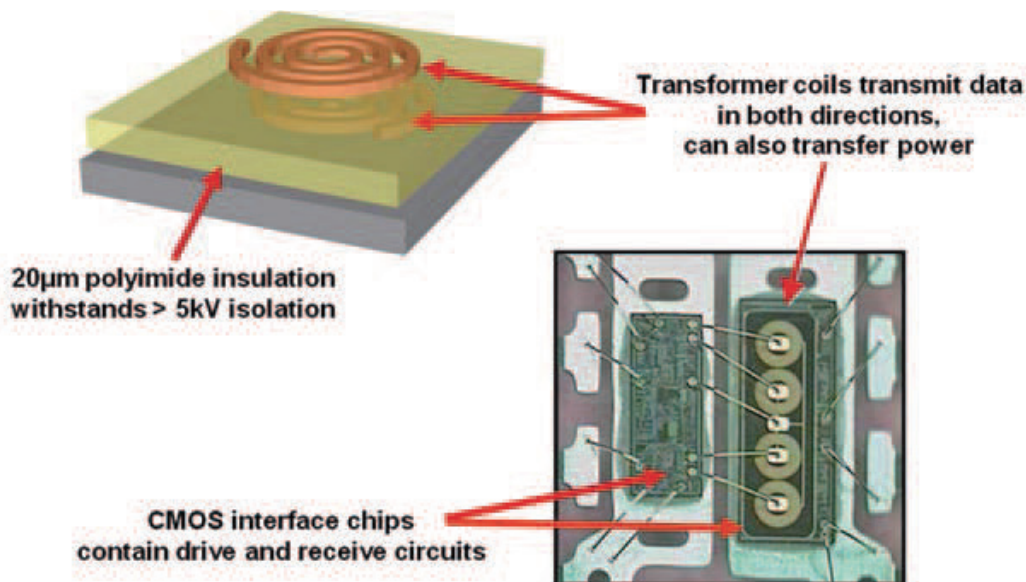


图3. 基于变压器的数字隔离器的结构。

电压瞬变噪声跨越隔离栅的路径一般是寄生电容跨过隔离器中的隔离栅。光耦合器的CMTI一般较差，为15 kV/ μ s。一些现代数字隔离器采用电容耦合数据隔离技术，其信号和共模噪声使用同一路径。基于变压器的隔离器(如ADI的iCoupler数字隔离器)的信号路径不同于噪声路径，其CMTI的值一般为50 kV/ μ s或以上。

隔离材料和可靠性

数字隔离器采用晶圆CMOS工艺制造，仅限于常用的晶圆材料。非标准材料会使生产复杂化，导致可制造性变差且成本提高。常用的绝缘材料包括聚合物(如聚酰亚胺PI，它可以旋涂成薄膜)和二氧化硅(SiO₂)。二者均具有众所周知的绝缘特性，并且已经在标准半导体工艺中使用多年。聚合物是许多光耦合器的基础，作为高压绝缘体具有悠久的历史。

安全标准通常规定1分钟耐压额定值(典型值2.5 kV rms至5 kV rms)和工作电压(典型值125 V rms至400 V rms)。某些标准也会规定更短的持续时间、电压浪涌(如10 kV峰值并持续50 μ s)作为增强绝缘认证的一部分要求。聚合物/聚酰亚胺隔离器可提供最好的隔离特性(见表1)。

聚酰亚胺数字隔离器与光耦合器类似，在典型工作电压下，工作寿命超过电机，额定使用寿命为50年。SiO₂隔离器的工作寿命与之接近，但是，对高能浪涌的保护能力却较弱。

在高温连续使用的情况下，影响光耦合器寿命的可能不是隔离材料的分解而是LED磨损。当温度>85°C时，工作1万小时，光耦合器的电流传输比(CTR)将下降10%至20%。10万小时时，CTR可能会下降一半或以上。

表1. 隔离材料性能比较

	基于聚合物的光耦合	基于聚酰亚胺的数字隔离器	基于SiO ₂ 的数字隔离器
耐受电压[1分钟]	7.5 kV rms	5 kV rms	5 kV rms
400 V rms工作电压下的寿命	50年	50年	50年
增强额定值的浪涌电平	20 kV	12 kV	6 kV
隔离距离	400 μ m	20 μ m	8 μ m

集成可能性

光耦合器LED和优化的光检波器不兼容低成本CMOS技术。要集成带去饱和和检测功能的栅极驱动、用 Σ - Δ ADC实现隔离电流检测以及多向数据流等其他功能，就必须采用多芯片解决方案，结果将使带这些功能的光耦合器变得非常昂贵。采用CMOS技术和隔离式变压器的数字隔离器可以随着集成度的提高而自然而然地添加这些功能。由于变压器也可用来发射隔离功率，因此，可从相同的封装发射高端功率，而无需会给某些应用带来问题的自举。目前，市场上有基于变压器的数字隔离器，在单个封装中集成了dc/dc转换器、 Σ - Δ ADC、栅极驱动器、I²C、RS-485收发器、RS-232收发器和CAN收发器，使电机控制系统同时实现了尺寸和成本的优化。

实用的应用电路

展示了栅极驱动、通信和反馈信号隔离的典型驱动电路如图4所示。在该系统中，隔离的 Σ - Δ ADC用来测量电机绕组电流，数字位流则由电机控制IC上的数字过滤电路进行处理。位置编码器包含一个ASIC，由其通过一个隔离式RS-485接口将位置和速度数据发送给电机控制IC。其他隔离式串行接口包括连接PFC的I²C接口以及连接前面板的隔离式RS-232链路。在此例中，PWM信号与逆变器模块隔离，IGBT由一个嵌入该模块中的电平转换栅极驱动器驱动。

有关ADI数字隔离器产品系列的更多信息，请访问
www.analog.com/cn/icoupler

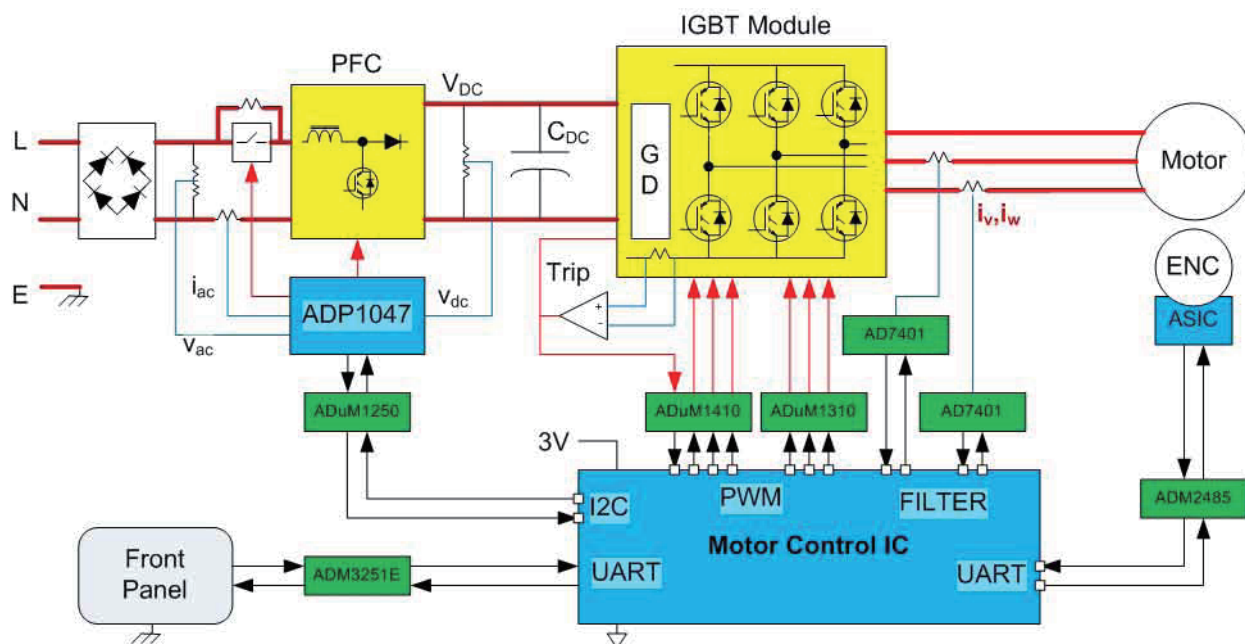


图4. 典型的中型工业电机驱动系统。

资源

本文提到的产品

产品	描述
ADP1047	数字功率因数校正控制器，具有精确的交流功率计量功能
ADuM1250	热插拔、双I ² C隔离器
ADM3251E	隔离式单通道RS-232线路驱动器/接收机
ADuM1410	四通道数字隔离器
ADuM1310	三通道数字隔离器
AD7401	隔离式 Σ - Δ 调制器
ADM2485	高速、隔离RS-485收发器，集成变压器驱动器

作者简介

Bob Briano现任ADI公司数字隔离部门的营销和应用经理。他已在ADI公司工作20年，目前在ADI数字隔离产品部负责开发新型数字隔离器。Briano先生持有波士顿大学工程学院学士学位。联系方式：bob.briano@analog.com

Aengus Murray现在是ADI公司工业和仪器仪表事业部的电机和功率控制应用经理，负责ADI面向工业电机和功率控制的整个信号链产品系列。Murray博士持有爱尔兰都柏林大学电气工程学士学位和博士学位。他在功率电子行业拥有超过25年的丰富经验，曾先后在Rectifier、Kollmorgen Industrial Drives和都柏林城市大学工作。联系方式：Aengus.Murray@analog.com。

适用于工业运动控制的测量技术

作者：ADI公司，高级应用工程师Nicola O'Byrne

工业运动控制涵盖一系列应用，包括基于逆变器的风扇或泵控制、具有更为复杂的交流驱动控制的工厂自动化以及高级自动化应用(如具有高级伺服控制的机器人)。这些系统需要检测和反馈多个变量，例如电机绕组电流或电压、直流链路电流或电压、转子位置和速度。在诸如增值功能(如状态监控)等考虑因素中，终端应用需求、系统架构、目标系统成本或系统复杂度将决定变量的选择和所需的测量精度。据报道，电机占全球总能耗的40%，国际法规越来越注重整个工业运动应用的系统效率，因此，这些变量越来越重要，特别是电流和电压。

本文将根据电机额定功率、系统性能要求以及终端应用，重点讨论各种电机控制信号链拓扑中的电流与电压检测。在此情况下，电机控制信号链的实现会因传感器选择、电流隔离要求、模数转换器(ADC)选择、系统集成以及系统功耗和接地划分的不同而有所差异。

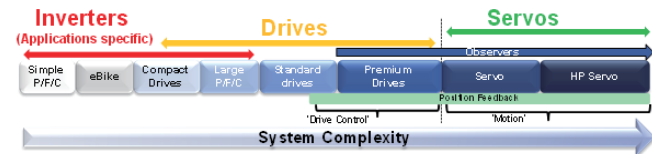


图1.工业驱动应用图谱

工业驱动器应用图谱

从简单的逆变器到复杂的伺服驱动器，电机控制应用涵盖一系列电机类型，但所有电机均包含特定功率级的电机控制系统，以及具有不同级别的检测和反馈，可驱动脉冲宽度调制器(PWM)模块的处理器。图1为应用图谱的简化图，展示了复杂度从左至右逐步提高的各种系统，首先是简单的控制系统，如无需精密反馈仅使用简单微处理器即可实

现的泵、风扇和压缩机。随着系统复杂度的提高(即移向图谱的较高端)，复杂控制系统要求精确反馈和高速通信接口。例如带传感器或不带传感器的矢量控制感应电机或永磁电机，以及针对图1中所示效率而设计的高功率工业驱动器(如大型泵、风扇和压缩机)。图谱的最高端为复杂的伺服驱动器，用于机器人、机床以及贴片机器等应用。随着系统复杂度的提高，变量的检测和反馈变得越来越关键。

驱动器架构系统划分

我们在设计满足各种工业运动控制应用需求的系统时可能会遇到各种问题。通用电机控制信号链如图2所示。

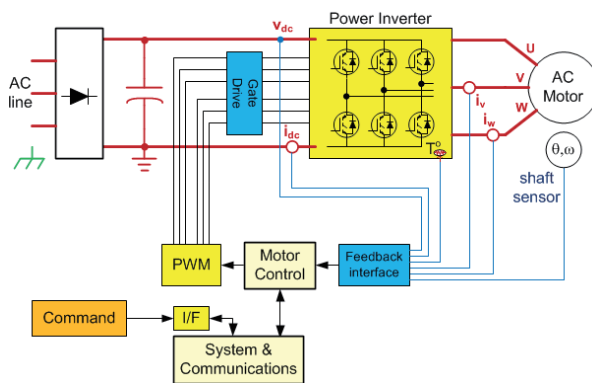


图2.通用电机控制信号链

隔离要求非常重要，通常对产生的电路拓扑和架构具有显著影响。需要考虑两个关键因素：隔离的原因和位置。

隔离分类的要求取决于前者。可能要求高压安全隔离(SELV)以防电击，或功能隔离以便在非致命电压之间进行电平转换，或为实现数据完整性并消除噪音而要求进行隔离。隔离位置通常由系统的预期性能决定。电机控制通常是在充满电噪声的恶劣环境中进行，采用的设计通常需承受数百伏的共模电压，可能会在超过20 kHz的频率下切换，

并具有极高的瞬态 dv/dt 上升时间。为此,性能较高的系统和固有噪声较高的大功率系统通常会设计为具有与控制级相隔离的功率级。无论是采用单处理器还是双处理器设计都会影响隔离位置。在性能较低的低功耗系统中,通常是在数字通信接口上进行隔离,这意味着功率级和控制级处于同一电位。低端系统需隔离的通信接口带宽较低。由于高端系统要求具有较高带宽,且传统隔离技术具有局限性,因此,隔离高端系统的通信端口通常会比较困难。但是随着磁性隔离的CAN和RS-485收发器产品(如www.analog.com/cn/icoupler上ADI公司的产品)的问世,情况正在发生变化。

在高性能闭环电机控制设计中,两个关键的元件构成为PWM调制器输出和电机相位电流反馈。图3a和图3b展示了需要进行安全隔离的位置,具体位置取决于控制级是与功率级共享相同的电位还是以接地为基准。无论何种情况,高端栅极驱动器和电流检测节点都需要隔离,但是图3a中的隔离等级不同,这些节点只需进行功能隔离,而在图3b中,这些节点的人员安全隔离(即电流隔离)至关重要。

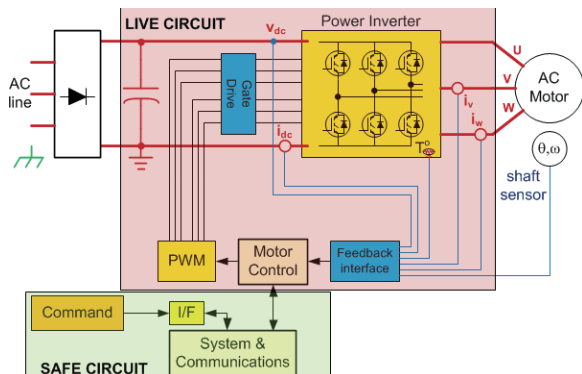


图3a.以功率级为基准的控制级

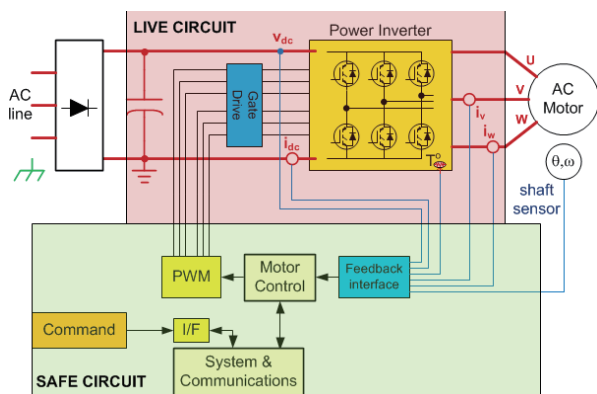


图3b.以接地为基准的控制级

电流和电压检测的测量技术与拓扑

除上文所述的系统功率和接地划分外,为检测电流和电压而实现的信号链还会因传感器选择、电流隔离要求、ADC选择以及系统集成的不同而有所差异。为实现高保真测量而进行的信号调理并非易事。例如,在如此嘈杂的环境中恢复小信号或传送数字信号就非常具有挑战性,而隔离模拟信号则是更大的挑战。在许多情况下,信号隔离电路会引起相位延迟使得系统动态性能受限的。相位电流检测尤其困难,因为该节点连接的电路节点与功率级(逆变器模块)核心中的栅极驱动器输出的节点相同,因此在隔离电源和开关瞬变方面的需求也相同。通常根据以下三个关键因素来确定需在电机控制系统中实施的测量信号链(技术、信号调理和ADC):

1. 决定测量需求的系统中的点或节点。
2. 电机功率水平以及最终选择的传感器(本身是否具有隔离功能)。传感器选择在很大程度上影响着ADC的选择,包括转换器架构、功能以及模拟输入范围。
3. 终端应用。这可推动检测信号链中对高分辨率、精度或速度的需要。例如,在较大的速度范围内实现不带传感器的控制要求进行更多、更频繁、更精确的测量。终端应用还会影响对ADC功能的要求。例如,多轴控制可能需要通道数更高的ADC。

电流和电压传感器

电机控制中最常用的电流传感器为分流电阻、霍尔效应(HE)传感器以及电流互感器(CT)。虽然分流电阻具有隔离功能且会在电流较高时出现损耗,但是它们是所有传感器中最具线性、成本最低且适用于交流和直流测量的传感器。为限制分流功率损耗的信号电平衰减通常将分流应用限制为50 A或更低。CT传感器和HE传感器可提供固有的隔离,因此能够用于电流较高的系统。但是它们的成本更高,并且采用此类传感器的解决方案在精度上不及采用分流电阻的解决方案,这是由于此类传感器本身的初始精度较差或者在温度方面的精度较差。

电机电流测量位置和拓扑

除传感器类型外，还有许多可选的电机电流测量节点。平均直流链路电流即可满足控制需求，但是在更高级的驱动器中，电机绕组电流用作主反馈变量。直接相位绕组电流测量是理想的选择，可用于高性能系统。然而，在每个低位逆变器引脚上使用分流器或在直流链路中使用单个分流器可以间接测量绕组电流。这些方法的优势在于，分流信号全都以共用电源为基准，但是从直流链路提取绕组电流要求采样与PWM开关同步。采用以上任何一种电流检测技术均可进行直接相位绕组电流测量，但是必须隔离分流电阻信号。高共模放大器可提供功能隔离，但是人员安全隔离必须由隔离式放大器或隔离式调制器提供。

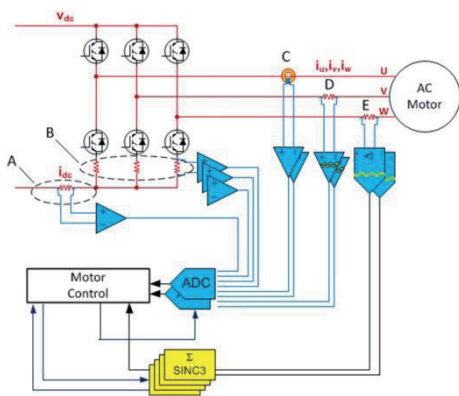


图4.隔离式和非隔离式电机电流反馈

图4展示了上述各类电流反馈选择。虽然只需选择其中一种即可进行控制反馈，但还可将直流链路电流信号用作备份信号以进行保护。

如前所述，系统功率和接地划分将决定需要的隔离分类，并从而判断出适用的反馈。系统的目标性能还会影响传感器选择或测量技术。纵观整个性能图谱，还可实现许多配置。

低性能示例：共用电位上的功率级和控制级，检测选项A或B

使用引脚分流是一种最经济实惠的电机电流测量技术。在本例中，功率级与控制级共享同一电位，不存在要处理的共模，并且选项A或选项B的输出可直接连接至信号调理电

路及ADC。此类拓扑常见于微处理器中嵌有ADC的低功耗和低性能系统。

高性能示例：控制级接地，检测选项C、D或E

在本例中，需要进行人员安全隔离。检测选项C、D和E均有可能。在所有三个选项中，选项E提供最优质的电流反馈，并且作为高性能系统，系统中可能存在FPGA或其他形式的处理，可提供适用于隔离调制器信号的数字滤波器。对于选项C的ADC选择，通常采用分立式隔离传感器（很可能是闭环HE），以实现比使用当前嵌入式ADC产品更高的性能。与共模放大器相比，该配置中的选项D为隔离式放大器，因为需要进行安全隔离。隔离式放大器会使性能受限，因此嵌入式ADC解决方案便可满足需要。与选项C或E相比，该选项可提供保真度最低的电流反馈。此外，虽然可将嵌入式ADC视为“免费”，将隔离式放大器视为“廉价”，但实施时通常还需要额外的组件进行偏移补偿和电平转换，以进行ADC输入范围匹配，从而提高了信号链的总体成本。

在电机控制设计中，可采用许多拓扑检测电机电流，并需考虑多种因素，例如成本、功率水平以及性能水平。大多数系统设计人员的重要目标是改善电流检测反馈，以在其成本目标范围内提高效率。对于较高端的应用，电流反馈不仅对于效率，而且对于其他系统性能测量(如动态响应、噪声或转矩波动)也至关重要。很显然，在各种可用的拓扑中，存在性能由低到高的连续体，图5为粗略映射图，展示了低功率和高功率选项。

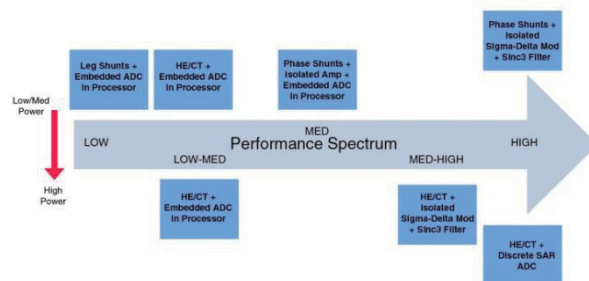


图5.电流检测拓扑性能图谱

电机控制系统设计人员目标、需求以及发展趋势：从HE传感器转换至分流电阻

与隔离式 Σ - Δ 调制器耦合的分流电阻可提供最优质的电流反馈，其中，电流电平足够低，完全可满足分流需求。目前，系统设计人员的明显倾向于从HE传感器转换至分流电阻，并且与隔离式放大器方案相比，设计人员还倾向于采用隔离式调制器方案。仅仅更换传感器本身就可降低物料清单(BOM)和PCB装配成本并提高传感器的精度。分流电阻对磁场或机械振动均不敏感。将HE传感器替换为分流电阻的系统设计人员往往会选择隔离式放大器，并继续使用之前在基于HE传感器的设计中使用的ADC来限制信号链中的电平变化。然而，如前所述，无论ADC性能如何，该性能都将受到隔离式放大器性能的限制。

而且进一步将隔离式放大器和ADC替换为隔离式 Σ - Δ 调制器可消除性能瓶颈，并大大改善设计，通常可将其从9到10位的优质反馈提升到12位。此外，还可配置处理 Σ - Δ 调制器输出所需的数字滤波器，以实现快速OCP环路，从而消除模拟过流保护(OCP)电路。因此，任何BOM分析不仅应包括隔离式放大器、原始ADC、两者之间的信号调理，而且还应包括可消除的OCP设备。**AD701A**隔离式 Σ - Δ 调制器基于ADI公司的iCoupler®技术，具有 ± 250 mV(通常用于OCP的 ± 320 mV满量程)的差分输入范围，特别适合阻性分流器测量，是扩大此趋势的理想产品选择。模拟调制器对模拟输入持续取样，而输入信息则以数据流密度的形式包含在数字输出流内，其数据速率最高可达20 MHz。通过适当的数字滤波器(通常为适用于精密电流测量的Sinc³滤波器)可重构原始信息。由于可在转换性能和带宽或滤波器群延迟之间作出权衡，因此更简略、更快的滤波器能够以2 μ s的数量级提供快速OCP响应，非常适用于IGBT保护。

对缩小分流电阻尺寸的需求

从信号测量方面来看，目前的一些主要难题与选择分流电阻有关，因为需要实现灵敏度和功耗之间的平衡。大阻值将确保使用 Σ - Δ 调制器的整个或尽量大的模拟输入范围，从而获得最大的动态范围。但是，由于电阻会出现 $I^2 \times R$ 的损耗，因此，大阻值还会导致电压下降和效率降低。电阻

自身的发热效应而导致的非线性情况也会是使用较大电阻所面临的挑战。因此，系统设计人员面临着左右权衡取舍以及进一步恶化的后果，他们往往需要选择一个适当大小的分流电阻，以满足不同电流电平下各种型号和电机的需求。如果面对数倍于电机额定电流的峰值电流，并需要可靠捕获两者的值，则保持动态范围也是一个难题。控制系统开机峰值电流的能力会因设计不同而有很大差异，从额定电流以上浮动诸如30%的严格控制，到高达10倍于额定电流的系数。加速以及负载或扭矩变化也会产生峰值电流。但是，系统中的峰值电流通常处于驱动器设计额定电流的4倍范围内。

面对这些难题，系统设计人员正在寻找具有更宽动态范围或具有更高信噪比和信纳比(SINAD)的高性能 Σ - Δ 调制器。最新的隔离式 Σ - Δ 调制器产品具有16位分辨率并可确保高达12位有效位数(ENOB)的性能。

$$SINAD = (6.02 N + 1.76) \text{ dB}, \text{ 其中 } N = ENOB$$

顺应在低功耗驱动器中使用分流电阻的趋势，电机驱动器制造商出于性能和成本方面的考虑，也在设法提高可利用该拓扑的驱动器的额定功率。唯一可行的方法就是使用阻值更小的分流电阻，而这需要引进性能更高的调制器内核，以辨识减弱的信号幅度。

系统设计人员(尤其是伺服设计人员)仍在不断探索，试图通过缩短模数转换时间，或者通过采用与隔离型 Σ - Δ 调制器和分流电阻拓扑有关的数字滤波器降低群延迟的方式提高系统响应。如前所述，可在转换性能和带宽或滤波器群延迟之间作出权衡。更简略、更快的滤波器可提供更快的响应，但会降低性能。系统设计人员分析滤波器波长或抽取比的效果，然后根据其终端应用需求作出权衡。提高调制器的时钟速率会有所帮助，但是许多设计人员已实现在AD7401A支持的20 MHz最高时钟速率下操作。提高时钟速率的一个缺点就是辐射电位和干扰(EMI)效应。在相同的时钟速率下，性能较高的调制器可改善群延迟与性能之间存在的权衡关系，从而在性能影响较小的情况下实现更快的响应时间。

业界性能最优的隔离式 Σ - Δ 调制器

显然，通过缩小分流电阻的大小、改进无传感器控制方案、实现对高效内部永磁电机(IPM)的控制，性能更高的隔离式 Σ - Δ 调制器可满足工业电机设计中的多种需求和发展要求，并可提高电机驱动器的功效。ADI公司的AD7403产品是AD7401A的新一代产品，可在相同的20 MHz外部时钟速率下提供更宽的动态范围。这使设计人员可以更为灵活地选择分流电阻大小，优化驱动器与电机的匹配，提高额定电流与峰值电流的测量精度，减少适用于一系列电机型号的单个分流电阻大小的影响，并能够在更高电流电平下使用分流电阻替换HE传感器。此外，还可通过缩短测量延迟提高动态响应。与上一代AD7400A和AD7401A相比，AD7403的隔离方案还可使用更高的连续工作电压(V_{IORM})，从而可通过使用更高的直流总线电压和更低的电机电流提高系统效率。

包括ADSP-CM40x混合信号控制处理器的更广泛的系统解决方案

如前所述，实施 Σ - Δ 调制器要求系统中配备数字滤波器。通常可使用FPGA或数字ASIC实现。ADSP-CM408F混合信号控制处理器(包含Sinc³滤波器硬件，可直接连接AD740x系列的隔离式 Σ - Δ 调制器)的出现有可能加快与隔离式 Σ - Δ 调制器耦合的阻性分流器电流检测技术的普及。如本文中所述，由于会提高数字域系统的复杂度和相关的(FPGA)成本，设计人员过去一直认为阻性分流器电流检测技术较为昂贵。ADSP-CM408F是性价比较高的解决方案，可使许多以往受限于成本目标的设计人员考虑使用该技术。

面向高效电机控制的无传感器矢量控制技术继续发展

作者：Anders Frederiksen

内容提要

面向电机和功率级动态特性的高级建模技术可以大幅提高电机控制效率，确保根据系统行为的实时变动实行精密控制。通过无传感器矢量控制技术，设计人员可以增强电机系统的性能，降低功耗，并且符合旨在提高能效的新法规要求。基于新一代数字信号处理技术的新型电机控制方案有望加速先进控制方案的运用。

在过去十年中，随着永磁体材料的不断发展和勘测到的资源越来越容易开采，采用永磁体同步电机(PMSM)的工业应用高性能变速电机越来越多。使用PMSM驱动的先天气势包括：高扭矩重量比、高功率因数、响应更快、结实耐用的构造、易于维护、易于控制以及高效率。高性能速度和/或位置控制要求准确判定转轴位置和速度，使相位激励脉冲与转子位置同步。因而电机轴上需安装绝对编码器和磁性旋转变压器等速度和位置传感器。然而，在大多数应用中，这些传感器会带来多种弊端，例如：可靠性递减，易受噪声影响，成本和重量增加，以及驱动系统更复杂等。无传感器矢量控制则不需要速度/位置传感器，因而这些问题也就不复存在。

近年来，关于PMSM的无传感器速度和位置控制方法，研究文献中提出多种解决方案。针对PMSM驱动的无传感器转子位置估计，已开发出三种基本技术：

- 基于反电动势(BEMF)估计的各种技术
- 基于状态观测器和扩展卡尔曼滤波器(EKF)的技术
- 基于实时电机建模的其他技术

反电动势技术

基于反电动势技术的位置估计根据电压和电流估计磁通量和速度。在较低速度范围内，这种技术对定子电阻特别敏感。由于机器的反电动势很小，并且开关设备的非线性特征会产生系统噪声，因此很难得到关于机器终端的实际电压信息。在中高速范围内，利用反电动势方法可以获得较好的位置估计，但在低速范围内则不行。

反电动势电压的幅度与转子转速成比例，因此静止时无法估计初始位置。所以，从未知转子位置启动可能伴随着暂时反向旋转，或者可能导致启动故障。EKF能够对随机噪声环境中的非线性系统执行状态估计，因而对于PMSM的速度和转子位置估计，似乎是可行且具计算效率的候选方法。

基于空间显著性跟踪的技术利用磁显著性，适合零速工作，可以估计初始转子位置，而不会受其它参数影响。针对初始转子位置，主要有两种基本方法，分别基于脉冲信号注入和正弦载波信号注入。

我们看一个例子。

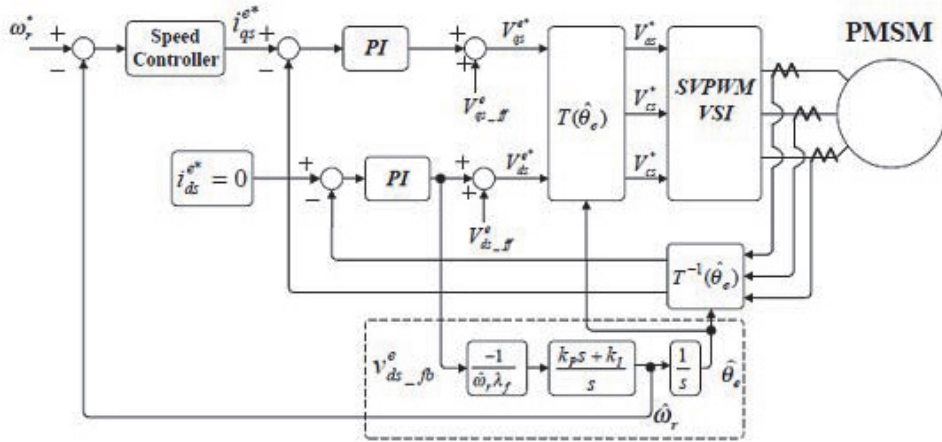


图1. 反电动势与初始启动的平衡(来源于Bon-Ho Bae)

图1为无传感器矢量控制方案的框图，其中不含位置传感器。框图中，轴间控制的正馈项 V_{ds_ff} 和 V_{qs_ff} 可以表示为：

$$V_{ds_ff}^e = R_s i_{ds}^e - L_s \hat{\omega}_r i_{qs}^e$$

$$V_{qs_ff}^e = R_s i_{qs}^e + L_s \hat{\omega}_r i_{ds}^e + \hat{\omega}_r \lambda_f$$

其中， ω_r 为转子的转速。

只看内置式PMSM (IPMSM)的标准电压公式，坐标系可以表示为：

$$v_{ds}^e = R_s i_{ds}^e - \omega_r L_s i_{qs}^e + \omega_r \lambda_f \sin \theta_{err}$$

$$v_{qs}^e = R_s i_{qs}^e + \omega_r L_s i_{ds}^e + \omega_r \lambda_f \cos \theta_{err}$$

其中， θ_{err} 为实际角度与估计角度之间的差值。

现在重新定位d轴，可以得到：

$$v_{ds_error}^e = R_s (i_{ds}^e - i_{ds}^{e*}) - \omega_r L_s (i_{qs}^e - i_{qs}^{e*}) + \omega_r \lambda_f \sin \theta_{err}$$

假定电流PI调整器将产生小误差， θ_{err} 很小，d轴可以表示为：

$$\begin{aligned} V_{ds_fb}^e &\approx v_{ds_error}^e \\ &\approx \omega_r \lambda_f \sin \theta_{err} \\ &\approx \omega_r \lambda_f \theta_{err} \end{aligned}$$

在图1的建议估计器及所导出的公式中，误差信号 V_{ds_error} 由PI补偿器处理，以导出转子的转速，而转子的角度则通过

对估计的速度进行积分而算得。其它常见方法用微分法计算速度，但这会使系统易受噪声影响。Bon-Ho Bae的实验研究表明，建议估计器能够为应用提供非常准确且可靠的速度信息。但在零速和低速时，反电动势电压不够高，无法用于所建议的矢量控制。因此，对于从零速度开始的无缝操作，估计器利用恒定幅度和预定模式频率来控制电流。这里，同步坐标系的角度通过对频率进行积分而导出(初始启动方法)。

EKF技术

我们现在看另一个利用EKF技术原理的例子(来源于Mohamed Boussak)，并且同样与初始启动相结合。

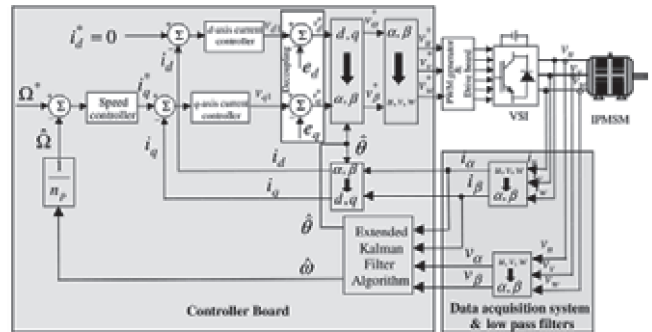


图2.

从PMSM的基本公式开始，将其重写为四阶动态模型：

$$\begin{bmatrix} \dot{v}_d \\ \dot{v}_q \end{bmatrix} = \begin{bmatrix} R_s + pL_d & -\omega L_q \\ \omega L_d & R_s + pL_d \end{bmatrix} \begin{bmatrix} i_d \\ i_q \end{bmatrix} + \begin{bmatrix} 0 \\ \omega K_e \end{bmatrix}$$

其中：

$$L_d = l_s + (3/2)(L_0 - L_2) \text{ and } L_q = l_s + (3/2)(L_0 + L_2).$$

PMSM所产生的扭矩为：

$$T_e = N_p [(L_d - L_q) i_d i_q + K_t i_q].$$

动态模型基于一些简单的假设，忽略正弦反电动势和涡电流，于是可以得到：

$$\begin{bmatrix} \frac{di_d}{dt} \\ \frac{di_q}{dt} \\ \frac{d\omega}{dt} \\ \frac{d\theta}{dt} \end{bmatrix} = \begin{bmatrix} -\frac{R_s}{L_d} & \frac{L_q}{L_d}\omega & 0 & 0 \\ -\frac{L_d}{L_q}\omega & -\frac{R_s}{L_q} & -\frac{K_e}{L_q} & 0 \\ N_p^2 \frac{L_d - L_q}{J} & N_p^2 \frac{K_t}{J} & -\frac{f}{J} & 0 \\ 0 & 0 & 1 & 0 \end{bmatrix} \begin{bmatrix} i_d \\ i_q \\ \omega \\ \theta \end{bmatrix} + \begin{bmatrix} \frac{1}{L_d} & 0 & 0 \\ 0 & \frac{1}{L_q} & 0 \\ 0 & 0 & -\frac{N_p}{J} \\ 0 & 0 & 0 \end{bmatrix} \begin{bmatrix} v_d \\ v_q \\ T_l \end{bmatrix}.$$

由于d轴和q轴之间存在交叉耦合效应，如图2所示，因此两个轴的电流无法由电压 V_d 和 V_q 独立控制。为实现高性能速度控制，需要运用具有去耦正反馈补偿功能的d轴和q轴电流调整器。更多信息请参考图3。

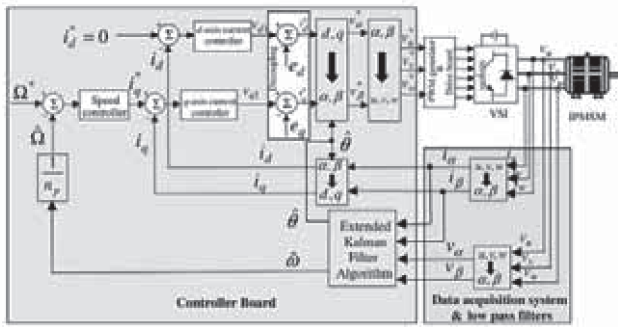


图3.

为使IPMSM的扭矩电流比最大，d轴基准电流 i_d^* 设置为0。q轴基准电流 i_q^* 从速度调整器的速度误差获得，如图3所

示。电流调整器的输出提供旋转坐标系的基准电压。在图3所示的框图中，用于去耦控制的正反馈 e_d 和 e_q 由下式给出：

$$\begin{aligned} e_d &= \omega L_q i_q \\ e_q &= -\omega (L_d i_d + K_e). \end{aligned}$$

正如Boussak所述，两个补偿机制(电流控制和电压命令)对于确保稳定和最优控制十分重要，有助于增强矢量控制和弱磁控制。

EKF以其简单、最佳、易控制和稳定可靠，成为应用最广泛的非线性系统跟踪和估计方法之一。为实现对凸极IPMSM的无传感器控制，可以利用EKF估计速度和转子位置。电机的线路电压和负载扭矩均为系统矢量输入变量。速度和转子位置是需要估计的两个幅度，二者与电机电流一起构成状态矢量。电机电流将是构成输出矢量的唯一可观测幅度。

要对无传感器IPMSM驱动实施EKF技术，双轴坐标系的选择至关重要。最佳选择是采用转子上安装的d轴和q轴旋转坐标系。但估计器的输入矢量(电流和电压)取决于转子位置，所以这种方案与IPMSM无传感器速度控制不兼容。实施过程中可观察到，转子初始位置的估计误差可能会将误差引入EKF相对于实际系统的处理过程中，从而引起严重后果。

对于这种情况，Boussak建议在转子坐标系中调准IPMSM控制。速度和位置仅利用定子电压和电流测量结果来估计。基于EKF的观测器所使用的电机模型含有安装于定子框架上的固定坐标系 $\alpha-\beta$ ，因此独立于转子位置。导出IPMSM在固定坐标系中的非线性动态模型，以完成估计器公式：

$$\begin{aligned} \frac{d}{dt}[x] &= [A][x] + [B][u] \\ [y] &= [C][x]. \end{aligned}$$

两个定子电流、电机速度和位置用作系统状态变量(更高级计算方案请参考Boussak的论文)。

诸如Bon-Ho Bae和Boussak所开发的部署方法，利用无传感器控制器的可行性将更高级模型引入实时电机控制方案。过去5年来，微控制器和DSP制造商一直积极通过新型嵌入式处理器提供足够的性能和必要的功能，这是确保设计人员将现代矢量控制运用于实际的关键因素。

电机效率始于处理器

如今，像ADI公司的最新ADSP-CM40x ARM Cortex-M4系列等增强型处理器正在将性价比提升到新的水平，使得更复杂电机控制算法的实施开始受到大规模应用解决方案的青睐。尤其在处理器能力方面——内置数字滤波器功能、高性能浮点能力和扩展数学运算能力等都支持更复杂、集成度更高的算法，以便提供更佳的控制器和控制方案，迫使电机驱动的效率接近100%。在工业领域，对运行实时模型估计器的多观测器模型的改善，无疑将有助于增强：(i)驱动性能，(ii)系统效率和拓扑结构，以及(iii)设计的部署方法。就第(iii)方面而言，MATLAB/Simulink®等图形系统便能够简化设计流程，促进新算法的开发。这些工具与执行处理器相结合，能够实现更为复杂的部署方案。与内核速度、模数转换精度和存储器集成有关的处理器级改善将使设计人员能够实现更高的质量和性能目标，同时加速产品上市。

ADI公司最近推出ADSP-CM40x系列混合信号嵌入式控制器，不仅大幅提升了处理器性能，而且降低了价格，使得以前采用性能受限的处理器和微控制器的电机控制应用也能享用DSP水平的性能。借助这种处理性能，电机系统设计人员可以利用更先进的算法实现更强的系统功能和更高精度，精确判定转轴位置和速度，这样系统就无需位置和速度传感器。

用于加速算法处理的闪存，二者均有利于减少片外器件并降低系统整体成本。这些处理器提供性能与片内集成度的最佳融合，使得设计人员能够实现许多系统级设计目标，例如：实时处理更多数据，延时更短，将处理任务集中于单个处理器进行，以及更灵活地优化系统接口和控制能力。

如今，新技术正在推动电机系统能力实现范式转换，设计拓扑结构与处理器特性平衡则可实现更高的整体系统性能和效率。高性能处理器/DSP支持运用现代高效控制理论完成高级系统建模，从而确保所有实时电机系统都能实现最佳电源和控制效率。无传感器矢量控制的广泛应用势在必行，必将加速全球提高工业设备能效和性能的进程。

易用的PFC助益电机控制应用

作者: **Frederik Dostal**, ADI公司电源业务技术经理

许多超过某一功耗水平的交流供电系统都需要进行功率因数校正(PFC), 这是电力公司或政府的要求。PFC位于系统输入端, 在二极管桥式整流器后面, 但在所有输入电容之前。PFC电路的作用是确保输入端的电压和电流彼此同相。换言之, PFC是输送至电路负载的平均功率与视在功率之比。

除了降低视在功率以外, PFC电路还有助于大幅降低输入线路上的失真。无PFC情况下, 负载产生的THD(总谐波失真)会对由同一电网供电的其他电路造成不利影响。PFC电路会优化功率因数, 同时降低THD。许多系统中, 功率因数的重要性不及高THD带来的干扰。

本文介绍一种利用ADI公司带监控功能的 [ADP1047](#) 和 [ADP1048](#) 数字PFC控制器设计极其灵活且功能丰富的PFC电路的简单方法。设计工作利用直观的图形用户界面完成。另外还会结合电机驱动应用讨论这种方法的优势。

不同PFC电路

PFC电路通常采用升压型DC-DC转换器拓扑结构, 并且位于交流整流器电桥正后方。这种拓扑结构迫使输入电流与输入电压同相。结果, 负载在交流电源看来是一个纯无源负载电阻。对于较高的功率水平, 可以使用交错式拓扑结构。最常见的是双通道交错操作, 这与让两个升压转换器并联并分担负载并无不同。在PFC之外, 类似方法称为“多相”。对于电流在不同的并联降压电路之间分配, 并且输出合并在一起的情况, 降压型调节器会使用术语“多相”。在PFC中, 此功能不使用术语“相位”, 原因是它会引起很多混淆。多相用于一个以上相位交流电源输入的PFC电路。因此, 描述负载功率在多个并联升压拓扑结构之间分配时, 术语“交错”更常用。

为了实现非常高的电源效率, 也可以不使用电桥。这种情况下可以省去二极管桥式整流器。在有二极管桥式整流器的交错操作中, 两个通道在每个开关周期之后交替工作。但是, 在无电桥拓扑结构中, 一个通道在交流输入电压的正半波周期中切换, 另一个通道在负半波周期中切换。图1给出了这三个基本电路的原理图。最上方显示最简单的实现方案, 中间显示交错概念, 最下方显示无电桥配置。当然, 还有很多其他电路方案都是可行的。例如, 对于高功率和高效操作, 可以将交错式操作与无电桥配置结合起来。显然, 这种设计需要许多元件, 可能会变得相当复杂。ADP1047设计用于单通道PFC, ADP1048则提供交错式和无电桥操作能力。为此, 它提供均流功能和两个不同的PWM输出信号。

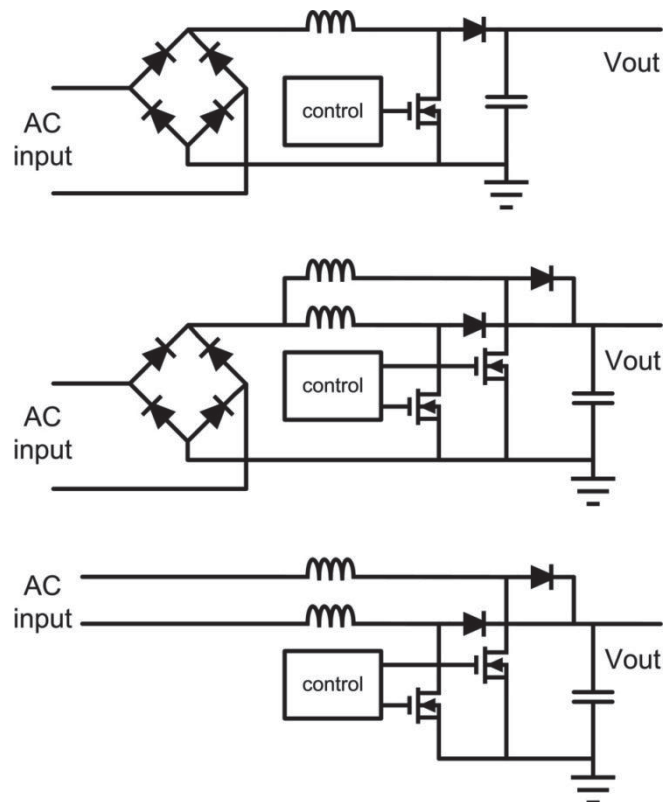


图1. 不同PFC电路

使用数字PFC控制器的灵活性

多数PFC转换器是模拟型系统。然而，利用当今的数字式衍生产品，例如ADI公司的ADP1047和ADP1048，设计人员可以获得数字产品提供的极大灵活性。用可编程数字滤波器代替硬件元件，便可针对高速工作优化环路稳定性，使电路足够稳定。虽然这些器件采用均流模式控制环路，但实际上有多个不同的环路可以独立编程。其中存在低线和高线电流滤波器，以及快速电压补偿滤波器。

可以设置PFC的输出电压，使其根据负载电流而变化。这样可以提高整个系统的电源转换效率。此外，还可以非常细致地调整软启动特性。

监控系统输入端的电压和电流很有价值

除了数字控制环路以外，ADP1047和ADP1048还提供精确的电压和电流监控功能。它们能检测输入和输出电压，以及输入电流。检测到的模拟值通过模数转换器转换为数字值。电感电流(等于输入电流)既可利用电流检测电阻直接测量(精度最高)，也可利用两个电流互感器和功率开关/升压二极管串联间接测量。无论使用何种检测方法，都可以在系统中校准检测以提高测量精度。这种校准通常是与生产测试一起完成，校准值存储在ADP1047和ADP1048的EEPROM中。除电压和电流外，还可以校准外部温度传感器。

测得的电压和电流相关信息用于操作、控制和保护，但也可通过PMBus提供给系统中的其他电路用于监控。PFC的输入功率具有特别重要的意义，因为它能提供关于系统潜在故障的信息。为了帮助系统安全可靠地工作，可以设置不同的中断，如标志等。电压和电流信息以及寄存器设置可以通过集成的PMBus接口访问。

图形用户界面使设计无需编程技能

富有经验的电源设计工程师通常不擅长编写代码，因此，该PFC解决方案采取的办法是把电路的数字方面缩减为易用的图形用户界面(GUI)。图2所示为该软件的屏幕截图。所有可以更改的参数皆以图形化方式显示在不同的设置和

监控屏幕上。这样，评估和编程设置ADP1047和ADP1048更为安全，因为与一般微控制器或数字信号处理器编程相比，这些芯片的内部状态机减少了用户犯错的空间。

展示GUI能力的一个例子是调整软启动特性。单击鼠标便可调整启动的输入电压阈值。随后设置浪涌电流时间延迟。浪涌控制用于在电路启动之前，对PFC电路的输出电容进行预充电。这常常是通过继电器或MOSFET实现。图2所示屏幕截图的中间显示，调整此浪涌时序是何等简便。图2下方显示，用户可以调整软启动功能本身的行为。对此，启动前的额外延迟时间和输出电压的上升时间均可调整。



图2. 图形用户界面简化设计

对电机控制应用的助益

在电机控制应用中，ADP1047/ADP1048有两个特性尤其有用。一是通过精密功率监控检测系统故障，二是即时调整PFC输出电压的能力。根据电机驱动状态，可以调整电压以提高效率而不影响性能。这些“智能电压”设置可用于电机暂停或以超低功率运行的情况。图3显示包含在电机控制架构中的PFC原理图。

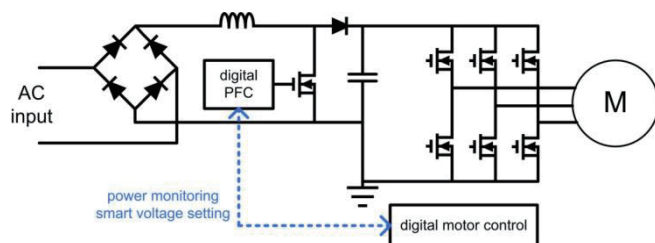


图3. 电机控制应用

PFC易于使用

若使用合适的控制器IC和恰当的支持软件，实现数字PFC解决方案并不一定需要经历艰难的学习曲线。对于电机控制等动态应用，这种实现方法极具价值。

功耗：智能发射器设计中的首要考虑因素

作者：Tracey Johnson，应用工程师；Michal Brychta，应用工程师，ADI公司

采用4 mA至20 mA模拟输出和HART®(可寻址远程传感器高速通道)接口，并满足功耗预算设计环路供电式现场仪表非常困难。当代的现场仪表，也就是众所周知的智能发射器，是基于微处理器的智能设备，用于监控过程控制变量。随着越来越多的处理功能分散到工作现场，此类现场设备的智能化程度日益提高。既要融合这种额外的智能、不断增加的功能和诊断能力，又要开发出能够在4 mA至20 mA的环路所提供的有限功率范围内有效运行的系统更是增加了挑战的难度。本文探讨系统设计人员面临的功耗挑战，并解释由ADI开发、经HART通信基金会认证的一款简单解决方案如何应对该挑战；这两部分内容均从整体系统层次以及智能发射器设计基本信号链元件的角度进行探讨。

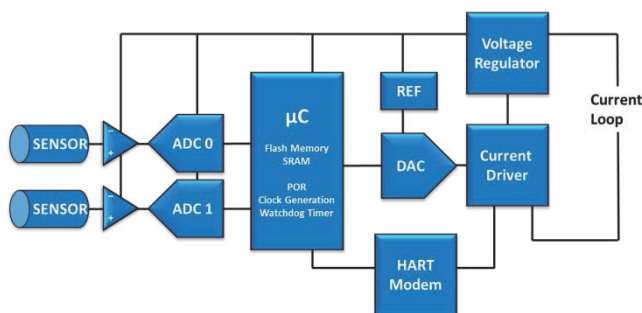


图1. 智能发射器信号链

对任何发射器来说，最重要的元件是主传感器及其最优工作状态，以便提供最精确的环境测量参数。主变量通常取决于辅助变量(例如压力传感器的温度补偿)。在图2示例中，传感器是一个5 kΩ阻抗的阻性电桥，所选工作模式为3.3 V连续电压激励模式。因此，传感器消耗总系统功耗预算中的660 μA。

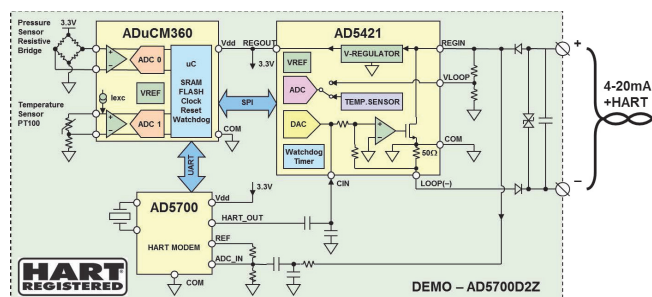


图2. 支持HART的现场仪器仪表演示功能框图

ADuCM360精密模拟微控制器集成两个具有可编程增益的低噪声精密仪表放大器。放大器针对最低可能功耗优化，功率级仅在需要某增益时才打开。这样可在电路性能与功耗要求之间获得最优平衡。此处示例电路中，主传感器可在激励电压仅为二分之一时使用，从而使得信号电平减半，同时通过编程将放大器增益从16翻倍至32，实现信号链性能的优化。这样可以节省330 μA传感器激励电流，并增加60 μA放大器电源电流——净节省270 μA。进行这类权衡取舍时，还应考虑其它一些方面，比如存在外部电磁干扰时的传感器信噪比。这款完全集成式可编程解决方案能为设计人员简化针对这些选项的评估。

两个24位模数转换器(ADC)对经过放大的主传感器和辅助传感器信号进行采样，并转换为数字域信号。图2中，ADC集成在ADuCM360中，并同样针对性能达标的最低功耗优化。Σ-Δ架构固有高分辨率、线性和高精度等特性，而数字滤波器则始终内置于Σ-Δ型ADC之中，允许在所需信号带宽和输入噪声之间进行编程权衡取舍；后者对于可实现的分辨率具有直接影响。通常现场仪器仪表的输入端需要高于16位的分辨率，才能在输出端提供16位分辨率。

微控制器用于处理来自一切现场仪器仪表传感器的输入信号，并计算过程变量的测量结果。此外，处理器需执行更多诊断，以及更多的复杂通信。本例使用32位ARM Cortex®-M3 RISC处理器，并搭配128 kB Flash存储器、8 kB SRAM以及其它外设，比如上电复位、时钟生成、数字接口和一系列诊断功能。微控制器是一个复杂元件，可能需要很大功率，所以每毫瓦功率能够完成的处理越多越好。

系统中明显需要权衡取舍的是微控制器内核速度与电源电流。通过为每一个数字外设(比如串行接口和定时器)选择需要的最低时钟频率还可节省一些功耗。本例中, 4 mA至20 mA输出每1 ms更新一次。ADuCM360允许SPI接口采用最高16 MHz时钟频率, 并使用100 kHz中等频率串行时钟搭配最优时钟子分频器, 芯片自身即可节省约30 μ A。通过降低与印刷电路板(PCB)走线上的SPI信号寄生电容有关的动态电流以及元件引脚电容, 可额外节省数 μ A。ADuCM360采用Cortex-M3, 功耗约为290 μ A/MHz。它包含极为灵活的内部电源管理选项, 可动态切换电源和时钟速度至内部模块, 允许实现系统功耗和性能的最优平衡。

现场仪器仪表4 mA至20 mA输出电流由数模转换器(DAC)以及一个输出分流器进行设置。AD5421集成了16位DAC和电流输出级。此外，该器件还集成精密基准电压源和可编程电压调节电路，这是从环路获取电源，并为自身以及发射器信号链的其它元件供电所必需的。此外，AD5421还提供多个片内诊断功能，所有这些功能都可由微控制器配置和读取，但也可以自主工作。哪怕具有如此高的集成度，AD5421的最大总电流也仅有300 μ A，总不可调整温度误差不足 $\pm 0.05\%$ FSR，在实现传输测量信息粒度最大化的同时，对系统功耗无负面影响。

最后，完善4mA至20mA模拟输出的是HART调制解调器；该器件在现代控制系统中扮演着关键的角色，提供与主机系统之间的数字通信。HART通信可实现仅通过模拟通信手段无法想象的功能。示例包括主机获取仪器仪表的辅助变量、诊断信息以及执行远程校准例程。同样，低功耗和小尺寸是设计HART电路的重要考虑因素。此处采用[AD5700](#)。

AD5700的典型发射和接收电流分别为124 μA 和86 μA ，占总功耗预算的比例有限。HART输出调制输出电流，然后通过专用引脚与AD5421的内部求和节点对接。HART输入通过简单无源RC滤波器从电流环路耦合。RC滤波器作为第一级，用作HART解调器的带通滤波器，同时增强系统抵抗电磁干扰的能力——这对于稳定工作在恶劣工业环境中的应用而言非常重要。HART调制解调器的时钟由片上低功耗振荡器生成，具有3.8664 MHz外部晶振，使用两个8.2 pF接地电容，直接连接到XTAL引脚。这种配置使用的功耗最低。

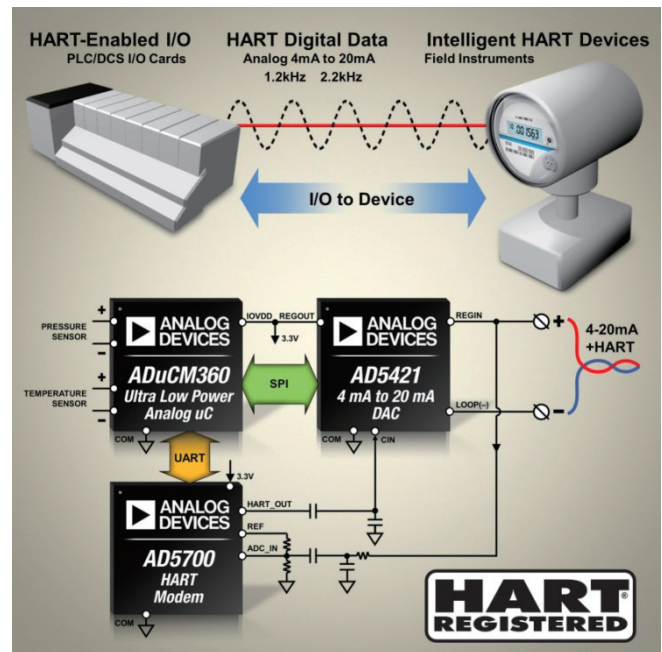


图3. 具有HART接口的完整4 mA至20 mA环路供电现场仪表

检查整个信号链，很明显可以看到，在每微安都非常重要的此类应用中，图3所示支持HART的现场仪器仪表演示电路具有至关重要的作用。表1列出了该DEMO-AD5700D2Z系统中的电流测量详细情况；可看到总电流完全符合这类设计的额定系统功耗预算最大值，即3.5 mA（“低电平报警”设置）。

表1. 演示电路的功耗计算

	电路模块	电源电流 (mA)	占总电流 的百分比
传感器	主传感器(阻性电桥, 3.3 V时5 k Ω)	0.660	
	辅助传感器(RTD, 200 μ A 激励)	0.200	
	传感器总计	0.860	28%
ADuCM360	仪表放大器1(增益=8)	0.130	
	仪表放大器2(增益=16)	0.130	
	24位ADC 1, 包括输入缓冲器	0.140	
	24位ADC 2, 包括输入缓冲器	0.140	
	基准电压源、RTD基准电流源	0.135	
	ADuCM360模拟电路总计	0.675	22%
	微控制器内核(2 MHz)和 存储器	0.790	
	SPI、UART、定时器、 看门狗、其它电路	0.085	
	时钟发生器	0.170	
	ADuCM360数字电路总计	1.045	34%
AD5421	16位DAC	0.050	
	V转I驱动器	0.060	
	基准电压源	0.050	
	电源管理、稳压器	0.055	
	SPI、看门狗、其他电路	0.010	
	AD5421总计	0.225	7%
AD5700	调制器/解调器(最差情况, 发射)	0.124	
	时钟发生器(带外部晶振)	0.033	
	AD5700总计	0.157	5%
	板上其他电路、动态电流	0.138	4%
	总和	3.100	100%

总之, 该解决方案不但支持低功耗工作, 同时也是一种高性能的解决方案, 面积开销最小, 还符合HART规范。已通过兼容性测试和验证, 并注册为HART通信基金会认证的HART解决方案。这一成功注册可让电路设计人员放心地使用电路中的元件。ADuCM360的高集成度使其具有高度的灵活性, 并将重点从传统分立式元器件设计转移到芯片内每一个集成式模块的最高效利用。系统设计人员甚至可以在设计后期实践前文讨论的权衡取舍——他们只需在软件中改变电路设置。这样可以缩短设计周期并简化电路修改和电路性能的调谐, 无需经过成本高昂又费时费力的PCB修改过程。这款集成式完全可编程CN0267解决方案提供完整的文档, 并可在线订购硬件。

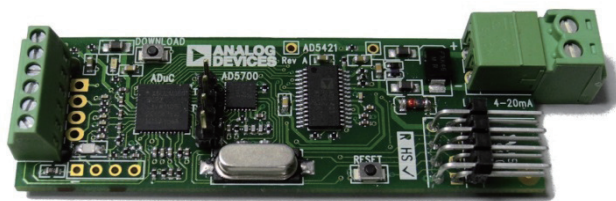


图4. HART注册的现场仪器仪表演示板

参考文献

HART通信基金会认证, 网址: www.hartmcomm.org

环路供电智能变送器的功耗限制如何在功耗预算固定不变的情况下提高智能水平

作者: Tracey Johnson(精密转换器部门应用工程师)
和Michal Brychta(ADI公司工业和仪表仪器部门系统应用工程师)

当代的现场仪表,也就是众所周知的智能变送器,是基于微处理器的智能现场仪表,用于监控过程控制变量。随着一些处理功能从中心控制室分散到工作现场,此类现场设备的智能化程度日益提高。系统设计人员面临着一种直接挑战,也就是既要融合额外的智能、功能和诊断能力,同时又要开发出能够在4-20mA的环路所提供的有限功率范围内有效运行的系统。本文旨在指出市场中出现的一些主要

趋势的重要性,同时探讨如何在整体系统层次以及在智能变送器设计基本信号链元件的范围内高效地解决这些问题。由ADI公司开发并向HART通信基金会[1]注册的一个示例解决方案专门用于此类设计。

大部分智能变送器是环路供电型(双线)器件。从环路获得的电源必须为仪表内的一切供电,包括传感器和所有支持电子电路。最小环路电流为4 mA,因此这种设计只能使用3.5 mA(“低报警”设置),这是允许的最大系统功耗。所以,为智能变送器设计选择器件时,功耗是首要考虑因素。

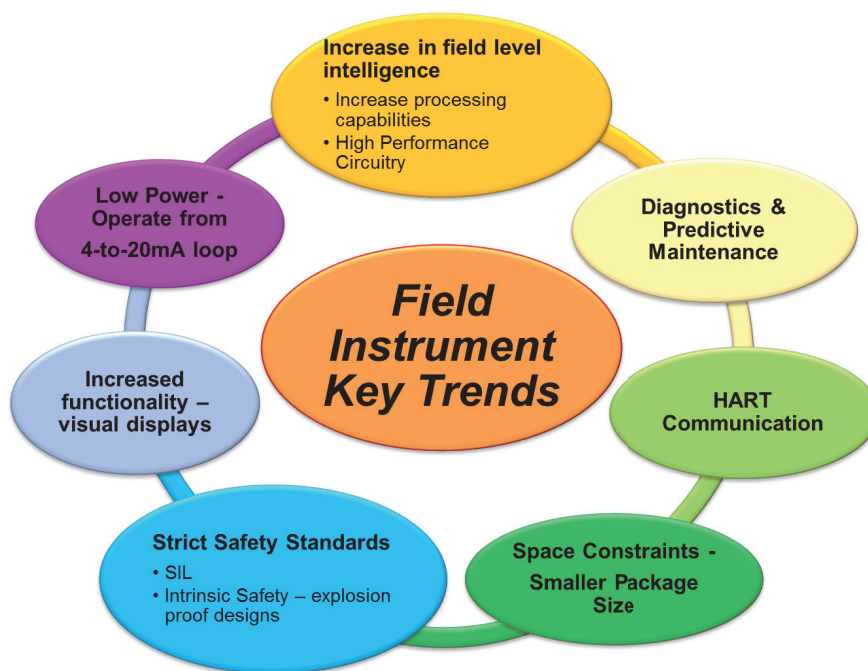


图1. 现场仪表行业的趋势

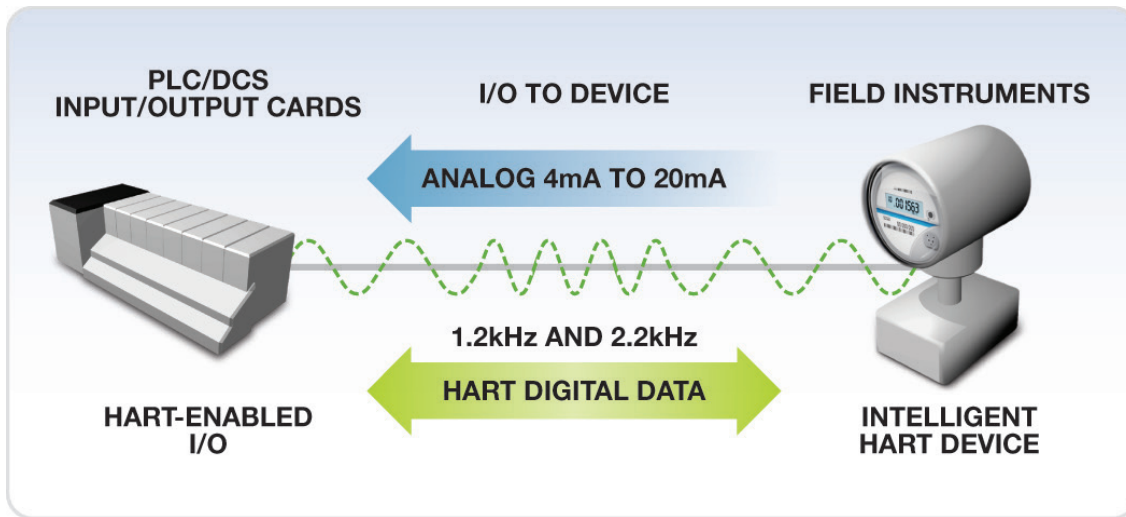


图2. HART通信。

智能变送器常常位于危险或远程区域，难以直接接触以执行常规系统维护任务。这正是预防性维护功能发挥重要作用的场合，无需部署维修人员前往现场。因此，器件越来越需要了解自身的健康状况。

变送器通过标准4-20 mA模拟环路向控制室传送过程变量。对于过程关键型测量，这是首选通信方式，因为它非常可靠，本身对噪声和压降不敏感。在现场集成更多智能功能已然成为一种趋势，在此背景下，HART®(可寻址远程传感器高速通道)通信也开始成为整个行业的最佳双向通信协议，用以在现场设备和控制室之间以数字方式传输额外的诊断信息。简而言之，直流和低频4-20 mA电流信号由独立的更高频率信号进行调制，高频信号在一对频率之间切换：1.2 kHz和2.2 kHz；这种技术称为频移键控(FSK)。此1 mA峰峰值FSK信号被调制到模拟电流信号上，原始主变量传输不中断。

像所有应用一样，可用的PCB面积是有限的，因此需要对所用器件的类型和尺寸进行限制。此外，变送器外壳尺寸缩小以及对补充功能的需求，进一步限制了PCB面积。结果，每个组件都需要高集成度的芯片解决方案。

随着系统级集成变得日益普遍，困难开始转向增强系统性能方面，即器件的精度和分辨率。根据绝对精度和温漂选择具有所需性能和总误差的器件，对于实现精确、稳定的

变送器解决方案至关重要。这同样有助于消除多种高成本校准程序，从而降低生产成本，提高最终系统的可制造性。

以上考察了市场上的一些主要发展趋势，接下来，我们将详细探讨一种真实的环路供电型4-20 mA智能变送器信号链。

1. 图3信号链中所示的两种传感器常用于智能变送器设计，其中的主变量取决于辅助变量(例如主变量的温度补偿)。检测元件测量环境参数或过程变量。传感器输出信号需要进行调理和放大。通常使用低噪声精密仪表放大器。重要的是低噪声与低功耗之间应实现良好的平衡。经过调理的传感器信号随后由ADC采样。为提供高性能16位现场仪表输出，需要使用分辨率高于16位的ADC。常常选用高分辨率、高动态范围的 Σ - Δ 型ADC。ADC输出信号的数字信号处理是信号链中的下一级。这是在微控制器中完成。通常使用10 MIPS以上的32位RISC控制器，比如ARM Cortex™-M3。该控制器还需要辅助以适当大小的闪存SRAM和其它外设，例如：上电复位功能、时钟产生、数字接口和一系列诊断功能。微控制器(μ C)是一个复杂元件，可能需要很大功率，所以每毫瓦功率能够完成的处理越多越好。

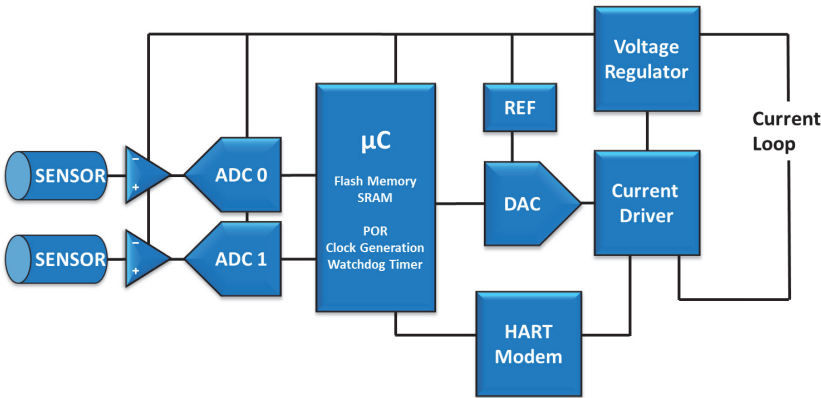


图3. 智能变送器信号链

2. 除了处理测量之外， μC 还用于控制DAC，再由DAC控制环路电流。除了DAC的低功耗要求以外，信号链选择该器件的其他重要考虑是高精度、温度稳定性和固有诊断功能，所有这些都助于增强系统的性能和稳定性。DAC基准源的精度和稳定性同样至关重要。
3. 馈入DAC的是HART调制解调器，它与 μC 的UART接口一道，支持智能变送器设计的HART通信，在检索仪器的过程和诊断信息方面起着重要作用。同样，低功耗和小尺寸是选择HART调制解调器组件时的重要考虑因素。拼图的最后一块是电源管理电路(如图3所示)，图中显示为稳压器模块。它直接从环路获取电源，并提供稳压电源以为图中所示全部变送器信号链器件供电。

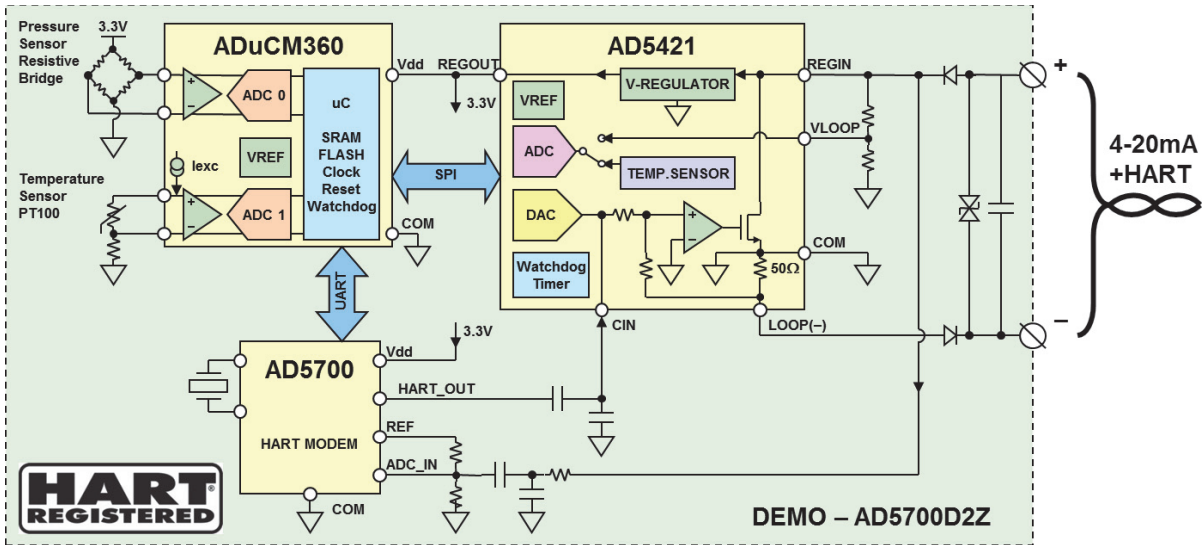


图4. 支持HART的智能变送器演示方案框图

在每微安都非常重要的此类应用中，图4所示支持HART的智能变送器演示电路(CN-0267) [2]具有至关重要的作用。该电路由ADI公司开发而成，采用ADuCM360 [3](一款精密模拟微控制器)、AD5421 [4](一款16位、4-20 mA环路供电型DAC)和AD5700 [5](一款符合HART标准的IC调制解调器。模拟前端电路针对低功耗工作模式而优化，同时还能维持所需要的高模拟性能。微控制器内核可以配置为普通工作模式，功耗为290 $\mu\text{A}/\text{MHz}$ 。它提供极其灵活的内部电源管理选项，以多种内部时钟速率选项实现功耗折衷，同时还动态地将功率输送到内部模块。HART的典型发射和接收电流分别为124 μA 和86 μA ，占总功耗预算的比例有限。类似地，环路供电型DAC的最大静态电流只有300 μA ，总非调整温度误差为 $\pm 0.048\%$ FSR，在实现传输测量信息粒度最大化的同时，对系统功耗无负面影响。

更详细地研究此解决方案，并将其与图3说明的通用信号链进行比较：

1. 微控制器片上ADC 0测量现场仪表主要传感器，本例中是一个阻性电桥压力传感器，第二个片上ADC则用来测量次要温度传感器信号。这样可以实现主传感器的温度补偿。两个仪表放大器同样集成到微控制器芯片上，此外还有激励电流源、基准电压源和其它支持模拟电路。所有现场仪表数字功能都由低功耗32位ARM Cortex-M3 RISC处理器提供。
2. 此设计中的第二个重要元件是环路供电DAC(AD5421)，它通过SPI接口与微控制器集成。该DAC是一款完整的环路供电型数字4mA-20mA转换器，内置基准电压源、环路接口级和可编程电压调节电路，它们都是从环路获

取低功耗电源，并为自身以及变送器信号链的其他元件供电所必需的。DAC还提供多个片内诊断功能，所有这些功能都可由微控制器配置和读取，但也可以自主工作。

3. 最后，HART调制解调器通过标准UART接口连接到微控制器。HART输出通过容性分压器调整至所需幅度，并耦合至DAC的CIN引脚，然后与DAC输出一同驱动和调制输出电流。HART输入通过简单无源RC滤波器从LOOP+耦合。RC滤波器作为第一级，用作HART解调器的带通滤波器，同时增强系统抵抗电磁干扰的能力——这对于稳定工作在恶劣工业环境中的应用而言非常重要。HART调制解调器的时钟由片上低功耗振荡器生成，具有3.8664 MHz外部晶振，使用两个8.2 pF接地电容，直接连接到XTAL引脚。这种配置使用的功耗最低。

表1列出了该DEMO-AD5700D2Z系统中的电流详细情况。系统不但支持低功耗工作，同时也是一种高性能的解决方案，面积开销最小，还符合HART规范。已通过兼容性测试和验证，并注册为HART通信基金会认证的HART解决方案。这一成功注册可让电路设计人员极其放心地使用电路中的元件。

总而言之，以上所述电路展示了一种可能的解决方案，可以应对环路供电智能变送器设计面临的多重挑战，以满足不断增长的市场需求。以上综述了变送器信号链，并提供ADI公司解决方案，旨在直接应对这些挑战，平衡每个组件所需的功耗分配，从而产生综合全面的信号链，满足现代多功能市场领先型智能变送器设计在功耗、性能、尺寸和诊断方面的要求。

表1. 演示电路的功耗计算

电路模块		电源电流(mA)
传感器	主传感器(阻性电桥, 5V时5kΩ)	0.660
	辅助传感器(RTD, 200 μA激励)	0.200
	总计	0.860
ADuCM360	仪表放大器1(增益=8)	0.130
	仪表放大器2(增益=16)	0.130
	24位ADC 1, 包括输入缓冲器	0.140
	24位ADC 2, 包括输入缓冲器	0.140
	基准电压源、RTD基准电流源	0.135
	uC内核、FLASH、SRAM(内核时钟=2 MHz)	0.790
	SPI、UART、定时器、看门狗、其他电路	0.085
	时钟发生器	0.170
	总计	1.720
AD5421	16位DAC	0.050
	V转I驱动器	0.060
	基准电压源	0.050
	电源管理、稳压器	0.055
	SPI、看门狗、其他电路	0.010
	总计	0.225
AD5700	调制器/解调器(最差情况、发射)	0.124
	时钟发生器(带外部晶振)	0.033
	总计	0.157
板上其他电路、动态电流...		0.138
总和		3.100

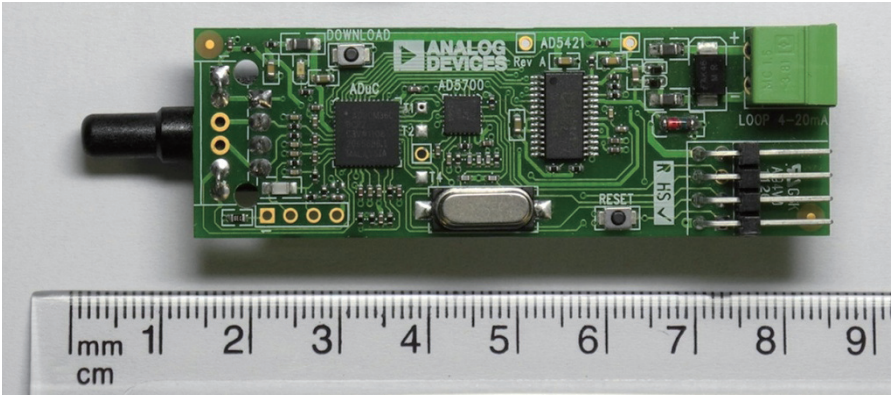


图5. 支持HART的智能变送器演示系统

参考文献

- ^[1] HART通信基金会 www.hartcomm.org
- ^[2] CN-0267“带有HART接口的完整4-20 mA
环路供电型现场仪表” www.analog.com/cn/cn0267
- ^[3] ADuCM360 www.analog.com/cn/aducm360
- ^[4] AD5421 www.analog.com/cn/ad5421
- ^[5] AD5700 www.analog.com/cn/ad5700

利用集成式工业接口 数字隔离器 减少尺寸与成本

随着竞争产品价格的降低和产品差异化需求的增加，在工业市场上生存也变得越来越艰难。同时，安全标准不见有丝毫放宽，这要求更多的工业应用采用电流隔离，给光耦合器带来不利影响。这些不利影响会导致以下这些因素的增加：尺寸、功耗、电路板、元件数和成本。

设计工程师如何权衡抵抗有害脉冲和浪涌、设计复杂性以及成本等互相冲突的要求，同时尽可能加快上市以保持竞争力？您可以轻易将一组光耦合器固定到现有接收器上，但这么做意味着增加成本、设计复杂性、元件数和电路板空间。搜索“隔离式RS-485”、“隔离式RS-232”、“隔离式CAN”、“隔离式I₂C”或“隔离式USB”就能找到一大堆基于数字隔离技术的完全集成式解决方案——在单个封装内实现隔离并集成收发器。有些甚至在封装内集成隔离式电源，进一步降低系统尺寸和成本。只有数字隔离器才能实现如此完整跨度的解决方案，这意味着它们的功耗不会过大，因此无需重新设计就能够适应目前的

功耗预算。然而需注意，对于基本隔离和/或增强隔离，并非所有列出的“隔离式”解决方案都能满足严格的UL、CSA和VDE要求。

这些完全集成式解决方案的设计师将被采购经理视为英雄。毕竟，采购经理会说：“就用我们之前买的东西。我不在乎它是不是会增加成本。”

图1显示隔离I₂C总线的不同方法。图1A显示使用一个I₂C缓冲器和四个光耦合器的实现方法。图1B显示使用单片IC的实现方法。图2显示了隔离RS-485的类似实例，单片IC方法明显符合采购经理的意愿：一个器件比两个便宜。鉴于篇幅有限，我们不用罗列采用分立式元件隔离USB和使用单片隔离式USB IC的显著区别！

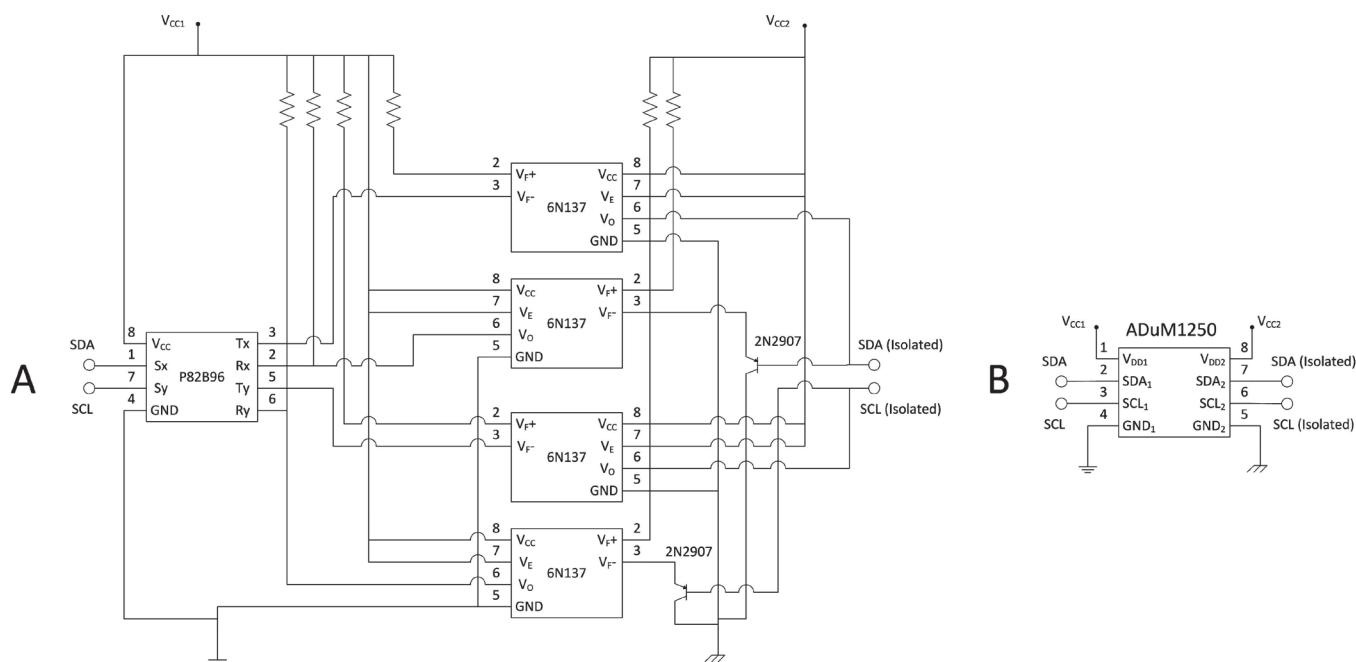


图1. I₂C缓冲器和4个光耦合器与单片IC(注意：为简明起见，图中略去了上拉电阻)

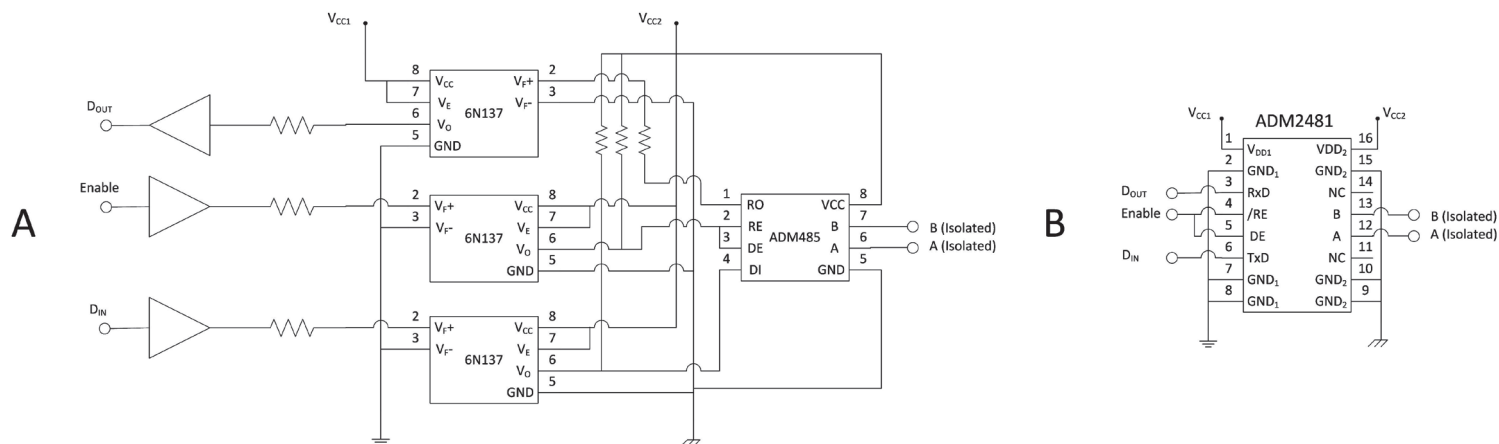


图2. RS-485收发器和3个光耦合器与单片IC

利用数字隔离器简化设计并确保系统可靠性

内容提要

工业环境中使用的测量器件往往需要进行隔离以确保用户和系统安全，同时也是为了保证在高共模电压下获得准确的测量结果。数字隔离器为光耦合器一类的较老技术提供了一种可靠、易用的替代方案。利用数字隔离器，工程师们可以优化隔离系统设计，以降低功耗、保证系统性能，同时无需借助额外的设计裕量来补偿缺失或不完整的器件规格。

简介

设计隔离测量仪器颇具挑战性，有时甚至会令人沮丧不已。隔离前端可以保护用户免受测量系统中可能存在的致命电压的伤害，同时允许工程师在高共模电压下进行精确的测量。图1所示为此类测量的一个典型示例。在高压燃料电池或电池组中，了解单个电池的电压有助于确保系统的安全运行，同时可以最大限度地延长电池寿命。在确定单个电池的电压时，我们必须在高达数百伏特的共模电压下进行测量。在用热电偶测量载流导体的温度时，会出现类似的情况。在本例中，系统必须具备测量毫伏级信号分辨率的能力，同时抑制高电平的60 Hz 共模噪声，并保护操作员不受任何危险电压的伤害。

最初人们用隔离放大器来解决这个问题，但随着测量带宽和分辨率的增长，这种解决方案已经过时。现在，执行此类测量的最精确、最经济、最高效技术是隔离整个测量前端(包括模数转换器(ADC))，并对系统其余部分实施隔离串行链路，如图1所示。该链路可以是一个局部总线(如SPI)，也可以是工业协议(如RS-485)，用以将测量数据长距离传输至控制器单元。

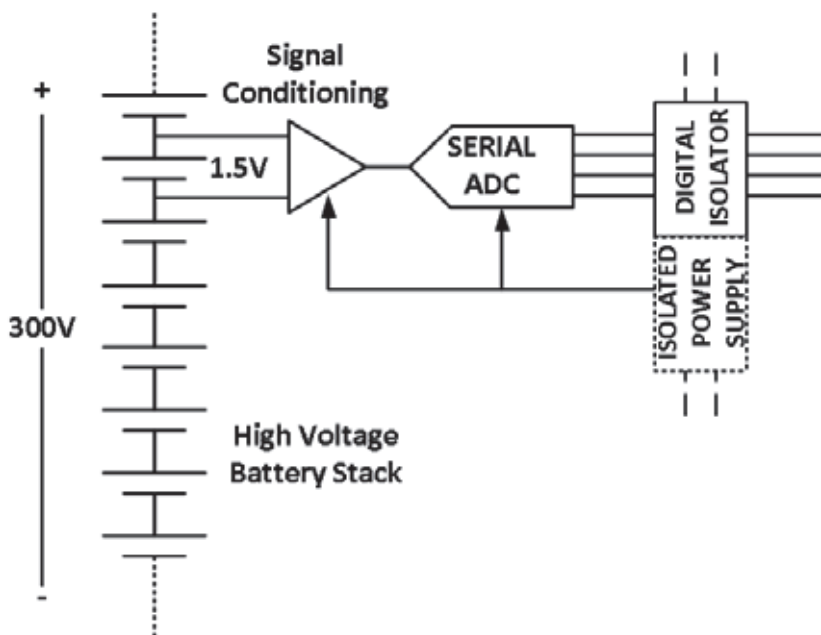


图1. 用隔离前端测量高压电池组中单个电池的电压

可靠性设计

直到大约10年前，光耦合器仍然是隔离数字信号的少数可行解决方案之一。然而，如果问一问不得不用光耦合器进行设计的工程师，您就会了解到，用光耦合器开发高效、可靠的系统是多么的困难，尤其是需要将成本降至最低时。光耦合器使用LED来产生跨越隔离栅的光，以接通和关闭光电晶体管。在用光耦合器进行设计时，必须保证LED能产生足够的光来接通接收光电晶体管，同时，输出上升和下降时间也要足够快，以支持目标频率下的操作。光耦合器最重要的一个规格是电流传输比(CTR)。CTR是光电晶体管上出现的集电极电流与通过LED的电流的比值。

光耦合器CTR不但拥有极宽的容差，而且性能会随着时间的温度而下降。为了确保光耦合器能在高温下使用数年之后继续工作，工程师必须假设最差情况下的CTR，这本身就极具挑战性，因为光耦合器数据手册只列出了室温下的CTR规格。例如，典型光耦合器的规格表列出了25°C下50%-600%的保证CTR。另外，大多数数据手册都包含典型图表，显示80°C时的CTR仅为20°C时的CTR的大约50%。事实上，没有数据手册会列出85°C时

的最小CTR，因此，您必须对该值做出假设。另外，有些研究对CTR随时间发生的下降进行了模拟，但该规格同样未列于数据手册中，因此，您必须决定增加多少额外的设计裕量，以保证最终产品能在预期寿命范围内可靠地运行。设计一个鲁棒的隔离器电路意味着，您必须做出许多工程设计假设，需要在增加的功耗和降低的工作速度之间取舍，留出足够的裕量以便产品在整个寿命期间可靠运行。

数字隔离器使用非光学方式来横跨隔离栅发送数据。例如，ADI公司的隔离器采用微变压器技术来横跨隔离栅发送脉冲，不存在与光耦合器相关联的时间和温度下降效应。这样，可以针对器件的整个工作温度范围发布保证最低和最大功耗、传播延迟和脉冲失真规格。有了完整的规格，就不需要在您的工作条件下对光耦合器进行广泛的特性测试，可以直接使用数据手册中的数据来计算最差情况下的系统性能。您只用看看数字隔离器的保证传播延迟、偏斜和功耗，即可利用这些数据来计算顶层系统时序规格，就像任何标准数字集成电路一样。也可使用其他非光学技术，例如容性、射频(RF)和巨磁阻(GMR)耦合。

表1.ADI公司ADuM140x系列数字隔离器的监管机构认证。

UL	CSA	VDE	TÜV
1577 器件 认可程序认可	CSA 元件验收通知#5A 批准	DIN V VDE V 0884-10 (VDE V 0884-10):2006-12 认证	通过 IEC 61010-1:2001(第2版)、 EN 61010-1:2001(第2版)、 UL 61010-1:2004 和 CSA C22.2.61010.1:2005 标准认证
双重/加强绝缘， 2500 Vrms 隔离电压	基本绝缘符合 CSA 60950-1-03 和 IEC 60950-1 标准，800 V rms(1131 V 峰值)最大工作电压；加强绝缘符合 CSA 60950-1-03 和 IEC 60950-1 标准，400 V rms(566 V 峰值)最大工作电压	加强绝缘，560 V 峰值	加强绝缘，400 V rms 最大工作电压

由于磁性数字隔离器大部分功率消耗于从一个状态切换至另一状态时，故功耗与工作频率呈比例关系。因此，处于空闲状态或者开关速度极低的通道功耗非常小。一旦已确定应用的最大串行时钟速率，即可设计电源来提供支持该速率的充足电流。在利用光耦合器进行设计时，必须确保LED处于关闭状态时电路始终处于空闲状态，以将功耗降至最低。

光耦合器技术进入市场已超过30年；一些工程师对转向新的隔离器技术保持谨慎。大多数制造商都要将产品提交监管机构批准，并清楚展示其隔离器通过了哪些标准。诸如ADI公司数字隔离器的器件均以聚酰亚胺为绝缘体，这种材料也用于许多光耦合器之中。在某些情况下，它们是按照与光耦合器相同的安全标准进行测试，而在其他情况下(如VDE V 0884-10)，则专门针对数字隔离器制定了具体标准。例如，表1展示了ADuM140x系列隔离器的机构认证。

其他问题涉及数字隔离器承受过压浪涌的能力，以及它们对共模电压和磁场干扰形式的瞬变的抗干扰能力。幸运的是，借助聚酰亚胺绝缘材料，ADI公司的数字隔离器可以承受最高6 kV的浪涌达10秒。由于隔离栅上只有极低的寄生电容，因此，磁性隔离器相对于其他技术还具有极佳的共模瞬变抗扰度(CMTI)。例如，典型高速光耦合器的CMTI规格为1至10 kV/μs，而磁性数字隔离器可抑制35 kV/μs以上的共模瞬变。

乍一看，对磁场干扰的担心似乎非常合理，因为采用微变压器的隔离器利用磁场来横跨隔离栅发射脉冲。有人可能认为，足够强的磁场可能会干扰脉冲，从而导致输出错误。然而，由于变压器及其空芯的半径非常小，因此只有非常大的磁场或极高的频率才能产生故障。图2所示的最大容许电流和频率仍可以保证AD344x隔离器的输出无故障。例如，只有超过500 A(1 MHz，距离器件5 mm)的电流才可能触发故障输出。理论上，产生错误输出所需要的幅度和频率组合远远超过了绝大多数应用的范围。

高速运行

当隔离测量系统使用高采样速率时，用光耦合器隔离串

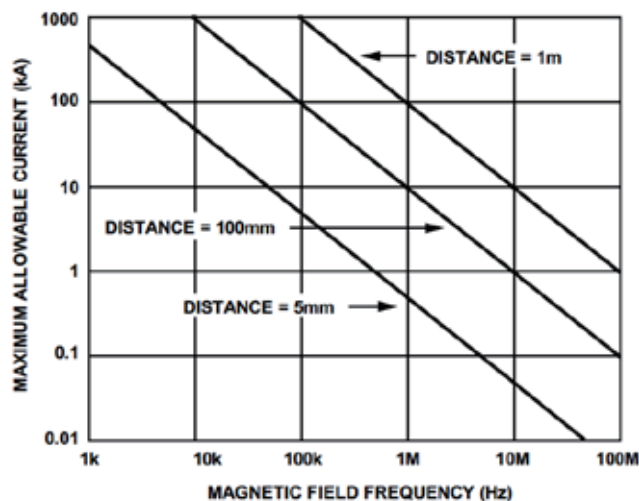


图2.ADuM344x可保证无错运行的最大容许电流和频率

行总线可能是比较困难的任务。接收器光电二极管的寄生电容限制了光耦合器传输数字信号的速度。您可以通过增加来自LED的光量来提高该寄生电容的充电速度，但这样做会增加功耗。另外，很少有光耦合器在每个封装内只沿同一方向提供两个以上的通道，而且通常不包括与通道间匹配相关的时序规格。虽然假定同一封装中的光耦合器之间具有良好匹配合乎逻辑，但缺少印制的规格意味着您必须做出工程设计假设。与依赖非印制规格的情况相同，大多数谨慎的工程师会选择留出充足的设计裕量，工作性能远远低于采用单个光耦合器时数据手册指示的性能。

使用数字隔离器的另一优势是，产品可采用4通道器件形式，保证速度最高可达150 Mbps。另外，所有数字隔离器制造商都在数据手册的时序部分提供了保证通道间匹配规格。例如，ADI公司的ADuM344x隔离器在整个工作温度范围内的保证通道间传播延迟失配小于2 ns。实际使用中，这意味着可以在数据手册列出的速度下使用数字隔离器，而无需针对较大或未知的器件间或通道间偏斜来下调系统性能。

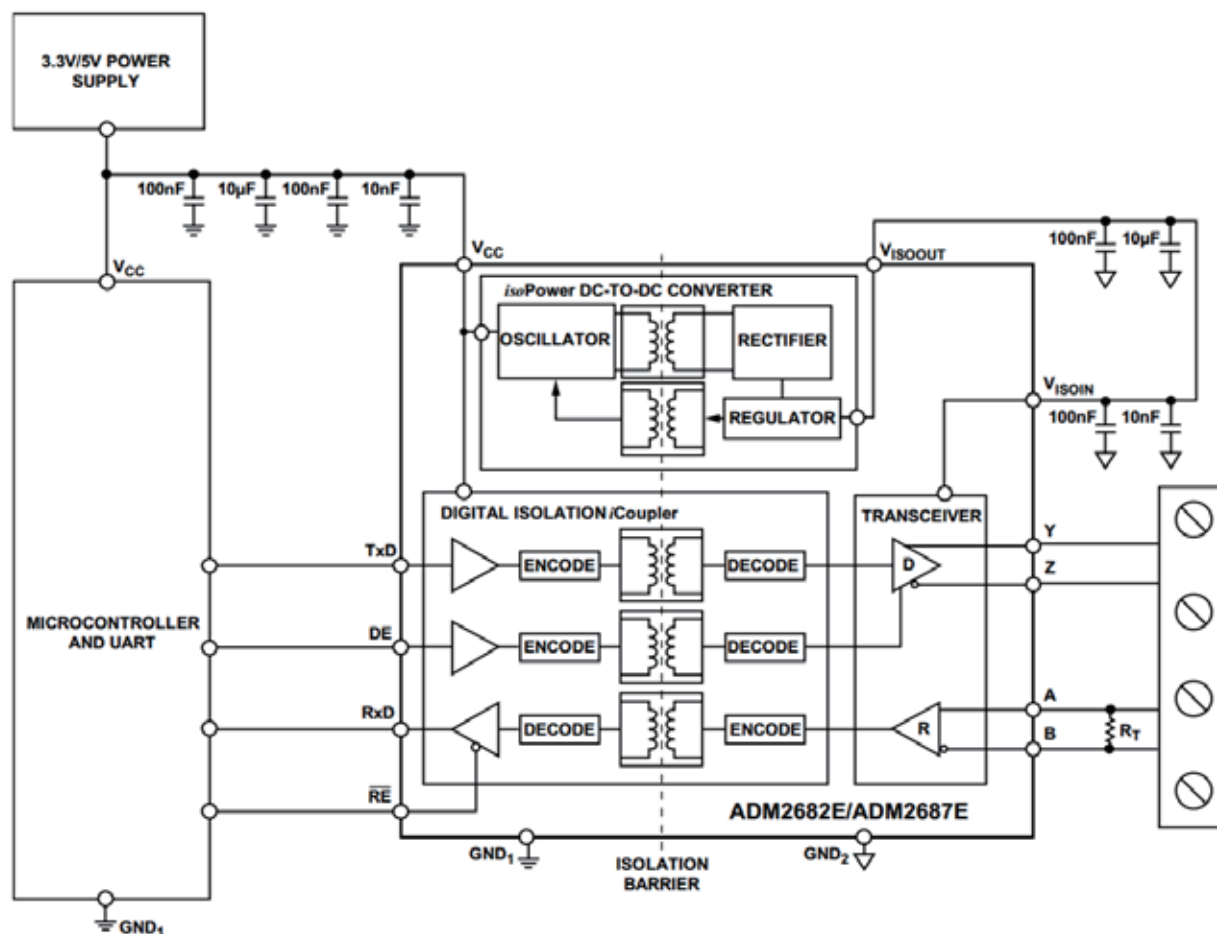


图3.可以用单个ADM2682E实现全双工、隔离式RS-485接口

集成

由于数字隔离器技术兼容标准CMOS工艺，因此，集成额外的功能以简化系统设计相对较容易。例如，传统的热电偶测量器件可能用多个光耦合器来实现低速SPI接口，并用具有驱动器和调节器的隔离变压器来为隔离前端供电。利用集成隔离电源的数字隔离器（如ADuM5401），整个隔离系统成为带四个数据通道和隔离电源的单个集成电路。与使用分立隔离器和隔离电源相比，这种方式提高了可靠性，节省了大量电路板空间，降低了成本。

许多仪器内置隔离式RS-485端口，用于远程监控或控制。几年前，实现这样的隔离端口不但需要为数据线路

配置隔离器，而且需要兼容RS-485差分信号和电源的收发器。图3显示了像ADM2682E这样的单个IC如何将所有功能集成到单个封装之中。

总结

过去，设计隔离式测量设备是一种昂贵、困难、有时甚至令人沮丧的任务，因为光耦合器存在诸多的技术问题。在过去几年中，数字隔离技术的进步大大简化了这一任务。数字隔离技术具有成本低、性能高、易用、集成度高的特点，有助于工程师按时完成开发进度。另外，监管机构认证以及承受高干扰水平的能力使其非常适合工业测量系统中常见的长寿命产品。

有关ADI数字隔离器系列的更多信息，请访问
www.analog.com/cn/icoupler。

用低噪声仪表放大器设计高性能系统

作者: Gustavo Castro和Scott Hunt, ADI公司集成放大器产品部应用工程师

什么是低噪声仪表放大器?

低噪声仪表放大器是一种非常灵敏的器件,它能够在嘈杂的环境中或出现较高不感兴趣电压的条件下对非常微弱的信号进行测量。放大器通过抑制两个输入端的共模电压和放大输入信号的差值来测量信号。低噪声仪表放大器宽带噪声极低且1/f噪声转折频率低,因此,能满足大多数精确应用的需要。

哪种系统需要低噪声仪表放大器?

通常,低噪声仪表放大器用在需要精密放大功能和需要传感器信号调理的系统中。此类系统生成的信号太弱,无法直接为数据转换器所用。一些传感器生成的窄带信号的强度可能非常微弱,而有些传感器可在较宽带宽范围内产生各种频率的时变信号,在这两种情况下,都需要将这些信号放大至高于系统的噪底。在高共模电压(通常为交流电力线频率)条件下,系统必须在噪声环境下保持其应有的性能。

什么应用需要用到这种放大器?

低噪声仪表放大器可应对当今某些最严峻的挑战。这些挑战要求信号监控、数据分析和物理测量工具具备精密放大功能。它们的应用场合如下:

- 采矿和能源开采所需的数据记录系统
- 用于校正心律失常的心脏导管消融术所需的手术器械

- 用于提高机械和车辆安全性的模态振动分析工具

其它应用包括麦克风前置放大器、声波换能器、压电传感器调理、血压监测仪、脑瘤诊断仪(EEG)、心脏监护仪(ECG)、磁传感器调理和功率监测仪。

如何确定仪表放大器的噪声规格?

像运算放大器一样,仪表放大器将噪声规定为折合到输入端噪声(RTI)。也就是说,出现在放大器输入端的都会计入。但与运算放大器不同的是,仪表放大器还具有输出级的噪声(e_{no}),必须用该值除以增益,以获得RTI值。折合到放大器输出端的噪声(RTO)等于RTI噪声与放大器的增益的乘积。

如何计算总噪声密度?

仪表放大器的一个简单的噪声模型见图1。如需获得总噪声,必须要考虑放大器输入端的源电阻。任何与仪表放大器相连的传感器都有输出电阻,电阻值可能因传感器的类型不同而有较大差异。串联电阻用于保护仪表放大器,这些电阻阻值之和构成了总源电阻(以 R_s 表示),见图1。该电阻值对噪声的影响有两方面。无论制作多么精良的电阻都会产生极低的热噪声,该噪声与阻值的平方根成比例。此外,电流噪声(i_{ni})通过 R_s 可转化为电压噪声。因此,三个主要噪声源为:与 R_s 无关的电压噪声(e_{ni} 和 e_{no})、源电阻的热噪声(e_{ns})和电流噪声(i_{ni})。

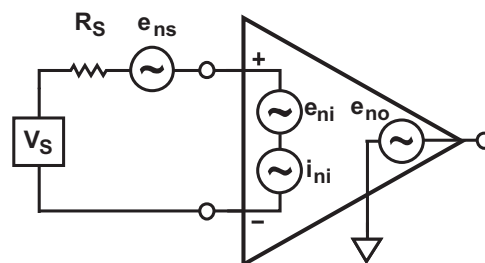


图1. 简单的仪表放大器噪声模型

将这些噪声综合起来, 可以获得总噪声密度, 计算公式如下:

$$\text{Total RTI Noise (nV}/\sqrt{\text{Hz}}) = \sqrt{(e_{ns})^2 + (e_{ni})^2 + (e_{no}/G)^2 + (i_{ni} * R_s)^2}$$

欲获得关于放大器电路噪声的详细分析资料, 请参阅应用笔记AN-940。

如何选择最符合应用需要的低噪声仪表放大器?

输入电压噪声数值(nV/√Hz)最低的仪表放大器不一定是最佳低噪声仪表放大器。在对噪声敏感的应用中, 为找到最佳放大器, 必须考虑增益、源电阻和频率范围。图2显示了ADI公司三款仪表放大器的总噪声, 以在几乎全部源电阻条件下提供最佳噪声性能。

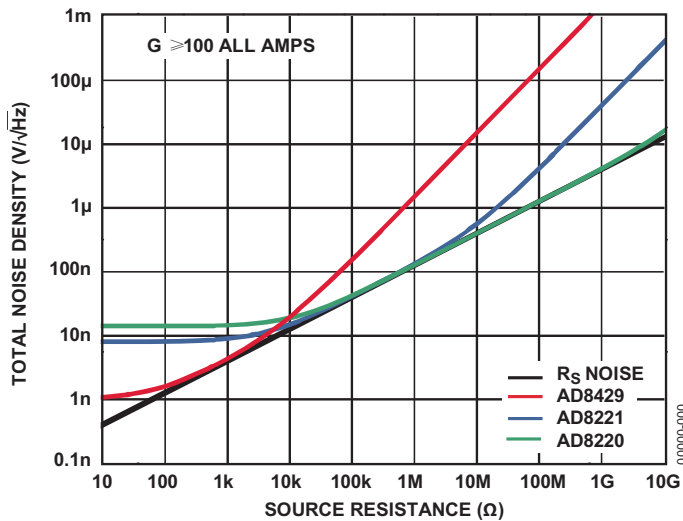


图2. 总噪声与源阻抗的关系

注意, 无论选择哪种放大器, 当 R_s 值较低时, 电压噪声为主要噪声, 而 R_s 值较高时, 电流噪声为主要噪声。在给定源电阻值的情况下, 可以利用下面公式决定哪种噪声为主要噪声。

$$R_L (k\Omega) = \frac{[Total \text{ Amplifier Noise Voltage (nV} / \sqrt{\text{Hz}})]^2}{16}$$

$$R_H (k\Omega) = \frac{16}{[Amplifier \text{ Current Noise (pA} / \sqrt{\text{Hz}})]^2}$$

如果源电阻低于 R_L , 则电压噪声为主要噪声, 这时, 应该选择电压噪声较低的放大器。而如果源电阻高于 R_H , 则电流噪声为主要噪声, 这时, 应该选择电流噪声较低的放大器。

在上述示例中, 当 R_s 值在5 kΩ至10 kΩ之间时, 这些放大器的噪声性能会非常接近, 甚至相同。这时, 需要考虑优化系统的其它参数(如: 带宽、功率、失真、成本)。

我可以自己构建低噪声仪表放大器吗?

可以自己构建分立式低噪声仪表放大器, 但必须克服某些困难。例如: 必须保证高共模抑制、低漂移、高带宽和低失真。要在分立设计中实现这些参数相当困难, 必须用到多种器件, 调整的成本非常高, 功耗较高, 而且占用电路板的面积也比较大。ADI公司提供的低噪声仪表放大器可以为各种应用提供更好的解决方案。

参考文献

- 1 视频: “仪表放大器电路的噪声。”
- 2 MT-065指南, 仪表放大器噪声(ADI)。
- 3 AN-940应用笔记, 最佳噪声性能: 低噪声放大器选择指南(ADI)。

在隔离RS-485节点中分割隔离电源的选择和解决方案

作者: Colm Ronan, ADI公司高速信号调理部营销和应用经理

内容提要

ADI公司的集成RS-485隔离收发器产品组合提供出色的灵活性和性能, 能够满足极具挑战性的系统设计的要求, 与光耦合器方法相比具有明显的优势。

在RS-485节点中隔离信号和电源, 为实现最佳配置, 针对小尺寸、低功耗、数据速率、EMI和物料成本等系统要求, 带来设计上的挑战。光耦合器等传统的分立式解决方案存在失效寿命方面的问题, 而且光耦合器技术本身的物理特性决定了每通道隔离的功耗较高, 业界就这些问题已有详细论述。此外, 光耦合器技术的成本会随着数据速率提高而大幅度提高, 制造复杂度也会随着器件数量增加而提高。分立式隔离DC/DC转换器的实现需要设计人员具备变压器设计知识, 能够将隔离DC/DC转换器的其他电源器件与变压器匹配。设计易受这些器件相关的寄生电阻、电感和电容影响。幸运的是, 如今有了新型高集成度隔离式收发器解决方案, 能够解决这些设计挑战。

过去七年来, ADI公司开发出了一系列创新的集成式隔离RS-485收发器, 它们集ADI公司领先的RS-485接口技术与iCoupler®数字信号隔离技术于一体, 最近还结合了ADI公司的isoPower®隔离式DC/DC转换器技术。这些隔离式收发器产品设计可用于恶劣环境下的众多应用, 例如: 工业自动化、太阳能和风能、仪器仪表、电力线监控等。使用该系列产品的工业通信协议包括Profibus、Interbus、Modbus、BacNet等。

该系列集成式隔离RS-485/422收发器根据电源链的系统分割, 尤其是隔离总线侧电压源, 为设计人员提供最佳的集成解决方案选择。

针对隔离RS-485节点的电源链分割, ADI公司大致提供三类解决方案:

- 完全集成的信号和电源隔离RS-485/422解决方案
- 集成信号隔离和集成变压器驱动器(部分电源链集成)
- 支持灵活选择总线侧电压源的信号隔离式RS-485/RS-422收发器

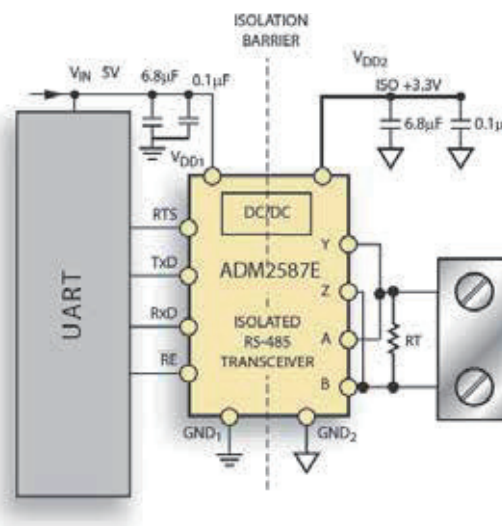


图1显示了ADI公司ADM2587E的紧凑配置, 它是一款集成式信号和电源隔离RS-485收发器。如此高的集成度通过ADI公司的iCoupler®和isoPower隔离技术实现, 二者的结合使这款产品具备出色的性能, 比传统解决方案更易使用、尺寸更小, 相同RS-485负载所需的输入功率更低。[ADM2587E/ADM2582E](#)信号和电源隔离RS-485收发器采用20引脚宽体SOIC封装, 是业界尺寸最小的解决方案; 也是

业界首款兼容大规模表贴制造技术的集成式信号和电源隔离RS-485/RS-422收发器。对于设计时间紧迫、设计尺寸受限的客户，这些产品堪称理想之选。

2007年，ADI公司推出业界首款尺寸最小的Profibus兼容信号隔离RS-485收发器ADM2485，它集成变压器驱动器，并采用16引脚宽体SOIC封装。ADM2485是ADI公司提供的集成变压器驱动器功能的三款隔离式RS-485收发器中的一款。图2显示ADM2485驱动变压器的原边，向总线侧电路输送隔离电源。

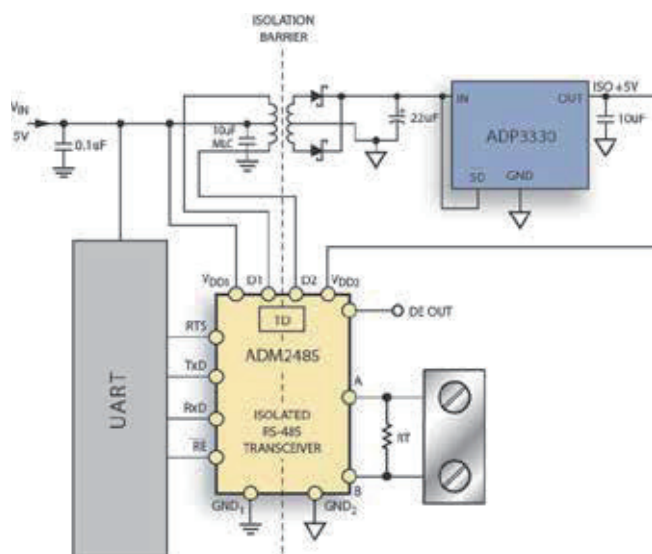
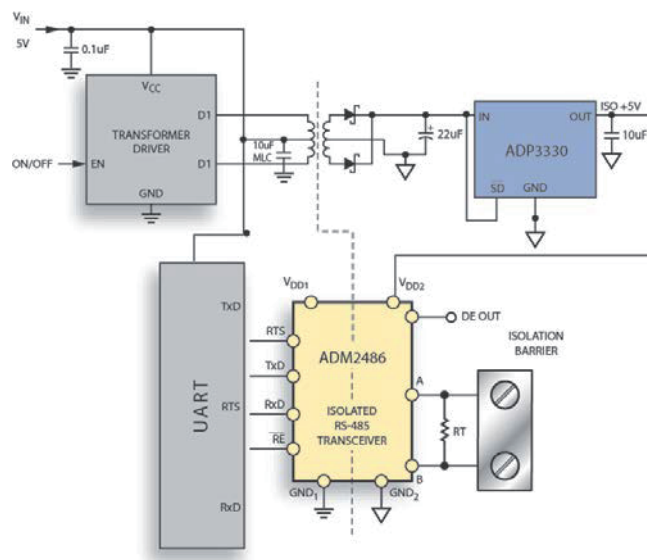


图2所示的配置具有很高的效率，5 V输入电源下的典型效率为81%，适合具有严格温度限制的设计。外部变压器支持DC/DC转换器以500 kHz频率工作，这为辐射要求非常苛刻的设计人员提供了一种低EMI解决方案。对于系统设计人员，图1和图2所示解决方案的主要区别在于：前者尺寸更小、易于使用，后者则提供更高的效率和频率更低的辐射频谱。

在典型的可编程逻辑控制器设计中，I/O和通信端口需要多种多样的隔离电源。这就要求定制电源，从同一变压器内核产生多个隔离电源，如±15 V、5 V和3.3 V电源。这种情况下，最经济的选择是仅集成信号隔离的隔离式RS-485收发器，例如隔离式Profibus兼容型RS-485收发器ADM2486，

从而既能灵活地选择现有5 V或3.3 V隔离电源，也能利用变压器上的单独绕组来产生总线侧隔离电压。图3所示为一个简化的分立DC/DC转换器，它说明了这种配置如何配合ADM2486收发器使用。



ADI公司的隔离式RS-485/RS-422收发器系列产品还提供最高达20 Mbps的多种数据速率，一条总线上最多可连接256个节点，并且提供半双工和全双工工作模式。此外，该系列集成式隔离RS-485收发器全都通过UL、VDE认证，CSA认证可应要求提供。根据产品的隔离额定值(2.5 kV rms或5 kV rms)，这些产品100%经过3000 V rms或6000 V rms生产测试。

ADI公司的集成式RS-485隔离收发器产品组合提供出色的灵活性和性能，能够满足系统设计要求，与光耦合器方法相比具有许多优势。成就这一切的iCoupler变压器技术已于2001年投入量产，目前已有5亿通道交付使用，其可靠性毋庸置疑。iCoupler的使用寿命超过50年，不存在传统的损耗问题，而后一点正是光耦合器技术的根本缺陷。

资源

欲了解有关ADI公司隔离式收发器产品的更多信息，请访问www.analog.com/cn/isolatedxcvrs。

本文提到的产品

产品	描述
ADM2587E	2.5 kV信号和电源隔离、±15 kV ESD 保护、全/半双工RS-485收发器 (500 kbps)
ADM2582E	2.5 kV信号和电源隔离、±15 kV ESD 保护、全/半双工RS-485收发器 (16 Mbps)
ADM2485	2.5 kV信号隔离、高速(16 Mbps)、半双工 RS-485收发器，内置变压器驱动器
ADM2486	2.5 kV信号隔离、高速(20 Mbps)、 半双工RS-485收发器

数据耦合器的增强隔离

作者：Mark Cantrell，ADI公司应用工程师

内容提要

数字隔离器中的强化绝缘经设计和认证后可提供双重绝缘系统的保护，同时具有单个绝缘栅的数据传输性能。

触电安全的主要原则是，在危险加电电路与电气器件用户可接触的任何导体间必须存在相当于两个独立绝缘系统的屏障。绝缘系统之一可为安全接地机壳加上单个内部绝缘层。另一种方法是配置两个绝缘系统以提供冗余保护。因此，使用双重绝缘方法的复杂电气系统要求在不损失信号完整性的前提下通过两个绝缘层

进行电流隔离通信，这就需要具有等效电气强度和双冗余绝缘系统可靠性的器件。这种器件称为加强绝缘器件，依靠结构、型式试验和生产中持续监控来确保与两个独立系统具有同等的安全性。

本文将讨论如何根据IEC 60950、相关的IEC 60747-5-5及VDE-0884-10标准的结构和测试要求在光耦合器和数字隔离器中实现加强绝缘，以及与其他适用于两类隔离器的公认IEC标准的差异。

安全隔离

现代系统需要隔离有许多原因，比如与电池充电系统或电机驱动器中的高压端器件通信，中断通信系统中的接地环路，或保护用户免受危险线路或副边电压伤害。隔离水平取决于具体应用所要求的安全水平。功能隔离无法为用户

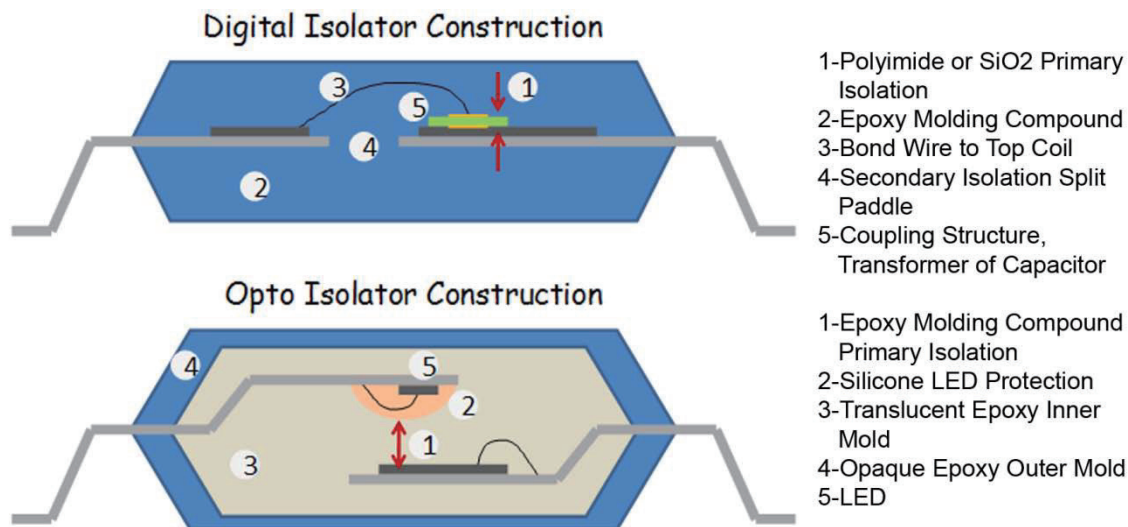


图1.

提供保护，仅提供器件正常工作所需的绝缘。绝缘完好无损时，基本绝缘的触电保护水平足以保护操作员。但为了保护人员免受危险电压伤害，法规要求提供两个独立绝缘系统：针对触电保护的基本绝缘以及一个补充层，以便一个绝缘系统发生故障时，另一个冗余系统仍能保证操作员的安全。这种设计称为双重绝缘。评估绝缘系统时，首要要求是安全性而非电气功能，因此评估期间的故障准则是隔离栅在认证后是否完好无损，如果器件仍符合原有技术规格则更佳。

加强绝缘系统的一个例子是电源中的反馈控制环路。关于当前输出电压电平的信息必须从交流/直流转换器的SELV(安全特低电压)端流向电源的线路端。操作员可能会接触电源的SELV端，因此，数据路径中必须存在两个独立隔离系统或一个加强隔离系统，以便保护操作员免遭电击。电阻或电容等无源器件可以串联运行，功能不会明显下降，但是将两个数据隔离器放在路径中却并不可行，原因有多个。首先，模拟数据将失去保真度，而且数字数据将具有长传播延迟和附加抖动。其次，需要中间电源才能在两个绝缘层间运行耦合器接口。由于双重串联数据隔离器件不切实

际，因此需要直接跨越双重绝缘边界连接的单个器件，同时不牺牲安全性。此类器件(图1)归类为加强绝缘器件。

器件级要求

器件强化绝缘通过两种方法评估，一种是器件的外部尺寸，例如爬电距离、间隙和漏电指数，另一种是内部电气性能。内部和外部要求的处理方法大不相同。

爬电距离是指电气隔离两端的导电结构(如器件引脚)之间沿器件表面的最短距离。电气间隙是指器件中隔离导电结构之间的最短距离，但它不限于表面上，路径可以跳过沟槽，悬在脊背上。在简单的几何形状中，爬电路径与间隙路径常常相同。插图显示了JEDEC标准SOIC封装的爬电路径，许多隔离器件都采用这种封装。对于此类封装，爬电和间隙具有相同的路径和长度。爬电距离总是大于或等于电气间隙。对于绝缘额定值而言，器件还有一个重要的外部特性，那就是相对漏电指数(CTI)。它衡量一种绝缘材料受漏电侵蚀的容易程度。较高的漏电电压允许爬电距离较小，同时仍能保持安全性。

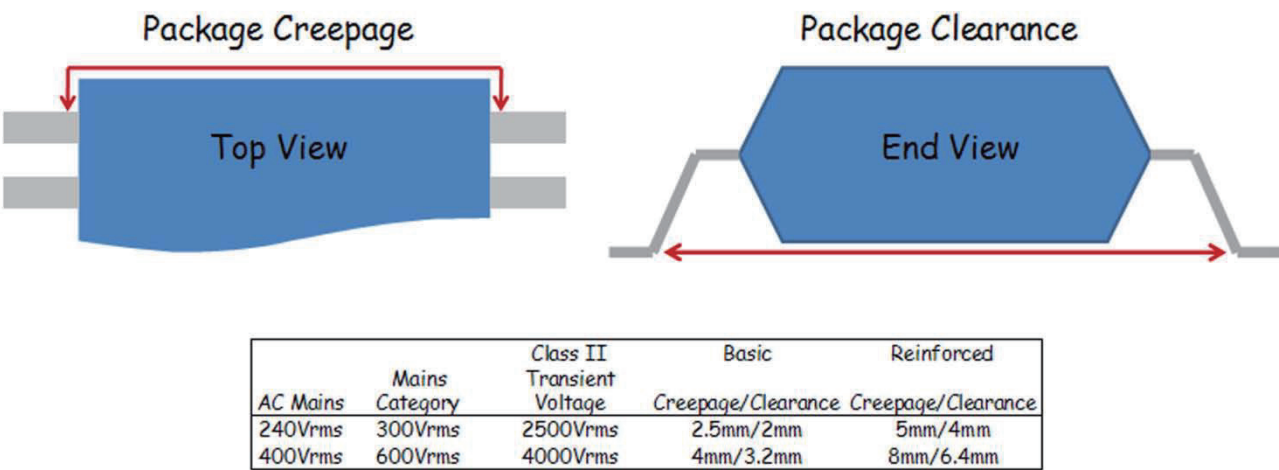


图2.

外部尺寸必须等于由双重绝缘系统基本层和补充层提供的总距离。一般而言，强化器件的所有爬电距离和电气间隙两倍于基本/补充额定器件。图2例示了两个常见工作条件及所需的爬电距离和电气间隙。之所以采用这种方法，是因为外部环境和表面特性可以决定外部间距要求，其中包括预期污染物数量、气压，以及器件外表面被表面放电侵蚀的倾向，这称为漏电起痕。

关于器件的内部特性，绝缘质量比具备特定数量或厚度的绝缘更重要。制造商可证明器件具有所需的电气特性，可耐受长短期电压应力。

IEC 60950标准的要求适用于办公和电信设备，很大程度上也适用于医疗器件。外部尺寸和材料可利用测微计轻松验证，并通过散装材料测试验证漏电指数。对于内部要求，有三种认证器件的方法。

- 可在假设器件仅包含固体绝缘的条件下进行评估。这是最简单的方法，它要求绝缘层内或沿粘合接头的所有内部距离大于0.4 mm。无需任何进一步测试。不过，符合这些要求的高性能数据耦合器难以制造。人们普遍认为0.4 mm最低绝缘厚度适用于所有强化隔离器件；事实并非如此，许多工程师容易混淆。
- 如果器件是光耦合器，则应采用IEC 60747-5-5标准。这是专为认证光耦合器强化绝缘而设计的严格标准，包含一连串类型测试和寿命测试，且每个测试后安排隔离耐受验证测试。
- 器件可视为半导体器件。此类器件具有一组类似于IEC 60747-5-5要求的类型测试。该方法由数字隔离器使用，因为光耦合器标准的测试要求是专为光耦合器结构而定制的。

强化额定值的认证和维护分三个阶段完成。

1. 评估材料和尺寸，实施电气类型测试。测试包括热循环、有限寿命测试和电气过应力，有可能造成加热或灾难性绝缘故障。隔离完整性通过每种环境或测试后的电压耐受测试来检查。表1中总结了IEC 60747类型测试。

表1. 类型测试

材料	电气	机械
CTI 可燃性	耐压 局部放电 绝缘电阻 电涌 过载	热循环 热冲击 振动 高温存储 爬电距离/电气间隙

2. 根据尺寸和类型测试认证器件后，与制造阶段一样，通过电压耐受测试检查每个器件的绝缘完整性。采用IEC 60747-5-5或同等认证时，应对每个器件进行局部放电绝缘质量测试。
3. 认证机构执行定期审查，以验证材料组合和尺寸未改变，所有装配线测试使用已校准的设备正确实施。某些类型测试以采样形式定期重复，并接受审查员审查。

隔离要求发展趋势

上文主要讨论应用最广泛的标准之一。不同的标准在器件级具有完全不同的要求。一个标准的各个版本之间甚至也会发生变化。由于IEC趋向于制定统一的方法，这一问题正在得到解决。由于各标准委员会仍具有很大独立性，解决此问题可能需要很长时间。系统级标准应用的统一趋势体现在器件级标准的出现，例如IEC 60747-5-5。此类器件

级标准可以取代系统级标准的特定要求。目前此标准仅适用于光耦合器，而不适合其他更新的数字隔离器；不过，VDE已经制定标准草案VDE0884-10，将IEC 60747-5-5标准的绝缘测试应用于数字隔离器。

这两个标准均为强化绝缘提出了高要求，包括10 kV或更高水平下的电涌测试。极薄的绝缘层无法通过该测试，已经证明它对许多光耦合器和数字隔离器的强化绝缘认证具有很好的鉴别效果。不满足要求的器件通常会转而依据IEC 60747-5-2标准，该标准适用于基本绝缘。这是另一个隔离系统设计人员容易混淆的地方，就是误以为IEC 60747-5认证自动赋予强化状态。IEC委员会目前正在修订IEC 60747-5-5标准，以纳入数字隔离器。下一个统一标准未来将覆盖所有IEC系统级标准，可避免此类混淆。

结论

数字隔离器中的强化绝缘经设计和认证后可提供双重绝缘系统的保护，同时具有单个绝缘栅的数据传输性能。从外部来看，器件的爬电距离和间隙要求相当于基本绝缘要求的两倍。从内部来看，绝缘要么符合包括最短绝缘距离在内的固体绝缘要求，要么在生产期间接受型式测试和装配

线测试。通过测试验证强化绝缘额定值，而不是提供详细结构要求，这有利于绝缘技术创新的认证，同时不必为每种新技术重写标准。

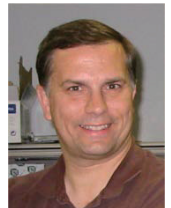
资源

有关隔离产品的信息和资源，请访问
www.analog.com/cn/iCoupler

欲浏览Twitter网站上的ADI新闻，请访问：www.twitter.com/ADI_News

作者简介

Mark Cantrell是ADI公司数字隔离器部门的应用工程师。加入ADI公司之前，Mark在加利福尼亚东部实验室工作了六年，负责NEC光电耦合器和固态继电器产品线的应用支持。Mark还曾在洛克希德·马丁公司导弹与空间部门工作了17年，作为辐射效应测试工程师参与了引力探测器B卫星计划。Mark拥有美国印第安纳大学物理学硕士学位。联系方式：mark.cantrell@analog.com



优化隔离传感器接口的功率转换

作者: Mark Cantrell, ADI公司应用工程师

内容提要

在工业控制世界, 有几点是确定无疑的: 下一款产品将具有更小的尺寸、更多通道数, 每通道的目标成本更低。人们期望, 技术在上一个设计产品之后已有所改进, 所有这些都是可能的。在很大程度上, 过去就是这样发展的, 而未来很可能仍然如此。

从光耦合器时代到最新的高速、低功耗、高集成度数字隔离器, 数据接口一直在稳步发展。本文将讨论隔离传感器接口的一个本应得到更多关注的方面。如何在缩小接口尺寸并提高性能的同时, 将隔离电源提供给ADC和调理电路? 过去, 模拟接口板的通道数不多, 因此板上有足够的空间可用来设计适当的DC-DC转换器, 以便为传感器接口提供电源。一个模块只有一两个接口, 因此功耗不是什么大问题。而目前, 模拟PLC模块(如图1所示)能够提供4个、8个甚至16个独立的隔离通道。多个大小适中的DC-DC转换器会占据很多空间, 并产生很多热量。

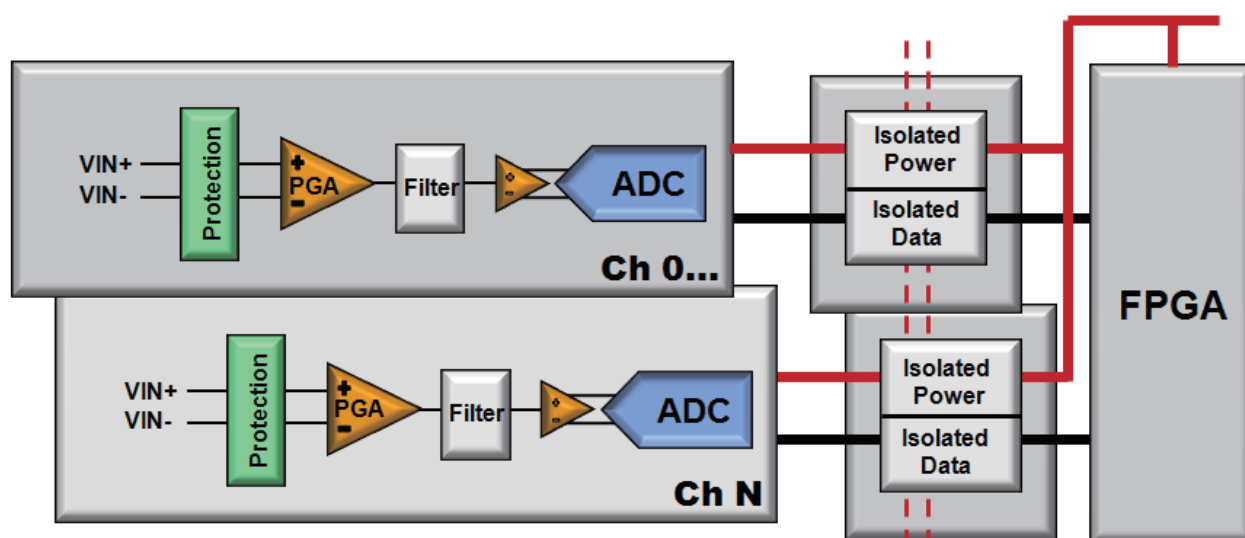


图1. 典型多通道传感器接口

图1所示通用模拟接口为电源讨论提供了一个很好的起点。有源电路包括信号调理单元(例如运算放大器或仪表放大器), 以及集成了串行接口的ADC, 可通过数字隔离器通道实现与FPGA的接口。通常该电路所需功率远低于150 mW。

为传感器接口提供电源的基本挑战是优化电源, 使其在所需功率范围内正常工作。0 mW至150 mW工作范围意味着构成电源的控制器和反馈元件的固定静态功耗会占所用总功耗的较大部分, 因此效率较低。表1中不同电源配置的静态电流值显示了这一点。另外, 许多简单电源设计需要一个最小负载才能正常工作, 为使电源正常发挥作用, 必须将功率浪费在持续阻性负载上。虽然在电路板上放置一个555定时器和晶体管来获得一定的功率很容易, 但制作一个高效、可靠、低功耗的电源则很困难。

在此功率范围内, 有三种基本的DC-DC转换器类型:

1. 非稳压开关电源或模块
2. 稳压开关电源或模块
3. 芯片级功率转换器

采用这些电源结构都会增加控制电路的复杂性, 而前两种类型还需增加元器件数目和解决方案的尺寸。

非稳压电源

最简单的解决方案是图2所示的非稳压DC-DC转换器。

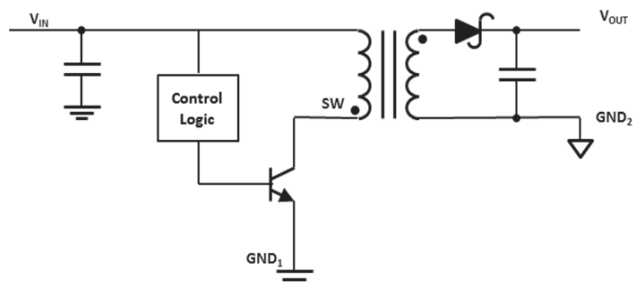


图2. 非稳压DC-DC模块

该设计利用固定频率、固定占空比输入切换来产生副边电源, 然后进行整流和滤波。所选变压器的额定隔离电压必须达到应用要求。隔离要求越高, 则变压器越大(即PCB面积越大、高度越高)。该解决方案的成本以变压器为主, 数量合适的话, 分立解决方案的成本低于1.00美元。

虽然成本很低, 但负载和温度范围内的输出电压变化可能很大, 模拟接口的模拟器件选择将更加困难。模拟接口的所有模拟器件都必须具有出色的电源抑制性能, 负载不能快速变化, 否则就会引起电源大幅度改变。因此, 器件成本会提高, 或者至少要花费更多的设计时间, 以评估解决方案在极端情况下的表现。非稳压电源的效率可能相当高, 但电源质量很低。

稳压电源和模块

稳压电源提供更好的输出特性。图3显示一个1 W功率范围内的典型DC-DC模块。

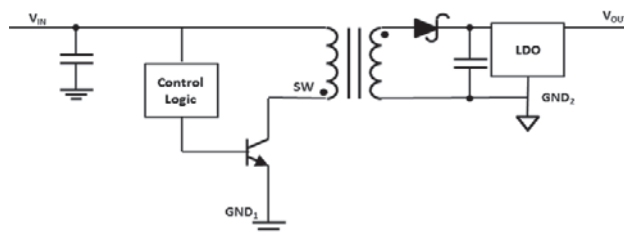


图3. 稳压DC-DC模块

与上述非稳压电源示例类似, 控制器将功率切换到变压器中。选择适当的变压器功率水平和匝数比, 以便在最大负载下提供充足的电压, 使得LDO能够将输出电压调节到稳定的水平。该方案的电源效率在高负载下非常好, 在低负载下则很差, 而后者正是模拟接口应用的运行情况。

有许多有源稳压方案可以提高全负载范围内的效率, 但需要复杂得多的控制电路, 而且大部分方案需要在隔离栅上建立一个反馈通道。这会大幅增加设计的成本和尺寸, 一般不适合此功率范围内的模块。

由于难以将变压器整合到组件中, 因此这些电源的集成并未超出密封模块或PCB子卡。制造商在缩小这些器件的尺寸方面取得的成功非常有限。

芯片级转换器

芯片级变压器技术是ADI公司针对*iCoupler*®数字隔离器产品而开发的，基于该技术已产生一类新型DC-DC转换器。该技术非常适合低功耗高性能电源设计。变压器为“空芯”，也就是说变压器中不存在磁性材料。这意味着，这些微型变压器在大约125 MHz时具有最高的Q。开关频率如此之高，因而无法通过改变开关信号的占空比来控制功率。相反，控制电路通过选通和开关整个振荡器来调节副边电压。

变压器非常小，足以集成到采用内分引脚架构的标准IC封装中。在隔离栅两侧，正向电源和输出反馈所需的全部器件都可以集成到一对芯片中，无需外部分立器件，并且可以实现多种高级特性。芯片级功率转换器能够集成完全稳压DC-DC电源的全部功能，在低负载情况下具有紧凑型的稳压特性和良好的效率。

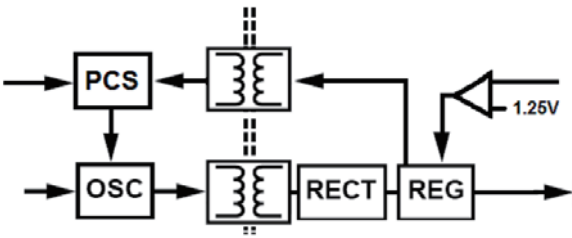


图4. ADuM5010芯片级转换器

比较

下面通过一些实际例子来说明上述设计的区别。表1显示两个电源模块和一个芯片级转换器的特性对比。所选TI模块为最常见的模块，功率范围为传感器接口要求中规定的0 mW至150 mW。

大部分设计师需要实现高电源效率的设计。表1中，非稳压解决方案的效率最高，但选择该方案也有弊端。此模块的额定功率为1 W，但其数据手册连100 mW以下的性能都未给出。事实很可能是这样：输出电压显著高于额定值，效率迅速降低。

表1. 技术对比

类型	产品型号	峰值效率	10 mA效率	静态电流	最大功率	负载调整率	尺寸	成本
芯片级转换器	ADuM5010	30%	27%	6.8 mA	150 mW	1.3%	7.4 × 7.4 × 2	\$1.50
稳压模块	DCR010505	50%	21%	18 mA	1 W	3%	18 × 10 × 2.5	\$5.95
非稳压模块	DCH010505	72%	N/A	60 mA	1 W	10%	20 × 8 × 10	\$4.25

效率第二的是稳压模块。它设计用于轻负载，具有良好的特性。然而，仔细对比芯片级转换器，分析稳压模块的效率，由图5可见，由于芯片级转换器集成有源反馈调节，其效率能够更快地上升至最终值，因此在0 mA和15 mA的负载范围内，芯片级解决方案事实上更有效。这基本上就是最初模拟接口定义中的目标范围了。因此，尽管芯片级解决方案的最大效率最低，它依然是一个较好的选择。

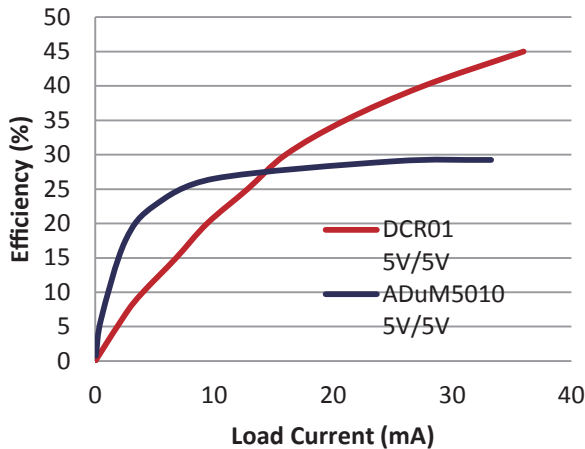


图5. DC-DC稳压模块与芯片级转换器的效率对比

解决方案尺寸是下一个比较点。模块解决方案在PCB上的面积均为180 mm²，非稳压模块的高度是10 mm，因此它不仅要占用电路板空间，而且很可能是板上最高的部分，决定模块的理论外壳尺寸。明智的选择同样是采用薄型SSOP20 JEDEC标准封装、尺寸为55 mm²，并且添加一些旁路电容和两个电阻的芯片级模块。

稳压方案相对于非稳压方案的优势与模拟前端的ADC和放大器的电源抑制性能有关。稳压能力越强，则选择测量器件的灵活性越大，而不是局限于那些具有最佳电源抑制性能的器件。

模块式/分立解决方案与芯片级解决方案的最后一个区别因素是工作频率。开关电流会给电源带来噪声和纹波。很多情况下，模块的工作频率范围是200 kHz到1 MHz，与许多传感器应用的采样速率相当。必须对数据进行适当的滤波或消除混叠，防止其受到电源噪声影响。芯片级解决方案

的原边功率振荡器的工作频率在125 MHz，远高于多数工业传感器ADC的采样频率。虽然功率振荡器的PWM控制仍会引起纹波，但最大噪声源高于ADC的带宽，可将其轻松滤除。

芯片级转换器的额外优势

仅就尺寸效率而言，芯片级转换器非常适合该应用。但该技术还有许多其他优点。下面将详细介绍新型隔离功率转换器ADuM5010。此器件能在模拟接口要求的低功耗范围内提供电信用DC-DC转换器的性能。

1. 无限可调的输出电压。ADuM5010通过副边的分压器设置输出电压。其范围为3.15 V至5.5 V。许多模拟ADC和运算放大器采用非标准电源轨供电，因此可以调整电压以获得最佳电源条件。
2. 热关断功能可在短路过载情况下保护电源，尤其是在芯片温度可能超过最高限值的高环境温度下。热关断跳变点为154°C，芯片必须比它低10°C以上，器件才能自动重启。电源重启不需要任何外部处理器干预。
3. 施加电源时，通过原边控制PWM实现软启动。这样，器件启动时的浪涌电流可忽略不计。多个器件同时启动时，浪涌电流可能会压倒较弱直流输入电源轨，导致无法预测的行为。
4. 利用原边电源禁用功能，可以将转换器关断到功耗极低的待机状态。此特性结合软启动可实现省电方案，在测量间歇关闭传感器的电源。
5. 原边输入电源具有欠压闭锁(UVLO)功能。此特性可防止转换器以低输入电源轨启动。这样，在下游ADuM5010尝试取电之前，输入电源可以有效充电。
6. 全面隔离认证。模块的类型测试要求可以降低，并且可以消除生产期间的在线测试。

结论

针对大多数PLC应用设计的模拟传感器接口，应用时需要
对数字通信和电源进行隔离。其功率水平非常低，低于大
部分DC-DC转换器以高效率 and 可预测方式正常工作的范
围。不过，经过精密调节并表现良好的电源对接口非常有益。
隔离式芯片级转换器ADuM5010非常适合隔离模拟输入的要求，
功耗150 mW，并提供一般只有高功率DC-DC转换器才具备的
特性组合。在功率与隔离数据通道相结合的系列器件中，此
器件是仅提供功率的型号。ADuM521x双数据通道器件支持数
据接口集成，从而节省更多空间。该系列还将继续推出更高
通道数器件，以便工程师只需进行极少的设计工作就能安全
且轻松地应用电源。

作者简介

Mark Cantrell是ADI公司iCoupler数字隔离器部门的应用工
程师。他的专业领域是iCoupler数字隔离产品，包括
isoPower®隔离电源器件和I²C、USB隔离器等通信总线器
件。他还负责所有iCoupler数字隔离器产品的机构安全认
证。Mark拥有美国印第安纳大学物理学硕士学位。联系方
式：mark.cantrell@analog.com

医疗健康应用中的电源管理

作者: Frederik Dostal, ADI公司欧洲地区电源专家

不同的医疗健康应用对电源管理解决方案的要求也不尽相同。就电源管理而言, 医疗健康是一个十分有意思的市场。虽然医疗健康产品的设计周期非常长, 但高水平的创新正在不断满足新型医疗健康电子产品需求。这些创新产品不仅代替了旧有设备, 还占领了新的市场和应用, 这些应用领域在几年前尚不存在。本文将讨论四个不同的医疗健康应用领域。它们是家庭医疗健康、仪器仪表、病人监护和成像应用。本文将针对每个领域分别讨论电源管理解决方案。

家庭医疗健康

在家庭医疗健康方面有大量的设计实践。全球老龄化、不断壮大的经济力量以及创新为家庭医疗健康领域带来了许多全新应用。对病人而言, 好处是更高的灵活性、更好的服务以及有望减少就医次数。虽然家庭医疗健康市场早已存在, 但最近才涌现出越来越先进的面向消费者的解决方案。这类解决方案的示例有: 运动监护仪、血压监护仪以及心率监护仪。另外, 便携式血液分析仪和脉搏血氧仪系统也进入当今家庭医疗健康领域。

从电源管理角度出发, 由于便携性是必需的, 所有这些系统都需要高集成度。真正便携的产品采用电池供电, 因此要求系统具有高电源效率。在这类应用中, 较低的功耗可延长器件的工作时间, 而无需充电或更换电池。最后, 成本也是很重要的规格指标。虽然在其他一些医疗健康应用中, 电源管理解决方案的成本可能不是最重要的规格, 但对家庭医疗健康它很重要。成本约束逐渐成为消费电子市场的特点。

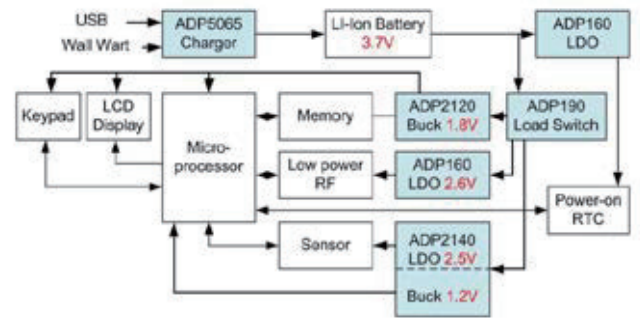


图1. 便携式电池供电型家庭医疗健康器件的典型电源链

图1显示采用锂离子电池的充电系统的电源链。该电源架构可确保电路的某些部分可以通过负载开关关闭(如ADP190), 而为实时时钟(RTC)供电的其他电路(如ADP160)始终开启。开启时, ADP190具有低于 $2\mu\text{A}$ 的接地电流, 而ADP160在空载时仅消耗大约560 nA的电源电流。这样可将电池的永久放电保持在最低水平。

ADP2140是一款高度集成的降压开关稳压器, 配合线性稳压器使用。该电源管理单元可节省空间和成本。

对锂离子电池充电时, 可采用高级电池充电解决方案, 如ADP5065。该器件是一款极为高效的开关模式充电器, 由于具有许多错误检测和安全功能, 因此特别适合医疗应用。该解决方案完全符合USB 2.0、USB 3.0和USB电池充电规格1.1, 可通过mini-USB VBUS引脚从墙壁充电器、车载充电器或USB主机端口进行充电。

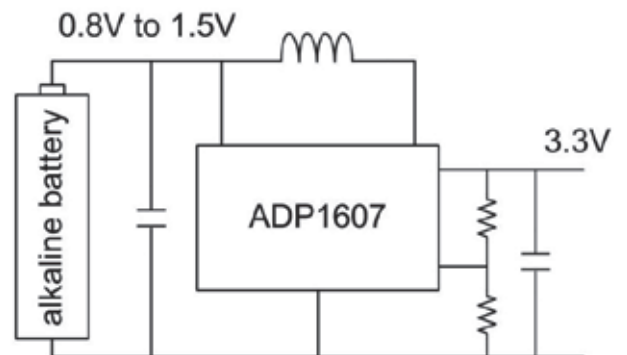


图2. 采用单单元碱性电池为便携式医疗健康系统供电

某些仅供短期使用的低成本便携式医疗健康系统可能会围绕不可充电的碱性电池而设计。相比常见的双电池供电，使用单电池单元在重量和成本方面更有优势。单碱性电池系统面临的难题是电池电压范围仅为0.8 V至1.5 V。为了对电子设备供电，需要能以高效转换此类低输入电压的升压稳压器。图2显示采用ADP1607作为首个电源转换步骤的应用。该电路能产生3.3 V电压，满足大部分系统要求。

仪器仪表

仪器仪表方面的示例应用有：血液分析仪、透析仪和临床诊断设备。

仪器仪表设备通常为非便携式设备。这类应用的电源管理要求不像“家庭医疗保健”部分那样受诸多因素限制。仪器仪表领域通常有充足的电能，因此不用担心电源效率。虽然高集成度无疑对系统有帮助，但这并非首要考虑因素。仪器仪表应用通常重视低噪声性能。开关稳压器和线性稳压器必须具有极低的噪声，才能进行极高精度的测量。

通常采用银匣型AC-DC电源产生一个或多个中间电压。随后，这些电轨用于产生更低的电压。

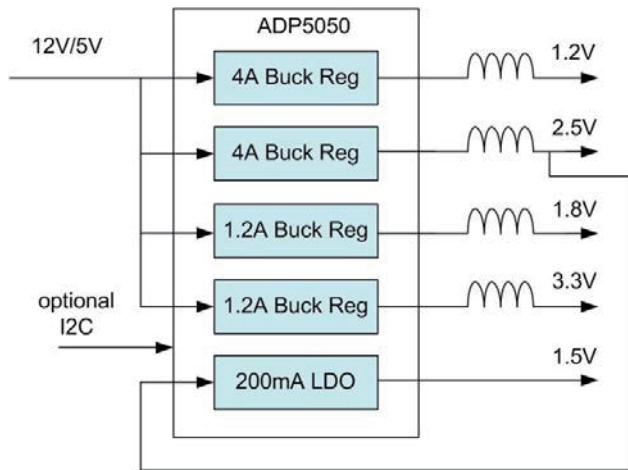


图3. 提供多电压和I²C连接性的微型电源管理单元

图3显示的是一个微型PMU(电源管理单元)。这款ADP5050采用来自AC-DC电源的12 V电轨供电。该PMU集成四个开关稳压器以及一个线性稳压器。虽然体积紧凑，但它集成了很多理想功能。单个降压稳压器的开关频率进行同步和相

移，以便最大程度地降低输入线路上的噪声，并使用小输入电容。一个独特的特性是两个开关稳压器能以另外两个稳压器开关频率的一半运行。这样可以保持一个可预测的低EMI曲线，同时允许低功率电轨以较高的开关频率工作，并在高功率电轨上使用较低的开关频率以获得最高效率。

最后，提供I²C接口，以动态地改变输出电压、检查芯片温度、设置不同通道的相移、输出电源良好指示，并使能单个通道。这些功能有助于智能仪器仪表系统监视和控制电源管理。

病人监护

此类系统都是临床应用。可以用于测量血压，也可用在心电图(ECG)和脉搏血氧仪系统中。电源管理通常采用线路供电，因此只要处理好散热，能效就不大重要。真正重要的是可靠性、出于安全目的的电流隔离以及低噪声。为了增加可靠性，有时需提供备用电池。当病人转移到不同的医院站点时，备用电池有助于提供不间断的生命体征监护。

隔离需要符合最严格的医疗安全标准，即IEC 60601-1。采用iCouplers®技术的数字隔离器正在代替光耦合器，而隔离完整性完全不受影响。这一趋势的优势是避免光耦合器的老化效应以获得长期可靠性，同时在一个封装中集成不同的半导体功能，如USB、PC和电源管理开关稳压器。这些器件可以增强绝缘，并可承受IEC 60747-5-5标准规定的10 kV浪涌。iCoupler®产品采用芯片级变压器，与光耦合器和基于电容的数字隔离器相比具有非常鲁棒的共模瞬变抗扰度。图4显示感性隔离概念。图中有两个电感，中间为隔离栅，由聚酰亚胺、二氧化硅(SiO₂)或类似的隔离材料组成。

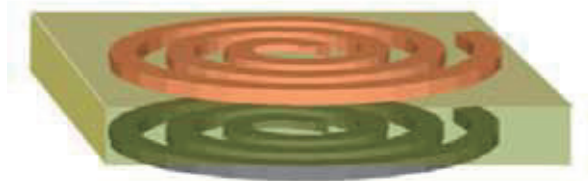


图4. 跨越隔离栅的感性数字耦合概念

图5显示集成isoPower®功能的典型iCoupler器件。isoPower不仅能通过隔离栅耦合信号，还能进行电源耦合。ADuM540x可提供最高达500 mW的总功率。除了电源耦合外，芯片还能集成最多四个数据耦合通道。图6显示微芯片封装内的系统照片。

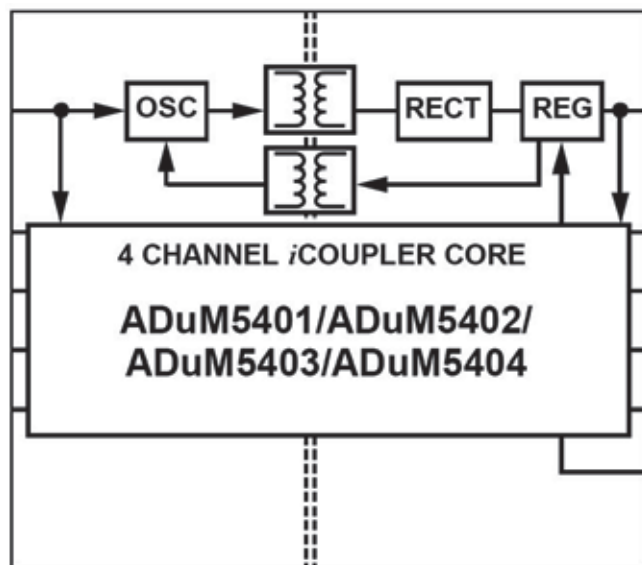


图5. 用isoPower实现电流绝缘的iCoupler照片

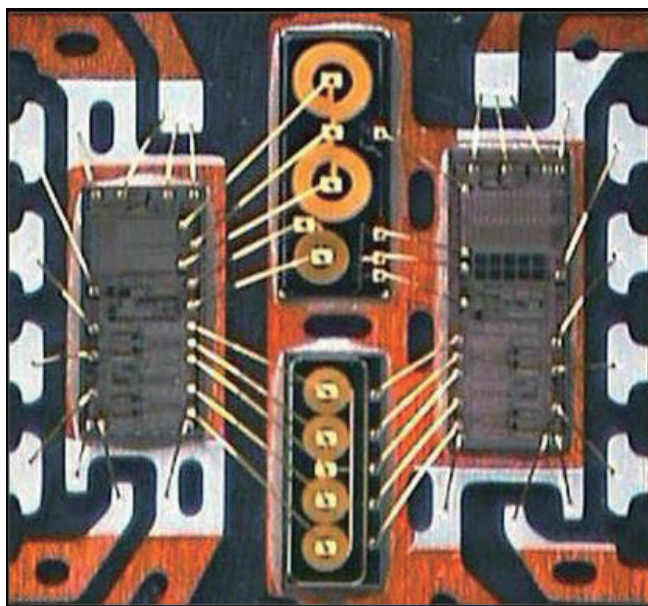


图6. 用isoPower设置iCoupler数字隔离器

成像

成像应用历史悠久。这一领域所取得的进步令人叹为观止。产品团队包括超声、CT(计算机断层)、数字X射线、MRI(磁共振成像)和PET(正电子发射断层扫描)。

电源管理方面有两个趋势。诸如MRI和PET等大型系统极为耗电，需要很多分布式电源。这些电源要求特定水平的效率以便散热。

在成像应用中，任何类型的系统噪声(包括开关噪声甚至LDO输出电压噪声)都有可能出现在最终图像中。可能表现为图像中常见的误差线，有时也表现为对比度、色彩或灰度等级质量的下降。

电源可能会影响图像检测或图像显示电路。若在成像系统中两者都受影响，则最终图像质量将变得无法接受。有些医疗成像设备制造商曾使用电源管理模块，但最终放弃了。虽然主要规格有保证，但实际的EMI性能却无法得到保证。对电源模块的生产过程作出最轻微的改变都可能造成图像质量方面的问题。为获得更高水平的控制，完全由医疗健康成像设计公司开发分立式电源设计并进行生产可能是更好的做法。

结论

在医疗健康应用中，不同应用领域对电源管理的要求大相径庭。我们讨论了各个领域特定解决方案的要求。在家庭医疗健康领域，很多解决方案基于ASSP(专用标准产品)，或者基于ASIC(专用集成电路)。少量应用可采用现成电源管理单元标准。在仪器仪表、病人监护和成像应用领域，电源管理解决方案将进一步优化，以配合超高精度信号路径元件。

作者简介

Frederik Dostal就读于德国埃尔兰根大学微电子学专业。他于2001年加入电源管理业务部门，曾担任各种应用工程师职位，并在亚利桑那州凤凰城工作了4年，负责开关模式电源。Frederik于2009年加入ADI公司，现担任欧洲地区电源专家。

注释

家庭医疗健康电子产品中安全隔离的未来发展

作者：Mark Cantrell，ADI公司应用工程部

内容提要

除颤器的发展历程揭示了医疗健康的未来方向。这些能够挽救生命的神奇的高科技产品，几年前只出现在救护车、医院中，需要经过特殊训练以及专业的医疗健康人员使用。有些人以怀疑的目光注视着除颤器。想象一下，如果有同事突然捂住胸口倒在地上，未经训练的员工会怎么做：奔向盒子，打碎玻璃，抓起“快速入门指南”，飞快地浏览文字，了解各种连接、控制和预防措施。同时，病人还在地上忍受着病痛的折磨。这时他的脑海中闪过医疗剧中无数个戏剧化的场景——医生或护士在自己身上除颤，而不是在病人身上。现实并没有那么戏剧化，医疗技术随我们离开医院，走进了工作场所和家庭。

工作场所中的除颤器

这些除颤器实际上会提供语音和图形方式的指导，使得一个从来没有用过这种机器的用户能够正确地使用监护仪和导联开关。机器随后会做出判断，决定施加多少电能病人身上，同时避免新手操作人员伤害到自己或痛苦的病人。当EMT到达现场后，就能接上除颤器并下载储存的数据，以便带回医院供医生查看分析。

医疗健康何去何从

这个故事说明了技术的成功之处，以及面临的挑战。医疗设备将不再限于临床应用，而是越来越多地走进人们的日常生活。这些设备包括：健康辅助装置(如手机中的卡路里计算器应用程序或跑步机上的心率监护仪)、维持生命的药物输液泵、长期生命体征监控记录、紧急治疗设备(如除颤器)。为了让医疗监护和用药走进家庭，这些设备将具备以下特性：

1. 便携：小巧且功耗低，甚至上了年纪的病人都不会认为它们是累赘。
2. 智能：利用提供的监护信息能够确认配置正确，可以完成目标任务，或者提醒立刻关注。
3. 安全：它们必须设计为具有等同于医院中使用的较老产品型号的安全性，同时又能够让让人无需接受培训即可使用。
4. 连接：可轻松编程、更新和读出数据。这些设备必须能够与非医疗设备实现接口(如商用联网计算机)，以便与远程医疗机构通信。

安全性

医疗健康设备的革新要求更加关注安全性，而且关注程度丝毫不亚于现在医院里使用的电子设备。安全性包括很多方面；设备必须能够自我诊断连接是否正确，以及病人状况如何。设备必须能够阻止使用不当或恶意篡改。出于隐私方面的要求，必须以安全的方式保存和传输病人资料。还要求具有电气安全性，因此与非医疗通信设备或其它家用电器连接时，高压或泄漏电流不会流入人体。电气安全性在很大程度上都通过隔离来保证。隔离阻断主电源或其它医疗设备(如除颤器等产生高电压的设备)到设备电源的电气路径。本文的其余部分将说明如何实现医疗设备连接的安全隔离，重点讨论那些用于非临床环境下的情况。

在医疗应用中，病人特别容易受到电子设备的影响。在皮肤这一保护层之下的人体富含由血液和细胞质组成的盐水。盐水是良好的电导体，而皮肤在干燥的时候则是良好的绝缘体。试图监控人体内部情况的医疗设备，其大面积的电极和导电胶会降低皮肤阻抗。于是，这些电子设备的任何非预期信号容易产生电流，流经病人身体，破坏神经系统并影响心脏等器官的肌肉。设计具有电气安全性的电子设备时，这些重要的电气安全性要求便是IEC60601医疗安全标准中的一部分。甚至像运动器械上的心率仪等看上去非常普通的应用，也必须符合隔离规范，以保证安全性。那些性命攸关的设备则必须符合更严格的标准。

保护设备不受有害电源影响并控制接地

电子设备中最主要的非预期信号来源是电网。医疗应用必须能够阻隔50 Hz至60 Hz线路上的交流泄漏、雷击导致的瞬变、开关噪声以及线路故障条件。这一点并非仅针对医疗设备；但是医疗设备在这方面的要求更严格，并且泄漏水平取决于设备与病人相连的方式。

设备和病人之间的连接亦须隔离，以防病人使用多个医疗设备时，设备使用其它的连接作为另一条回路，导致意料外的电流走向。此外，如果病人能够接触连接了大楼安全接地的任意设备(如家用电器或金属床架)，电流必须无法通过那条路径。针对病人的绝缘需要用到两个独立的绝缘系统，或经证明等同于两个系统的单一系统。这称为双重病人保护隔离，或简称2MOPP。

难点在于提供针对通信和家庭医疗设备电源的安全性。下面将重点讨论通信接口。

电子设备如何达到隔离要求

典型的家用医疗健康电子设备需要与其它医疗设备或现有的家用电子设施进行通信。它要能够符合隐私与安全要求，保证信息不被拦截或破坏。它应当符合IEC60601规范中的泄漏和安全要求。通常电气连接需要提供双重病人保护，具有4 kV额定耐受电压以及极低的容性泄漏和防除颤额定性能。

方法

满足电气安全性要求的方法有几种。

射频通信

第一种方法是通过射频链路(如低功耗蓝牙或ZigBee标准)通信，这样可完全避免电气连接。一款具有非导电性外壳的电池供电医疗设备即可满足所有的隔离要求。蓝牙的优势是大部分笔记本电脑和智能手机都提供这种功能，因此设备能够对接，实现数据记录或远程控制。ZigBee接口需要额外的接口硬件才能实现与非医疗联网设备的交互，如家用型笔记本电脑。这种方式非常适合数据速率较低并且不方便连接电线的监护仪。

射频通信的弊端是这种类型的链路容易受到射频源的干扰，并且容易遭受恶意篡改。由于信号在空中传播，医疗隐私法要求对数据进行加密以防数据拦截；这对于简单的设备而言将消耗大量的应用资源。建立这类连接还要求具备一定的知识，对于老年病人而言并不是很简单。虽然射频通信符合所有的安全规范，但它的稳定性使其不太适合性命攸关的应用。然而，无线技术具备的移动性使其成为未来的首选通信方式。

采用这种方式的应用包括内置监护仪的贴片，以及自动记录数据的血糖仪。这些设备不需要始终保持连接以确保用户的安全。

机械式联锁

有线接口最适合对数据完整性和稳定性有所要求的场合。数据能够以高速度传输，并且几乎不存在误差，同时连接还能提供电源。常用的接口为USB、RS-232以及RS-485。有线接口足够稳定可靠，可用于数据记录、提供维持生命应用中的关键控制信息、以及设备的编程更新。USB是家用电子产品唯一的标准接口，如PC和手机。但这种接口必须符合IEC60601的严格隔离要求。普遍的做法是将设备设计为非隔离式接口仅在设备不与病人接触时才能使用。例如，USB端口可放置在盖板下，盖板可在设备工作时阻隔USB连接器。这类设计的优势是价格低，但缺点是不能实时监控，以及不适合那些无法轻易去除设备与病人之间连接的应用。因此，这种方式非常适合不需要持续连接病人的设备，但不太适用于像输液泵等这类进入病人体内且必须在临床环境下使用的设备。

而现场部署的除颤器则采用另一种方式的机械式联锁。这些设备可直接与其外壳联网，一旦除颤器被放置在壁式外壳中，它便联网并充电。设备会执行周期性自检、检查电池状况并通过网络汇报状态数据。使用除颤器时，必须将其从墙壁上取下来，这样会断开网络和电源。

机械式联锁的最后一种类型是可移除存储器元件。与数码相机中的SD卡类似，数据写入存储卡，然后将存储卡取出放入另一个读卡器中。最后数据将被传送到需要的地方。这是最费力的方法，因为可能不会要求病人去做这些事情。

隔离接口

实现通信最可靠的方式是使用有线隔离接口。它具有有线接口的稳定性；还能通过内置的隔离式DC-DC转换器提供电源。它支持高速上传和下载，并且能在设备连接病人的同时使用。有线接口不需要对数据加密，降低了处理器开销。软件维护也能在设备工作的同时完成。该接口还可通过设置，在高数据速率下实现实时远程监控，比如病人需要进行常规随访时，医生可以远程获得ECG。这些接口的隔离传统上依赖光耦合器之类器件，存在速度限制且集成能力较差。在新型应用中，医用级数字隔离器正在取代光耦合器，不存在这些限制。

本文“机械式联锁”部分提到的通信接口可通过合适的数字隔离器实现隔离。多年以来，RS-232和RS-485一直是隔离式医疗通信的主要接口类型。它们兼容ADI的ADuM2201等产品，符合IEC60601标准中有关2MOPP医疗额定性能的规定。遗憾的是，这些接口并不为非医疗电子设备所采用。这使得USB成为使用最广泛的接口。ADI公司的ADuM4160现已实现USB隔离，同样具有2MOPP的防除颤保护功能。它可设计用于输液泵、除颤器、无创式血糖仪以及多种临床用病人监护仪。它可以直接与非医用级的PC对接，因此可以进行实时监控，同时其连接依然具有完整的防去颤能力，符合相关的泄漏规范。甚至在使用无线通信的系统中，亦提供了USB端口用于软件维护和电池充电等重要操作。由于总是存在需要连接USB的情况，因此出于安全考虑进行了端口隔离。有线接口的不足之处是移动性较差。

除颤器隔离

图1中的除颤器具有几个不同的接口，并使用了多种隔离技术，因此它是检查隔离式通信接口的极佳示例。设备必须使用ECG监控病人的心脏活动，以便决定是否进行除颤。ECG数据路径必须与除颤器的高压部分相隔离，以便在病人身上施加电击时不会熔断敏感的ECG电子器件。可通过隔离栅极驱动器和数字隔离器在内部实现隔离。设备还可集成以太网接口，当设备闲置在墙上时进行状态监控；以太网采用机械式联锁，因此当除颤器从墙上取下时便无法使用。类似地，电池充电系统也接在墙上并进行联锁。最后一个需要进行隔离的功能是通信端口，它允许下载ECG和除颤数据，供医生查看分析。该连接一般会隔离USB接口，因此无需将设备与病人断开即可获取数据。

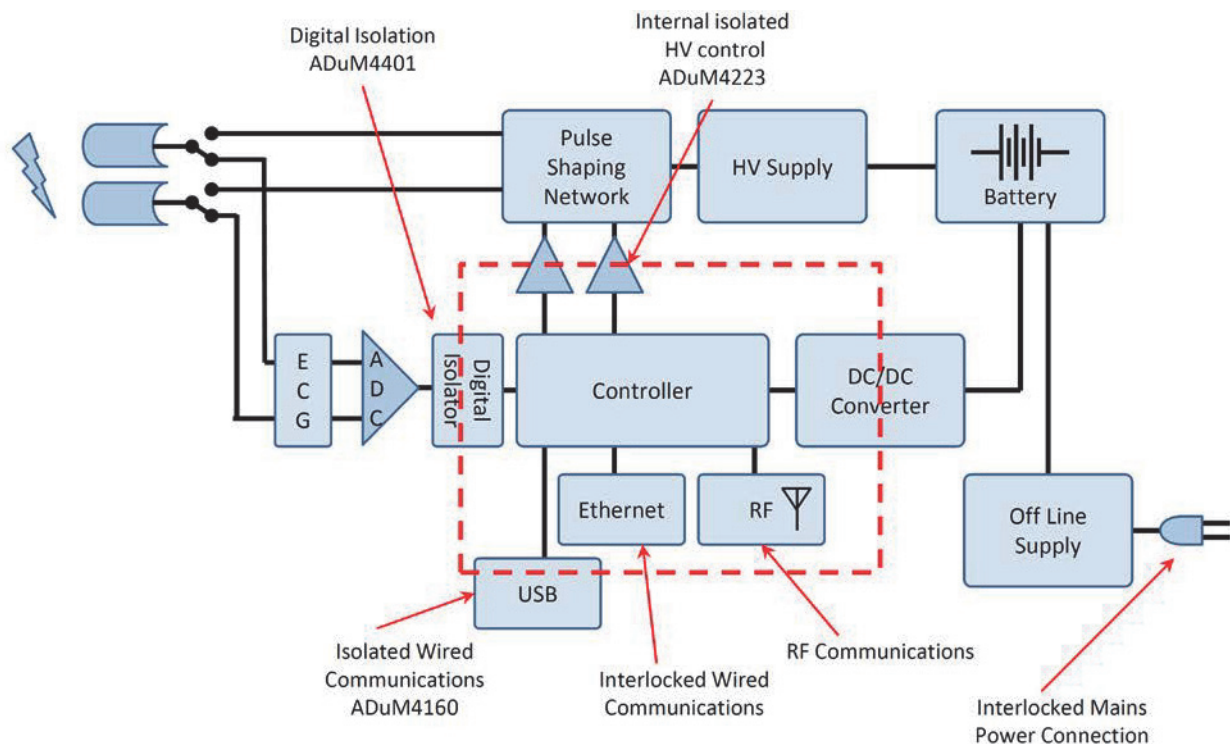


图1. 典型急救除颤器

结论

医疗监护仪和提供治疗的设备正在打破临床环境与提供医疗健康之间的必然关系。这些设备使生活质量大为提高，允许人们在家接受高质量的治疗和监护。完整的移动监护和治疗给药系统可实时分析人体需求并进行精确的实时给药。例如，胰岛素输液泵能模仿人体的胰岛素反应，针对非卧床病人实现更佳的疾病管理。通过新技术，还可让暂时无法到达医院或诊所的病人将他们的监控数据上传到几小时路程以外的医院。心脏监护仪可在病人出现症状之前检测到发病情况。

信息必须在医疗设备、医师以及设备维护公司之间实现双向传递。诸如剂量等工作参数必须传送给设备。设备的固件应当始终保持最新版本。使用多种方法保持电气安全性。本文中的所有方法针对高度安全可靠的家用或临床医疗保健设备均有效。可根据特定应用的相关需求做出选择。

多生理参数病人监护

作者: Bill Crone, ADI公司医疗健康系统工程师

内容提要

多生理参数医疗设备必须利用不断进步的技术, 满足改进精度、功能和尺寸的需求, 并提供数据采集、传输和存储功能和兼容性——最终为改善医疗健康状况、增强病人治疗效果创造条件。

多参数监护

在基本的导联II心电图(ECG)以外, 医疗实践中还需要快速检查不断增多的实时生命体征及其变化趋势, 以更好地了解病人的当前状况、好转情况或恶化情况。一种典型的多参数设备可以同时观察12导联心电图ECG、血氧饱和度(SpO2)、CO、血红蛋白、体温、无创血压、有创血压、呼吸和植入式起搏器活动。睡眠研究中使用的多参数设备则与此不同: 一般监测ECG、脑电图(EEG)、眼电图(EOG)、表面肌电图(EMG)、音频和红外测温。除ECG信号以外, 有些动态心电监护仪也可以记录三轴加速度和血压。

医疗设备制造商不断与临床医师密切合作, 针对特定场合提供可选监护参数组合, 从现场急救到转运至多科室临床机构, 包括急诊科、重症监护室、手术室、术后麻醉恢复室、各种实验室和治疗室以及普通病房恢复, 还有异地会诊专科医生和独立医疗机构。每个治疗场所都可能有不同的诊断需求水平, 却又都需要兼容并连接至病历——包括无线交换。

临床医师要求功能强大、无故障运行, 而且成本要具有竞争力。生物医学人员则要求可轮流互换, 以减少模型方差, 同时还要求基本功能直观易用, 不会造成混淆。最近发布的额外监管要求呼吁对病人状态恶化情况进一步检测, 实施完全集成的干预手段, 减少发病率和死亡率。



图1. 精确、即时的多生理参数病人监护功能有助于护理人员提高病人治疗效果。

对于设备制造商来说, 挑战是多方面的: 此类医疗设备的设计师必须确保安全第一, 在所有可能的临床应用情形下, 包括卧床病人在家中使用时, 病人和操作人员的安全性都能得到保障。设计师还必须了解监管机构发布的不断变化的医疗设备要求, 必须确保符合产品开发和制造质量标准。针对医疗设备的要求和建议因国家或地区而异; 医疗设备制造商必须了解这些“指令”和“法规”, 确保做到合规。

病人监护: 12导联诊断心电图仪

12导联心电图仪(有时也称为EKG)长久以来一直是病人初显心血管状况检测工具的黄金标准和常见代名词, 至今仍然是使用最为广泛的快速分析工具。

临床医师要求心电图仪在现场、运送和重症护理等往往低于理想水平的条件下能运行稳定，发挥出高水平的性能。

他们要求

- 稳定呈现病人的心电活动和异常状况，不会因射频干扰(RFI)、医疗设备或其他杂散性外部环境条件的影响而失真。
- 能多视图查看心电活动，以便获得仅观察单个导联时不能发现的信息。需通过多视图确定病人是否存在心肌梗死(M.I.)及其发生在心脏中哪个部位，同时检测各种心律失常(如，房颤(A.F.))、起搏器功能、心轴偏差、心室增大以及其他传导或脉冲数据元素。
- 诊断质量频率响应(0.05 Hz至150 Hz)和监护仪质量选项(如2 Hz至30 Hz或者0.5 Hz至40 Hz)。带宽要求与具体的临床应用有关。比如，拥有0.05 Hz的低端响应检测ST段偏差来说至关重要，可据此决定启动整套插管程序。如果采用零相位失真滤波器，有些标准允许将0.05 Hz的低端响应提高至0.67 Hz。这一点有着重要的意义，必须仔细检查，因为ECG的临床应用和检查要求在全部带宽范围内进行精确表征。
- 精确、可重复的心电活动视图，必须以其为基础慎重选择和启动可能危及生命的干预措施。
- 以值得信赖的方式捕获、存储、保存、传输数据，并接收到另一接收系统和下行计算机中。数据必须始终可以下载，以便用于远程比较或后期比较。输出数据必须采用标准格式和展示方式，以便整个治疗环节的一系列介入医师都能理解。
- 强大的系统——包括高品质电极和电缆——可以承受冲击、振动、病人移动和肌肉震颤、温度变化、基线漂移和电磁干扰以及可能扭曲实际心脏活动输出和显示结果的任何其他影响。这些因素可能影响到重症诊断的灵敏度和特异性。
- 在购置成本、运营成本、尺寸和重量方面的投入处于可接受水平的高效系统。通过减少系统安装和完成全部任务所需要的时间和人工，可以获得竞争优势。此外还期

望完全能够适应可能出现的、不断变化的医疗指导方针和实践模式。

单盒式急救医疗服务(EMS)设备

急救医疗服务(EMS)——通常于疯狂拨打9-1-1后开始——可能致使急救医务人员(EMT)抵达现场时，只带了简单的体温检测仪、电子血压监护仪和自动体外除颤器(AED)。如果真正具有生命危险的状况得到确认，基础生命支持(BLS)人员将启动呼叫升级程序，由护理人员或各种注册专科护士实施高级生命支持(ALS)服务。ALS小组抵达时，通常会带来功能更强的医疗设备，比如多生理参数监测系统，包括ECG、二氧化碳分析仪、血压计、体温计、SpO₂、CO检测仪和其他生命支持设备。根据协议，现场收集到的信息可以确定将受害人/病人送往哪家医院，而且可以将数据传输到接收机构，助其安排进一步的现场治疗，并准备派遣特别小组前往看望病人，从而缩短从登门到确定性治疗的时间。

EMS始终都在寻求可在单个装置中提供多种参数生命体征的组合式设备、单一电源和全面的病人数据。这样的装置几乎始终都是缠绕在除颤器/心律转变器/起搏器上，带ECG显示屏和集成式打印机。这种需求已从简单的ECG呈现发展到全面诊断和解读12导联ECG，以及变化趋势特征，还有不断增多的生命体征监测仪，这些仪器可以向现场医师持续提供病人状况的最新信息：

- 心率监护仪和报警器——一项关于病人不适的基本指标，心率下降意味着心动过缓，可能需要用药并采取临时起搏措施，而且经常是永久性植入式起搏。心率上升可能意味着心率失控，通常，心率不齐会恶化成心动过速、房颤或心室纤颤。细心的临床医师或者值得信赖的报警，可以赢得时间，在趋势发展成心血管紧急状况之前进行干预。
- 脉搏血氧仪—SpO₂(或SaO₂)监测仪，对血流中血红蛋白的氧饱和度进行评估。这种非介入式监护仪用红外光

(光学体积描记术)来测量氧气的百分比。如果读数偏低,或者读数未随治疗而提高,则表明病人存在病况;许多EMS协议要求从基础生命支持人员(EMT)升级到高级生命支持人员(护理人员或其他ALS临床医师)。读数还可能受到传感器所在区域血流减少的影响,其原因包括手指体温过低、处于全身性休克状态的病人、血容量减少的创伤病人或者病人移动等外部因素。报告读数变化可能很慢,要求临床医师仔细观察所有监护指标。预计在CPR指南不断变化的情况下,SpO₂监护技术的运用将获得更多关注;根据新指南要求,普通公共施救者将实施单纯徒手按压CPR,而不实施与其相伴的呼吸救援措施——结果导致缺氧状况的显著增加。在这种情况下,高流量氧(同时避免换气过度)至关重要。

- 呼气末二氧化碳监测(监测病人的呼出气),检测低值(心脏骤停、换气过度和其他状况为2 mmHg至20 mmHg;一般监护为1 mmHg至50 mmHg;慢性阻塞性肺病(COPD)晚期病人为0 mmHg至100 mmHg)。
- 一氧化碳(SpCO)监测仪,对这种具有潜在致命性气体的百分比含量进行评估。由于一氧化碳无嗅无味,受害人往往不知已身陷危险,进而失去知觉,甚至死亡。许多消防部门要求对火场救援人员进行评估,确保他们在灭火和事后清理过程中不暴露于危险之下。对于不知自己身陷危险而且症状无其他已知原因的许多病人来说,一氧化碳中毒往往是根本原因。一氧化碳监测仪通过内嵌于鼻套管或氧气面罩中的传感器来测量病人的呼出气。
- 高铁血红蛋白(SpMET),检测血红蛋白中的亚铁氧化现象,此过程不会输送氧。有些医院用药可能触发这种状况,结果会影响心血管系统和中枢神经系统。
- 非介入性血压——以示波法(使用臂箍上的压力传感器)在病人上臂或大腿测量血压,可以根据需要,也可按可变时间设置,提供舒张压、收缩压和平均值。在高值或低值指示存在危险副作用的状况时,在给药(或停药)方面精确性是非常重要的——比如不给心绞痛病人用硝酸甘油,因为这可能给已经存在低血压的病人带来失控性血管崩溃。血压值异常,如果伴随心率补偿以加快或减慢心率,则表明心血管系统有问题——需要快速干预。
- 介入性(动脉)血压(IP)监测仪——一款嵌入式传感器,通过逐次心跳确认病人血压/波形。趋势图可提供变化警示,表明病情恶化,或者快速响应指示,表明需要给服某些药。在长途空运和超长手术这两种情况下,监测血压变化可以为临床医师提供警示,提醒他们增加输氧量,改变输液速率,调整病人体位,或者给药,防患于未然。介入性血压监测还可用于监测采用左心室辅助装置的病人,在这种情况下,机械泵可提供持续的血流——但不会造成脉搏飙升。
- 3导联ECG。简单的低端设备,包括自动体外除颤器(AED),检测单个导联(通常为导联II)来确定是否存在脉搏、脉搏率以及波形的基本形态特征。其主要不足在于,某些电活动(无脉搏电活动或PEA)的显示并不能确认心输出量。其主要优势在于,它能识别心室纤颤,并立即提供除颤。
- 起搏器输出——显示起搏尖峰,叠加于心电节律之上以显示响应(捕获)(若有)。监测仪应能区分起搏器尖峰和病人的QRS波形,以精确实施除颤或心律转变治疗。
- 心律转变器——在房颤和类似状况下,以集成(同步)方式向特定波形的病人施加电击,达到击晕加速率(stun accelerated rate)。这要求密切协调电击,使其正好在R波下进行,而不是在不应期进行,因为这样可能导致心脏停止。在解除或自动解除之前,该功能通常都会显示出来,这样,如果病人进入心室纤颤状态,在实施治疗措施之前,机器不会继续搜索R波。
- 体温——几种不同的体温测量和报告方式,包括体表温度,以及介入式核心体温。随着美国心脏协会和全球各复苏委员会开始要求控制和降低核心体温,以在心脏骤停、中风或其他大脑创伤之后更好地保护大脑功能,体温的持续监测已成为更为广泛的做法。此外,在治疗过程中,体温过低或体温过高的病人可以从密切体温监测中受益,因为该做法可以确认治疗效果,避免超过目标体温。

- 上述部分或全部参数的趋势/报警功能取决于功能强大的软件、可选的报警范围限值以及清楚显示趋势变化量和超出限值消息的功能。
- 时钟、CPR节拍器、功耗以及其他数据点和消息可提供至关重要的文件材料，确保用户全面掌握并记录所有事件和转折点。

敏锐的高级心脏生命支持临床医师一直在寻找病人异常数据的可能/合理原因。经典例子是那些“H”和“T”，它们是无脉搏电活动(PEA)的标志。H包括血容量不足、体温过低、氧过少、氢离子(酸中毒)和血钾过高或血钾过少。T包括药片(意外过量或自杀行为)、填塞(心脏)、张力性气胸和血栓形成(冠状动脉或肺动脉)。如果在病症发展过程中发现并识别了这些症状，并根据当前的治疗方针制定了确定性应对措施，通常认为是可以矫正的。

上述各种环境面临的技术挑战是多方面的。在安全问题以及符合可接受质量水平的设计和生产工艺等要求以外，医疗设备制造商还必须完全了解环境刺激因素(如可能连接着病人的其他医疗设备)可能的交互作用方式；了解移动、RFI、传感器附件、温度和湿度可能对呈现给执业临床医师的数据造成的影响；以及这些可能对病人的诊断和治疗造成的不利影响。对于包括飞机(各种类型)、船舶或火车在内的应用，需要进行额外的机构测试，以确保符合这些环境的要求(不干扰飞行、导航或通信系统)。

医院内多生理参数监护

多生理参数监护仪在医院中存在多种用途，包括手术室(OR)、急诊室(ER)、心脏监护室(CCU)、重症监护室(ICU)、电生理学(EP)实验室/插管实验室、遥测/动态心电图监护设备、睡眠失调中心、术后恢复病房、内科病房和可植入式起搏器/除颤器手术室——范围十分广泛。

- 重症监护区域，从繁忙急诊科的分诊台，到检查室，扫描或X射线实验室区域，然后再到手术室(插管实验室、心脏手术室)或重症监护室/心脏监护室——均以病人需求为准，取决于电子监护设备。因此，医师和医院风险评估经理以及生物医学科可以标配任意监护仪的单一版本，而任何科室都不会使用全部功能。这样就为设备在医疗任务之间或者科室之间的顺利轮换提供了方便，有利于增进设备利用率的均衡化。另一所医院可以选择购置多种功能的混合体，一些用于支持重症监护，其他只需要最基本的参数。应该把医院应用视为对质量和通信功能的最高要求。设备需要在任何单个读数超出预设参数时，提醒临床医师注意各种生命体征变化，因为病人不可能像EMS一样，始终保持100%的目光接触。这里，在培训和病例所需人力、每个病例的低成本以及事件记录方面，易用性最为重要。因此，目前的标准做法是以无线方式将数据传输到中央监护系统。任何系统都必须减少容易造成困惑的因素，减少线缆数量，减少来自12导联阵列的捆绑线，并在医疗程序或术后病房的使用过程中，用4导联和5导联阵列进行持续的基本监护。
- 独立的手术中心和专业治疗中心。这里，预期客户属于低风险类别，但中心必须准备应对意外情况。若不能全面覆盖救护参数，可能会造成治疗不当行为。
- 恢复、康复和长期护理中心——多种专业护理设施，面向那些不需要医院级护理但又不能在家得到充分护理的病人。在这些地方，许多病人将签署不施行心肺复苏术(DNR)文件，但会在医嘱允许的范围内提供所有合适的护理。
- 医院中的专业中心可能需要多生理参数监护设备以便监测多种不同的参数。睡眠失调即是如此。在睡眠失调筛查中，多导睡眠图仪会连续监测一系列参数，包括EEG

脑波、快眼动跟踪、呼吸分析(容积、中断、体温和二氧化碳变化)、肌肉运动和鼾声,以检测睡眠的持续时间和质量、SpO₂、二氧化碳浓度和IR跟踪。这类试验的重要性不断突显,因为有证据表明,睡眠失调会对人体的体内平衡造成显著影响,甚至包括心脏骤停。难就难在如何在减少对病人的干扰的情况下捕获所需要的数据,以获得代表他们典型休息情况的真实数据。当今的产品同时还试图测量日间疲劳,甚至可以通过运动/姿势传感器向病人发出警示;在病人操作车辆或机器,或者监控空中交通管制等关键系统时,这些传感器可以解读与打盹相符的行为。在专用睡眠实验室中进行初步睡眠研究之后,必须继续在家中监控所选疗法,确保治疗的充分性和有效性。家用设备需要舒适;装配、操作和使用要简单;要值得信赖;并能提供所需要的数据,以便用于临床解读,从而对疗法进行调整或更改。

家用/医院外便携式医疗设备

一般地,这些多生理参数设备可能表现为多种形式,从动态心电监护仪一类的设备(这类设备记录多个ECG通道,包括定期记录血压的血压计臂箍),到家用多导睡眠图仪(记录上述多个生理参数,只是应用环境是在家中)。

部分家用/医院外便携式设备详解:

- 动态心电监护仪——一种非常简单的外部可穿戴ECG,可随时间的流逝收集数据,收集周期通常为24小时,一般配有一个由病人控制的按钮,用于记录感知到的异常事件的时间,比如一阵心动过速,感觉到心房扑动或心房颤动。
- 迷走神经刺激器——类似于起搏器,这些刺激器面向迷走神经,旨在平息癫痫突发状况。虽然不具有治疗作用,却能有效地进行控制,从而减少癫痫发作次数,降低其严重性。
- 深部脑刺激——往往能有效减少或抑制帕金森病导致的肌肉震颤。
- 经颅磁性刺激器——用于治疗严重抑郁。
- 血糖仪和胰岛素泵——越来越多的病人将其用于稳定其体内的血糖水平,以过上更加正常的生活。

当然,这个清单还可以继续下去——病人状况的监测、不断变化的病情以及对治疗的反应,这些是临床实践和家庭健康护理的核心所在。

其他医院外环境及其需求

居住地(家),病人可以继续以最低的成本恢复,但要确保电子监护设备可以发出警示,并启动任何必要的帮助程序。在许多情况下,这类数据已经用于慢性病,如果病情恶化,发展到急性阶段,可以使病人快速进入急救通道。其他家庭变得更加复杂,取决于孩子、配偶或大家庭和朋友所患的病情。家用设备面临的主要挑战是,经验不足的用户用起来要简单,能够通过调制解调器或Wi-Fi检索数据,以确保对治疗周期和剂量做出适当的调整。当家人报告,病人的监护仪或身体状况发生意外变化时,可以把这种做法称为“信任,但要验证”。

工作、运动、工业或商业环境

在工作、运动和其他活动中心,不计其数的压力因素可能导致损伤或疾病。当今企业的应对方法越来越多地包括,设立医疗诊所,并配上相应的人员,以及基于在病人检查过程中收集的电子监护数据采取干预措施。在其他此类环境中,急救包中的装备最少,但能快速寻求AED的帮助,或者基于一些最近发生的反面事件获得其他设备。但其他环境则装备精良,因为有残疾人加入,同时会触发《美国残疾人法》中的合理装备条款。非医疗业务实体面临双重标准问题,需要证明自己在针对突发急性医疗事件进行准备或做出响应时未玩忽职守。通过记录所有关键干预的使用/事件数据,可以获得数据驱动的质量保证和协议培训,对于因非经营者错误给病人造成的经济损失,还可以消除相应的诉讼风险。

健康护理的发展趋势是,全面监护病人的生命体征,从EMS小组抵达直到住院,涵盖整个过程,如果病情允许,还要在家中继续监护。多生理参数监护仪的类型将取决于病人的情况。

小结

现代临床实践十分关注病人的心血管功能和肺部功能,大脑神经响应,以及人体不断变化的体内平衡状况或不稳定状况。医疗设备行业需要不断完善的技术,以实现对病情、变化和变化速率的监测。它们要求提高精度和质量,缩减尺寸,还要求数据采集、传输和存储技术的发展进步。

各级介入式看护人员都对新一代生命体征监测技术提出了要求——确认整体复苏措施的有效性，尤其是充分的胸部按压，以及向大脑供应富含氧气的血流。

另外，他们还要求改进人为因素，以降低人工成本，减少错误。最终设备必须符合监管机构和报销规定的最新要求，还要能处理好面临的巨大诉讼挑战。

共模抑制与ECG子系统有何关系以及用来实现出色性能的技术

作者: Bill Crone, ADI公司医疗健康系统工程师

内容提要

本文所述用于优化ECG子系统共模抑制的技术经过时间验证, 在首先确保病人和操作人员安全的同时, 可实现出色的诊断性能。

根

据ECG子系统的应用不同, 某些临床情况下CMR(共模抑制)必须非常高。美国医疗器械促进协会(AAMI)规定了测试方法及必须满足的典型电极阻抗不平衡和失调要求。其他标准, 如IEC、UL和各国的医疗指令等, 也都对共模抑制提出了各种测试要求。

本文阐述人体阻抗不匹配、电极和电缆设计、保护电路、右腿驱动的使用, 以及其他影响共模抑制的考虑因素, 并提出了多种方法来增强ECG子系统的CMR性能。

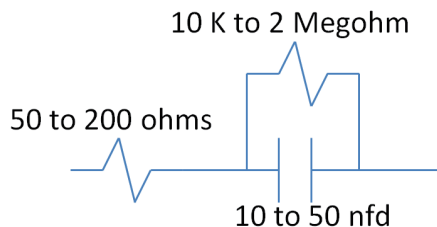


图1. 人体组织→电解质→电极模型

共模抑制、安全和RFI

为了优化ECG系统的共模抑制, 设计时必须进行多重权衡考量。

首先是评估安全。大多数标准指出, 10 μ A rms(DC至1.00 kHz范围)是ECG系统“正常”工作的上限。对于“单一故障状况”, 某些标准允许提高到50 μ A rms, 但低至35 μ A rms的电流就可能损害心肌。10 μ A rms是“单一故障状况”的推荐值(见参考文献1)。

交流电源漏电流必须不超过这一最大值。多种标准要求测量电极之间、电极连在一起时以及交流电源供电的电极相对大地的源电流和吸电流。

各种标准和不同国家的指令都会随时间调整变化, 因此设计人员需遵循最新版本的要求, 确保始终符合安全标准, 包括允许的最大源电流和吸电流、与频率的关系、针对人体的要求以及用于确保合规的测试方法。

此外, 必须保护ECG子系统不受除颤器脉冲(双相或单极性)影响, 因此应在仪表放大器之间增加限流电路以保护电路。另外还需要ESD(静电放电)保护电路。

基本性能

除了安全要求以外, ECG子系统在电外科手术中和其他恶劣环境下(附近的射频干扰RFI可能很高), 必须能够提供IEC 60601-1-1及其衍生标准所述的“基本性能”, 这包括飞机、雷达、火车和轮船等环境。

共模信号源

共模电压源通常为频率50 Hz或60 Hz、线路电压最高达264 VAC rms的交流电源。欧洲列车等非典型环境采用16.666 Hz的工作频率, 也可能是一个共模输入源。

人体和ECG子系统其他电路路径的共模模型

在图2中, 共模信号通过“人体躯干”耦合, 从皮肤表面经过电解质、电极到达ECG电极线, 经过除颤器保护电

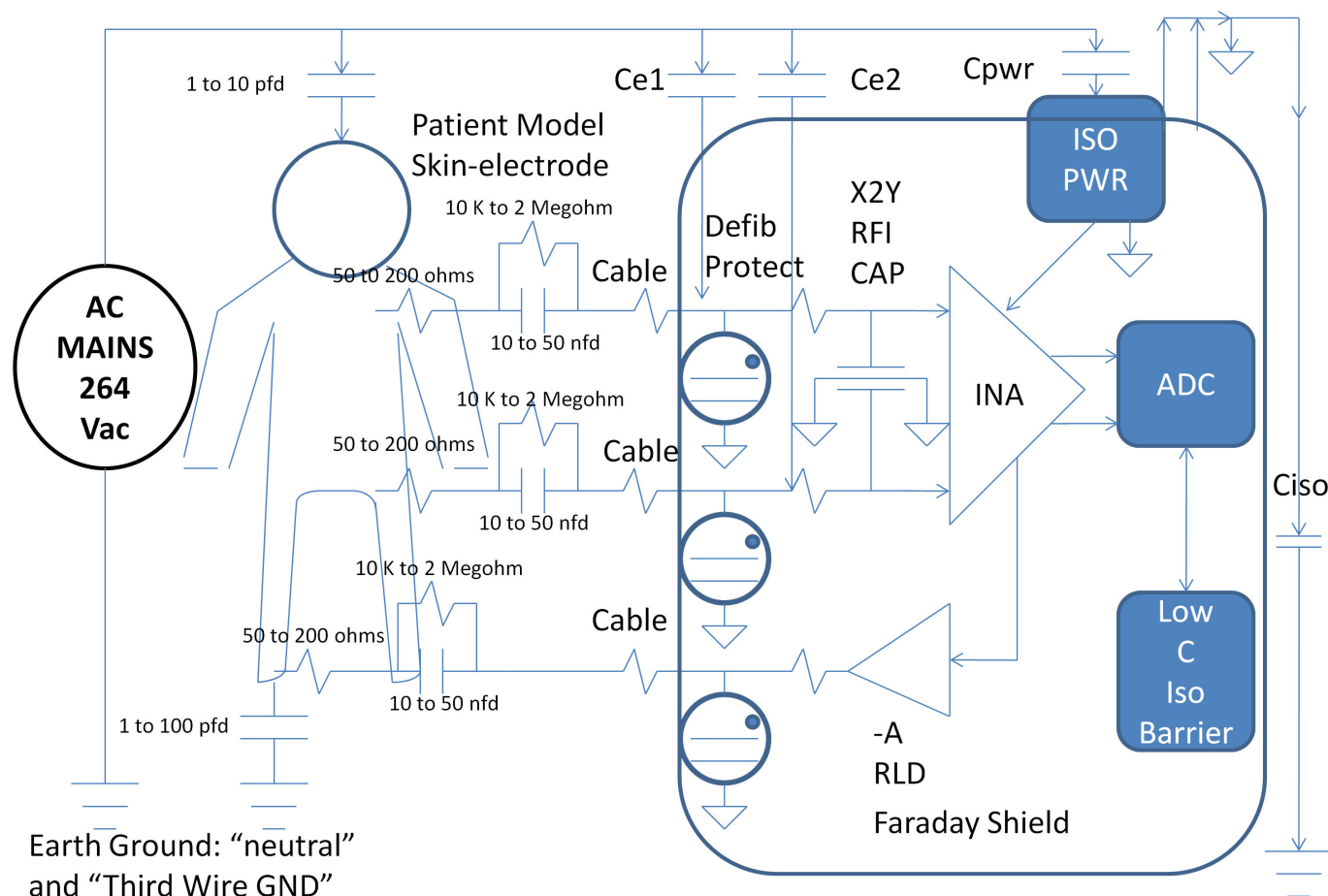


图2. ECG子系统功能框图

路、RFI输入滤波、仪表放大器、隔离地与大地之间的电容到达大地。图1给出了ECG电极及其与皮肤表面接口的阻抗模型。交流电源也可以通过ECG电缆耦合到ECG“前端”，输入保护电路则防止除颤器脉冲等外部瞬变影响电路，通过隔离电源直接耦合。仪表放大器输入端的潜在RFI整流也可能引起仪表放大器共模抑制问题。

共模转差模

交流信号和ECG信号均通过ECG前置放大器子系统电极来测量，因此确保共模信号不被转换为“差模”信号非常重要。ECG电极阻抗不匹配、电缆电容和除颤器相关保护电路(通常采用电阻和SCR/氩电压限幅器的形式)的结

合，增强了实现共模转差模的可能性。

组织/电极问题

对电极本身而言，在皮肤的组成结构中，最外层——“角质层”的阻抗最高，而且在低频时变化非常大，并且随频率而变化。阻抗与电极材料、尺寸、粘结剂、所用的电解质及皮肤本身的外层/状况有关。为了确保阻抗最低并提高阻抗在电极界面处的稳定性，在放置电极之前，某些备皮技术使用“砂纸”作为“备皮”。相比其他常用材料，某些组成的Ag/AgCl电极可提供最低的阻抗和失调。在整个频率范围内，电极之间的阻抗差可能高达50,000 Ω 。降低这种不匹配有助于减小共模转差模的可能性(见参考文献2)。

ECG电缆

为了保护电路不受除颤器影响，某些ECG电缆会嵌入2.5 k Ω 至49.9 k Ω 的保护电阻。如果该电阻不在电缆中，则它通常位于PCB上。因为与RFI滤波器接口，所以这些电阻的匹配非常重要。一种用来将电缆阻抗不匹配的影响降至最低的技术是以有源方式驱动电缆屏蔽体。

RFI滤波器

为防止RFI进入仪表放大器的输入级，通常使用X2Y RFI滤波器，其差模和共模阻抗必须匹配。相比于标准表贴电容，集成2XY RFI滤波器具有优异的特性，而且结构有利于实现出色的性能(见参考文献6)。

用于消减输入共模信号的技术 RLD

Winter、Wilson、Spinelli等人提出的右腿驱动(见参考文献4和5)，是一种用来降低仪表放大器差分输入端出现的共模信号输入电平的技术。模信号的降低程度受限于能够提供给病人的RLD电流。对于RLD，应考虑使用Spinelli所述的跨导放大器。

法拉第屏蔽

法拉第屏蔽常用于覆盖ECG前端，保护它不受环境RFI和交流电源耦合的影响，如图2所示。法拉第屏蔽有助于降低仪表放大器输入端之前、信号链上其他入口点中的交流电源耦合，如Ce1和Ce2等。

仪表放大器

仪表放大器的电源电压必须足够高，以便支持通常为 ± 1.0 V的差分与共模输入电压范围。某些应用需要更高的差分输入电平： ± 2.0 V。仪表放大器必须具有1 nA或更低的偏置电流(最好为100 pA)、极低的噪声电流、极低的噪声电压，以及对最高交流电源频率的五次谐波的高共模抑制。需要关注的典型频率为：16.666 Hz、50 Hz、60 Hz、100 Hz、120 Hz、150 Hz和180 Hz。

第一级仪表放大器的差分直流增益通常在5到10的范围内设置。如果输入仪表放大器能够向信号的交流部分提供增益，而不向直流部分提供增益，则也可以设置更高的增

益。需要权衡考虑的因素有噪声性能、动态输入范围和电源电压。

DSP消减共模信号

通过“硬件”方法消减共模信号之后，残余共模信号可以在数字域中处理。常用的一些技术包括FIR陷波滤波器、自适应滤波器和共模信号本身的“数字消减”。设计人员必须小心谨慎，确保ECG信号的“诊断完整性”不会因为使用这些技术而受损，并且临床医生的“差分诊断”不会受到某些潜在技术的不利影响。陷波滤波器的使用有时存在一些争议，因为它会影响目标信号的相位/幅度失真。ECG系统必须符合关于“诊断带宽”的标准。

小结

ECG子系统的高共模抑制设计要求设计人员把患者和操作人员的安全要求放在第一位。某些用于增强共模抑制的技术实际上可能会提高漏电流，因此必须避免使用。本文所述的技术经过时间验证，有助于实现出色的诊断性能。

参考文献

1. “问题新探：放宽电子医疗设备的安全电流限值会增加病人的危险吗？” Michael M. Laks(医学博士)、Robert Arzbaeher(哲学博士)、David Geselowitz(哲学博士)、James J. Bailey(医学博士)、Alan Berson(哲学博士)，Circulation, 2000; 102: 823-825。
2. “高质量记录生物电事件，第一部分：减少干扰，理论与实践。” A.C. Metting Van Rijn、A. Peper、C.A. Frimbergen，医学研究中心，医学物理系，Meibergdreef 15 1105 AZ 阿姆斯特丹，荷兰
3. “X2Y RFI滤波器。” Johanson Dielectrics。检索日期：1/11；网址：<http://www.johansondielectrics.com/x2y-products/x2y-for-emi-filtering.html>
4. “右腿驱动电路设计，” Bruce Winter、John G. Webster，IEEE Transactions on Biomedical Engineering，第BME-30卷，1983年1月。
5. Enrique Mario Spinelli等，“跨导型右腿驱动电路，” IEEE Transactions on Biomedical Engineering，第46卷，第12期，1999年12月。

资源

欲了解有关医疗健康信号处理技术和应用的更多信息，请

访问：www.analog.com/cn/healthcare

芯片级封装有助于便携式医疗设备减小尺寸并减轻重量

作者：Mike Delaus和Santosh Kudtarkar(ADI公司)

内容提要

借助晶圆级芯片级封装，介入性检测、医学植入体、一次性监护仪等便携式医疗设备的设计师可以减小尺寸、降低功耗需求。

在医疗设备设计领域，一个重要趋势是提高这些设备的便携性，使其走近病人，进入诊所或病人家中。这涉及到设计的方方面面，尤其是尺寸和功耗。晶圆级芯片级封装(WLCSP)的运用对减小这些设备电子组件的尺寸起到了极大的助推作用。

此类新型应用包括介入性检测、医学植入体和一次性便携式监护仪。但是为了最大限度地发挥出WLCSP封装在性能和可靠性方面的潜力，设计师必须在印刷电路板(PCB)焊盘图形、焊盘表面和电路板厚度的设计方面贯彻最佳实践做法。

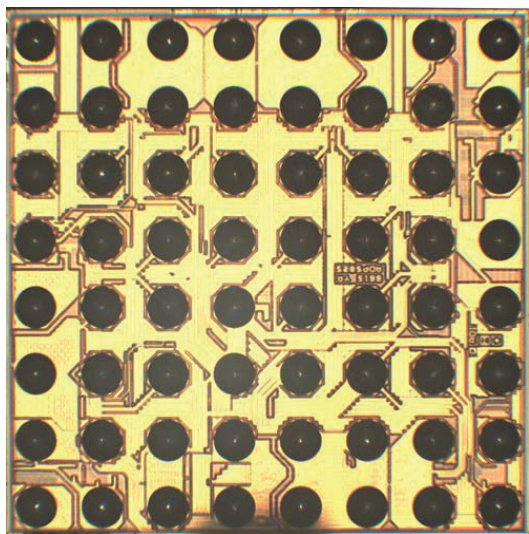


图1. WLCSP封装

晶圆级芯片级封装是倒装芯片互联技术的一个变体(图1)。在WLCSP中，芯片活性面采用反转式设计，通过焊球连接至PCB。一般地，这些焊球的尺寸足够大(0.5 mm间距，回流前为300 μm ，0.4 mm间距，回流前为250 μm)，无需倒装互联技术所需要的底部填充。该互联技术有多个优势。

首先，由于消除了第一级封装(塑封材料、引脚架构或有机基板)，因而可以节省大幅空间。例如，一个8引脚WLCSP所占电路板面积仅相当于一个8引脚SOIC的8%。其次，由于消除了标准塑封中使用的线焊和引脚，因而可以减小电感，提高电气性能。

另外，由于消除了引脚架构和塑封材料，因而可以减轻重量，降低封装厚度。无需底部填充，因为可以使用标准表贴(SMT)组装机。最后，低质芯片在焊锡固化期间具有自动对齐特性，有利于提高装配成品率。

封装结构

WLCSP在结构上可分为两类：直接凸点和再分配层(RDL)。

直接凸点WLCSP包括一个可选的有机层(聚酰亚胺)，充当芯片活性面的应力缓冲层。聚酰亚胺覆盖着芯片上除焊盘周围开口之外的所有区域。该开口上喷涂有或镀有一层凸点下金属(UBM)。UBM由不同的金属层叠加而成，充当扩散层、阻挡层、浸润层和抗氧化层。将焊球滴落(这是其称为落球的原因)在UBM上，并经回流形成焊接凸点(图2)。

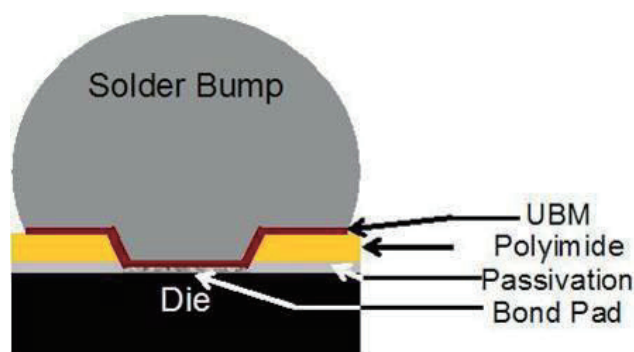


图2. 直接凸点WLCSP

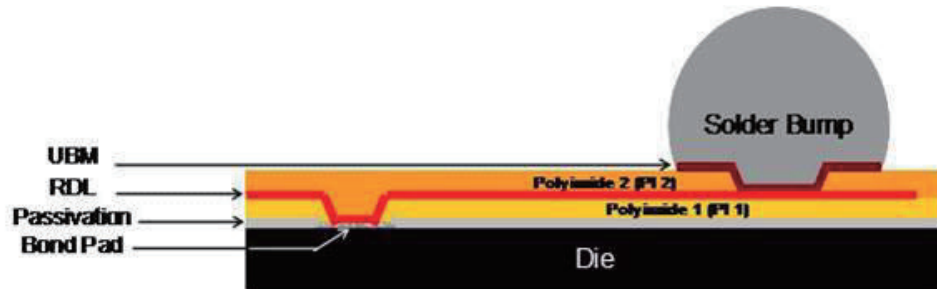


图3. 再分配层(RDL) WLCSP

运用RDL技术，可以把针对线焊设计的芯片(焊盘沿外围排列)转换成WLCSP。与直接凸点不同，这类WLCSP采用了两个聚酰亚胺层。第一个聚酰亚胺层沉淀在芯片上，使焊盘保持开放。然后喷涂或镀上一层RDL，把外围阵列转换成面积阵列。然后，构造工艺与直接凸点相同，包括第二层聚酰亚胺、UBM和落球(图3)。

落球后则是晶圆背面研磨、激光打标、测试、分离及卷带和卷盘。在背面研磨工序之后，还可选择施用背面层压板，以减少切割时造成的芯片脱离问题，简化封装处理工作。

最佳PCB设计实践

电路板设计的关键参数为焊盘开口、焊盘类型、焊盘表面和电路板厚度。基于IPC标准，焊盘开口等于UBM开口。对于0.5 mm间距WLCSP，典型焊盘开口为250 μm ，0.4 mm间距WLCSP为200 μm (图4)。

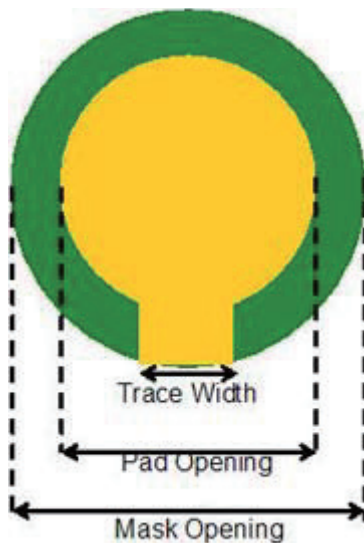


图4. 焊盘开口

阻焊层开口为100 μm 与焊盘开口之和。走线宽度应小于焊盘开口的三分之二。增加走线宽度可以减少焊接凸点的支柱高度。因此，维持正确的走线宽度比对于确保焊点可靠性也很重要。对于电路板制造来说，表贴装配使用两类焊盘图形(图5)：

- 非阻焊层限定(NSMD)：PCB上的金属焊盘(I/O装在其上)小于阻焊层开口。
- 阻焊层限定(SMD)：阻焊层开口小于金属焊盘。



图5. 焊盘类型

由于铜蚀刻工艺比阻焊开口工艺有着更加严格的控制，因此NSMD比SMD更常用。NSMD焊盘上的阻焊开口比铜焊盘大，使焊锡可以依附于铜焊盘四周，从而提高焊点的可靠性。

金属焊盘上的表层对装配成品率和可靠性都有着深刻的影响。采用的典型金属焊盘表面处理工艺为有机表面防腐(OSP)和无电镀镍浸金(ENIG)两种。金属焊盘上OSP表层的厚度为0.2 μm 至0.5 μm 。该表层会在回流焊工序中蒸发，焊料与金属焊盘之间会发生界面反应。

ENIG表层由5 μm 的无电镀镍和0.02 μm 至0.05 μm 的金构成。在回流焊过程中，金层快速溶解，然后，镍和焊料之间会发生反应。非常重要的一点是，要使金层的厚度保持在0.05 μm 以下，以防形成脆性金属间化合物。标准的电路板厚度范围在0.4 mm至2.3 mm之间。选择的厚度取决于已填充系统

组件的鲁棒性。较薄的电路板会导致焊接接头在热负载条件下的剪切应力范围、爬电剪切应变范围和爬电应变能量密度范围变小。因此，较薄的积层电路板会延长焊接接头的热疲劳寿命。

测试和评估

结合前述变量，WLCSP的可靠性通过对器件进行加速压力测试来评估，此类测试包括高温存储(HTS)、高加速压力测试(HAST)、高压锅测试、温度循环、高温工作寿命测试(HTOL)和无偏高加速压力测试(UHAST)。除了热机械诱导性压力测试以外，还要进行坠落、弯曲等机械测试。

HTS测试旨在确定在不施加任何电应力的情况下，高温条件下长期存储对器件的影响。该测试评估器件在高温条件下的长期可靠性。典型测试条件为在150°C和/或175°C下持续1000小时。实施测试时要把器件暴露在指定环境温度之下，并持续指定的时长。

资源

欲了解医疗健康应用的更多信息，请访问www.analog.com/cn/healthcare。

传感器电路的低噪声信号调理

作者: Reza Moghimi, ADI公司应用工程经理

内容提要

在低功耗、低成本设计中, 尽量降低系统噪声至关重要。为了从信号调理电路获得最低噪底和最佳性能, 设计人员必须了解元件级噪声源并在计算模拟前端的总噪声时充分考虑这些噪声源——若要针对极小信号实现高分辨率, 就必须能够透过数据手册上有限的噪声指标了解内在本质, 这点至关重要。每个传感器都具有自身的噪声、阻抗和响应特性, 因此将它们匹配到模拟前端是设计过程的一个重要部分。有多种方法可以计算电路的噪声——在执行噪声分析和计算之前, 所有这些方法都应该先优化配置信号调理电路。如果有良好的运算放大器SPICE模型可用, 则使用SPICE是最简便的方法。

精确的信号调理和高分辨率测量已不再局限于工业或仪器仪表应用。便携式消费电子设备的设计人员也需要将系统噪声降至最低。由于电池供电设备中的信号电压较小, 因此这可能相当具有挑战性。系统精度取决于噪底。为了从信号调理电路获得最低噪底和最佳性能, 设计人员必须了解元件级噪声源并在计算模拟前端的总噪声时充分考虑这些噪声源。

一些设计人员坚信选择噪声最低的元件可以解决其所有信号调理噪声问题。这种想法是一个好的起点, 但是信号调理应用中采用的大部分IC放大器和基准电压源在数据手册中仅会给出几个有限频率处的噪声规格。因此, 设计人员只能通过有限的信息来选择器件。他们不知道元件噪声来自哪里以及受哪些因素影响, 噪声是否随着时间、温度和电路配置而变化, 或是在选择噪声最低的器件前是否需要了解制造工艺。在当今的低功耗、低成本设计中, 很多系

统无法承受最昂贵的器件或通过提高功耗来降低噪声的器件。本文首先探讨了这些话题, 然后为选择手头设计任务的最佳元件提供了指南。

低噪声设计在当今便携式小工具中变得很重要。一般而言, 噪声是指影响有用信息质量的任何干扰信号。为了理解低噪声设计的重要性, 我们来看看图1所示的典型信号链。

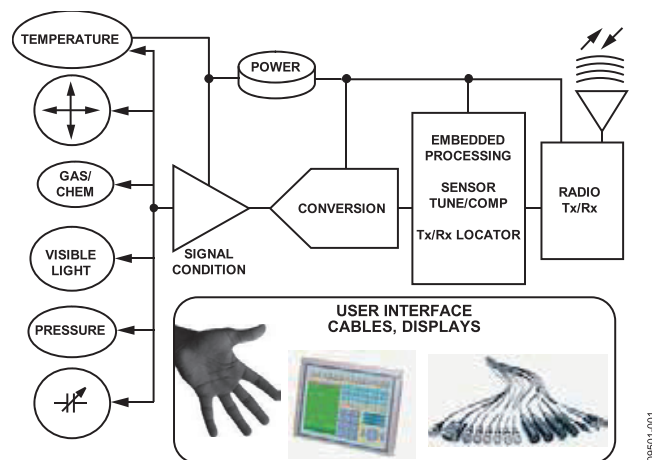


图1. 典型的消费电子信号链

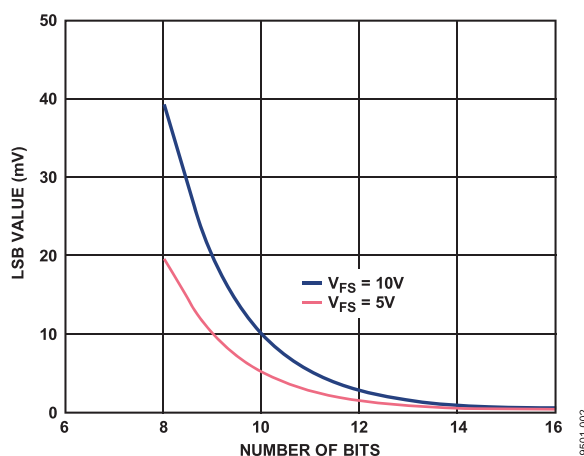


图2. LSB大小随着满量程信号降低而缩小

常见的传感器应用已经过渡到采用更低的工作电源电压(从几年前的±22 V到今天的±0.9 V)，在LSB大小缩减的同时对精度提出了更高要求，如图2所示。例如，汽车行业已从8位系统过渡到12位或更高位数的系统。该趋势使得测量传感器产生的微伏电压十分具有挑战性。设想一个实际传感器最大生成30 mV的信号(非常常见)。在这种情况下，12位系统中的1/2 LSB是3.5 μV，因此，如果用作模拟前端的放大器具有1 μV的折合到输入端噪声，测量质量将受到影响。

信噪比

驱动ADC时保持较低的模拟前端噪声同样非常重要。这对于避免降低信噪比(SNR)来说至关重要。放大器引起的SNR性能下降净值(单位dB)为：

$$SNR_{LOSS} = 20 \log \left[\frac{N_{ADC}}{\sqrt{N_{ADC}^2 + \frac{\pi}{2} f_{-3dB} \left(\frac{2.5 N E_N}{FSR} \right)^2}} \right] \tag{1}$$

其中：

- N_{ADC} 是ADC的均方根噪声，单位为微伏(μV)。
- f_{-3dB} 是ADC的-3 dB输入带宽，单位为MHz(或是ADC输入滤波器的截止频率，如果使用的话)。
- N 为放大器的噪声增益(在单位增益缓冲器配置中为1)。
- E_N 为运算放大器的等效输入电压噪声谱密度，单位为nV/√Hz。
- FSR 是ADC的满量程输入范围(例如，±2.5 V范围为5 V)。

设计不佳的信号调理电路会导致SNR降低并消除系统中高分辨率ADC的优势。例如，表1显示了以不同噪声规格的放大器驱动时16位模数转换器AD7671的 SNR_{LOSS} (28 μV rms噪声，9.6 MHz带宽，0 V至5 V输入，G = 1)。

能否实现精确的高分辨率测量取决于系统噪底。可实现的最高信噪比为：

$$SNR = 10 \log \frac{V_{signal_rms}}{V_{noise_rms}} \tag{2}$$

表1. 较高的放大器噪声会造成较大的 $ADC\ SNR_{LOSS}$

1 kHz时放大器噪声(nV/√Hz)	SNR_{LOSS}
40	9.4
20	4.6
10	1.7
1	0.02

系统设计人员的目标是在保持信号不失真的情况下处理传感器生成的微小信号。以下部分将探讨信号调理电路生成的噪声并介绍如何选择合适的器件。

信号调理电路中的噪声

噪声可分为两种不同的类别：外部噪声(干扰噪声)和内部噪声(固有噪声)。电磁噪声属于外部噪声形式。它们可能周期性出现，也可能间歇性或随机出现。系统设计人员可以通过多种方法降低它们的影响。

内部噪声可以定义为应用中会产生电压和电流的所有电阻和半导体器件(PN结)内固有电子波动导致的随机过程。噪声无法完全消除。电子的热扰动和电子空穴对的随机生成和重组都属于内部噪声，IC制造商尝试利用更好的工艺和设计技术降低这种噪声。

噪声通常规定为峰峰值(p-p)或均方根值，以p-p或频谱噪声密度图形式表示，如图3所示。与交流信号不同，噪声功率分散在整个频谱上，而不是集中在一个频率上。噪声的瞬时值无法预测，但是可以预测噪声概率。大部分噪声呈高斯分布。

很难准确、连续地从p-p噪声图中读取噪声值。绘制噪声功率密度与频率的关系曲线后，可以直观地看出功率在频率范围内的分布情况。噪声频谱密度显示了给定频率处的噪声能量，均方根数值则给出了给定带宽或时间间隔上的均方根值。知道p-p噪声值总是不错的。因为噪声是随机的，因此始终存在电压超出峰峰值的可能性。通过将均方根噪声乘以6.6可以在99.97%的程度确保不会超过p-p值。

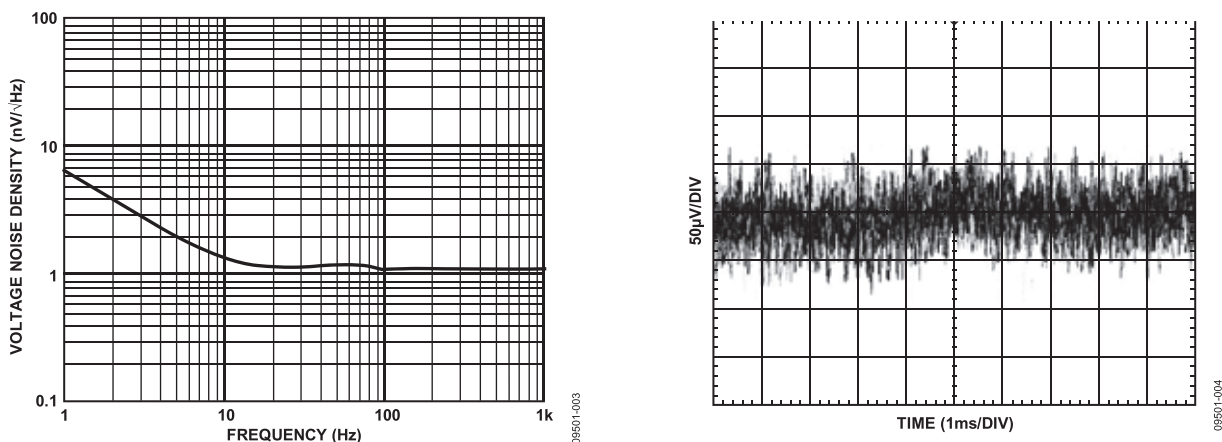


图3. 典型峰峰值和电压噪声密度图

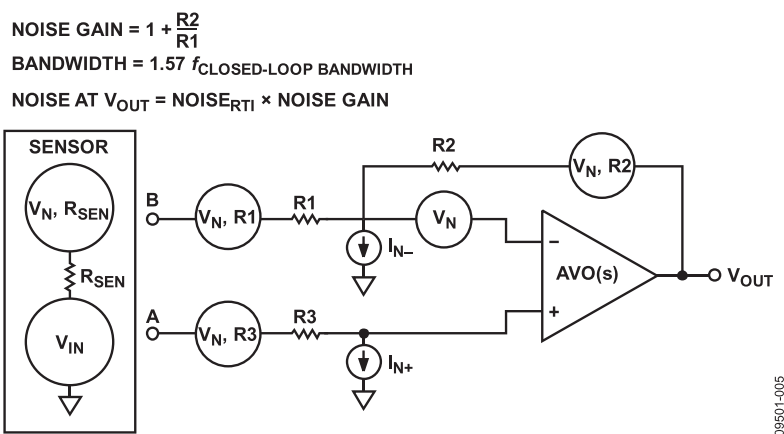


图4. 显示所有噪声源的信号调理电路(假设放大器没有噪声)

在IC中，两种最常见的功率密度分布形式为 $1/f$ 和白噪声。 $E_N(f)$ 和 $I_N(f)$ 的数量就是噪声频谱密度，以 $\text{nV}/\sqrt{\text{Hz}}$ 和 $\text{pA}/\sqrt{\text{Hz}}$ 表示。由于噪声取决于测量带宽，因此指定频段很重要。

受到 $1/f$ 、温度和老化效应、甚至可能是爆米花噪声(请参见噪声类型部分)的影响，也很难在数学上描述低频条件下的放大器噪声特性，但是重复实验显示，温度越高，噪声越大。

除了白噪声和 $1/f$ 噪声以外，IC噪声中还包括爆米花噪声、散粒噪声和雪崩噪声。除了IC以外，系统设计中常用的电阻、电容和电感等其他元件也有各自的噪声。

由于噪声是概率函数，因此设计人员需要以均方根(RSS)形式将不相关的噪声源相加。这意味着，两个具有相同能量的噪声源相加只会使总噪声增加 $\sqrt{2}$ 倍，即3 dB。对于相关的噪声源，噪声计算公式会增加一个由相关因数乘以噪声源乘积组成的额外项。

图4显示了各种不同的放大器噪声源，以及传感器和外部元件噪声源。放大器噪声通过与输入端串联的零阻抗电压发生器和与输入端并联的无限阻抗电流源进行建模。其中每一项都会随着频率和放大器型号变化而变化。输入电压噪声(E_N)和输入电流噪声(I_N)可视为添加到理想“无噪声”放大器的不相关噪声源。

$$Noise_{RTI} = \sqrt{BW} \sqrt{V_N^2 + 4KTR3 + 4KTR1 \left[\frac{R2}{R2 + R1} \right]^2 + I_{N+}^2 R3^2 + I_{N-}^2 \left[\frac{R1 \times R2}{R1 + R2} \right]^2 + 4KTR2 \left[\frac{R1}{R1 + R2} \right]^2} \quad (3)$$

总输出噪声(折合到输入(RTI))由电阻噪声与运算放大器的电压和电流噪声组成,如公式3所示。

注意,在反相和同相配置中,噪声增益(噪声增大系数)均相同: $1 + R2/R1$ 。电容(此处未显示,但此类电路中常常会使用)本身不产生噪声,但放大器电流噪声会在电容上产生压降并生成电压噪声误差。

白噪声会通过,就好像滤波器是砖墙型一样,但是截止频率会增大到1.57倍。0.57考虑到 f_0 (滤波器的转折频率)以上的传输噪声。在放大器应用中,该逐步滚降定义为 $f_0 = \beta \times f_t$,其中 β 是反馈因数, f_t 是单位增益交越。放大器会任由白噪声通过,截止频率为1.57 f_0 。

如图所示,放大器电压噪声在输出噪声中占很大一部分。假设上述电路配置为反相增益1000,并使用具有所示不同噪声规格和电阻值的各种10 MHz放大器。该测试的结果如图5所示,但是数据手册中所给噪声规格最低的放大器并不总是最适合应用的放大器。选择放大器时还需要考虑其他一些因素。

通过了解传感器,设计人员应该能够确定工作频率范围(如宽带或1/f)。然后,设计人员应该选择具有合适特性的放大器。当今放大器的宽带噪声范围为0.9 nV/ $\sqrt{\text{Hz}}$ 到60 nV/ $\sqrt{\text{Hz}}$ 。

了解输入架构和制造放大器的工艺技术将有助于选择正确的放大器来完成工作。在系统设计的早期阶段中,始终认真考虑通过选择正确的元件并限制应用带宽来设计出最佳噪声性能。然后,用户可以分析非噪声要求,例如输入阻抗、电源电流和增益。如果不满足噪声要求,则重复该过程。通过设计实现低噪声始终比尝试通过屏蔽、布局和其他技术降低噪声更明智。

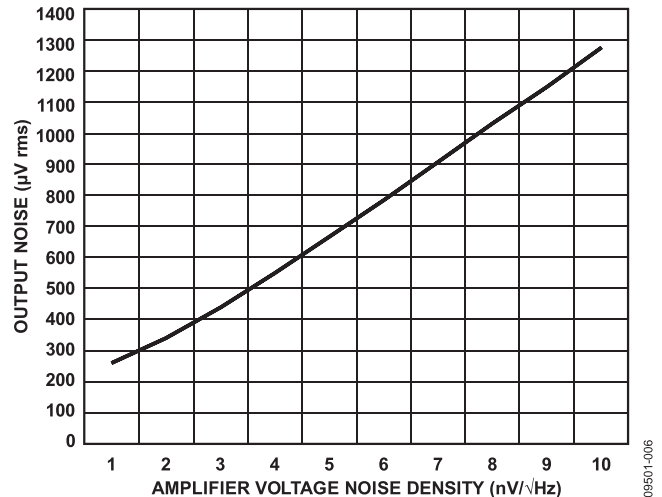


图5. 放大器噪声是信号调理电路输出噪声的主要来源

设计放大器时,明白必须进行权衡取舍很重要。这些可能影响应用,因此了解器件的设计原理以及制造工艺十分重要。仅仅依赖数据手册规格是不够的(例如, x nV/ $\sqrt{\text{Hz}}$)。

双极性运算放大器特性取决于其静态电流。减小 E_N (低 R_B 和高 I_C)与减小 I_N 的措施相反。这代表着双极性设计中的一种基本折衷。很多器件包括super-beta或 I_B 消除电路。这些会带来相关噪声。在进行噪声分析时,需要引入相关常数来表征该相关噪声。偏置补偿型运算放大器具有比从其偏置电流(I_B)预测更大的噪声电流。

CMOS的主要噪声来源在不同工作区域有所不同。利用工艺相关性和设计调整可以获得更佳的噪声规格,但是每种方法都会对应用产生影响。闪烁噪声(1/f)与晶体管宽度和

长度($W \times L$)成反比, 因此为了降低噪声, 设计人员需要使用大尺寸输入级晶体管。这样会产生大输入电容, 在最终应用中可能成为限制因素。与双极性器件相比, CMOS器件具有较低的电流噪声。室温下常常可以忽略电流噪声密度(I_N), 但是高温下会有问题。

与BJT相比, JFET具有较低的 g_m , 因此, FET运算放大器在相似工作条件下具有更高的电压噪声。其电压噪声(E_N)还包含闪烁噪声, 但是JFET的电流噪声低于BJT。室温下常常可以忽略其电流噪声(I_N), 但是高温下可能会有问题, 因为温度每增加 20° , 电流噪声会翻倍, 因为温度每增加 10° , 偏置电流(I_B)会翻倍。市面上很多成功的商用JFET运算放大器都是以电压噪声换取输入电容。选择放大器时表2非常有用。表3给出了一些基于不同工艺的常用放大器。

表2. 不同工艺的噪声性能

	双极性	CMOS	JFET
电压噪声	最佳	良好	较好
电流噪声	良好	最佳	较好
E_N 转折频率	最佳	良好	较好
I_N 温度灵敏度	最佳	较好	良好

表3. 基于不同工艺的三种常用放大器噪声规格

产品型号	E_N (nV/ $\sqrt{\text{Hz}}$)	I_N (pA/ $\sqrt{\text{Hz}}$)	F_c (Hz)	输入
AD8599	1	1.5	9	双极性
AD8655	2.7	0.007	2000	CMOS
AD8610	6	0.005	1000	JFET

根据上面的指南选择传感器和放大器后, 接着是选择放大器周围的元件。小电阻通常更好, 因为它们能降低放大器电流噪声的影响。电阻自身会引入噪声, 这会增加系统噪声底。此外, 电阻噪声不应成为放大器噪声的主要来源。实际上, 运算放大器仿真模型(如ADI公司最近发布的模型)不允许使用大电阻来设置低噪声放大器的增益。

缩减测量带宽是设计低噪声信号调节电路时另一种很好的做法。这可通过使用简单的单极点电路或更为复杂的多极点有源滤波器(请参见ADI公司网站上的滤波器工具设计)来实现。

在当今的低功耗、低成本设计中, 很多系统无法承受昂贵的器件或低噪声器件所需的较高功耗。为了从信号调理电路获得最低噪声底和最佳性能, 设计人员必须了解元件级噪声源并在计算模拟前端的总噪声时充分考虑这些噪声源。若要针对极小信号实现高分辨率, 就必须能够透过数据手册上有限的噪声规格了解内在本质, 这点至关重要。

噪声类型

白噪声(也称为带宽噪声)

噪声图的平坦部分是器件的噪声底, 如图6所示。其相对于某一频率进行定义, 是一个常数。两边平方后得到白噪声功率, 其与带宽成正比, 与频带位置无关。这是系统的噪声底和系统分辨率的限制因素。

$$E_N = \sqrt{\int_{f_1}^{f_2} E_N^2 df} = E_N \sqrt{f_2 - f_1} = E_N \sqrt{\Delta f} \quad (4)$$

如果 $f_1 < 1.0f_2$, 那么可近似为:

$$E_N = E_N \sqrt{f_2} \quad (5)$$

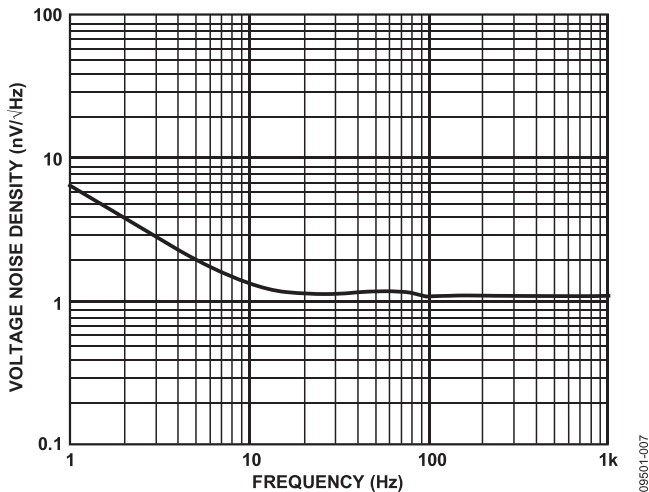


图6. 放大器白噪声是典型噪声图的平坦部分

1/f噪声(也称为粉红噪声)

在低频率下, 噪声与频率(1/f项)成反比, 如图7所示。1/f噪声始终与电流相关, 由陷波引起。在电流流过时, 陷波会随机捕获和释放电荷载体, 从而造成电流中的随机波动。在BJT中, 1/f噪声可能由晶体管基极发射结上的污染和表面状况不佳引起。在CMOS中, 该噪声与硅和二氧化硅之间边界处的额外电子能量状态相关。

1/f转折频率实际上是一个品质因数, 超过该频率后噪声的幅度相对平坦且不受频率影响。注意, 电压噪声的转折频率不同于电流噪声密度的转折频率。

$$E_N = K\sqrt{f_c} \sqrt{\frac{1}{f}} \quad (6)$$

$$E_N = E_N \sqrt{f c e \ln \left(\frac{fH}{fL} \right)} \quad (7)$$

$$I_N = I_N \sqrt{f c i \ln \left(\frac{fH}{fL} \right)} \quad (8)$$

1/f的一个特性是每十倍频程的功率内容相等。

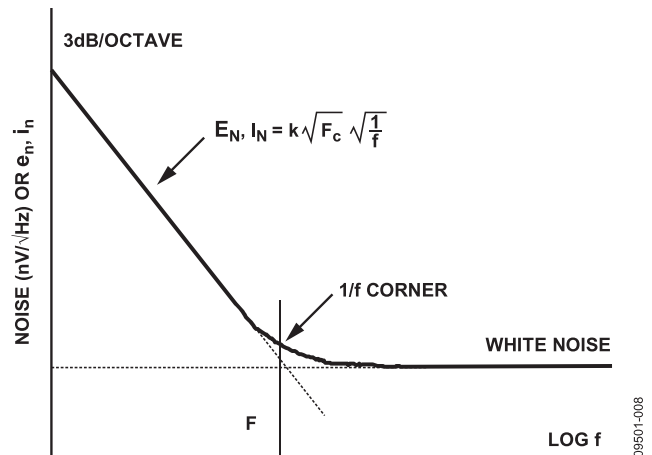


图7. 突出显示1/f噪声的典型运算放大器噪声图

爆米花噪声(也称为爆裂噪声)

在早期IC制造中, “爆米花噪声”是一个严重的问题, 会导致数十毫秒的随机离散失调偏移。如今, 虽然制造过程中仍然偶尔会出现爆米花噪声, 但对该现象已有了较好的理解。爆米花噪声是1/f噪声的一部分, 发生在极低频率条件下。爆米花噪声会在运算放大器的输出端产生阶跃函数电压变化, 主要由晶体管在两个hfe值(beta)之间不规则跳变造成。它完全由工艺决定, 工艺不佳的器件具有较多的爆米花噪声。

散粒噪声

每当电流流过P-N结时都会产生散粒噪声, 而当今的IC中有很多P-N结。跨越隔离栅完全是随机的, 产生的直流电流是很多随机基本电流脉冲的总和。散粒噪声在所有频率下保持不变。当电流噪声具有一致的功率密度时, 它会成为白噪声的一部分。

$$I_N = \sqrt{2qI\Delta f} \quad (9)$$

其中:

q = 电子电荷量(1.6×10^{-19} 库伦)

I = 通过结点的电流(单位pA)

Δf = 带宽(单位Hz)

肖特基噪声

在以反向击穿模式工作的P-N结中，当电子在强电场的影响下通过撞击晶格原子获得足够的动能而形成额外的电子空穴对时，便会出现该噪声。这些空穴对可通过雪崩方式形成其他对。得到的电流由流过反向偏置结点的随机分布噪声尖峰组成。肖特基噪声与散粒噪声相似，需要电流流动，但是比散粒噪声更为强烈，使齐纳二极管以具有高噪声而著名。

电阻噪声

所有电阻都存在电阻噪声，原因在于电阻中的电子热扰动。后者会引起电荷运动，从而产生电压。电阻噪声是白噪声的一部分，在所有频率下保持不变。可使用以下公式计算电阻的噪声值。根据经验，1 kΩ电阻具有4 nV/√Hz的噪声。值得一提的是，电阻值每增加一倍，噪声会增加3 dB (4 × 电阻=噪声翻倍，即6 dB)。碳素电阻和厚膜电阻的噪声高于计算得出的热噪声。

$$E_N = \sqrt{4kTRB} \quad (10)$$

其中：

k = 波尔兹曼常数 (1.374×10^{-23} J/°K)

T = 绝对温度(°K)， $T = ^\circ\text{C} + 273^\circ$

R = 电阻(W)

B = 带宽(Hz)

$$4kT = 1.65 \times 10^{-20} \text{ W/Hz}$$

有三种方法可以降低该噪声：1)选择小电阻，这样会增加功耗；2)控制温度(降低温度)；3)降低测量带宽。

设计过程

随着模数转换器和数模转换器的分辨率不断增加以及电源电压不断降低，最低有效位变得更小。这使得信号调理任务更加困难。当信号大小逐渐接近噪底时，因此必须解决外部和内部噪声源，包括约翰逊噪声、散粒噪声、宽带噪声、闪烁噪声和EMI。

通常不相关的噪声源可通过RSS方式进行组合：

$$E_{N_total} = \sqrt{E_{N1}^2 + E_{N2}^2} \quad (11)$$

另一方面，相关的噪声源，例如输入偏置电流消除，则必须通过增加相关因数以RSS形式进行组合：

$$E_{N_total} = \sqrt{E_{N1}^2 + E_{N2}^2 + 2CE_{N1}E_{N2}} \quad (12)$$

图8显示了典型信号调理电路中存在的所有噪声源，以及可用于反相、同相、差动和其他常见配置的通用公式。

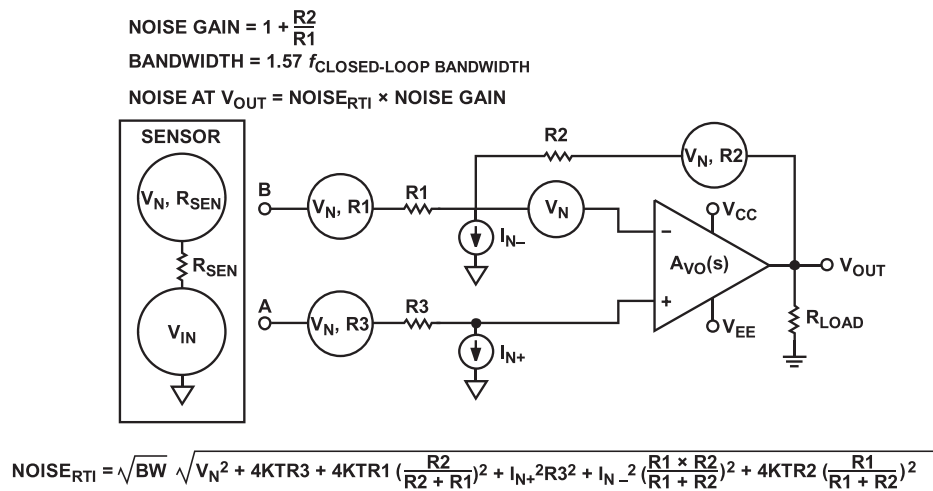


图8. 噪声源包括运算放大器的输入电压噪声和输入电流噪声，外加外部电阻的约翰逊噪声

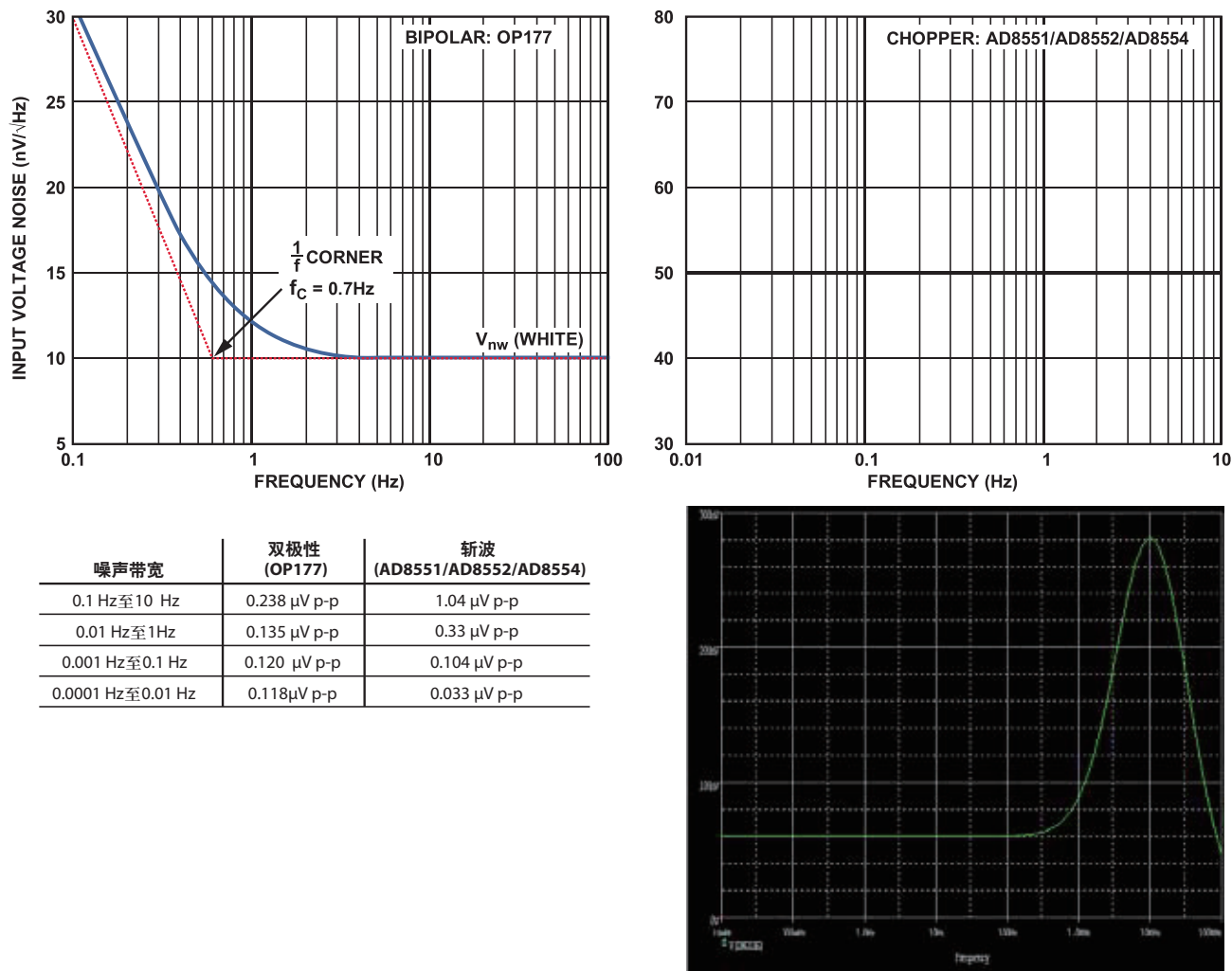


图9. 标准放大器(例如ADI公司的OP177)在低频率下显示1/f噪声(左上)。自稳零(斩波)放大器(例如ADI公司的AD8551/AD8552/AD8554)没有1/f噪声(右上)。PSpice对AD8638自稳零放大器的行为进行了正确建模(右下)。

正确的设计方法

从传感器及其噪声、阻抗、响应和信号电平特性入手，实现最低的折合到输入端(RTI)噪声将优化信噪比(SNR)。

与先解决增益和功率要求，再艰难地处理噪声问题相比，以关注低噪声着手解决问题显得更为高效。这是一个迭代过程。首先考虑放大器的工作区域：宽带或1/f。然后，通过选择合适的有源器件，获得最佳噪声性能的设计。再选择放大器周围的无源元件并限制带宽。然后，分析非噪声要求，如输入阻抗、电源电流和开路增益。如果不满足噪声规格，则继续重复该过程，直到获得可接受的解决方案。

运算放大器选择

在一些情况中，具有22 nV/√Hz宽带噪声的运算放大器可能优于噪声规格为10 nV/√Hz的放大器。如果传感器在很低的频率下工作，则具有低1/f噪声的放大器可能最佳。标准放大器(如ADI公司的OP177)的噪声频谱密度类似于图9左上方的图形。另一方面，自稳零放大器会不断校正随着时间和温度变化而出现在其输入端的任何误差。由于1/f噪声会逐渐趋近直流，因此该放大器也会校正该误差。图9右上方的图形显示了第一代自稳零放大器如何不呈现1/f噪声，因而适用于低频传感器信号调理。如图9的右下所示，第二代自稳零放大器具有较低的宽带噪声(22 nV/√Hz)。PSpice宏观模型正确模拟了放大器的电压噪声，图中显示1/f噪声已被消除。

轨到轨输入

对于低电压设计，轨到轨(RR)输出和输入可能比较适合。当共模输入从一个轨进入另一个轨时，一个差分输入对停止工作，则另一个差分对接管工作。失调电压和输入偏置电流可能会突然变化，导致图10所示的失真。对于低噪声设计，需要考虑是否需要RR输入特性。

为了解决该问题，运算放大器(如ADI公司的AD8506)使用内部电荷泵来消除输入电压交越失真。如果设计不当，电荷泵产生的噪声将出现在输出中，如果该噪声位于目标频段内，很可能会造成问题。可在输出引脚上连接频谱分析仪，以确保时钟的幅度远远小于信号幅度。

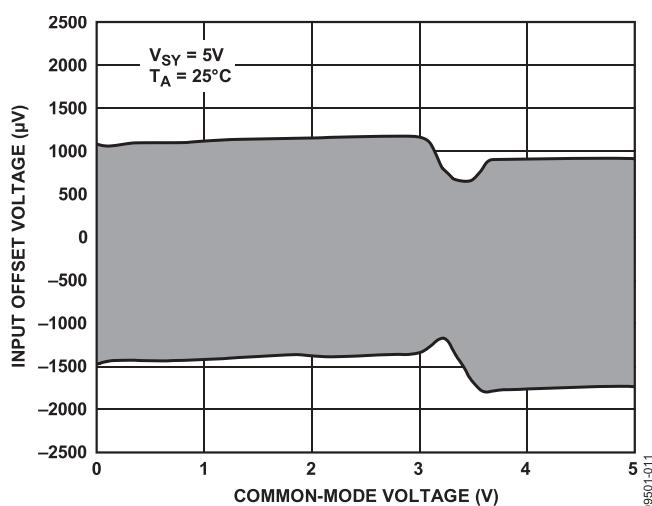


图10. 轨到轨放大器的输入失调电压会随着共模输入电压变化而发生明显变化

偏置电流消除

新型双极性运算放大器采用了一种技术，可以部分消除输入偏置电流。该技术可能导致不相关或相关的电流噪声增加。对于一些放大器，相关噪声可能大于不相关部分。例如，对于ADI公司的OP07，添加阻抗平衡的电阻可改善整体噪声。表4比较了两种广泛使用的ADI运算放大器OP07和OP27，前者以较高的电压噪声获取较低的电流噪声。

从可用的低噪声器件选择三到四个器件。考虑工艺技术。寻找特殊设计技术，如自稳零、斩波和偏置电流消除。查看输入晶体管区域的芯片尺寸图片，记住大输入晶体管的

表4. OP07和OP27电压和电流噪声

参数	条件	OP07E	OP27E	单位
输入失调电流		0.5	7	nA
输入偏置电流		±1.2	±10	nA
输入电压噪声	0.1 Hz至10 Hz	0.35	0.08	µV p-p
输入电压噪声密度	f = 1 kHz	9.6	3	nV/√Hz
输入电流噪声密度	f = 1 kHz	0.12	0.4	pA/√Hz

噪声较低，但输入电容较大。CMOS和JFET放大器的电流噪声远低于双极性器件。低噪声设计使用低值电阻，因此放大器输出驱动必须足以驱动高负载。

无源元件选择

选择放大器后，接着是选择其周围的合适电阻和电容。这些同样也存在噪声。图11显示了使用错误电阻值的影响。输出噪声随着设置增益所使用的电阻增大而增大。在所有三种情况中，增益均为1000。

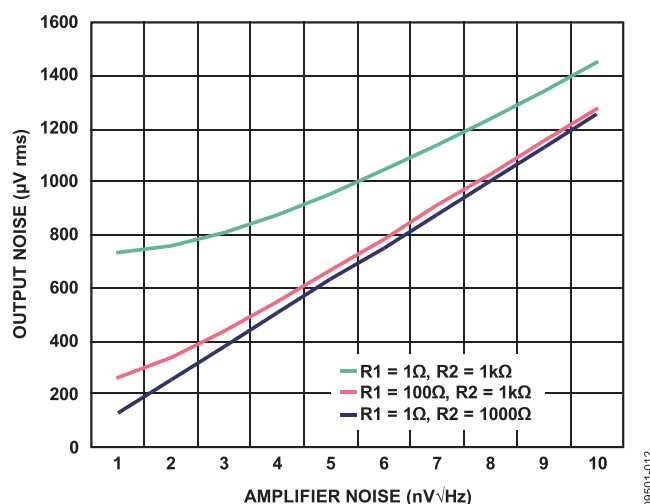
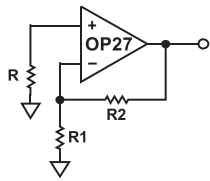


图11. 使用低值电阻保持低输出噪声

EXAMPLE: OP27
VOLTAGE NOISE = $3\text{ nV}/\sqrt{\text{Hz}}$
CURRENT NOISE = $1\text{ pA}/\sqrt{\text{Hz}}$
 $T_A = 25^\circ\text{C}$



NEGLECT R1 AND R2
NOISE CONTRIBUTION

CONTRIBUTION FROM	VALUES OF R		
	0	3k Ω	300k Ω
AMPLIFIER VOLTAGE NOISE	3	3	3
AMPLIFIER CURRENT NOISE FLOWING IN R	0	3	300
JOHNSON NOISE OF R	0	7	700

09501-013

图12. 采用小电阻时主要噪声来源为电压噪声；采用中值电阻时主要噪声来源为约翰逊噪声；采用大电阻时主要噪声来源为电流噪声。

了解传感器的特性很重要。通过忽略R1和R2的噪声贡献并聚焦于源阻抗R的噪声，图12显示了R为小值电阻时主要噪声来源为电压噪声、为中值电阻时主要噪声来源为约翰逊噪声，为大值电阻时主要噪声来源为电流噪声。因此，具有低输出阻抗的传感器应该使用小电阻和具有低电压噪声的运算放大器。

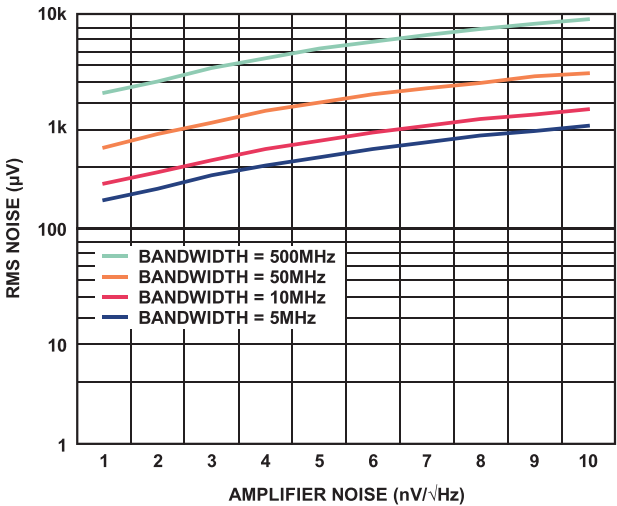
除了电阻以外，还使用电容来提供补偿和降噪。无源元件不会增加噪声，但流过它们的噪声电流将产生噪声电压，计算时应考虑这些噪声电压。总之，在放大器周围应使用低阻抗元件，以便最大程度地降低电流噪声、热噪声和EMI杂散拾取的影响，这点十分重要。

带宽选择

选择放大器及相关电阻和电容后，下一步是设计最佳带宽(BW)。注意带宽设计不要超过安全标准。带宽应足够宽，以便传递基波频率和重要谐波，但不能过宽。选择具有足够带宽的放大器并后接RC滤波器。放大器本身也是单极点滤波器。放大器和电阻在每Hz的带宽上都存在噪声，因此，带宽越大，输出噪声越高，SNR越小。

图13显示了放大器带宽与噪声的关系，电路配置和上文相同，但是使用了具有不同带宽的放大器。要限制增加的噪声，应该尽量减少带宽。

要缩减带宽，可在传感器后面添加RC滤波器。这可能会带来负载问题，但可以使用缓冲器克服该问题，如图14所示。



09501-014

图13. 输出电压噪声随着放大器带宽增加而增加。

具有所示规格和配置的放大器和ADC(放大器带宽为350 MHz)将具有166 $\mu\text{V rms}$ 的噪声。通过在运算放大器后面添加RC过滤器，使有效带宽变为50 MHz，可将噪声降至56 $\mu\text{V rms}$ 。

如图所示，使用正确的RC缩减带宽可以显著提高SNR，但是电阻本身会增加噪声。一种减小带宽的更好方法是使用图15右上方所示的电路。该方法将电阻放在运算放大器的反馈环路内部，使其影响降低1 + 环路增益。别忘了在电源引脚处添加足够的解耦电容，以便减小信号路径的电源噪声。

完成这些步骤后，再检查其他系统要求。下面是一些示例：

所选元件是否满足其他目标规格？

放大器是否需要双电源？

是否有正电源？

放大器功耗是否太高？

元件是否太贵？

如有必要，返回步骤1并重复该过程。

每个传感器都有各自的噪声、阻抗和响应特性，因此将它们匹配到模拟前端至关重要。要克服当今应用中的很多挑战并获得最佳SNR，需要良好定义的低噪声设计过程。该迭代过程将产生最适合当今高难度应用的信号调理解决方案。

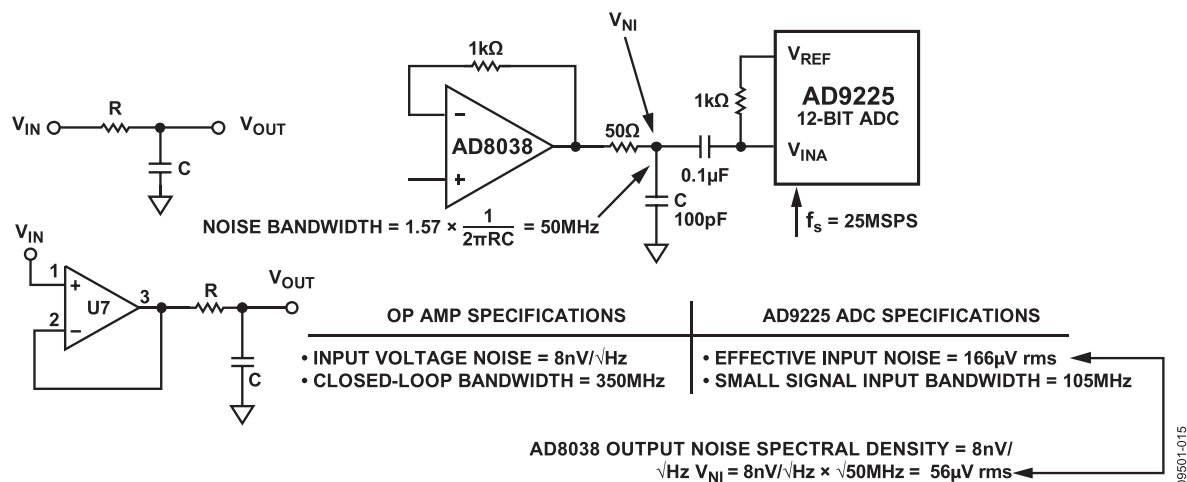
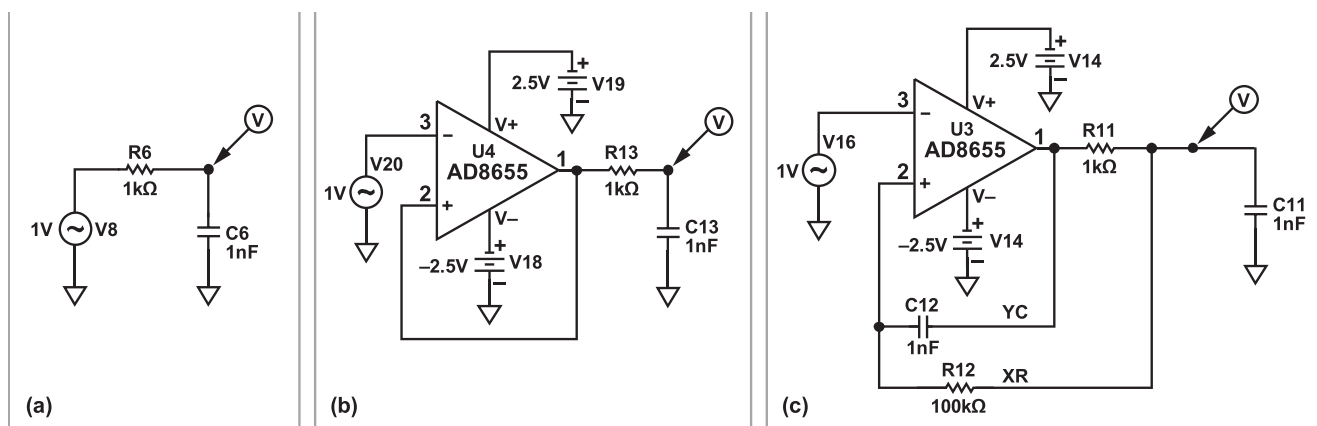


图14. 在传感器和滤波器之间添加缓冲器以避免负载问题



$$f_0 = \frac{1}{2\pi RC\sqrt{XY}} \quad Q = \frac{\sqrt{XY}}{(X+1) \times Y}$$

X AND Y ARE CONSTANTS

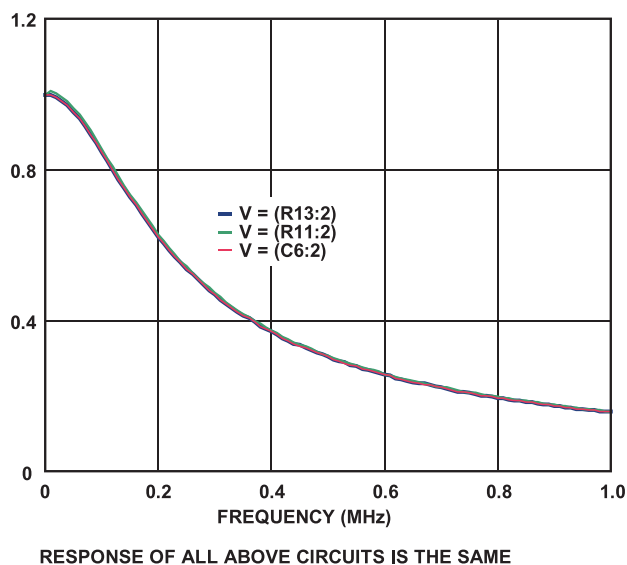


图15. (a)简单的RC滤波器；(b)缓冲器减少负载；(c)将电阻放在反馈环路内可以将噪声降至最低

噪声计算

“噪声”一词包含多种电气干扰。其中一些干扰的来源是模拟电路元件(如放大器和转换器)固有的。要了解电路能可靠处理的最低信号电平，设计人员必须计算电路噪声。该过程可能很复杂，因为涉及到很多公式的推导和求解。在写下公式之前，设计人员必须先确定和考虑不相关和相关的噪声源。我们将探讨同时存在相关和不相关噪声的特殊情况并提供电路优化建议。这样一来，设计人员可以构建有效运行并具有最佳噪声性能的电路。

要获得最佳噪声性能，必须限制带宽并计算噪声有效带宽(NEB)上的噪声。一种带宽限制方案是在信号调理级上或之后添加简单的低通滤波器。噪声带宽要宽于信号带宽，与系统的滤波器阶数无关。信号已下将至-3 dB频率(f0)时原始值的0.707倍，但是一阶滤波器的噪声带宽扩展至1.57 f0。这意味着，白噪声会通过，就好像滤波器是砖墙型一样，截止频率会增大到1.57倍。高阶(N)低通滤波器的乘法因子如表5所示。

表5. 乘法因子给出了N阶滤波器的噪声等效带宽

N	NEB
1	1.57 f0
2	1.11 f0
3	1.05 f0
4	1.025 f0

$$NEB = \frac{1}{A^2_{v_max}} \int_0^{\infty} |A_v(f)|^2 df \tag{13}$$

要计算任意电路(如图16所示的带通滤波器)的噪声等效带宽，设计人员可以使用公式13，该公式将信号增益的幅度对频率积分，然后除以最大信号增益。

一种计算电路噪声的更简单方法是使用仿真软件，如PSpice。该带通滤波器具有 $(1/2\pi \times R3 \times C1)$ 和 $(1/2\pi \times R1 \times C21)$ 的截止频率。具有用于模拟电压和电流噪声密度的精确运算放大器模型很重要。噪声计算过程与手动计算过程相同，但数据处理将由软件进行。

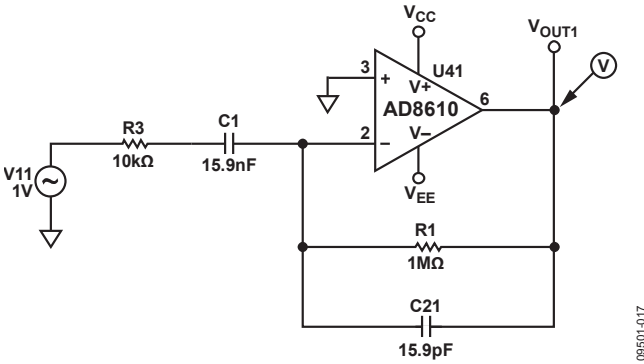


图16. 带通滤波器

要找出NEB，请从“分析设置”弹出菜单选择“交流扫描”，然后单击“使能噪声”按钮。第一步是找出最大增益，如图17所示。

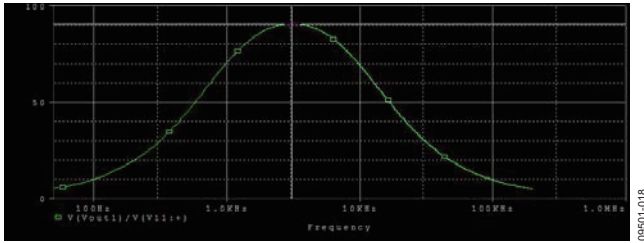


图17. 图16所示电路的最大增益

然后，可以使用求和运算符找出NEB，如图18所示。NEB是图中上半部分大致变平位置的值，本例中在170 kHz处。

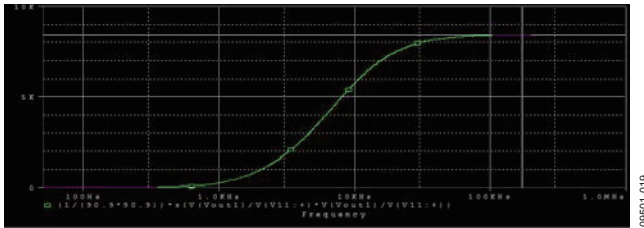


图18. 图16所示电路的噪声等效带宽(NEB)

PSpice还会计算设计人员需要研究的其他信息。例如，它已经收集了必要的数

据，用于显示图16所示电路的输入和输出噪声图。这是通过选择设置菜单中的“启用噪声”来实现的。输出噪声结果如图19所示。

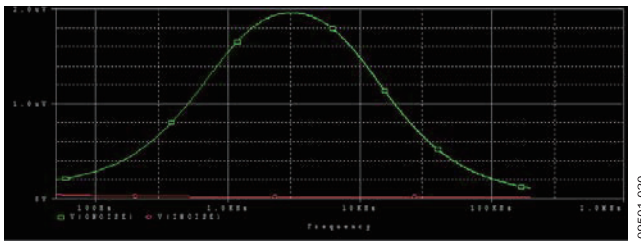


图19. 图16所示电路的输出噪声

知道噪声带宽后，设计人员可以使用探针和s运算符找到该带宽上的噪声，如图20所示。将一个游标放在低频率上(例如，1 Hz)。右键单击并将第二个游标放置在170 kHz处(电路的噪声带宽)。该带宽上的噪声可以从探针游标的“dif”读出。

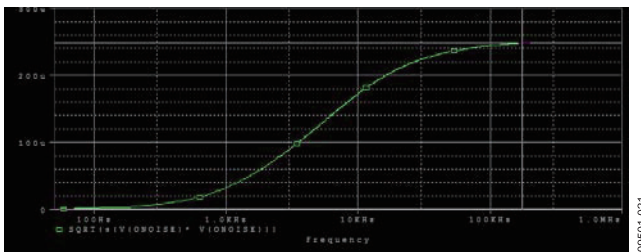


图20. 图16所示电路的总输出噪声
(在NEB上积分)

上面的方法假设所有电路噪声源已正确确定并配置为最佳噪声性能。PSpice不知道正确的配置和元件值，这些必须由电路设计人员进行优化。上述电路是否针对噪声进行了优化？是否已确定和考虑所有噪声源？运算放大器的工艺技术和设计技术会影响其噪声性能。模拟IC设计人员通过使用内部偏置电流消除电路技巧，减少了双极性晶体管的偏置电流。这些技巧会在电流噪声密度规格中引入相关成分。表6显示了超低噪声、低失真运算放大器(如ADI公司的AD8599)的噪声规格。

表6. AD8599噪声规格

噪声性能	条件	典型值	最大值	单位
峰峰值噪声(E_N p-p)	0.1 Hz至10 Hz	76		nV p-p
电压噪声密度(E_N)	f = 1 kHz	1.07	1.15	nV/√Hz
	f = 10 Hz		1.5	nV/√Hz
相关电流噪声	f = 1 kHz	2.0		pA/√Hz
	f = 10 Hz	4.2		pA/√Hz
不相关电流噪声	f = 1 kHz	2.4		pA/√Hz
	f = 10 Hz	5.2		pA/√Hz
总谐波失真加噪声(THD + N)	G = 1, $R_L \geq 1$ k Ω , f = 1 kHz, $V_{RMS} = 1$ V	-120		dB
通道隔离(CS)	f = 10 kHz	-120		dB

如果配置正确，这些IC可以提高电路的交流和直流性能。如图21所示，平衡放大器输入可以优化噪声性能。例如，通过在同相输入端和地之间放置电阻R5(相当于R1和R4的并联组合)，可以优化直流性能。这种常用技术可消除运算放大器的输入偏置电流并减少总直流误差。

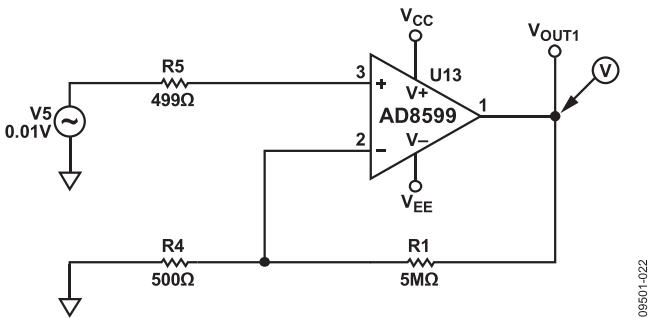


图21. 直流优化电路

不过，上述电路未针对噪声进行优化。为此，设计人员必须确定所有噪声源并写下噪声公式，如上文所述。图22确定了噪声源；公式14是噪声公式。

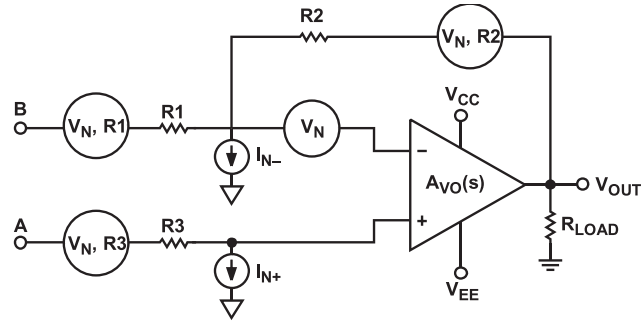


图22. 图21中电路的噪声源

$$NOISE_{RTI} = \sqrt{BW} \sqrt{V_N^2 + 4KTR3 + 4KTR1 \left(\frac{R2}{R2 + R1} \right)^2 + I_{N+}^2 R3^2 + I_{N-}^2 \left(\frac{R1 \times R2}{R1 + R2} \right)^2 + 4KTR2 \left(\frac{R2}{R1 + R2} \right)^2} \quad (14)$$

找出NEB后，便可利用PSpice来计算电路的总噪声。图23显示了1到15 kHz的噪声。

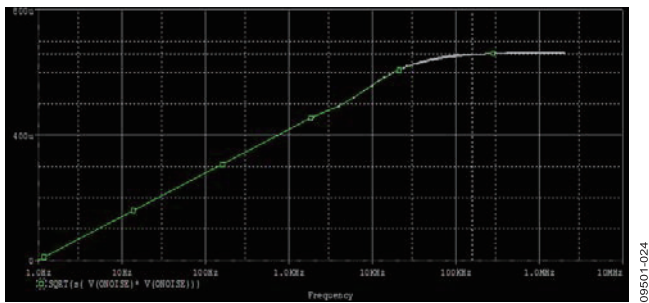


图23. 图21中电路的输出噪声

如何平衡运算放大器的输入以获得最佳噪声性能？图24中给出了答案，其中同时针对交流和直流参数平衡了输入。注意，尽管噪声增益相同(1001)，并且流出放大器输入引脚时电流噪声密度经过等效电阻，但电阻值发生了变化。

相对于先前的解决方案，该电路在噪声方面有何改善？为了回答该问题，再次确定了所有噪声源，并写下合适的公式来计算输出端的总噪声。如图25所示，注意，平衡电阻RB的贡献通过公式15获得。

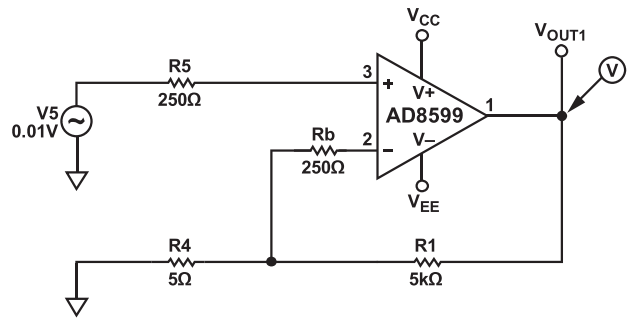


图24. 交流和直流优化电路

$$(NOISE_{RTO})^2 = \left(1 + \frac{R2}{R1} \right)^2 \times \left(V_N^2 + (4KTR3)^2 + I_{N+}^2 R3^2 + (4KTRb)^2 \right) + \left(\frac{R2}{R1} \right)^2 \left((4KTR1)^2 I_{N-}^2 Rb^2 + I_{N-}^2 R2^2 + (4KTR2)^2 \right) \quad (15)$$

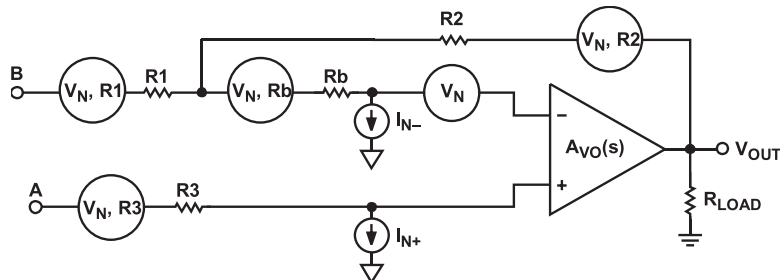


图25. 图24中电路的已确定噪声源

表7给出了图21和图24中结果的横向比较。由于使用了小电阻进行平衡，两种配置之间的总输出噪声差可能看起来没那么小，但是如果图21中R5使用大电阻，噪声差就会成为问题。

表7. 图21和图24的横向比较

元件	未平衡	平衡
V_N^2	1.14^{-18}	1.14^{-18}
$(4KTR3)^2$	7.99^{-18}	3.99^{-18}
$(4KTR2)^2$	8.00^{-15}	8.00^{-15}
$(4KTRb)^2$	0.00^{00}	3.99^{-18}
$(4KTR1)^2$	8.00^{-18}	4.00^{-18}
$I_{N-}^2 Rb^2$	0.00^{00}	2.49^{-19}
$I_{N-}^2 R2^2$	1.43^{-18}	$5.61E^{-19}$
$I_{N+}^2 R3^2$	1.44^{-12}	1.00^{-12}
NEB	15.7 kHz	15.7 kHz
总噪声(RTO) μV	560	484

除了目前给出的两种方法外，是否还有其他的简便方法来计算电路噪声？在一种常用应用电路(即配置为驱动ADC的缓冲器的运算放大器)示例中给出了另一种计算给定电路噪声的方法。

图26中使用ADI公司的AD8675(宽带噪声= 2.8 nV/ $\sqrt{Hz}$)的电压噪声密度图作为示例，将NEB分成两个区域(低频和高

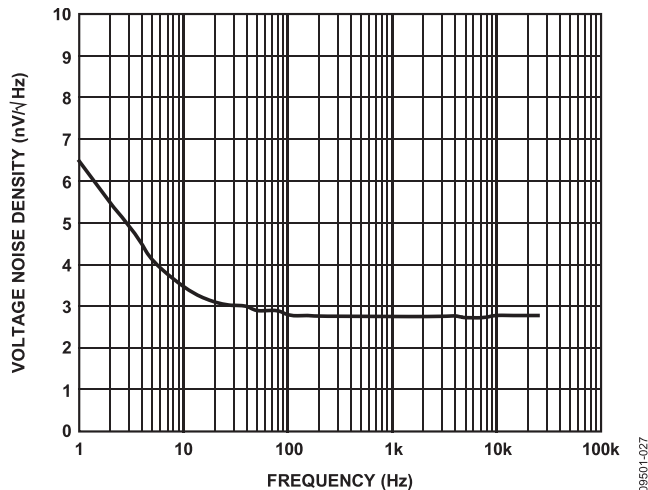


图26. AD8675噪声密度与频率的关系

频)。注意，配置为同相单位增益缓冲器的AD8675的NEB是运算放大器的单位增益带宽(10 MHz)。

所有运算放大器数据手册都提供了电压噪声密度图，可用于查找低频噪声(峰峰值噪声)和转折频率。该信息与公式16可用于计算低频条件下的噪声：

$$V_{N,rms}(F_L, F_H) = noise_{Broadband} \sqrt{F_c \ln \frac{f_H}{f_L} + (F_H - F_c)} \quad (16)$$

使用公式16并使 $F_L = 0.1 \text{ Hz}$ 、 $F_H = 70 \text{ Hz}$ 、转折频率 $F_c = 25 \text{ Hz}$ ，会得到40.45 nV rms的低频噪声，如公式17所示。

$$V_{N,rms}(F_L, F_H) = noise_{Broadband} \sqrt{25 \text{ Hz} \ln \frac{70 \text{ Hz}}{0.1 \text{ Hz}} + (70 \text{ Hz} - 25 \text{ Hz})} \quad (17)$$

$$= 40.45 \text{ nV}$$

高频区域(噪声的平坦区域或白噪声区域)的噪声计算如公式18所示。

$$V_{white_noise} = V_{noise @ 70 \text{ Hz} - 10 \text{ MHz}}$$

$$= V_{noise_density @ 1 \text{ kHz}} \times \sqrt{BW}$$

$$= 2.8 \text{ nV} \times \sqrt{10000000 - 70}$$

$$= 8.854 \text{ } \mu V \text{ rms}$$

如公式19所示，以均方根形式将两个区域的噪声相加，得到8.86 μV rms的总噪声。

$$V_{noise_RTO} = \sqrt{\left(V_{\frac{1}{f}^{noise}}\right)^2 + \left(V_{white_noise}\right)^2} \quad (19)$$

$$= 8.86 \text{ } \mu V \text{ rms}$$

该解决方案效果如何？近似精确度多高？该电路能可靠处理低至什么程度的信号电平？这些都可通过查看公式20中所示的SNR进行测试。

$$\begin{aligned}
 SNR_{opamp} &= 20 \times \log\left(\frac{V_{OUT\ rms}}{V_{noise_RTO}}\right) \\
 &= 20 \log\left(\frac{V_{fs\ rms}}{V_{noise_RTO}}\right) \\
 &= 20 \log\left(\frac{20V}{8.86\ \mu V}\right) = 122\ \text{dB}
 \end{aligned} \tag{20}$$

放大器的低频噪声可以忽略不计([AD8675](#)的转折频率非常低), 因此, 该解决方案的总SNR仅利用白噪声贡献即可计算得出。该解决方案最高适用于20位应用。该放大器会导致16位ADC(如ADI公司的[AD7671](#)(SNR = 90 dB))的SNR出现极小下降, 如公式21所示。

$$\begin{aligned}
 SNR_{total} &= -20 \log \sqrt{10^{-SNR_{opamp}/10} + 10^{-SNR_{ADC}/10}} \\
 &= -20 \log \sqrt{10^{-122/10} + 10^{-90/10}} = -89.99\ \text{dB}
 \end{aligned} \tag{21}$$

有多种方法可以计算电路噪声, 本文介绍了其中几种。但是, 所有这些方法都应首先优化配置信号调理电路, 然后再进行噪声分析和噪声计算。如果有良好的运算放大器PSpice模型可用, 则使用SPICE是最简便的方法。如果没有, 可以使用其他两种方法之一: 噪声密度图法或利用公式13进行手动计算的方法。

参考文献

AN-202应用笔记, [IC放大器用户指南: 去耦、接地及其他一些要点](#), ADI公司

AN-347应用笔记, [如何排除干扰型噪声——方法及原理: 一种理性方法](#), ADI公司

AN-358应用笔记, [噪声与运算放大器电路](#), ADI公司

AN-581应用笔记, [单电源应用中的偏置和去耦运算放大器](#), ADI公司

AN-940应用笔记, [最佳噪声性能: 低噪声放大器选型指南](#), ADI公司

Barrow, J和A. Paul Brokaw。"[低频和高频电路接地](#)", 模拟对话, 第23卷第3期, 1989年。

James Bryant和Lew Counts。"[运算放大器问题—噪声](#)", 模拟对话, 第24卷第2期, 1990年。

Freeman, J. J., 噪声原理, 纽约: John Wiley & Sons, Inc., 1958年。

Motchenbacher, C. D和J. A. Connelly, 低噪声电子系统设计, 纽约: John Wiley & Sons, Inc., 1993年。

研讨会: [传感器信号调理电路中的噪声优化, 第1部分](#)。

研讨会: [传感器信号调理电路中的噪声优化, 第2部分](#)。

JESD204B转换器内确定性延迟解密

作者: Ian Beavers

对于需要一系列同步模数转换器(ADC)的高速信号采样和处理应用,解偏斜和转换器的延迟变化匹配是至关重要的。围绕该特性展开的系统设计极为关键,因为从模拟采样点到处理模块之间的任何延迟失配都会使性能下降。对于交错式处理而言,样本对齐同样是必需的;在交错式处理时,一个转换器样本后紧跟另一个样本,且时间仅为一个时钟周期中的一小部分。

JESD204B第三代高速串行转换器接口的一个重要特性,是其能够确立系统中每个转换器的确定性延迟。正确理解并利用该特性,便可在单系统中针对多个ADC创建同步或交错采样系统。

由于确定性延迟是相对较新的转换器接口特性,系统设计人员经常就如何建立、目标信号以及如何部署为同步或交错式处理等方面存有诸多疑问。下文的部分常见问题与解答针对多个与FPGA一同采样的JESD204B转换器并使用确定性延迟进行系统设计而言。

什么是确定性延迟,它在JESD204B中是如何定义的?

JESD204B链路的确定性延迟定义为串行数据从发送器(ADC或源端FPGA)的并行帧数据输入传播至接收器(DAC或接收端FPGA)并行去帧数据输出所需的时间。该时间通常以分辨率为帧时钟周期或以器件时钟进行测量。

JESD204B的确定性延迟规格没有考虑到ADC模拟前端内核或DAC后端模拟内核的情况。它只基于输入和输出JESD204B数字帧的数据。不仅两个有源器件在这种延迟计算中作为函数使用,与两个器件接口的空间信号路由也将作为函数参与计算。这意味着每条链路的确定性延迟在多转换器系统中,可能较大或较小,具体取决于JESD204B通道的路由长度及其各自的延迟情况。接收器的缓冲器延迟有助于弥补路由造成的延迟差异(图1)。

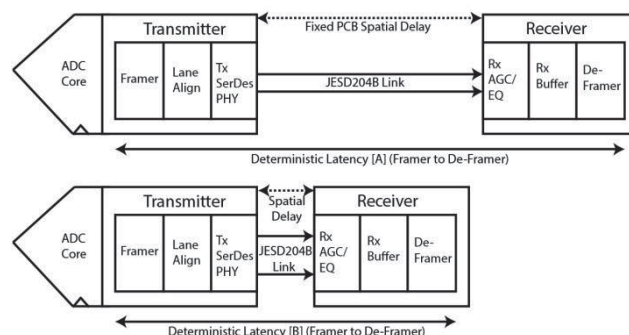


图1.两个JESD204B器件之间的确定性延迟取决于三方面:发送器成帧器到输出端的延迟、空间路由延迟和输入端到解帧器的接收器延迟。来自同一个系统中两个不同ADC的数据可能各自具有独特的确定性延迟。

与简单的串行链路配置不同——比如低压差分信号(LVDS)——JESD204B接口将数据样本打包为定义帧。几个或多个样本的每一个帧边界在链路握手或初始通道对齐序列(ILAS)阶段均由来自发送器的特殊控制字符标记。更大的已定义帧群——称为多帧——在ILAS阶段同样采用相应的控制字符标记。然而,该序列完成后,便不再需要控制字符,并且可以获取链路的全带宽。帧边界和多帧边界分别与帧时钟和多帧时钟重合。

JESD204B子类与确定性延迟的关系意味着什么?

JESD204B协议的三个子类定义了链路的确定性延迟。子类0向后兼容JESD204和JESD204A,不支持确定性延迟。子类1通过称为SYSREF的系统参考信号支持确定性延迟。子类2通过对~SYNC信号的双重使用支持确定性延迟,并同样允许接收器初始化握手ILAS例程。精确将SYSREF与~SYNC以相对于时钟的时间关系对齐的能力表明目标系统所需的子类。

确定性延迟如何用作多个转换器的采样对齐？

对于子类1而言，帧时钟和多帧时钟将于出现系统参考边沿(SYSREF)时在每个器件内部对齐。检测到SYSREF边沿时，这些时钟与该点时间对齐。由于这些时钟对每个器件而言都是内部的，它们在发送器内的边界可利用控制字符通过串行链路通信。

每个接收器相对其自身时钟——这些时钟具有相同的名称——并相对所有发送器间接解码发送器帧和多帧时钟位置。这使得接收器可以解偏斜相对较早到达的数据样本，从而利用缓冲器延迟，以最后到达的数据匹配链路(图2)。

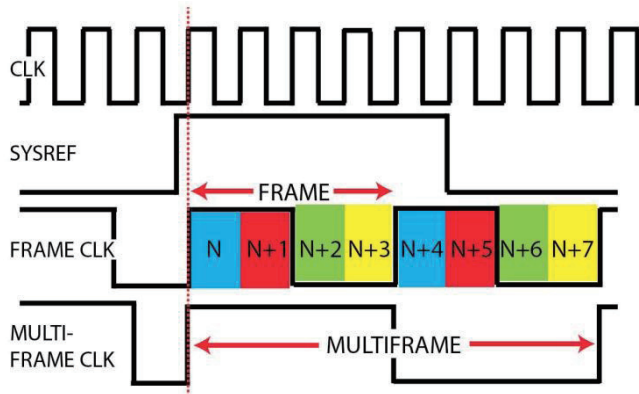


图2. 在JESD204B发送器内，样本于时钟锁存系统参考(SYSREF)边沿后对齐帧和多帧时钟。为直观起见，本文定义的多帧仅由8个样本组成。

对于同步采样而言，这些数据链路可在FPGA内按时间排列。对于交错采样而言，每个链路都能以其对应的相对相位延迟进行偏置。确定性延迟可通过按时间对每个链路进行测量而加以识别，即从接收器多帧时钟边沿到每个对应链路的多帧控制字符。此处需注意，每个链路的确定性延迟必须不能超过一个多帧时钟周期(图3)。

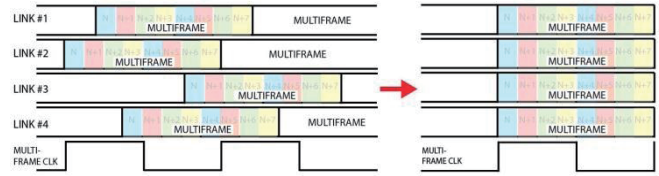


图3. 利用缓冲器延迟，来自JESD204B发送器并以多帧形式出现的样本能与多帧时钟对齐。

确定性延迟是否等同于总转换器延迟？

ADC的总延迟表示其输入一个模拟样本、处理、并从器件输出数字信号所需的时间。类似地，DAC的总延迟表示从数字样本数据输入器件直到模拟输出相应样本的时间。通常，对这两者都以分辨率为采样时钟周期进行测量，因为它们与频率有关。它与单个转换器元件内的模拟处理架构部分相关。这在原理上与JESD204B链路部署中描述的确定性延迟的定义有所不同；该定义表明其与三个元件有关。

对齐多个转换器的解偏斜预算最大是多少？

在ILAS处理阶段，发送器发送多帧控制字符，标记多帧时钟边界。接收器识别这些字符，并创建自有局部多帧时钟，与上游链路的所有发送器对齐。对于采用多个接收器的大型阵列系统，多帧时钟同样需在所有这些器件中对齐。因此，任意转换器链路的确定性延迟都不可超过单个多帧时钟周期。这是链路上的总偏斜时间预算。

多帧时钟的持续时间通常为采样时钟周期的数十倍。它甚至还能通过设置参数变量，在链路握手期间调节为更长或更短。

该特性能否在ADC或DAC上正确对齐至同样的模拟采样点？有没有其它要求？

确定性延迟按照以JESD204B成帧器时间为顺序的时间点，提供样本对齐方式。除此时间之外，ADC还将具有更多延迟时钟周期，可用来处理来自JESD204B成帧器以前的前端模拟样本。转换器供应商必须指定该时间周期位于成帧器之前，长度为时钟长度。相反，解帧器处理样本并以模拟形式输出后，DAC将需要额外的时钟周期。

在有效模拟样本数据可用以前，对齐过程需多长时间？

SYSREF边沿发送至转换器和FPGA，开启对齐过程。此事件后，需要完成多个多帧时钟周期以及ILAS序列，才能获取有效样本数据。这与许多采样时钟周期的相对时间等效。特定的持续时间可能取决于转换器内部的JESD204B内核特有确定性延迟，该数据由供应商提供。在该时间内，链路关断，不传输有效数据。在绝对时间内，持续时间将是采样时钟频率的函数。

对于系统设计而言，实现同步采样最大的挑战在哪里？

在子类1中，实现低至样本级的同步或交错处理所遇到的最大挑战之一，是在多个转换器中按序对齐SYSREF的使能边沿。此外，每个SYSREF边沿都要满足其对应采样时钟的建立和保持时间要求。这将消耗一部分可用的时序裕量。主动、独立地偏斜SYSREF和时钟之间的精细相位将有助于实现转换器上的时序收敛。

SYSREF是单次事件还是重复事件？每种情况下分别需要了解什么？

SYSREF对齐边沿可以是单次脉冲、周期信号、带隙周期信号或重复非周期信号。它将根据系统的需要，以及源端的时钟与SYSREF之间的相位偏斜时序灵敏度而定。对于重复SYSREF信号而言，帧和多帧时钟将在每次事件发生时重新对齐。然而，由于目标是保持一组对齐的时钟，重复周期SYSREF信号的使能边沿应当在多帧时钟边界下降。由于时钟应当已经在第一个SYSREF边沿后对齐，因此这样可以防止不必要的重复对齐。

周期性SYSREF信号的一个不利影响，就是可能会耦合至目标模拟信号。这便是为什么不建议始终采用周期信号的原因；仅在万不得已时才使用周期信号。如果使用了周期性SYSREF，则必须仔细地将其与ADC模拟前端正确隔离。

SYSREF偏斜调节至单时钟周期以内的方法有哪些？

理想情况下，用于每个转换器和FPGA的SYSREF和时钟可精确路由，其时序裕量满足所有元件的苛刻建立时间和保持时间要求。但随着高性能转换器的采样速度不断增长，仅通过精密印刷电路板(PCB)路由已无法始终满足时序收敛要求。不同器件的引脚间差异以及电源和温度偏差会在高速转换器阵列上产生一个相对较大的时序偏斜。可能需要高级时序调节功能来提供主动SYSREF相位偏斜。

例如，来自ADC的警报可以识别SYSREF边沿是否锁存至建立时间并保持在阻挡时序窗口中。如果确实如此，那么对于哪个时钟边沿(时钟[N]或时钟[N+1])用于时序参考将存在不确定性。取决于何处检测到SYSREF边沿，相对于SYSREF的采样CLK边沿相位在时钟源处可能存在延迟，以保持有效时序条件，满足建立和保持时间要求。

另一种方法是利用采样时钟的下一个下降沿(而非上升沿)来获取相位裕量的半周期。系统中的所有转换器均能以这种方式进行调整，前提是时钟源针对相应的SYSREF和CLK具有独立的相位调整(图4)。

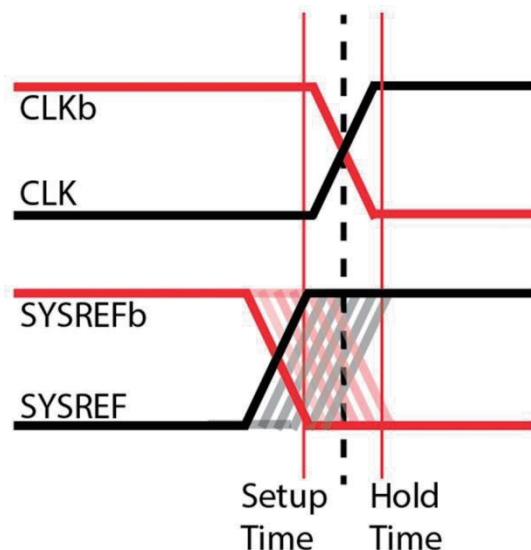


图4.如需在高速下达到低至样本级的对齐性能，则满足相对于输入时钟的SYSREF建立-保持时间要求可能有难度。在相位的早期阶段(相对于CLK)偏斜每一个SYSREF输入以防建立时间偏差的能力有助于满足系统中多个转换器的时序收敛要求。

支持子类1和子类2的转换器需要使用确定性延迟功能吗？

如JESD204B规格定义，子类1和子类2是仅有支持确定性延迟的子类。在子类1中，SYSREF信号定义确定性延迟。在子类2中， $\sim$ SYNC信号定义该延迟。然而，某些转换器供应商创建了子类0部署，用来支持样本对齐的同步方案。这种情况下，不使用转换器和FPGA之间的多帧时钟对齐步骤。

利用附加的辅助信息(称为控制位)，可在样本级采用时间戳机制标记SYSREF的出现情况。与SYSREF边沿重合的每一个样本均以唯一控制位标记。在FPGA内，所有拥有此时间戳的链路可以延迟至等于最长路径然后互相对齐，与转换器之间的延迟差别无关(图5和图6)。

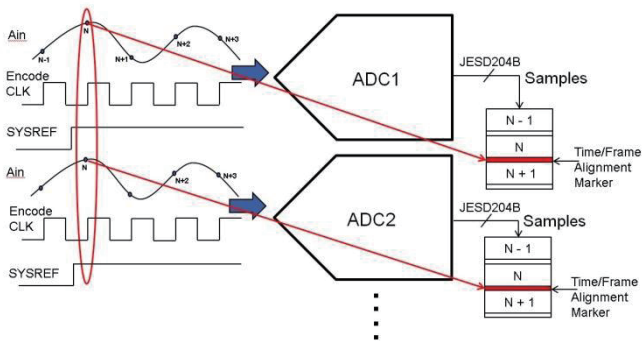


图5.利用SYSREF控制位时间戳，在一个FPGA处理模块内可实现子类0中的样本对齐，而与模拟输入到JESD204B输出之间多个ADC上的实际延迟差异无关。

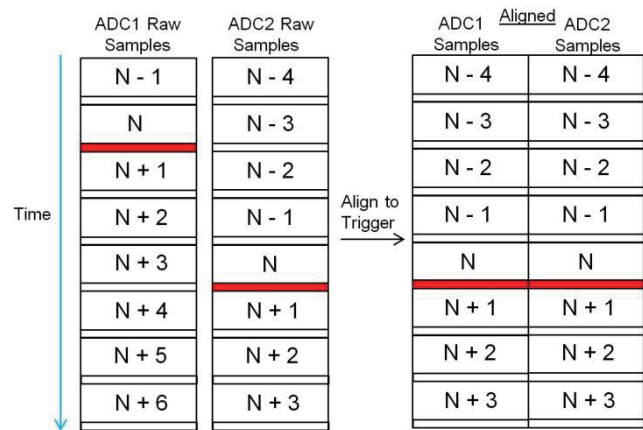


图6.利用附加的控制位作为触发器(红色，标记为与前端模拟输入重合)，则FPGA可以对齐具有不同延迟的信号链样本。

小结

虽然确定性延迟是JESD204B中较为复杂的一项特性，但若善加利用便可成为高性能信号处理系统设计中的一项强大特性。来自ADC阵列的样本可通过缓冲器延迟在FPGA内部对齐并解偏斜，从而实现同步或交错采样。JESD204B子类识别对于理解系统的时序对齐能力非常重要。时序收敛于SYSREF以及系统ADC的CLK输入引脚对于实现样本的时间对齐而言极为关键。

作者简介

Ian Beavers是ADI公司高速转换器团队的应用工程师。他于1999年加入ADI公司，拥有超过18年的半导体行业从业经验。他于美国北卡罗来纳州立大学获得电气工程学士学位和格林斯博罗分校MBA学位。他是中文技术论坛高速ADC支持社区的会员。如有任何问题，请发送到ADI公司中文技术论坛在线技术支持社区的IanB。

九项常被忽略的ADC技术规格

作者: Brad Brannon, ADI公司系统应用工程师

内容提要

模数转换器(ADC)有很多规格;某些规格对于某个特定应用而言要比对于其他应用更重要。理解这些规格并控制影响ADC的外部器件将实现更佳的性能。

有如此之多的模数转换器(ADC)可供选择,我们总是很难弄清哪种ADC才最适合既定应用。数据手册往往会使问题变得更加复杂,许多技术规格都以无法预料的方式影响着性能。

选择转换器时,工程师通常只关注分辨率、信噪比(SNR)或者谐波。这些虽然很重要,但其他技术规格同样举足轻重。

分辨率

分辨率可能是最易被误解的技术规格,它表示输出位数,但不提供有用的性能数据。部分数据手册会列出有效位数(ENOB),它使用实际SNR测量来计算转换器的有效性。一种更加有用的转换器性能指标是以dBm/Hz或 $nV/\sqrt{Hz}$ 规定的噪声频谱密度(NSD)。NSD可以通过已知采样速率、输入范围、SNR和输入阻抗计算得出(dBm/Hz)。已知这些参数,便可选择一款转换器来匹配前端电路的模拟性能。这种选择ADC的方法比仅仅列出分辨率更有效。

许多用户还会考虑杂散和谐波性能。这些都与分辨率无关,但转换器设计人员一般要调整他们的设计,使谐波与分辨率相一致。

电源抑制

电源抑制(PSR)测量电源纹波如何与ADC输入耦合以显现其在数字输出上。如果PSR有限,电源线上的噪声将仅受到低于输入电平30 dB至50 dB的抑制。

一般而言,电源上的无用信号与转换器的输入范围相关。例如,如果电源上的噪声是20 mV均方根而转换器输入范围是0.7 V均方根,则输入上的噪声是-31 dBFS。如果转换器有30 dB PSR,则相干噪声会在输出中显现为一条-61 dBFS谱线。在确定电源将需要多少滤波和去耦时,PSR尤其有用。PSR在医疗应用或工业应用等高噪声环境中,以及需要使用DC-DC转换器的高能效应用中非常重要。

共模抑制

共模抑制(CMR)测量存在共模信号时引起的差模信号。许多ADC采用差分输入来实现对共模信号的高抗扰度,因为差分输入结构本身抑制偶数阶失真。

与PSR一样,电源纹波、接地层上产生的高功率信号、混频器和RF滤波器的RF泄漏以及能够产生高电场和磁场的应用会引起共模信号。虽然许多转换器不规定CMR,但他们通常具有50 dB至80 dB的CMR。

时钟压摆率

时钟压摆率是实现额定性能所需的最小压摆率。多数转换器在时钟缓冲器上有足够的增益,以确保采样时刻界定明确,但如果压摆率过低而使采样时刻很不确定,将产生过量噪声。如果规定最小输入压摆率,用户应满足该要求,以确保额定噪声性能。

孔径抖动

孔径抖动是ADC的内部时钟不确定性。ADC的噪声性能受内部和外部时钟抖动限制。

在典型的数据手册中，孔径抖动仅限转换器。外部孔径抖动以均方根方式与内部孔径抖动相加。对于低频应用，抖动可能并不重要，但随着模拟频率的增加，由抖动引起的噪声问题变得越来越明显。如果不使用充足的时钟，性能将比预期要差。

除由于时钟抖动而增加的噪声以外，时钟信号中与时钟不存在谐波关系的谱线也将显现为数字化输出的失真。因此，时钟信号应具有尽可能高的频谱纯度。欲了解有关孔径抖动效应的更多详细信息，请参考ADI应用笔记[AN-501](#)和[AN-756](#)。

孔径延迟

孔径延迟是采样信号的应用与实际进行输入信号采样的时刻之间的时间延迟。此时间通常为纳秒或更小，可能为正、为负或甚至为零。除非知道精确的采样时刻非常重要，否则孔径延迟并不重要。

转换时间和转换延迟

转换时间和转换延迟是两个密切相关的技术规格。转换时间一般适用于逐次逼近型转换器(SAR)，这类转换器使用高时钟速率处理输入信号，输入信号出现在输出上的时间明显晚于转换命令，但早于下一个转换命令。转换命令与转换完成之间的时间称为转换时间。

转换延迟通常适用于流水线式转换器。作为测量用于产生数字输出的流水线(内部数字级)数目的技术规格，转换延迟通常用流水线延迟来规定。通过将此数目乘以应用中使用的采样周期，可计算实际转换时间。

唤醒时间

为了降低功耗敏感型应用的功耗，器件通常在相对不用期间关断。这样做确实可以节省大量功耗，但器件重新启动

时，使内部基准电压源稳定以及使内部时钟功能恢复需要有限时间量。期间产生的转换数据将不满足技术规格。

输出负载

同所有数字输出器件一样，ADC，尤其是CMOS输出器件，规定输出驱动能力。出于可靠性的原因，知道输出驱动能力比较重要，但最佳性能一般会在未达到完全驱动能力时。

在高性能应用中，重要的是，将输出负载降至最低并提供适当的去耦和优化布局，以尽可能降低电源上的压降。为了避免此类问题发生，许多转换器都提供LVDS输出。LVDS具有对称性，因此可以降低开关电流并提高总体性能。如果可以，应该使用LVDS输出以确保最佳性能。

单调性

非单调性转换器是一种数字代码的斜率符号表现出局部变化的器件。因此，对于一个持续增加的模拟输入而言，数字输出表现出一个局部变化，其斜率从正变为负，再变回正。对于交流性能很重要的应用，非单调性表现一般不会有问题。但是，对于ADC是闭环回路一部分的应用，这种表现通常会导致环路不稳定和较差的性能。对于这类应用，应当仔细选择转换器，确保转换器满足单调性性能。

未规定标准

一个至关重要的未规定项目是PCB布局。虽然可规定内容的不多，但该项目会显著影响转换器的性能。例如，如果应用未能采用充足的去耦电容，就会存在过量的电源噪声。由于PSR有限，电源上的噪声会耦合到模拟输入中并破坏数字输出频谱，如图1所示。

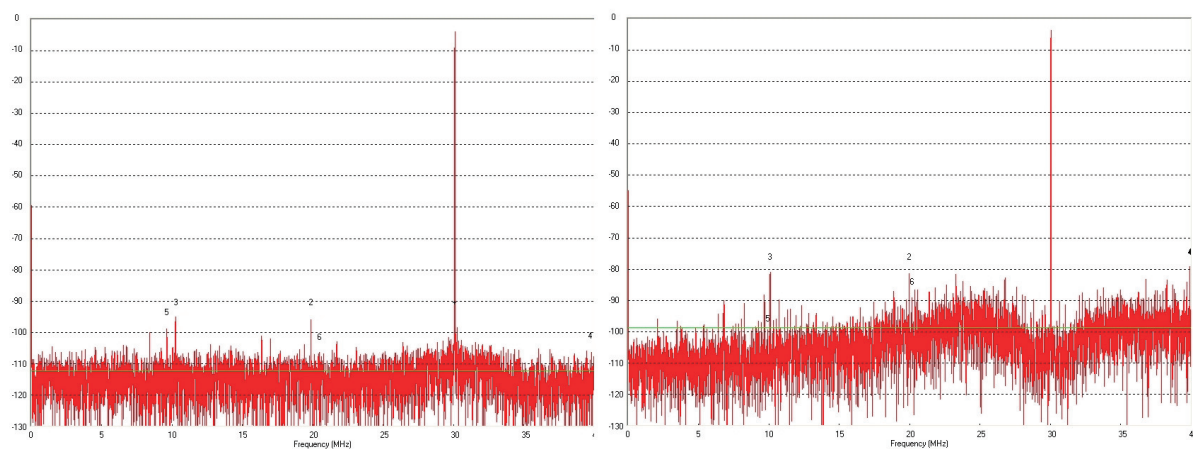


图1. 电容与性能(左)和有限电容性能(右)

资源

应用笔记AN-501：孔径不确定度和ADC系统性能，ADI公司。

应用笔记AN-756：采样系统以及时钟相位噪声和抖动的影响，ADI公司。

通过集成和功耗调节应对超声设计挑战

作者: Rob Reeder, ADI公司应用工程师

内容提要

集成式多通道器件的进步体现在医疗健康和工业应用中的便携式、低功耗超声系统具有更低的功耗、尺寸与成本。

在1990年代早期,尺寸与现代笔记本电脑接近的“便携式”电话(有时也称为“背包电话”)广泛使用。此后,不出二十年,口袋大小的手机已经可以收发邮件和文字消息、拍照、查询股票、预约,当然还能给世界上任何地方的人打电话。与此类似,在医疗领域,早期所谓的“便携式”超声系统是推车式的,且

功耗较高、成本昂贵。幸运的是,超声系统近年来也得益于芯片集成和功耗调整技术的突破。

这些技术突破催生了更便携、更高效的超声系统,具有更佳的成像性能和更多的功能。更高的动态范围、更低的功耗以及更紧凑的系统级IC提供了高质量的图像,可更好地进行诊断。未来的超声系统可能是手持式的,并成为医师的第二个“听诊器”。

超声信号链

图1显示了一个超声系统信号链的简化框图。所有超声系统都在相对较长电缆的末端使用换能器,电缆长度一般为两米。此电缆至少包含8个——最多可达256个——微型同轴电缆,是系统中最昂贵的部件之一。在几乎所有系统中,换能器基元都直接驱动电缆。电缆电容成为换能器基元的负载,引起很大的信号衰减。它需要一个高度灵敏的接收器来保持动态范围和实现最佳系统性能。

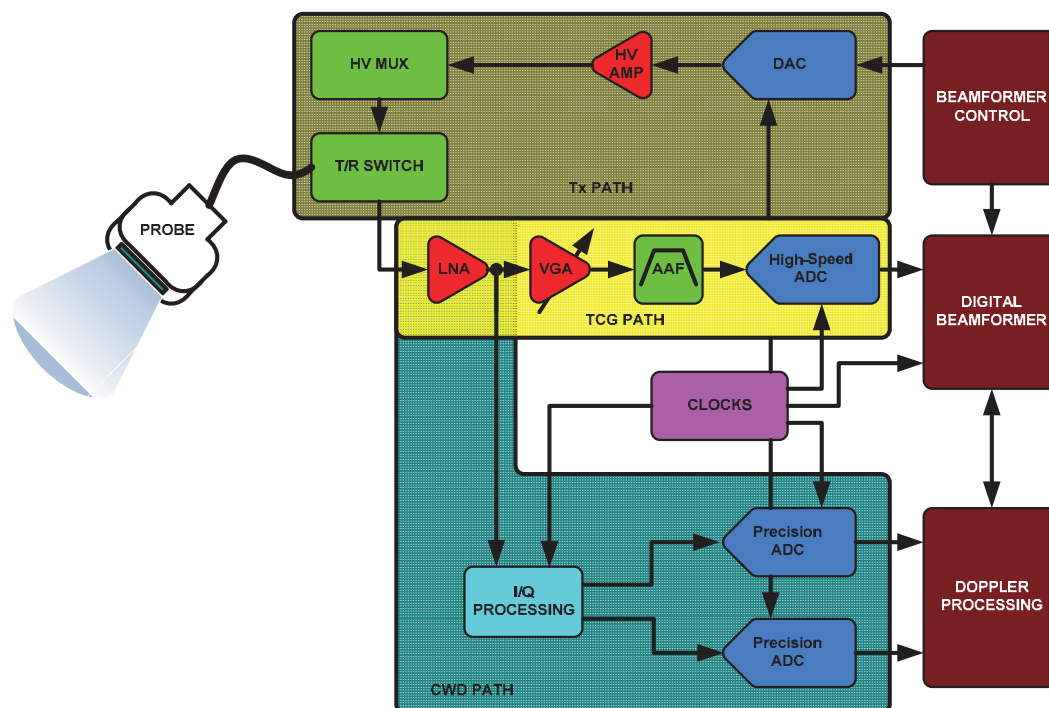


图1. 典型超声信号链

在发射端(Tx路径), 波束成形器决定针对所需焦点而设定的脉冲序列延迟模式。然后, 波束成形器的输出由高压发射放大器放大, 以驱动换能器。这些放大器由数模转换器(DAC)或者高压FET开关阵列控制, 将发射脉冲整形, 以便更好地向换能器基元传输能量。在接收端, 发射/接收(T/R)开关(通常是一个二极管电桥)阻挡高压Tx脉冲。某些阵列会使用高压(HV)多路复用器/解复用器来降低发射和接收硬件复杂度, 但这样会牺牲灵活性。

时间增益控制(TGC)接收路径由低噪声放大器(LNA)、可变增益放大器(VGA)和模数转换器(ADC)构成。VGA通常提供线性dB增益控制, 与超声信号反射衰减匹配。在操作人员的控制下, TGC路径用于在扫描过程中保持图像的均匀性。低噪声LNA对于尽可能降低随后的VGA噪声分配极为关键。在需要输入阻抗匹配应用中, 有源阻抗控制使噪声性能最佳。

通过VGA将宽动态范围的输入信号压缩, 以满足ADC的输入范围要求。LNA的折合到输入端的噪声限制了可分辨的最小输入信号, 而折合到输出端的噪声主要取决于VGA, 它限制了特定增益控制电压下可以处理的最大瞬时动态范围。该限制是根据量化本底噪声设定的, 而量化本底噪声由ADC的分辨率决定。早期的超声系统基于10位ADC, 但多数现代系统使用12或14位ADC。

抗混叠滤波器(AAF)限制了信号带宽, 同时也抑制了ADC之前TGC路径中的无用噪声。

医用超声的波束成形是指信号的相位对准和求和, 这些信号由共同的信号源生成, 但是由多基元超声换能器在不同的时间点接收。在连续波多普勒(CWD)路径中, 对接收器通道进行移相和求和, 以提取相干信息。波束形成有两个功能: 一个是为换能器定向, 以提高其增益, 另一个是定义人体内的焦点, 由该焦点得到回波的位置。

波束成形可以采用两种不同的方法实现: 模拟波束成形(ABF)和数字波束成形(DBF)。ABF和DBF系统之间的主要区别在于完成波束成形的方式; 这两种方法都需要良好的通道间匹配。ABF使用模拟延迟线和求和, 仅需要一个精

密高分辨率、高速ADC。DBF系统是目前最受欢迎的方法, 它使用“很多”高速、高分辨率ADC。DBF系统中的信号应尽可能靠近换能器基元进行信号采样, 然后将信号延迟并对其进行数字求和。DBF架构的简化框图如图2所示。

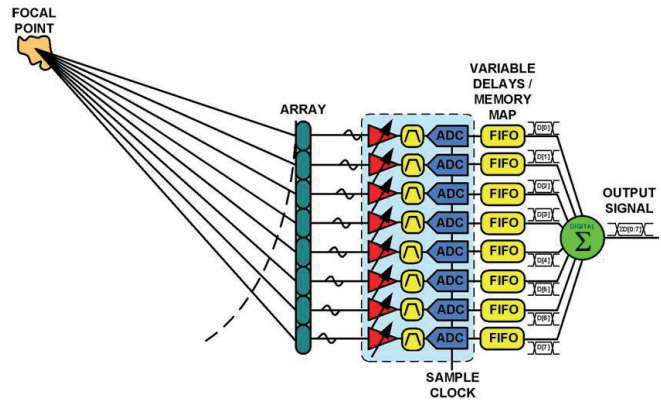


图2. 数字波束成形(DBF)系统简化框图

集成和分割策略

超声系统具有如此多的通道和元器件, 虽然技术已经有了极大的进步, 仍属于目前最复杂的系统。就像其他复杂系统那样, 有很多方法可以进行系统分割。本节将回顾一些超声分割策略。

早期的超声系统采用模拟波束成形技术, 需要使用大量的模拟元器件。TGC和Rx/Tx路径上的数字处理通过定制ASIC来实现。在多通道VGA、ADC和DAC广泛使用之前, 这种方法很常见。ASIC具有大量栅极, 其数字技术未针对模拟功能(比如放大器和ADC)优化。使用ASIC的系统很大程度上必须依赖于供应商产品的可靠性。

ASIC、FPGA和DBF技术与分立式IC ADC和VGA结合使用是实现便携性的第一步, 但使用多通道(四通道和八通道)TGC、ADC以及DAC让尺寸与功耗得到大幅下降。这些多通道元器件可让设计人员从数字电路中将敏感模拟电路分割到独立电路板上。这样可以缩减系统尺寸, 并且有利于在多个平台上重复利用电子电路。

然而，以高引脚数互连四通道和八通道VGA与ADC会让PCB走线路由变得困难，某些情况下会迫使设计人员使用通道数较少的器件，比如从八通道ADC转而使用四通道ADC。将大量多通道元器件放置在小面积内还会导致散热问题。进行最佳分割可能会变得很有挑战性。

完整TGC路径采用多通道、多器件的进一步集成使设计变得更加容易，因为PCB尺寸和功耗要求得以进一步降低。随着更高级集成方案的广泛使用，成本、尺寸和功耗进一步减小，便携式系统的电池寿命更长。

这类架构可以采用超声子系统构建(比如AD9271)，它包含LNA、VGA、可编程抗混叠滤波器、12位ADC和八个TGC通道的串行LVDS输出。

最终的超声解决方案可在探头里集成更多的电子功能，并尽可能靠近换能器基元。记住，探头基元的电缆会限制动态范围，且成本高昂。如果前端电子元件更靠近探头，那么电缆损耗的影响就会更小，降低LNA要求并进而降低功

耗。一种方法是将LNA移至探头电子器件中。另一种方法是分割探头和PCB电子器件的VGA控制。最终，系统尺寸更小，足够装进超小型封装中。这样做的不足之处是设计人员又回到了原点，需要定制探头。换言之，探头/电子器件定制将使现代设计人员面临以前使用数字ASIC的设计人员所面临的同样问题。

使用现代IC调节电源/性能

超声涵盖了范围广阔的各种应用，因此系统设计人员所需要做的权衡取舍也更多。每一种诊断成像模式都有不足之处，通常是性能与功耗的权衡。现在，这些难题由可让设计人员在IC内部调节性能与功耗比的元器件所解决，从而缩短了产品上市时间。同样，我们希望超声子系统可以在IC内部提供一系列选项，以便调节输入范围、偏置电流、采样速率和增益。根据所要求的成像模式或探针类型，系统设计人员几乎可以实时对设计的适用性进行系统调节，并以最低的功耗提供最高的性能。

Medical Ultrasound Configuration Tool for an Integrated Rx Channel

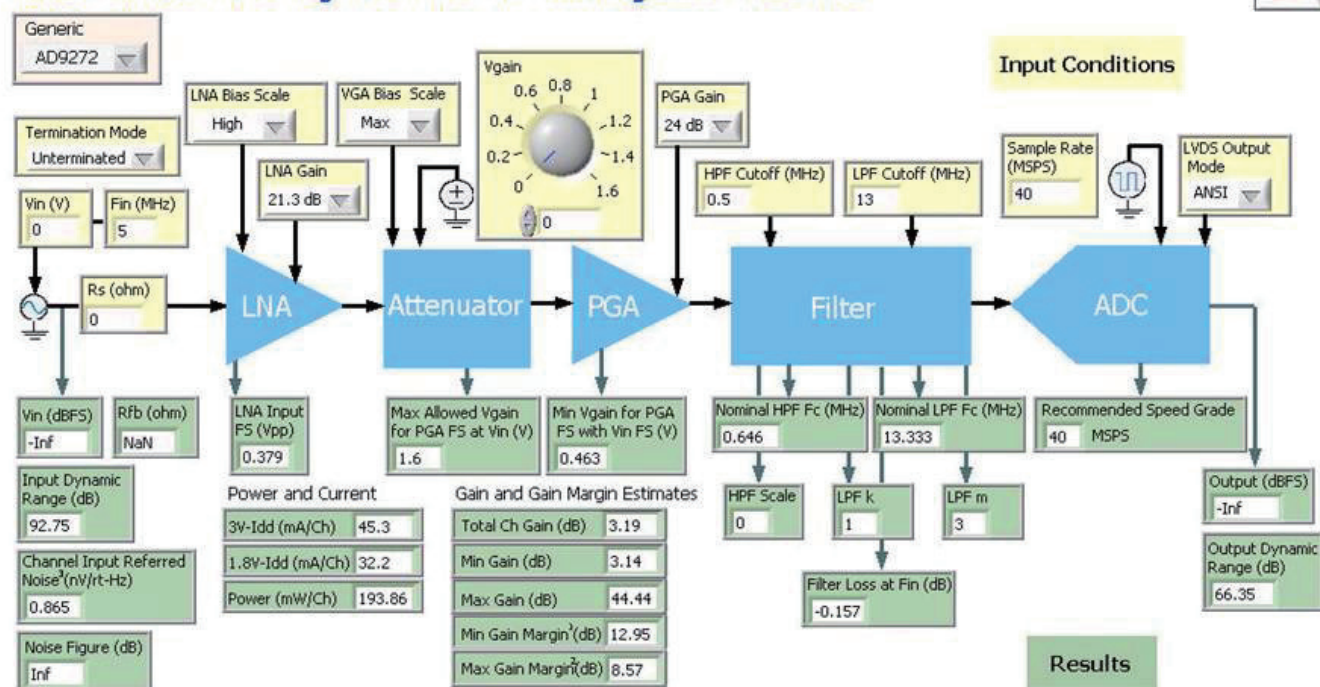


图3. 超声子系统配置工具图形用户界面

设计人员还可针对这些器件使用配置设计工具，从而可对各种单独的探头和图像模式性能进行评估，如图3所示。系统设计人员可以快速做出这些权衡取舍，并直接在IC级别调节系统设计。如此，便无需更改硬件并执行复杂的图像处理测试来验证这些权衡取舍。

此外，配置工具还可将最优配置参数转换为数字设置，并生成一个文件，将该器件的最终配置复制到系统中。

结论

在医疗和工业应用中，超声系统正在不断向便携性和低功耗发展。所有这类系统都具有相似的要求，并在近年来实现了集成和功耗调节创新。

集成式多通道器件的进步体现在进一步降低了功耗、尺寸和成本。无疑，最新的创新产品与配置工具可让系统设计人员更轻松。这便为根据具体成像模式开发可配置和可进行性能与功耗调节的多样化超声产品提供了途径。

大多数超声设备制造商的知识产权(IP)都集中在探头和波束成形技术上。多通道集成的常用器件包括四通道和八通道ADC，它们可以最大程度减少高成本模拟元器件的使用，并降低费时费力的TGC通道校准要求。超声系统的其他部分还可进一步集成。对更多的信号链部分进行集成将进一步降低功耗、尺寸和成本，同时提升处理能力。

参考文献

1. Reeder, Rob和Corey Petersen, “AD9271——便携式超声设备的革命性解决方案”，模拟对话41-07。

2. Brunner, Eberhard, “影响超声系统前端器件选择的考量因素”，模拟对话36，第一部分(2002)。

3. Kisslo, Joseph A.和David B. Adams, 多普勒超声心动图原理和多普勒检查#1, London: Ciba-geigy, 1987。

4. Kuijpers, F. A., “未来医疗成像应用中技术的作用”，Medicamundi, 1995年第40卷第3期, Philips Medical Systems。

5. Meire, Hylton B.和Pat Farrant, 基础超声, Wiley, 1995年, 第1-66页。

6. Reeder, Rob, “轻松完成超声系统设计”，EETimes-India, 2009年2月。

7. Reeder, Rob, “利用新器件实现灵活的超声系统设计”，Planet Analog, 2009年1月。

8. Odom, Bill, “超声模拟电子技术入门”，模拟对话33-5。

9. Errico, Paul和Allen Hill, “超声系统高速信号处理元件的选择”，模拟对话。

资源

欲获得有关超声和其他医疗健康应用的信息，请访问：
www.analog.com/cn/healthcare

本文提到的产品

产品	描述
AD9271	8通道LNA/VGA/AAF/ADC与交叉点开关



CareFusion与ADI之间的探讨： 优化EEG放大器的性能并降低 功耗

作者：Bill Kolasa, CareFusion; Harry Holt和Matt Duff, ADI

简介

在过去的20年间，CareFusion Nicolet在EEG诊断系统领域的开发上一直扮演着先驱者的角色。脑电图(EEG)监测可用于神经系统分析，以进行睡眠研究、脑功能区定位(Brain Mapping)和ICU病患大脑活动的监测等。随着脑部研究和EEG诊断的持续突破，人们期望EEG监测装置也能够传统临床环境以外的新环境中运作，而这些新的环境同时也引发新的设计挑战，本文将探讨其中的一些挑战。

Harry Holt (ADI公司运算放大器应用工程师)：

最近，Bill、Matt和我就EEG前端设计的第一级——仪表放大器的各种利害权衡进行了一些讨论。我们觉得将讨论内容与其它设计工程师分享可能会是有益的。

Matt Duff (ADI公司仪表放大器应用工程师)：

对，Bill查看了我们的大量仪表放大器，但最终结果是

自行搭建仪表放大器。这在注重性能的应用中是很少见的，因此，我们想阐明这一考虑过程。Bill，你能大致说明一下你的设计目标吗？

Bill Kolasa (CareFusion首席电气工程师)：

我们目前有一款基于仪表放大器的设计，它表现出色，但我们希望优化某些性能特征，同时降低其功耗。

如同许多EEG和ECG设备设计者所知，电极中的半电池电位差异可能会引起较大的直流失调，测量系统必须能够容忍此失调。我们的现有系统在设计上可以处理高达 ± 900 mV的失调。为了应付在现场的不同电极类型以及环境条件，我们希望将容差提高到 ± 1300 mV。

与此同时，我们正在考虑电池供电设计的可能性，因此需要大幅降低所有器件的功耗，其中也包括仪表放大器。目前的功耗是每通道28 mW，我们希望设法将其降低到10 mW或更低。为了降低功耗，我们允许噪声提高。

Matt：在我们的ECG和EEG客户中，这种权衡取舍非常常见。对于ECG和EEG前端设计，噪声、失调处理能力与功耗之间存在固有的取舍关系。

大部分的仪表放大器具有因为减法器级的噪声而导致的大量噪声成分。在高增益应用中，其影响不大，因为此噪声会在输出端保持恒定，而与增益无关。因此，当折合到输入端时，噪声相当小。

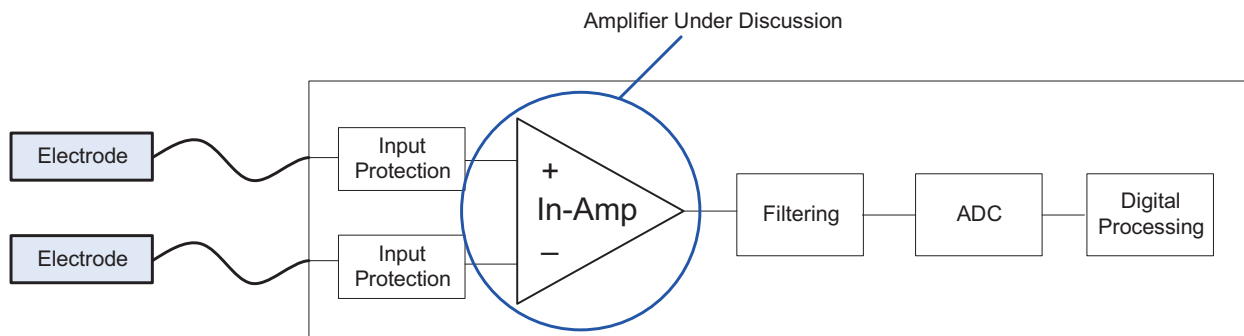


图1. EEG信号链

Matt: 对于AD8226和AD8227等器件, 我们希望能够测量低至负电源轨的电压。我们使用一个较为简单的输入级来执行测量, 不得不牺牲一些输入偏置电流来达到目标。对于AD8221, 我们同时利用输入偏置电流补偿和Superbeta晶体管来将偏置电流降至数百pA典型值, 这让我们的许多客户感到满意, 但不利的一面是, 我们放弃了输入端的一些裕量。

Bill: 决定你的偏置电流要求的因素是什么? EEG电极的源阻抗是不是10 kΩ左右? 对于AD8226, 最大输入偏置电流为27 nA, 因此电压为270 μV, 与来自电极的大失调相比, 这简直微不足道。你能告诉我们决定偏置电流要求的因素是什么吗?

Bill: 5 nA要求来自于我们的一些放大器, 这些放大器必须应付高得多的电极阻抗。然而, 该放大器具有低至DC的EEG显示带宽要求。我们关心的是如何将电极阻抗变化引起的基线漂移效应降至最低。

发现ADI公司以及其他厂商没有任何一款仪表放大器满足我们的要求之后, 我们决定自行构建。我们知道, 为了获得100 dB以上的CMRR, 减法器级中的电阻必须匹配。过去我们试验过匹配电阻网络, 但发现这种网络非常昂贵。同时, 我们似乎从来没有获得期望的CMRR性能, 可能是因为电路板的寄生电容影响。我们发现差动放大器AD8278具有我们需要的性能和功耗。

Harry: 四电阻差动放大器比乍看起来更复杂。对于理想的运算放大器, CMRR受电阻匹配度限制(图2中的R3-R6)。差动放大器的近似计算公式(参见参考文献1)如下:

$$CMRR \cong \frac{A_d + 1}{4t}$$

其中, A_d 为差动放大器的增益, t 为电阻的容差。因此, 对于1倍增益和1%电阻, $CMRR = 50 \text{ V/V}$ 或大约34 dB; 对于0.1%电阻, $CMRR = 500 \text{ V/V}$ 或大约54 dB。

Bill: 我在你们的设计手册中看到过类似的阐述(参见参考文献2)。

Harry: 上述公式适用于低频情况。当频率较高时, CMRR可能会进一步下降。例如, 如果因为PC板布局或内部芯片布局的影响, 两个运算放大器输入的输入电容差为400 fF到500 fF, 电阻为10 kΩ, 那么10 kHz时的交流CMRR会下降6 dB到7 dB。如果系统中有一个20 kHz(或更高)开关调节器, 这可能很重要。

即使具有理想的电阻和平衡电容, CMRR最终也会受运算放大器的限制。

差动放大器的性能主要分为两类。第一, 典型的高端电流检测应用需要在电流范围的高端具有3%到5%的精度。一个具有合理失调和1%电阻的低成本运算放大器可以达成此需求。请记住, 有一些低成本运算放大器可能具有低于50 dB的CMRR, 这一点常常被忽略掉。第二, 更精密的应用, 通常作为分立仪表放大器的第二级, 处于0.1%到1%范围, 具有超过70 dB到80 dB的CMRR。这可以利用一个良好的运算放大器、四个具有低温度系数(TC)的匹配电阻(最好是比例匹配TC), 以及谨慎的PCB电路板布局来实现。考虑到总成本与电路板空间, 单芯片差动放大器看起来极具吸引力。我能明白Bill为什么选择AD8278; 我们为他做了艰苦的努力。

Bill: ADI公司提供了一系列增益为1/2、1或2的差动放大器。比较AD8271和AD8278之后, 我们选择了AD8278, 因为它的功耗更低。我们将其增益配置为1/2, 这使得我们能够提高输入缓冲器的增益, 降低电源轨(最终确定为±7.5V DC), 并且满足噪声和直流失调容差要求。我们相信, 将尽可能多的增益移动到输入缓冲器可以使噪声最低。(关于新设计的噪声、CMRR和失调容差, 请参见等式5至11)

Matt: AD8278的增益可以配置为1/2或2。我们通常认为, 将放大器置于最高增益级可以获得最佳的噪声性能。然而, 由于AD8278是该设计的第二级, 因此将放大器置于较低增益级实际上有助于提高设计的噪声性能。这样, Bill就可以在第一级中应用更多增益。低噪声设计的一个重要法则是让第一级具有尽可能多的增益, 本设计当然也不例外。

将更多增益放在第一级也有助于提高仪表放大器的CMRR性能。我们可以根据先前关于电阻容差与CMRR关系的讨论进行计算, 将差动放大器的增益从1/2变为2时, CMRR将提高6 dB, 这与AD8278数据手册也是一致的。然而, 如果相反, 我们在第一级另外提供4倍的增益, 那么差分增益将提高4倍, 但共模增益保持不变。换言之, 通过第一级放大, 我们可以获得12 dB的额外CMRR, 而将增益应用于差动放大器时, 只能获得6 dB的提高。注意, 这一技巧仅适用于第一级中的运算放大器具有良好CMRR的情况, 因此, 使用高质量运算放大器相当重要。

相对于我们的集成仪表放大器，使用 $G = 1/2$ 的差动放大器级是Bill优化分立设计的方法之一。通常，对于我们的集成仪表放大器，我们必须将差动放大器的增益设置为 $G = 1$ 或更高，因为较低的差动放大器增益会限制仪表放大器处理宽共模电压摆幅的能力。

Bill: 经过大量搜索后，我们选择AD8622作为输入缓冲运算放大器。该运放具有我们需要的全部特性：小封装尺寸、低功耗、低输入偏置电流、低0.1–10 Hz噪声和宽电源轨。还有一个我们认为重要的特性是单位增益稳定性。虽然我们的缓冲器以10倍增益工作，但在仪表放大器配置中，共模信号看到的增益是1，因此可能会引发稳定性问题（参见参考文献3）。

Harry: 对于前端运算放大器，存在数十种甚至数百种选择，因此，获得确切的失调电压、偏置电流、电源电流等有助于优化设计。当我们设计一个仪表放大器时，必须就一些因素进行大致的权衡，为了获得最后10%的性能，这种努力是值得的。AD8622是我们精密放大器产品线中的新成员，提供真正出色的特性组合，包括电压噪声、低 $1/f$ 转折频率、电源电流、增益频宽、失调电压、失调电压漂移等。

我想赞扬Bill划分系统的方式。有时候，我们看到一个四通道放大器的三部分被用于构建仪表放大器，这是很容易掉入的陷阱。依据 V_{os} 、 TCV_{os} 、增益、带宽、CMRR等来看，第一级的需求与差动放大器级是完全不同的。此外，为了获得最后10%的性能，第一级使用双通道放大器，第二级使用单通道放大器非常有意义。为了在运算放大器中获得低电压噪声，需要消耗第二级当中并不需要的大量电流。假如第二级驱动一个重负载，那么就需要比第一级运算放大器更多的驱动。四通道放大器的另一个缺点是：输出运算放大器的热量可能会反馈到第一级运算放大器。详细讨论参见参考文献4和5。

Bill: 我们的第一选择本来是使用集成仪表放大器，藉以节省电路板空间。然而，使用精密差动放大器后，确实使我们可以对仪表放大器进行微调，而不需要昂贵且

占用电路板空间的电阻网络。我们得以显著降低功耗，同时仍然保持重要的性能特性，像是噪声、CMRR以及直流输入容差等。

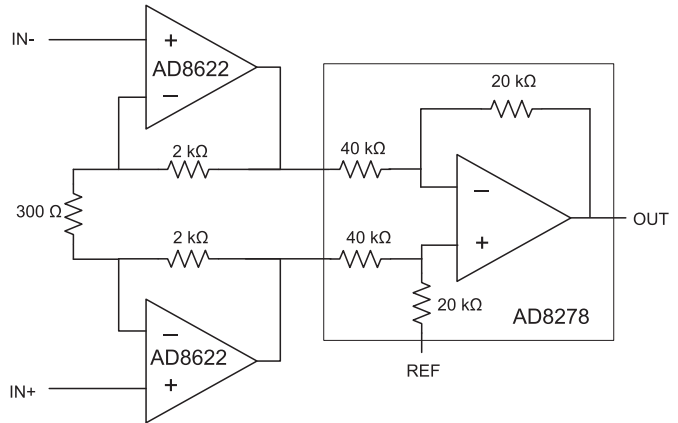


图3. CareFusion仪表放大器简图

Harry: 谢谢，Bill。Matt和我非常高兴与您合作开发一款先进的设计。

作者简介

Bill Kolasa任职于CareFusion的NeuroCare部门，已为该公司工作7年，从事医疗仪器的设计。他获得密歇根科技大学电气工程学士学位 (BSEE)。Bill的同事Bill Lutz和Dan Lombardi也为本文做出了贡献。

Harry Holt是ADI公司（美国加利福尼亚州圣何塞）精密放大器部门的应用工程师，已在ADI任职四年。之前他曾在美国国家半导体公司工作了27年，从事各种产品的现场和工厂应用，包括数据转换器、运算放大器、基准源、音频编解码器和FPGA。他拥有圣何塞州立大学的电子工程学士学位 (BSEE)，并且是国家工程荣誉协会 (Tau Beta Pi) 终身会员和IEEE的高级会员。

Matt Duff是ADI公司的应用工程师，过去5年来，他从事仪表放大器和多种其它产品的应用工作。此前，他供职于National Instruments，从事仪器仪表和汽车电子产品的设计和项目管理工作。Matt拥有德州农工大学电子工程学士学位和乔治亚理工学院电子工程硕士学位。

附录：BILL的计算公式

计算AD8221在0.1 Hz至100 Hz带宽内的期望峰峰值噪声以揭示增益的影响（忽略电流噪声，因为电极阻抗很低）。

$$\text{noise} = \sqrt{\left(e_{n_in}\right)^2 + \left(\frac{e_{n_out}}{\text{Gain}}\right)^2} \times \sqrt{\text{Bandwidth}} \times \text{CrestFactor} =$$

$$\sqrt{8^2 + \left(\frac{75}{14.9}\right)^2} \times \sqrt{100} \times 4 = 0.379 \mu\text{V p-p}$$

加上1/f噪声（使用增益=10，来自数据手册）：

$$\sqrt{0.379^2 + 0.5^2} = 0.73 \mu\text{V p-p}$$

计算AD8221BR的期望最小CMRR以揭示增益引起的提高。

（使用增益=1，来自数据手册）：

$$\text{CMRR} = 90 \text{ dB} + 20 \times \log(\text{gain}) =$$

$$90 \text{ dB} + 20 \times \log(14.8) = 113 \text{ dB}$$

计算AD8221的电极失调容差：

$$\left(\frac{\text{Supply Rail} - \text{Output Swing}}{\text{gain}}\right) = \left(\frac{15.5 \text{ V} - 1.6 \text{ V}}{14.8}\right)$$

$$= 940 \text{ mV}$$

针对新仪表放大器设计（忽略电流噪声，因为阻抗很低）。

AD8622缓冲器的噪声：

$$e_n \times \sqrt{\text{Bandwidth}} \times \text{CrestFactor} =$$

$$11 \text{ nV} \times \sqrt{100} \times 4 = 0.44 \mu\text{V p-p}$$

加上1/f噪声：

$$\sqrt{0.44^2 + 0.2^2} = 0.48 \mu\text{V p-p}$$

1/2 Rg与Rf并联的噪声：

$$\sqrt{4kT \times \frac{1}{2} Rg} \times Rf \times \sqrt{\text{Bandwidth}} \times \text{CrestFactor} =$$

$$\sqrt{4 \times 1.38 \times 10^{-23} \times 300 \times 2k} \times \sqrt{100} \times 4 = 0.23 \mu\text{V p-p}$$

来自AD8278的噪声：

$$\frac{\text{Output Noise}}{\text{Gain}} \times \sqrt{\text{Bandwidth}} \times \text{CrestFactor} =$$

$$\frac{50 \text{ nV}}{5} \times \sqrt{100} \times 4 = 0.4 \mu\text{V p-p}$$

加上1/f噪声：

$$\sqrt{0.4^2 + \left(\frac{1.4}{5}\right)^2} = 0.49 \mu\text{V p-p}$$

所有噪声源求和：

$$en = \sqrt{0.48^2 + 0.48^3 + 0.23^2 + 0.23^2 + 0.49^2} =$$

$$0.9 \mu\text{V p-p}$$

新仪表放大器设计的期望最小CMRR：

$$\text{CMRR of AD8278B} + 20 \times \log(\text{Buffer stage gain}) =$$

$$80 + 20 \times \log(10) = 100 \text{ dB}$$

新设计的电极失调容差（直流源连接到一个输入端，另一个输入端接地）。

$$\frac{\text{Supply rail} - \text{output swing}}{\text{gain}(\text{gain in this case is } 1 + (Rf / Rg))} = \frac{7.5 \text{ V} - 0.25 \text{ V}}{5.5}$$

$$= 1.32 \text{ V}$$

参考文献

1. Pallás-Areny, Ramón和John G. Webster, “差分放大器中的共模抑制比”《IEEE仪器与测量》，第40卷，第4期，1991年8月，第669页至676页。
2. ADI公司，《线性电路设计手册》第2.9页。
3. D. Rod White “三通道运算仪表放大器的相位补偿”《IEEE仪器与测量》，第IM-36卷，1987年9月。
4. Harry Holt “运算放大器：双通道还是不要双通道（第1部分）”《EE Times》。
5. Harry Holt “运算放大器：双通道还是不要双通道（第2部分）”《EE Times》。

智能电能计量应用数字隔离器

作者：Petre Minciunescu 和 Brian Kennedy，
ADI 公司

简介

兼容直流的电流互感器一直用于检测智能电表中的交流电流，但它有一些缺点，而且很昂贵。对于某些应用，分流电阻是更好的电流传感器选择，因为它价格低廉、具有高线性度并且抗磁场干扰。遗憾的是，分流电阻不具有电流互感器所固有的电气隔离特性。在要求隔离的智能电表等应用中，采用隔离电源技术的数字隔离器与分流电阻结合可提供一种良好的解决方案。

单相防窃电智能电表

考虑图 1 所示的单相防窃电智能电表。模拟前端 (AFE) IC 利用分流电阻测量相位电流，并利用一个简单的分压器测量相位电压，从而计算电能并监控负载的质量。在这种应用中，电力线相位电压用作 AFE 的接地参考。零线电流测量必须隔离，从而保护 AFE 免受高压影响。AFE 利用标准 SPI 或 I²C 通信将计算得到的电气量传输给微控制器 (MCU)。然后，MCU 将数据发送到通信模块，通常使用 UART 接口，必须确保安全隔离并避免接地环路。因此，MCU 必须与 AFE 隔离，与通信模块共地（隔离 1），或者与通信模块隔离，与 AFE 共地（隔离 2）。

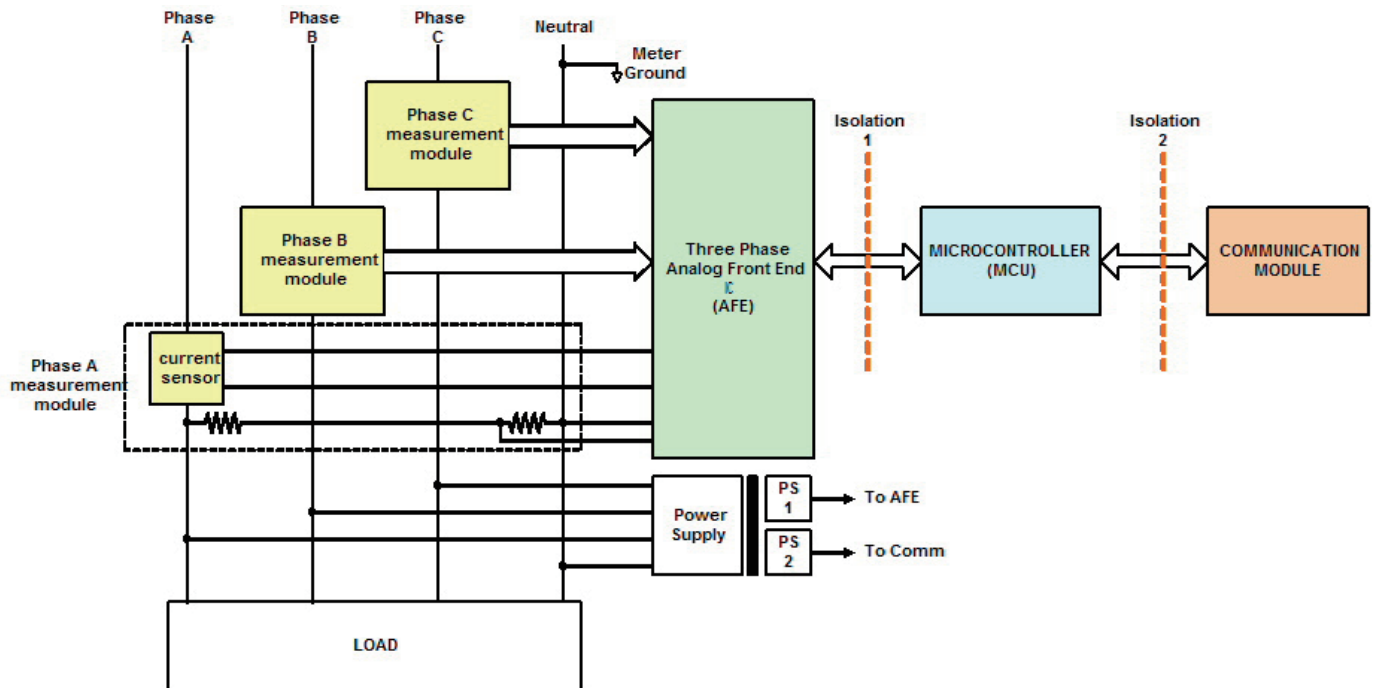


图 1. 单相防窃电智能电表

电表电源从电力线获得，但安全隔离栅会产生两个电源域。图 1 中的 PS1 与相电源是同一电源域，可以直接使用而无需隔离 AFE。然而，安全隔离栅 1 或 2 则需要使用隔离电源 PS2 来为 MCU 和通信模块（隔离 1）提供电源，或者仅为通信模块（隔离 2）供电。

总而言之，单相防窃电电表中有多个点需要隔离：

- 零线电流检测
- AFE 与 MCU（隔离 1）之间或 MCU 与通信模块之间（隔离 2）

必须通过隔离栅 1 和 2 的信号是数字信号。为了隔离数字信号，已经开发出许多技术。传统方法使用带 LED 和光电二极管的光耦合器，较新的技术则是使用芯片级变压器的数字隔离器。例如，与光耦合器相比，*iCoupler*® 数字隔离器具有许多优势，包括：更可靠、尺寸更小、功耗更低、通信速度更快、时序精度更佳、易于使用。芯片级隔离技术也可以与其他半导体电路结合，实现小尺寸、高集成度解决方案。在数据速率较高的应用中，

这些优势尤其显著。智能电能计量就是这样一种应用，目前新式电表需要更高的实时信息流量。

芯片级变压器也可以用在隔离式 DC-DC 转换器中，从而将数据和电源隔离集成到单个封装中。*iCoupler* 产品就有这种能力，*isoPower*® 隔离式 DC-DC 转换器可集成到隔离式数据通道所在的同一薄型表贴封装中。考虑上例中的零线电流检测。传统上使用电流互感器，因为它本身能够提供隔离，但电流互感器必须为直流兼容型以免饱和，这会提高其成本。此外，它还会引入相位延迟，相位延迟随频率成分不同而异，因此难以在整个频谱范围内进行补偿。分流电阻具有明显的优势。不仅价格低廉，不受外部交流或直流磁场的影响，而且与用于检测相电流的分流电阻具有相同的特性。然而，分流电阻本身不具隔离性。使用集成 DC-DC 转换器和隔离数据通道的数字隔离器可以解决这一问题。这样就产生一种新的单相防窃电智能电表结构（图 2）。

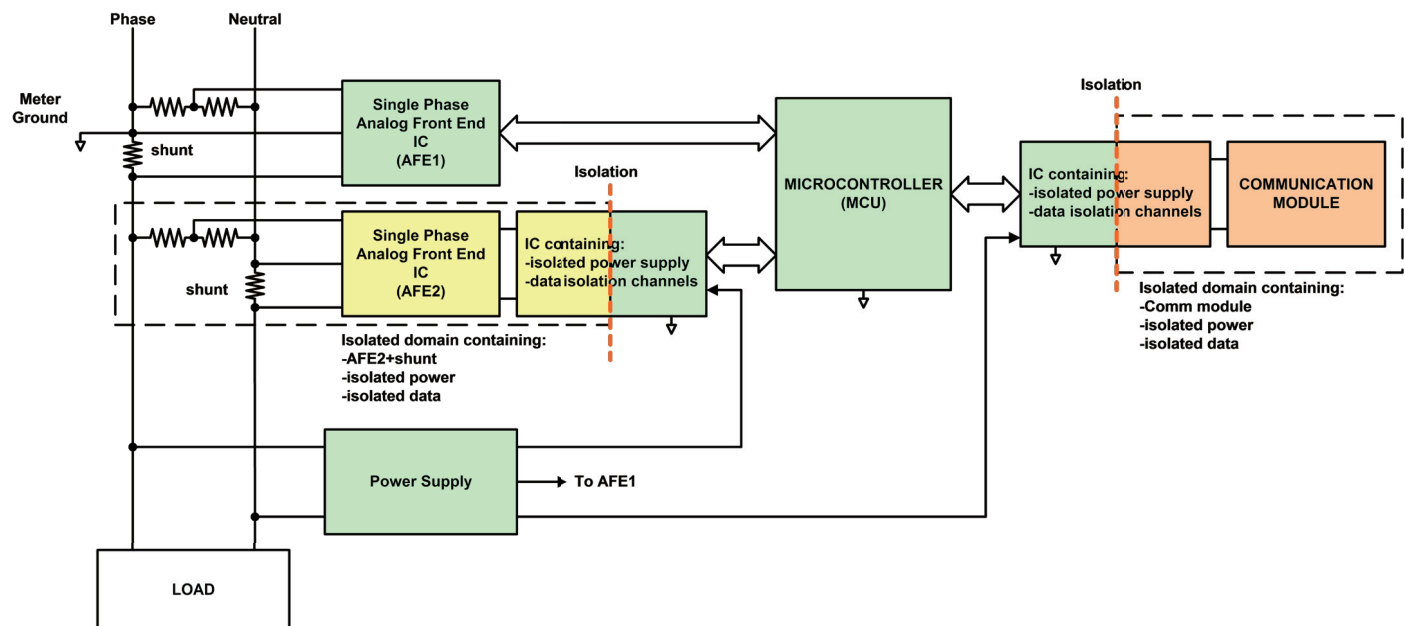


图 2. IC 内置芯片级变压器的单相防窃电智能电表

新结构利用 AFE1 测量从线路电流获得的电气量，利用 AFE2 测量从零线电流获得的电气量。两个电流均利用不受外部磁场影响的分流电阻测量，从而消除窃电之忧。AFE2 利用一个 IC 接收功率，该 IC 包含一个基于数字隔离器的隔离电源。它利用嵌入同一 IC 并采用相同技术的隔离数据通道与 MCU 通信。

可以将同样的方法（IC 同时包含隔离电源和隔离数据通道）应用于通信模块，因为它也需要一个隔离电源并通过隔离栅进行数据通信。

与大型、昂贵、难以通过认证的隔离电源相比，这种方法的优势显而易见。数字隔离技术造就了业界最小的 UL 认证 DC-DC 转换器，这些 IC 具有很高的热稳定性和机械稳定性、出色的耐化学腐蚀性以及良好的 ESD 性能。设计工程师现在可以集中精力改善系统设计，而无需担心隔离问题。

三相智能电表

对于三相智能电表（图 3），可以采用同样的方法。在传统的四线系统中，零线被选作电表 AFE 的接地参考。相电流利用电流互感器测量。电源利用所有三相创建两个电源域：一个为 AFE 供电，一个为通信模块供电，电源必须进行隔离以保证安全。MCU 可以置于任一电源域中，因此 AFE 与 MCU 之间（隔离 1）或 MCU 与通信模块之间（隔离 2）都存在一个隔离栅。

类似于单相防窃电电表所采用的方法，利用数字隔离技术，可以将电流传感器替换为使用分流电阻的隔离模块，通信模块可以利用包含隔离电源和数据通道（可通过隔离栅通信）的 IC 供电并与 MCU 通信（图 4）。

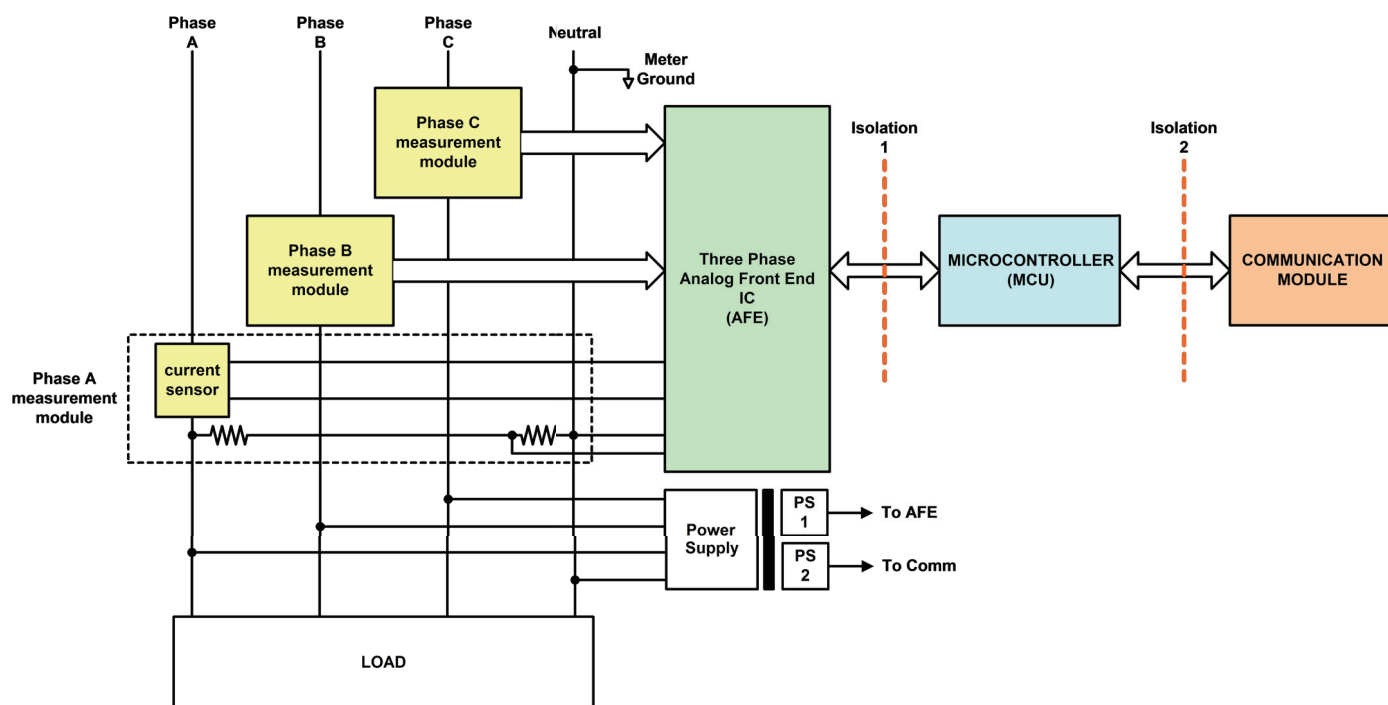


图 3. 三相智能电表

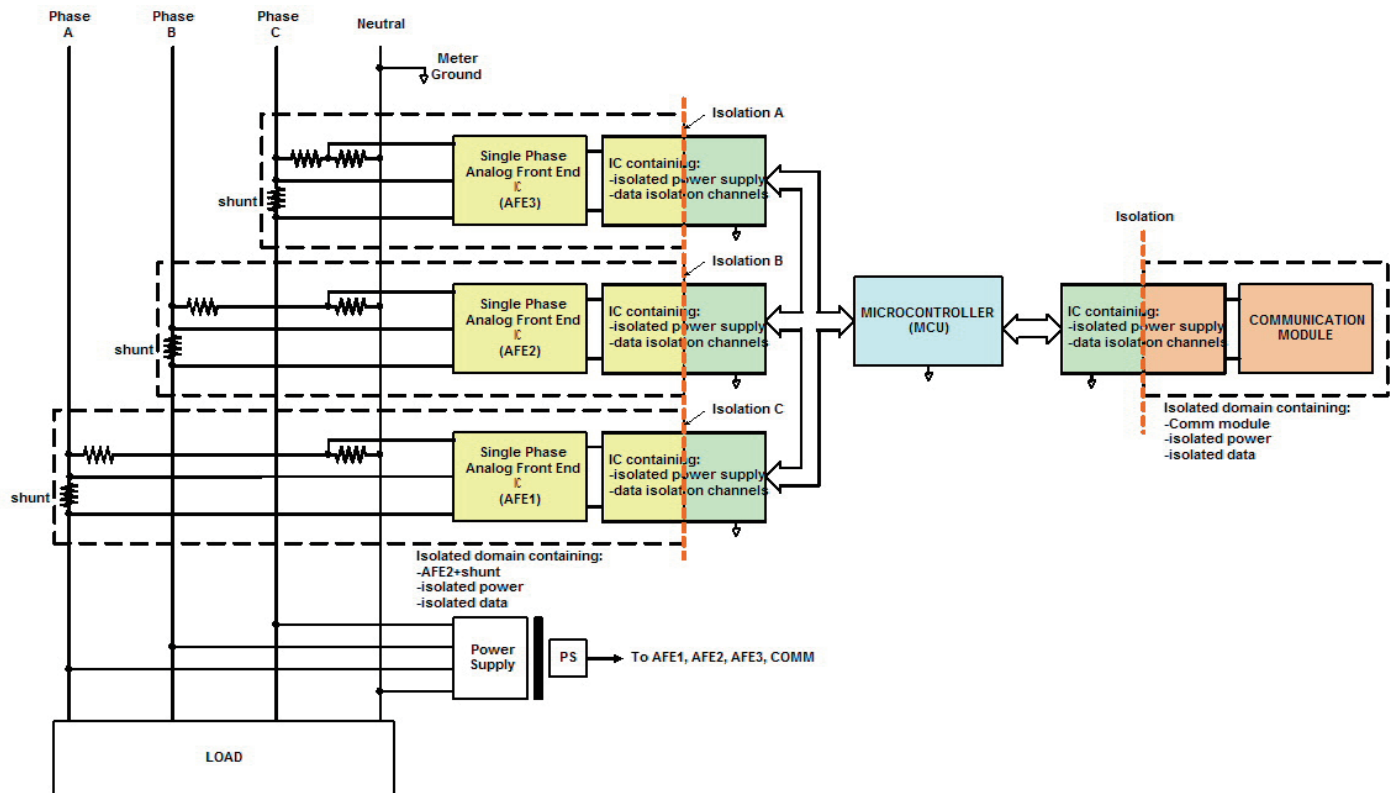


图 4. IC 内置芯片级变压器的三相智能电表

结束语

分流电阻和芯片级数字隔离器完全可以取代直流兼容型电流互感器，同时实现数据隔离和电源隔离。数字隔离器优于传统的光耦合器，并且支持多种串行通信：SPI、I²C 或 UART。数字隔离器性能更高、更易使用、更加可靠，堪称光耦合器的真正替代产品。

数字隔离器使智能电表的系统架构发生如下变化：

- 相电流和零线电流可以利用分流电阻检测，从而消除通过磁场干扰窃电的风险，以及处理电流互感器相位延迟的难题。

- 使用 UL 认证的 IC，单相和三相电表均可以使用单一主电源。特别是在三相电表中，这可以显著缩小电源尺寸，使电表外壳尺寸更小。

资源

欲浏览 Twitter 网站上的 ADI 新闻，请访问：
www.twitter.com/ADI_News

自适应实时DSP架构可以监控电网中的谐波成分和各种电源品质因数

作者: Gabriel Antonesei, ADI公司

简介

在过去, 谐波分析仪不仅非常昂贵, 而且难以集成到大规模制造的电表。因此, 对电网进行谐波污染分析是一件非常困难的事情, 只能偶尔由专业操作员在某些特定位置进行。如今, 芯片不仅可以集成更多的信号处理功能, 而且尺寸更小、价格更低廉, 能够实现对电网的高效使用和监控。

过

去几十年来, 电源系统呈指数式增长, 其非线性特性引起了严重的谐波污染。这可能带来多方面的不利影响, 例如: 电气设备过温和过早老化, 传输线路损耗增加, 以及继电器保护失灵等。

因此, 业界越来越关注谐波污染问题, 并采取了各项措施以实现更好的电网管理。其中, 最佳的一个方法是在电网内设置更多的观测和分析点, 并且延长监控时间。随着智能电表在全世界范围内的加快部署, 满足上述要求的最佳器件会被用于其中。用于智能电表的ASIC集电能计量特性与谐波分析功能于一身, 可能是最适合当下的理想解决方案。请切记, 考虑到一块芯片内要嵌入大量DSP资源, 同时又必须廉价、尺寸小、功耗低, 可想而知频谱分析绝非易事。本文将讨论一种尝试满足所有这些需求的DSP架构解决方案。

基频估算和频谱成分提取

电网上不断变化的负载与相对恒定的发电输出之间存在一种动态的平衡关系, 这导致在负载较高时, 主电源频率会略微降低, 而在负载较低时, 主电源频率会略微提高。在电网高度发达并受到密切监控的国家, 频率偏移量相当小, 但在电网控制不佳的地区, 频率偏移量可能大到足以影响电气设备。为此, 业界已进行大量研究工作, 试图找到通过优化各种参数, 如精度、速度、噪声和谐波抗扰度等, 来实现跟踪频率的最有效方法。

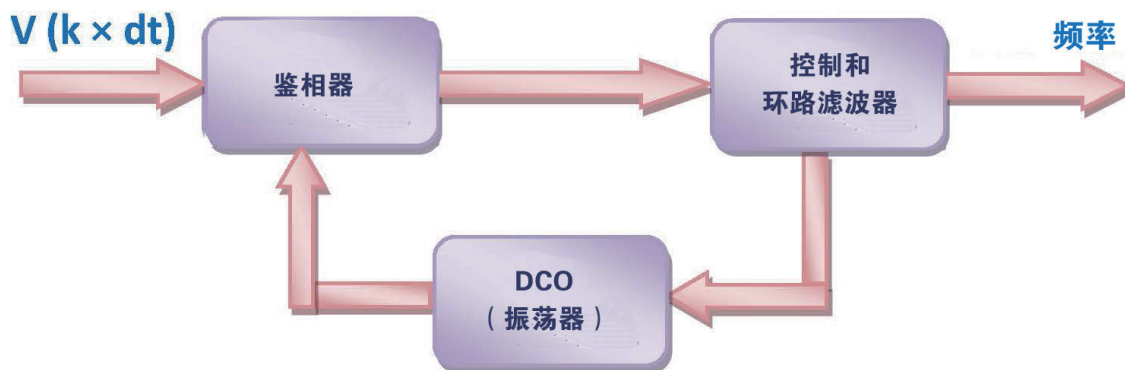


图1. 基于数字PLL结构的频率估算

就电源系统的安全性、稳定性和效率而言，电网的频率是与电流和电压同等重要的工作参数。可靠的频率测量是有效的进行电源控制、负载减轻、负载恢复和系统保护的先决条件。

检测和估算频率的方法有许多种。例如，过零方法通过测量两个相继过零点之间的时间间隔来检测频率，这种方法的优点是非常容易实现，缺点是精度较低，并且易受谐波、噪声、直流成分等影响。基于DFT的算法可以利用采样序列来估算频率，但它对输入信号中的谐波非常敏感。针对本文所述的DSP架构，我们考察了一种基于数字PLL的方法，发现它很有效，具有高抗扰度，同时还能提供精确的频率估算。

图1所示为标准数字PLL结构及其三个主要模块。相位误差检波器将输出发送到环路滤波器，环路滤波器进一步控制一个数字振荡器，目的是最大程度地降低相位误差。因此，最终可以获得输入信号基频的估算值。控制环路经过优化，在45 Hz到66 Hz的标准电网频率范围内可提供最佳的锁定参数性能。

知道了要从频谱中所提取成分的精确频率后，我们就可以考察各种用于提取的选项。谈到采样系统的频谱分析，我们自然会想到利用离散傅里叶变换(DFT)这个工具将信号从时域映射到频域。有多种数值算法和处理架构专门用于实现这种变换，FFT是最著名的一种。对比考虑提取的信息量和所需的DSP资源量，每种方法都有其优点和缺点。

有一种交流电源系统理论使用复平面中的相量来代表电压和电流，该理论与一种以类似格式提供频谱成分的DFT变化形式相一致。从根本上说，在目标频率直接实现DFT公式也能达到同样的效果。但是，为使测量具有实时性，我们采用了一种从DFT公式获得求和元素的递归方法。实施方式有多种（取决于可用的DSP资源），但必须牢牢控制一个重要方面，这就是最大程度地降低频谱泄漏和噪声引起的误差。

图2以框图形式说明了频谱成分提取的工作原理。

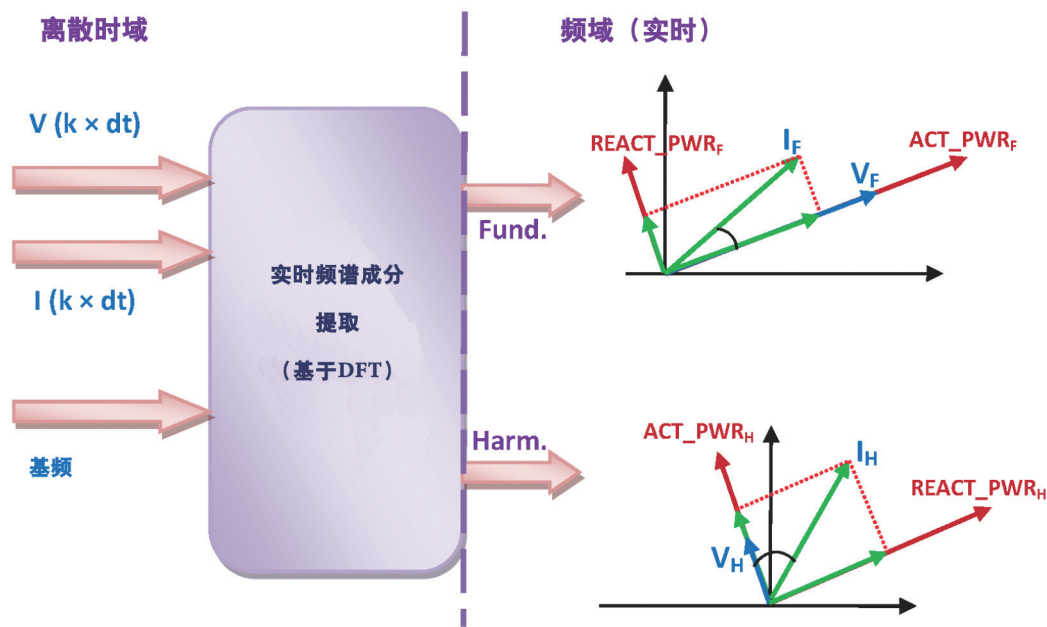


图2. 提取基波和谐波频谱成分

某一相的采样电压和电流与基波频率值一起通过一个计算模块，该计算模块以相量形式提供计算结果。针对每个基波频率和某些用户可选的谐波频率，都会提供一对相量（电压和电流）。有了这些分量之后，我们就可以运用电源理论中的已知方法来提取RMS值和功率。RMS值相当于这些相量的幅度，视在功率则等于这些幅度的乘积。将电流相量直接投影到电压上并将二者相乘，就可以获得有功功率。分解电流的另一个正交元素与电压相乘就得到无功功率。

说到这里，我们要讨论一下采用实时方法的可能优点（动机）。例如，这种架构能够很好地监控变压器中的浪涌电流。这种电流发生在变压器通电期间，由磁芯的部分周期饱和引起。初始幅度为额定负载电流的2到5倍（然后慢慢降低），并具有极高的二次谐波，四次和五次谐波也会携带有用的信息。如果只看总RMS电流，浪涌电流可能会被误认为短路电流，因而可能错误地让变压器退出服务。为了识别这种情形，必须获得二次谐波幅度的精确实时值。当我们只需要几个谐波的信息时，运用完整的FFT变换可能不是非常有效。

这种有选择地计算几个谐波成分的方法可能比FFT方法更有效率，所谓三次谐波序列就是另一个很好的例子。有时需要特别注意三次谐波的奇数倍谐波（3、9、15、21...）。在接地Y型系统中，当电流在零线上流动时，这些谐波就会成为一个重要问题。它会引起两个典型问题：零线过载和电话干扰。有时候，零线的三次谐波序列压降导致线路到零线电压严重失真，致使某些设备发生故障。本文提出的解决方案可以只监控零线电流以及所有相位电流之和上的这些谐波。

顶层DSP架构

上述DSP模块已添加到一个根据基本公式计算总RMS值和功率的现有架构。我们还加入了一个用于计算多个电源品质因数的元件。首先，我们计算谐波失真(HD)，以便根据基波RMS值归一化所有谐波RMS值。然后，利用总RMS值和基波RMS值，我们根据标准定义计算总谐波失真加噪声(THD+N)。最后，根据有功功率与视在功率的比值，提取所有功率因数。如图3所示，三个相位并行执行所有这些信号处理，但谐波分析模块是例外，任一给定时间只能将该模块分配给某一相位。

通过计算谐波功率因数，可以找出电网中的谐波源。虽然业界仍然对查找主要谐波源的最佳方法存在争议，但是其中一种传统方法是基于“有功功率的流动方向”。这相当于确认该特定谐波频率在系统某一点或多个点上的有功功率符号。在失真电压下工作时，线性负载会针对每个谐波产生有功功率，而且如果客户端存在非线性元件，该功率会进入网络。通过测量污染谐波电压和电流的相位角度，然后计算其差值，可以确定该值。而在此架构中则不必如此，因为谐波功率因数可以提供该信息。

这种DSP架构已在三相电能计量器件上成功实现，它具有如下硬件资源：单MAC架构，工作时钟频率为16 MHz，信号采样速率为8 kHz，具有1k字的数据存储器。所有三相的基波测量结果连续计算，谐波分析仪则能从给定相位（A、B或C）连续提取三个随机谐波值。该架构是可扩展的，某些性能参数已根据已知的电网工作条件进行了优化。

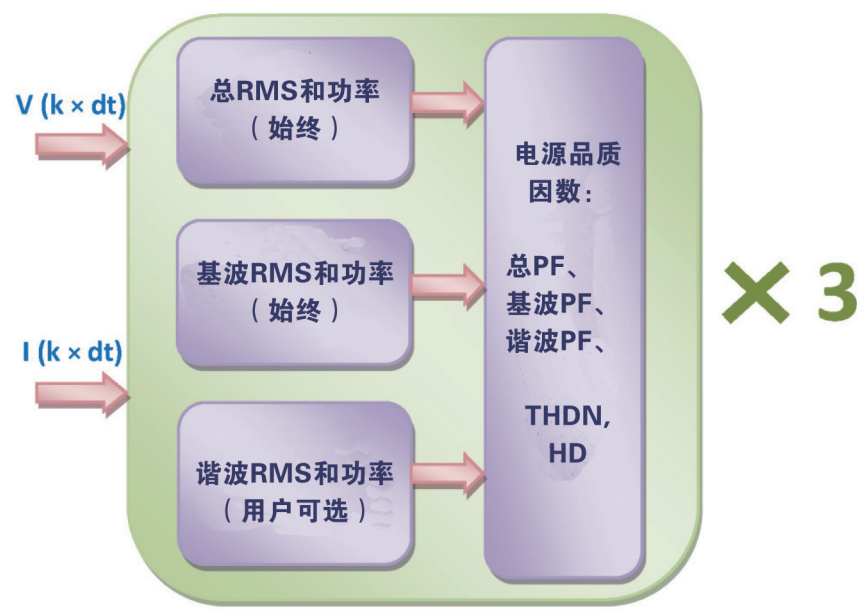


图3. 顶层DSP架构

虽然不能一次性提供所有谐波值看起来像缺点，但我们要记住，电网中的谐波污染最重要的影响还是在于准稳现象。实际上，对于工业和商用负载，建议分析至少一周内的谐波污染，而应避免任何零星的测量。在上述前提下，凭借该架构的多功能性，用户可以通过扫描所有三相上的所有可用谐波内容来获取近似FFT的结果。

结束语

在过去，谐波分析仪不仅非常昂贵，而且难以集成到大规模制造的电表。因此，对电网进行谐波污染分析是一件非常困难的事情，只能偶尔由专业操作员在某些特定位置进行。将更多信号处理功能集成到小型且经济的芯片中将彻底改变

这一现状，为更有效地理解和使用电网打开方便之门，让电力公司和消费者均将从中获益。本文介绍的DSP架构现已集成到ADI公司的一款器件中，该器件是ADI电能计量部门针对多相市场推出的最新器件 (ADE7880) 之一。

资源

若要了解有关电能计量的更多信息，请访问：www.analog.com/cn/energy。

本文提到的产品

产品	描述
ADE7880	集成谐波监控的多相多功能电能计量IC

新型谐波分析方法提高智能电表的精度并降低计算开销

作者：Petre Minciunescu 和 Gabriel Antonesei

摘要

自适应实时监控(ARTM)是一种新的谐波分析方法。本文对ARTM与FFT算法和带通滤波进行了比较。

简介

随着智能电表、智能电网和分布式发电日益盛行，电能质量监控变得越来越重要。对电流和电压信号进行谐波分析，电表就能获得关键电能质量指标的信息，包括负载或电源的状态等，从而支持预防性维护或系统优化。

谐波的存在越来越令能源提供商和消费者担心，因为过大的谐波电流可能导致电源变压器、无功功率补偿器和零线过热，以及保护继电器的误触发。谐波电压和电流还可能干扰在附近工作、对大谐波发生器敏感的设备。

为了进行谐波分析，开发人员传统上使用数字信号处理器(DSP)来实现某种形式的傅里叶算法或带通滤波。本文提出一种新方法——自适应实时监控(ARTM)，并且会比较该方法与FFT算法和带通滤波。ADI公司新一代电能应用产品将采用ARTM技术。

傅里叶方法

在电能计量或电源质量监控系统中执行谐波分析时，会同时对相电流和电压进行采样，然后进行处理，计算基波和谐波成分的电源质量，包括：有功、无功、视在功率、有效值、功率因数和谐波失真。对此，人们会立刻想到快速傅里叶变换(FFT)分析，其程序如图1所示，说明如下：

- 确定基波成分的周期。这一耗时的过程通常采用如下方式实现：对相电压进行低通滤波以隔离基波，然后测量两个相继过零点之间的时间。确定该周期过程中的任何误差都会影响谐波的幅度和相位误差。
- 修改采样频率以便在每个周期获得 2^N 个样本。这意味着要使用采样频率可变的模数转换器。
- 采集对应于一个或多个周期的 2^N 个样本。
- 执行FFT算法。获取多个周期的样本可提高计算精度，但会给DSP带来更重的负担，并且会使整体响应变慢。

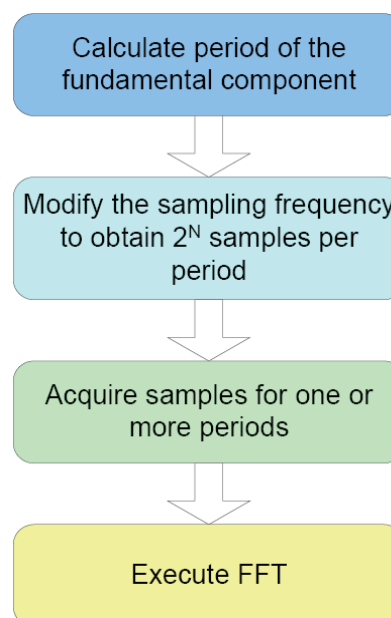


图1. 实现FFT算法所需的步骤

根据基波周期修改采样频率会影响电表中执行的其它计算。电能计算包括许多滤波器，滤波器的系数计算与采样频率相关，这就需要一个能够动态调整此类系数的完整计量方案，但采用Goertzel算法可以避免这种麻烦。这种方法不要求每周期的样本数等于 2^N ，因此采样频率可以保持恒定，与基波周期无关。实现这种算法的步骤如图 2 所示，说明如下：

- 像FFT方法一样确定基波成分的周期。
- 采样频率保持恒定，每个周期获取一定数量的样本。
- 根据每个周期的样本数计算 Goertzel 算法所用的系数。
- 执行傅里叶变换。

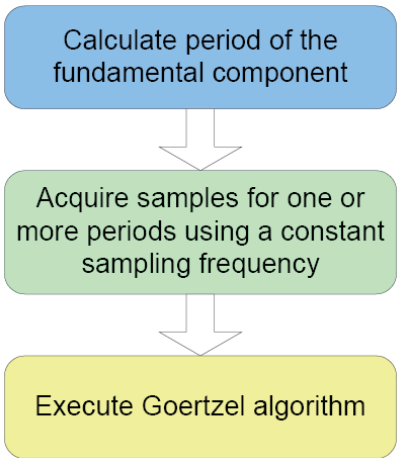


图 2. 实现 Goertzel 算法所需的步骤

带通滤波方法

使用带通滤波器可能是最简单的谐波分析方法，只需测量相电流和电压并在一个谐波周围应用窄带滤波器。如果并联采用多个滤波器，则可以同时分析多个谐波。实现这种方法的步骤如图3所示，说明如下：

- 像上述方法一样确定基波的周期。由于可能会错失较高谐波的目标谐波频率，因此需要大幅提高这种测量的精度，这意味着必须为两个相继过零点之间的时间滤波分配更多时间。
- 根据基波周期计算滤波器系数。
- 在目标谐波频率对相电流和电压进行滤波，然后计算相应的有效值。这种方法的一个缺点是只能保留谐波的幅度信息，而无法保留任何相位信息。因此，它无法计算谐波功率、功率因数和谐波失真。

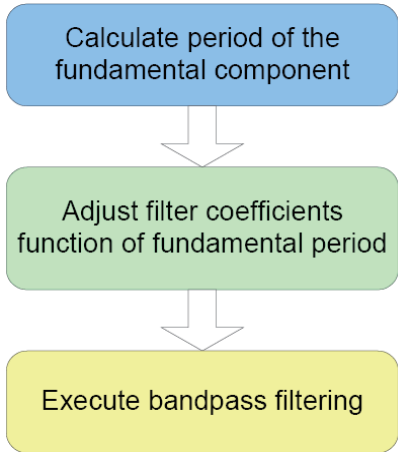


图 3. 实现带通滤波的步骤

自适应实时监控(ARTM)

电网的基波频率可能随着时间而漂移，如果谐波分析仪能够自动跟踪频率的变化，而无需用户干预，那么将非常有利。ARTM连续估算基波频率的可能值，并将其与电压线上的实际频率进行比较。从这种比较得到的任何误差都将用作反馈因数，以提高或降低估算频率的值。这基本上就是ARTM的自适应原理。

根据估算的频率或其整数倍频率，对选定相电压和电流执行实时频谱成分提取程序，从而产生一组与估算频率或其整数倍频率上存在的能量成比例的值。进一步的信号处理可以提供基波或基波整数倍频率（事实上是谐波）上的实时功率和有效值。

对于三相系统，每个相电压都有专用的独立频率估算器。因此，即使某个相电压消失，用户仍然可以选择另一个相位来估算电网的频率，并将其用于ARTM程序中。

整数倍频系数灵活地确定要监控哪一个谐波，其优点是可将所有DSP计算资源专门用于监控目标谐波。相比之下，FFT方法能够同时计算频谱中多个频率上的值，但要消耗更多资源。为了实现同样的性能，存储FFT算法所用样本需要的存储器量明显大于本文提出的实时方法。

如果在监控某一谐波的同时也监控基波值，那么监控将变得更有效和更有意义：由此便能计算电流和电压有效值成分的谐波失真(HD)比，该指标有时比绝对值更有意义。事实上，从纯理论性DSP角度看，这是一种被广泛接受的归一化数据呈现方法。在进一步的处理中，对一定范围的谐波指数执行HD值扫描，将所得的值相加，便可计算出总谐波失真(THD)。

除了频率范围内的幅度响应以外，传统的完整谐波分析仪还应提供有关一定频率下相位响应的信息。ARTM以计算功率因数的形式提供相位信息，功率因数指有功功率与视在功率之比。ARTM计算与基波频率和各谐波频率相对应的功率因数，对应于基波频率的功率因数就是所谓“位移功率因数”。实时获得这些值非常有用，可以将其看作电源质量的全局性指标。对于试图实现控制环路，将功率因数保持在一定范围内的系统，这些值也很有用。

实时计算有功、无功和视在功率的另一个好处是可以通过累加获得基波或谐波上的能量值。利用该信息，用户可以分析总能耗在基波成分和谐波成分之间是如何分配的。

在三相系统中，特别是在各种非线性负载引起三次谐波序列（三次谐波的奇数倍数）的情况下，对零线电流和相电流之和进行谐波分析也是有意义的。三次谐波序列的净效应具有可加性，因而零线最终可能会承载超出设计值的电流，导致过热甚至起火。在三相三角形变压器中，三次谐波序列引起的循环电流可能导致绕组过热，从而引发问题。而对零线电流和相电流之和的谐波成分进行监控，就能帮助判断是否存在这些潜在的不平衡问题。

总之，可以说ARTM具有实时监控或控制系统相关的所有优势。而且，由于ARTM将大部分DSP资源集中在目标谐波的监控上，因此效率更高、性能更佳。

为了获得完整的谐波频谱，可以执行频率扫描。

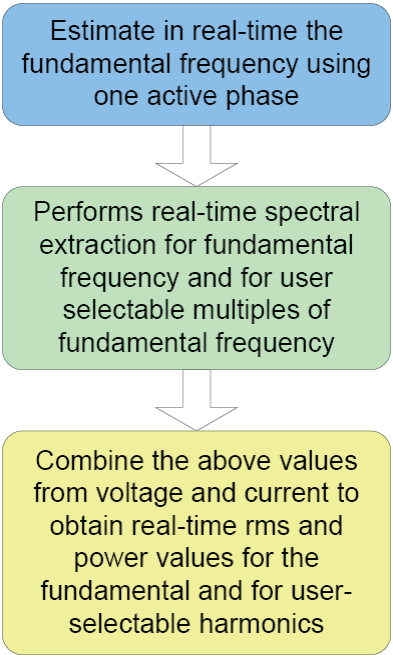


图 4. 实现自适应实时监控的步骤

表1综合比较了本文所述的各种方法。带通滤波和 ARTM 可用来实时监控基波和谐波成分。如果电力线的基波频率发生变化，ARTM 方法已被证明能够以足够高的精度即时做出响应。由于需要存储样本，FFT 的最终实现方案占用的存储器非常大，其它方法则相当小。就结果的精度而言，ARTM 方法是非常高，Goertzel 算法和带通滤波器居中，FFT 最低。

表 1

方法	实时监控	自适应	DSP 存储器要求	相对精度	频谱谐波快照
ARTM	是	是	小	非常高	是
FFT	否	否	非常大	低	是
Goertzel 算法	否	否	小	中等	是
带通滤波	是	否	小	中等	否

无线智能计量技术

作者： Cosimo Carriero , ADI公司高级现场应用工程师
Michele Bissanti , Smart Metering 总经理

简介

技术的进步使人们淘汰了机械和机电式的水、电、气表，取而代之的是具备高级功能的数字仪表。拥有这些新工具后，用户将摆脱被动消极的角色，变得更加积极主动，每个人都能控制自己的消费习惯并制定各自的资源节约策略。这里的关键词是“通信”二字。利用新的技术，公用事业公司和用户便能实现相互沟通，进而开创基础资源智能化利用的新局面。

智能仪表

使用智能仪表具有诸多优势。公用事业公司能够从自动化数据收集中受益，避免了人工抄表带来的人为差错，并最终降低人工成本。此外，静态数据收集变得更加容易，因而能够实现最优容量规划，并充分利用配送网。利用诊断和瞬时故障检测功能，还可以开展预见性维护，构建更高效、更可靠的配送网。此外，公用事业公司还可以提供更多服务，例如根据一天中的不同时间段进行实时计费。某些能源使用行为可以推迟到服务成本较低的时间段，这样既能让用户节省资金，又能让公用事业公司有效管理峰值需求。

智能仪表连接到家庭网络之后，便能提供关于消费习惯的实用信息，这样就能了解某个洗衣循环的能耗、浇灌花园所需的用水量、每日供暖所需的用气量等等。多项研究表明，仅凭加强节能意识一项，就能节省20%或更多的能源。消费者如果有机会通过减少能源使用来节省资金，并获得可降低能耗的技术，他们愿意采取行动，并因此实现高达50%的能源节约效益。

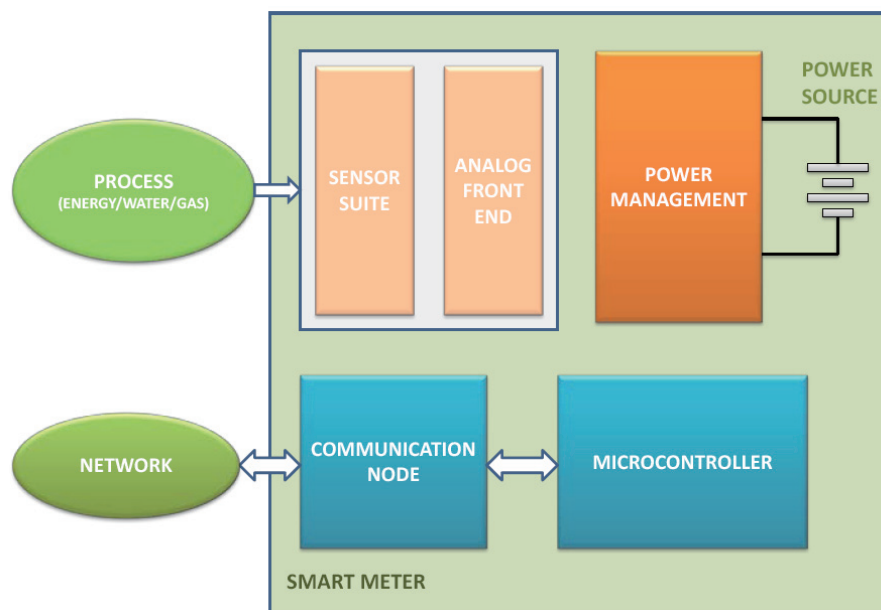


图1. 智能仪表框图

智能仪表能够减少用户一端所耗用的基础资源，降低公用事业公司一端的损耗，最终有助于实现“减少碳排放、让地球更环保”的目标。

智能仪表的结构

智能仪表的总体框图如图1所示。根据、水、电、气计量等具体应用，可以包含一个或多个与前端电子装置连接的传感器、电源，以及相关的电源管理电路、通信节点和系统管理微控制器。

可以使用多种技术实现网络化的计量系统，然而，其中两种技术占据主导地位，即无线短程(SRD)和电力线通信(PLC)。PLC作为免费提供的电力线载波，特别适用于电能计量；对于水、气计量，由于缺少适用的电力线载波，SRD成为当仁不让的选择。此外，水表和气表采用电池供电，因此功耗是一个至关重要的因素。

为了在功耗和通信范围之间达成最佳平衡，北美的仪表设计师选择sub-GHz频段（如915 MHz）的无线电，而在欧洲，目标频段为868 MHz和433 MHz，同时169 MHz频段也日益受到关注。此外，大多数仪表制造商纷纷考虑2.4 GHz全球免费频段；然而，在给定功耗下，这些频率的无线电通信距离短于sub-GHz无线电。水表和气表由于安装在恶劣的环境中进行RF传播（如地下室和地下坑洞），因此获得较宽的通信范围至关重要。

水计量—Smart Metering开发的MultiReader系统

无线短程传输技术的进步实现了对配水网的监控。过去，监控用水情况依靠的是数学模型，以及在配水网的输入端和用户接口进行零星的测量。如今，有了适用的硬件，便能执行同步多次测量，进而能够妥善管理配水网。

该仪表实现了AMR（自动抄表），不仅能够用于计费，还能检测网络中的损耗。由于可以在输入端和输出端进行同步而频繁的测量，公用事业公司得以执行每月、每

周，甚至是每天的水量预算。如此一来，就能更轻松地监控由于故障或非法用水造成的网络损耗。公用事业公司还可以为客户提供更多的服务，例如通过监控夜间或非高峰时段的使用情况来检测用户网络中的损耗。

通过电池供电式无线网络进行水资源监控是一项棘手的任务。仪表需要在恶劣的环境中连续工作多年，甚至长达10年或15年，而且电能来源也非常有限。带外干扰信号（如无线电和电视广播、GSM基站）或带内干扰信号（如遥控）会带来电磁干扰，降低接收机的灵敏度，有时还会造成接收机本身的阻塞。另外，天气条件和金属物体（如排水管和停泊的车辆）也会影响天线性能和无线电波传播。较高的湿度和热循环则会产生机械应力或影响电池性能。

上述因素都会影响系统的总体可靠性，并使维护成本难以保持低水平。

从上述工作条件明显可以看出，设备应具备极高的灵敏度、稳定的抗干扰能力以及较低的功耗。[Smart Metering](#)对一系列短程设备进行了对比分析，最终决定选择ADI公司的[ADF702x](#)系列无线收发器，因为该系列产品在满足上述严苛要求方面具有冠绝市场的表现。

MultiReader系统

Smart Metering开发了基于[ADF702x](#)系列的MultiReader系统（图2），以满足公用事业公司的水资源监控需求。该系统由水表MultiReader-C、中继器MultiReader-R和集中器MultiReader-G组成。

MultiReader-C是一个电池供电计数器，最多可连接三个脉冲发射极器件。该仪表可提供实时用水情况、根据固定日历存储的数据，以及应用特定算法处理的测量数据。上述功能实现了多项服务，例如不同位置的同步测量、按规定时间间隔提供耗水数据，以及报告其他有价值的信息，如回流、计数器关闭和最终用户损耗等等。



图2. MultiReader 系统

MultiReader-R是一个电池供电中继器，通常安装在电线杆上，用于扩展单个仪表的通信范围。该中继器能与仪表、其他中继器以及集中器实现通信。

MultiReader-G收集来自仪表的数据，并能够通过GSM网络与中央交换局实现通信。

要对可靠的无线水计量网络进行安装和维护，需要具备硬件、软件和系统管理能力，而Smart Metering已在长期实践中发展了这种能力。

图3所示为MultiReader-C单元装置，其中每个单元与三个脉冲发射极器件相连。图4所示为安装在电线杆上的中继器。



图3. MultiReader-C 三个输入单元



图4. MultiReader-R 中继器

ADI的ISM 频段收发器技术

ADI的SRD收发器可以覆盖75 MHz至1 GHz的频段。最受欢迎的器件包括ADF7020中频收发器（100 kHz至200 kHz，数据速率最高可达200 kbps）、ADF7021窄带收发器（9 kHz至25 kHz，数据速率最高可32 kbps）及其衍生产品。灵活性是这些器件的主要特性之一。为了在性能和功耗之间达成最佳平衡，可以对多种参数进行编程。这些收发器提供了ASK、FSK、OOK、GFSK、MSK调制方案、-16 dBm至+13 dBm范围内的可编程输出功率，以及许多适用于低噪声前置放大器(LNA)的编程选项，可在灵敏度、线性度和功耗之间进行权衡取舍。差分LNA输入级、功率放大器(PA)斜坡控制以及高斯和升余弦数据滤波均可保证器件在复杂的电磁环境中正常工作。

同一系列中的ADF7023嵌入了一个8位通信处理器，以提供数据包处理、无线电控制和智能唤醒模式功能。该通信处理器通过集成一个典型通信协议堆栈的低层，减轻了配套处理器的处理负担。

资源

欲了解ADI能源解决方案的更多详情，请浏览

www.analog.com/cn/energy

本文提到的产品

产品	描述
ADF7020	ISM频段收发器IC
ADF7021	高性能窄带ISM收发器IC
ADF7023	高性能、低功耗ISM频段 FSK/GFSK/OOK/MSK/GMSK 收发器IC

ADSP-CM403 Sinc—太阳能应用中的隔离测量

作者: Martin Murnane

ADI太阳能光伏发电系统

martin.murnane@analog.com

简介

太阳能应用中的电压和电流测量需采用隔离测量技术。DSP Sinc输入以及ADI AD7401A隔离式ADC恰好提供ADI信号链的一个示例,实现这种隔离测量。

本文介绍采用ADSP-CM403xy和AD7401A器件,并由ADI设计的测量应用典型信号链。

太阳能光伏逆变器系统

太阳能光伏逆变器转换来自太阳能面板的电能并高效地将其部署到公用电网中。来自太阳能面板的电基本上属于直流源,它会被转换成交流,并与电网频率成一定

的相位关系,馈送至公用电网上,且效率极高。转换可以采用单级,也可以采用多级(见图1)。第1级通常为DC-DC转换,其中太阳能面板的低电压与高电流输出转换为高电压与低电流。这样做的目的是为了将电压提升至与电网峰值电压兼容的水平。第2级通常将直流电压和电流转换为交流电压和电流,一般使用H-电桥拓扑。

ADC理论—AD7401A

AD7401A是一款二阶 Σ - Δ 调制器,片上的数字隔离采用ADI公司的*iCoupler*®技术,能将模拟输入信号转换为高速1位数据流。AD7401A采用5 V电源供电,可输入 ± 250 mV的差分信号(满量程 ± 320 mV)。模拟调制器对模拟输入信号连续采样,因而无需外部采样保持电路。输入信息以数据流密度的形式包含在输出数据流内,该数据流的最高数据速率可到20 MHz。通过适当的数字滤波器(称为Sinc滤波器)可重构原始信息。处理器侧(非隔离)可采用5 V或3 V电源(V_{DD2})。

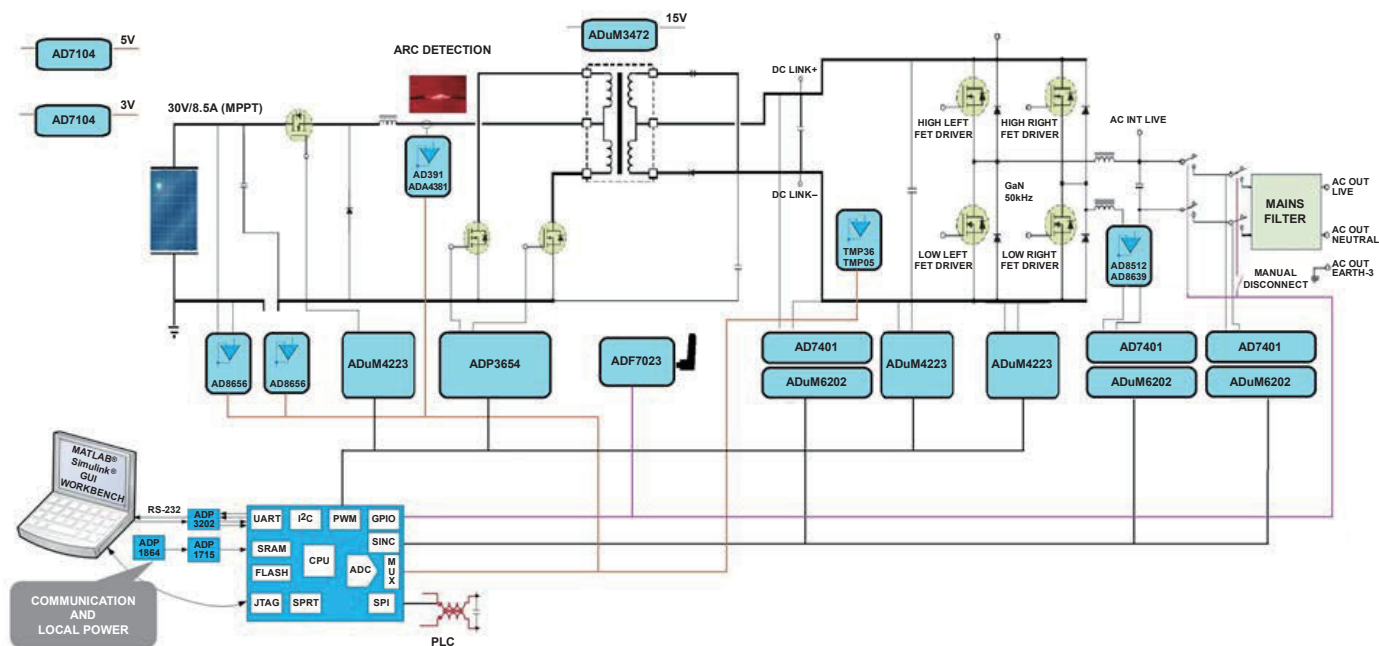


图1. 太阳能光伏逆变器信号链(ADI公司)

示例电路 - 描述

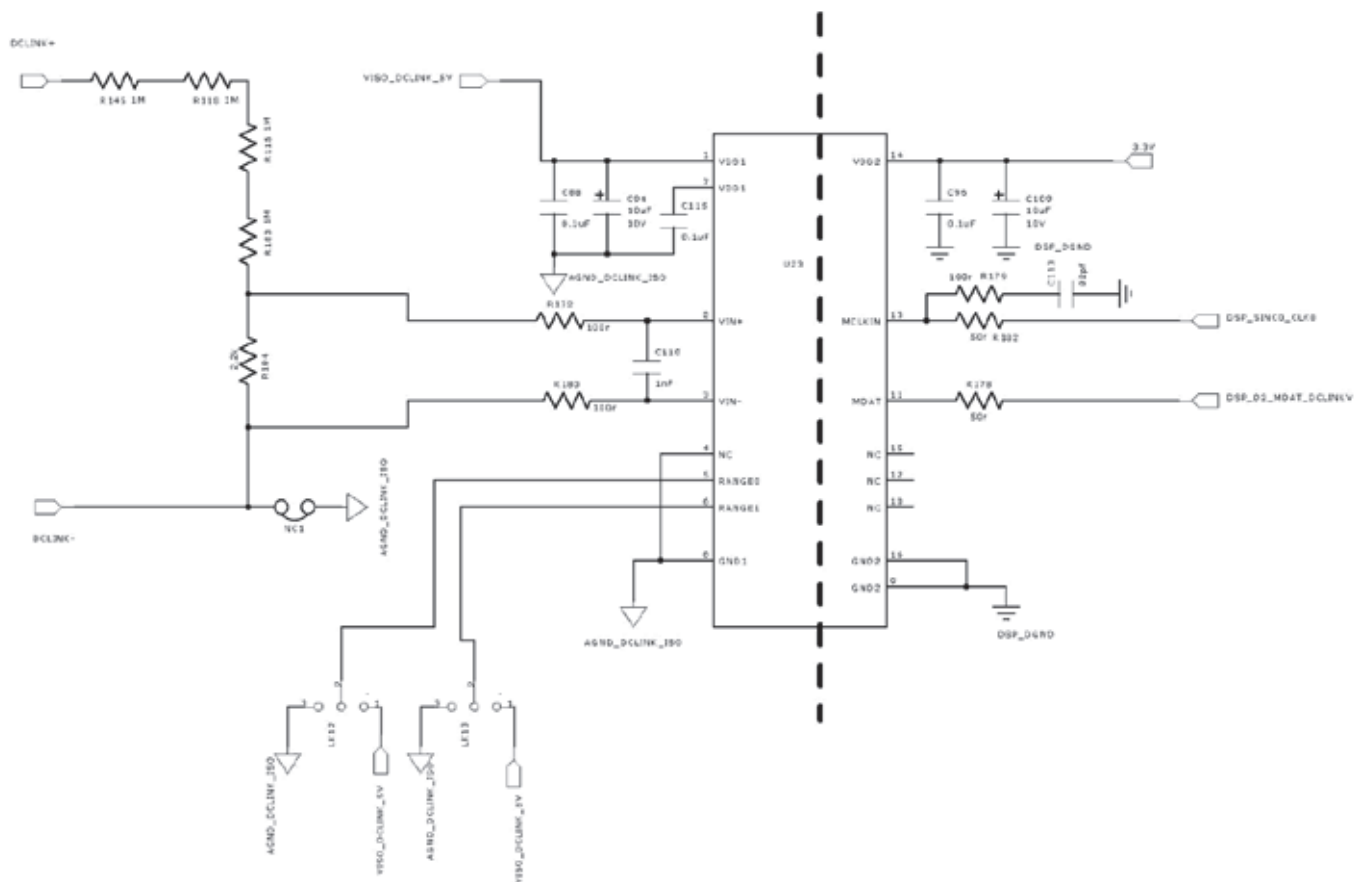


图2. 隔离式电压电路

Σ - Δ 调制器的交流输入是一个交流正弦波,表示单相电网发出的220 V rms信号。电阻分频器将输入范围缩小到ADC的额定输入范围。输入滤波器可降低输入端的噪声。

Σ - Δ 调制器输出包含两个信号：来自ADSP-CM403xy DSP处理器的高速时钟输入，以及保持调制数据的数据信号。该数据可直接输入Sinc3滤波器，直接将数据转换为ADC结果。下文显示该数据的一个示例。

在ADC的下限范围内，输入信号具有窄脉冲宽度，而在上限范围内脉冲宽度几乎达到其最大值。输出数据通过Sinc滤波器后，便如对角线所示。AD7401A工作电压高达891 V单极性范围，或565 V双极性范围，并横跨隔离栅：20μm聚酰亚胺。更多有关这些内容的信息以及各种认证可在相关数据手册中找到。

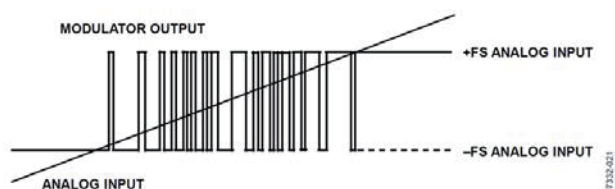


图3. 调制器示例数据

ADSP-CM403XY SINC3外设模块

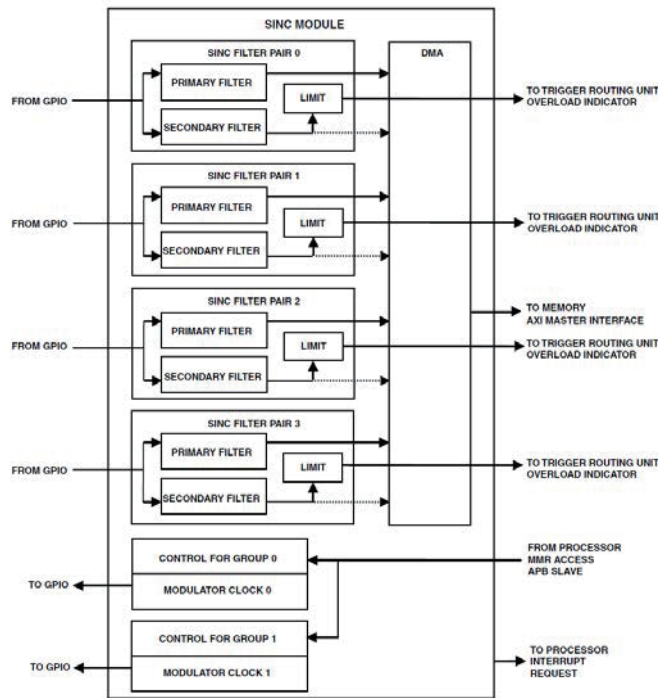


图4. ADSP-CM403 Sinc外设框图

框图显示4对Sinc滤波器(Sinc0至Sinc3)、2个调制器时钟源和2组控制寄存器(单元)。模块接受4路来自GPIO输入引脚的 Σ - Δ 位流,并将2个调制器时钟源导入GPIO输出引脚。脉冲宽度调制(PWM)信号使调制器时钟同步,以获得最佳的系统性能。每个Sinc滤波器对均包含初级滤波器、次级滤波器、DMA接口和过载限值检测功能。初级Sinc滤波器通过DMA将其数据传输至存储器。次级Sinc滤波器产生过载信号,可通过触发路由单元(TRU)路由该信号,使PWM调制器产生跳变,生成中断。

使用AD7401A时,器件额定抽取速率(DR)为256,但也可在其他抽取速率下使用该器件。

对于DR=256的情况而言,Sinc3滤波器的响应见下文中的图5a和5b。

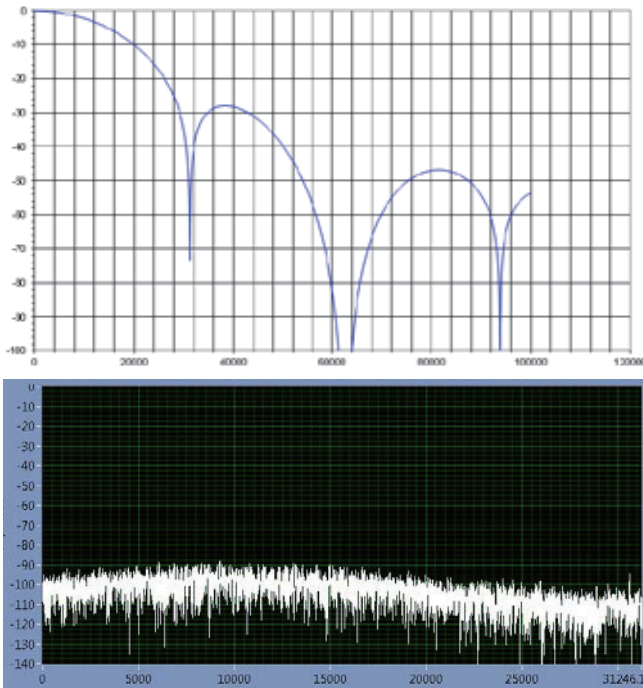


图5. (a) Sinc3抽取速率=256 (b)模块噪底

数字滤波器

Sinc滤波器的传递函数使其能用在数字逻辑中(使用一系列求和与抽取函数)。使用滤波器移除调制器采样时钟,恢复采样信号的数字值。滤波器设计匹配双极性 Σ - Δ 调制器,0 V输入下具有50%脉冲密度,正输入时超过50%,而负输入时不足50%,如图6所示。

数字滤波器是一组累加器,由调制器时钟(M_CLK)驱动,后接一组由抽取时钟(D_CLK)驱动的微分器。输入累加器将输入位流转换为多字节字,而输出微分器获取位流的均值1密度。

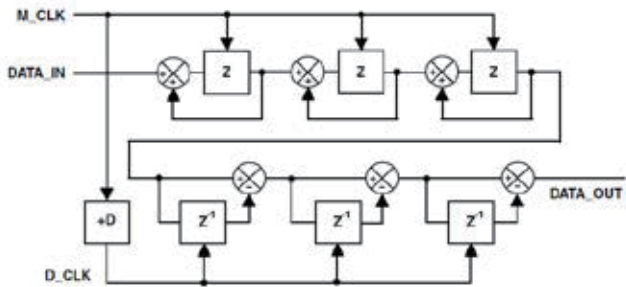


图6. ADSP-CM403 Sinc滤波器框图

累加器和微分器的级数可以为3或4，具体取决于滤波器阶数。滤波器的直流增益和带宽为滤波器阶数(O)和抽取速率(D)的函数，即调制器时钟与抽取时钟的比值。Sinc滤波器传递函数由累加器与微分器的传递函数之积确定，Z域内的表达式为：

$$H(z) = \left[\frac{1}{D} \times \frac{1 - z^{-D}}{1 - z^{-1}} \right]^O$$

PWM和SINC数据对齐

Sinc外设时钟和PWM本质上运行在同样的ADSP-CM403系统时钟下，典型值为100 MHz。PWM和Sinc可以同步以便提供数据，并且时间与速率恰好和控制算法一致。通常与PWM电平波形对齐。下图显示使用Sinc输入进

行电网同步所需时序的示例。当PWM运行在20 kHz (50 μs) 时，PWM_SYNC信号(同步不同DSP的PWM模块或外部PWM时需要用到该信号)位于PWM波形中央，几乎不发生切换。若要对齐Sinc数据，则AD7401A的时钟速率应设为10.24 MHz，并且抽取速率为256(见AD7401A数据手册)。这将产生40 KHz (50 μs)的16位字速率，两倍于PWM频率。由于Sinc还可设为与PWM_SYNC输出对齐(如下框图所示)，Sinc现在能在每个PWM周期内产生两个数据输出。输出字在SRAM中可用，位置在下一个PWM_SYNC信号位置处。显然，它说明Sinc数据可用于电网同步算法控制中。

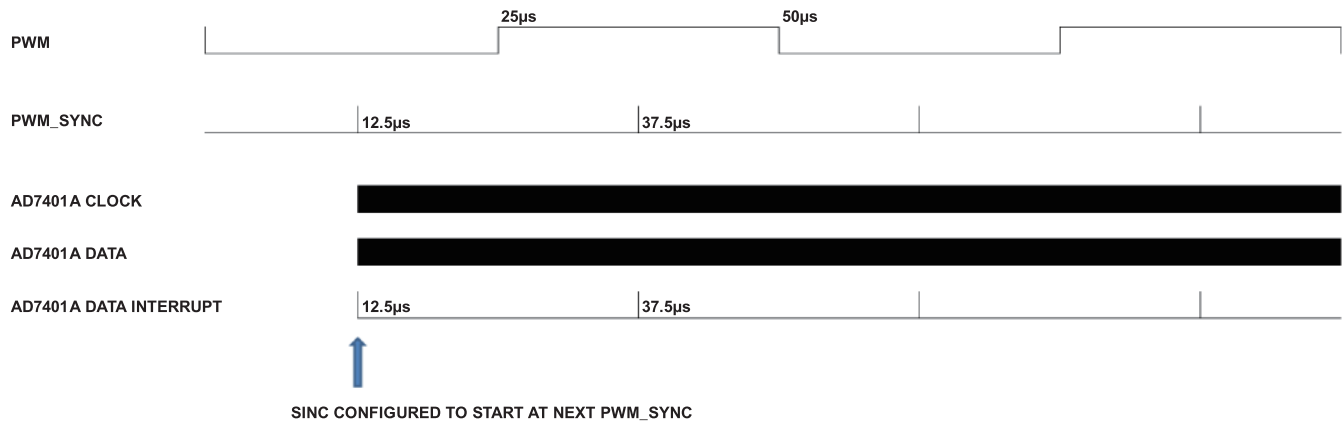


图7. PWM与Sinc外设对齐(ADSP-CM403)

编程示例

```

/* SPECIFY DECIMATION RATE OPTIONS */

/* 256 */
// RESULT = ADI_SINC_SETRATECONTROL (DEV, ADI_SINC_GROUP_0, ADI_SINC_FILTER_PRIMARY, DECRATE_256, 0);
// RESULT = ADI_SINC_SETLEVELCONTROL (DEV, ADI_SINC_GROUP_0, 0, 0, SAMPLECOUNT_INTRATE, PSCALE_256); // PCINT INT RATE

/* 128 */
RESULT = ADI_SINC_SETLEVELCONTROL (DEV, ADI_SINC_GROUP_0, 0, 0, SAMPLECOUNT_INTRATE, PSCALE_128); // PCINT INT RATE
RESULT = ADI_SINC_SETRATECONTROL (DEV, ADI_SINC_GROUP_0, ADI_SINC_FILTER_PRIMARY, DECRATE_128, 0);

/* 64 */
RESULT = ADI_SINC_SETLEVELCONTROL (DEV, ADI_SINC_GROUP_0, 0, 0, SAMPLECOUNT_INTRATE, PSCALE_64); // PCINT INT RATE
RESULT = ADI_SINC_SETRATECONTROL (DEV, ADI_SINC_GROUP_0, ADI_SINC_FILTER_PRIMARY, DECRATE_64, 0);

/* SET SECONDARY RATE CONTROL */
RESULT = ADI_SINC_SETRATECONTROL (DEV, ADI_SINC_GROUP_0, ADI_SINC_FILTER_SECONDARY, 8, 0);
RESULT = ADI_SINC_SETFILTERORDER (DEV, ADI_SINC_GROUP_0, ADI_SINC_FILTER_THIRD_ORDER, ADI_SINC_FILTER_THIRD_ORDER); RESULT = ADI_SINC_SETCIRCBUFFER(DEV, ADI_SINC_GROUP_0, SINC_CIRCBUFFER, CIRC_BUF_SIZE);

/* SET OVERLOAD AMPLITUDE DETECTION LIMITS TO 0 - FULLSCALE */
RESULT = ADI_SINC_SETAMPLITUDELIMIT (DEV, ADI_SINC_PAIR_0, 0X0000, 0XFFFF);
RESULT = ADI_SINC_SETAMPLITUDELIMIT (DEV, ADI_SINC_PAIR_1, 0X0000, 0XFFFF);
RESULT = ADI_SINC_SETAMPLITUDELIMIT (DEV, ADI_SINC_PAIR_2, 0X0000, 0XFFFF);
RESULT = ADI_SINC_SETAMPLITUDELIMIT (DEV, ADI_SINC_PAIR_3, 0X0000, 0XFFFF);

/* SPECIFY MODULATOR CLOCK FREQUENCY, PHASE & STARTUP SYNCHRONIZATION */
RESULT = ADI_SINC_CONFIGMODCLOCK (DEV, ADI_SINC_GROUP_0, FSYSCLK, MODCLK, 0, FALSE); // UP TO 20MHZ

/* IT'S THE SAME CLOCK AS THE PWM - SO PWM AND SINC ARE SYNCHRONOUS */
RESULT = ADI_SINC_ENABLEMODCLOCK (DEV, ADI_SINC_GROUP_0, ADI_SINC_MOD_CLK_IMMEDIATE);

/* ASSIGN BUFFERS TO RECEIVE SINC DATA - AUTOMATICALLY DMA'D INTO SRAM IN THE ADSP-CM403 */
RESULT = ADI_SINC_SUBMITBUFFER(DEV, ADI_SINC_GROUP_0, SINC_DATA0, NUM_SAMPLES);

/* ROUTE THE TRU INTERRUPT */
RESULT = ADI_SINC_ENABLEDATAINTERRUPT (DEV, ADI_SINC_GROUP_0, ADI_SINC_DATA_INT_0, TRUE);

/* ENABLE & ASSIGN USED SINC FILTER PAIR, AND SPECIFY INTERRUPT MASKS */
RESULT = ADI_SINC_SETCONTROLINTMASK (DEV, ADI_SINC_INT_EPCNT0|ADI_SINC_INT_EFOVF0|ADI_SINC_INT_EPCNT1|ADI_SINC_INT_EFOVF1);
RESULT = ADI_SINC_ENABLEPAIR(DEV, ADI_SINC_PAIR_0, ADI_SINC_GROUP_0, TRUE); // ACV_EXTERNAL
RESULT = ADI_SINC_ENABLEPAIR(DEV, ADI_SINC_PAIR_1, ADI_SINC_GROUP_0, TRUE); // ACV_INTERNAL
RESULT = ADI_SINC_ENABLEPAIR(DEV, ADI_SINC_PAIR_2, ADI_SINC_GROUP_0, TRUE); // DC LINK
RESULT = ADI_SINC_ENABLEPAIR(DEV, ADI_SINC_PAIR_3, ADI_SINC_GROUP_0, TRUE); // AC_CURRENT

/* WAIT AND READ FULL SINE WAVE INTO SRAM - START NEAR AC CROSSOVER */
DO
{
    PWM_SINC_LOOP=0;
    GET_ADC_DATA_PWM();
}
WHILE ((SINC_VEXT_DATA[0] > 50) || (SINC_VEXT_DATA[0] < -50)); // START SINC AT 0 V MEASUREMENT - ALIGNS WITH SINEWAVE.

```

ADSP-CM403 HAE在太阳能应用中的谐波分析

作者: Martin Murnane

ADI太阳能光伏发电系统

martin.murnane@analog.com

简介

太阳能光伏逆变器转换来自太阳能面板的电并高效地将其部署到公用电网中。早期太阳能PV逆变器只是将电能转储到公用电网的模块。但是,新设计要求太阳能光伏逆变器对电网的稳定性作出贡献。

本文将回顾最新的ADI技术如何以HAE(谐波分析引擎)的方式改善智能电网的集成度,并监控电网上的电源质量,从而极大地增强电网稳定。

智能电网

什么是智能电网? IMS Research将智能电网定义为“一种自身能够高效匹配和管理发电和用电并可最大程度地利用各种可用资源的公用供电基础设施”。若要将新一代太阳能光伏逆变器接入智能电网,则逆变器需要越来越高的智能程度才能实现。这本身就是一个难题,主要是因为当电力需求在别处时,此处却连接了过多的电网,从而发生不平衡。基于这个原因,如前文所述,太阳能光伏逆变器需要具备更高的智能程度,并且这种智能应侧重于电网集成,其中系统需协助稳定电网,而非作为电网的一个简单电源使用。

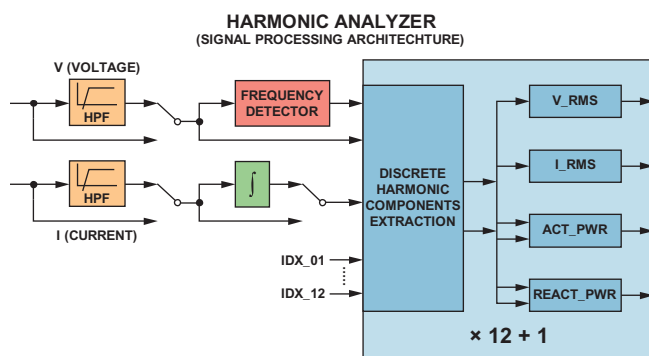


图1. ADSP-CM403 HAE框图(ADI公司)

这要求更好地对注入电网的电进行测量、控制和质量分析。当然,这会促成新指令的发布以及更高的技术要求,进而直接导致新技术的产生。

ADSP-CM403XY HAE外设模块

HAE模块本质上是一个数字PLL,其简化原理图如下图所示。HAE连续接收V和I数据,并且数个周期后将锁定至输入波形的基波。HAE模块的输入范围为45 Hz至66 Hz。最多可分析40个谐波,每次12个。对于每个谐波,PLL会试图锁定至所需的信号频率。

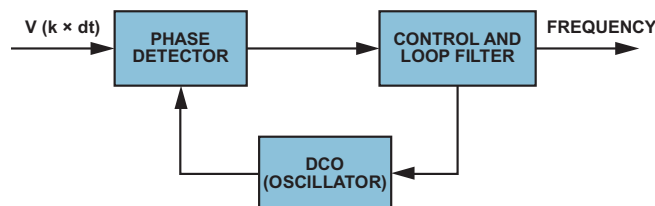


图2. HAE简化数字PLL

谐波引擎硬件模块与谐波分析仪共同处理结果。由于谐波引擎产生的结果为最终格式,这些结果数据保存在结果存储器中。HAE引擎在无衰减的2.8 kHz通带内计算谐波信息(相当于3.3 kHz的-3 dB带宽),用于45 Hz至66 Hz范围内的线路频率。

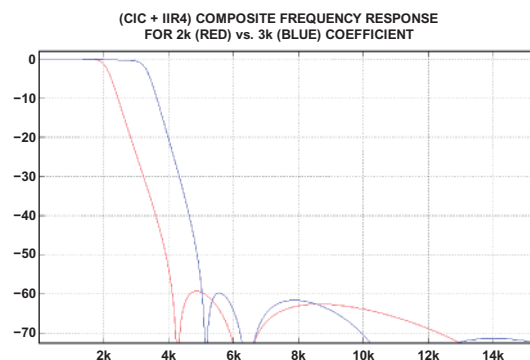


图3. HAE通带频率

同时可使用相电流和来分析零线电流。在新采样周期的最初时刻,谐波引擎在含有数据RAM内的预定义位置循环,该数据RAM含有分析仪处理结果。若有需要,内容可进一步处理。

电压和电流数据可来自Sinc模块或ADC(两者均存储在SRAM中),并输入至HAE模块,速率为8 kHz。该速率下可产生一个中断,提示太阳能光伏逆变器输入可用数据。进行数据分析并执行下列计算时,HAE模块将产生另一次中断,提示太阳能光伏系统准备显示谐波分析数据。ADSP-CM403还可将HAE至DMA的全部结果数据直接传输至SRAM,之后系统代码便可显示结果。这会导致整个HAE系统的少许代码开销。

ADSP-CM403XY HAE结果

图4中的HAE结果清楚表明观察电压均方根数据时,系统中存在哪些谐波。图中50 Hz基波清晰可见,但250 Hz和350 Hz处的较低谐波(如谐波5和7)亦可在本示例结果中看到。

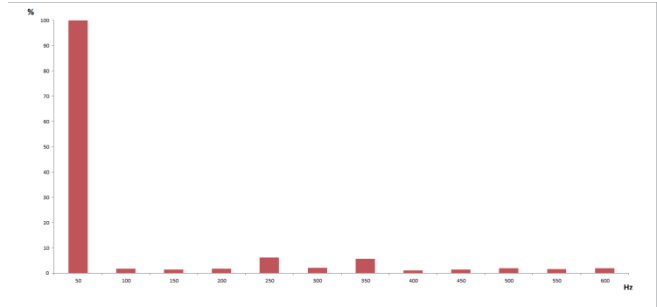


图4. HAE的 V_{rms} 示例结果(谐波1-12)

这些计算中采用的特定等式如下所示;下列等式同时适用于基波和谐波计算。

表1. HAE数学计算

Harmonic Engine Outputs and Registers where Values are Stored

Quantity	Definition	HAE Registers
RMS of the Fundamental Component	V_1, I_1	F_VRMS, F_IRMS
RMS of a Harmonic Component	$V_n, I_n, n = 2, 3, \dots, 12$	Hnn_VRMS, Hnn_XIRMS
Active Power of the Fundamental Component	$P_1 = V_1 I_1 \cos(\phi_1 - \gamma_1)$	F_ACT
Active Power of a Harmonic Component	$P_n = V_n I_n \cos(\phi_n - \gamma_n), n = 2, 3, \dots, 12$	Fnn_ACT
Reactive Power of the Fundamental Component	$Q_1 = V_1 I_1 \sin(\phi_1 - \gamma_1)$	F_REACT
Reactive Power of a Harmonic Component	$Q_n = V_n I_n \sin(\phi_n - \gamma_n), n = 2, 3, \dots, 12$	Hnn_REACT
Apparent Power of the Fundamental Component	$S_1 = V_1 I_1$	F_APP
Apparent Power of a Harmonic Component	$S_n = V_n I_n, n = 2, 3, \dots, 12$	Hnn_APP
Power Factor of the Fundamental Component	$pf_1 = \text{sgn}(Q_1) \times \frac{P_1}{S_1}$	F_PF
Power Factor of a Harmonic Component	$pf_n = \text{sgn}(Q_n) \times \frac{P_n}{S_n}, n = 2, 3, \dots, 12$	Hnn_PF
Harmonic Distortion of a Harmonic Component	$HD_{V_n} = \frac{V_n}{V_1}, HD_{I_n} = \frac{I_n}{I_1}, n = 2, 3, \dots, 12$	Hnn_VHDN, Hnn_IHDN

编程示例

```

INT HAE_CONFIG(VOID)
{
    INT I;

    HAE_INPUT_DATA(VOUTPUT, SINC_VEXT_DATA);
    HAE_INPUT_DATA(IOUTPUT, SINC_IMEAS_DATA);

    RESULT = ADI_HAE_OPEN(DEVNUM, DEVMEMORY, MEMORY_SIZE, &DEV);
    RESULT = ADI_HAE_REGISTERCALLBACK(DEV, HAECALLBACK, 0);
    RESULT = ADI_HAE_SELECTLINEFREQ(DEV, ADI_HAE_LINE_FREQ_50);
    RESULT = ADI_HAE_CONFIGRESULTS(DEV, ADI_HAE_RESULT_MODE_IMMEDIATE, ADI_HAE_SETTLE_TIME_512, ADI_HAE_UPDATE_RATE_128000);
    RESULT = ADI_HAE_SETVOLTAGELEVEL(DEV, 1.0);
    RESULT = ADI_HAE_ENABLEINPUTPROCESSING(DEV, FALSE, FALSE); /* FILTER ENABLED */
    /* ENABLE ALL HARMONICS (IN ORDER) */
    RESULT = ADI_HAE_HARMONICINDEX(DEV, ADI_HAE_HARMONIC_INDEX_1, 1);
    RESULT = ADI_HAE_HARMONICINDEX(DEV, ADI_HAE_HARMONIC_INDEX_2, 2);
    RESULT = ADI_HAE_HARMONICINDEX(DEV, ADI_HAE_HARMONIC_INDEX_3, 3);
    RESULT = ADI_HAE_HARMONICINDEX(DEV, ADI_HAE_HARMONIC_INDEX_4, 4);
    RESULT = ADI_HAE_HARMONICINDEX(DEV, ADI_HAE_HARMONIC_INDEX_5, 5);
    RESULT = ADI_HAE_HARMONICINDEX(DEV, ADI_HAE_HARMONIC_INDEX_6, 6);
    RESULT = ADI_HAE_HARMONICINDEX(DEV, ADI_HAE_HARMONIC_INDEX_7, 7);
    RESULT = ADI_HAE_HARMONICINDEX(DEV, ADI_HAE_HARMONIC_INDEX_8, 8);
    RESULT = ADI_HAE_HARMONICINDEX(DEV, ADI_HAE_HARMONIC_INDEX_9, 9);
    RESULT = ADI_HAE_HARMONICINDEX(DEV, ADI_HAE_HARMONIC_INDEX_10, 10);
    RESULT = ADI_HAE_HARMONICINDEX(DEV, ADI_HAE_HARMONIC_INDEX_11, 11);
    RESULT = ADI_HAE_HARMONICINDEX(DEV, ADI_HAE_HARMONIC_INDEX_12, 12);

    RESULT = ADI_HAE_SUBMITTXBUFFER(DEV, &TXBUFFER1[0], sizeof(TXBUFFER1));
    RESULT = ADI_HAE_SUBMITTXBUFFER(DEV, &TXBUFFER2[0], sizeof(TXBUFFER2));
    RESULT = ADI_HAE_ENABLEINTERRUPT(DEV, ADI_HAE_INT_RX, TRUE);
    RESULT = ADI_HAE_ENABLEINTERRUPT(DEV, ADI_HAE_INT_TX, TRUE);
    RESULT = ADI_HAE_CONFIGSAMPLEDIVIDER(DEV, 100000000);
    RESULT = ADI_HAE_RUN(DEV, TRUE);
    // RESULT = ADI_HAE_CLOSE(DEV);
}

/* EVENTS */
VOID HAECALLBACK(VOID* HANDLE, UINT32_T EVENT, VOID* PARG) /* ISR ROUTINE TO LOAD / UNLOAD DATA FROM HAE */
{
    UINT32_T N;
    ADI_HAE_EVENT_EEVENT = (ADI_HAE_EVENT)EVENT; /* RESULTS RECEIVED FROM HAE 128MS */
    IF (EEVENT == ADI_HAE_EVENT_RESULTS_READY)
    {
        /* GET RESULTS */
        PRESULTS = (ADI_HAE_RESULT_STRUCT*)PARG; /* POINTER TO TXBUFFER1 OR TXBUFFER2 */
        /* DO SOMETHING WITH THE RESULTS */
        FOR (N=0; N<NUM_CHANNELS; N++)
        {
            IRMS[N] = PRESULTS[N].IRMS;

            VRMS[N] = PRESULTS[N].VRMS;
            ACTIVEPWR[N] = PRESULTS[N].ACTIVEPWR;
        }
        /* TRANSMIT INPUT SAMPLES TO HAE - 8KHZ */
    }
    IF (EEVENT == ADI_HAE_EVENT_INPUT_SAMPLE)
    {
        /* FIND LATENTS SAMPLES FROM SINC BUFFER. */
        ADI_HAE_INPUTSAMPLE(DEV, (SINC_IMEAS_DATA[PWM_SINC_LOOP]), (SINC_VEXT_DATA[PWM_SINC_LOOP]));
        INDEX++;
        IF (INDEX >= NUM_SAMPLES) INDEX = 0;
    }
    COUNT++;
}

```

并网光伏逆变器 隔离的集成

作者: Baoxing Chen,
ADI公司研究员

内容提要

过去几年, 光伏(PV)产业飞速发展, 其动力主要来自居高不下的油价和环境忧虑。然而, PV成本仍然是妨碍其进一步扩张的最大障碍, 要与传统的煤电相竞争, 必须进一步降低成本。在太阳能电池板以外, 电子元件(如PV逆变器)是导致高成本的主要元件。出于安全和可行性考虑, 并网PV转换器把获得的直流与交流网相隔离。隔离的作用通常是满足安全法规的要求, 防止直流注入交流网, 因为结果可能会影响配电变压器和传统的瓦特小时电表。诸如光耦合器一类的传统隔离解决方案无法满足PV电池板25年的典型担保要求。同时, 微逆变器逐渐占据主流, 因为这种器件不但可以提高系统可用性, 而且能够大幅提升遮光条件下的性能。在这些情况下, PV逆变器安装在PV电池板的后部, 那里的高温可能加速光耦合器的性能下降。本文旨在讨论PV逆变器中的信号和电源隔离需求, 探讨如何利用微变压器集成隔离功能以提高系统性能和可靠性、降低系统尺寸和成本。

市场上主要有两类PV逆变器, 即无变压器逆变器和变压器隔离逆变器。无变压器逆变器可能会受到大接地漏电流和注入的直流的影响, 因为PV电池板与交流网之间存在很大的电池板电容而且缺少隔离, 如图1(a)所示。如果有直流组分注入电网中的交流电流中, 这种情况是应该避免的, 因为结果可能导致配电变压器饱和。许多安全标准对电网中注入的直流电流量进行了严格的规定, 有些情况下, 必须对变压器进行隔离。在电池板与电网之间采用变压器隔离技术可以消除因电池板相对于电网的电压差而产生的直流注入路径, 如图1(b)所示。除直流注入以外, 并

网逆变器还需满足电网的其他要求, 比如总谐波失真和单谐波电流水平、功率系数以及孤网运行情况的检测等。电网电压和注入电网的电流必须精确监控。如果用于执行MPPT和栅极驱动功能的控制器位于电池板一端, 则必须将这些测量值隔离开来。为了使PV电池板发挥最大效率, 需要采用最大功率点跟踪(MPPT)算法。为了实现MPPT, 还需监控电池板电压和电流。当人们尝试串联多个PV逆变器以减少所需逆变器的数量时, 电池板电压可能变得非常高。从PV电池板高边端进行的电流测量也需要隔离。

除了隔离电流和电压测量以外, 还需要RS-485、RS-232和CAN等接口功能。RS-485或RS-232一般用于面向这些PV逆变器的通信, 以获得实时的性能数据, 而通信总线则需要进行隔离, 因为总线需要传输较长的距离, 同时也是出于安全考虑。对于通信距离较短时, 也可使用隔离CAN。这些收发器也需要把隔离电源从电池板一端抽取至总线一端。

传统上, 隔离是由光耦合器实现的。然而, 光耦合器的电流传输功能会随着时间而下降, 可能几年后就无法运行, 远远低于许多太阳能电池板提供的20年寿命担保。这里, 我们建议使用基于微变压器的信号和电源隔离法, 这种方法可以满足PV逆变器中存在的多种集成需求。这种方法不但可以克服光耦合器的性能下降缺陷, 而且允许集成ADC之类的检测功能或者RS-485或RS-232收发器之类的接口功能。另外, 该方法可以提供隔离电源用以驱动这些检测IC、隔离收发器或者隔离栅极驱动器。基于光耦合器的栅极驱动器则耗电量大, 时序特性也非常不稳定。基于微变压器的栅极驱动器不但功耗更低, 而且可以具有匹配性更好的栅极驱动器时序特性, 可以显著提高系统的总功率转换效率。隔离的信号和电源集成也可大幅减少元件数量, 从而降低系统成本、提高可靠性。

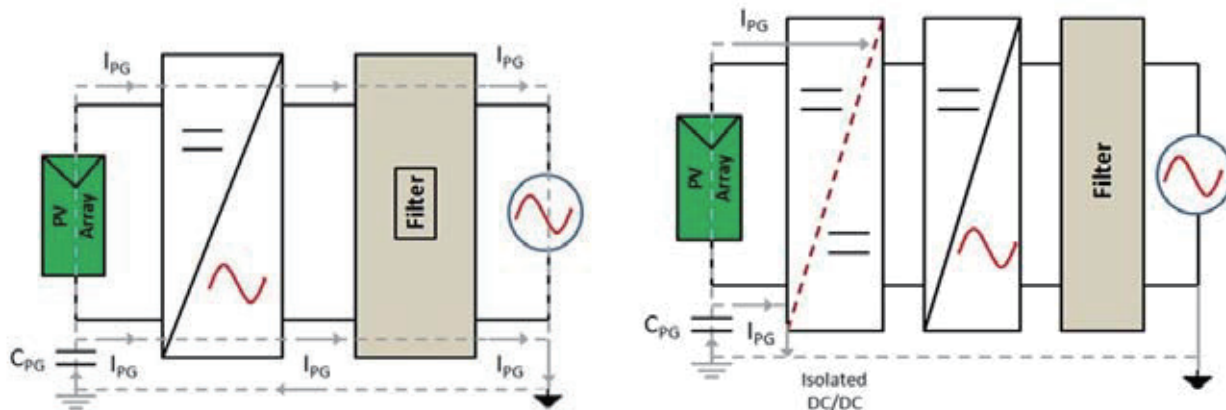


图1. (a) 非隔离逆变器下电网中的直流注入 (b) 通过隔离阻断直流注入

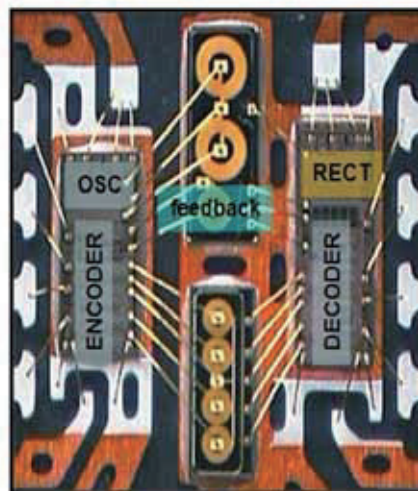
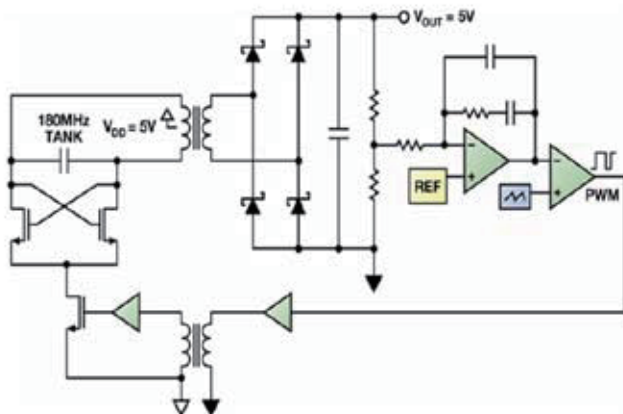


图2. (a) 隔离DC-DC逆变器原理图 (b) 4通道隔离器、500 mW隔离电源下的封装方案

用微变压器实现信号和电源隔离

微变压器可以用于提供集成的信号和电源隔离，最大额定值为5 kV rms [1]。对于信号传输，输入数据通常在编码之后再传输给数据变压器原边。副边则通过解码来还原信号。输入与输出之间的隔离通过初级线圈与次级线圈之间的绝缘层来实现。为了在隔离之间实现高效的电源传输，用一个自振高频振荡器来驱动电源变压器的原边，同时用高频肖特基二极管来提供整流直流电压。调节由次级控制器产生的PWM完成，该PWM通过一个反馈变压器以远低

于振荡频率的频率来开启和关闭振荡器，如图2(a)所示。通过反馈变压器的反馈信号的工作方式与通过数据变压器的其他数据通道信号相同。当为能量转换和反馈设置不同的控制路径时，可以优化能量转换效率，同时维持调节的稳定性。图2(b)展示的是带四个独立的隔离数据通道的500 mW隔离dc-dc转换器。

在本例中，变压器由两个独立的芯片构成，一个是编码器（即原边芯片），另一个是解码器（即副边芯片）。然而，这主要是出于成本原因考虑，而在理论上，变压器是可以利用其中一个IC芯片构建的。栅极驱动器、收发器、ADC等额外电路功能全部都可以集成进来。

PV逆变器中的隔离集成

图3所示为一个典型的3级并网PV逆变器。第1级是一个可选的升压转换器，用于提高电池板电压，该电压然后再通过隔离dc-dc转换器级。该隔离dc-dc转换器包括一个通过高频变压器的全桥dc-ac转换功能。该高频变压器具有尺寸小、效率高的优势。副边的交流被整流成通常高于电网峰值电压的直流电压。整流形成的直流再通过第3逆变器级转换成电网线路频率。需要检测电池板输出电压和电流，并将其馈入一个微控制器，以执行最大功率传输跟踪（MPPT）算法。同时，该微控制器还负责控制隔离dc-dc和输出逆变器的栅极驱动器。输出逆变器位于电网一端，其接地电压与直流电池板接地电压不同，从微控制器到逆变器驱动级的通信需要隔离。通常需要四个光耦合器，但它们的功耗较高，其较大的传播延迟也可能影响栅极驱动器的时序精度，从而影响到逆变器的效率，而且最重要的是，它们难以支持PV电池板20至25年的担保寿命。另一方面，基于微变压器的隔离器[1, 2]功耗要低得多，传播延迟要短得多，而且性能不会随时间而下降。另外，多通道隔

离器也可以与片上DC-DC转换器集成，以便为栅极驱动器提供隔离电源。在逆变器输出与并网之间用继电器来确保逆变器输出频率和相位与市电电压同步，同时，还能在电网发生故障时或者在市电电压或频率超过可接受限值时迅速断开，从而实现防孤岛保护。在电网一端需要电压检测功能以检测零交越，同时也需要电流检测功能，以确保负载中馈入的是正弦波电流。检测信息可以通过隔离ADC传送给控制器。隔离ADC集成一个16位二阶 Σ - Δ 调制器和基于微变压器的数字隔离功能，能够实现3.75 kV的隔离，是分流电流检测的理想之选。电流变压器也可用于电流检测，但它们价格昂贵、体积庞大，而且可能对外部磁场非常敏感。也可以使用霍尔效应检测器，但它们在非线性度和失调方面先天不足，结果会影响到电流测量值的精度。分流与集成隔离ADC一起形成一种可靠的低成本替代方案。隔离ADC在电网一端也需要隔离电源以驱动自己，同时，可以集成基于微变压器的隔离DC-DC，从而省去使用分立式DC-DC转换器的诸多麻烦。当需要PLC通信时，电网端的PLC芯片可以由隔离DC-DC来驱动，而其与电池板一端的控制器的通信则通过一个多通道隔离器来实现。

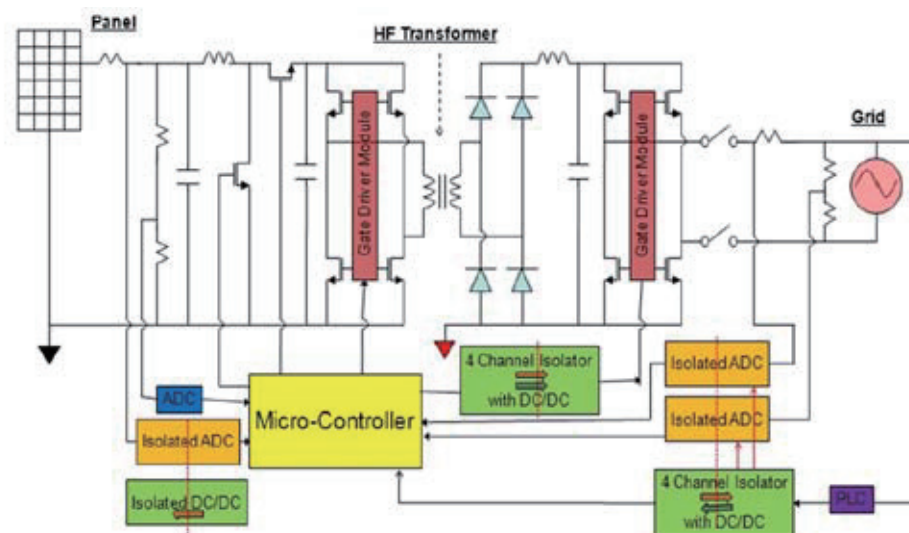


图3. 3级PV逆变器的隔离方案

基于微变压器的隔离方法也可与高电流输出栅极驱动器集成，以形成全隔离半桥栅极驱动器。图4所示为一个并网PV逆变器的示例栅极驱动方案。对于原边的DC-AC全桥开关，通常没有必要为低端栅极驱动器(尤其是低功耗逆变器)设置隔离。对于两个高端开关，具有4 A驱动能力的2通道1 kV隔离驱动器就能胜任工作。逆变器开关位于交流端，因此，低端和高端都需要隔离栅极驱动器。

要使直流端的微控制器与交流端的逆变器直接通信，通常需要2.5 kV或5 kV隔离栅极驱动器。低端栅极驱动器可以由集成的DC-DC驱动(其动力来自电池板一端)，而高端电源则可通过自举解决方案来提供。

每个半桥栅极驱动器均由3向隔离构成，即是说，输入与输出之间存在隔离，两个输出之间也有隔离。输入到输出的隔离通过片上变压器提供。图5(a)是1 kV栅极驱动器的变压器结构，图5(b)是5 kV栅极驱动器的变压器结构。1 kV半

桥栅极驱动器以三芯片单封装实现，包括一个输入芯片和两个相同的栅极驱动器芯片。

两个1 kV变压器(如图5(a)所示)在输入芯片上实现，两个栅极驱动器输出各一个。输入与底部线圈相连，底部线圈与顶部线圈之间由2.64 μm 厚的氧化物隔离，而顶部线圈相互之间则通过横向氧化物来实现隔离。这两个栅极驱动器芯片位于自己的分片焊盘上，并通过与[2]类似的芯片间焊线与输入芯片处的顶部线圈相连。5 kV栅极驱动器实现方法与此相似，只是顶部线圈与底部线圈之间是通过20 mm厚的聚酰亚胺材料进行隔离的。

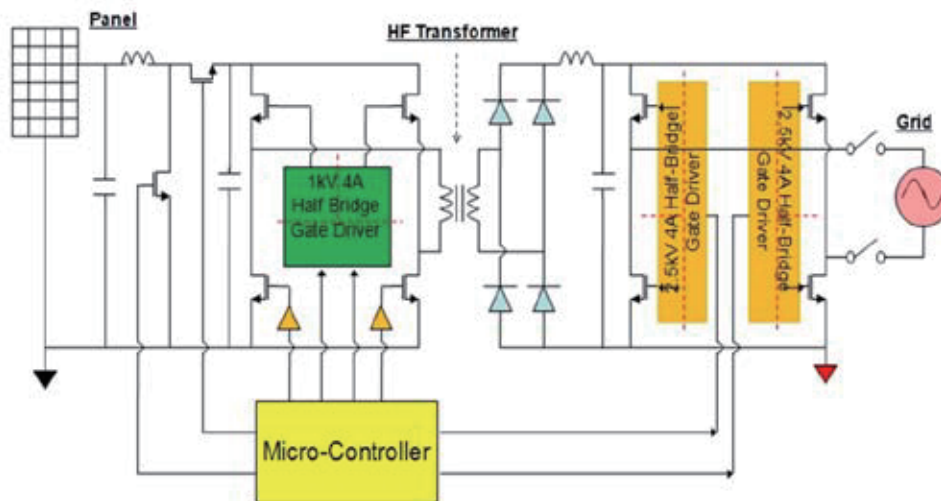


图4. 3级PV逆变器的栅极驱动器实现方案

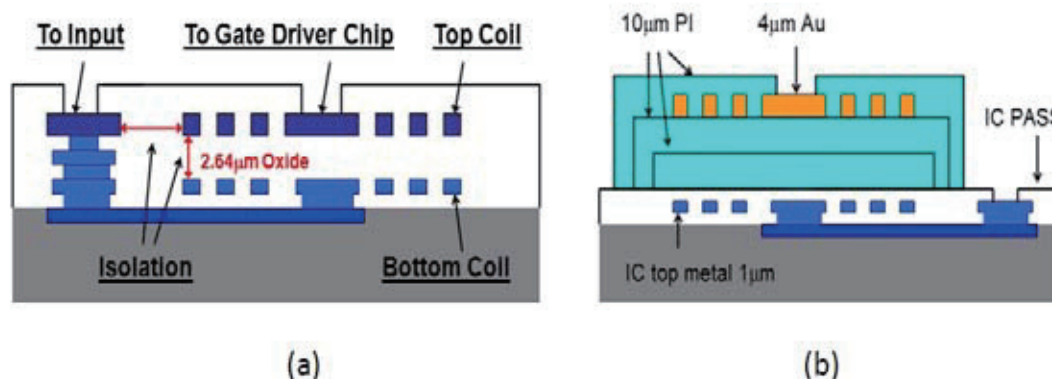


图5. 变压器结构 (a) 1 kV栅极驱动器 (b) 2.5 kV栅极驱动器

对于多逆变器并联系统(如串式逆变器), 逆变器之间也需要通信, 这一般是通过RS-485总线、RS-232总线或者CAN总线(需要隔离时)实现的。自驱动隔离收发器将能够从电池板端获得总线端所需要的电源。

微逆变器也开始受到人们的青睐, 因为它们有助于提升系统的可靠性和性能。它们还有利于解决串式逆变器存在的潜在直流电弧问题。微逆变器一般安装在楼顶电池板的下方, 这种条件下的环境温度可能非常高。高温会加快光耦合器中LED性能的下降; 另一方面, 基于微变压器的隔离方法, 其性能不会随时间而下降, 在这些极端条件下表现卓越。微逆变器可以使用单级逆变器而非全三级逆变器, 以降低系统成本。每个微逆变器的功耗可能仅仅为两三百瓦特, 在这一功耗水平下, 隔离集成法为降低系统成本、提升系统可靠性带来了许多系统集成机会。

结论

基于微变压器的隔离集成方法是满足并网PV逆变器、中央逆变器或微逆变器的隔离需求的理想解决方案。其集成式信号和电源隔离能力可以大幅减少元件数量, 提高系统可靠性和使用寿命, 同时, 其精密的栅极驱动时序特性则可能进一步提高逆变器的效率。利用基于微变压器的隔离ADC, 可以对电网电流和电压进行更加准确的测量, 结果给电网带来高品质的单位功率系数正弦电流。

参考文献

1. B. Chen “使用微变压器的完全集成式隔离DC/DC转换器”, 第23届年度IEEE应用电源电子会议会刊, 第335页至338页, 2008年2月。
2. B. Chen “集成高端电源的隔离式半桥栅极驱动器”, 第39届IEEE电源电子专家会议会刊, 第3615页至3618页, 2009年6月。

GSPS数据转换器拯救电子监控与对抗系统！

作者：Duncan Bosworth，ADI公司产品营销工程师

频谱拥堵、更高工作频率和更复杂的波形，给电子监控与对抗系统带来层出不穷的问题，需要侦测的带宽越来越大，检测灵敏度要求也越来越高。随着这些系统越来越多的功能通过数字域实现，上述带宽和灵敏度两个因素，加上成本，直接把高速模数转换器(ADC)的性能推向极限，常常使ADC成为系统的局限所在。但是，新一代高速ADC的性能达到了前所未有的水平，可提供一些系统级解决方案来应对这些挑战。

现代监控系统的基本架构如图1所示，它包括三个基本功能：

- 射频/微波调谐器
- 数字化仪—ADC及相关的放大器和缓冲器
- 快速傅里叶变换和数字信号处理

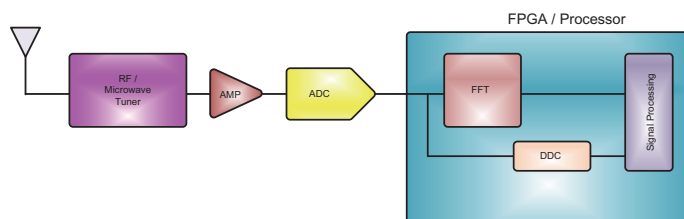


图1. 监控系统基本架构

很多情况下，当系统架构面临难题时，高速ADC性能——从模拟域到数字域的转换——就成为系统的限制因素。成本和系统尺寸最小化无疑是极其重要的，但系统设计师还必须思考如何最佳地平衡提高瞬时监控带宽的需求(以便最大程度地提高拦截概率)，以及如何将带内高功率信号降低系统灵敏度的影响最小化。

关于如何达到系统指标和已确定的取舍要求，ADC的采样速率和无杂散动态范围(SFDR)通常是影响决策的两大主要因素。转换器的采样速率决定奈奎斯特频段，进而决定个别转换器的最大可观测带宽；SFDR决定可检测的信号电平。虽然噪声频谱密度可能也需要考虑，但在多数情况下，ADC的噪底远低于杂散水平，而且从系统运行角度看，数字化过程中产生的杂散与频谱中进行数字化的低功率信号难以区分。因此，系统的灵敏度与SFDR直接相关，这样检测到假目标的可能性最低。

例如，考虑对两个连续波(CW)信号进行数字化处理，信号A是一个满量程输入，信号B的功率则低得多。作为目标信号的信号B与数字化信号A所产生的杂散可能难以区别，因为二者的电平相似。所以，信号B可能低于系统的检测电平，不会被标示为目标信号。

诸如此类的限制表明：利用具有超高线性度的ADC可实现最佳检测电平。然而，高线性度传统上是通过牺牲ADC采样速率来实现的，也就是说，以前没有高线性度GSPS转换器可用。为了方便讨论，本文考虑一个通用电子监控系统，但类似的系统架构权衡也适用于电子情报(ELINT)、信号情报(SIGINT)和通信情报(COMINT)。此类系统一般有三种不同系统架构可供考虑(参见图2)。

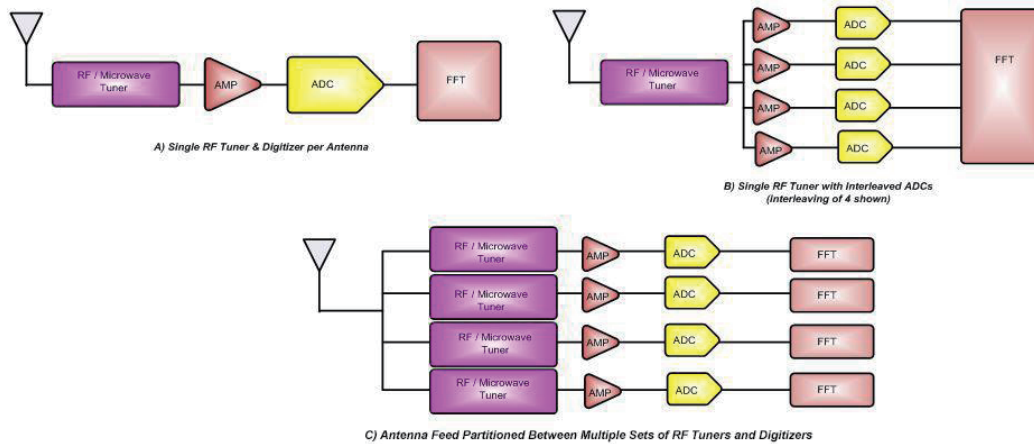


图2. 监控系统架构选项

图2A所示为最简单的系统。采用高线性度ADC，例如ADI公司的AD9265(其在70 MHz中频输入时具有93 dBc的SFDR和79 dBFS的信噪比(SNR)，这种架构可提供出色的灵敏度和检测性能，但最大采样速率只有125 MSPS。这是以瞬时带宽为代价而获得的，不考虑抗混叠滤波器时的最大瞬时带宽为62.5 MHz，通常要降低到40 MHz或更低。系统中只有一个转换器，系统成本很低，但射频调谐器不得不以40 MHz的步幅扫描整个射频带宽，这会降低拦截某些信号的概率。

为了提高带宽，一种显而易见的方法是交错使用多个高线性度、低采样速率的转换器，将其连接到单个宽带射频调谐器(图2B)，从而提高有效采样速率和瞬时带宽。例如，若交错使用8个AD9265 ADC，总有效采样速率将达到1 GSPS，支持的瞬时带宽接近500 MHz。射频调谐器只需以500 MHz的步幅扫描，因此射频频谱的侦测速度会快得多，拦截目标信号(尤其是捷变信号)的概率更高。另外，系统仅使用一个射频调谐器，与图2A相比，成本增加有限。

虽然这确实给射频调谐器带来更多难题(更宽的带宽带来的难题是要保持与前述架构相似的IP3和噪声性能)，但这种方法的主要不足是交错ADC方面的挑战。各转换器在增益、直流失调和相位方面的失配，需要通过校准从系统中消除或利用数字信号处理加以管理，但即便这样，SFDR、

噪底或带宽通常也会有一定的下降，导致此架构性能降低。对于监控带宽内的超高功率信号，系统可能不太敏感，使问题进一步恶化。500 MHz频段内任意地方的这种信号都要求降低射频和中频增益，从而限制了低功率信号的拦截概率。

最高性能的架构系如图2C所示，其中实现了多个并行射频与数字化仪子系统，如果同样使用AD9265，则可以同时观测到多个相邻40 MHz频段。让每个子系统偏移大约40 MHz(需要一些交叠)，可以提高瞬时带宽，但很显然，这是以系统成本为代价，系统成本与瞬时带宽成正比。与交错方法相比，这种架构的好处是无需通过校准或数字信号处理来消除交错引起的杂散。此外，该系统抑制高功率阻塞或干扰的能力更强，因为各40 MHz频段的射频/中频增益可以独立设置。

上述系统架构已在当今各种系统中采用，但如图中所示，每种架构在性能、成本，还有可能是尺寸上存在限制。然而，最新的GSPS ADC可能很快就会打破现状，这种ADC具备更高的线性度和嵌入式数字信号处理特性。AD9625和AD9680等新型ADC提供1.25 GSPS到2.5 GSPS的采样速率，SFDR高达85 dBc。表1列出了AD9265以及当前典型ADC和ADI公司新型GSPS ADC的一些重要性能。

表1. 高线性度低速ADC与过去和现在的GSPS ADC的对比

	ADI公司 AD9265 (125 MSPS)	以前的 典型产品 >2 GSPS ADC	ADI公司 AD9680 (1.0 GSPS)	ADI公司 AD9625 (2.5 GSPS)
采样速率 (MSPS)	125	>2000	1000	2500
模拟带宽 (MHz)	650	>3000	2000	3000
SFDR (dBc)	93	58	85	79
SNR (dBFS)	79	50	65.3	58.3
ENOB (bits)	12.8	8.0	10.8	9.2
IMD3 (dBc)	95	64	81	81.2

GSPS ADC的线性度比不上低采样速率的器件，但可以看出，差距正在缩小。使用单个GSPS ADC就能实现图2B所示的架构，同时不会有交错带来的缺点。此外，更高的线性度可提高检测灵敏度，并将干扰和阻塞的影响降至最小，缩小这种架构与图2C所示系统的性能差距，而且成本更低，尺寸更小。

然而，虽然这一方面能促成新系统架构的出现，但这些新器件更激动人心的方面是它们还能在转换器的模数转换级之后实现数字信号处理功能。65 nm CMOS工艺支持在转换器中实现更高速度的数字信号处理。例如，AD9625和AD9680均实现了数字下变频(DDC)功能，因而高速ADC可动态改变带宽——从全带宽到1000 MHz以上的数字化奈奎斯特频段内的可选子频段。在图3所示的架构中，2.5 GSPS、12位ADC AD9625带有嵌入式DSP选项。

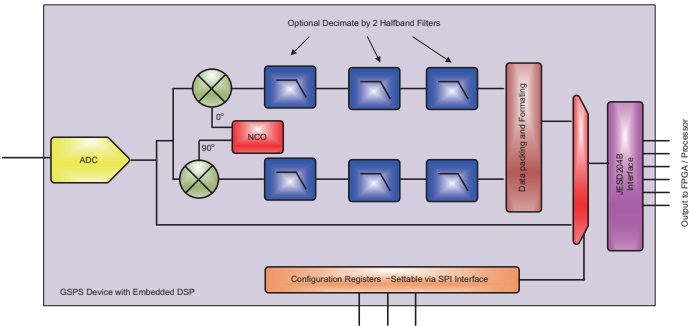


图3. 带可选且可旁路嵌入式数字下变频器的2.5 GSPS ADC

在宽带模式下，这种ADC支持以1 GHz步幅监控射频频谱，以便快速评估射频图景。一旦确定目标信号，便可将此数据引导至DDC。DDC使用数字控制振荡器(NCO)和滤波级，可从转换器奈奎斯特频段内的任何地方选择一个频段，并进行8倍或16倍的数字抽取，从而进一步抑制噪底。虽然这一功能可以在器件中转换器之后的数字信号处理级中轻松实现，但在ADC本身中执行有助于降低ADC的输出数据速率，更重要的是，可以降低传输功耗。因此，使用DDC时，系统功耗显著降低。

航空航天和防务系统持续重视缩减尺寸、重量和功耗(SWaP)，随着GSPS领域的高速转换器的线性度不断提高，系统架构师开始探索新的选项。把数字信号处理集成到高速转换器内部后，一系列选项和系统优化方法开始显露出来，现阶段因而成为新一代监控系统开发的一个令人兴奋的时期。

作者简介

Duncan Bosworth是ADI公司航空航天和防务产品部的营销工程师。他目前在公司位于美国马萨诸塞州威明顿市的部门工作，可通过电子邮件(duncan.bosworth@analog.com)与他联系。

什么是JESD204标准，为什么我们要重视它？

作者：Jonathan Harris，ADI公司应用工程师

一种新的转换器接口的使用率正在稳步上升，并且有望成为未来转换器的协议标准。这种新接口——JESD204——诞生于几年前，其作为转换器接口经过几次版本更新后越来越受瞩目，效率也更高。随着转换器分辨率和速度的提高，对于效率更高的接口的需求也随之增长。JESD204接口可提供这种高效率，较之其前代CMOS和LVDS产品在速度、尺寸和成本上更有优势。采用JESD204的设计拥有更快的接口带来的好处，能与转换器更快的采样速率同步。此外，引脚数量的减少使得封装尺寸更小且布线数量更少，这些都让电路板更容易设计并且整体系统成本更低。该标准可以方便地调整，从而满足未来需求。这从它已经历的两个版本的变化中即可看出。自从2006年发布以来，JESD204标准经过两次更新，目前版本为B。由于该标准已为更多的转换器供应商、用户以及FPGA制造商所采纳，它被细分并增加了新特性，提高了效率和实施的便利性。此标准既适用于模数转换器(ADC)也适用于数模转换器(DAC)，主要用做FPGA的通用接口(也可能用于ASIC)。

JESD204——它是什么？

2006年4月，JESD204最初版本发布。该版本描述了转换器和接收器(通常是FPGA或ASIC)之间数Gb的串行数据链路。在JESD204的最初版本中，串行数据链路被定义为一个或多个转换器和接收器之间的单串行通道。图1给出了图形说明。图中的通道代表M个转换器和接收器之间的物理接口，该接口由采用电流模式逻辑(CML)驱动器和接收器的差分对组成。所示链路是转换器和接收器之间的串行数据链路。帧时钟同时路由至转换器和接收器，并为设备间的JESD204链路提供时钟。

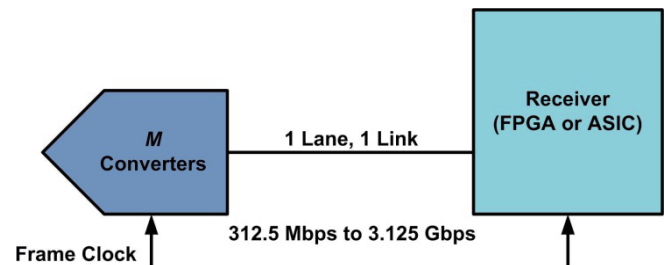


图1. JESD204最初标准

通道数据速率定义为312.5 Mbps与3.125 Gbps之间，源阻抗与负载阻抗定义为 $100\ \Omega \pm 20\%$ 。差分电平定义为标称800 mV峰峰值、共模电平范围从0.72 V至1.23 V。该链路利用8b/10b编码，采用嵌入式时钟，这样便无需路由额外的时钟线路，以及相关的高数据速率下传输的数据与额外的时钟信号对齐的复杂性。当JESD204标准开始受公众关注时，人们开始意识到该标准需要修订以支持多个转换器下的多路、对齐的串行通道，以满足转换器日益增长的速度和分辨率。

这种认识促成了2008年4月份JESD204第一个修订版的发布，即JESD204A。此修订版增加了支持多个转换器下的多路对齐串行通道的能力。该版本所支持的通道数据速率依然为312.5 Mbps至3.125 Gbps，另外还保留了帧时钟和电气接口规范。增加了对多路对齐串行通道的支持，可让高采样速率和高分辨率的转换器达到3.125 Gbps的最高支持数据速率。图2以图形表示JESD204A版本中增加的功能，即支持多通道。

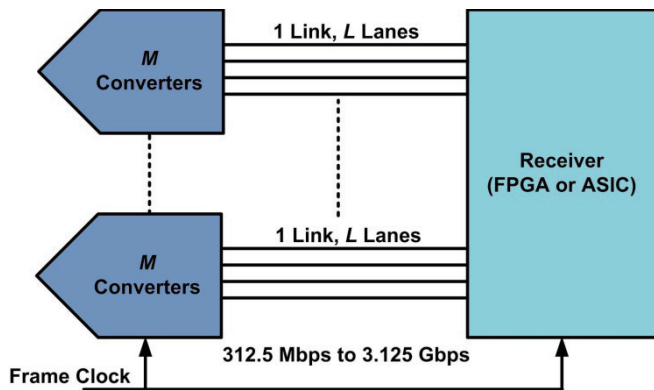


图2. 第一版 - JESD204A

虽然最初的JESD204标准和修订后的JESD204A标准在性能上都比老的接口标准要高，它们依然缺少一个关键因素。这一缺少的因素就是链路上串行数据的确延迟。对于转换器，当接收到信号时，若要正确重建模拟域采样信号，则关键是了解采样信号和其数字表示之间的时序关系(虽然这种情况是针对ADC而言，但DAC的情况类似)。该时序关系受转换器的延迟影响，对于ADC,它定义为输入信号采样边沿的时刻直至转换器输出数字这段时间内的时钟周期数。类似地，对于DAC，延迟定义为数字信号输入DAC的时刻直至模拟输出开始转变这段时间内的时钟周期数。JESD204及JESD204A标准中没有定义可确定性设置转换器延迟和串行数字输入/输出的功能。另外，转换器的速度和分辨率也不断提升。这些因素导致了该标准的第二个版本——JESD204B。

2011年7月，第二版本标准发布，称为JESD204B，即当前版本。修订后的标准中，其中一个重要方面就是加入了实现确定延迟的条款。另外，对数据速率的支持上升到了12.5 Gbps，并分成设备的不同速度等级。此修订版标准使用设备时钟作为主要时钟源，而不是像之前版本那样以帧时钟作为主时钟源。图3表示JESD204B版本中的新增功能。

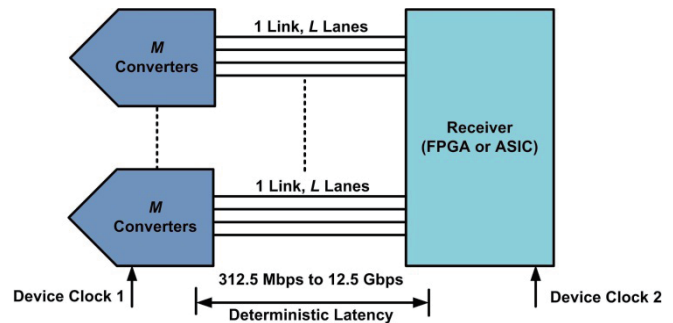


图3. 第二(当前)版 - JESD204B

在JESD204标准之前的两个版本中，没有确保通过接口的确定延迟相关的条款。JESD204B修订版通过提供一种机制，确保两个上电周期之间以及链路重新同步期间，延迟是可重现和确定性的。其工作机制之一是：在定义明确的时刻使用SYNC~输入信号，同时初始化所有通道中转换器最初的通道对齐序列。另一种机制是使用SYSREF信号——一种JESD204B定义的新信号。SYSREF信号作为主时序参考，通过每个发射器和接收器的设备时钟以及本地多帧时钟对齐所有内部分频器。这有助于确保通过系统的确定延迟。JESD204B规范定义了三种设备子类：子类0——不支持确定性延迟；子类1——使用SYSREF的确定性延迟；子类2——使用SYNC~的确定性延迟。子类0可与JESD204A链路做简单对比。子类1主要针对工作在500 MSPS或以上的转换器，而子类2y主要针对工作在500 MSPS以下的转换器。

除了确定延迟，JESD204B支持的通道数据速率上升到12.5 Gbps，并将设备划分为三个不同的速度等级：所有三个速度等级的源阻抗和负载阻抗相同，均定义为 $100\ \Omega \pm 20\%$ 。第一速度等级与JESD204和JESD204A标准定义的通道数据速率相同，即通道数据电气接口最高为3.125 Gbps。JESD204B的第二速度等级定义了通道数据速率最高为6.375 Gbps的电气接口。该速度等级将第一速度等级的最低差分电平从500 mV峰峰值降为400 mV峰峰值。JESD204B的第三速度等级定义了通道数据速率最高为12.5 Gbps的电气接口。该速度等级电气接口要求的最低差分电平降低至360 mV峰峰值。随着不同速度等级的通道数据速率的上升，通过降低所需驱动器的压摆率，使得所需最低差分电平也随之降低，以便物理实施更为简便。

为提供更多的灵活性，JESD204B版本采用设备时钟而非帧时钟。在之前的JESD204和JESD204A版本中，帧时钟是JESD204系统的绝对时间参照。帧时钟和转换器采样时钟通常是相同的。这样就没有足够的灵活性，而且当要将此同样的信号路由给多个设备并计数不同路由路径之间的偏斜时，就会对系统设计产生不必要的复杂性。JESD204B中，采用设备时钟作为JESD204系统每个元件的时间参照。每个转换器和接收器分别接收由时钟发生器电路产生的设备时钟，该发生器电路负责从同一个源产生所有设备的时钟。这让系统设计更加灵活，但需为每个给定设备指定帧时钟和设备时钟之间的关系。

JESD204——为什么我们要重视它？

就像几年前LVDS开始取代CMOS成为转换器数字接口技术的首选，JESD204有望在未来数年内以类似的方式发展。虽然CMOS技术目前还在使用中，但已基本被LVDS所取代。转换器的速度和分辨率以及对更低功耗的要求最终使得CMOS和LVDS将不再适合转换器。随着CMOS输出的数据速率提高，瞬态电流也会增大，导致更高的功耗。虽然LVDS的电流和功耗依然相对较为平坦，但接口可支持的最高速度受到了限制。这是由于驱动器架构以及众多数据线路都必须全部与某个数据时钟同步所导致的。图4显示一个双通道14位ADC的CMOS、LVDS和CML输出的不同功耗要求。

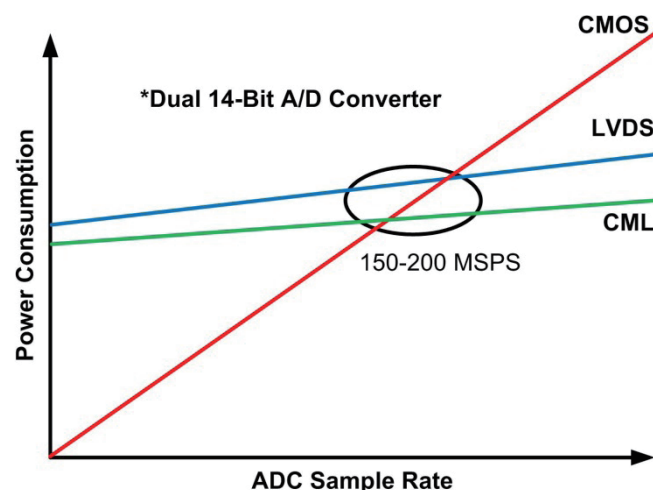


图4. CMOS、LVDS和CML驱动器功耗比较

在大约150 MSPS至200 MSPS和14位分辨率时，就功耗而言，CML输出驱动器的效率开始占优。CML的优点是：因为数据的串行化，所以对于给定的分辨率，它需要的输出对数少于LVDS和CMOS驱动器。JESD204B接口规范所说明的CML驱动器还有一个额外的优势，因为当采样速率提高并提升输出线路速率时，该规范要求降低峰峰值电压水平。同样，针对给定的转换器分辨率和采样率，所需的引脚数目也大为减少。表1显示采用200 MSPS转换器的三种不同接口各自的引脚数目，转换器具有各种通道数和位分辨率。在CMOS和LVDS输出中，数据用作每个通道数据的同步时钟，使用CML输出时，JESD204B数据传输的最大数据速率为4.0 Gbps。从该表中可以发现，使用CML驱动器的JESD204B优势十分明显，引脚数大为减少。

表1. 引脚数比较 – 200 MSPS ADC

通道数	分辨率	CMOS引脚数	LVDS引脚数(DDR)	CML引脚数(JESD204B)
1	12	13	14	2
2	12	26	28	4
4	12	52	56	8
8	12	104	112	16
1	14	15	16	2
2	14	30	32	4
4	14	60	64	8
8	14	120	128	16
1	16	17	18	2
2	16	34	36	4
4	16	68	72	8
8	16	136	144	16

业内领先的数据转换器供应商ADI预见到了推动转换器数字接口向JESD204(由JEDEC定义)发展的趋势。ADI自从初版JESD204规范发布之时起即参与标准的定义。截至目前为止, ADI发布了多款转换器产品, 兼容JESD204和JESD204A输出, 目前正在着手开发输出兼容JESD204B的产品。[AD9639](#)是一款四通道、12位、170 MSPS/210 MSPS ADC, 集成JESD204接口。[AD9644](#)和[AD9641](#)是14位、80 MSPS/155 MSPS、双通道/单通道ADC, 集成JESD204A接口。DAC这方面, 最近发布的[AD9128](#)是一款双通道、16位、1.25 GSPS DAC, 集成JESD204A接口。欲了解有关ADI公司兼容JESD204标准的更多产品, 请访问www.analog.com/cn/jesd204。

随着转换器速度和分辨率的提高, 对于效率更高的数字接口的需求也随之增长。随着JESD204串行数据接口的发明, 业界开始意识到了这点。接口规范依然在不断发展中, 以提供更优秀、更快速的方法将数据在转换器和FPGA(或ASIC)之间传输。接口经过两个版本的改进和实施, 以应对更高速度和分辨率转换器不断增长的需求。展望转换器数字接口的发展趋势, 显然JESD204有望成为数字接口至转换器的业界标准。每个修订版都满足了对于改进其实施的要求, 并允许标准演进以适应转换器技术的改变及由此带来的新需求。随着系统设计越来越复杂, 以

及对转换器性能要求的提高, JESD204标准应该可以进一步调整和演进, 满足新设计的需要。

参考文献

JEDEC标准: JESD204(2006年4月)。JEDEC固态技术协会, 网址www.jedec.org

JEDEC标准: JESD204A(2008年4月)。JEDEC固态技术协会, 网址www.jedec.org

JEDEC标准: JESD204B(2011年7月)。JEDEC固态技术协会, 网址www.jedec.org

作者简介

Jonathan Harris是ADI公司高速转换器部(北卡罗来纳州格林斯博罗)的一名产品应用工程师。作为一名产品支持应用工程师, 他在射频业拥有超过七年的经验。Jonathan在奥本大学和北卡罗来纳大学夏洛特分校分别获得电子工程硕士(MSEE)和电子工程学士(BSEE)学位。联系方式: jonathan.harris@analog.com

数字需求：高速ADC和雷达系统的挑战与解决方案

Duncan Bosworth, ADI公司

现代高级雷达系统受到多方面的挑战，人们提出了额外的一些运行要求，包括需要支持多功能处理和动态模式调整。此外，频率分配上的最新变化导致许多雷达系统的工作频率非常接近通信基础设施和其他频谱要求极高的系统。未来的频谱拥塞状况预期会更严重，问题将恶化到雷达系统需要在运行时进行调整以适应环境和运行要求，这使得雷达系统需要向认知化和数字化发展。

更多数字信号处理的需求推动雷达信号链要尽早向数字化过渡，使得模数转换器(ADC)更靠近天线，这进而又会带来若干具挑战性的系统层面难题。为了更深入地讨论这个问题，图1显示了目前典型的X波段雷达系统的高层次概略图。该系统通常使用两个模拟混频级。第一级将脉冲式雷达回波混频至约1 GHz频率，第二级混频至100至200 MHz的中频(IF)，以便能够利用200 MSPS或更低的模数转换器对信号进行12位或更高分辨率的采样。

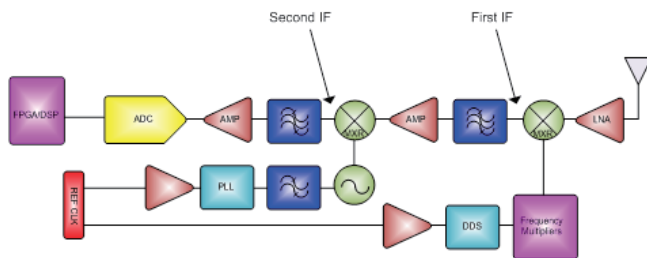


图1. 使用第一和第二中频(IF)的雷达接收机架构示例

在该架构中，频率捷变和脉冲压缩等功能可在模拟域中实现，这可能需要对信号处理进行一些更改和调整，但大体而言，系统功能受限于数字化速率。应当注意，即使以200 MSPS的数据速率进行采样，雷达处理也能向前跨进一大步，但我们正在向新的阶段突破，步子必须再迈大一点，实现全数字化雷达。

近年来，每秒千兆采样(GSPS) ADC已将系统中的数字化点推进到第一混频级之后，使得数字化转变更接近天线。模拟带宽超过1.5 GHz的GSPS转换器已然能够支持第一中频的数字化，但在许多情况下，当前GSPS ADC的性能限制了这种解决方案的接受程度，因为器件的线性度和噪声频谱密度不满足系统要求。

另外，**高速ADC**与数字信号处理平台(通常是FPGA)之间的数据移动，直到最近还是以并行低压差分信号(LVDS)接口为主要途径。然而，使用LVDS数据总线从转换器输出数据会带来一些技术难题，因为单条LVDS总线所需的工作速率将远远超过IEEE标准的最大速率以及FPGA的处理能力。为了解决这个问题，输出数据需要解复用到两条或(更一般地)四条LVDS总线，以便降低每条总线的速率。例如，采样速率超过2 GSPS的10位ADC通常将需要对输出进行4倍解复用，LVDS总线宽度将达40位。而许多雷达系统，尤其是相控阵，会采用多个GSPS ADC，如此多的通道需要布线和长度匹配，硬件开发很快就会变得无法管理，更不用说互连所需的FPGA引脚数量！

新型GSPS ADC不仅能克服现有挑战，而且可进一步优化系统。为使数字化更接近天线，此类转换器提供无与伦比的线性度和3 GHz以上的模拟带宽，支持L波段和大部分S波段的欠采样。这样，在这些波段内就可以直接进行RF采样，而无需混频器级，器件数量和系统尺寸得以缩减。更高频率的系统也能使用更高中频，从而可以减少混频级和滤波器的数量，并且由于能够使用宽范围的中频，频率规划选项得以增加。

更高的线性度和更低的噪声频谱密度使此类新器件能够用于下一代雷达系统。随着频谱密度提高，必须提供更高的动态范围才能管理雷达回波频率附近的阻塞或干扰信号。最新的GSPS ADC能够提供75 dBc以上的SFDR，比最近十年面市的器件高出近20 dBc。与新近的通信基础设施频率分配相竞争时，这一跨越式进步显得更加重要。

模拟带宽、线性度和噪声方面的改善可以被看作是器件制造商的下一步逻辑发展。不过，新型GSPS ADC的两个新增特性可为系统设计师带来更大的便利，有可能会提高这些器件在未来系统中的接受程度：

- JESD204B数据链路接口；
- 转换器中嵌入的DSP功能，这对系统设计师非常有利，并且可以节省功耗。

若干高速ADC最近已引入JESD204B数据链路，但它对GSPS转换器最有助处，因为LVDS接口已很难满足系统需求。JESD204B是一种高速串行标准，支持利用更少数量的差分互连(FPGA引脚)实现高速ADC与FPGA或其他处理器之间的数据传输。它是一种开销非常低的协议，基于8b10b编码方案，支持高达12.5 Gbps的波特率。

下面以ADI公司的新型2.0 GSPS、12位转换器AD9625为例来讨论其优势。该转换器的输出数据速率是24 Gbps。假设LVDS数据总线的最高速率是1 Gbps，并且忽略数据包装问题，那么将需要24个LVDS对才能支持此接口，硬件布线时，所有对的PCB走线长度都需要匹配。若采用最大波特率为6.25 Gbps的JESD204B，则只需要6条JESD204B链路就能支持此转换器的输出。图2清楚显示了其优势，AD9625与FPGA之间仅需布设8条JESD204B通道即可支持全数据速率2.0 GSPS。

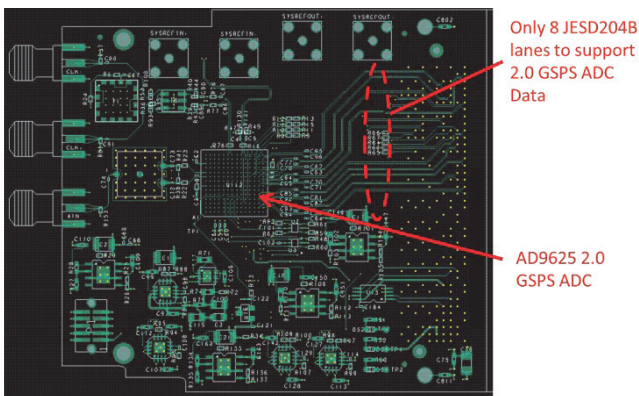


图2. 采用JESD204B的GSPS FPGA夹层卡(FMC) PCB布线

此外，当使用多条JESD204B通道时，PCB走线长度匹配的要求大幅放松，因为标准仅要求通道间对齐精度达到920 ps，各JESD204B通道的路径延迟允许存在较大的差异。JESD204B标准的最新“B”版还支持确定性延迟，可以计算离开高速ADC的数据与到达FPGA的数据之间的延迟。如果该延迟时间可以确定，那么就可以在数字后处理中予以补偿，使数据流重新对齐并同步，这是采用GSPS转换器的相控阵和波束成形系统的关键要求。

JESD204B对硬件设计师特别有利，但新型高速ADC的最大好处可能是增加了数字信号处理。AD9625等新一代GSPS转换器基于65 nm或更小几何尺寸的CMOS工艺，能够以非常高的数据速率支持各种各样的数字信号处理。近期而言，高速ADC将嵌入运行时可选的数字降频转换器(DDC)，如图3所示。

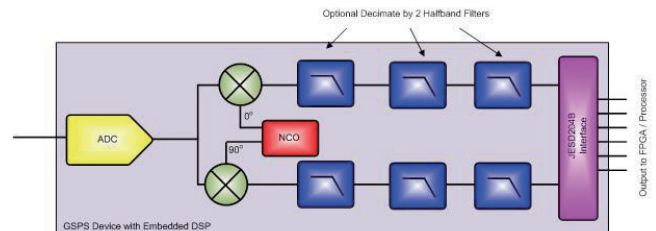


图3. 带嵌入式DSP的新型GSPS ADC

雷达波形带宽因应用不同而有很大差异，例如，某些合成孔径成像雷达波形需要数百MHz的带宽，而跟踪雷达使用的波形带宽可能只有数十MHz或更少。过去，若GSPS ADC更靠近天线，则意味着在某些情况下会有大量不需要的带宽被传输到FPGA或处理器。在现代FPGA和高速ADC中，如果不是大部分，也有相当一部分功耗与器件的接口相关，因此，毫无用处地传输大量不需要的带宽会提高系统功耗。在未来的多模式雷达中，动态使能DDC的能力将是一大优势，可减轻FPGA的复杂处理负荷。

DDC集数字数控振荡器(NCO)和抽取滤波器于一体,能够在高速ADC的奈奎斯特频段内选择信号带宽和信号位置,仅将需要的适当数据传输给信号处理器件。例如,考虑一个在800 MHz的中频使用30 MHz带宽波形的雷达。如果用一个ADC以2.0 GSPS的采样速率进行12位分辨率的采样,则数据输出带宽将是1000 MHz,远远超过信号带宽,转换器的输出数据速率将达3.0 GB/s。如果利用DDC以16倍的比率抽取数据,则不仅能进一步降低噪声,而且输出数据速率降至625 MB/s以下,这样只需使用一条JESD204B通道就能传输数据。整体系统的功耗需求将因此而大幅降低。由于可根据需要动态配置DDC或予以旁路,新型高速ADC可在不同模式之间切换,以便支持针对功耗和机具进行优化的解决方案,并且帮助实现认知式雷达应用所需的特性集合。

AD9625等新型GSPS ADC为雷达系统架构师提供了多种重要的选项,其模拟带宽和采样速率有助于减少器件数量或进行直接RF采样。JESD204B接口和嵌入式DSP选项使得设计师获取这些优势再也不需要付出提高功耗和板复杂度的代价。动态配置高速ADC的能力可实现多功能支持,满足创建全数字式认知雷达系统的需求。

高速转换器：内涵、原因和原理概述

作者：David Robertson，ADI公司模拟技术部副总裁

作为“现实世界”模拟域与1和0构成的数字世界之间的关口，**数据转换器**是现代信号处理中的关键要素之一。过去30年，数据转换领域涌现出了大量创新技术，这些技术不但助推了从医疗成像到蜂窝通信、再到消费音视频，各个领域的性能提升和架构进步，同时还为实现全新应用发挥了重要作用。

宽带通信和高性能成像应用的持续扩张凸显出**高速数据转换**的特殊重要性：转换器要能处理带宽范围在10MHz至1GHz以上的信号。人们通过多种各样的转换器架构来实现这些较高的速率，各有其优势。高速下在模拟域和数字域之间来回切换也对信号完整性提出了一些特殊的挑战——不仅模拟信号如此，时钟和数据信号亦是如此。了解这些问题

不仅对于组件选择十分重要，而且甚至会影响整体系统架构的选择。

更快、更快、更快

在许多技术领域，我们习惯于把技术进步与更高的速率关联起来：从以太网到无线局域网再到蜂窝移动网络，数据通信的实质就是不断提高数据传输速率。通过时钟速率的进步，微处理器、数字信号处理器和FPGA发展十分迅速。这些器件主要得益于尺寸不断缩小的蚀刻工艺，结果造就出开关速率更快、体积更小(而且功耗更低)的晶体管。这些进步创造出一个处理能力和数据带宽呈指数级增长的环境。这些强大的数字引擎带来了同样呈指数级增长的信号和数据处理需求：从静态图像到视频，到带宽频谱，无论是有线还是无线，均是如此。运行时钟速率为100 MHz的处理器或许能有效地处理带宽为1 MHz至10 MHz的信号：运行时钟速率达数GHz的处理器能够处理带宽达数百MHz的信号。

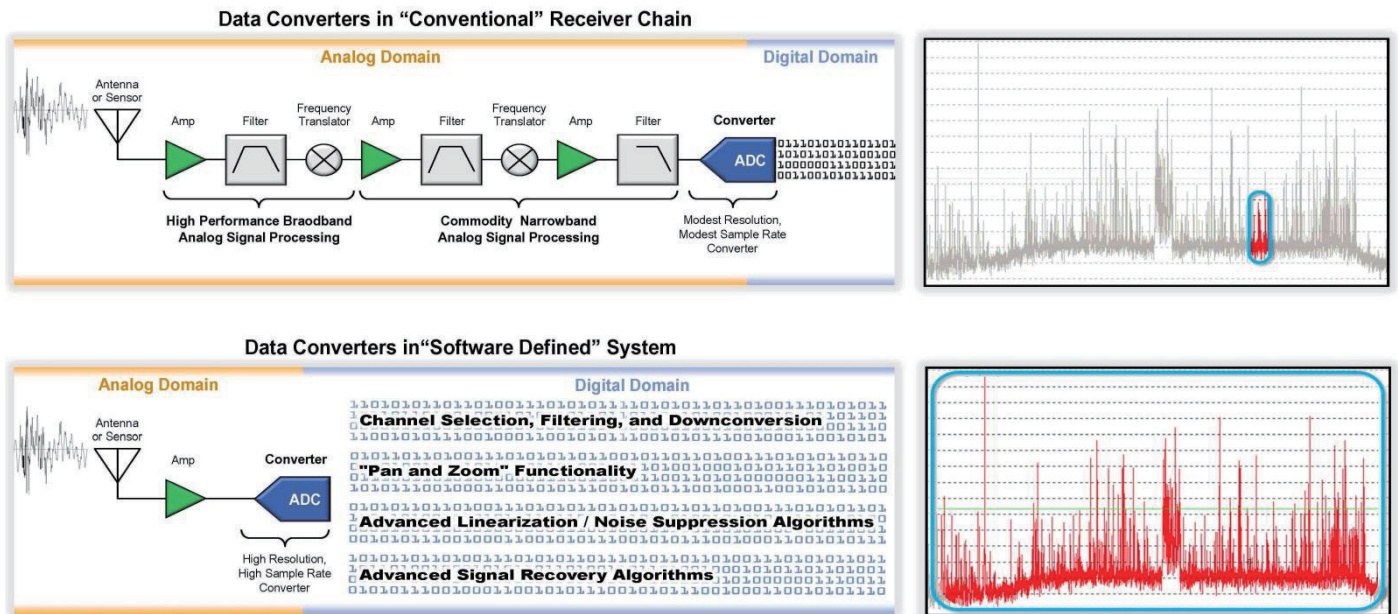


图1.

自然地，更强的处理能力、更高的处理速率会导致更快的数据转换：宽带信号扩大其带宽(往往达到物理或监管机构设定的频谱极限)，成像系统寻求提高每秒像素处理能力，以便更加快速地处理更高分辨率的图像。系统架构推陈出新，以利用极高的这种处理性能，其中还出现了并行处理的趋势，这可能意味着对多通道数据转换器的需求。

架构上的另一重要变化是走向多载波/多通道，甚至软件定义系统的趋势。传统的模拟密集型系统在模拟域中完成许多信号调理工作(滤波、放大、频率转换)；在经过充分准备后，对信号进行数字化处理。一个例子是FM广播：给定电台的通道宽度通常为200 kHz，FM频段范围为88 MHz至108 MHz。传统接收器把目标电台的频率转换成10.7 MHz的中频，过滤掉所有其他通道，并把信号放大到最佳解调幅度。多载波架构将整个20 MHz FM频段数字化，并利用数字处理技术来选择和恢复目标电台。虽然多载波方案需要采用复杂得多的电路，但它具有极大的系统优势：系统可以同时恢复多个电台，包括边频电台。如果设计得当，多载

波系统甚至可以通过软件重新配置，以支持新的标准(例如，分配在无线电边频带的新型高清电台)。这种方式的最终目标是采用可以接纳所有频带的宽带数字化仪和可以恢复任何信号的强大处理器：这即是所谓的软件定义无线电。其他领域中有等效的架构——软件定义仪表、软件定义摄像头等。我们可以把这些当作虚拟化的信号处理等效物。使得诸如此类灵活架构成为可能的是强大的数字处理技术以及高速、高性能数据转换技术。

带宽和动态范围

无论是模拟还是数字信号处理，其基本维度都是带宽和动态范围——这两个因素决定着系统实际可以处理的信息量。在通信领域，克劳德·香农的理论就使用这两个维度来描述一个通信通道可以携带的信息量的基本理论限值，但其原理却适用于多个领域。对于成像系统，带宽决定着给定时间可以处理的像素量，动态范围决定着最暗的可觉察光源与像素饱和点之间的强度或色彩范围。

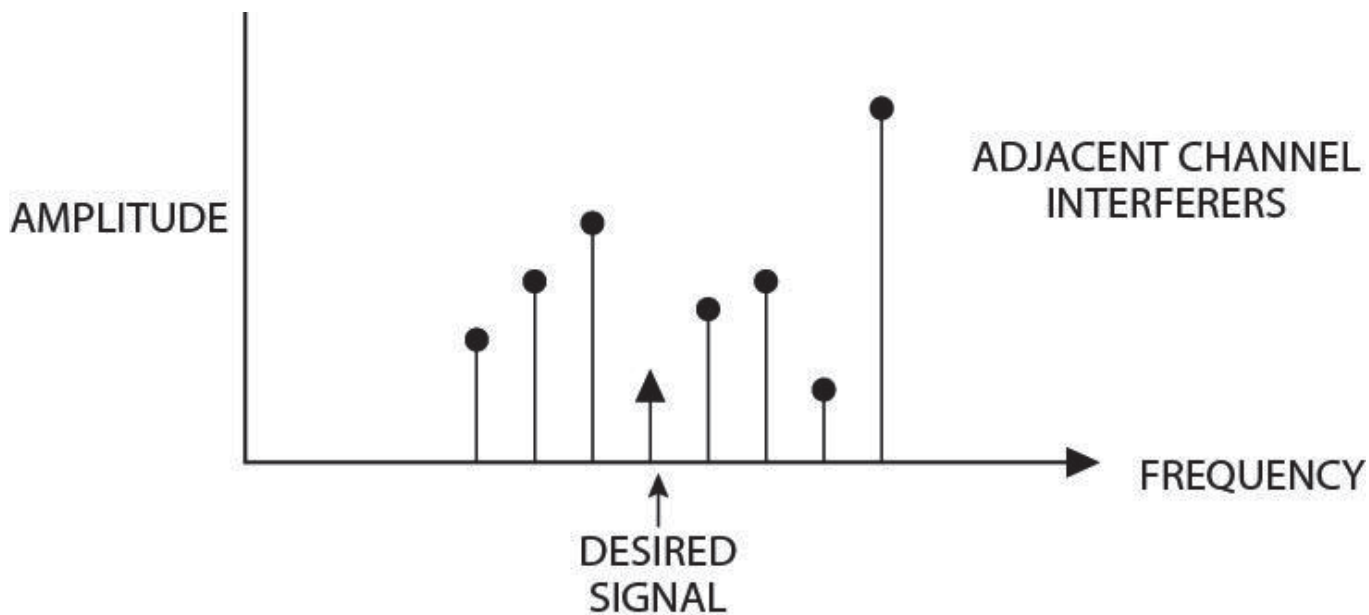


图2. 多载波示例

数据转换器的可用带宽有一个由奈奎斯特采样理论设定的基本理论限值——为了表示或处理带宽为 F 的信号，我们需要使用运行采样速率至少为 $2F$ 的数据转换器(请注意，本法则适用于任何采样数据系统——模拟或数字都适用)。对于实际系统，一定量的过采样可极大地简化系统设计，因此，更典型的数值是信号带宽的2.5至3倍。如前所述，不断增加的处理能力可提高系统处理更高带宽的能力，而蜂窝电话、电缆系统、有线和无线局域网、图像处理以及仪器仪表等系统都在朝着带宽更高的系统发展。这种不断提高带宽需求要求数据转换器具备更高的采样速率。

如果说带宽这个维度直观易懂，那么动态范围这个维度则可能稍显晦涩。在信号处理中，动态范围表示系统可以处理且不发生饱和或削波的最大信号与系统可以有效捕获的最小信号之间的分布范围。我们可以考虑两类动态范围：可配置动态范围可以通过在低分辨率模数转换器(ADC)之前放置一个可编程增益放大器(PGA)来实现(假设对于12位的可配置动态范围，在一个8位转换器前放置一个4位PGA)：当增益设为低值时，这种配置可以捕获大信号而不会超过转换器的范围。当信号超小时，可将PGA设为高增益，以将信号放大到转换器的噪底以上。信号可能是一个信号强或信号弱的电台，也可能是成像系统中的一个明亮或暗淡的像素。对于一次只尝试恢复一个信号的传统信号处理架构来说，这种可配置动态范围可能是非常有效的。

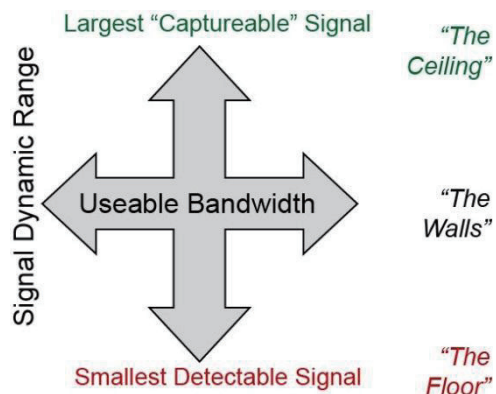


图3. 信号处理的基本维度

瞬时动态范围更加强大：在这种配置中，系统拥有充足的动态范围，能够同时捕获大信号而不产生削波现象，同时还能恢复小信号——现在，我们可能需要一个14位的转换器。该原理适用于多种应用——恢复强电台或弱电台信号，恢复手机信号，或者恢复图像的超亮和超暗部分。在系统倾向使用更加复杂的信号处理算法的同时，对动态范围的需求也是水涨船高的走向。在这种情况下，系统可以处理更多信号——如果全部信号都具有相同的强度，并且需要处理两倍的信号，则需要增加3 dB的动态范围(在所有其他条件相等的情况下)。可能更重要的是，如前所述，如果系统需要同时处理强信号和弱信号，则动态范围的增量要求可能要大得多。

动态范围的不同衡量指标

在数字信号处理中，动态范围的关键参数是信号表示中的位数，或称字长：一个32位处理器的动态范围多于一个16位的处理器。过大的信号将发生削波——这是一种高度非线性的运算，会破坏多数信号的完整性。过小的信号——幅度小于1 LSB——将变得不可检测并丢失掉。这个有限分辨率通常称为量化误差，或量化噪声，在确立可检测性下限时可能是一个重要因素。

量化噪声也是混合信号系统中的一个因素，但多个因素决定着数据转换器的可用动态范围，而且每个因素都有自己的动态范围

- 信噪比(SNR)——转换器的满量程与频带总噪声之比。该噪声可能来自量化噪声(如上所述)、热噪声(所有现实系统中都存在)或其他误差项(如抖动)。
- 静态非线性度——微分非线性度(DNL)和积分非线性度(INL)——衡量从数据转换器输入端到输出端的直流传递函数的非理想程度的指标(DNL通常确定成像系统的动态范围)。

- 总谐波失真——静态和动态非线性度会产生谐波，可能有效地屏蔽其他信号。THD通常会限制音频系统的有效动态范围。
- 无杂散动态范围(SFDR)——考虑相对于输入信号的最高频谱杂散，无论是二阶还是三阶谐波时钟馈通，甚至是60 Hz的“嗡嗡”噪声。由于频谱音或杂散可能屏蔽小信号，因此，SFDR是用来表示许多通信系统中可用动态范围的一个良好指标。

还有其他技术规格——事实上，每种应用可能都有自己的有效动态范围描述方式。开始时，数据转换器的分辨率是其动态范围的一个良好替代指标，但在真正决定时选择正确的技术规格是非常重要的。关键原则是，越多越好。虽然许多系统可以立即意识到需要更高的信号处理带宽，但对动态范围的需求却可能不是如此直观，即便要求更加苛刻。

值得注意的是，尽管带宽和动态范围是信号处理的两个主

要维度，但还有必要考虑第三个维度，即效率：这有助于我们回答这样一个问题：“为了实现额外性能，我需要付出多少成本？”我们可以从购置价格来看成本，但对数据转换器和其他电子信号处理应用来说，一种更加纯粹的、衡量成本的技术手段是功耗。性能越高的系统——更大的带宽或动态范围——往往要消耗更多的电能。随着技术的进步，我们都试图在提高带宽和动态范围的同时减少功耗。

主要应用

如前所述，每种应用在基本信号维度方面都有着不同的要求，而在给定的应用中，则可能有多种不同的性能。例如，一个100万像素的摄像头与一个1000万像素的摄像头。图4展示了一些不同应用通常要求的带宽和动态范围。该图的上半部分一般称为高速——采样速率为25 MHz及以上的转换器，可以有效处理10 MHz或以上的带宽。

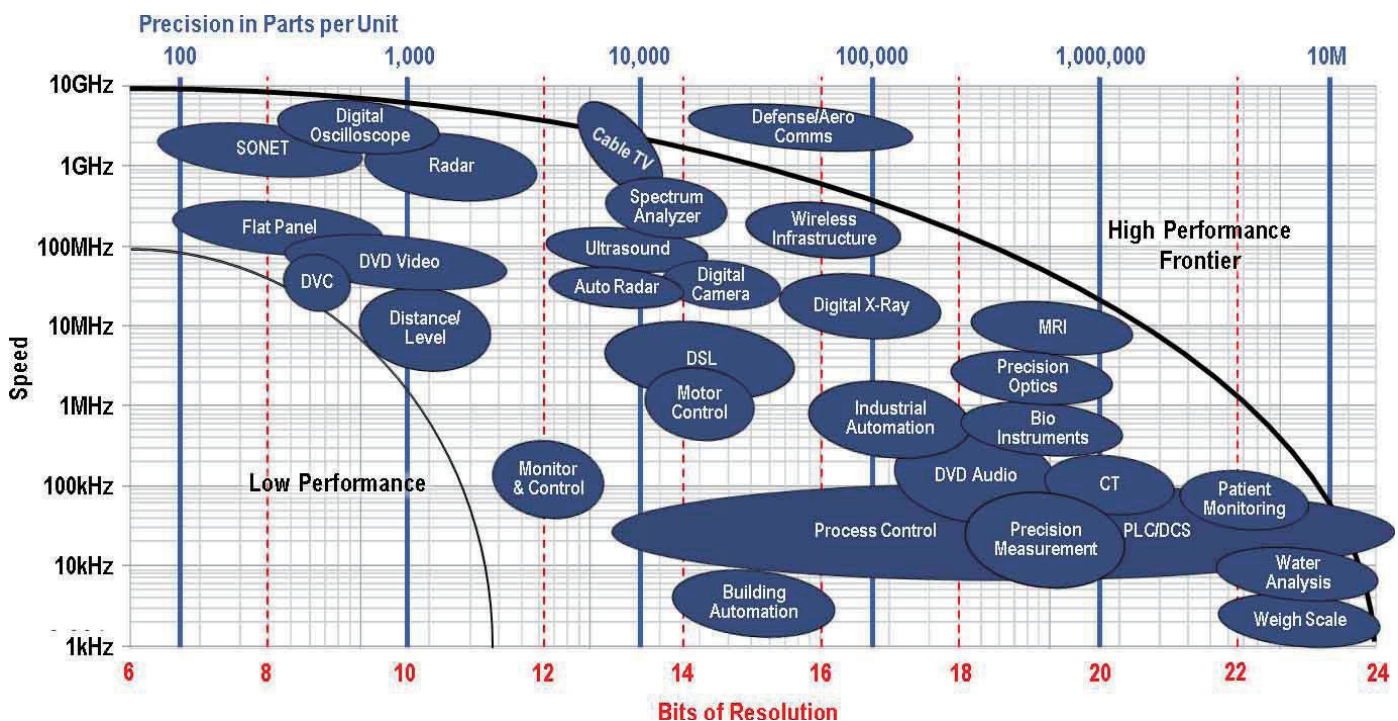


图4. 一些典型应用及其对带宽(速率)和动态范围(分辨率位数)的要求

需要注意的是，该应用图并非静止不变的。现有应用可能利用新的、性能更高的技术来提升其功能——例如，高清摄像机或者分辨率更高的3D超声设备等。此外，每年还会涌现出全新的应用——很大一部分新应用将处于性能边界的外边缘处：得益于高速与高分辨率的新组合。结果使转换器性能边缘不断扩大，就像池塘里的涟漪一样。

同时还应记住，多数应用都需要关注功耗问题：对于便携式/电池供电式应用，功耗可能是主要技术限制条件，但是，即使是线路供电系统，我们也开始发现，信号处理元件(模拟也好，数字也好)的功耗最终会限制系统在给定物理区域的性能。

技术发展趋势和创新——如何实现.....

鉴于这些应用在不断推高对高速数据转换器性能的要求，业界以持续技术进步的方式对此做出了回应。技术对高级高速数据转换器的推动来自以下几个因素：

- 工艺技术：摩尔定律与数据转换器——半导体工业在持续推动数字处理性能方面的成就有目共睹，其主要驱动因素是晶圆处理工艺在走向更细间距微影蚀刻工艺方面取得的巨大进步。深亚微米CMOS晶体管的开关速率远远超过其前辈，使控制器、数字处理器和FPGA的运行时钟速率迈上了数GHz的台阶。像数据转换器一样的混合信号电路也可以利用蚀刻工艺领域取得的这些进步，借“摩尔定律”之风达到更高的速率——但对混合信号电路来说，这是有代价的：更先进的蚀刻工艺的工作电源电压有不断降低的趋势。这意味着，模拟电路的信号摆幅在缩小，增加

了将模拟信号维持在热噪底以上的困难：以缩水的动态范围为代价获得更高的速率。

- 高级架构(这不是原始时代的数据转换器)——在半导体工艺大步发展的同时，过去20年中，高速数据转换器架构领域也出现了数波创新浪潮，为以惊人的功效实现更高的带宽、更大的动态范围做出了巨大贡献。传统上，有多种架构方式用于高速模数转换器，包括全并行架构(flash)、折叠架构(folding)、交织架构(interleaved)和流水线架构(pipeline)，这些架构方式至今仍然非常流行。后来，传统上用于低速应用的架构也加入高速应用阵营，包括逐次逼近寄存器(SAR)和 Δ - Σ ，这些架构专门针对高速应用进行了原创性的改动。每种架构都有自己的优势和劣势：某些应用一般根据这些折衷来确定最佳架构。对于高速DAC来说，首选架构一般是开关电流模式结构，不过，这类结构有许多变体；开关电容结构的速率稳步提高，在一些嵌入式高速应用中仍然十分流行。
- 数字辅助方法——多年以来，在工艺和架构以外，高速数据转换器电路技术也取得了辉煌的创新成就。校准方法已有数十年的历史，在补偿集成电路元件失配以及提高电路动态范围方面发挥着至关重要的作用。校准已经超越静态误差校正的范畴，越来越多地用于补偿动态非线性度，包括建立误差和谐波失真。

总之，这些领域的创新极大地促进了高速数据转换的发展。

实现

实现宽带混合信号系统不仅仅要选择正确的数据转换器——这些系统可能对信号链的其他部分有着严苛的要求。同样，挑战是在较宽的带宽范围内实现优秀的动态范围——使更多的信号进出数字域，充分利用数字域的处理能力。

- **宽带和信号调理**——在传统单载波系统中，信号调理就是尽快消除无用信号，然后放大目标信号。这往往涉及选择性滤波以及针对目标信号微调的窄带系统。这些经过微调的电路在实现增益方面可能非常有效，而且在某些情况下，可以利用频率规划技术来确保将谐波或其他杂散排除在带外。宽带系统不能使用这些窄带技术，而且在这些系统中实现宽带放大可能面临巨大的挑战。
- **数据接口**——传统的CMOS接口不支持大大超过100 MHz的数据速率——而且低电压差分摆幅(LVDS)数据接口运行速率达800 MHz至1 GHz。对于较大数据速率，我们可以使用多个总线接口，或者使用SERDES接口。现代的数据转换器采用的是最高速率达12.5 GSPS的SERDES接口(规格见JESD204B标准)——可以用多条数据通道来支持转换器接口中分辨率和速率的不同组合。这些接口本身可能十分复杂。
- **时钟接口**——就系统中使用的时钟的质量来说，高速信号的处理也可能十分困难。时域中的抖动/误差会转换成信号中的噪声或误差，如图5所示。在处理速

率大于100 MHz的信号时，时钟抖动或相位噪声可能成为转换器可用动态范围的一个限制因素。数字级时钟可能无法胜任这类系统，可能需要使用高性能时钟。

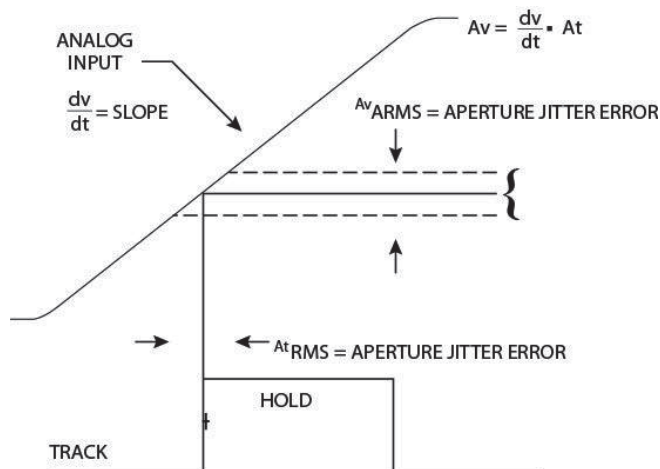


图5. 时钟误差变成信号误差的方式

结论

走向更宽带宽信号和软件定义系统的步伐不断加快，业界不断推陈出新，涌现出构建更好、更快数据转换器的创新方法，将带宽、动态范围和功效三个维度推上了新的台阶。

如何设计GSPS转换器的宽带前端

作者：Rob Reeder, ADI公司高级系统应用工程师

简介

由于高速模数转换器技术的改进，准确高速解析极高中频(IF)信号的要求也随之提高。这带来了两大难题：一个是转换器设计本身，另一个是将信号内容耦合到转换器的前端设计。即使转换器本身性能出色，前端也必须能够确保信号质量。高频高速转换器设计在当今的众多应用中都有涉及，雷达、无线基础设施和仪器仪表更是推动了转换器的跨领域发展。这些应用要求使用分辨率在8至14位之间的高速GSPS转换器。但要记住，需要满足多个参数，以达到特定应用所谓的“匹配”条件。

本文定义的宽带是指使用大于100 MHz的信号带宽，其频率范围为1 GHz至4 GHz。本文还将讨论宽带无源网络的定义，并重点讨论在选择变压器或巴伦时必须考虑的重要规格，以及如今使用的电流配置拓扑结构。最后，我们将说明一些考虑因素和优化技术，以帮助读者在符合特定应用参数的GHz范围内实现切实可行的宽带解决方案。

打好基础

对于雷达、仪器仪表和通信观测等应用，转向GSPS转换器是很自然的事情，因为它能提供更宽的频谱或奈奎斯特频带。然而，更宽的频谱会给前端设计带来更大的挑战。这是因为，当您购买一个奈奎斯特频带达1 GHz的转换器时，您还得在其周围配上合适的元件，同时还要更进一步关注电路的结构，即前端电路。当应用要求1 GHz以上的超奈奎斯特采样时，必须捕获第二、第三或第四奈奎斯特区中的频谱信息，这就使得挑战更为艰巨。

关于带宽的简要说明

首先讨论关于带宽的注意事项。务必记住，转换器的全功率带宽与“可用”或“采样”带宽是不一样的。全功率带宽是转换器用于精确捕获信号以及内置前端正确建立所需要的带宽。根据转换器数据手册中说明的额定分辨率和性能(全功率带宽远大于转换器本身的采样带宽，可能是其两倍)，选择中频并使用位于该区域的转换器通常不是个好主意，因为系统中的结果会发生较大变化。而设计围绕采样带宽展开。所有设计都应当避免使用额定全功率带宽的某一或全部最高频率部分，否则动态性能(SNR/SFDR)会下降。为了确定高速模数转换器的采样带宽，请查阅数据手册，或者咨询应用支持人员，因为有时候该参数并未明确给出。通常，数据手册会规定甚至列出转换器采样带宽内经过生产测试、能够保证额定性能的频率。然而，需要对行业中的这些带宽术语做出更好的说明和定义。

巴伦特性和不平衡

知道应用宽带和高速模数转换器之后，下一步就是选择前端拓扑结构：放大器(有源)或变压器(无源)。二者各自的利弊说来话长，同时取决于具体应用。有关该话题的更多信息，请参阅参考文献3。从现在起，本文将集中讨论变压器和巴伦耦合前端设计。术语“巴伦”用于指变压器或巴伦。尽管二者的构造和拓扑结构存在差异，但我们假定，无源器件用于耦合并构建前端，而前端则负责将目标中频输入从单端信号转换成差分信号。

巴伦拥有不同于放大器的特性，选择这种器件时，应当考虑这些特性。电压增益、阻抗比、带宽和插入损耗、幅度和相位不平衡、回波损耗只是这些不同特性中的一部分。

其他要求可能包括功率额定值、配置类型(巴伦或变压器等)和中心抽头选项。巴伦设计并不总是简单明了。例如,巴伦特性随着频率而改变,这会给预期蒙上阴影。有些巴伦对接地、布局布线和中心抽头耦合敏感。不要完全以巴伦的数据手册作为巴伦选择的唯一基础。经验在这里能够发挥巨大作用,因为当把PCB寄生效应、外部匹配网络、转换器的内部采样和保持电路(即负载)考虑进来时,巴伦会变成新的形态。

保留所有权利。作为指南,选择巴伦的重要考虑因素总结如下:

理想状态下,信号增益等于变压器的匝数比。虽然巴伦中的电压增益本身无噪声,但使用具有电压增益的巴伦会放大信号噪声。同时还可能严重影响带宽。巴伦可以简单地看作是具有标称增益的宽频通带滤波器。因此,典型趋势是巴伦中的信号增益越来越大,带宽越来越小。巴伦的电压增益可能变化很大,当不需要增益时,纹波和滚降会更显著。如今,很难找到具有良好GHz性能、阻抗比为1:4的变压器。总之,用户应保持警惕,如果打算使用1:4、1:8和1:16阻抗比的巴伦来改善或优化信号链最后一级的噪声系数,则应考虑周详,并在实验室中进行验证。由于带宽选择和性能受到限制,因此其弊端很明显,在GHz范围内设计时,性能不会超过1:1或1:2阻抗比的设计。

巴伦的插入损耗指规定频率范围内的损耗,是巴伦数据手册中最常见的测量规格。在电路中予以实现时,这肯定会变。一般地,您可以获得相当于数据手册中额定值一半的频率范围。有些比这更差,具体取决于巴伦的拓扑结构以及对负载寄生效应(即电容)的敏感度。这很可能是误解最多的巴伦参数,因为在理想阻抗情况下,巴伦都经过优化,无负载寄生效应,即其特性是用网络分析仪测定的。

回波损耗是指初级端接看到的巴伦二次端接的有源阻抗不匹配。举例来说,如果次级匝数与初级匝数之比的平方为4:1,当次级端接阻抗为200 Ω 时,应该有50 Ω 的阻抗将会反射到初级端接。然而,这种关系并不准确:如下例所示,原边的反射阻抗随频率发生变化。

首先,找出前端设计的中心频率回波损耗。在此例中,我们使用110 MHz。若假设为理想变压器,Zo值并非50 Ω 。从公式3可看出,Zo值要低些。

$$\text{Eqn. 1} \mid \text{Return Loss (RL)} = -18.9 \text{ dB @ 110 MHz} = 20 \times \log(50 - Z_o/50 + Z_o)$$

$$\text{Eqn. 2} \mid 10^{(-18.9/20)} = (50 - Z_o/50 + Z_o)$$

$$\text{Eqn. 3} \mid Z_o = 39.8 \Omega$$

接着求解公式3得到的原边Zo与副边理想阻抗的比值。然后对原边理想阻抗与实际副边阻抗求同样的比值。

$$\text{Eqn. 4} \mid Z (\text{Prim Reflected})/Z (\text{Sec Ideal}) = \frac{Z (\text{Prim Ideal})}{Z (\text{Sec Reflected})}$$

$$\text{Eqn. 5} \mid 39.8/200 = 50/x$$

$$\text{Eqn. 6} \mid \text{Solving for } x, x = 251 \Omega$$

因此,本例证明,要在原边反射50 Ω 的负载,副边应存在251 Ω 的差分端接。否则,信号链中的上一级将要驱动更大的负载(约40 Ω)。其结果会造成前一级的增益增加,更大的增益和不实的负载条件会导致更大的失真,结果会影响到高速转换器,从而对系统的动态范围形成限制。一般来说,随着阻抗比的上升,回波损耗的变化也随之提高。利用巴伦设计“匹配”前端时,应注意这一点。

就巴伦而言,幅度不平衡和相位不平衡是最关键的性能特征。这些参数衡量各单端信号与理想值的偏差,幅度相等,相位相差180°。当设计要求高中频(1000 MHz以上)时,设计人员可根据这两项技术规格,了解向转换器提供的信号线性度。一般而言,偏差越大,则性能下降幅度越大。起步时,一定要选择那些将此信息公布在数据手册中的变压器或巴伦。如果数据手册中不存在此信息,则很可能说明它不适合高频应用。记住:随着频率增加,巴伦的非线性也同时增长,通常以相位不平衡为主,相位不平衡会转化为高速转换器的偶次失真(主要是二次谐波失真H2)。即使是3度的相位不平衡也会导致无杂散动态范围或SFDR性能的大幅下降。如果离数据手册预期杂散特性差得远,尤其是H2,不要急着责怪转换器,应先检查前端设计。

在高频下使用巴伦时，有一些办法可以应对二次谐波失真，例如可尝试级联使用多个变压器或巴伦。可以使用两个巴伦(如图1所示，某些情况下可以使用三个)，帮助在高频率下更充分地将单端信号转换为差分信号。其缺点是占空间，成本和插入损耗会提高。另一个建议是使用其他巴伦。更好的单一解决方案巴伦已经面市，比如Anaren、Hyperlabs、Marki Microwave、Mini-Circuits®和Picosecond的产品，如此等等，不一而足。这些公司都有专利设计，采用的特殊拓扑结构可以在GHz范围内支持更宽的带宽，可以提供高水平的平衡性能，只采用一个器件，有时其尺寸小于当今常用的标准铁氧体。

记住，并非所有制造商都使用同样的方法来规定巴伦的性能，即使规格明显类似，相同情况下巴伦的运行情况也可能不同。为前端设计选择巴伦的最佳途径是收集并了解考虑范围内巴伦的所有规格，并索取制造商数据手册中没有说明的其他主要数据项。此外，也可使用网络分析仪或高速模数转换器之前的系统板来衡量其性能。

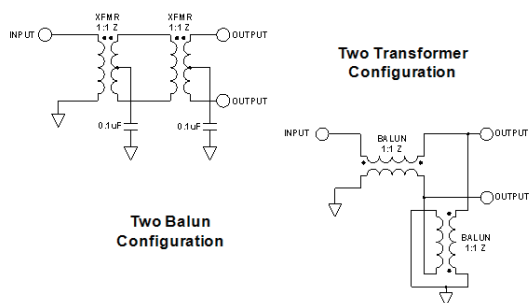


图1. 双巴伦/变压器拓扑结构

使用单巴伦或多巴伦拓扑结构时，最后需要注意的一点是，布局对相位不平衡也起着重要作用。为在高频下保持最佳性能，布局应尽可能对称。否则，走线轻微失配可能使采用巴伦的前端设计变得毫无用处(即动态范围受限)。

前端匹配

首先，“匹配”这个词应该谨慎使用。如今，用100 MSPS的转换器几乎不可能在每个频率下实现前端的匹配，更不用说在100 MHz的频带范围内。术语“匹配”应表示在前端设计中能产生最佳结果的优化。这是一个内容全面的术语，其中，阻抗、交流性能、信号驱动强度和带宽以及通带平坦度，这些指标都能在特定应用中产生最佳结果。

这意味着在应用中，应当权衡每个参数的重要性。例如，某些情况下，带宽可能是最重要的规格，因此，其他参数可以略作牺牲，以便能实现所需带宽。图2显示了一个GSPS转换器的输入网络。网络中的每个电阻都像是一个变量；然而，当改变每个电阻的值以产生基本相同的输入阻抗时，性能参数也会改变，如表1所示。

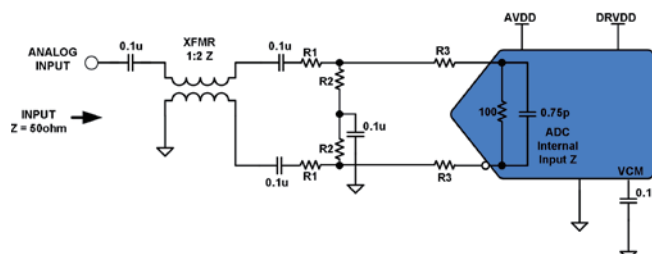


图2. 通用前端网络

表1. 实测性能匹配与三种前端设计情况的关系

性能规格	情况1 – R1=25 Ω, R2=33 Ω, R3=33 Ω	情况2 – R1=25 Ω, R2=33 Ω, R3=10 Ω	情况3 – R1=10 Ω, R2=68 Ω, R3=33 Ω
-3 dB带宽	3169 MHz	3169 MHz	1996 MHz
通带平坦度(2 GHz纹波)	2.34 dB	2.01 dB	3.07 dB
SNRFS @ 1000 MHz	58.3 dBFS	58.0 dBFS	58.2 dBFS
SFDR @ 1000 MHz	74.5 dBc	74.0 dBc	77.5 dBc
H2/H3 @ 1000 MHz	-74.5 dBc/-83.1 dBc	-77.0 dBc/-74.0 dBc	-77.5 dBc/-85.6 dBc
输入阻抗(500 MHz)	46 Ω	45.5 Ω	44.4 Ω
输入驱动(500 MHz)	15.0 dBm	12.6 dBm	10.7 dBm

实际上, 阻抗匹配网络基本相同, 只是对于前端网络设计所需要的实测参数而言, 这三个例子之间的实际结果有所不同。这里的匹配是所有相关参数的最佳结果, 本例所需带宽为2.5 GHz。这便将选择减少到情况1和情况2, 如图3所示。

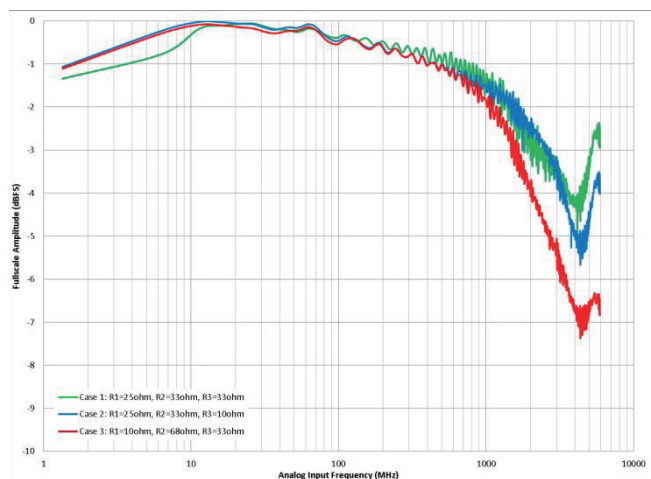


图3. 带宽匹配

进一步考察情况1和情况2, 显然可以看出, 情况2更为可取, 原因有二。其一, 通带平坦度在2 GHz范围内的纹波只有2 dB。其二, 输入驱动比情况1少3 dBm, 这就进一步降低了对信号链的RF增益的限制, 以便在巴伦原边的高速转换器上实现满量程。在本例中, 情况2在匹配方面似乎表现最好。

小结

在对较宽带宽进行采样以覆盖多个目标频带, 或者减轻前端RF带上的混合降压级的负担时, GPS转换器具具有理论上的易用性优势; 然而, 在1 GHz范围内实现所需带宽可能对高性能转换器前端网络的设计造成挑战。请注意, 当相位不平衡对于高速模数转换器实现最佳二阶线性度等性能很重要时, 务必要明确巴伦的特性。即使选择巴伦, 如果所用布局技术欠佳, 其性能也无法充分实现。同时还要注意正确匹配网络。记住, 为了达到特定应用的“匹配”条件, 需要满足多个参数。

参考文献

- 1) Rob Reeder, “宽带模数转换器的变压器耦合前端”, 模拟对话第39卷, 第2期, 2005年4月
- 2) Rob Reeder, “宽带模数转换器前端设计考虑: 何时使用双变压器配置”, 模拟对话第40卷, 2006年7月
- 3) Rob Reeder和Jim Caserta, “宽带数模转换器前端设计考虑II: 用放大器还是用变压器驱动ADC?”, 模拟对话第31卷, 第1期, 2007年2月
- 4) Rob Reeder和Eric Newman, AN-827应用笔记, 放大器与开关电容ADC接口的谐振匹配方法, ADI公司, 2006年
- 5) Rob Reeder, AN-742应用笔记, 开关电容ADC的频域响应, ADI公司, 2009年
- 6) Ken Gentle, AN-912应用笔记, 利用平衡电流输出DAC驱动中心抽头变压器, ADI公司, 2007年

作者简介

Rob Reeder [rob.reeder@analog.com]是ADI公司工业与仪器仪表部高级系统应用工程师, 负责军事和航空航天应用, 工作地点是北卡罗来纳州格林斯博罗。他发表了大量有关各种应用的转换器接口、转换器测试和模拟信号链设计的论文。他曾在高速转换器产品线上担任应用工程师8年之久。在此之前, Rob还在ADI多芯片产品业务部从事过测试开发和模拟设计工程工作, 拥有5年的太空、军事和高度可靠的应用模拟信号链模块设计经验。Rob于1996年和1998年分别获得北伊利诺斯州大学的电子工程学士(BSEE)学位和电子工程硕士(MSEE)学位。

注释

高速转换器技术的进步对下一代无线通信系统设计的支持

作者: Yi Zhang和Michele Viani, ADI公司高速转换器部门应用工程师

简介

无线通信网络正在迅猛发展。消费者对增强数据服务的需求日益增长,对带宽的使用率也在上升。新一代无线通信系统要求更高的数据吞吐速率、更低的功耗和更高的可靠性。这些要求通常互相冲突。为了满足这些要求需要有高采样速率、高信号带宽、高效率的数模转换器(DAC)解决方案。新一代高速DAC产品具有GSPS采样率和输入数据速率,可为多频段、多标准无线电基站提供多载波GSM兼容性能,同时能够降低系统的总功耗和散热密度。本文讨论高速转换器如何藉由更高的采样速率、更宽的数据带宽以及更低的功耗,来帮助系统设计人员推动无线通信系统的创新。

高带宽对系统的挑战

现代移动基站的发射带宽超过300 MHz并不是罕见现象。为了支持更宽数据带宽和数字预失真技术的要求,提升了对高速DAC产品的可用信号带宽和动态性能标准指标要求。为了实现更高的系统带宽,存在三方面挑战。

第一,更高的信号带宽要求DAC采样速率更快。奈奎斯特-香农采样理论规定,转换器采样速率至少应为待合成信号频率的两倍。因此,在不考虑其它设计约束的情况下,DAC采样速率需要以信号带宽2倍的速率提高。而且模拟重构滤波是系统设计的另一重要因素,为了简化这个滤波器设计需要更高的DAC采样率。在无线发射机中

使用矩形模拟滤波器既不可行,也无甚效果。实践中,系统要求DAC采样速率相对于合成信号带宽有一定的过采样比,以便在目标信号与需要抑制的高频DAC采样镜像之间构建一个滤波器过渡带。例如,如果要合成的信号带宽是 ± 50 MHz且中心频率为150 MHz,则DAC输出信号的上限是200 MHz;而如果要合成的信号带宽是 ± 150 MHz且中心频率为300 MHz,则DAC输出信号的上限是450 MHz。可以看出,第二种情况对DAC采样速率的要求要高得多。

第二,更高的信号带宽要求转换器数据接口更快且更可靠。所需的信号带宽与发射数据的吞吐速率成比例提高。要利用IQ调制实现300 MHz系统带宽,双通道DAC(I和Q)的组合输入数据速率需为750 MSPS(假设滤波器滚降系数为0.2)。因此,输入数据周期为1.33 ns,必须尽可能消除数据总线的位间时序不对准情况以便满足建立和保持时序要求,这会给系统设计人员带来巨大压力。若采用传统的并行数据接口方案,如LVDS和CMOS等,实现难度将非常大。新型JESD204B高速串行接口提供一种可靠且可扩展的解决方案,支持升级到更高的数据速率。

第三,集成电路(IC)器件并非理想器件。DAC也不例外。更高的输出带宽要求DAC器件提供更好的动态性能,原因有二:首先,动态范围一般随着DAC输出频率的提高而降低。此外,当带宽较大时,落入目标频段内的杂散成分往往也更多。然而,系统杂散要求并不随着信号带宽变大而提高或而降低。无论支持多大的信号带宽,移动基站都要满足发射模板要求。具有出色动态性能的DAC会简化系统的频率规划和滤波工作。

图1和图2显示了AD9144 DAC以2,800 MSPS的DAC采样速率合成一个80 MHz信号(16载波C-WCDMA)的实测频谱性能。

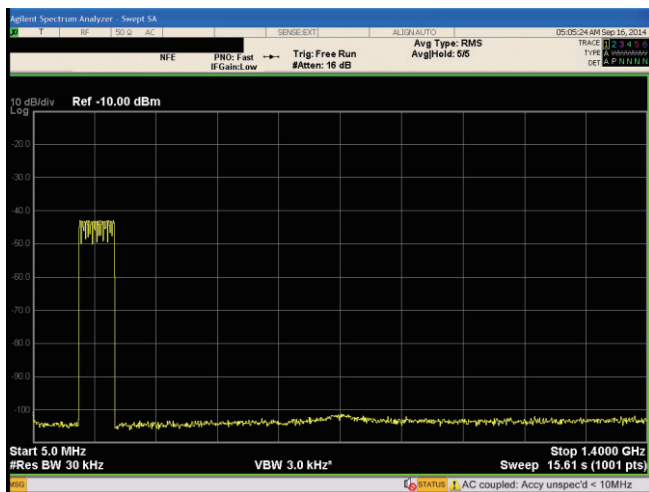


图1. AD9144 DAC合成16载波C-WCDMA信号的实测宽带性能 (最高达奈奎斯特频率), $f_{DAC} = 2,800$ MSPS

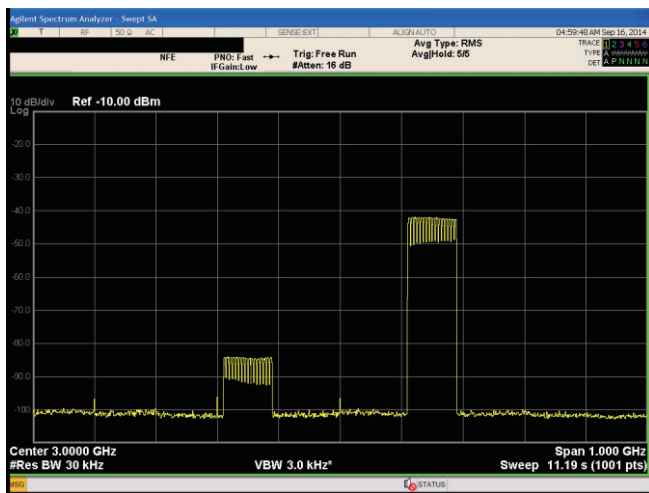


图2. ADRF6720 QMOD输出端的实测宽带性能, 3 GHz RF频率, 利用同样的AD9144 DAC输出 (如同图1)驱动QMOD

系统的低功耗和高可靠性挑战

为了提高发射带宽和数据容量, 系统设计人员还面临着其它挑战, 包括功耗、散热和系统可靠性。这些方面常常不利于实现更高系统带宽, 有时甚至与这一目标相冲突。因此, 系统设计人员需要一种能够在同一封装中实现更高特性集成度、更低功耗、更低工作发热密度、更宽带宽的新型DAC产品。

高速DAC产品近年来发展迅速, 并且集成了更多的数字和模拟特性。DAC片内时钟倍频器PLL和通信专用信号处理

特性就是两个突出的例子。过去, 这些特性是在系统中的其他地方实现, 例如高速时钟合成芯片器和基带ASIC/FPGA。具备这些功能的DAC不仅能降低总BOM成本, 而且可简化设计并提高可靠性。由于DAC内置时钟倍频器, 系统仅需为器件提供低频参考时钟。时钟倍频器锁定外部参考时钟, 产生DAC内部使用的高速采样时钟。这样就可以减少对高速时钟耦合和PCB走线阻抗匹配的担忧。功率检测和保护等新数字特性为RF信号链提供额外的保护, 防止其受到超范围信号或异常系统行为损害。尽管集成度明显提高, DAC器件的功耗与前代产品相比却大致上保持稳定, 甚至降低, 这些归功于硅工艺节点尺寸更小和高速DAC技术的进步, 这对解决这些系统挑战发挥了巨大作用。

除了功耗和碳排放更低以外, 低功耗器件的另一大好处是热量密度更低。无线通信系统通常是局限在水密性密闭的金属机箱内。尺寸和重量限制一般不允许采用主动冷却。IC器件产生的热量需通过机箱散去。机箱内部的空腔和PCB温度可能非常高, 以至于会影响系统的长期可靠性。积累的热量可能会影响PCB机械特性、器件与板之间的焊接接头并加速老化, 即IC器件电气特性的也会产生长期偏移。系统中的热分布/散热并不均匀, 产生热量的主要是信号处理密集的器件, 高速DAC是其中之一。因此, 特性丰富且功耗很低的DAC对系统设计人员极具吸引力。

图3和图4分别显示了AD9144在开启和关闭DAC片内时钟倍频器的情况下, 以1966 MSPS的DAC采样速率合成一个4载波C-WCDMA信号的实测性能。

¹ www.analog.com/cn

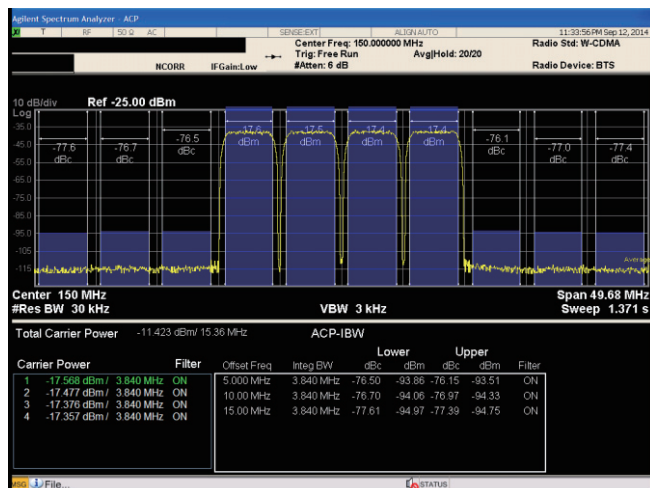


图3. AD9144的实测4载波C-WCDMA ACLR性能,
150 MHz输出频率, 片内时钟倍频器使能,
 $f_{REF} = 245.76 \text{ MHz}$, $f_{DAC} = 1,966 \text{ MSPS}$

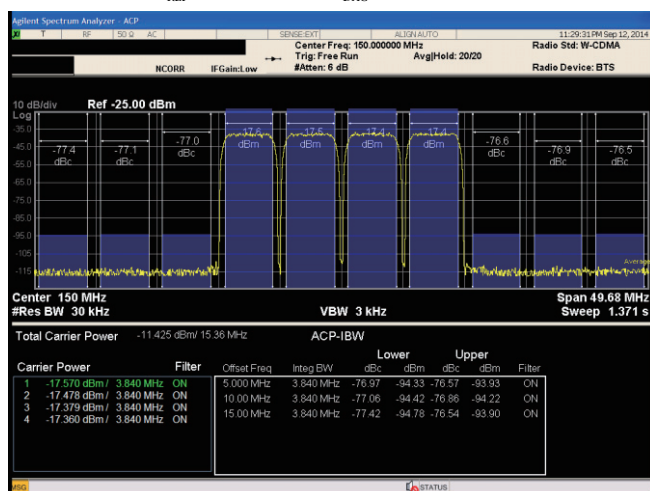


图4. AD9144的实测4载波C-WCDMA ACLR性能,
150 MHz输出频率, 片内时钟倍频器禁用,
 $f_{DAC} = 1,966 \text{ MSPS}$

系统在通用平台设计方面的挑战

在要求更广覆盖范围和更宽带宽的同时, 消费者对数据服务需求的快速扩张, 需要有则呼唤多标准无线电(MSR)基站支持。不同的无线电技术以及不断增加的频率分配使控制网络和降低成本变得更为复杂。为了满足这些需求, 必须通过有效且相对廉价的方案来解决MSR基站构建问题, 即通用平台设计。DAC技术进步支持基站设计的这种发展。一般认为多载波GSM(MC-GSM)是对动态范围要求最苛刻的空中标准。MC-GSM测试常用来判断一款DAC产品是否支持通用平台设计。

图5和图6显示了AD9144以1,966 MSPS的DAC采样速率合成一个6C-GSM信号的实测性能。

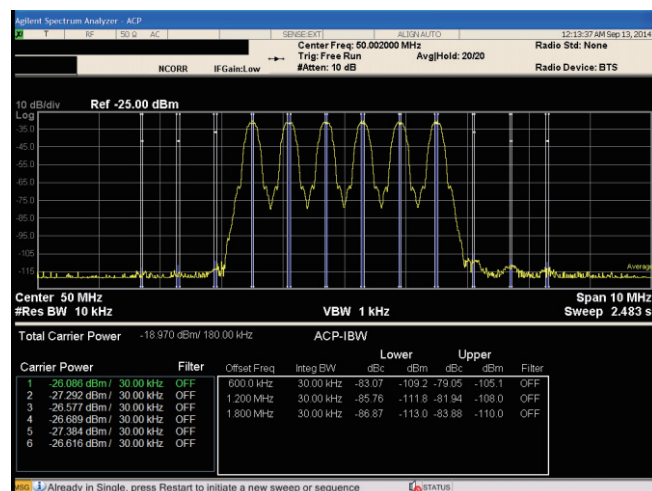


图5. AD9144的实测6 C-GSM IMD性能,
50 MHz DAC输出频率, $f_{DAC} = 1,966 \text{ MSPS}$

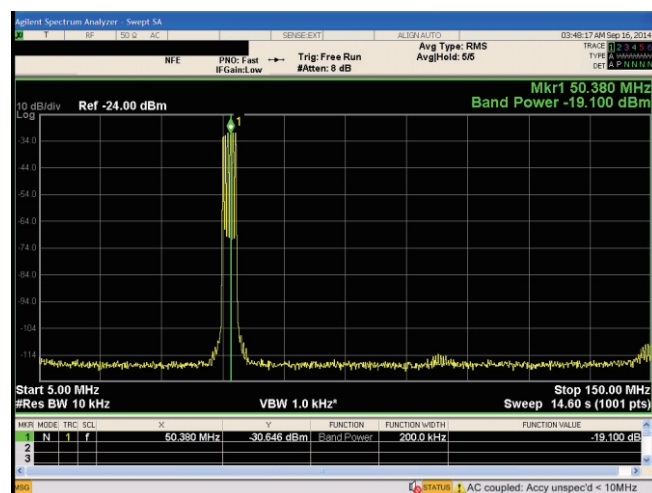


图6. AD9144的实测6 C-GSM宽带性能,
50 MHz DAC输出频率, $f_{DAC} = 1,966 \text{ MSPS}$

小结

现代无线通信网络正在朝着更多数据服务和更高带宽使用率方向发展。为了支持这一趋势, 新一代无线通信系统必须具备更高的数据吞吐速率、更低的功耗和更高的可靠性。高速DAC技术的进步, 例如ADI公司推出的AD9144, 可以支持下一代多标准无线电设计, 并且已经帮助系统设计人员在多个关键技术维度上实现了突破性创新。

作者简介

Yi Zhang是ADI公司高速转换器部门应用工程师。他于2007年加入ADI公司，拥有超过8年的高速转换器产品和高速混合信号应用经验。他为好几代高速数模转换器(DAC)产品撰写了数据手册、应用笔记和技术文章。他拥有康奈尔大学电气工程硕士学位。

Michele Viani是ADI公司高速转换器部门应用工程师，已工作5年。他既是产品工程师，也是应用工程师，负责评估高速数模转换器产品，并向客户提供技术支持以解决实施问题。他拥有伦斯勒理工学院电气工程学士学位。



数字隔离器的安全可靠

作者：David Krakauer，ADI公司iCoupler隔离产品线经理

一方面，设计工程师不想在系统中增加电流隔离；另一方面，为了满足国内或国际安全法规要求，他们不得不这样做。增加电流隔离的弊端是隔离直接放在数据路径中，会导致延迟并使系统变慢。此外还会增加功耗、尺寸和成本。这些折中令人遗憾。多年来，设计工程师使用光耦合器，勉强应对这些缺点，但一种新型电流隔离器——数字隔离器已经上市，缓解了这些不利影响。利用数字隔离器可以实现尺寸更小、能效更高、更具性价比、性能更高的设计。然而，安全标准并未同步跟进，给数字隔离器带来了困惑和不确定性：它们是否像电流隔离一样安全？它们是否满足安全法规要求？

答案是肯定的：数字隔离器能够满足国内和国际标准的安全要求。但是，大多数供应商提供的光耦合器具有相似的结构，数字隔离器则不然，不同供应商以不同方式设计和制造数字隔离器，因而隔离能力不尽相同，特别是与光耦合器强健的隔离能力相比较时。因此，并非所有数字隔离器技术和实现方案都能提供同样的安全性。

隔离器有四个主要考虑因素：

- 绝缘材料
- 隔离元件
- 数据传输架构
- 封装

每个要素都存在不同的选择，最终组合决定隔离器的能力。本文将聚焦于绝缘材料，它是决定安全性高低的主要因素。光耦合器使用各种聚合物材料，包括封装的环氧树脂塑封材料。数字隔离器使用类似的聚合物或聚酰亚胺材料，也可以使用二氧化硅。隔离寿命和最高耐受电压的不同取决于材料和制造工艺。我们先考虑安全标准以及它们与不同类型隔离器的关系。

了解隔离要求：标准的复杂性

系统级标准旨在处理环境条件与系统使用条件的差异。例如，家用电器的要求不同于医院用病人监护仪或工厂中电机驱动器的要求。它们常常通过引用电流隔离器特定的器件级标准来说明隔离安全性。有三种标准值得注意：

- IEC 60747：半导体器件——第1部分：通则
- UL 1577：光学隔离器标准
- VDE 0884-10：半导体器件——用于安全隔离的磁性耦合器和容性耦合器

虽然各种标准的目标相似，即确保用户、操作员和设备的安全性，但采用的方法不同。IEC 60747区分了隔离等级(例如基本绝缘与增强绝缘)，UL 1577则注重隔离器在一定时间内(通常是1分钟)耐受某一电压水平的能力。为了适应所有可能的使用情形和条件，系统设计师常常需要获得多种器件级标准的认证。

数字隔离器的兴起使问题更加复杂，因为许多此类标准是在设计师只有光耦合器可用时制定的。这些标准紧盯与光耦合器相关的弱点，提供了保证安全性的途径。

对于光耦合器，这些方法非常有效，但可能不适用于数字隔离器。以认证工作电压为例，它是连续施加于隔离栅的电压。具有认证工作电压的隔离器应能终身耐受该电压。

IEC 60747要求通过生产部分放电测试来验证光耦合器的工作电压。标准机构已经认定，部分放电起始电压和诱感电压与光耦合器的工作电压相关。制造工艺使用注塑方法，容易在塑料内部产生空洞。在压力下，此类空洞可经历更高的电场，导致部分放电引起的性能降低。在高压下进行部分放电测试可以检测是否存在空洞，发现在现场应用中会失效的次品。

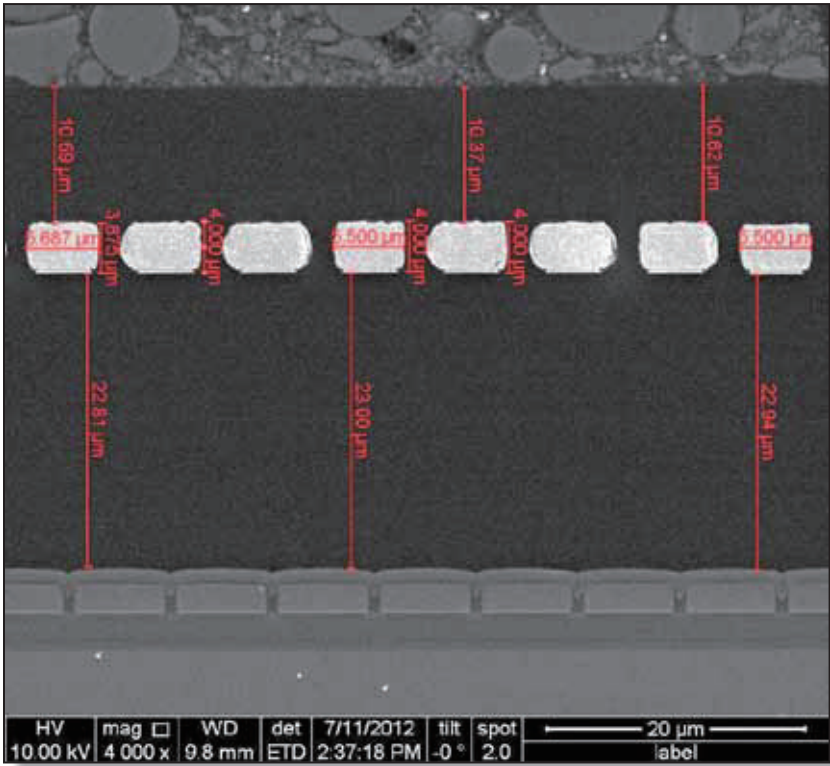
这种部分放电方法并不完全适用于数字隔离器。数字隔离器确实使用类似的封装材料，必须利用部分放电进行测试以判断有无缺陷，但还有其他老化机制与绝缘材料相关。隔离元件使用的主要隔离材料是通过严密控制的晶圆级工艺沉积而成，不大可能产生空洞，因而受部分放电的影响较小，但其他老化机制开始占主导地位。数字隔离器声称的特定工作电压(通常表示为VIORM，依据IEC 60747)可能会造成误解，因为它仅反映在给定电压下通过部分放电测试的能力。

由于部分放电对于数字隔离器工作电压是不完整的测试，因此需要其他测试和表征。IEC的未来标准将解决这一问题并引入新的方法。在过渡期间，数字隔离器供应商有义

务证明他们如何保证器件在额定工作电压下能够终身正常工作。

测量*iCoupler*数字隔离器的高压寿命

ADI公司通过部分放电以外的测试保证*iCoupler*®数字隔离器的工作电压。*iCoupler*数字隔离器在平面变压器线圈之间使用20 μm厚聚酰亚胺绝缘层，这是晶圆制造工艺的一部分(见下图)。这种制造工艺能以低成本将隔离元件与任何晶圆半导体工艺集成，实现出色的质量和可靠性。下面的剖面图显示了被厚聚酰亚胺层分开的顶部和底部线圈的匝数。聚酰亚胺材料用于绝缘已有多年的历史。过去十多年来，已有近10亿只*iCoupler*变压器投入使用。



为了测量这些芯片级隔离变压器的工作电压寿命，我们采用高压耐受性(HVE)设置。HVE是在更高电压水平(通常远高于额定工作电压)下通过失效时间实验完成的。

电荷注入是导致器件隔离击穿的主要HVE失效机制。电荷注入聚酰亚胺绝缘层后，可能会被限制在局部陷阱位置并释放能量。如果释放的能量足够高，聚酰亚胺内的键结就会断开，从而产生更多陷阱位置，导致更多空间电荷被捕捉。这种正反馈最终造成绝缘击穿。

通过热力学分析¹，寿命 L 可以表示为：

$$L \sim \frac{e^{-(E-E_t)^n}}{(E-E_t)^m}$$

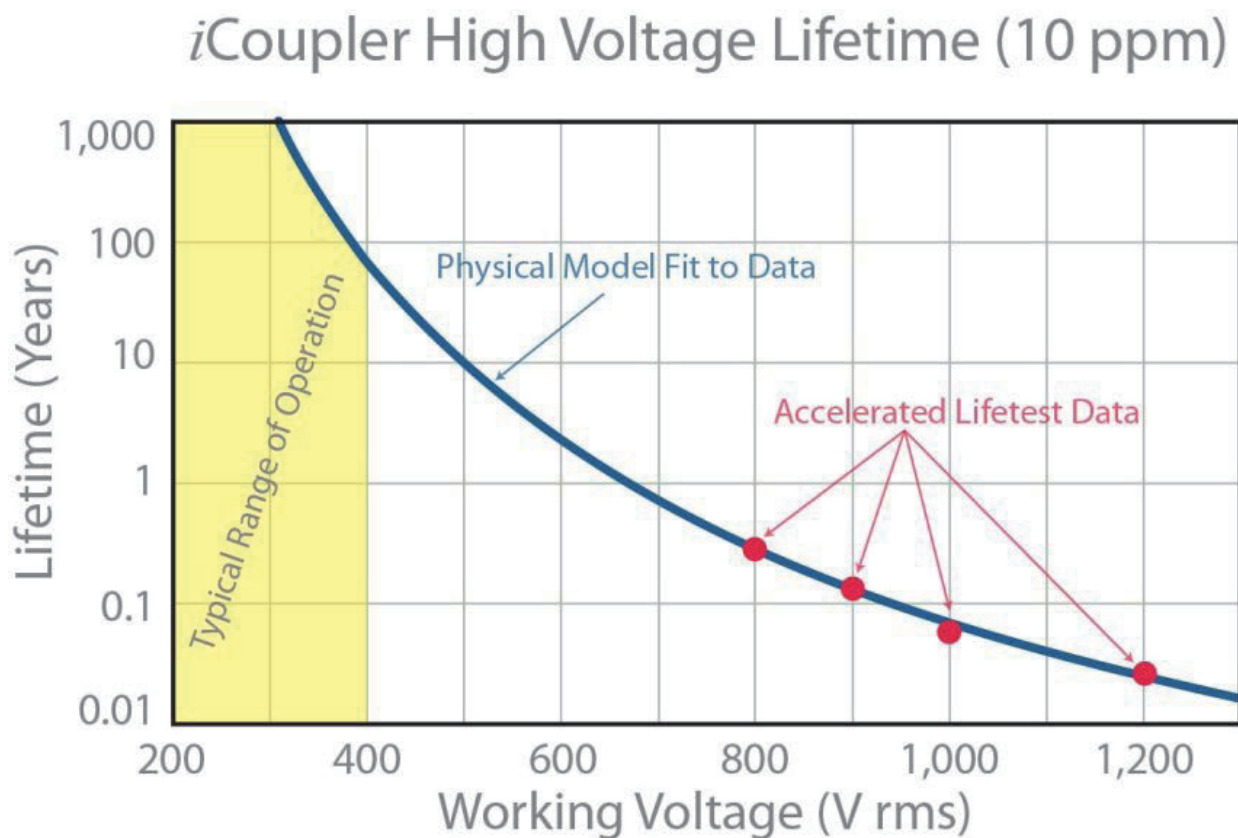
其中， E_t 是无电荷注入发生的阈值场， m 和 n 是比例常数。

经观测，iCoupler器件的HVE数据符合下式

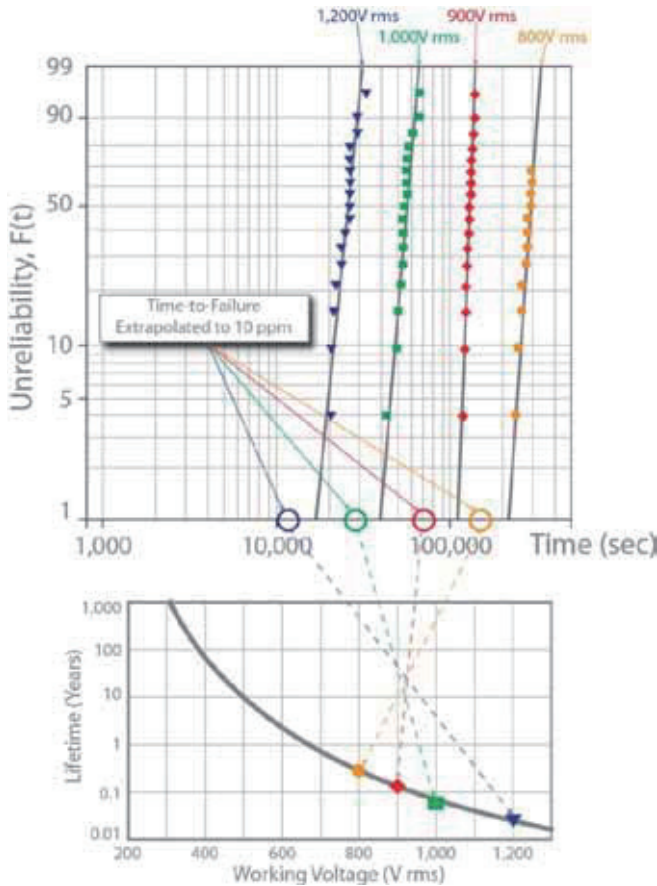
$$L \sim e^{-V^n}$$

其中， L 是10 ppm时的失效时间， V 是施加的连续高压。

下图是一个简化示例，使用来自高压受测样本的四个数据点来拟合该模型，并外推回典型工作电压。



此数据是在将样本置于800 V到2000 V rms的60 Hz共模电位差下测得的。各单元的失效时间记录并汇总于下面的威布尔图中。对于预期工作电压范围内的较低电压，失效时间通过外推获得。



iCoupler HVE寿命取决于施加的电压是交流还是直流电压。在直流电压下，静态场会阻止能量的捕捉/重组合释放。因此，直流寿命远远长于交流寿命。iCoupler产品始终指定最差情况下的交流寿命。

工作电压的均方根(rms)规格也可能引起误解。400 V rms波形实际上是一个在正560 V与负560 V之间切换的正弦波形，因此隔离栅上的最高峰值电压实际上是1120 V。我们已经确认，在额定电压为400 V rms的双极性波形下的寿命与在

1120 V峰峰值波形下的寿命相同，与中心电压无关。由于安全至关重要，数据手册应采取保守态度以确保无潜在危险，因此iCoupler数字隔离器的数据手册指定了绝对最差情况工作电压。

结论

数字隔离器的引入使得业已复杂的安全标准愈加令人困惑，因为数字隔离器使用不同于电流隔离的材料和元件，并非所有标准都适用于数字隔离器的要求。关于某种工作电压条件下的寿命，与光耦合器不同，基于部分放电的认证不足以保证数字隔离器能在数十年的使用期间安全可靠地工作。应对这些问题的新标准正在制定过程中，但在新标准颁布以前，数字隔离器供应商必须用可靠的数据弥补这些标准，支持可靠性达数十年的承诺。正因如此，基于聚酰亚胺绝缘材料的iCoupler数字隔离器利用加速寿命测试，保证器件在额定工作电压下能够安全可靠地工作50年以上。

参考文献

1. Dissado, L.A.等人。“电气绝缘材料生活模型中的空间电荷失效。”《IEEE电解质与绝缘》。第2卷第6期，第1147页至1158页，1995年12月。

通过精确可靠的振动检测实现基于状态的预见性维护

作者: Bob Scannell, ADI公司MEMS和传感器技术部业务开发经理

内容提要

探讨压电传感器和手持式数据采集工具在用于基于状态的预见性维护时存在的优势和不足, 同时讨论高可靠性全集成式振动传感器的优势。

精

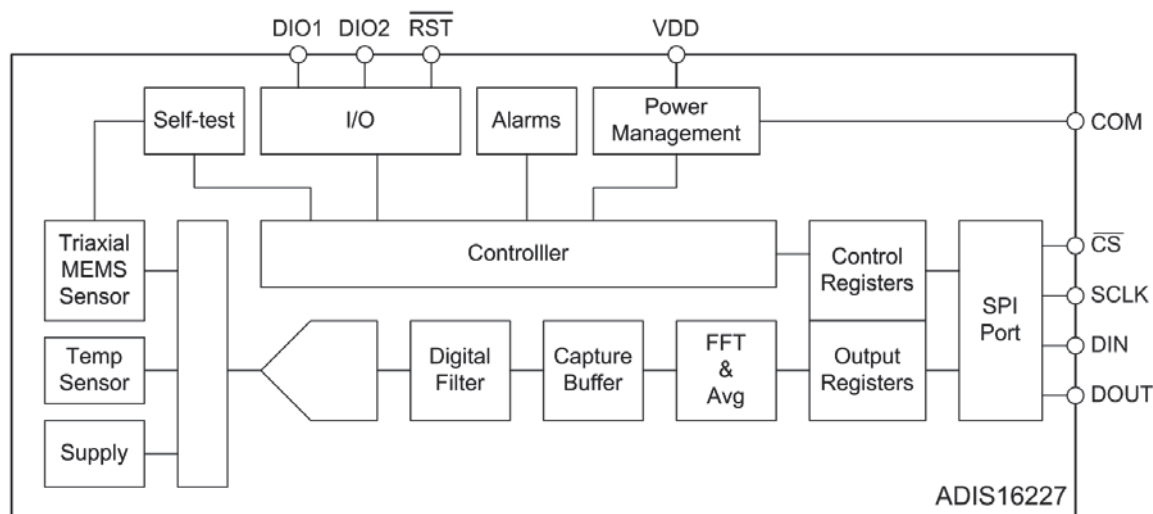
密的工业生产过程越来越依赖于电机和相关机械设备高效可靠、始终如一的运作。机器设备的不平衡、缺陷、紧固件松动和其它异常现象往往会转化为振动, 导致精度下降, 并且引发安全问题。如果置之不理, 除了性能和安全问题外, 若导致设备停机修理, 也必然会带来生产率损失。

众所周知, 基于状态的预见性维护是一种行之有效的避免生产率损失的方法, 但这种方法的复杂性与其价值不相上下。现有方法存在局限性, 特别是涉及到分析振动数据(无论以何种方式获得)和确定误差源时。

现有数据采集方法包括安装在机器上的简单压电传感器和手持式数据采集工具等。这些方法存在多种局限性, 特别是与理想的全面检测与分析系统解决方案相比较, 后者可以嵌入机器上或机器中, 并能自治工作。本文将深入讨论这些局限性及其与理想解决方案的对比。

测量的可重复性

手持式振动探头在实现方法上具备一些优势, 如不需要对终端设备做任何修改, 而且其集成度相对较高, 尺寸较大, 可提供充足的处理能力和存储空间。然而, 它的一个主要限制是测量的可重复性不佳。探头位置或角度稍有改变, 就会产生不一致的振动剖面, 从而难以进行精确的时间比较。因此, 维护技术人员首先需要弄清所观察到的振动偏移是由机器内部的实际变化所致, 还是仅仅因为测量技术的变化所致。理想情况下, 传感器应当结构紧凑并且充分集成, 能够直接永久性地嵌入目标设备内部。



测量时间安排

手持式探头方法的另一个局限性是无法实时指出有问题的振动偏移。多数压电传感器同样如此，其集成度一般非常低(某些情况下仅有一个传感器)，需要将数据传送到其它地方进行分析。这些器件需要外部干预，因此可能会错过一些事件和振动偏移。自治传感器处理系统则不然，它内置传感器、分析、存储和报警功能，同时仍然小到足以嵌入设备中，能够在第一时间告知振动偏移，并且最佳地显示基于时间的状态趋势。

了解数据

前述嵌入式传感器发出实时通知的构想，只有采用频域分析才能实现。通常，任何设备都有多种振动源，如轴承缺陷、不平衡和齿轮啮合等，此外还有设计带来的振动源，例如钻孔机或压制机在正常工作过程中产生的振动。基于时间的分析会产生一个综合所有这些振动源的复杂波形，在进行FFT分析之前，它提供的信息难以辨别。多数压电传感器解决方案依赖外部FFT计算和分析。这不仅使得实时通知毫无可能，而且将大部分额外设计工作推给了设备开发人员。但是，如果传感器内嵌FFT分析功能，就能即时确定振动偏移的具体来源。这样一种完全集成的传感器元件还能缩短设备开发人员6到12个月的开发时间，因为它功能完备、简单有效、自治工作。

访问数据

嵌入式FFT分析的前提是模拟传感器数据已经过调理并转换为数字数据，因此数据传输大大简化。事实上，目前使用的多数振动传感器解决方案仅提供模拟输出，导致信号质量在传输过程中降低，更不用说离线数据分析的复杂性(上文已讨论)。考虑到要求振动监控的多数工业设备往往存在于高噪声、运动、无法接近、甚至危险的环境中，因此业界迫切希望降低接口线缆的复杂性，并且在源端执行尽可能多的数据分析工作，以便捕捉到尽可能准确的设备振动状态信息。

数据量

现有的许多传感器解决方案是单轴压电传感器。这些传感器不提供方向信息，因而会限制我们对设备振动剖面的了解。缺乏方向性导致需要噪声非常低的传感器，这又会影响成本。三轴MEMS传感器则不同，如果各轴精密对准，确定振动源的能力将大幅提高，同时也有助于降低成本。

探测点

确定在哪里放置传感器非常重要，其主要决定因素是设备类型、环境和设备的寿命周期。采用现有的高成本传感器元件时，探测点仅限于几个或一个，因此位置的选择显得更加重要。这会导致前期开发时间显著延长，因为需要通过反复实验来确定最佳位置。但在大多数情况下，其后果是采集的数据量和数据质量会受到影响。幸运的是，现在已有集成度更高而成本大幅降低的传感器探头可用，每个系统可以放置多个探头，从而缩短前期开发时间和成本，或者使用数量更少、成本更低的探头就能满足要求。

设备寿命周期变化

无论采用何种技术，传感器元件都是很重要的考虑因素，但更重要的是传感器周围的信号调理和处理电路。信号调理和处理不仅取决于具体的设备，而且取决于设备的寿命周期。这在传感器设计中涉及到多种重要考虑因素。模数转换处理最好尽早进行(即在传感器头部，而不是在设备之外)，以便支持系统内配置和调整。理想的传感器应提供一个简单的可编程接口，通过快速基线数据采集来简化设备设置、滤波操作、报警编程和不同传感器位置的试验。对于现有的简单传感器，即使它们可以在设备设置时进行配置，但传感器设置仍然必须做出一些牺牲，以便适应设备在整个寿命期间的维护重点的变化。例如，传感器应针对设备故障可能性较小的早期阶段进行配置，还是针对故障可能性较大且更具危害性的晚期阶段进行配置？最好使用可在系统内编程的传感器，以便随着寿命周期的变化而调

整配置。例如，早期的监控比较稀疏，功耗最低；观察到变化(警告阈值)后，重新配置为频繁监控模式(监控周期由用户设置)；除了连续监控以外，还根据用户设置的报警阈值提供中断驱动的通知。

变化和趋势的识别

前面关于传感器适应设备寿命周期变化的讨论，在一定程度上取决于对基线设备响应的了解。利用简单的模拟传感器就能获得基线设备响应，即让操作人员进行测量，执行离线分析，并将此数据与适当的标志一起离线存储在特定设备和探头位置上。更好且更不易出错的方法是将基线FFT存储在传感器头部，这样数据永远不会误放。基线数据还有助于确定报警电平，该值最好也是直接在传感器上编程设置，以便在随后的数据分析和采集中，如果检测到警告或故障条件，可以产生实时中断。

记录和可追溯性

在工厂环境中，一个适用的振动分析程序可能要监控数十甚至数百个位置，无论是通过手持式探头还是通过嵌入式传感器。在一台设备的整个寿命周期中，可能需要获得成千上万条记录。预见性维护程序的完整性取决于传感器采集点的位置和时间的适当映射。为将风险降至最低，以及获得最有价值的数据，传感器应具有唯一的序列号和嵌入式存储器，并且能够给数据添加时间戳。

可靠性

上文重点讨论了现有针对预见性维护的传感器振动监控方法的改善之道。然而，如果传感器发生故障(性能变化)，而不是设备发生故障，该怎么办呢？或者，如果采用完全自治工作的传感器(即上文所述的理想方法)，我们对传感器持续正常工作能有多大信心呢？对于许多现有传感器，如压电传感器等，这些情况确实会造成严重的限制，因为简单的压电传感器无法提供系统内自测。随着时间的推移，

必然会对所记录数据的一致性缺乏信心。在设备寿命晚期的关键监控阶段，实时故障通知在时间、成本和安全上都具有十分重要的意义，传感器是否仍然正常工作必然是关注的重点。高可信度预见性维护程序的基本要求是能够对传感器进行远程自测。幸运的是，一些基于MEMS的传感器可以做到这一点。嵌入式数字自测能力将填补可靠振动监控系统的最后空白。

ADI公司的ADIS16227就是一款完全自治的频域振动监控器，能够解决上述所有关键问题。ADIS16227提供嵌入式频域处理和512点实值FFT，片上存储器能够识别各种振动源并进行归类，监控其随时间的变化情况，并根据可编程的阈值做出反应。该器件提供可配置的报警频段和窗口选项，支持对全频谱进行分析，并配置6个频段、报警1(警告阈值)和报警2(故障阈值)，从而更早、更精准地发现问题。其核心是一个三轴宽带宽(22 kHz响应)MEMS传感器，可配置的采样速率(最高100 kHz)和均值/抽取选项支持更精确地评估细微的振动剖面变化。该MEMS传感器提供数字自测模式，让我们对其功能和数据完整性始终保持信心。紧凑的15 mm立方体结构采用全嵌入式设计，提供充分的编程能力，而且可以放在靠近振动源的地方，以可重复的方式轻松检测微小信号。这样就可避免采用手持式设备进行测量时，由于位置/耦合差异所导致的各次测量数据不一致现象。

随着完全集成、高度可靠、自治工作、可配置振动传感器的推出，预见性维护程序开发人员终于能够摆脱以往振动分析方法的限制和不足，大幅提高数据采集过程的质量和完整性。利用这些提供高集成度和简化可编程接口的新型传感器，以前只有少数具备数十年机器振动分析经验的技术专家才能驾驭的振动检测工作，现在一般技术人员就能轻松胜任。

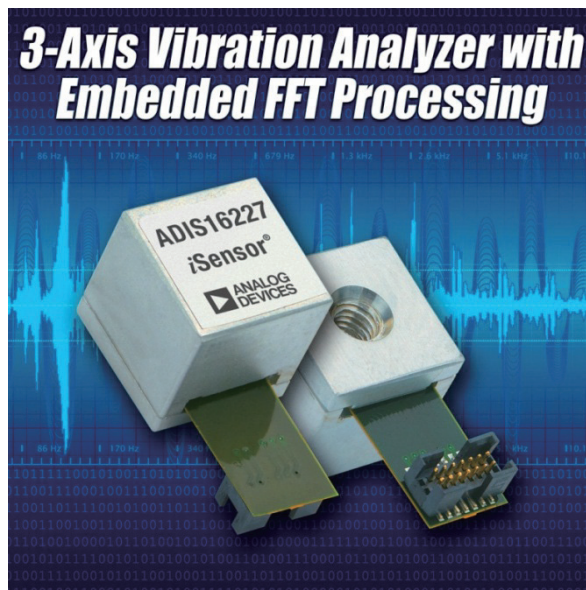
MS-2115

资源

欲了解更多信息，请访问www.analog.com/cn。

本文中所提产品

产品	描述
ADIS16227	数字三轴振动传感器，集成FFT分析和存储系统



实现隔离式半桥栅极驱动器的设计基础

隔离式半桥栅极驱动器可用于许多应用，从要求高功率密度和效率的隔离式DC-DC电源模块，到高隔离电压和长期可靠性至关重要的太阳能逆变器等等，不一而足。本文将详细阐述这些设计理念，探索隔离式半桥栅极驱动器解决方案在提供高性能和小尺寸方面的卓越能力。

隔离式半桥驱动器的功能是驱动上桥臂和下桥臂N沟道MOSFET(或IGBT)的栅极，通过低输出阻抗降低导通损耗，同时通过快速开关时间降低开关损耗。上桥臂和下桥臂驱动器需要高度匹配的时序特性，以实现精确高效开关操作。这减少了半桥关断和开通之间的死区时间。实现隔离式半桥栅极驱动功能的典型方法是使用光耦合器进行隔离，后跟高压栅极驱动器IC，如图1所示。该电路的一个潜在问题是，仅有一个隔离输入通道，而且依赖高压驱动器来提供通道间所需的时序匹配以及应用所需的死区。另一问题是，高压栅极驱动器并无电流隔离，而是依赖结隔离来分离同一IC中的上桥臂驱动电压和下桥臂驱动电压。在下桥臂开关事件中，电路中的寄生电感可能导致输出电压 V_s 降至地电压以下。发生这种情况时，上桥臂驱动器可能发生闩锁，并永久性损坏。

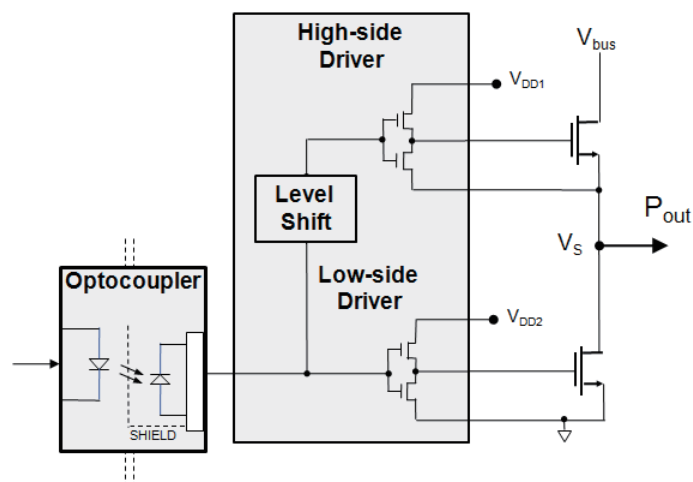


图1. 高压半桥栅极驱动器

光耦合器栅极驱动器

另一种方法(如图2所示)利用两个光耦合器来实现输出之间的电流隔离，从而避免了上桥臂-下桥臂交互作用的问题。栅极驱动器电路往往置于与光耦合器相同的封装中，最常见的情况是，两个独立的光耦合器栅极驱动器IC构成完整的隔离式半桥，结果使解决方案尺寸变大。需要注意的是，光耦合器是作为分立式器件生产的，即使两个光耦合器封装在一起亦是如此，因此，它们的通道间匹配存在限制。这会增加关闭一个通道与打开另一个通道之间的死区，从而导致效率下降。光耦合器的响应速度同样受到原边发光二极管(LED)电容的限制，而且将输出驱动至高达1 MHz的速度也会受到其传播延迟(最大值为500 ns)以及较慢的上升和下降时间(最大值为100 ns)的限制。要使光耦合器达到最高速度，需要将LED电流增加至10 mA以上，这会消耗更多功率，缩短光耦合器的寿命并降低其可靠性，尤其是在太阳能逆变器和电源应用中常见的高温环境下。

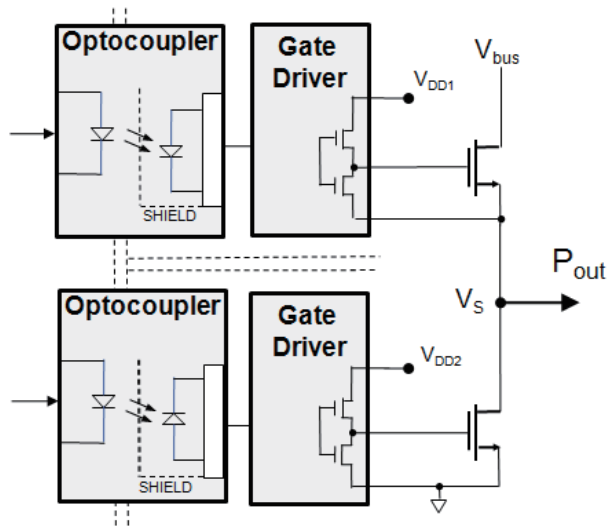


图2. 光耦合器半桥栅极驱动器

脉冲变压器栅极驱动器

接下来，我们将探讨电流隔离器，由于它们具有更低的传播延迟、更精确的时序，因此速度比光耦合器更高。脉冲变压器是一种隔离变压器，其工作速度可以达到半桥栅极驱动器应用通常所需的水平(最高1 MHz)。栅极驱动器IC可用于提供容性MOSFET栅极充电所需的高电流。图3中的栅极驱动器以差分方式驱动脉冲变压器的原边，该变压器副边有两个绕组，用于驱动半桥的各个栅极。使用脉冲变压器的一个优势是，它不需要用隔离电源来驱动副边MOSFET。当感应线圈中有较大的瞬态栅极驱动电流流过时(会导致振铃)，这种应用就可能出现问题。它有可能使栅极不合需要地开启和关闭，从而损坏MOSFET。脉冲变压器的另一个局限在于，它们在要求信号占空比在50%以上的应用中可能表现不佳。这是由于变压器只能提供交流信号，因为铁芯磁通量必须每半个周期复位一次以维持伏秒平衡。最后，脉冲变压器的磁芯和隔离式绕组需要相对较大的封装。再加上驱动器IC和其他分立式元件，最终建立的解决方案可能尺寸过大，无法适应许多高密度应用。

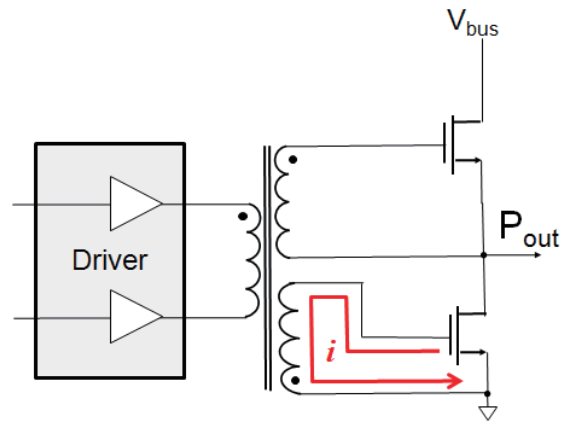


图3. 脉冲变压器半桥栅极驱动器

数字隔离器栅极驱动器

现在，我们来看看以数字隔离器来实现隔离式半桥栅极驱动器的方法。在图4中，数字隔离器使用标准CMOS集成电路工艺，以金属层形成变压器线圈，并以聚酰亚胺绝缘材料来分离线圈。这种组合可以实现5 kV rms以上(1分钟额定值)的隔离能力，可用于增强型隔离电源和逆变器应用。

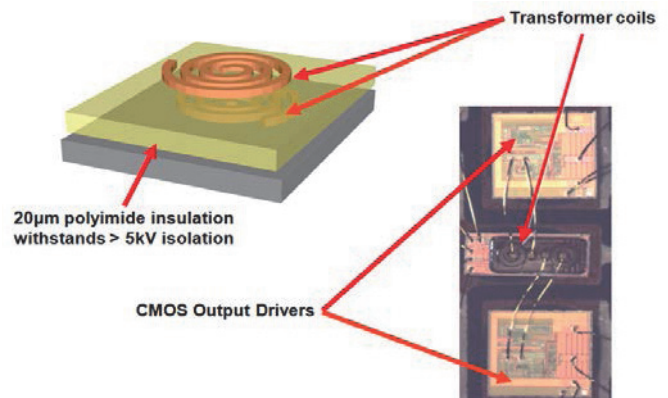


图4. 采用变压器隔离的数字隔离器

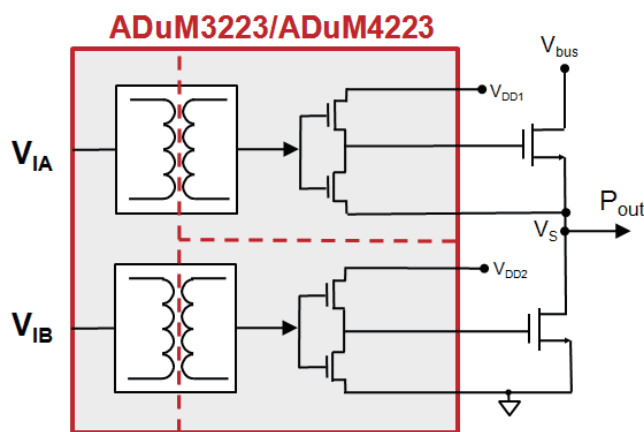


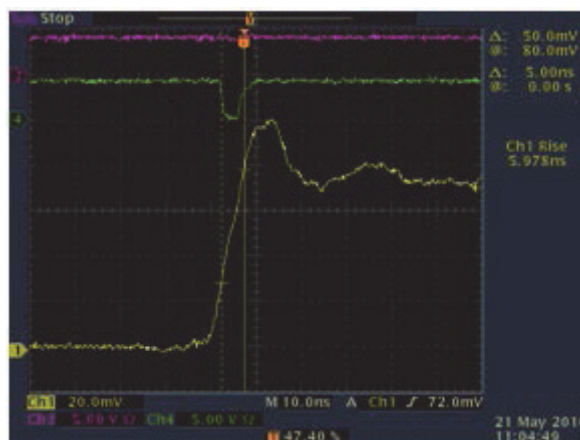
图5. 数字隔离器4 A栅极驱动器

如图5中电路所示，数字隔离器消除了光耦合器中使用的LED以及与之相关的老化问题，而且功耗更低、可靠性更高。输入与输出以及输出与输出之间提供电流隔离，以消除上桥臂-下桥臂的交互作用。输出驱动器通过低输出阻抗降低导通损耗，同时通过快速开关时间降低开关损耗。与光耦合器设计不同，上桥臂和下桥臂数字隔离器是输出匹配型集成电路，具有更高的效率。高压栅极驱动器集成电路(图1)会增加电平转换电路中的传播延迟，因而不能像数字隔离器一样实现通道间时序特性的匹配。在数字隔离器中集成栅极驱动器，可使解决方案的尺寸降至单封装级，从而大幅减小解决方案尺寸。

共模瞬变抗扰度

在针对高压电源的许多半桥栅极驱动器应用中，开关元件中可能发生极快的瞬变。在这些应用中，如果较大的 dV/dt 可能在隔离栅上发生容性耦合，则有可能在隔离栅上导致逻辑瞬变错误。在隔离式半桥驱动器应用中，这种情况可能在交叉传导过程中同时打开两个开关，因而可能损坏开关。隔离栅上的任何寄生电容都可能成为共模瞬变的耦合路径。光耦合器需要以敏感度极高的接收器来检测隔离栅上传递的少量光，而且较大的共模瞬变可能扰乱其输出。可以在LED与接收器之间添加一个屏蔽，以改善光耦合器对共模瞬变电压的敏感度，大多数光耦合器栅极驱

动器正是这样做成的。该屏蔽可以提高共模瞬变抗扰度(CMTI)，从标准光耦合器不到 $10\text{ kV}/\mu\text{s}$ 的额定值提升至光耦合器栅极驱动器的 $25\text{ kV}/\mu\text{s}$ 。虽然 $25\text{ kV}/\mu\text{s}$ CMTI对许多栅极驱动器应用是足够的，但是对于瞬变电压较大的电源以及太阳能逆变器应用来说，可能需要 $50\text{ kV}/\mu\text{s}$ 或更大的CMTI。

图6. 基于电容的数字隔离器(CMTI < $10\text{ kV}/\mu\text{s}$)

数字隔离器可以向其接收器提供更高的信号电平，并能承受极高的共模瞬变而不会导致数据错误。基于变压器的隔离器是四端器件，可对信号提供低差分阻抗，对噪声提供高共模阻抗，从而实现优秀的CMTI。其它数字隔离器可能使用容性耦合来产生变化的电场，实现跨越隔离栅的数据传输。与基于变压器的隔离器不同，基于电容的隔离器是双端器件，噪声和信号共用同一传输路径。对于双端器件，信号频率需要远高于预期的噪声频率，以便隔离栅电容对信号提供低阻抗，而对噪声提供高阻抗。当共模噪声电平大到足以淹没信号时，则可能扰乱隔离器输出端的数据。图6所示为基于电容的隔离器中发生数据扰乱示例，其中，输出信号(通道4)在仅 $10\text{ kV}/\mu\text{s}$ 的共模瞬变过程中下降了 6 ns ，造成毛刺。注意，图中数据是在基于电容的隔离器的扰乱阈值下采集的；如果瞬变较大，扰乱可能持续更长时间，从而使MOSFET开关变得不稳定。相比之下，基于变压器的数字隔离器能够承受超过 $100\text{ kV}/\mu\text{s}$ 的共模瞬变，而输出端不会出现数据扰乱问题(见图7)。

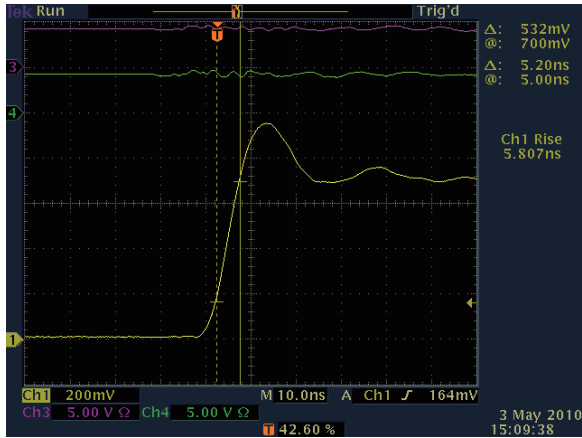


图7. 基于变压器的数字隔离器ADuM140x(CMTI为100 kV/μs)

总而言之，对于隔离式半桥栅极驱动器应用，事实表明，相对于基于光耦合器和脉冲变压器的设计，基于变压器的数字隔离器具有众多优势。通过集成极大降低了解决方案尺寸和设计复杂度，时序性能大大改善。通过电流隔离输出驱动器和更高的CMTI进一步提高了鲁棒性。

参考文献

技术文章“共模瞬变抗扰度”，Chris Coughlin(ADI公司)

保护RS-485通信网络不受有害EMC事件影响

作者: James Scanlon, ADI公司高级评估工程师;
Koenraad Rutgers, Bourns, Inc.高级现场应用工程师

内容提要

在实际工业和仪器仪表(I&I)应用中, RS-485接口链路需要在恶劣电磁环境下工作。雷击、静电放电和其他电磁现象引起的大瞬变电压可能损坏通信端口。为了确保这些数据端口能够在最终安装环境中正常工作, 它们必须符合某些电磁兼容性(EMC)法规。

这些要求包括三个主要瞬变抗扰度标准: 静电放电、电快速瞬变和电涌。

许多EMC问题并不简单或明显, 因此必须在产生设计开始时予以考虑。如果把这些问题的解决留到设计周期后期去解决, 可能导致工程预算和计划超限。

本文介绍各主要瞬变类型, 并针对RS-485通信端口的三种不同成本/保护级别, 提出并演示三种不同的EMC兼容解决方案。

ADI公司和Bourns, Inc.携手合作, 共同开发了业界首个EMC兼容RS-485接口设计工具, 提供针对IEC61000-4-2 ESD、IEC61000-4-4 EFT和IEC61000-4-5电涌的四级保护, 从而扩展面向系统的解决方案组合。它根据所需保护级别和可用预算为设计人员提供相应的设计选项。借助这些设计工具, 设计人员可在设计周期之初考虑EMC问题, 从而降低该问题导致的项目延误风险。

RS-485标准

工业与仪器仪表(I&I)应用常常需要在距离很远的多个系统之间传输数据。RS-485电气标准是I&I应用中使用最广泛的物理层规范之一, I&I应用包括: 工业自动化、过程控制、电机控制和运动控制、远程终端、楼宇自动化(暖通空调HVAC等)、安保系统和再生能源等。

使RS-485成为I&I通信应用理想之选的一些关键特性如下:

- 长距离链路——最长4000英尺
- 可在一对绞线电缆上双向通信
- 差分传输可提高共模噪声抗扰度, 减少噪声辐射
- 可将多个驱动器和接收器连接至同一总线
- 宽共模范围(-7 V至+12 V)允许驱动器与接收器之间存在地电位差异
- TIA/EIA-485-A允许数据速率达到数十Mbps

TIA/EIA-485-A描述RS-485接口的物理层, 通常与Profibus、Interbus、Modbus或BACnet等更高层协议配合使用, 能够在相对较长的距离内实现稳定的数据传输。

但在实际应用中, 雷击、功率感应、直接接触、电源波动、感应开关和静电放电可能产生较大瞬变电压, 对RS-485收发器造成损害。设计人员必须确保设备不仅能在理想条件下工作, 而且能够在实际可能遇到的恶劣环境下正常工作。为了确保这些设计能够在电气条件恶劣的环境下工作, 各个政府机构和监管机构实施了EMC法规。如果设计符合这些法规, 可以让最终用户确信它们在恶劣环境下也能正常工作。

电磁兼容性

电磁环境由辐射和传导两种能量组成，因此EMC包括两个方面：发射和耐受性。EMC是指电气系统在目标电磁环境下保持良好性能且不会向该环境引入大量电磁干扰的能力。本文讨论如何提高RS-485端口的EMC耐受性以防范三种主要EMC瞬变。

国际电工委员会(IEC)是致力于制定和发布所有电气、电子和相关技术国际标准的全球领先组织。自1996年以来，向欧盟出售或在欧盟范围内出售的所有电子设备都必须达到规范IEC61000-4-x定义的EMC级别。

IEC61000规范定义了一组EMC耐受要求，适用于在住宅、商业和轻工业环境中使用的电气和电子设备。这组规范包括以下三类高电压瞬变，电子设计人员必须确保数据通信线路不受它们损害：

- IEC 61000-4-2静电放电(ESD)
- IEC 61000-4-4电快速瞬变(EFT)
- IEC 61000-4-5电涌耐受性

所有这些规范都定义了测试方法，用以评估电子和电气设备对指定现象的耐受性。下面概要说明各种测试。

静电放电

ESD是指静电荷在不同电位的实体之间的突然传输，由靠近接触或电场感应引起。其特征是在短时间内产生高电流。IEC61000-4-2测试的主要目的是确定系统在工作中对外部ESD事件的抗扰度。IEC61000-4-2描述了两种耦合测试方法，即所谓接触放电和气隙放电。接触放电要求放电枪与受测单元直接接触。在气隙放电测试期间，放电枪的充电电极朝向受测单元移动，直到气隙上发生电弧放电。放电枪不与受测单元直接接触。气隙测试的结果和可重复性会受到多种因素的影响，包括湿度、温度、气压、距离和放电枪逼近受测单元的速率。

这种方法能够更好地反映实际ESD事件，但可重复性较差。因此，接触放电是首选测试方法。

测试期间，数据端口须经受至少10次正极放电和10次负极放电，脉冲之间间隔1秒。测试电压的选择取决于系统端环境。规定的最高测试为4级，要求接触放电电压为 ± 8 kV，气隙电压为 ± 15 kV。

图1显示了规范所述的8 kV接触放电电流波形。一些关键波形参数包括小于1 ns的上升时间和大约60 ns的脉冲宽度。这说明脉冲总能量约为数十mJ。

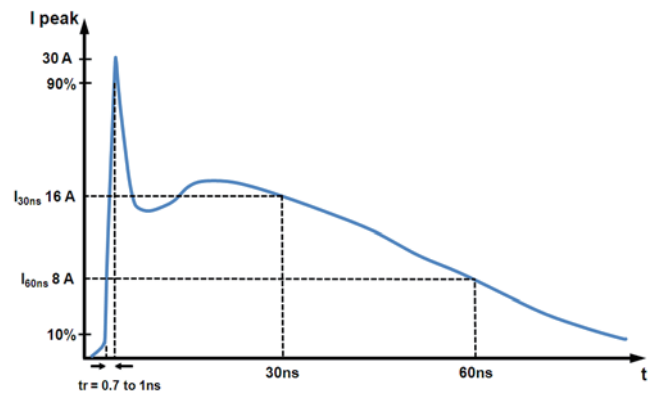
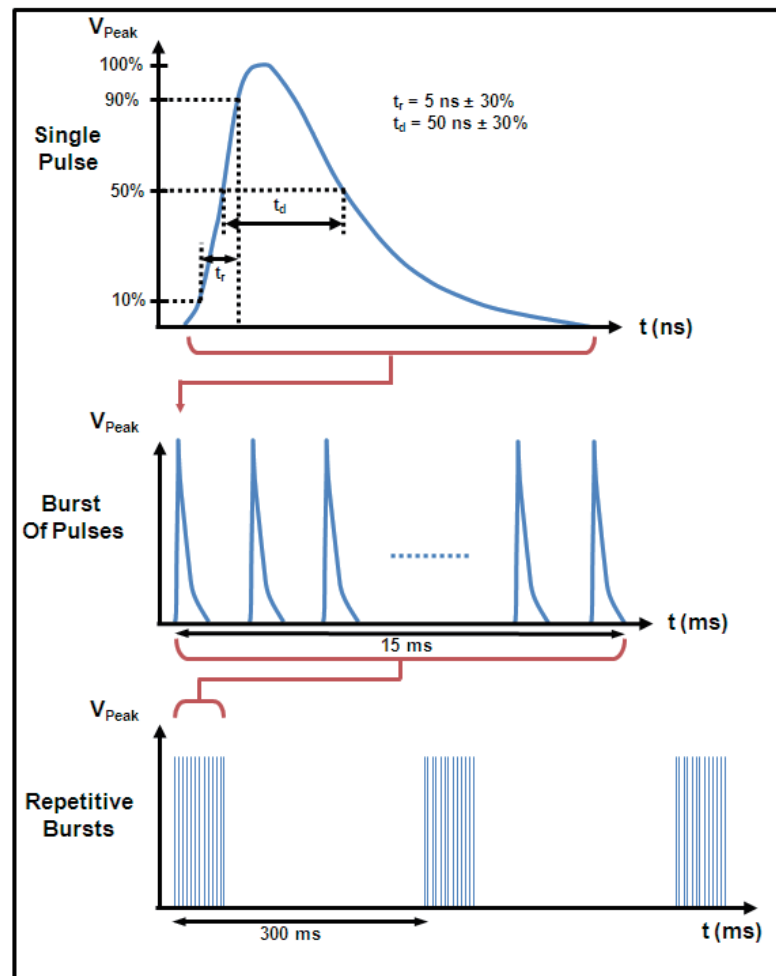


图1. IEC61000-4-2 ESD波形(8 kV)

电快速瞬变

电快速瞬变测试要求将数个极端快速的瞬变脉冲耦合到信号线上，以代表容性耦合到通信端口的外部开关电路的瞬态干扰，这种干扰可能包括继电器和开关触点抖动，以及切换感性或容性负载引起的瞬变，所有这些在工业环境中非常常见。IEC61000-4-4定义的EFT测试试图模拟此类事件造成的干扰。

图2显示EFT 50 Ω 负载波形。EFT波形用具有50 Ω 输出阻抗的发生器在50 Ω 阻抗上产生的电压来描述。输出波形由15 ms的2.5 kHz至5 kHz突发高压瞬变脉冲组成，以300 ms间隔重复。每个脉冲具有5 ns的上升时间和50 ns的持续时间，在波形的上升和下降沿的50%点之间测量。单个EFT脉冲的总能量与ESD脉冲相似。单个脉冲的总能量典型值为4 mJ。施加于数据端口的电压可以高达2 kV。

图2. IEC61000-4-4 EFT 50 Ω 负载波形

这些快速突发瞬变通过容性箝位器耦合到通信线路。EFT通过箝位器容性耦合到通信线路，而不是直接接触。这同样降低了EFT发生器的低输出阻抗所引起的负载。箝位器和电缆之间的耦合电容取决于电缆直径、屏蔽和绝缘。

电涌瞬变

电涌瞬变由开关或雷电瞬变产生的过压引起。开关瞬变的原因可以是电源系统切换、电源分配系统的负载变化或短路等各种系统故障。雷电瞬变的原因可以是附近的雷击将高电流和电压注入电路中。IEC61000-4-5定义了用于评估对这些破坏性电涌的抗扰度的波形、测试方法和测试级别。

波形定义为开路电压和短路电流下波形发生器的输出。标准描述了两种波形。10/700组合波形用于测试连接或对称通信线路所用的端口，例如电话交换线。1.2/50组合波形发生器用于所有其他情况，特别是短距离信号连接。RS-485端口主要使用1.2/50波形，本部分将予以说明。波形发生器的有效输出阻抗为2 Ω ，因此电涌瞬变相关的电流非常高。

图3显示1.2/50电涌瞬变波形。ESD和EFT具有相似的上升时间、脉冲宽度和能量水平，但电涌脉冲的上升时间为1.25，脉冲宽度为50。此外，电涌脉冲能量可以达到90 J，比ESD或EFT脉冲的能量高出三到四个数量级。因此，电涌瞬变被认为是最严重的EMC瞬变。ESD与EFT相似，因此电路保护的设计可以相似，但电涌则不然，其能量非常高，因此必须以不同方式处理。这是开发保护措施以改善数据端口对所有三种瞬变的抗扰度，同时保持高性价比的过程中会遇到的主要问题之一。

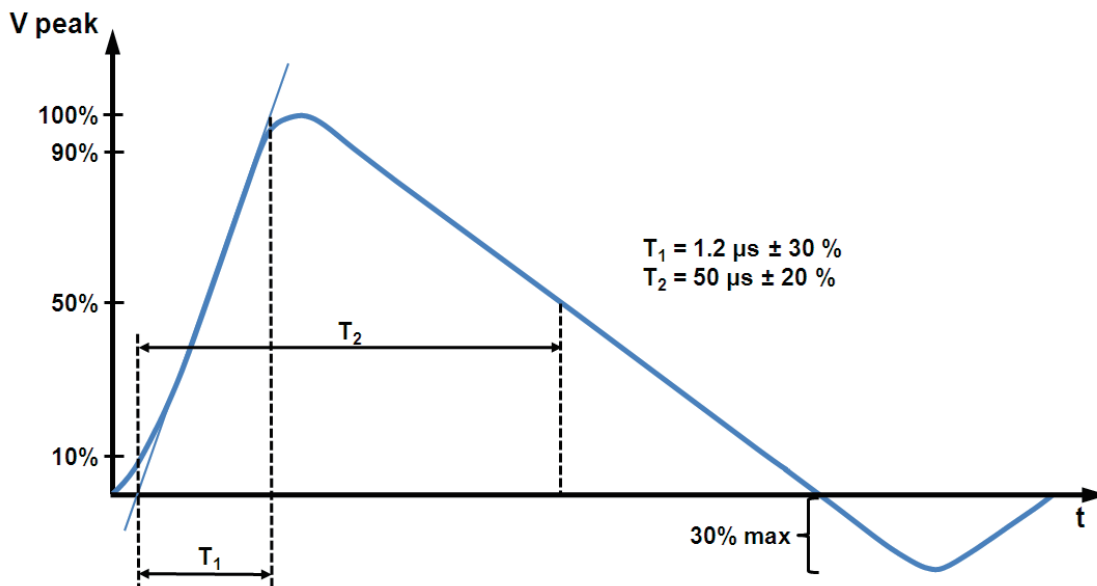


图3. IEC61000-4-5电涌1.2/50 波形

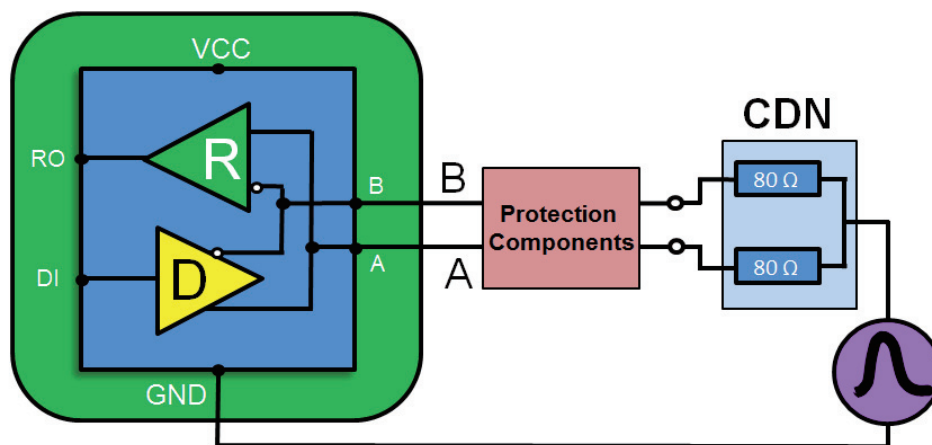


图4. 半双工RS-485器件的耦合/解耦网络

通过/失败标准

将瞬变施加于受测系统时，测试结果按照通过/失败标准分为四类。下面是通过/失败标准的列表，并举例说明各标准与RS-485收发器的关系。

- 正常工作；施加瞬变期间或之后不会发生位错误。
- 功能暂时丧失或性能暂时降低，不需要操作员干预；施加瞬变期间或之后的有限时间内可能发生位错误。
- 功能暂时丧失或性能暂时降低，需要操作员干预；可能发生闩锁事件，但上电复位后可消除，对器件性能无永久影响。
- 功能丧失，设备永久损坏；器件未通过测试。

标准A是最希望达到的，标准D是不可接受的。永久损坏会导致系统停机 and 维修/更换成本。对于任务关键型系统，标准B和标准C也是不可接受的，因为系统在瞬变事件期间必须能无错误运行。

瞬变保护

设计瞬变保护电路时，设计人员必须考虑以下主要事项：

1. 该电路必须防止或限制瞬变引起的损坏，并允许系统恢复正常工作，性能影响极小。
2. 保护方案应当非常可靠，足以处理系统在实际应用经受到的瞬变类型和电压水平。
3. 瞬变时长是一个重要因素。对于长时间瞬变，加热效应可能会导致某些保护方案失效。
4. 正常条件下，保护电路不得干扰系统运行。
5. 如果保护电路因为过应力而失效，它应以保护系统的方式失效。

图5显示一个典型保护方案，其特征是具有两重保护：主保护和次级保护。主保护可将大部分瞬变能量从系统

转移开，通常位于系统和环境之间的接口。它旨在将瞬变分流至地，从而消除大部分能量。

次级保护的目的是保护系统各个部件，使其免受主保护允许通过的任何瞬态电压和电流的损坏。它经过优化，确保能够抵御残余瞬变影响，同时允许系统的敏感部分正常工作。主保护和次级保护的设计必须与系统I/O协同工作，从而最大程度地降低对保护电路的压力，这点很重要。主保护器件与次级保护器件之间一般有一个协调元件，如电阻或非线性过流保护器件等，用以确保二者协同应对瞬变。

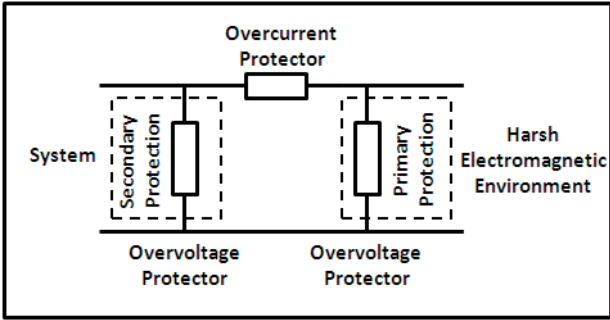


图5. 保护方案框图

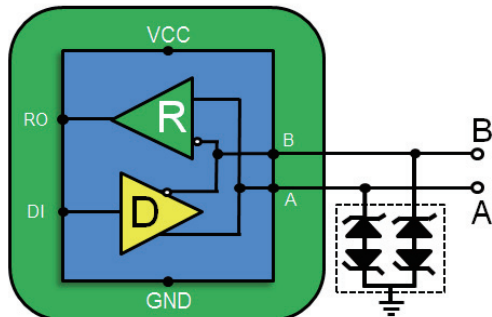
RS-485瞬变抑制网络

就特性而言，EMC瞬态事件在时间上会有变化，因此保护元件必须具有动态性能，而且其动态特性需要与受保护器件的输入/输出极相匹配，这样才能实现成功的EMC设计。器件数据手册一般只包含直流数据，由于动态击穿和I/V特性可能与直流值存在很大差异，因此这些数据没有太多价值。必须进行精心设计并确定特性，了解受保护器件的输入/输出级的动态性能，并且使用保护元件，才能确保电路达到EMC标准。

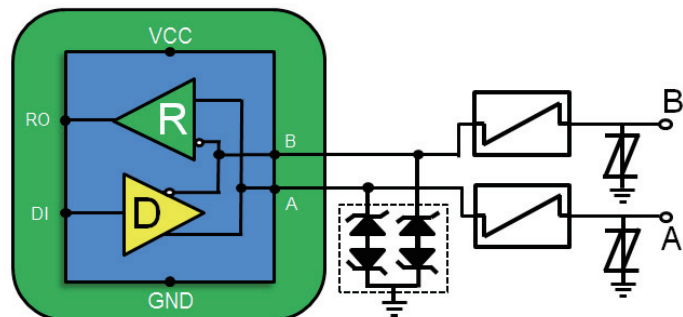
图6所示电路显示了三种不同的完整特性EMC兼容解决方案。每个解决方案都经过独立外部EMC兼容性测试公司的认证，各方案使用精选的Bourns外部电路保护元件，针对ADI公司具有增强ESD保护性能的ADM3485E 3.3 V RS-485收发器提供不同的成本/保护级别。所用的Bourns外部电路保护元件包括瞬态电压抑制器(CDSOT23-SM712)、瞬态闭锁单元(TBU-CA065-200-WH)、

晶闸管电涌保护器(TISP4240M3BJR-S)和气体放电管(2038-15-SM-RPLF)。

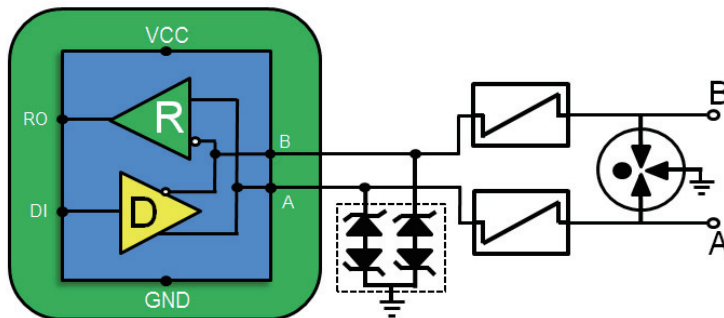
每种解决方案都经过特性测试，确保保护元件的动态I/V性能可以保护ADM3485E RS-485总线引脚的动态I/V特性，使得ADM3485E输入/输出级与外部保护元件协同防范瞬变事件。



Protection Scheme 1. TVS



Protection Scheme 2. TVS / TBU / TISP



Protection Scheme 3. TVS / TBU / GDT

图 6. 三个EMC兼容ADM3485E电路(原理示意图, 未显示所有连接)

保护方案1

前面说过，EFT和ESD瞬变具有相似的能量水平，而电涌波形的能量水平则高出三到四个数量级。针对ESD和EFT的保护可通过相似方式实现，但针对高电涌级别的保护解决方案则更为复杂。第一个解决方案提供四级ESD和EFT保护及二级电涌保护。本文描述的所有电涌测试都使用1.2/50 μs波形。

此解决方案使用Bourns公司的CDSOT23-SM712瞬变电压抑制器(TVS)阵列，它包括两个双向TVS二极管，非常适合保护RS-485系统，过应力极小，同时支持RS-485收发器上的全范围RS-485信号和共模偏移(-7 V至+12 V)。表1显示针对ESD、EFT和电涌瞬变的电压保护级别。

表1. 解决方案1保护级别

ESD (-4-2)		EFT (-4-4)		Surge (-4-5)	
级别	电压(接触/气隙)	级别	电压	级别	电压
4	8 kV/15 kV	4	2 kV	2	1 kV

TVS是基于硅的器件。在正常工作条件下，TVS具有很高的对地阻抗；理想情况下它是开路。保护方法是将瞬态导致的过压箝位到电压限值。这是通过PN结的低阻抗雪崩击穿实现的。当产生大于TVS的击穿电压的瞬态电压时，TVS会将瞬态箝位到小于保护器件的击穿电压的预定水平。瞬变立即受到箝位(< 1 ns)，瞬态电流从受保护器件转移至地。

重要的是要确保TVS的击穿电压在受保护引脚的正常工作范围之外。CDSOT23-SM712的独有特性是具有+13.3 V和-7.5 V的非对称击穿电压，与+12 V至-7 V的收发器共模范围相匹配，从而提供最佳保护，同时最大程度减小对ADM3485E RS-485收发器的过压应力。

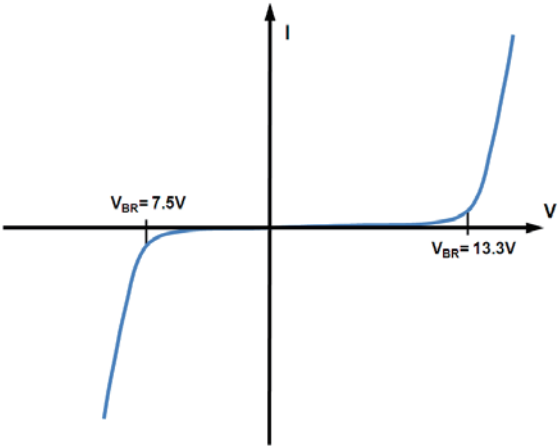


图7. CDSOT23-SM712 I/V特性

保护方案2

上一解决方案可提供最高四级ESD和EFT保护，但只能提供二级电涌保护。为了提高电涌保护级别，保护电路变得更加复杂。以下保护方案可以提供最高四级电涌保护。

CDSOT23-SM712专门针对RS-485数据端口设计。以下两个电路基于CDSOT23-SM712构建，提供更高级别的电路保护。CDSOT23-SM712提供次级保护，而TISP4240M3BJR-S提供主保护。主从保护器件与过流保护之间的协调通过TBU-CA065-200-WH完成。表2显示使用此保护电路的ESD、EFT和电涌瞬变保护电压级别。

表2. 解决方案2保护级别

ESD (-4-2)		EFT (-4-4)		Surge (-4-5)	
级别	电压(接触/气隙)	级别	电压	级别	电压
4	8 kV/15 kV	4	2 kV	4	4 kV

当瞬变能量施加于保护电路时，TVS将会击穿，通过提供低阻抗的接地路径来保护器件。由于电压和电流较高，还必须通过限制通过的电流来保护TVS。这可采用瞬态闭锁单元(TBU)实现，它是一个主动高速过流保护元件。此解决方案中的TBU是Bourns TBU-CA065-200-WH。

TBU可阻挡电流，而不是将其分流至地。作为串联元件，它会对通过器件的电流做出反应，而不是对接口两端的电压做出反应。TBU是一个高速过流保护元件，具有预设电流限值和耐高压能力。

当发生过流，TVS由于瞬态事件击穿时，TBU中的电流将升至器件设置的限流水平。此时，TBU会在不足1时间内将受保护电路与电涌断开。在瞬变的剩余时间内，TBU保持在受保护阻隔状态，只有极小的电流(<1 mA)通过受保护电路。在正常工作条件下，TBU具有低阻抗，因此它对正常电路工作的影响很小。在阻隔模式下，它具有很高的阻抗以阻隔瞬变能量。在瞬态事件后，TBU自动复位至低阻抗状态，允许系统恢复正常工作。

与所有过流保护技术相同，TBU具有最大击穿电压，因此主保护器件必须箝位电压，并将瞬变能量重新引导至地。这通常使用气体放电管或固态晶闸管等技术实现，例如完全集成电涌保护器(TISP)。TISP充当主保护器件。当超过其预定义保护电压时，它提供瞬态开路低阻抗接地路径，从而将大部分瞬变能量从系统和其他保护器件转移开。

TISP的非线性电压-电流特性通过转移产生的电流来限制过压。作为晶闸管，TISP具有非连续电压-电流特性，它是由于高电压区和低电压区之间的切换动作而导致的。图9显示了器件的电压-电流特性。在TISP器件切换到低电压状态之前，它具有低阻抗接地路径以分流瞬变能量，雪崩击穿区域则导致了箝位动作。在限制过压的过程中，受保护电路短暂暴露在高压下，因而在切换到低压保护导通状态之前，TISP器件处在击穿区域。TBU将保护下游电路，防止由于这种高电压导致的高电流造成损坏。当转移电流降低到临界值以下时，TISP器件自动复位，以便恢复正常系统运行。

如上所述，所有三个器件与系统I/O协同工作来保护系统免受高电压和电流瞬变影响。

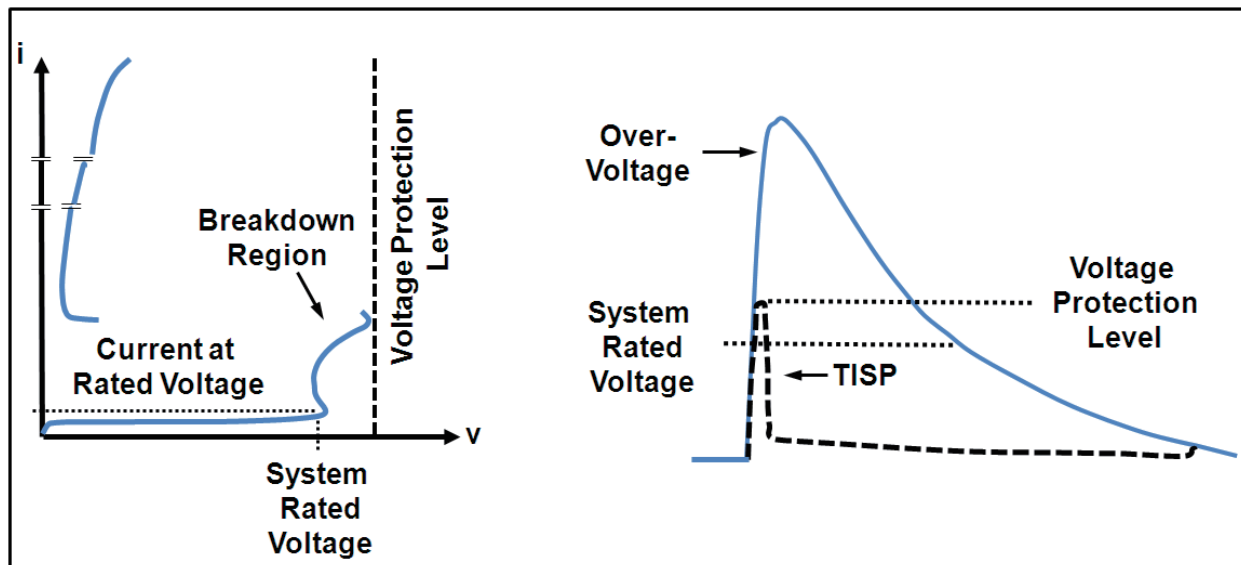


图9. TISP切换特性和电压限制波形

保护方案3

常常需要四级以上的电涌保护。此保护方案可保护RS-485端口免受最高6 kV电涌瞬变的影响。它的工作方式类似于保护解决方案2，但此电路采用气体放电管(GDT)取代TISP来保护TBU，进而保护次级保护器件TVS。GDT将针对高于前一种保护机制中所述TISP的过压和过流应力提供保护。此保护方案的GDT是Bourns公司的2038-15-SM-RPLF。TISP额定电流为220 A，而GDT每个导体的额定电流为5 kA。表3显示此设计提供的保护级别。

表3. 解决方案3保护级别

ESD (-4-2)		EFT (-4-4)		Surge (-4-5)	
级别	电压(接触/气隙)	级别	电压	级别	电压
4	8 kV/15 kV	4	2 kV	X	6 kV

GDT主要用作主保护器件，提供低阻抗接地路径以防止过压瞬变。当瞬态电压达到GDT火花放电电压时，GDT将从高阻抗关闭状态切换到电弧模式。在电弧模式下，GDT成为虚拟短路，提供瞬态开路电流接地路径，将瞬态电流从受保护器件上转移开。

图10显示GDT的典型特性。当GDT两端的电压增大时，放电管中的气体由于产生的电荷开始电离。这称为辉光区。在此区域中，增加的电流将产生雪崩效应，将GDT转换为虚拟短路，允许电流通过器件。在短路事件中，器件两端产生的电压称为弧电压。辉光区和电弧区之间的转换时间主要取决于器件的物理特性。

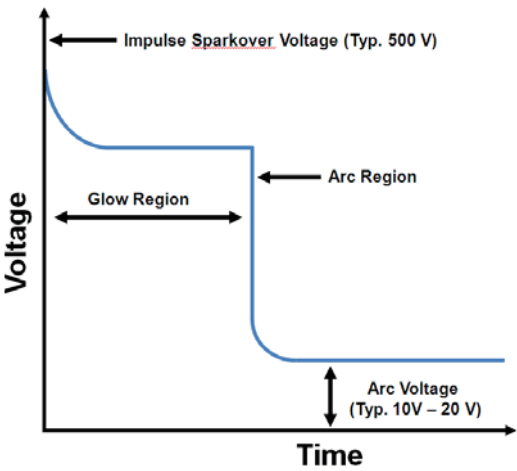


图10. GDT特性波形

结论

本文说明了处理瞬变抗扰度的三种IEC标准。在实际工业应用中，RS-485通信端口遇到这些瞬变时可能遭到损坏。EMC问题如果是在产品设计周期后期才发现，可能需要重新设计，导致计划延迟，代价巨大。因此，EMC问题应在设计周期开始时就予以考虑，否则可能后悔莫及，无法实现所需的EMC性能。

在设计面向RS-485网络的EMC兼容解决方案时，主要难题是让外部保护元件的动态性能与RS-485器件输入/输出结构的动态性能相匹配。

本文介绍了适用于RS-485通信端口的三种不同EMC兼容解决方案，设计人员可按照所需的保护级别选择保护方案。EVAL-CN0313-SDPZ是业界首个EMC兼容RS-485客户设计工具，针对ESD、EFT和电涌提供最高四级保护。表4总结了不同保护方案提供的保护级别。虽然这些设计工具不能取代所需的系统级严格评估和专业资质，但能够让设计人员在设计周期早期降低由于EMC问题导致的项目延误风险，从而缩短产品设计时间和上市时间。有关详情，请访问：www.analog.com/RS485emc。

表4. 三种ADM3485E EMC兼容解决方案

保护方案	ESD (-4-2)		EFT (-4-4)		Surge (-4-5)	
	级别	电压(接触/气隙)	级别	电压	级别	电压
TVS	4	8 kV/15 kV	4	2 kV	2	1 kV
TVS/TBU/TISP	4	8 kV/15 kV	4	2 kV	4	4 kV
TVS/TBU/GDT	4	8 kV/15 kV	4	2 kV	X	6 kV

参考文献

ADM3485E数据手册。

ADI公司接口与隔离产品。

<http://www.analog.com/cn/products/interface-isolation.html>。

Bourns电信保护指南。

www.bourns.com/data/global/pdfs/bourns_circuit_protection_selection_guide.pdf。

CDSOT23-SM712。

www.bourns.com/pdfs/CDSOT23-SM712.pdf。

电磁兼容性 (EMC) 第4-2节：测试和测量技巧——静电放电抗扰性试验 (IEC61000-4-2:2008 (2.0版本))。

电磁兼容性 (EMC) 第4-4节：测试和测量技巧——电快速瞬变/突波抗扰度测试 (IEC61000-4-4:2012 (3.0版本))。

电磁兼容性 (EMC) 第4-5节：测试和测量技巧——浪涌抗扰性试验 (IEC61000-4-5:2005 (2.0版本))。

EVAL-CN0313-SDPZ。 www.analog.com/RS485emc。

GDT第一原理。

www.bourns.com/pdfs/bourns_gdt_white_paper.pdf。

Marais, Hein。应用笔记AN-960。《RS-485/RS-422电路实施指南》，2008年4月。

TBU-CA065-200-WH。

www.bourns.com/data/global/pdfs/TBU-CA.pdf。

TISP4240M3BJR-S。

www.bourns.com/data/global/pdfs/TISP4xxxM3BJ.pdf。

2038-15-SM-RPLF。

www.bourns.com/data/global/pdfs/2038-xx-SM.pdf。

降压调节器变身为智能LED驱动器

作者: Jon Kraft, ADI公司应用工程经理

LED有望改变世界, 几乎没有人怀疑这一点, 但LED本身的成本是导致其不能快速得到推广的一个主要因素。不同LED灯具的成本构成也不尽相同, 但可以有把握地说, LED的成本占灯具总成本的大约25%到40%。预计未来许多年, 它在灯具总成本中都会占据相当大的比例。

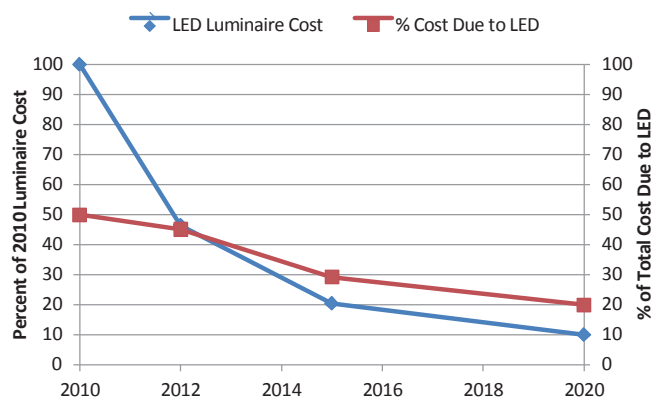


图1. LED灯具成本的细分¹

降低灯具总成本的一种方法是以最高可能的电流驱动LED。如果妥善驱动, 这种LED可提供更高的流明/成本比。

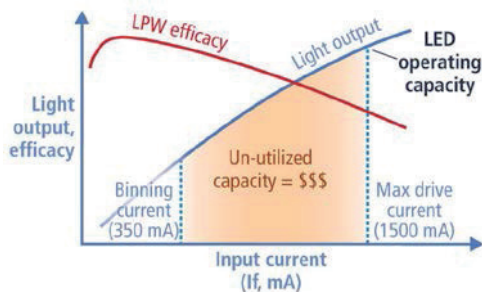


图2. Cree XLamp XP-G LED的工作容量可能未被充分利用²

为此需要高电流驱动器, 但很多解决方案以低电流 (<500 mA) 驱动LED, 很少有高电流 (700 mA至4.0 A) 的选择方案。另一方面, 半导体世界充斥着4.0 A以下的DC-DC方案, 这就更加令人不解。然而, 问题是这些DC-DC解决方案设计用于控制电压, 而不是LED电流。本文探讨将现成DC-DC降压调节器变身为超级智能LED驱动器的一些简单技巧。

降压调节器对输入电压进行斩波, 让其通过LC滤波器, 从而提供稳定的输出。为此, 降压调节器采用两个有源元件和两个无源元件。有源元件包括从输入到电感的开关 (图3中标示为A) 和从GND到电感的开关 (或二极管, 图3中标示为B)。无源元件包括电感 (L) 和输出电容 (C_{OUT})。它们形成LC滤波器, 可以减小由有源元件产生的纹波。其配置如图3所示。

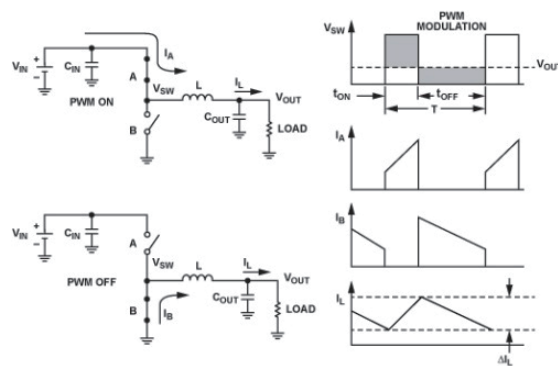


图3. 基本降压方案³

如果开关在内部, 则称之为“调节器”, 否则称之为“控制器”。如果两个开关均为功率晶体管 (MOSFETS或BJT), 则称之为“同步”, 否则称之为“异步”。这样就得到好几类降压电路, 每类电路都有其优点和不足。讨论使用哪种类型以及所有的利弊将需要大量篇幅, 但一般而言, 同步降压调节器常常能够实现最佳的效率、BOM数量、成本和板面积。然而, 用于驱动高电流LED (最高4 A) 的同步降压调节器很少, 而且成本昂贵。那么, 为什么不能对标准同步降压调节器进行改造, 以用来调节LED电流呢? 我们将使用ADI公司最近发布的两个通用同步降压调节器作为例子: [ADP2441](#) 和 [ADP2384](#)。

ADP2441是一款高效率、36 V输入同步降压调节器，能够产生最高1.2 A的输出电流。ADP2384是另一款高效率同步降压调节器，输出电流最高可达4.0 A，输入电压可达20 V。这两款器件的标准输出电压调节原理图如图4所示。

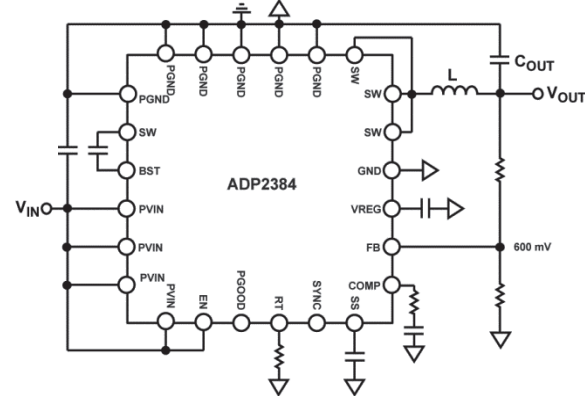
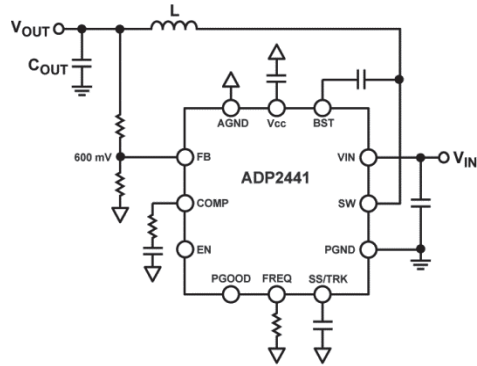


图4. ADP2384和ADP2441调节输出电压的原理图

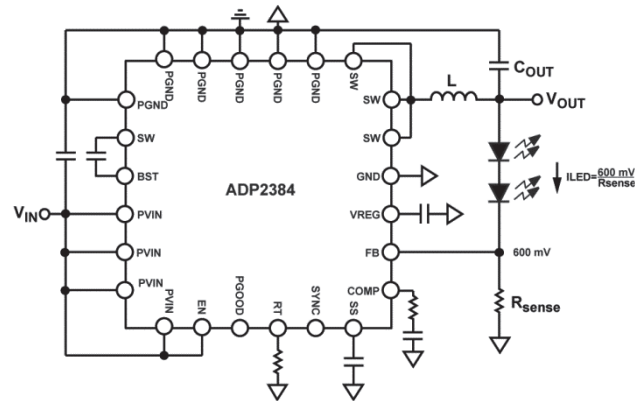
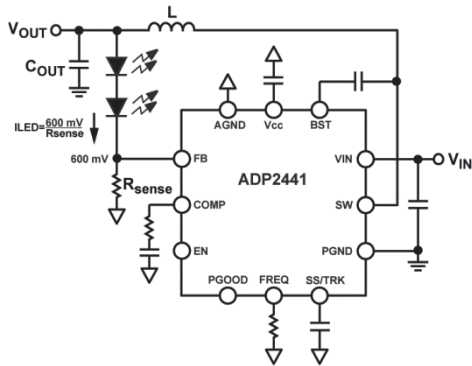


图5. 基本(但不高效)的LED驱动器

对于ADP2441和ADP2384，输出电压均经过电阻分压送至FB引脚。它与内部600 mV基准电压比较，用来为开关产生适当的占空比。在稳态下，此FB引脚调节到恰好600 mV。因此，很容易将LED放在电阻分压器的位置(图5)，并利用一个串联电阻(R_{SENSE})来设置电流。

很多通用降压IC包括软启动(SS)或跟踪(TRK)引脚。SS引脚主要用来在启动时提供受控电感电流, TRK引脚主要用来使降压调节器跟随一个独立电压。这两个引脚常常合并为一个SS/TRK引脚。大多数情况下, 误差放大器使用SS、TRK和FB基准电压中的最小值来改变调节点。典型设置如图6所示。

之间使用一个电阻分压器就能很好地满足要求。很多降压调节器IC包括受控低压输出，如ADP2384的VREG引脚或ADP2441的VCC引脚。为了达到更高精度，可以使用简单的2引脚精密基准电压源，例如[ADR5040](#)。无论何种情况，从电源到SS/TRK引脚的电阻分压器都会形成新的基准电压源。设置该电阻分压器以使SS/TRK电压在100 mV至200 mV之间，通常可以实现功耗和LED电流精度之间的最佳平衡。自行设置反馈基准电压的另一个好处是可以轻松适应任何检测电阻值(标准值)，这样就可以避免并联多个 R_{SENSE} 电阻来设置LED电流的开销和不精确性。

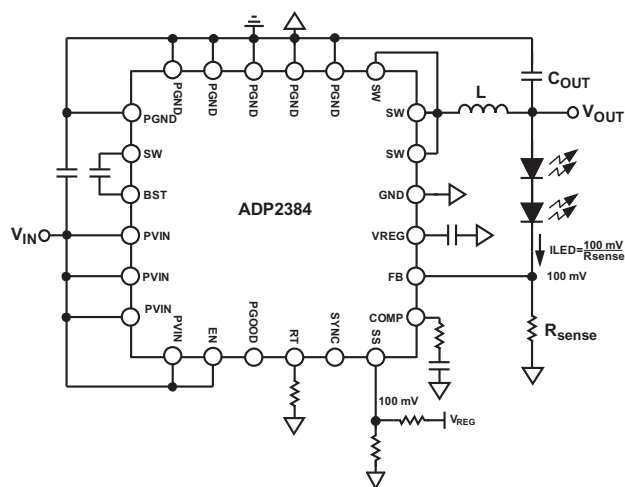


图7. 使用SS/TRK引脚降低FB基准电压

MS-2437

使用SS或TRK引脚可适应许多降压调节器，但不是全部。某些IC没有SS或TRK引脚。另外，某些降压IC的SS引脚会改变峰值电感电流，而不是FB基准，因此必须仔细查看产品数据手册。对于这两种情形，可以使用另

一个技巧：偏移 R_{SENSE} 电压。将一个电阻分压器连接到FB与 R_{SENSE} 之间的精确电源轨，可提供 R_{SENSE} 与FB引脚之间的稳定偏移电压。

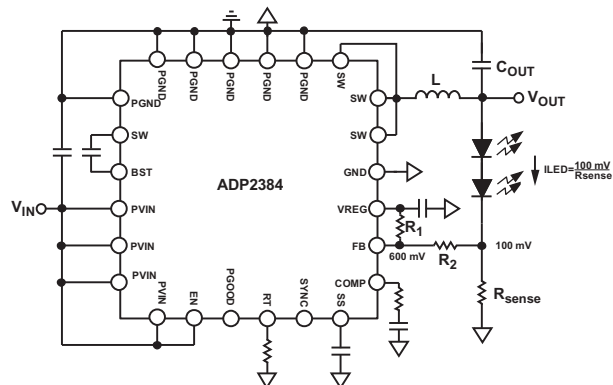
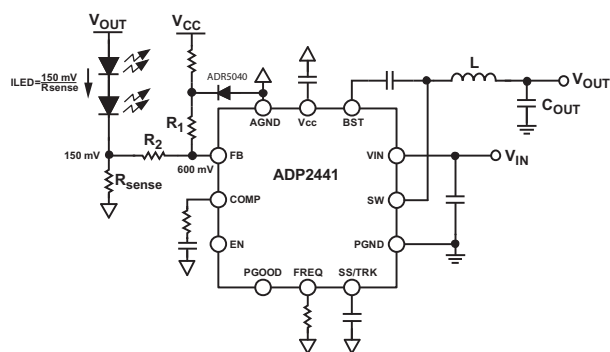


图8. 偏移 R_{SENSE} 电压

电阻分压器所需的值可以通过下式计算：

$$R1 = R2 \times \frac{V_{SUP} - FB_{REF}}{FB_{REF} - FB_{REF(NEW)}}$$

因此，为获得150 mV的有效反馈基准，R2 = 1 kΩ，V_{SUP} = 5 V：

$$R1 = 1 \text{ k}\Omega \times \frac{5.0\text{V} - 0.6\text{V}}{0.6\text{V} - 0.15\text{V}} = 9.78 \text{ k}\Omega$$

LED电流等于：

$$I_{LED} = \frac{FB_{REF(NEW)}}{R_{SENSE}}$$

这种方法不需要SS或TRK引脚。此外，FB引脚仍然调节至600 mV(但R_{SENSE}的电压调节至FB_{REF (NEW)}电压)。这意味着芯片的其他功能(包括软启动、跟踪和电源良好指示等)仍将正常运行。

缺点是R_{SENSE}和FB之间的偏移受到电源精度的严重影响。ADR5040等精密基准电压源问题不大，但如果是±5%的基准电压源，LED电流将产生±12%的变化。这两种方法的比较见表1所示。

表1.

选择1： 使用SS/TRK降低FB基准	选择2： 偏移R _{SENSE} 电压
±5%的电源电压变化在I _{LED} 上产生±5%的误差。这不会受到V _{SENSE} 电压的影响；因此，这种方法具有最低的R _{SENSE} 功耗。	±5%的电源电压变化在I _{LED} 上产生±12%的误差。更高V _{SENSE} 电压可以改进这种状况。
很好的开路/短路LED保护。FB_OVP不会对间歇开路保护起作用。LED电流受到电感和控制环路速度的限制。	很好的开路/短路LED保护。此外，有些IC具有另一个FB基准(FB_OVP)，当FB升高50 mV至100 mV超出正常水平时，它会立即禁用开关。这样可以保证间歇性故障期间的最大LED过流。
PGOOD将始终保持低电平。	由于FB引脚仍然调节至600 mV，PGOOD引脚正常工作。
通过保持SS/TRK引脚低于正常值，某些故障模式可能无法正常工作。	所有故障模式正常工作。

精确电流调节的另一个关键是检测电阻的适当布局和布线。在错误的点检测该电阻可能会在FB引脚产生数毫伏的误差，从而大幅降低LED精度。4引脚检测电阻是理想之选，但成本比较昂贵。然而，只要采用良好的布局布线技术，那么利用传统2引脚电阻也能获得高精度。Marcus O'Sullivan发表过一篇关于该主题的出色文章：
<http://www.analog.com/cn/analog-dialogue/articles/optimize-high-current-sensing-accuracy.html>

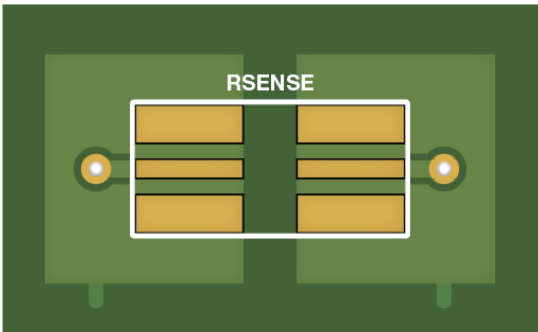


图9. R_{SENSE}的建议PCB走线路径⁴

LED电流调节很简单。真正的挑战在于复制专用LED降压调节器的所有智能特性。一些常见的特性包括：LED短路/开路故障保护、R_{SENSE}开路/短路故障保护、PWM调光、模拟调光和电流折返热保护。

标准降压转换器处理短路或开路LED通常没有问题。短路LED类似于一个低压负载，降压IC调整占空比来补偿。开路LED在降压IC看来类似于一个开路负载，因此它提供最大占空比，V_{OUT}升至最大值(但不高于V_{IN})，但不输送功率。任一种情况都不影响系统内任何部分的安全。但启动后LED间歇短路或开路则会造成问题，根源在于输出电压。当LED短路或开路LED重新连接时，输出电容中储存的能量会引起巨大浪涌电流通过LED。

考虑LED串突然短路的情形。降压调节器控制占空比以提供恒定FB电压，进而产生恒定电流通过LED。此电流在LED串上产生一定的正向电压(VF)，因此降压输出电容充电至V_{OUT} = VF + VFB。如果串中的某个LED短路导致VF突然下降，输出电容就会向LED串提供电流。此电流等于I_C = C ΔVf/Δt(Δt很小，C一般很大，目的是尽可能降低降压LC滤波器中的L，意味着I_C可能非常大)。实例如图10所示。

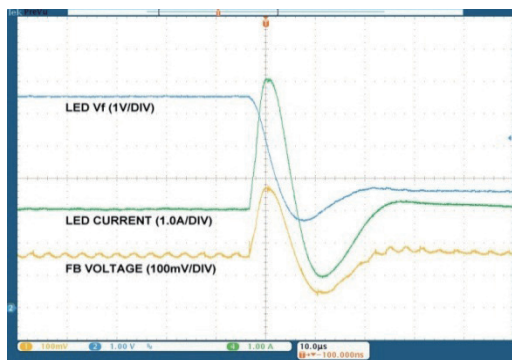


图10. 对短路LED的响应($C_{OUT} = 10 \mu F$, $L = 47 \mu H$)

间歇断开的LED串存在类似问题： V_{OUT} 充电至最大值。然后，当LED重新连接时，巨大的浪涌电流直通LED。然而，如果没有输出电容，问题也将不存在。我们是否敢移除降压调节器四个关键元件之一？幸运的是，LED不关心是否有一定的纹波，而反馈环路会确保平均LED电流仍然相同。因此，通过移除电容，我们解决了一些潜在的问题，并节省较大部分的物料(BOM)。现在，LED电流完全等于电感电流，电感电流上的纹波反映在FB电压中。

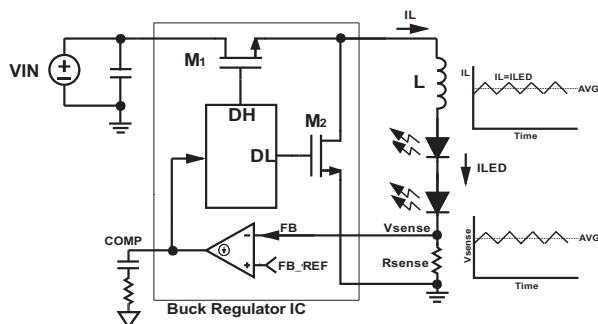


图11. 无 C_{OUT} 的降压LED驱动器操作

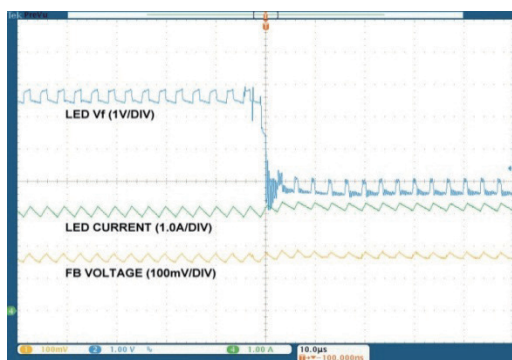


图12. 对间歇短路LED的响应($C_{OUT} = 10$ 和 $C_{OUT} =$ 开路)

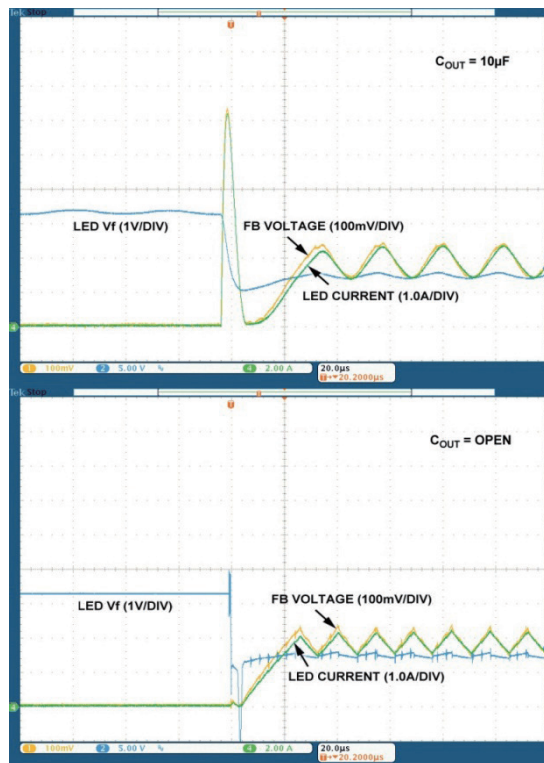


图13. 对间歇开路LED的响应($C_{OUT} = 10$ 和 $C_{OUT} =$ 开路)

消除 C_{OUT} 还有一个好处：由于 $I_{LED} = I_L$ ，并且 I_L 受到很好的控制(因为降压IC竭力限制最大电感电流)，因此LED又多了一重安全保障。LED电流绝不会超过降压调节器的峰值电流限值。对于ADP2441，此限值为1.7 A(典型值)；对于ADP2384，此限值为6.1 A(典型值)。这可以用于另一种故障情形： R_{SENSE} 间歇短路。

R_{SENSE} 短路或FB引脚短接到GND，可能带来灾难性后果：占空比升至最大值，从而输送最大功率，导致 V_{IN} 实际上直接施加于LED。这将致使不受控且非常高的电流通过LED。多数降压调节器会限制此最大电流、其峰值电感电流，或者进入打嗝保护模式，但通过消除输出电容，我们同样能够保护LED不受启动后 R_{SENSE} 短路的影响。

因此，略加改造的同步降压拓扑可解决相当多的常见LED故障。然而，凡事都是有利必有弊，此处的弊端是有纹波电流通过LED。此纹波电流处在非常高的频率(开关频率，一般大于300 kHz)，因此不会有可见的闪烁和可听到的噪声。真正的问题是要确保LED不超过最大电流额定值。该值在大多数LED数据手册上较为模糊。许多LED数据手册会指定浪涌电流额定值和直流电流额定值，但通常不会涉及直流值之上的高频纹波。

最安全的方法是让LED纹波的峰值低于LED的直流额定值，这意味着要挑选一个较高值的电感来使纹波较小。这种电感要么尺寸较大，要么具有较高电阻(DCR)。另一种办法是电感保持不变，但选择更高的开关频率使电流纹波保持较小。然而，这会提高开关功耗。因此，如果LED的最大额定电流接近期望输出的最大平均电流，则板面积、成本或功耗可能要受影响。

智能LED驱动器的另一个关键要求是调光控制。LED调光分为两类：PWM和模拟。PWM调光以脉冲方式输出LED电流。如果频率高于约120 Hz，人眼会均衡这些脉冲，以产生可感知的平均光度。模拟调光按比例调整LED电流，该直流始终不变(dc)。

为实现PWM调光，可以插入一个NMOS与 R_{SENSE} 串联，然后开启和关闭NMOS。这必将产生脉冲式输出电流，但在这种电流水平，我们需要使用功率NMOS。增加一个这样的器件就会抵消降压调节器内置功率开关带来的尺寸和成本上的好处。另一方面，通过快速开关降压调节器，更容易实现PWM调光。对于低PWM频率(<1 kHz)，这样仍然可以提供良好的精度(图14)。

像所有通用降压调节器一样，ADP2384没有引脚来应用PWM调光输入，但可以操控FB引脚来使能和禁用开

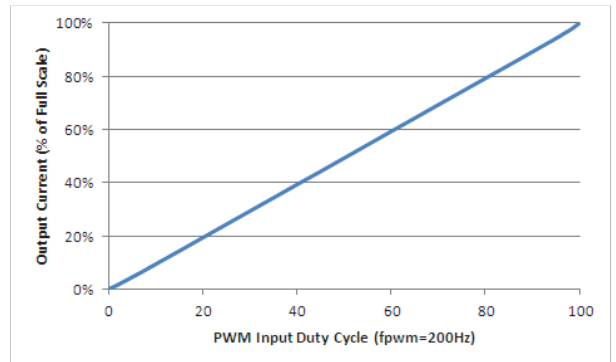


图14. ADP2384 PWM调光线性度

关。如果FB变为高电平，则误差放大器变为低电平，降压开关停止。如果将FB连接到 R_{SENSE} ，则它将恢复正常调节。这可以通过小信号(低电流)NMOS或通用二极管实现。如果采用NMOS，高电平PWM信号将 R_{SENSE} 短接到FB，从而使能LED调节。低电平PWM信号关闭NMOS，一个上拉电阻将FB变为高电平。如果采用二极管，高电平PWM信号不产生LED电流，这与通常规范相比有点落后。图15显示了这两种解决放哪。

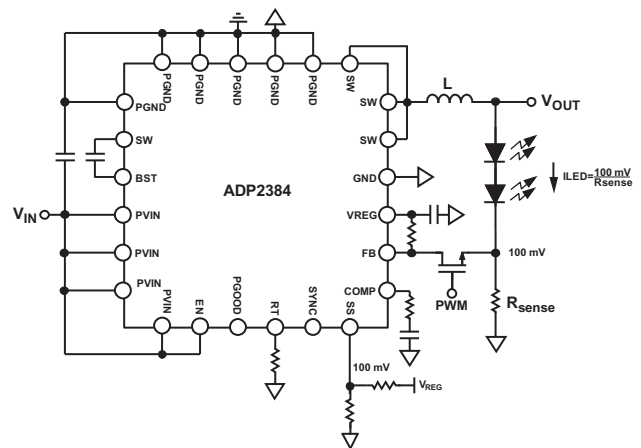
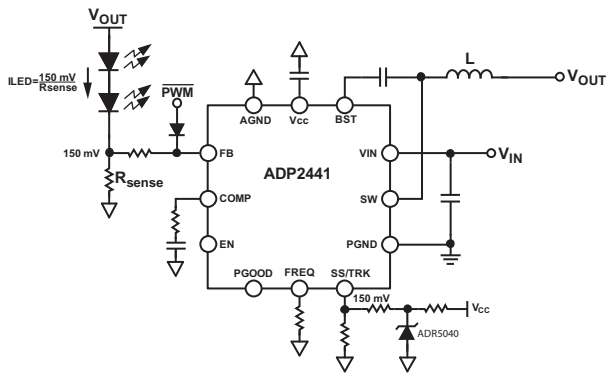


图15. PWM调光选择

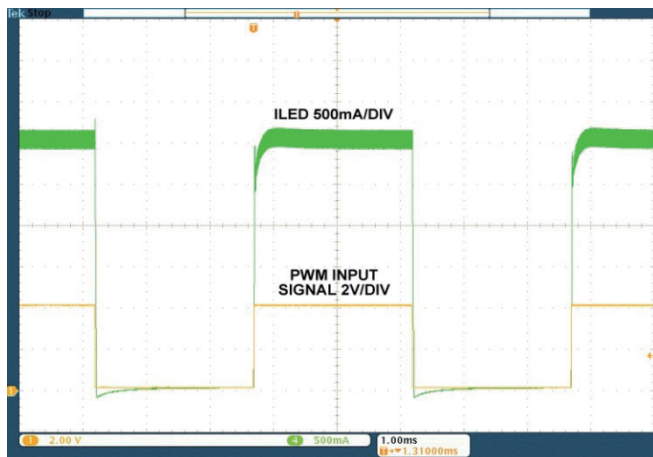


图16. PWM调光波形

虽然PWM调光非常流行，但有时我们需要无噪声的模拟调光。模拟调光调整LED电流，而PWM调光则进行斩波。如果使用两路调光输入，则也需要模拟调光。在另一个PWM调光信号之上应用PWM调光可能会产生拍频，导致光线闪烁或可听到的噪声。因此，可将PWM用于一种调光控制，而将模拟用于另一种调光控制。对于通用降压调节器，实现模拟调光的最简单方法是操控前面构建的FB基准电压源，使模拟调光控制电压成为FB基准电压调整电路的电源。

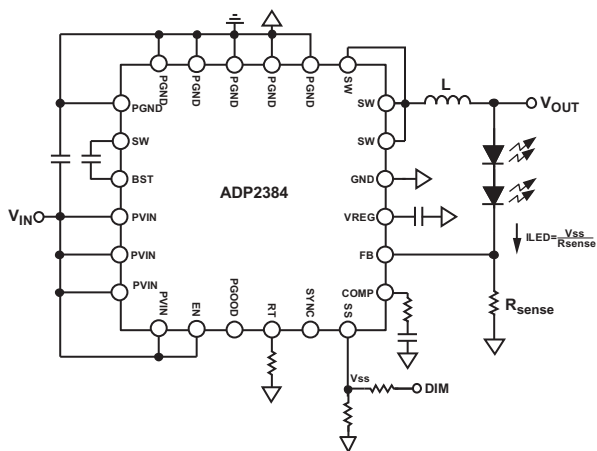
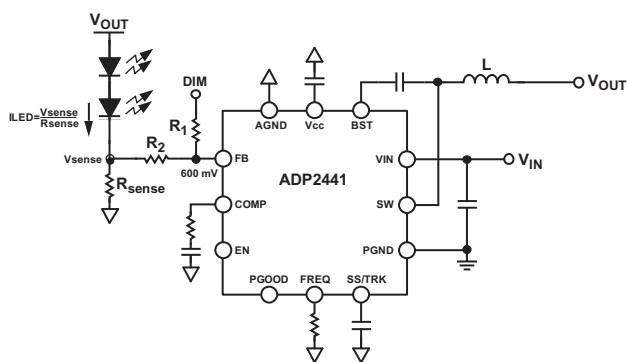


图17. 模拟调光电路

LED的使用寿命在很大程度上取决于其工作结温，因此有时必须监控LED温度，如果温度过高，必须做出响应。导致异常高温的原因可能是散热器连接不当、周边温度过热或其他一些极端条件。常见解决方案是在当温度超过某个阈值时减小LED电流。这种方法称为LED热折返。

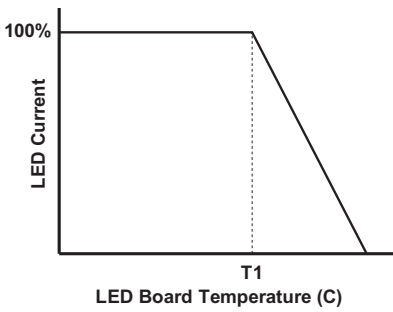


图18. 期望的LED热折返曲线

在此类调光中，我们希望LED一直以最高电流工作，直至达到某一温度阈值(图18中用T1表示)。在该阈值，随着温度提高，我们开始降低LED电流。这样可以限制LED的结温，保持它们的使用寿命。低成本NTC(负温度系数)电阻通常用于测量LED散热器温度，对我们的模拟调光方案稍作修改就能轻松利用这种NTC。如果使用SS/TRK引脚控制FB基准，则简单方法是将NTC与基准电压并联放置(图19)。

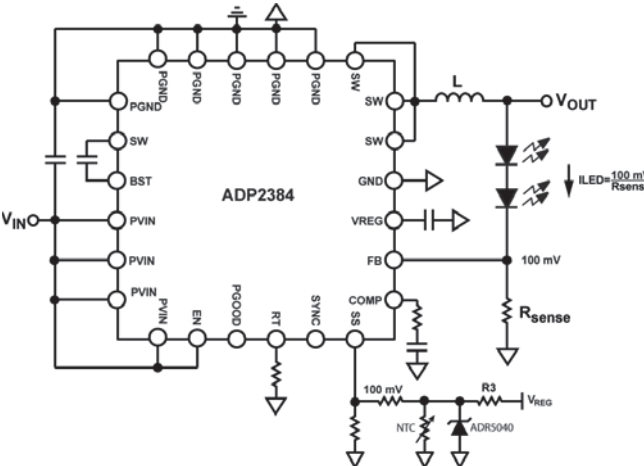


图19. 使用SS/TRK引脚的LED热折返

NTC与R3形成一个电阻分压器。随着散热器温度升高，NTC电阻下降。如果NTC电阻分压器的电压高于基

准电压，则提供最大电流。如果NTC电阻电压降至基准电压以下，则FB基准电压(因而LED电流)降低。

我们还可以利用 R_{SENSE} 偏移方法实现所需的温度调光曲线。对于这种方法，我们刚刚利用NTC构建了一个电阻分压器。此电阻分压器通过一个小信号二极管连接到FB引脚。二极管防止电阻分压器作用于FB引脚，直至分压器达到大约 $600\text{ mV} + V_F$ 。调光精度有所降低，但结果相当好(图20)。

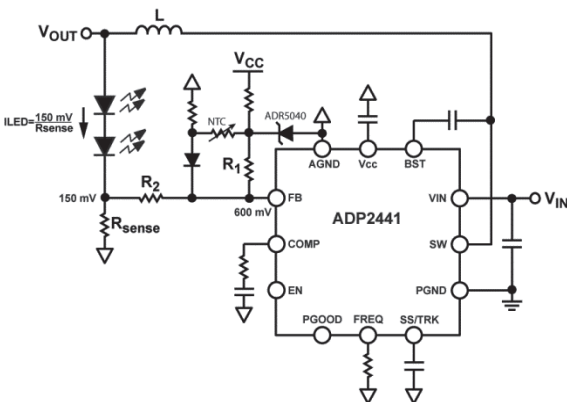


图20. 使用 R_{SENSE} 偏移技术的LED热折返

这些技巧应该作为使用标准降压调节器实现广泛LED功能的一般指导准则。由于这些功能略微超出降压IC的目标应用范围，因此用户最好联系半导体制造商，确认IC能够处理这些工作模式。欲了解有关ADP2441和ADP2384的更多信息，或者需要这些LED驱动器解决方案的演示板，请访问<http://www.analog.com/cn/lighting>。

参考文献

- 1 DOE SSL 2011制造路线图 (ssl.energy.gov)。
- 2 David Cox, Don Hirsh和Michael McClintic。“是否使用您所支付的所有流明？”《LED杂志》，2012年2月。
- 3 Ken Marasco。“在系统中成功运用DC-DC降压调节器。”《模拟对话》，第45卷，2011年6月。
- 4 Marcus O'Sullivan。“改进低值分流电阻的焊盘布局，优化高电流检测精度。”《模拟对话》，第46卷，2012年6月。