高等学校教材

CMOS 射频集成电路分析与设计

Analysis and Design of CMOS RF Integrated Circuits

池保勇　余志平　石秉学

清华大学出版社

2006 年 1 月 16 日

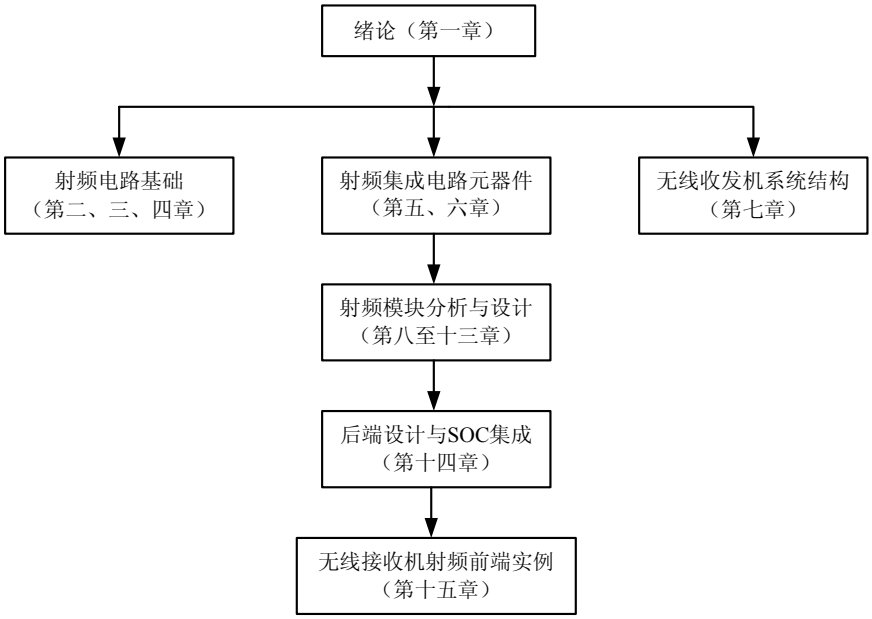
前言

近年来，无线通信技术及其应用得到了非常迅速地发展。数字编码及数字信号处理的引入是推动无线通信技术发展的原动力。高性能、低成本的CMOS工艺的进步，使得芯片上单位面积内可以集成越来越多的数字功能，从而可以采用复杂的编解码和调制解调算法，获得高性能的无线通信。无线通信的飞速发展给无线收发机射频前端的设计带来了很多挑战。射频前端是天线和无线收发机后端基带处理器之间的接口。它需要检测在GHz频段的微弱接收信号（μV量级），同时还要在相同的频段发射大功率的射频信号（可高达2W）。这需要高性能的射频前端电路，例如低噪声放大器、变频器、功率放大器、滤波器、频率合成器等。在天线和基带处理器之间，射频前端电路完成将信号从一个频带搬移到另一个频带的功能。高性能、低功耗和低成本是射频前端电路的设计目标。在GHz频段要实现高性能、低功耗、低成本的电路是相当困难的，这使得射频前端设计成了无线收发机设计的一个瓶颈。

采用分立元件来实现无线收发机射频前端使得价格居高不下，系统体积也非常庞大，这与人们的需求是相矛盾的。随着工艺技术和集成电路设计技术的发展，实现集成化的无线收发机射频前端已经有了可能。考虑到绝大多数无线收发机的基带处理器都是采用CMOS工艺实现的，射频前端也应采用CMOS工艺来实现，以便最终将射频前端和基带处理器集成在同一块芯片上，实现单芯片的收发机。而目前随着深压微米技术的发展，CMOS晶体管的特征频率不断提高，CMOS工艺已经可以满足或者接近于满足射频集成电路的需要。

现在，大学和工业界的研究组都在进行射频集成电路的研究，采用CMOS工艺实现的射频集成电路产品越来越多，功能也越来越复杂，CMOS射频集成电路开始进入真正的产品开发阶段。与这一阶段相适应，工业界对射频集成电路设计人才具有巨大的需求，而且在不久的将来该需求还会逐渐增加。为了加快射频集成电路人才的培养，国内迫切需要一本较好的射频集成电路教材。本书正是在这样的背景下完成的。它以实现一个完整的无线收发机射频前端为主线，按照“射频电路基础－射频电路元器件－无线收发机系统结构－射频模块分析与设计－后端设计与SOC集成－无线收发机实例”的结构编写的。在编写过程中，编者力图面向实际应用，在介绍清楚基本概念的基础上，着重讨论在集成射频前端框架下各模块电路的设计方法以及提高性能的措施。书中讲述的主要概念和方法都尽量通过具有实际应用价值的设计实例加以解释和说明，并以较大篇幅介绍了它们的求解方法，使读者能够举一反三，独立解决CMOS射频集成电路设计中的实际问题。通过本书的学习，读者可以进行基本的射频集成电路设计，并对无线收发机射频前端结构选择以及模块划分、性能指标分配等具有初步了解。编写本书的另一个初衷是对目前为止出现的射频电路设计技术进行总结，供读者进一步研究之用，因此本书的内容力图反映射频集成电路领域的最新进展，在内容上包括了很多先进的射频集成电路设计技术。本书涉及面比较宽，作为一本教材，并非所有内容都要在课内讲授，使用本教材的教师应结合需要对本书内容进行适当裁减，灵活选择授课内容。

全书共分为15章，全书结构如下图所示



第一章是绪论，介绍射频电路的发展历史，讨论无线通信系统的组成以及射频电路在系统中的作用与地位、射频电路与微波电路和低频电路的关系、应用领域。

第二章讨论了线性射频电路的基本特性和分析方法。首先讨论了传输线的基本特性；接着引入线性射频电路的基本分析工具Smith圆图，然后讨论了描述线性射频电路性能的基本参数（S参数）以及应用S参数来分析线性网络的方法，最后在附录部分介绍了无源分立集总参数元件应用于射频电路时可能出现的寄生效应及其等效模型。

第三章讨论无源RLC网络的基本特性、阻抗匹配的概念以及实现阻抗匹配的方法。首先讨论了无源RLC网络的基本特性；然后讨论了串并联阻抗等效互换以及回路抽头时的阻抗变换，这些简单的变换关系在射频集成电路的设计中经常用到；最后讨论阻抗匹配的概念以及L匹配、Pi型匹配、T型匹配、微带线匹配的原理以及设计方法，这些匹配是射频集成电路设计或者测试中最常用到的阻抗匹配类型。

第四章介绍了衡量射频电路性能的各种参数并讨论如何从系统描述推导出射频前端的性能描述；紧接着讨论了射频电路的仿真问题并介绍几种商用的射频电路仿真软件；最后对CMOS射频集成电路实现的难点进行了简单评述。

第五章介绍了射频集成电路中常用的无源元件（包括电阻、电容和电感）的结构，分析了这些元件的寄生效应，并讨论了它们的仿真模型和性能优化问题。考虑到容抗管在射频电路中有很重要的应用，本章也讨论了各种结构容抗管的特性。

第六章介绍了射频集成电路中常用的两种有源器件（MOS晶体管和双极晶体管）的基本特性。在介绍清楚晶体管的直流工作特性以及各种短沟效应对晶体管$I-V$曲线的影响后，着重讨论了晶体管的高频工作特性、交流小信号等效模型、噪声模型和射频晶体管模型。

第七章集中于讨论射频前端各种系统结构的优缺点、CMOS集成电路实现时所面临的主要问题及其解决办法、并分析了射频前端在系统结构上的发展趋势。

第八章讨论了低噪声放大器的设计问题，首先介绍了两端口网络的噪声分析，这是进行低噪声放大器设计的基础；然后讨论了低噪声放大器的拓扑结构；仅接着介绍使用源简并电感的共源低噪声放大器的设计和优化问题，通过引入等高线设计法来系统设计满足性能指标要求和设计限制的低噪声放大器，使用源简并电感的共源放大器是最常用的低噪声放大器结构，因此对它作了重点介绍；然后对目前的研究热点（宽带低噪声放大器电路）进行了简单讨论；最后通过介绍微波晶体管放大器的设计方法引入若干重要的

概念，这些概念有助于我们理解集成射频放大器的设计和优化问题。

第九章集中讨论了集成射频混频器设计过程中所遇到的各种问题。首先介绍了混频过程的基本原理，说明任何非线性元件都可以作为混频器来使用，但从输出频谱的纯净度上考虑，二阶非线性元件是最合适的混频元件；接着介绍了衡量混频器性能的主要指标；然后对无线收发机中最常使用的有源混频器结构进行了详细讨论，分析了它的转换增益、噪声性能和线性度性能，给出了设计混频器时要考虑的各种设计因素，并介绍了几种改进混频器性能的技术；最后讨论了其它常用的混频器结构，包括电位混频器、无源混频器和亚采样混频器，它们都具有较高的线性度，但其它方面的性能较差，限制了它们的广泛应用。混频器是一个非线性时变电路，混频过程是一个本振信号控制的周期性稳态过程，具有与线性电路完全不同的特点。基于此，本章还引入了周期性稳态电路的分析方法，该分析方法也可以应用于分析其它的周期性稳态电路（如振荡器电路等）。

第十章集中讨论了射频功率放大器的分析和设计问题。首先介绍了晶体管的非线性模型，它是分析功率放大器非线性的基础；然后介绍了负载线设计技术和Loadpull理论，并引入衡量功率放大器性能的参数；以此为基础，分析了传统功率放大器和开关模式功率放大器的工作原理和设计技术，前者效率较低，但线性度相对较好，而后者是一个高效率的非线性放大器；然后介绍了采用CMOS工艺来实现集成功率放大器所面对的挑战及解决方案，最后简单介绍了功率放大器的各种线性化技术。功率放大器是一个大信号电路，具有与小信号电路不一样的分析和设计方法。通过本章的介绍，读者可以了解设计功率放大器的基本思路以及提高性能的基本措施，可以指导读者进行简单的功率放大器设计。功率放大器的集成化是目前射频电路领域还没有解决的问题，有待于科研人员的继续努力。

第十一章集中讨论了振荡器的分析和设计问题。首先介绍了振荡条件，引入了Barkhausen判据，它是分析振荡器的基础；然后介绍了描述函数的概念，它可以用来分析考毕兹（Colpitts）振荡器的振荡幅度；接下来介绍了三种类型的振荡器（负反馈LC振荡器，负阻LC振荡器和环型振荡器），分析了它们的振荡条件，并介绍了具体实现电路及频率调谐措施；在引入了压控振荡器的相位域模型之后，我们引入了相位噪声和时钟抖动的概念，并介绍了几种得到广泛应用的相位噪声模型；然后针对射频电路中常用的环型振荡器和负阻LC振荡器，仔细分析了改善它们的相位噪声性能的措施，特别是引入了噪声滤波技术。最后在简单介绍了集成振荡器中常遇到的频率牵引效应、并分析了频率牵引效应带来的影响后，总结了产生正交信号的方法，并介绍了复滤波器的实现技术，这些在零中频或者低中频等利用了正交变频技术的无线收发机中具有广泛的应用背景。振荡器也是一个大信号电路，而且具有非线性时变特性。通过本章的介绍，读者可以了解设计振荡器的基本原理、实现技术以及提高性能的基本措施，可以指导读者进行简单的振荡器设计。

第十二章讨论了两种类型的频率合成器（直接数字频率合成器和锁相环型频率合成器）的分析和设计问题。首先介绍了频率合成器的概念和衡量频率合成器性能的参数，然后介绍了直接数字频率合成器的工作原理、杂散性能以及减小存储量的措施；接下来详细讨论了锁相环的基本原理、组成模块和锁定状态下的性能，并介绍了在射频电路中常用的电荷泵型锁相环及它所遇到的非理想效应，在此基础上，分析了整数锁相环型频率合成器和小数型频率合成器的工作原理以及它们的实现问题；最后简单地讨论了一下延迟锁定环路和锁相环的其它应用。频率合成器中包含了高频模块、低频模块以及数字电路，是一个非常复杂的数字/模拟/射频混合系统，是实现高集成度无线收发机所面临的主要障碍之一，而且它的实现对发展复杂数字/模拟/射频混合系统的设计方法具有很重要的借鉴意义。通过本章的介绍，读者可以了解频率合成器的基本原理、实现技术以及提高性能的基本措施，可以指导读者进行简单的频率合成器设计。

第十三章讨论了无线收发机模拟前端可能用到的其它电路模块，首先介绍了偏置电路的分析和设计问题，包括威德拉（Widlar）电流源、自偏置电流源、恒跨导源、恒温电压参考源和恒温电流参考源等，它们给其它射频模块提供偏置，是其它模块电路正常、稳定工作的前提；然后我们介绍了无线接收机中不可缺少的电路模块：自动增益控制环路（AGC），包括它的基本原理和核心模块可变增益放大器（VGA）的设计，并给出了一个AGC电路实例；接下来讨论了高频滤波器的集成实现技术，着重讨论了镜像抑制滤波器的片上实现问题，引入了通过Q值补偿来提高滤波器滤波性能的方法，并介绍了片上自动Q值调谐电路和片上自动频率调谐电路；最后简单讨论了注入锁定技术，这种技术可以用来实现低功耗分频器，并具有较好的相位噪声性能。

第十四章讨论了射频集成电路的后端设计问题，包括合理的版图设计、焊盘设计、静电防护电路设计以及混合信号集成中的信号完整性问题等。由于射频电路工作频率很高，信号又很微弱，因此后端设计对射频集成电路的性能具有极大的影响，高性能的电路设计如果没有良好的后端设计相配合，所实现的射频电路的性能可能也会很差。通过本章的介绍，读者可以对影响射频电路性能的后端设计因素有所了解，在进行电路设计时，可以及早将后端设计的影响因素考虑在内，尽可能降低后端设计对电路性能的影响。

第十五章在前面各章介绍的无线收发机模拟前端中各种模块电路的分析和设计方法的基础上，综合前面各章的知识，以一个DCS-1800无线接收机模拟前端为例来讨论无线接收机从系统描述到具体实现的过程。通过该过程的介绍，读者可以初步了解无线收发机模拟前端的总体设计过程，并可以以这个例子为参考，设计自己的无线接收机模拟前端。

本书自成系统，便于自学，可以用作高等学校工科微电子、无线电、通信与电子系统等专业高年纪本科生与研究生的教材，也可作为射频集成电路工程技术人员的参考书。

本书由池保勇博士、余志平教授统筹全书内容，第一章由石秉学教授编写，第六章由余志平教授编写，其余各章由池保勇博士编写。在编写过程中，三位编者进行了广泛地讨论，在各部分编写完后，三位编者又交叉审阅了全部书稿并进行了修正。可以说，本书是三位编者友好合作的结晶。

本书的形成与清华大学微电子学研究所多年的科研工作是分不开的，在此我们要感谢先后与我们一道工作的同事和同学，他们是王志华教授、田立林教授、张春副研究员、李国林博士、张利副教授、李冬梅副教授、李福乐博士、刘雷波博士、王自强博士、朱晓雷和研究生韩书光、姚金科、张利等。多年工作中还得到清华大学微电子学研究所领导和教学指导委员会的真诚支持、合作与交流讨论。本书出版过程中邹开颜、田志明、王一玲等同志作了大量细致的编辑工作，在此一并表示感谢。

限于作者水平，书中难免存在不妥和错误之处，恳请读者批评指正。

目 录

第一章 绪论 **1**
§1.1 发展历史 1
§1.2 现代通信系统概述 2
§1.2.1 通信系统的组成 2
§1.2.2 数字通信系统 3
§1.2.3 通信信道及其特性 4
§1.2.4 通信信道的数学模型 5
§1.3 射频电路在系统中的作用与地位 6
§1.4 射频电路与微波电路和低频电路的关系 8
§1.4.1 频段划分 8
§1.4.2 电路的寄生效应 8
§1.4.3 电路的设计考虑 9
§1.5 应用 10
§1.5.1 无线局域网 10
§1.5.2 GSM 11
§1.5.3 WCDMA 12
参考文献 12

第二章 线性射频电路的基本特性和分析方法 **14**
§2.1 传输线 14
§2.1.1 传输线波动方程 14
§2.1.2 终端接负载的无损传输线 16
§2.1.3 终端接特定负载的无损传输线的工作状态 18
§2.1.4 阻抗的周期性和倒置性 19
§2.1.5 微带线设计 20
§2.2 Smith圆图 22
§2.2.1 阻抗圆图 22
§2.2.2 Smith圆图上的反射系数和驻波系数 23
§2.2.3 导纳圆图 24
§2.2.4 Smith圆图应用举例 25
§2.3 双端口网络 26
§2.3.1 网络参量 27
§2.3.2 网络的互联 32
§2.3.3 信号流图分析法 34
§2.4 总结 44
参考文献 45
习题 45

第三章 无源RLC网络和阻抗匹配 **47**
§3.1 无源RLC网络 47
§3.1.1 串联RLC网络 47
§3.1.2 并联RLC网络 51
§3.2 串并联阻抗等效互换 54
§3.3 回路抽头时的阻抗变换 55
§3.4 阻抗匹配 56
§3.4.1 L匹配 57
§3.4.2 T匹配和Pi匹配 60
§3.4.3 微带线匹配 62
参考文献 66
习题 66

第四章 射频集成电路中的基本问题 **67**
§4.1 射频电路的性能度量 67
§4.1.1 功率增益和电压增益 67
§4.1.2 灵敏度和噪声系数 67
§4.1.3 线性度和动态范围 69
§4.1.4 系统设计 72
§4.2 射频电路仿真算法及商用仿真软件介绍 72
§4.2.1 SPICE模拟器应用于射频领域所遇到的限制 72
§4.2.2 射频电路仿真算法 73
§4.2.3 射频电路仿真工具 73
§4.3 CMOS射频集成电路实现的难点 74
参考文献 75
习题 75

第五章 集成无源元件 **77**
§5.1 电阻 77
§5.2 电容 80
§5.3 电感 83
§5.3.1 片上平面螺旋型电感 84
§5.3.2 键合线电感 91
§5.3.3 变压器 93
§5.4 容抗管 94
§5.4.1 反向二极管 95
§5.4.2 MOS晶体管 96
§5.4.3 MOS容抗管 96
§5.4.4 对称型容抗管 97
§5.5 总结 98
参考文献 100
习题 100

第六章 射频MOS及BJT器件模型 102
§6.1 简介 102
§6.2 MOS器件模型 103
§6.2.1 直流模型 103
§6.2.2 阈值电压的测量 108
§6.2.3 MOS电容模型 108
§6.2.4 高频品质因子 111
§6.2.5 非准静态（NQS）现象及模型 113
§6.2.6 MOS非本征模型 115
§6.2.7 MOS高阶效应及其BSIM模型 117
§6.2.8 MOS噪声模型 120
§6.3 双极型（BJT）器件电路模型 124
§6.3.1 Ebers-Moll模型 124
§6.3.2 时域大信号模型 125
§6.3.3 交流小信号模型 126
§6.3.4 双极型晶体管的高频特性 129
§6.3.5 BJT噪声模型 129

第七章 无线收发机射频前端的系统结构 132
§7.1 接收机射频前端的系统结构 132
§7.1.1 超外差式接收机 132
§7.1.2 零中频接收机 138
§7.1.3 低中频接收机 142
§7.1.4 其它结构的接收机 148
§7.2 发射机射频前端的系统结构 150
§7.2.1 超外差式发射机 151
§7.2.2 直接上变频发射机 151
§7.2.3 其它结构的发射机 152
§7.3 总结 154
参考文献 155
习题 155

第八章 低噪声放大器 157
§8.1 两端口网络的噪声分析 157
§8.2 MOS晶体管两端口网络噪声参数的理论分析 160
§8.3 集成CMOS低噪声放大器的电路结构 164
§8.3.1 输入端并联电阻的共源放大器 165
§8.3.2 共栅放大器结构 166
§8.3.3 并联–串联反馈放大器结构 167
§8.4 源简并电感型共源放大器 169

§8.4.1 晶体管的简单$I-V$分析方程 170
§8.4.2 阻抗匹配 170
§8.4.3 有效跨导 172
§8.4.4 噪声因子 173
§8.4.5 噪声优化 174
§8.4.6 三阶交调点分析 176
§8.5 CMOS低噪声放大器的设计策略 180
§8.5.1 低噪声放大器的拓扑结构 181
§8.5.2 增益 182
§8.5.3 噪声系数 182
§8.5.4 输入节点寄生电容对放大器性能的影响 183
§8.5.5 C_{gd}和M对放大器性能的影响 185
§8.5.6 LNA设计方程 186
§8.5.7 Cascode器件的设计 187
§8.5.8 等高线设计方法 188
§8.5.9 不完全阻抗匹配对低噪声放大器性能的影响 192
§8.5.10 其它设计考虑 193
§8.6 宽带低噪声放大器 195
§8.7 微波晶体管放大器设计方法 198
§8.7.1 功率增益关系 199
§8.7.2 恒增益圆 201
§8.7.3 恒噪声系数圆 203
§8.7.4 恒驻波系数圆 205
§8.7.5 稳定性圆 207
§8.8 总结 211
参考文献 211
习题 211

第九章 混频器 **214**
§9.1 混频器的基本工作原理 214
§9.2 描述混频器性能的参数 216
§9.2.1 噪声因子（噪声系数） 216
§9.2.2 转换增益 217
§9.2.3 线性度：1dB压缩点和三阶交调点 218
§9.2.4 端口隔离度 219
§9.2.5 其它性能参数 219
§9.3 电流换向有源混频器 220
§9.3.1 电路结构 220
§9.3.2 转换增益 222
§9.3.3 噪声因子（噪声系数） 225

§9.3.4 线性度 232
§9.3.5 提高线性度的技术 234
§9.3.6 输出负载 237
§9.3.7 射频输入端接口电路 239
§9.3.8 本振输入端接口电路 241
§9.3.9 设计考虑 242
§9.3.10 应用于零中频接收机的混频器设计 242
§9.4 其它类型的混频器 243
§9.4.1 电位混频器 243
§9.4.2 无源混频器 245
§9.4.3 亚采样混频器 245
§9.5 总结 248
参考文献 248
习题 249

第十章 射频功率放大器 250
§10.1 晶体管非线性模型 250
§10.2 功率匹配与负载线匹配 251
§10.3 性能参数 252
§10.3.1 输出功率 252
§10.3.2 效率 253
§10.3.3 功率利用因子 253
§10.3.4 功率增益 253
§10.3.5 线性度 253
§10.4 负载线理论和Loadpull技术 257
§10.5 传统功率放大器（Classical PA） 261
§10.5.1 波形分析 261
§10.5.2 输出终端 263
§10.5.3 Knee电压的影响 265
§10.5.4 功率传输关系和线性度 265
§10.5.5 驱动强度 269
§10.5.6 匹配网络和谐波短路终端的设计 270
§10.5.7 推挽B类功率放大器 272
§10.5.8 传统功率放大器的设计过程 272
§10.6 开关模式功率放大器 273
§10.6.1 D类功率放大器 274
§10.6.2 E类功率放大器 275
§10.6.3 F类功率放大器 281
§10.7 不同类型功率放大器性能比较 285
§10.8 采用CMOS工艺实现集成功率放大器面对的挑战 285

§10.8.1 耐压能力 285
§10.8.2 MOS晶体管跨导 286
§10.8.3 衬底问题 287
§10.8.4 Knee电压 287
§10.9 CMOS功率放大器电路设计技术 287
§10.9.1 差分结构 288
§10.9.2 Cascode技术 291
§10.9.3 有效利用键合线电感 292
§10.9.4 输出级的输入调谐 293
§10.9.5 Cascode电感 294
§10.9.6 深亚微米工艺下的负载阻抗优化 296
§10.9.7 功率合成 297
§10.9.8 稳定性问题 299
§10.10 线性化技术 299
§10.10.1 功率放大器非线性的影响 300
§10.10.2 调制方式 301
§10.10.3 线性化技术和提高效率的技术 305
§10.11 总结 313
参考文献 315
习题 315

第十一章 射频振荡器 **317**
§11.1 振荡条件 317
§11.2 描述函数 320
§11.3 反馈型LC振荡器 324
§11.4 负阻LC振荡器 327
§11.4.1 负阻的概念 327
§11.4.2 负阻振荡原理 327
§11.4.3 负阻振荡器电路 330
§11.4.4 频率调谐 333
§11.4.5 设计过程 337
§11.5 环型振荡器 338
§11.5.1 振荡条件 339
§11.5.2 延迟单元电路 342
§11.5.3 频率调谐 345
§11.6 压控振荡器的相位域模型 354
§11.7 相位噪声和抖动（Jitter） 354
§11.7.1 相位噪声 354
§11.7.2 时钟抖动 357
§11.7.3 相位噪声和时钟抖动的关系 358

§11.7.4 相位噪声分析模型 359
§11.8 相位噪声性能分析 368
§11.8.1 环型振荡器 368
§11.8.2 LC差分负阻振荡器 371
§11.9 频率牵引效应 380
§11.10 正交信号的产生 380
§11.10.1 $RC-CR$网络 381
§11.10.2 频率除法器 382
§11.10.3 正交LC振荡器 383
§11.10.4 无源多相网络 385
§11.11 总结 394
参考文献 394
习题 395

第十二章 频率合成器 **397**
§12.1 频率合成器的基本概念 397
§12.1.1 频率范围 397
§12.1.2 频率精度 398
§12.1.3 频率切换时间 398
§12.1.4 频率稳定度与准确度 398
§12.1.5 频谱纯度 398
§12.2 直接数字频率合成器 399
§12.2.1 频率合成原理 400
§12.2.2 杂散分析 401
§12.2.3 压缩ROM存储量的技术 404
§12.2.4 实现调制功能和波形发生器 407
§12.2.5 优点和缺点 407
§12.3 锁相环路的基本原理与性能分析 408
§12.3.1 基本工作原理 408
§12.3.2 锁相环中的基本模块 411
§12.3.3 锁相环在锁定状态下的性能 422
§12.4 电荷泵型锁相环 432
§12.4.1 电荷泵的基本特性 432
§12.4.2 电荷泵型锁相环在锁定状态的性能 433
§12.4.3 电荷泵型锁相环的非理想效应 438
§12.5 锁相环型频率合成器 443
§12.5.1 整数频率合成器 443
§12.5.2 小数频率合成器 455
§12.5.3 双锁相环频率合成器 462
§12.6 延迟锁定环路 463

§12.7 锁相环的应用 464
§12.7.1 频率调制器与解调器 464
§12.7.2 载波同步 466
§12.7.3 减小时钟偏斜（Skew）和抖动（Jitter） 467
§12.8 总结 468
参考文献 468
习题 469

第十三章 其它电路技术 **471**
§13.1 偏置电路 471
§13.1.1 Widlar电流源 471
§13.1.2 自偏置电流源 473
§13.1.3 恒跨导源 476
§13.1.4 能隙基准源（Banggap） 477
§13.1.5 恒温电流源 483
§13.1.6 偏置电路的速度考虑 484
§13.2 自动增益控制环路 484
§13.2.1 基本原理 485
§13.2.2 可变增益放大器 486
§13.2.3 AGC电路实例 491
§13.3 高频滤波器 493
§13.3.1 二阶滤波器 494
§13.3.2 集成高频滤波器 494
§13.3.3 Q值补偿电路 495
§13.3.4 自动Q值调谐电路 497
§13.3.5 自动频率调谐 498
§13.4 注入锁定技术 500
§13.5 总结 502
参考文献 502
习题 503

第十四章 版图设计、ESD防护和混合信号集成 **507**
§14.1 版图设计技术 507
§14.1.1 匹配设计 507
§14.1.2 寄生优化设计 513
§14.1.3 可靠性设计 514
§14.1.4 参考源分布 517
§14.2 焊盘 518
§14.3 ESD防护电路 521
§14.3.1 ESD概述 521

§14.3.2 ESD测试模型 521
§14.3.3 ESD防护器件 527
§14.3.4 ESD防护电路 532
§14.3.5 ESD版图设计 542
§14.4 衬底噪声耦合与混合信号集成 548
§14.4.1 集成电路封装的寄生效应 548
§14.4.2 衬底特性 549
§14.4.3 衬底噪声耦合机理 550
§14.4.4 减小衬底噪声耦合的措施 552
§14.4.5 抗干扰设计 557
§14.5 总结 559
参考文献 559
习题 560

第十五章 DCS-1800无线接收机模拟前端 561
§15.1 DCS-1800无线通信系统概要 561
§15.2 调制方案 562
§15.2.1 MSK调制 562
§15.2.2 GMSK调制 564
§15.3 无线接收机系统结构 568
§15.4 接收机模拟前端性能规划 568
§15.4.1 噪声系数 569
§15.4.2 镜像抑制率 569
§15.4.3 本振泄漏 571
§15.4.4 交调性能 571
§15.4.5 相位噪声 572
§15.4.6 杂散抑制（spurious suppression） 573
§15.5 模块电路性能规划 573
§15.5.1 低噪声放大器 573
§15.5.2 正交混频器 574
§15.5.3 VGA-Filter 574
§15.5.4 模数变换器 575
§15.5.5 正交性能 575
§15.5.6 总结 575
§15.6 电路描述 576
§15.6.1 低噪声放大器 576
§15.6.2 正交混频器 578
§15.6.3 差分可变增益放大器/滤波器 579
§15.7 测试结果 581
参考文献 587

插 图 目 录

1-1 通信系统的功能方框图 3
1-2 数字通信系统的组成 4
1-3 加性噪声信道 5
1-4 带加性噪声的线性滤波信道 6
1-5 带加性噪声的线性时变滤波器 6
1-6 射频通信系统示意图 7
1-7 射频前端方框图 7
1-8 Prism Duette双频带芯片组的总体结构图 11

2-1 射频电路中常用的均匀传输线 14
2-2 一小段传输线的等效电路 15
2-3 以负载处为原点的坐标体系 16
2-4 短路传输线上电压、电流和输入阻抗的分布图 19
2-5 开路传输线上电压、电流和输入阻抗的分布图 20
2-6 微带线的的几何结构 20
2-7 微带线的特性阻抗 22
2-8 微带线的有效介电常数 23
2-9 阻抗圆图上的归一化阻抗 24
2-10 阻抗圆图 25
2-11 导纳圆图上的归一化导纳 26
2-12 例2.4的电路图 26
2-13 利用Smith圆图求解例2.4 27
2-14 双端口网络的电压和电流方向 27
2-15 双端口网络的入射波和反射波 28
2-16 S参数的测量 29
2-17 双端口网络的串联 32
2-18 双端口网络的并联 33
2-19 双端口网络的串并联 33
2-20 双端口网络的并串联 34
2-21 双端口网络的级联 34
2-22 信号流图分析法的简化规则 35
2-23 含电源和负载的双端口网络 36
2-24 用信号流图分析法分析双端口网络的简化过程 37
2-25 金属线Al归一化电流密度的横截面分布示意图 38
2-26 金属线Al横截面上的归一化电流密度分布随频率的变化（$a = 1\text{mm}$） 39
2-27 金属铜和铝的趋肤深度随工作频率的变化 40

2-28 薄膜片上电阻 40
2-29 金属薄膜电阻 41
2-30 高频电阻模型 41
2-31 金属薄膜电阻的阻抗与频率的关系 42
2-32 表面贴封电容的内部结构 42
2-33 高频电容模型 43
2-34 实际电容的阻抗与频率的关系 43
2-35 高频电感 44
2-36 高频电感模型 44
2-37 实际电感的阻抗与频率的关系 45
2-38 习题4图 45
2-39 习题7图 46
2-40 习题8图 46

3-1 串联RLC网络 47
3-2 串联RLC网络的阻抗特性 48
3-3 串联RLC网络中电感储存的磁能、电容储存的电能以及回路储存的总能量随时间的变化情况 49
3-4 品质因子Q取不同值时回路阻抗的幅频特性和相频特性 50
3-5 并联RLC网络 51
3-6 并联RLC网络的阻抗特性 52
3-7 品质因子Q_{P}取不同值时并联谐振回路阻抗的幅频特性和相频特性 53
3-8 串并联RLC网络 54
3-9 电阻R和电抗X的串联形式和并联形式 54
3-10 电感抽头和电容抽头的RLC谐振回路 55
3-11 借以说明阻抗匹配概念的简单电路图 56
3-12 L匹配的电路结构 57
3-13 并/串联电感和电容的阻抗变化轨迹 58
3-14 利用Smith圆图来求解L匹配问题 59
3-15 L匹配网络 59
3-16 Smith圆图上的恒-Q_{n}圆 60
3-17 T匹配网络 61
3-18 利用Smith圆图来设计T匹配网络 61
3-19 Pi匹配网络 62
3-20 利用Smith圆图来设计Pi匹配网络 62
3-21 微带线匹配网络 63
3-22 利用Smith圆图来设计微带线匹配网络 63
3-23 归一化阻抗$z_{\mathrm{in}}=r_{\mathrm{in}}+\mathrm{j}x_{\mathrm{in}}$与电容所在位置之间的关系 64
3-24 更复杂的微带线匹配网络 64
3-25 全部由微带线组成的匹配网络 65

3-26 题3图 66

4-1 电阻的噪声模型 68
4-2 非线性 71

5-1 有拐角的电阻 77
5-2 MOS电容的理想C-V曲线 80
5-3 MIM电容的结构 81
5-4 三种互连线结构 82
5-5 “夹心”金属电容 83
5-6 射频集成电路中电感的典型应用 83
5-7 片上平面螺旋型电感的结构 84
5-8 接地隔离层 85
5-9 片上平面螺旋型电感模型 85
5-10 焊盘的校准结构 86
5-11 衬底掺杂程度对片上电感的影响 87
5-12 不同金属层对片上电感的影响 88
5-13 金属层串并联对片上电感的影响 88
5-14 接地隔离层对片上电感的影响 89
5-15 几何尺寸对片上电感的影响 90
5-16 对称片上电感可以减少芯片面积 92
5-17 引起键合线电感量变化的因素 92
5-18 键合线电感模型 93
5-19 各种结构的片上变压器 93
5-20 变压器的电路图符号 94
5-21 变压器等效电路模型 94
5-22 反向二极管型容抗管 95
5-23 容抗管的小信号等效电路 95
5-24 容抗管的不同版图结构 96
5-25 MOS型容抗管 97
5-26 MOS容抗管的调谐特性 97
5-27 对称型容抗管 98
5-28 采用梳状结构和采用中心结构的单端二极管型容抗管与对称二极管型容抗管的单位面积电容量、品质因子随控制电压的变化 98
5-29 各种差分容抗管的结构 99

6-1 nMOSFET中沟道电子速度与横向电场的关系。有关参数为$\mu_0 = 500\,\mathrm{cm^2/V\text{-}s}$, $v_{\mathrm{sat}} = 10^7\,\mathrm{cm/s}$, $E_{\mathrm{sat}} = 2\times10^4\,\mathrm{V/cm}$。 106
6-2 MOSFET 电容 109
6-3 用于求MOS最大功率增益截至频率的等效电路 112
6-4 nMOS截止频率与标称栅长的关系 113

6-5 最简单的处于饱和区的MOS交流小信号电路。交流输出电阻被忽略。 114
6-6 MOS沟道形成之后，源漏间与栅电极之间的分布RC网络。 115
6-7 MOS器件表示成沿沟道方向的若干个子器件串联而成。 115
6-8 MOS器件表示成沿沟道方向的二个子MOS器件串联而成。 116
6-9 MOS器件的非准静态（NQS）模型等效电路。 116
6-10 MOS器件的交流小信号分析：非准静态（NQS）模型等效电路与串联子器件的比较。 117
6-11 栅电极分布电阻、电容网络模型 117
6-12 衬底分布电阻网络模型 118
6-13 $V_{GS}<0, V_{DS}>0$时的漏极电流与衬底电流。由它们的大小大致相等，可以推测在漏极与衬底接触之间有一漏电流存在（GIDL）。 119
6-14 热噪声定义及测量电路 121
6-15 MOSFET噪声等效电路。注意，$\overline{i_{\rm ng}}$依赖于$g_{\rm g}$，而$g_{\rm g}$有频率依赖关系。 123
6-16 MOSFET噪声等效电路。注意，此图中受控电流源的$v_{\rm gs}$是指g和s两端之间的压降，非是$C_{\rm gs}$上的压降。 123
6-17 基本的Ebers-Moll模型等效电路（假设npn晶体管） 124
6-18 双极型晶体管包括电荷存储元件的瞬态大信号模型。$i_{\rm B}, i_{\rm C}$的表达式分别见式(6-115)和(6-116)。 125
6-19 共基Ebers-Moll模型到共发模型（正向偏置）的演变。注意步骤(b)-(c)的过渡需要一点想象力。 126
6-20 双极型晶体管交流小信号模型 126
6-21 典型的集成电路npn晶体管的$f_{\rm T}$ vs. $I_{\rm C}$曲线（引自[11]中第一章）。 129
6-22 双极型晶体管噪声等效电路 130

7-1 一个典型的无线通信系统 132
7-2 无线接收机系统的基本组成部分 132
7-3 超外差式接收机的系统结构 133
7-4 超外差式接收机的频域转换示意图 134
7-5 中频频率选择对超外差式接收机性能的影响 135
7-6 Hartley和Weaver镜像抑制接收机的系统结构 136
7-7 具有正交输出的超外差式接收机 138
7-8 具有正交输出的Weaver镜像抑制接收机接收机 138
7-9 仅与一个正弦本地振荡信号进行混频的零中频接收机频域转换示意图 139
7-10 零中频接收机的系统结构 139
7-11 与正交本地振荡信号进行混频的零中频接收机频域转换示意图 140
7-12 信号泄漏造成直流失调 141
7-13 利用数字信号处理技术消除零中频接收机中的直流失调 142
7-14 低中频接收机的系统结构 142
7-15 低中频接收机的频域转换示意图 143
7-16 幅度和相位不匹配对低中频接收机的影响 143
7-17 引入额外的镜像信号抑制模块的低中频接收机系统结构 144

7-18 利用射频带通滤波器来抑制镜像信号的低中频接收机的频域转换示意图 145
7-19 利用无源多相滤波器来抑制镜像信号的低中频接收机的频域转换示意图 146
7-20 低中频接收机的中频处理模块 147
7-21 超再生式接收机的系统结构 148
7-22 超再生式接收机中的振荡器结构 148
7-23 超再生式接收机链路各节点信号的时序图 149
7-24 宽带中频接收机的系统结构 149
7-25 亚采样接收机的系统结构 150
7-26 超宽带接收机的系统结构 150
7-27 无线发射机系统的基本组成部分 151
7-28 超外差式发射机的系统结构 151
7-29 超外差式发射机的频域转换示意图 152
7-30 直接上变频发射机的系统结构 152
7-31 直接上变频发射机的频域转换示意图 153
7-32 中频上变频发射机的系统结构 153
7-33 正交中频上变频发射机的系统结构 154

8-1 有噪两端口网络和它的等效表示形式 157
8-2 两端口网络的通用噪声模型 158
8-3 包含有栅阻抗噪声和衬底阻抗噪声的晶体管噪声模型 162
8-4 NMOS晶体管的两端口网络噪声参数的测量结果和模拟结果的比较 164
8-5 终端所接负载对射频滤波器的影响 164
8-6 输入端并联电阻的共源放大器 165
8-7 共栅放大器结构 166
8-8 共栅放大器做低噪声放大器应用的实例 167
8-9 并联–串联反馈放大器结构 168
8-10 并–串联反馈放大器的低频小信号等效电路 168
8-11 源简并电感型共源放大器 170
8-12 源简并电感型共源放大器的小信号等效电路 171
8-13 输入反射系数对PCC的影响 173
8-14 满足噪声系数要求时I_{DS}和$V_{GS}-V_T$ 的设计曲线 175
8-15 共源放大器的电路图 177
8-16 Θ和$V_{GS}-V_T$对IP_2和IP_3的影响 178
8-17 M和$V_{GS}-V_T$对IP_2和IP_3的影响 179
8-18 低噪声放大器的小信号等效电路 180
8-19 I_{DS}和$V_{GS}-V_T$对低噪声放大器三阶交调点的影响 181
8-20 源简并电感型Cascode共源放大器 181
8-21 考虑输入节点寄生电容的低噪声放大器电路图 184
8-22 输入节点寄生电容对低噪声放大器$R_{S,max}$的影响 185
8-23 C_{gd}对放大器小信号等效模型的影响 186

8-24 Cascode晶体管的寄生边缘效应 189
8-25 $R_{S,max}$及有效源阻抗与I_{DS}和$V_{GS}-V_T$的变化曲线 190
8-26 放大器的噪声系数和输入三阶交调点与I_{DS}和$V_{GS}-V_T$的变化曲线 191
8-27 满足PVC要求时负载阻抗R_p以及放大器的品质因子与I_{DS}和$V_{GS}-V_T$的变化曲线 191
8-28 达到输入匹配条件时L_g、L_s与I_{DS}和$V_{GS}-V_T$的变化曲线 192
8-29 在I_{DS}和$V_{GS}-V_T$平面上设计目标和限制条件所允许的设计空间 193
8-30 差分放大器电路结构 194
8-31 两种不同的版图方案 195
8-32 低噪声放大器的偏置电路 196
8-33 利用带通滤波器技术的宽带低噪声放大器 196
8-34 利用并联反馈技术的宽带低噪声放大器 198
8-35 微波晶体管放大器的电路结构 199
8-36 简化后的微波晶体管放大器的电路图 199
8-37 微波晶体管放大器的信号流图 199
8-38 Smith圆图上的恒增益圆 202
8-39 Smith圆图上的恒增益圆 204
8-40 Smith圆图上的恒噪声系数圆 205
8-41 输入阻抗匹配网络和输出阻抗匹配网络在微波晶体管放大器中的作用 205
8-42 输出稳定性圆 208
8-43 输入稳定性圆 209
8-44 输出无条件稳定 209
8-45 输入无条件稳定 210
8-46 题11图 212
8-47 题12图 212

9-1 由单个MOS晶体管构成的混频器 214
9-2 由单个MOS晶体管构成的高隔离度混频器 215
9-3 双栅晶体管混频器 216
9-4 混频过程中的噪声转换 217
9-5 混频器的1dB压缩点 218
9-6 混频器的三阶交调点 219
9-7 有源混频器的电路结构 220
9-8 双平衡混频器的输出频谱成分 221
9-9 单平衡混频器的输出频谱成分 222
9-10 $p_0(t)$和$p_1(t)$的波形 224
9-11 开关对的转换增益c随归一化偏置电流J_B和归一化本振信号幅度$U_O=\Theta V_O$的变化曲线 225
9-12 混频过程中白噪声的频域搬移过程 226
9-13 α随归一化偏置电流J_B和归一化本振信号幅度$U_O=\Theta V_O$的变化曲线 226

9-14 $G(t)$和$S_{n12}^{o}(f,t)$的时域波形 227
9-15 $\overline{G}$随归一化电流J_{B}和归一化本振信号幅度U_{O}的变化曲线 228
9-16 $\overline{G^2}$与归一化偏置电流J_{B}及归一化本振信号幅度U_{O}的关系曲线 229
9-17 考虑开关对共源节点寄生电容的单平衡混频器电路图 231
9-18 开关对共源节点电压V_{S}和寄生电容充放电电流i_{CP}和输出电流i_{O}的波形 232
9-19 本振信号为正弦型信号时开关对的输入端电压为整流波形和噪声电压的叠加 233
9-20 开关对共源节点的电压波形 233
9-21 通过减小流过开关对的电流来减小混频器的噪声系数 234
9-22 采用源简并技术提高混频器的线性度 235
9-23 AB类工作的驱动级的输出电流波形 235
9-24 采用分段线性近似技术的驱动级电路图 236
9-25 采用分段线性近似的驱动级跨导 236
9-26 开关对共源节点加入谐振电路来消除寄生电容的影响 237
9-27 三阶交调积消除技术 238
9-28 采用三种不同输出负载的混频器 238
9-29 具有滤波功能的电阻负载型混频器 239
9-30 晶体管作负载时混频器的输出共模控制电路 239
9-31 采用电感源简并技术的混频器驱动级 240
9-32 采用共栅结构的混频器驱动级 240
9-33 单端输入的双平衡混频器 241
9-34 本振缓冲器 241
9-35 噪声消除技术 243
9-36 改善二阶线性度性能的混频器 244
9-37 电位混频器 244
9-38 无源混频器 245
9-39 亚采样混频过程 246
9-40 亚采样混频器 246
9-41 亚采样混频器的噪声转移过程 247

10-1 晶体管的非线性模型 250
10-2 功率匹配和负载线匹配 251
10-3 采用功率匹配和负载线匹配时A类放大器的输入-输出功率传输特性 252
10-4 IS-95 CDMA通信系统的ACPR描述 254
10-5 几种无线通信系统标准的频谱掩模板 255
10-6 错误向量定义 256
10-7 利用星图来测量EVM 256
10-8 理想晶体管模型 257
10-9 晶体管工作于A类模式时的偏置点 257
10-10 A类功率放大器的电路图及电流、电压波形 258
10-11 A类功率放大器的电流、电压波形与电阻负载阻抗值的关系 259

10-12 串联电抗元件可提高晶体管漏端的电压幅度（输出功率保持不变） 259
10-13 并联电纳元件可提高流过晶体管的电流幅度（输出功率保持不变） 260
10-14 Smith圆图上的Loadpull曲线 260
10-15 传统功率放大器的驱动电压波形和输出电流波形 261
10-16 输出电流中直流成分以及1阶到5阶谐波成分幅度随导通角α的变化曲线 262
10-17 传统功率放大器的电路图 263
10-18 传统功率放大器的各种波形 264
10-19 传统功率放大器的输出功率和效率随导通角的变化曲线 264
10-20 晶体管的典型$I-V$曲线 265
10-21 Knee电压使得功率放大器输出电流波形中出现双峰 266
10-22 输出电压幅度减小可降低Knee电压的影响 266
10-23 A类放大器的功率传输关系 267
10-24 AB类放大器的功率传输关系 267
10-25 B类放大器的功率传输关系 268
10-26 C类放大器的功率传输关系 268
10-27 传统功率放大器的功率传输关系 269
10-28 采用强弱非线性模型后传统功率放大器的功率传输关系 269
10-29 两级功率放大器的效率与输出级功率增益之间的关系曲线 270
10-30 匹配网络结构 271
10-31 宽带匹配网络 271
10-32 四分之一波长短路传输线作谐波短路终端 272
10-33 推挽B类功率放大器 273
10-34 D类功率放大器的电路图 274
10-35 D类功率放大器的波形图 275
10-36 E类功率放大器的电路图 276
10-37 E类功率放大器的各种电流波形图 277
10-38 E类功率放大器开关上的电压波形 278
10-39 采用不同设计方程完成的E类放大器的输出功率和效率比较 279
10-40 开关不完全截止时，电流和电压波形存在重叠区 280
10-41 F类功率放大器的电路图 281
10-42 F类功率放大器的波形图 282
10-43 F^{-1}类功率放大器的电路、波形图 283
10-44 采用集中式元件实现的F类功率放大器的电路图 283
10-45 基频和三阶谐波成分的合成电压波形 284
10-46 采用集中式元件实现的F类功率放大器的波形图 284
10-47 负载线匹配法 288
10-48 功率晶体管和深亚微米晶体管的$I-V$曲线 288
10-49 差分放大器的电路图和单端输出、差分输出电压波形 289
10-50 共源端直接接地的差分放大器 290
10-51 Downbond封装技术 290

10-52 Cascode差分电路 291
10-53 Cascode结构和共源结构的$I-V$曲线比较 292
10-54 功率放大器的输出网络 293
10-55 驱动级和输出级之间的接口电路 294
10-56 修改后的接口电路 295
10-57 差分结构中的Cascode电感 295
10-58 深亚微米工艺下优化负载阻抗值的流程图 297
10-59 Wilkinson功率合成技术 298
10-60 分布式有源变压器技术的电路图 298
10-61 分布式有源变压器技术的实现版图（简化） 299
10-62 非线性功率放大器的输出包含各阶交调积和谐波成分 300
10-63 功率放大器的非线性引起频谱增生 300
10-64 非线性功率放大器的AM–AM效应和AM–PM效应 301
10-65 功率放大器的非线性引起星图变形 301
10-66 恒包络调制信号 302
10-67 非恒包络调制信号 302
10-68 QPSK调制系统的星图 303
10-69 OQPSK调制系统的星图 303
10-70 GMSK调制系统的星图 304
10-71 $\pi/4$DQPSK调制系统的星图 304
10-72 载波系统的信号峰值–平均能量之比随载波数N的变化曲线 305
10-73 功率回退技术 306
10-74 漏端调制技术（Heising调制器） 307
10-75 改进的漏端调制技术 307
10-76 包络反馈技术 308
10-77 前馈技术 308
10-78 预失真技术 309
10-79 包络恢复和消除技术 309
10-80 LINC技术 310
10-81 极坐标反馈技术 311
10-82 笛卡儿坐标反馈技术 312
10-83 偏置自适应技术 312
10-84 Doherty技术 313
10-85 Doherty放大器的功率传输特性 313

11-1 振荡器的反馈模型 317
11-2 稳定振荡器的闭环传输函数与振荡幅度之间的关系曲线 318
11-3 硬自激的振荡特性 319
11-4 振荡器的自动幅度控制 319
11-5 并联谐振回路的相频特性 321

11-6 大信号跨导器 322
11-7 输入信号幅度很高时晶体管栅极、源极的电压波形和流过晶体管的电流波形 322
11-8 大信号跨导与小信号跨导比值与信号幅度之间的关系曲线 323
11-9 LC振荡器的振荡原理 324
11-10 反馈型LC振荡器的三种典型拓扑结构 324
11-11 Colpitts振荡器的完整电路图 325
11-12 Colpitts振荡器的大信号等效电路(I_{in}为输入激励源) 325
11-13 正、负电阻的概念 327
11-14 负阻振荡电路 328
11-15 $\delta^2 > \omega_0^2$时的电流变化曲线 328
11-16 $\delta^2 = \omega_0^2$时的电流变化曲线 329
11-17 $\delta^2 < \omega_0^2$时的电流变化曲线 329
11-18 负阻振荡器原理电路 330
11-19 单端负阻电路 330
11-20 单端负阻LC振荡器 331
11-21 差分负阻电路 332
11-22 差分负阻LC振荡器 332
11-23 负阻振荡器的正反馈分析 333
11-24 LC谐振回路的幅频响应曲线和相频响应曲线 334
11-25 电压控制振荡器的概念 335
11-26 VCO频率调谐的线性度 335
11-27 反向pn结作调谐元件的LC电压控制振荡器 336
11-28 MOS容抗管作调谐元件的LC电压控制振荡器 336
11-29 数字调谐技术 337
11-30 数字调谐技术可能存在盲区 337
11-31 环型振荡器 338
11-32 共源放大器构成的单极点反馈系统 339
11-33 两极点反馈系统 339
11-34 增加了一个理想反相器的两极点反馈系统 340
11-35 三级环型振荡器：三极点反馈系统 340
11-36 三极点反馈系统闭环传输函数的波特图 341
11-37 三级环型振荡器各节点的电压波形 342
11-38 三级环型振荡器起振时各节点的电压波形 343
11-39 三级环型振荡器的大信号稳定振荡波形 343
11-40 单端延迟单元电路 344
11-41 电阻作负载的差分延迟单元电路及各点电压波形 344
11-42 交互式耦合差分延迟单元电路 345
11-43 改变充放电电流来调节延迟单元的延迟时间 346
11-44 恒电流源环型振荡器 346
11-45 电压–电流变换电路 347

11-46 改变负载电阻值来调节延迟单元的延迟时间 347
11-47 复制偏置技术 348
11-48 采用正反馈技术来调节延迟单元的延迟时间 348
11-49 具有常数振荡幅度的正反馈技术 349
11-50 采用电流折叠的正反馈技术 349
11-51 采用差值技术来调节延迟单元的延迟时间 350
11-52 采用差值技术的单端延迟单元电路 350
11-53 采用差值技术的差分延迟单元电路 351
11-54 采用差值技术的恒振荡幅度差分延迟单元电路 352
11-55 组合频率调谐技术 352
11-56 宽调谐频率的差分延迟单元电路 353
11-57 理想正弦型信号的频谱 354
11-58 非理想正弦型信号的频谱 355
11-59 相位扰动转化为输出频谱 356
11-60 相位噪声对通信系统质量的影响 356
11-61 相位噪声造成发射机频谱扩散 356
11-62 理想时钟信号和非理想时钟信号 357
11-63 理想负阻振荡器 359
11-64 实际测量得到的相位噪声曲线 360
11-65 相位和幅度脉冲响应模型 362
11-66 不同时刻注入电流脉冲对振荡波形的影响 362
11-67 *LC*振荡器和环型振荡器的ISF 363
11-68 噪声对输出电压频谱的影响可以看作两个系统的级联 364
11-69 电路噪声转换为相位噪声的过程 365
11-70 白色周期性稳态噪声源可以分解为一个白色稳态噪声源和周期性函数的乘积 366
11-71 Colpitts振荡器中周期性稳态噪声的影响 367
11-72 环型振荡器中周期性稳态噪声的影响 367
11-73 环型振荡器的近似ISF 368
11-74 通过在延迟单元中引入锁存器来提高状态转换速率 369
11-75 五级环型振荡器（在每一级的输入都注入一个相同大小的噪声电流源） 370
11-76 每一个噪声源贡献的相位子表示 370
11-77 尾部偏置电流型*LC*振荡器的电路图 372
11-78 电流偏置型负阻振荡器的差分振荡幅度与偏置电流之间的关系 373
11-79 偏置电流源在负阻*LC*振荡器中的作用 374
11-80 在其它参数不变时，振荡器相位噪声与偏置电流之间的关系 375
11-81 互补差分*LC*振荡器的电路图 376
11-82 对电流源阻抗的要求 377
11-83 噪声滤波器技术 378
11-84 采用噪声滤波技术的顶部偏置负阻振荡器 378

11-85 采用噪声滤波技术的电压偏置型负阻振荡器 379
11-86 振荡器的频率牵引效应 380
11-87 $RC-CR$网络 381
11-88 主从触发器作为正交信号产生器 382
11-89 触发器作为正交信号产生器 382
11-90 注入信号到振荡器中及其小信号模型 383
11-91 耦合LC振荡器的原理图和晶体管级电路图 384
11-92 耦合LC振荡器的小信号等效电路图 384
11-93 同相耦合和反相耦合的LC振荡器 385
11-94 反相耦合LC振荡器的相位子表示 386
11-95 多振荡器反相耦合可以提供多相振荡信号 386
11-96 具有正极性序列和负极性序列的四相信号的相位子分布 387
11-97 N相网络中其中一相的电路结构 387
11-98 单级和多级四相网络 388
11-99 四相网络作为正交信号产生器 389
11-100 应用于900MHz接收机中的不同级数多相网络的增益匹配误差随频率的变化曲线 390
11-101 无源多相网络作复滤波器实现镜像抑制功能 391
11-102 复滤波器的信号流图表示 391
11-103 应用于900MHz接收机中的不同级数多相网络复数滤波器的频率响应曲线 393
11-104 无源多相网络传输特性在最坏情况下的元件取值 393
11-105 习题1图 395
11-106 习题3图 395
11-107 习题8图 396

12-1 IEEE 802.11a无线局域网的频带 397
12-2 频率合成器的瞬时相位扰动转化为相位噪声 399
12-3 频率合成器和振荡器的相位噪声曲线比较 399
12-4 频率合成器输出频谱上的杂散 399
12-5 直接数字频率合成器的原理性框图 400
12-6 直接数字频率合成器中低通滤波器的传输函数 401
12-7 直接数字频率合成器各模块输出的波形图 402
12-8 直接数字频率合成器中的噪声源 402
12-9 利用正弦型函数的对称性来减小ROM查找表的存储量 404
12-10 正弦型函数幅度与相位差算法 405
12-11 Sunderland结构 405
12-12 Taylor序列近似 406
12-13 利用正弦波数模变换器来代替ROM查找表的直接数字频率合成器 407
12-14 利用直接数字频率合成技术来实现各种调制方式 407
12-15 直接数字频率合成技术和锁相环技术结合组成双环结构 408

12-16 锁相环的基本方框图及振荡器和鉴相器的传输特性 409
12-17 锁相环对频率发生阶跃变化的响应曲线 410
12-18 乘法器型鉴相器的平均输出与相位误差的关系曲线 411
12-19 两输入信号之间的相位差不同时异或门型鉴相器的信号波形 413
12-20 异或门型鉴相器平均输出$\overline{u_{\mathrm{d}}(t)}$与相位误差$\theta_{\mathrm{e}}$之间的关系曲线 414
12-21 JK触发器型鉴相器 415
12-22 两输入信号之间的相位差不同时JK触发器型鉴相器的信号波形 415
12-23 JK触发器型鉴相器平均输出$\overline{u_{\mathrm{d}}(t)}$与相位误差$\theta_{\mathrm{e}}$之间的关系曲线 416
12-24 鉴频鉴相器 417
12-25 鉴频鉴相器的状态转换图 417
12-26 两输入信号之间的相位差不同时PFD的信号波形 418
12-27 鉴频鉴相器平均输出$\overline{u_{\mathrm{d}}(t)}$与相位误差$\theta_{\mathrm{e}}$之间的关系曲线 419
12-28 $u_{\mathrm{d}}(t)$的占空比与两输入信号的频率比ω_1/ω_2之间的关系曲线 420
12-29 一阶和二阶无源超前滞后网络的电路图 420
12-30 一阶和二阶无源超前滞后网络的幅频响应曲线 420
12-31 一阶和二阶有源超前滞后网络的电路图 421
12-32 一阶和二阶有源超前滞后网络的幅频响应曲线 421
12-33 一阶和二阶有源PI网络的电路图 421
12-34 一阶和二阶有源PI网络的幅频响应曲线 422
12-35 锁相环在锁定状态下的数学模型 423
12-36 相位传输函数和误差传输函数的幅频响应曲线 424
12-37 二阶锁相环相位传输函数$H(s)$的幅频响应曲线 425
12-38 欠阻尼锁相环系统对频率阶跃变化的时域响应曲线 426
12-39 不同阻尼系数下欠阻尼锁相环系统对频率阶跃变化的时域响应曲线 426
12-40 二阶锁相环相位误差传输函数$H_{\mathrm{e}}(s)$的幅频响应曲线（$\zeta=0.707$） 427
12-41 相位裕度 427
12-42 相位裕度大小与闭环系统的单位阶跃瞬态响应之间的关系曲线 428
12-43 输入参考信号相位在$t=0$发生阶跃变化时的锁相环的瞬态响应 428
12-44 锁相环输入参考相位发生阶跃变化时环路滤波器的输出产生振荡衰减波形 429
12-45 锁相环输入参考相位发生阶跃变化时环路相位误差的时域波形 429
12-46 输入参考信号频率在$t=0$发生阶跃变化时的锁相环的瞬态响应 430
12-47 锁相环输入参考频率发生阶跃变化时环路相位误差的时域波形 431
12-48 PFD同无源超前–滞后网络的组合电路 432
12-49 PFD同有源PI网络的组合电路 433
12-50 PFD同电荷泵的组合电路 433
12-51 PFD、电荷泵及环路滤波器的组合电路对不同输入相位差的响应 434
12-52 PFD、电荷泵及环路滤波器的组合电路对相位阶跃变化的响应 434
12-53 PFD、电荷泵及环路滤波器的组合电路对相位阶跃变化的等效电路 435
12-54 电荷泵型锁相环的线性模型 435
12-55 电荷泵型锁相环中常用的环路滤波器 436

12-56 二阶电荷泵型锁相环开环传输函数的幅频和相频响应 436
12-57 $I_P K_0$减小降低了锁相环路的稳定性 437
12-58 两输入信号之间没有相位差和存在微小相位差时PFD的输出波形 438
12-59 PFD的死区效应 438
12-60 PFD的实现电路图与延迟时间构成示意图 439
12-61 PFD的实际输出波形 439
12-62 PFD对微小相位误差的反应 440
12-63 电荷泵的晶体管级电路图、延迟不匹配波形及改进措施 440
12-64 电荷泵中的电流源之间的电流大小不匹配问题 441
12-65 差分电荷泵 441
12-66 电荷泵型锁相环的实际输出频谱 442
12-67 高性能电荷泵的电路图 442
12-68 高性能电荷泵型锁相环的输出频谱 443
12-69 混合信号锁相环路 443
12-70 混合信号锁相环路锁定时的数学模型 444
12-71 整数频率合成器 444
12-72 对晶体振荡器的输出频率进行分频的整数频率合成器 445
12-73 双模预分频技术 445
12-74 基于动态电路技术的双模预分频器 446
12-75 高速动态D触发器和与非门触发器 447
12-76 TSPC触发器 448
12-77 基于相位开关技术的双模预分频器 448
12-78 电流导向型锁存器 449
12-79 VCO电压控制线上纹波的等效波形 449
12-80 频率合成器在频率切换后VCO压控电压的稳定过程 450
12-81 整数频率合成器的噪声模型 451
12-82 整数频率合成器的相位噪声传输特性 452
12-83 整数频率合成器的开环相位噪声和闭环相位噪声曲线 453
12-84 三阶环路开环传输函数的波特图 454
12-85 小数频率合成器的基本原理 456
12-86 小数频率合成器各节点的波形图 456
12-87 累加器的等效模型 457
12-88 一阶$\sum-\Delta$调制器的等效模型 458
12-89 一位量化的三阶调制器 458
12-90 三阶MASH调制器 459
12-91 三阶MASH调制器的极零点和输出频谱 459
12-92 三阶MASH调制器和多位量化、单环$\sum-\Delta$调制器的输出状态 460
12-93 多位量化、单环$\sum-\Delta$调制器 460
12-94 多位量化、单环$\sum-\Delta$调制器的极零点和输出频谱 461
12-95 采用小数频率合成器实现的GFSK调制器 461

12-96 GFSK调制器的线性化模型 462
12-97 利用预校准技术来提高数据率 462
12-98 双锁相环频率合成器 462
12-99 混频器在环路之内的双环频率合成器 463
12-100 延迟锁定环路 463
12-101 开环频率调制器 465
12-102 闭环频率调制器 465
12-103 两点闭环频率调制器 465
12-104 调频信号的解调 466
12-105 利用Costas环来提取相干载波 467
12-106 时钟偏斜问题 467
12-107 利用锁相环路来消除时钟偏斜问题 468
12-108 利用锁相环路来减小抖动 468
12-109 习题2图 470
12-110 习题8图 470

13-1 由电阻和电流镜构成的简单电流源 471
13-2 Widlar电流源 472
13-3 自偏置电流源的工作原理 473
13-4 带有启动电路的CMOS自偏置电流源（以晶体管阈值电压作为参考） 474
13-5 第二种形式的自偏置电流源（以双极晶体管的BE结电压作为参考） 475
13-6 第三种形式的自偏置电流源（以热电压V_T作为参考） 476
13-7 恒跨导源 477
13-8 能隙基准源的基本原理 478
13-9 典型能隙基准源的输出电压与温度的关系曲线（$\alpha = 0$） 479
13-10 CMOS能隙基准源 480
13-11 运放的失调电压对能隙基准源的影响 480
13-12 增加ΔV_{EB}的电路方案 481
13-13 增加ΔV_{EB}的另一种电路方案 482
13-14 减小运放失调电压影响的能隙基准源 482
13-15 CMOS能隙基准源电路 483
13-16 恒温电流源 484
13-17 电路瞬态对偏置电压或者电流的影响 485
13-18 自动增益控制环路的基本原理 486
13-19 数字自动增益控制环路 486
13-20 Gilbert单元 487
13-21 通过改变输入级的偏置电流来调节放大器的跨导 488
13-22 通过改变输入级源简并电阻R_E的阻值来调节放大器的跨导 489
13-23 可编程跨导器为基础的高线性度VGA 489
13-24 $R-2R$开关电阻阵列作负载的VGA 490

13-25 可编程反馈为基础的VGA 490
13-26 可编程衰减器 491
13-27 AGC电路实例 491
13-28 单级VGA的电路图 492
13-29 峰值检测电路的部分电路图 493
13-30 带Gm-C反馈滤波器的VGA的AC分析结果 493
13-31 带阻滤波器的幅频响应曲线 494
13-32 LC谐振电路作负载的共源放大器 495
13-33 具有镜像抑制功能的低噪声放大器 496
13-34 利用源简并并联谐振电路来实现具有镜像抑制功能的低噪声放大器 496
13-35 带有Q值补偿电路的带通滤波器 497
13-36 Q值补偿电路可以提高滤波器的滤波能力并增加滤波器的增益 497
13-37 带有Q值补偿电路的带阻滤波器 498
13-38 自动Q值调谐电路 499
13-39 自动频率调谐电路 500
13-40 具有频率调谐功能的镜像抑制滤波器 500
13-41 Miller模型 501
13-42 注入锁定环路的相位噪声特性 501
13-43 注入锁定分频器 502
13-44 注入锁定分频器的输出相位噪声特性 503
13-45 习题1图 504
13-46 习题2图 504
13-47 习题5图 505
13-48 习题8图 506

14-1 电阻条的阻值受到周围形状随机波动的影响 508
14-2 大电容等效为多个小电容的并联 508
14-3 宽电阻条的电阻等效为多个窄电阻条的电阻并联 509
14-4 大面积的晶体管等效为多个小面积晶体管的串并联 509
14-5 不同宽度多晶电阻条的版图 510
14-6 不同面积双层多晶电容的版图 510
14-7 采用哑单元技术来提高电阻之间的匹配程度 511
14-8 公用重心设计 511
14-9 阻值比为2 : 3的匹配电阻的版图 511
14-10 电容值之比为1 : 8的匹配电容的版图 512
14-11 匹配MOS晶体管的版图 512
14-12 增加哑连线来提高晶体管的匹配性能 513
14-13 采用公用重心设计技术来提高晶体管的匹配性能 513
14-14 减小晶体管栅极的寄生阻抗 514
14-15 宽晶体管的版图 514

14-16 Cascode结构晶体管的版图 514
14-17 采用圆周状版图来减小晶体管的寄生效应 515
14-18 采用多个均匀分布的最小孔并联的方法来减小孔寄生电阻和提高孔的可通过电流能力 515
14-19 天线效应 515
14-20 Latch-Up效应 516
14-21 双环保护带（Guard-Ring） 517
14-22 电流镜型偏置电路 517
14-23 电压/电流混合走线方法 518
14-24 焊盘 519
14-25 焊盘版图 520
14-26 采用接地的最底层金属层或者接地的多晶硅层将焊盘和衬底进行有效的隔离 520
14-27 人体模型 522
14-28 人体模型的短路放电电流波形 522
14-29 修改后的人体模型 522
14-30 机器模型 523
14-31 机器模型的短路放电电流波形 523
14-32 CDM模型 524
14-33 CDM模型的短路放电电流波形 524
14-34 TLP模型 525
14-35 TLP模型的$I-V$数据曲线 525
14-36 TLP模型瞬态电压和电流波形 526
14-37 ESD防护方案的典型$I-V$曲线 527
14-38 二极管的典型$I-V$曲线 528
14-39 由二极管构成的典型ESD防护电路 528
14-40 双极型晶体管构成的ESD防护电路及双极型晶体管的典型$I-V$曲线 529
14-41 MOS管构成的ESD防护电路的电路图 529
14-42 ggNMOS管的横截面图和等效电路图 530
14-43 寄生SCR结构的横截面图 530
14-44 SCR结构的等效电路图 531
14-45 SCR结构的典型$I-V$曲线 531
14-46 作为防护器件的SCR结构 532
14-47 攻击模式 533
14-48 多电源电压芯片的全芯片ESD防护方案 534
14-49 输入端两级ESD防护电路 535
14-50 叉指结构晶体管的版图 535
14-51 叉指结构晶体管作ESD防护器件存在的问题及其解决办法 536
14-52 MOS栅耦合ESD防护电路 536
14-53 使用双极型晶体管作为ESD防护器件的防护电路 537

14-54 低触发电压SCR防护结构 537
14-55 输出端ESD防护方案 538
14-56 输出端ESD部分防护方案 539
14-57 输出端的自我ESD防护方案 539
14-58 由ggNMOS和低触发电压SCR构成的电源钳制电路 540
14-59 正向二极管链构成的电源钳制电路 541
14-60 开关型电源钳制电路 541
14-61 N+/p-well垂直二极管的横截面图和版图 542
14-62 n-well/p-well水平二极管的横截面图和版图 543
14-63 ggNMOS的横截面图和版图 544
14-64 BSGD-DGSBSGD-DGSB叉指晶体管结构 545
14-65 格形晶体管结构 545
14-66 金属互连线的走线方向与电流流动方向一致 546
14-67 金属互连线的走线方向对ESD防护性能的影响 547
14-68 双列直插封装（DIP）的寄生效应 548
14-69 封装寄生自感和互感的计算 549
14-70 外延层型衬底 550
14-71 背面没有敷导电型环氧树脂和敷有导电型环氧树脂的浅掺杂衬底（衬底背面均悬空）的电磁场分析结果 550
14-72 外延层型衬底的等效模型 550
14-73 数字电源线耦合是衬底噪声耦合的一种主要机制 551
14-74 衬底噪声耦合的SPICE等效模型 552
14-75 衬底耦合噪声与电源线上的寄生电感量之间的关系曲线 552
14-76 数字电路产生的开关噪声对敏感性电路产生干扰所涉及的过程 553
14-77 采用多焊盘、多键合线、多管脚等技术来减小封装的寄生电感 554
14-78 采用倒封装技术来减小封装的寄生电感 554
14-79 混合信号集成电路的版图布局 555
14-80 深n阱结构 555
14-81 模拟地的不同接法对模拟电路的影响 556
14-82 混合信号集成电路与外接环境的接口电路 556
14-83 互连线的寄生阻抗和寄生容抗会引起信号延迟和色散 557
14-84 互连线之间的信号串绕 557
14-85 模拟电路采用差分操作来减小信号串绕的影响 558
14-86 信号屏蔽技术 558
14-87 另一种信号屏蔽技术 559
14-88 封装时键合线之间、管脚之间存在的互感和耦合电容引起信号串绕 559
14-89 减小封装串绕 560
14-90 将流过电流方向相反但大小相同的键合线放在一起可以降低封装引入的寄生电感量 560

15-1 蜂窝通信系统 561
15-2 DCS-1800无线通信系统的频带 561
15-3 DCS-1800系统的帧结构 562
15-4 MSK信号的相位网格图 563
15-5 MSK调制信号的产生过程 563
15-6 MSK调制信号的星图 564
15-7 GMSK信号的瞬时频率和相位变化曲线 565
15-8 GMSK信号的产生过程 566
15-9 GMSK信号的星图 567
15-10 DCS-1800系统GMSK信号的频谱 567
15-11 DCS-1800无线接收机的系统结构 568
15-12 DCS-1800无线接收机基带处理芯片的结构框图 568
15-13 GMSK接收机系统的误码率与信噪比之间的关系 569
15-14 DCS-1800标准规定的同信道干扰和相邻信道干扰 570
15-15 存在同信道干扰和相邻信道干扰时DCS-1800低中频接收机的I+jQ输出 570
15-16 由DCS-1800标准推导无线接收机的三阶交调点 572
15-17 DCS-1800标准规定的阻塞信号 572
15-18 镜像抑制率与I、Q通道幅度和相位不匹配之间的关系 576
15-19 DCS-1800低中频接收机模拟前端的级图 576
15-20 应用于DCS-1800无线通信系统的低中频接收机模拟前端 577
15-21 低噪声放大器的电路图 578
15-22 混频器的电路图 579
15-23 接收机模拟前端中的各种跨导器 580
15-24 可变增益放大器/滤波器的电路图 581
15-25 DCS-1800无线收发机模拟前端的芯片显微照片 582
15-26 接收机模拟前端的测试转换增益曲线 582
15-27 当输入信号功率变化时接收机模拟前端增益和输出信号功率的变化曲线 583
15-28 接收机模拟前端的输入反射系数 583
15-29 接收机模拟前端的噪声系数测试曲线 584
15-30 接收机模拟前端的镜像抑制测试结果 584
15-31 对接收机模拟前端在不同增益下的二阶交调性能和三阶交调性能的测试结果 585
15-32 给接收机输入GMSK信号时接收机I通道输出的频域和时域波形 585
15-33 输入GMSK信号的时域波形和星图 586
15-34 输入GMSK信号的眼图 586

表 格 目 录

1-1 频谱的划分 8
1-2 IEEE和工业用微波波段的定义 9

2-1 双端口网络矩阵参量换算表 31

5-1 常见的集成电阻条类型 79
5-2 Philips半导体公司的标准BiCMOS工艺参数 87
5-3 片上电感的电感量计算公式中的系数K_1、K_2 91

6-1 集成电路中常用的几种金属和金属硅化物的功函数 105
6-2 MOSFET中，以衬底b为电压参考点时的常用准静态小信号电容在晶体管的不同工作区域中的表达式。 111

8-1 低噪声放大器设计描述及晶体管参数 189
8-2 低噪声放大器设计总结 192

10-1 传统功率放大器分类 262
10-2 不同阶次的并联谐振网络对F类放大器的最大输出功率和效率的影响 285
10-3 各种类型功率放大器的性能总结 285

15-1 低中频接收机模拟前端的性能指标 573
15-2 接收机模拟前端中各模块的设计指标 577
15-3 接收机模拟前端的测试结果总结 586

第一章　绪论

科学技术的发展日新月异，使得人类的工作方式和生活方式发生了巨大而深刻的变化。在过去的十几年中，无线网络获得了长足的发展，从蜂窝语音电话发展到无线接入因特网（Internet）和无线家用网络。无线网络给人们的生活带来了深刻的影响。在经过十几年的指数型增长后，今天的无线产业已成为世界上最大的产业之一。

近年来，无论是国际还是国内，在通信和半导体工业中，出现了一些新情况和新问题。特别是由于通信工业和技术的迅猛发展，直接推动着对集成电路的广泛需求，使通信设备终端芯片、手机芯片和宽带网络接入芯片等的发展遇到前所未有的机遇和挑战。

众所周知，由于工作频率的日益提高，模拟和数字电路设计师们正在不断地开发和改进电路。用于无线通信的模拟电路工作在GHz波段，高性能计算机、工作站以及作为这方面例子的个人计算机，它们所用的时钟频率也不断地增加。全球定位系统（GPS）载波频率在1227.60MHz和1575.42MHz范围内，个人通信系统中的低噪声放大器工作在1.9GHz，在C波段的卫星广播采用4GHz上行和6GHz下行系统。一般说来，由于无线通信的快速发展，更紧凑的放大器、滤波器、振荡器和混频器电路正被设计出来并交付使用。通常这些电路的工作频率高于1GHz。毫无疑问这种趋势将会继续下去，因此不仅要有独特性能的技术装置，而且要在设计时专门解决在常用的低频系统中没有遇到过的问题。

本章介绍了射频电路的发展历史、现代通信系统、射频电路在系统中的作用与地位、射频电路与微波电路和低频电路的关系、射频电路的应用领域等内容。

§1.1　发展历史

最初的电子线路设计，大约要追朔到18世纪末和19世纪初。当时的蓄电池已能可靠地工作，该电池后来用它的发明者A．Volta（1745-1827）的名字命名。伏打电池为驱动最初始的电路提供了可靠的直流能源。之后又出现了低频交流功率源，按照法拉第感应定律工作的变压器，能更有效地输送电力，而只有很小的传输损耗。由于C. Steimnetz，T. Edison，W. Siemens和N. Tesla等的伟大发明创造，电力的产生和配电工业迅速增长并走进我们的生活。

1864年，麦克斯韦（1831-1879）在伦敦英国皇家学会首次发表的一篇文章中，综合人类关于电学和磁学的知识，提出了电场和磁场通过其所在的空间中交连耦合会导致波传播的设想，从理论上预言电磁波的存在，并证明光也是电磁场能量的一种形式。这在当时是全新的概念。其后，1887年赫兹用实验证实了麦克斯韦的设想：电磁能量可通过空间发射和接收，并对电磁波的传播进行了演示。1895年，马可尼首次进行电磁波通讯实验，实现了第一个实际的无线电通信装置。这些是19世纪的重大发现和发明，本身预示着未来无线通信领域的迅速发展。进入20世纪后，1907年福瑞斯特发明了世界上第一只具有放大作用的电子器件－真空三极管，对通信等技术的发展起了很大的作用。早期无线通信主要是航海应用，当时巨大的海船是远距离运输的主要工具，在船上用很大的天线和设备进行“低频”信号通信。此后，无线通信经历巨大的演变，从1920年的无线电广播，到1930年的电视（TV）传输，无线电通信的进展对文化和社会的发展产生了巨大的影响。广播和电视变成大众化的信息媒体，影响着每个人的日常生活。

随后，科学技术进一步发展，发明了集成电路，这是20世纪最为重大的发明之一，它极大地改变了人类的生活。从贝尔实验室的肖克莱等人在1947年发明了第一只晶体管，到德州仪器公司（TI）的科尔比在1958年发明第一块集成电路，再到今天英特尔公司推出包含数千万个晶体管的奔腾IV处理器芯片，所经历的时间不过短短半个世纪。现在全世界每年生产数十亿的集成电路芯片，这些芯片被应用到了人类生活的方方面面，散布在地球的各个角落。

要提到的是，在电信等技术的发展过程中，半导体技术起了决定性的作用。例如，自1962年以来，电话技术迅速地向数字传输和交换发展。推动这个发展的动力，不是由于基于数字传输和

交换的优越性，而主要是固体电子学的进展。在上世纪40年代，人们已经知道数字脉冲编码调制（PCM）技术的优点，但直到1962年，市场上才出现第一个PCM系统。

之后，引入了可以达到更高工作频率的新型晶体管，并于70年代发明了小型、手持和便携式无线电装置（对讲机），这些装置至今仍应用来处理一些突发事件，如警务、消防和救护等。虽然早在1964年就首次实现了第一个微波单块集成电路（MMIC），但是直到70年代后期和80年代早期，MESFET晶体管发明后，MMIC才真正进入实用化阶段。

再后，通信等技术持续而快速地发展，并于1980年出现了移动电话和1990年引入了全球定位系统（GPS）。

现今的无线通信网络（如全球移动通信GSM系统），大大影响着人们的个人通信方式。人们还通过其他通信方式，如电子邮件（E-mail）、无线辨认和跟踪系统（RFID）和便携式多媒体终端等，交流着大量信息。

通信技术的进一步发展要求无线通信设备能在任何地方、任何时间使用，这就要求其体积小、重量轻、功耗低（电池可以更小、更轻、更持久），这就对集成电路技术提出了更高要求。

射频（RF）和微波（MW）通信，即无线通信，是利用无线电磁波作为信息载体的通信方式，所利用的频段在50MHz到30GHz这个宽广的范围内。它的产生和发展也是人类历史上具有里程碑意义的大事。它使人类的信息交流摆脱了时间和空间的限制，具有高度的机动性和灵活性。长久以来，“天涯若比邻”的梦想得以真正实现。现在射频通信已经涵盖了从最尖端的航天军事、到最简单的电动玩具在内的人类生活。特别是个人无线通信市场的成熟和发展使得全球的手机用户超过一亿，而无线局域网也发展迅猛。预计到2010年无线通信用户将达到十亿人并超过有线通信用户。而这一切，从马可尼实现无线电通信以来不过刚刚一个世纪，从麦克斯韦预言电磁波的存在也不到一个半世纪。

可以说，集成电路和射频通信的发展对人类进入信息社会起到了不可估量的推动作用。而随着技术的不断进步，集成电路朝在片系统（SOC，System-On-a-Chip）发展是大势所趋，特别是对于射频通信这样复杂的系统来说更是如此。而一个完整的射频系统也同时包含了数字电路和模拟电路，是一个数模混合系统。

起初，收发器由3片或4片芯片加上一些外部元件组成。之后，很快发展到两片芯片（一芯片进行模拟信号处理，另一芯片进行数字信号处理）加上一些外部元件。元件数再进一步降低，直至在单片上实现全部收发器功能（模拟信号处理和数字信号处理），以大大降低成本、功耗和重量，是追求的目标。这会遇到很多难题，如数字信号对模拟信号的干扰，还有工艺的兼容问题。目前，用CMOS工艺以大量晶体管实现数字信号处理的复杂算法，是比较容易的。但是射频模拟功能的实现比较困难。以前，都是用GeSi 和GaAs工艺实现射频模拟功能，但成本高，而更重要的是它和数字CMOS工艺不兼容，无法实现单片集成。所以，进一步发展的瓶颈是模拟前端，即天线和数字信号处理器之间的接口。所有这些因素导致了用集成电路工艺来实现射频系统的研究和开发热潮。在硅CMOS、BiCMOS、双极工艺、GaAs MESFET、异质结双极晶体管（HBT）、GeSi器件等众多工艺中，由于器件和材料的原因，虽然硅CMOS的高频性能和噪声性能不是最好的，但是由于它的工艺最为成熟、成本最低、功耗最小和高集成度，应用也最为广泛，况且随着技术水平的提高，特别是比例缩小技术，MOS晶体管的频率特性和噪声特性也逐渐得到改善，因此从长远来看，CMOS射频集成电路将是未来的发展趋势。事实上，最近几年，世界各国的研究人员在CMOS射频集成电路的设计和制作方面进行了大量的研究，并取得了可喜的进展，使CMOS射频集成电路的性能不断得到提高，并朝着实用化迈出了坚实的步伐。

§1.2 现代通信系统概述

§1.2.1 通信系统的组成

电子通信系统用于发送来自信源的消息或信息到一个或多个目的地。典型的通信系统可以用图1-1所示的功能方框图来表示。由信源产生的信息可以是语音、图象或纯文本等。



图 1-1 通信系统的功能方框图

输入换能器将信源的输出转换为适于传输的电信号，例如，话筒用来将声音信号转换为电信号，而数码相机将图象转换为电信号。输出换能器则将接受的电信号转换为适合用户的形式（如声音信号、图象等）。

通信系统的心脏由三个基本部分组成，即：发射机、传输信道和接收机：

- 发射机：发射机用于将电信号转换成适合信道传输的形式。发射机一般要使信号与信道匹配，即进行调制，用信息信号改变一个正弦型载波的幅度、频率或相位。例如，在调幅无线电广播中，被传输的信息信号包含在一个正弦型载波的幅度变化中，这是幅度调制。而在调频无线电广播中，被传输的信息信号包含在一个正弦型载波的频率变化中，这是频率调制。类似地，还有相位调制。调制方式的选择基于性能和成本因素的考虑，如带宽、发射机引入的噪声和干扰以及放大信号的电子器件等。除调制之外，发射机通常还包含信号滤波、信号放大等功能。在无线传输中，还要用天线将信号辐射出去。

- 信道：通信信道是用于将信号从发射机送到接收机的物理介质。在无线传输中，信道通常是大气（自由空间），而电话信道通常是各种媒体，包括电缆、光缆等。不管是在什么媒体中，信号传输都会遇到各种干扰。影响信道质量的最常见干扰是加性噪声，它产生于接收机的前端，称为热噪声。在无线传输中，外来的加性噪声来自人为噪声和天线接收的大气噪声，前者如汽车点火噪声，后者如雷暴中的闪电等。在某些无线信道，如用于长距离的短波无线传输中，信号退化的形式是多径衰落。加性和非加性信号畸变具有随机特征，以统计形式表述。

- 接收机：接收机的功能是恢复包含在所接收信号中的信息信号。如果信息信号是以载波调制传输的，则接收机进行载波解调，从正弦型载波中提取有用信息。解调的信息信号的保真度与调制方式、加性噪声强度以及其他各种干扰的强度有关。除完成信号解调这个主要功能之外，接收机还要完成许多辅助功能，如信号滤波和噪声抑制等。

§1.2.2 数字通信系统

上面所述的电通信系统隐含着信息信号是连续的时变波形，即模拟信号，产生该信号的信源是模拟源。模拟信号可以通过载波调制后直接在信道上传输，并在接收机中进行解调，我们称这种系统为模拟通信系统。

另一方面，模拟信号也可转换为数字形式，信息可通过数字调制来传输，并在接收机中解调为数字信号。用数字调制来传输模拟信号的最重要优点是信号的保真度高，特别是在长途传输中，数字传输能很好地再生（还原）数字信号，从而消除在每个再生点的噪声干扰。而相反地，长途传输中，当用放大器周期性地提升信号电平时，模拟传输中的加性噪声则是和信号一起被放大的。选择数字通信的另一个理由是模拟信息可能是高度冗余的，通过数字处理，在进行数字调制之前可以除去这些冗余，提高信道传输的效率。数字通信的第三个优点是数字系统的实现成本比较低。在某些应用中，信号本身就是数字的，例如，计算机数据、英文文本等，这时，产生数据的信息源称为离散（数字）源。

图1-2给出了数字通信系统的功能框图和基本单元。在发射端，信号源输出可以是模拟信号，如音频或视频信号，也可以是数字信号，如计算机的输出。其中， 源产生的信息将被转换为二进制数码序列。理想情况下，我们用尽可能少的二进制数码序列表示源输出，即寻求一种源输出的有效表示来减少甚至消除信息冗余。有效地将模拟或数字源转换为二进制数码序列的过程称为源

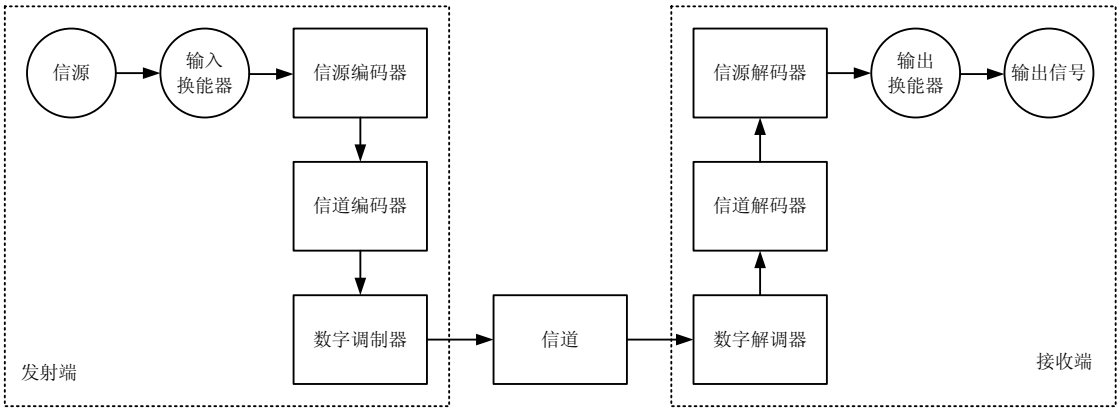


图 1-2 数字通信系统的组成

编码或数据压缩。来自源编码器的二进制数码序列称为信息序列，它被传送到信道编码器。信道编码器的作用是引入某种冗余，以便在接收端克服信号在信道传输中受到的噪声和干扰的影响。附加的冗余可以提高接收数据的可靠性，改进信号的保真度。信道编码器输出的二进制序列传送到数字调制器，后者用作与信道的接口。因为几乎所有的信道都能传输电信号（波形），数字调制器的主要功能是把二进制信息序列映射成信号波形。

接收端的基本功能是完成发射端的反变换，即进行解调、解码等。其任务是从带有噪声干扰的信号中恢复出原始信息信号来。对于多路复用信号，还有解复用装置，以实现分路。最后，当模拟输出信号合乎要求时，源解码器接收由信道解码器输出的序列，并重建信源的原始信号。由于信道解码的误差和源解码器可能引入的畸变，源解码器输出的信号是原始输出的一个近似。这个重建信号和原始信号之间的差异是数字通信系统所引入畸变的一个量度。

§1.2.3 通信信道及其特性

如前所述，通信信道起着连接发射机和接收机的作用。现代通信系统的信道大致有如下五种：

- 有线信道：电话网络广泛利用有线电缆来进行数据和视频的传输，双扭线和同轴电缆是基本的导向电磁信道。用于连接用户和中央局的电话线有几百千赫的带宽，而同轴电缆的可用带宽是几兆赫。通过这些信道传输的信号的幅度和相位会发生畸变，并被加性噪声所污染。双扭线信道还有邻近信道的串话干扰。由于有线信道承担国家和世界的大部分日常通信业务，所以对其传输性质和减小失真，进行了大量的研究。

- 光纤信道：光纤提供的信道带宽要比同轴电缆高几个数量级。过去的十年光纤得到长足的发展，其对信号的衰减很低。目前已开发高可靠的信号产生与检测的光子器件。由于光纤的大带宽，有可能为用户提供一系列服务，如语音、数据、传真和视频等。光纤通信系统中的发射机或调制器是一个光源（发光二极管或激光器），用信号调制其强度来传输信息。光波在光纤中传播并周期性被放大，以补偿信号的衰减。在接收端，用光二极管检测光强度，并输出正比于光强的电信号。可以预期，今后光纤信道将逐步取代电话网络中的有线信道。

- 无线电磁信道：在无线通信系统中，电磁能量是用天线耦合到传播介质的。天线的物理尺寸和形状与频率有关。电磁波传播模式有三种，即地波、天波和视线传播。

  – 地波：当频率较低时（0.3MHz～3MHz）时，地波是主要的传播模式，最大传输距离约160公里（或100英里）。大气噪声、人为噪声和接收机的电子元件热噪声是主要的干扰。

  - 天波：天波是由电离层反射引起的。其常见问题是“信号多径”，它是在信号以不同的延迟经过多个传播途径到达接收机时产生的，导致数字通信系统中的码间干扰。同时，多径引起的信号分量可能互相抵消，导致信号衰落。天波利用对流层的散射传播，其距离可达数百英里。
  - 视线：在频率很高时，主要传播模式是视线传播。对地面通信系统，发射和接收天线之间必须直接可视而无障碍。因此，电视台或微波中继系统的天线必须在高塔上，以获得大覆盖范围。频率达到红外和可见光区的电磁波，可被用于视线光通信，如卫星和卫星之间的链接。

- 水下声频信道：在过去的几十年中，海洋勘探活动愈来愈多。要将水下传感器获得的数据传输到海面，然后通过卫星转发到数据收集中心。电磁波在水下只能传播很短的距离。相反，声波信号可以传播几十甚至几百英里。因此，在水下只能用声波。

- 存储信道：信息的存储和检索系统构成当今数据处理活动的重要部分。磁带、磁盘和光盘等都可看成通信信道。将信号存储于磁带、磁盘或光盘相当于通过电话或无线电信道发射信号。而从存储系统读出信号则相当于接收机恢复发送的信号。和电话或无线通信系统一样，在存储系统的读出信号中有电子元件的加性噪声和邻轨的干扰。随着技术的发展，存储系统的密度和存储量有很大的提高。

§1.2.4 通信信道的数学模型

通信信道是进行信息传输的媒介，对信号的质量具有很重要的影响。为了预测通信系统的性能，需要对通信信道进行建模。下面介绍三种常用的通信信道模型，这三种数学模型能很好地表征现代通信所用到的大多数信道。

1. 加性噪声信道

对于通信信道，最简单的数学模型是加性噪声信道，如图1-3所示。其中，传输信号$s(t)$被一个附加的随机噪声$n(t)$所污染。加性噪声可能来自电子元件和系统接收端的放大器，或传输中受到的干扰，如无线传输的情况。

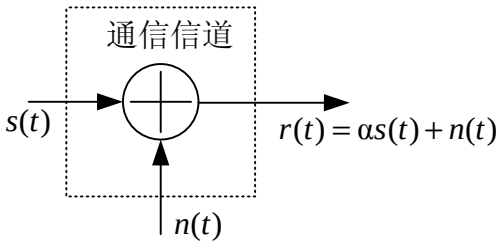


图 1-3 加性噪声信道

如果噪声主要是由电子元件和接收放大器引入的，则为热噪声，统计学上表征为高斯噪声。因此，该数学模型称为加性高斯噪声模型。因该模型可以广泛地应用于许多通信信道，又由于它数学上易处理，所以这是目前通信系统分析和设计中主要应用的信道模型。信道衰减很容易结合进这个模型，当信号遇到衰减时，则收到的信号为

$$r(t) = \alpha s(t) + n(t) \tag{1-1}$$

其中，α表示衰减因数。

2. 线性滤波信道

在某些信道中，如有线电话信道，采用滤波器确保传输的信号不超出规定的带宽，因而不会相互干扰。这种信道数学上一般用带有加性噪声的线性滤波信道表征，如图1-4所示。 如果信道

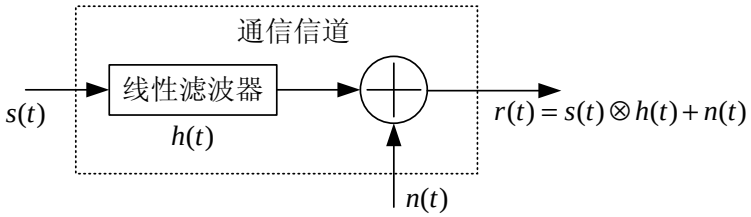


图 1-4 带加性噪声的线性滤波信道

输入信号是$s(t)$，则输出信号是

$$r(t) = s(t) \otimes h(t) + n(t) = \int_{-\infty}^{+\infty} h(\tau)s(t-\tau)\mathrm{d}\tau + n(t) \tag{1-2}$$

其中，$h(t)$是线性滤波器的冲激响应，$\otimes$表示卷积。

3. 线性时变滤波器信道

在水下声频信道和电离层无线信道中，因传输信号是时变多径传播，数学上可用时变线性滤波器来表示。这种线性滤波器的特性由时变信道冲激响应$h(\tau,t)$来表征，$h(\tau,t)$是指在时间$t-\tau$施加冲激，信道在时间t的响应。带加性噪声的时变滤波器信道如图1-5所示。

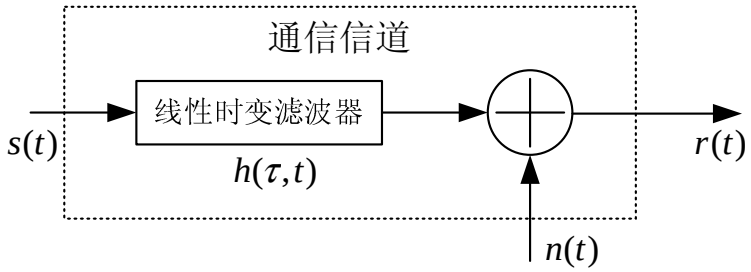


图 1-5 带加性噪声的线性时变滤波器

如输入信号$s(t)$，则信道的输出信号是

$$r(t) = s(t) \otimes h(\tau,t) + n(t) = \int_{-\infty}^{+\infty} h(\tau,t)s(t-\tau)\mathrm{d}\tau + n(t) \tag{1-3}$$

多径信号传输通过的信道，如电离层和移动蜂窝无线信道是方程1-3的特例，其时变冲激响应如下：

$$h(\tau,t) = \sum_{\mathrm{k}=1}^{\mathrm{L}} \mathrm{a_k}(t)\delta(\tau-\tau_\mathrm{k}) \tag{1-4}$$

对于L多径传输，$\mathrm{a_k}(t)$表示可能的时变衰减。将1-4代入1-3，则接收信号是

$$r(t) = \sum_{\mathrm{k}=1}^{\mathrm{L}} \mathrm{a_k}(t)s(t-\tau_\mathrm{k}) + n(t) \tag{1-5}$$

因此，接收信号由L多路径的分量组成，其中每个分量被衰减$\mathrm{a_k}$，并延迟τ_k。

§1.3 射频电路在系统中的作用与地位

现代通信系统复杂多样，并正以惊人速度向前发展，如无绳电话、蜂窝（移动）电话、家用卫星网络、全球定位系统(GPS)和个人通信服务(PCS)等应用都深入到了千家万户。但是，通信系统（以及其他的系统和设备）的心脏是集成电路，包括模拟集成电路和数字集成电路。而其中射频电路起着举足轻重的作用。例如，对于接收链路来说，从天线接收下来的射频信号，首先经

射频前端和其他模拟电路变换到低频的基带内，然后经模数转换器转换成数字信号，这些数字信号再经后面的数字信号处理电路完成解码和其他运算后送给相应的应用设备（图1-6）。对于发射链路来说，相应的应用设备采集到的数据经数字信号处理电路完成编码和其他运算后，送到数模转换器转换成模拟信号，然后再经射频前端和其他模拟电路调制到相应的射频范围内，通过天线发射出去（图1-6）。

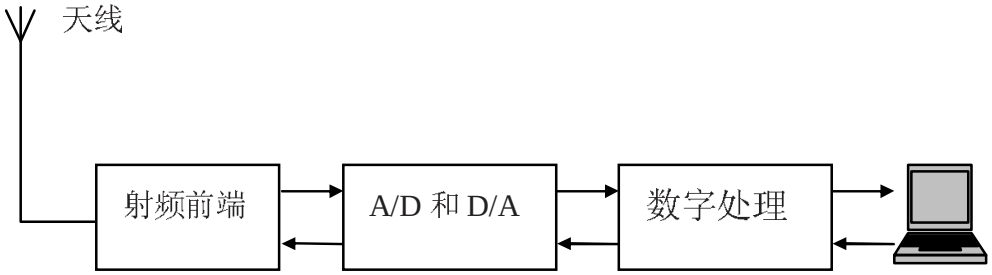


图 1-6 射频通信系统示意图

虽然现在存在着多种无线通信系统，它们在许多方面都很不一样，但是所有的无线通信系统都包含一个射频前端模块来调制发送的信号和解调接收的信号。以图1-7所示的超外差式通信系统为例，射频前端指从天线到第一次频率变换后所需要的电路，这些电路对射频信号进行处理。虚线框中即为通常的射频前端，而该框外的模块则通常为独立的模块。

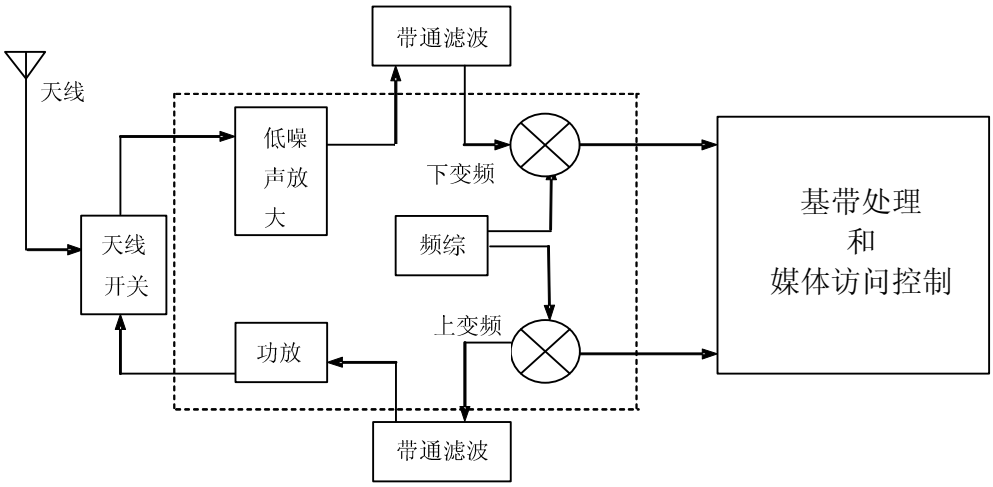


图 1-7 射频前端方框图

接收信号时，射频前端通过天线接收空间传播来的电磁波。由于信号一般都比较微弱，需要使用低噪声放大器对它进行放大。同时，由于空间存在着许多其它的电磁波信号，需要使用滤波器将其它无用的信号过滤掉，保留有用的信号。然后在下变频器中经过与本地产生的振荡信号进行混频，来将信号从射频载波变换到中频或者基带。发送信号时，同接收信号相反，需要将中频或者基带信号经上变频器变换到射频载波，经过功率放大器放大到一定的功率，然后经过天线发送出去。频率综合器用来产生频率变换所需要的本地振荡信号。射频前端包括低噪声放大器、下变频器、上变频器、功率放大器和频率综合器五个模块和其他必要的偏置电路以及控制电路。当然，将虚线框内外的所有这些电路集成到一个芯片内，形成单芯片射频通信系统，是当前学术界和产业界研究的热点，而且已经有一些这样的芯片见诸报道，这样的芯片就是典型的数模混合集成电路。

综上所述，射频电路在系统中起着关键的作用，现代通信系统的发展是与射频电路的发展分不开的。

§1.4 射频电路与微波电路和低频电路的关系

§1.4.1 频段划分

从现有的射频、微波应用，可以看出这个飞速发展的领域具有很大的潜力成为未来许多应用的富有成效的资源。

由麦克斯韦方程可知，当电信号通过一个导体时，会产生电磁（EM）波。当信号频率高于最高的音频频率（大约15到20kHz），EM波就开始从这个导体向外辐射。当频率高于数百兆赫，这个辐射很强，通常将这个频率或更高的频率称之为射频（RF）或微波(MW)。

1. 频谱

要想设计一个电路覆盖全部频带，或者将全部频谱应用于某一种用途，是不切合实际的。所以要把频谱划分成许多频带，每个频带有专门的用途。通常一个电路都是被设计用于某个特定的频带。

频谱有许多种划分和定义，表1-1表示频谱的一种划分法。

表 1-1 频谱的划分

频带名称	缩写	频带范围
甚低频	VLF	(3～30)kHz
低频	LF	(30～300)kHz
中频	MF	(0.3～3)MHz
高频	HF	(3～30)MHz
甚高频	VHF	(30～300)MHz
超高频	UHF	(0.3～3)GHz
特高频	SHF	(3～30)GHz
极高频	EHF	(30～300)GHz

2. 微波和射频的定义

当工作频率提高到接近1GHz或者更高，就会出现一些在低频下所没有的现象。

一般频率范围从1GHz到300GHz的电磁波称为微波。在此频段内的信号波长从1mm(对应于频率300GHz）到30cm（对应于频率1GHz）。通常把从30GHz到300GHz的频率范围特称为毫米波（因为其波长是在毫米范围）。但是，以上的划分不是很严格，以前人们认为0.3GHz到1GHz为射频，但随着近年来科技的迅猛发展，人们则以0.3GHz到(4～5)GHz（S带）为射频频段。而微波则指雷达系统工作的C带（(4～8)GHz）和更高的频带。微波频段由3个主要的频带UHF、SHF和EHF组成。它可以再细分为一些专门的频段，各自有本身的定义，这就使微波的使用更加方便。

电气和电子工程师协会（IEEE）提出了在电子学工业方面最常用的微波频带，如表1-2所示。表中Ka到G是毫米波段(MMW)。

§1.4.2 电路的寄生效应

频率高的射频或微波信号与频率低的交流或直流信号有重大的差别，这些差别会影响电路的工作。随着频率的提高，这种影响愈来愈大。下面四项射频或微波信号的效应是直流或者低频信号所没有的或者可以被忽略的：

- 电路的杂散电容：如导体间、导体或元件与地之间、元件之间的寄生电容等；

表 1-2 IEEE和工业用微波波段的定义

频带名称	频率范围(GHz)	频带名称	频率范围(GHz)
L带	1.0～2.0	S带	2.0～4.0
C带	4.0～8.0	X带	8.0～12.0
Ku带	12.0～18.0	K带	18.0～26.5
Ka带(毫米波)	26.5～40.0	Q带(毫米波)	33.0～50.0
U带(毫米波)	40.0～60.0	V带(毫米波)	50.0～75.0
E带(毫米波)	60.0～90.0	W带(毫米波)	75.0～110.0
F带(毫米波)	90.0～140.0	D带(毫米波)	110.0～170.0
G带(毫米波)	140.0～220.0		

- 杂散电感：如连接元件的导线的电感和元件自身的寄生电感等；
- 趋肤效应：这是由于交流信号只是部分渗透到金属，因此只在导体的外表面薄层中流过。这和直流信号流过导体的全部横截面是截然相反的。当频率升高时，趋肤效应将更加严重，导致交流电阻大大高于直流电阻；
- 辐射：这是指信号泄漏到空间中。本质上，这意味着从导体媒体旁路掉，即不是所有的信号源能量输送到负载。辐射也引起一些耦合效应，如电路元件间、电路和它的环境间、从环境到电路的耦合等。“电磁干扰”（EMI），就是由于射频/微波频率的信号辐射引起的。

§1.4.3 电路的设计考虑

由于不同频率下电磁波性质不同，所以在电路设计时要有不同的考虑。一般分为两个主要的类别：低射频电路和高射频与微波电路。

1. 低射频电路的设计考虑

低射频电路中，可以忽略其电波的传播效应。设计过程考虑如下三个特点:

- 电路的长度l远小于波长，即$l \leq \lambda$；
- 传播延时t_{d}趋近于零，即$t_{\mathrm{d}} \approx 0$；
- 麦克斯韦方程简化为低频下的定律，如基尔霍夫电压和电流定律（KVL和KCL）与欧姆定律。

因此，在射频频率，当$l \leq \lambda$，传播延时t_{d}近似为零，并且所有电路中的元件可以认为是集总的。设计过程包含3个步骤：

- 选择合适的器件，进行直流设计以确定合适的静态工作点；
- 基于这个直流工作点，通过测量或计算得到交流小信号参数；
- 设计匹配电路使器件与外界（即信号源和负载）连接。在这过程中须考虑稳定性、增益和噪声等。

2. **高射频和微波电路**

对于高射频和微波电路，其中可以有一个或几个集总元件，但至少要有一个分布式元件。所谓分布式元件就是该元件的特性是分布在电路的很大长度或面积上，而不是集中在一个部位或元件中。比如，分布式电感是其电感量分布在导体的整个长度上，而普通电感的电感值是集中在线圈中；而分布式电容是其电容量分布在一段导线上，而非集中在一个电容器中（如线圈的匝间或电路相邻导体之间的电容等）。

对于分布电路，具有下述三个特点：

- 必须采用麦克斯韦方程提出的波传播概念；
- 电路要有大的电长度，即其物理长度与电路中信号传播的波长可比拟；
- 信号传播延时t_d不再可忽略。

高射频和微波电路的设计过程如下：

- 开始时进行直流电路设计，以建立稳定的工作点；
- 表征器件在工作点附近的特性，即利用电磁波测量器件各端口的反射和传输系数；
- 设计匹配网络使器件与外界连接，以达到规定的性能指标，如稳定性、增益等。

可见，除了必须考虑波传播这个关键概念外，微波电路设计与上述低射频电路的设计过程相似。

§1.5 应用

除了熟知的无线寻呼和电话以外，射频技术还在许多方面显示巨大的潜力，如全球定位系统（GPS）、射频身份验证（RF ID）和家用卫星网络（Home Satellite Network）等。限于篇幅，这里着重对无线局域网（WLAN）、全球移动通信系统（GSM）和宽带码分多址系统（WCDMA）做一简单地介绍。

§1.5.1 无线局域网

当今，基于无线通信的计算机网络已成为国际上热门的研究和发展领域，其目标是在有限的带宽上获得更高的数据传输率，同时系统必须价格低廉，以便有广阔的市场。无线局域网（WLAN）是利用全球通用且无须申请许可的ISM频段（2.4GHz频段、5.0GHz频段），在无线的环境中实现便携式移动通信。无线局域网既可作为有线网络的延伸和补充，又适于某些难以布线的特殊场合。在建筑物内或建筑物之间的短距离局域网通信可以用射频和微波来实现。但是，通过电缆（即同轴线或光纤）来连接会在拥挤的都市造成严重问题，因为电缆必须在两建筑物之间的地下走。这个难题可以用安装在屋顶和办公室窗户的射频和微波收发器系统来大大缓解。在建筑物内，射频和微波可有效地用来形成无线局域网，以便连接电话、计算机以及其他的局域网。

无线局域网的主要优点是可在办公室中灵活地重新布置电话、计算机等设备，而不必改变墙壁上出口的连线。在开发出低成本、低功耗、以电池工作的无线局域网产品方面，集成的无线局域网芯片组解决方案将在无线电市场上扮演一个重要的角色。

目前，由于无线局域网巨大的市场潜力，世界各国的工业界和科技界都投入巨大的力量，加强这方面的研究与开发工作。出于对高集成度、低功耗，低成本和小型化追求，都把目标集中在多频带（一般是两个频带）和多模（一般是2～3种模式）上，即用较少的芯片数在多频带实现多种功能，使性能更灵活、应用更方便、范围更广泛。这是无线局域网芯片组的发展趋势。

Intersil公司新近推出的Prism Duette是双频带（5GHz（802.11a）和2.4GHz（802.11b、802.11g））无线局域网解决方案，该网络能传输高达54Mbps数据率的视频、语音和数据，并且向下兼容现有的Wi-Fi系统。Prism Duette双频带芯片组的总体结构图如图1-8所示。它的核心由两大芯片ISL3690（高集成UHF2双频带直接变换收发机）和ISL3890（集成基带处理器/媒体访问控制器BBP/MAC）组成。实现全IEEE 802.11a/b/g 无线局域网MAC协议。

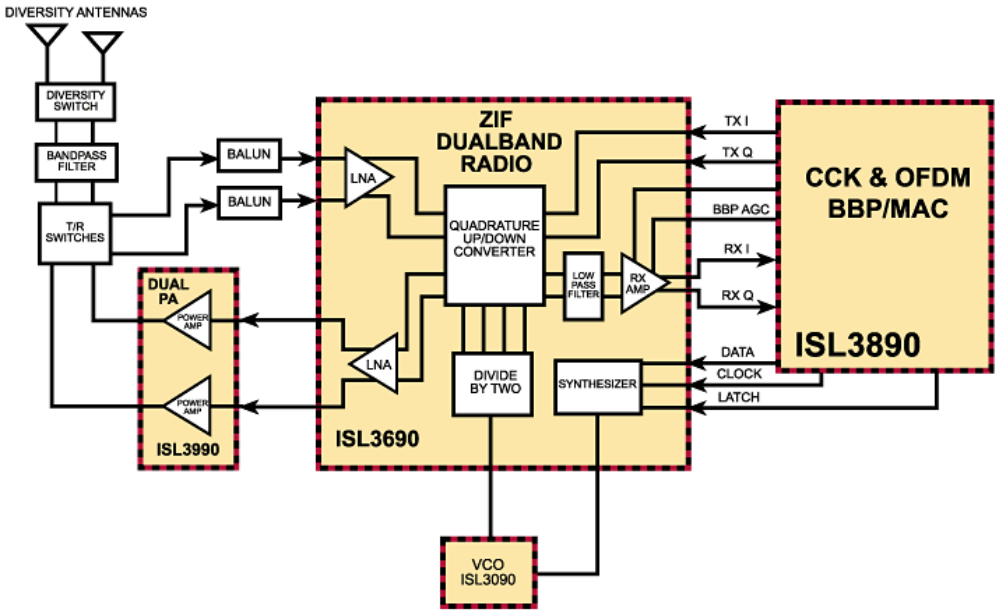


图 1-8 Prism Duette双频带芯片组的总体结构图

§1.5.2 GSM

GSM (Global System for Mobile Communications 全球数字移动通信系统）以其频谱效率高、容量大、保密性能好、漫游能力强，并且能提供短信服务等优点，受到广泛的重视。

GSM 是欧洲电信标准学会（ETSl）为第二代移动通信制定的可国际漫游的泛欧数字蜂窝系统标准。1982年，公用陆地移动网（PLMN）分配了890～915MHz和935～960MHz两个工作频段，同年成立了GSM工作组。这个工作组的主要任务就是制定一个第二代移动通信标准，以解决欧洲各国因使用六个不同的第一代模拟蜂窝系统而造成无法漫游的问题。在对几种系统方案进行评估后，工作组制定了新的统一数字蜂窝网络标准，命名为全球数字移动通信系统（GSM），它容易实现漫游又可提供很大的通信容量。到2001年，接近150家的蜂窝移动系统采用了GSM标准。

GSM的信道宽度为200kHz, 单路RF信道的总比特率为270.833kbps。调制方式采用最小频移键控(GMSK), 单向信道载波的频率偏移为67.708kHz。就频谱利用率来说，GSM系统的每路话音信道为25kbps。GSM系统利用线性预测编码器将每路话音信号以13kbps 的速率编码后进行传输，这种编码器可以模拟人的喉咙、嘴部和舌的发音方式。该编码方式与直接PCM相比，可减小比特率。若系统使用更先进的话音编码器（声码器），比特率则可减至6.5kbps, 从而使GSM系统容量加倍。GSM系统还利用跳频技术解决多径传播现象造成的信号衰落。另外，用户ID模块(SIM)是GSM系统所特有的的模块。这是一种具有8kb存储容量的智能卡，其中存储了由用户确定的所有相关信息。无论在何处，只要用户持有SIM卡就可以使用任何GSM电话。利用SIM卡可在一定程度上防止欺诈使用，增加系统的安全性。

在业务方面，第一代模拟蜂窝系统是只为通话这个目的而设计，而GSM则综合了语音和数据业务，不仅提供移动电话服务，还提供了一系列的其它业务。这些业务可分为三类：用户终端业

务、承载业务和补充业务。用户终端业务供两个终端用户之间依据协议标准进行通信，包括：电话、紧急呼叫、传真、智能用户电报、短消息(单播和多播)和可视图文等。承载业务提供在用户网络接口或应用程序之间传递信息的能力。补充业务则不是单独的业务，而是对承载业务和用户终端业务的补充，包括呼叫转发和呼叫阻塞等。

§1.5.3 WCDMA

上述GSM的缺点是数据率低和频谱利用率低，这是第二代移动通信系统进一步发展的瓶颈。应运而生的是WCDMA（Wideband Code Division Multiple Access，宽带码分多址接入），其突出的优点是数据率高和频谱利用率高，可支持384kbps到2Mbps不等的数据传输速率，在高速移动的状态，可提供384kbps的传输速率；而在低速移动或是室内环境下，则可提供高达2Mbps的传输速率。而GSM系统的数据率目前只能达到9.6kbps，固定线路的调制解调器（modem）也只具有56kbps的速率。

WCDMA是由欧洲和日本发起的，其中每个5MHz信道只使用单路载波，码片率为4.096Mbps。数据传输速率为2Mbps。基于WCDMA的UMTS（Universal Mobile Telecommunication Sysems，通用移动通信系统，），是所谓的第三代（3G）移动通信系统。3G系统开展的业务定位为：提供多种类型、高质量多媒体业务，能实现全球性覆盖，具有全球漫游能力，与固定网络相兼容，并以小型便携式终端在任何时候、任何地点进行任何种类通信，这将给广大用户带来极大的便利。3G手机可以实现可视电话、快速上网、接收电视节目等功能，使手机有望在不久的将来变成实实在在的可移动的多媒体终端。这必将给电信产业带来新一轮的发展高潮。

此外，在一些传输通道中，它还可以提供电路交换和分包交换的服务，因此，消费者可以同时利用电路交换方式接听电话，然后以分包交换方式访问因特网，这样的技术可以提高移动电话的使用效率，使得可以消除在同一时间只能做语音或数据传输的服务的限制。我国目前正在加紧研究和开发具有自主知识产权的3G产品，即中国体制的TD-SCDMA（时分同步码分多址）的第三代移动通信系统。它采用智能天线、联合检测和接力切换等技术，在频谱利用率、对业务支持、频率灵活性和成本等方面具有优势。自然，由于第三代的发展必将是在第二代的基础上逐步演进实现的，所以，要充分利用现已建设的2G网络，保持用户业务的连续性，这就要求3G 网络必须与2G有很好的后向兼容性。

参考文献

1 Lee T H. The design of CMOS radio frequency integrated circuits. New York: Cambridge University Press, 1998

2 Proakis J G, Salehi M. Communication systems engineering(2nd edition). Prentice Hall Inc., 2002

3 Miller G M, Beasley J S. Modern electronic communication(7th edition). Prentice Hall Inc., 2004

4 Blake R. Electronic Communication Systems(2nd edition). Delmar: Thomson Learning Inc., 2002

5 Razavi B. Design of Analog CMOS Integrated Circuits. New York: McGraw-Hill Higher Education, 2001

6 Razavi B. RF MicroelectronicsCircuits. Prentice Hall, 1998

7 Ludwig R, Bretchko P. RF Circuit Design: Theory and Applications. Prentice Hall, 2000

8 Craninckx J, Steyaert M. Wireless CMOS Frequency Synthesizer Design. Kluwer Academic Publishers, 1998

9 Crols J, Steyaert M. CMOS Wireless Transceiver Design. Kluwer Academic Publishers, 1997

10 Radmanesh M. Radio Frequency and Microwave Electronics Illustrated. Pearson Education North Asia Limited and Publishing House of Electronics Industry, 2002

11 Riordan M, Hoddeson L. Crystal Fire: The Invention of the Trnsistor and the birth of the Information Age. Norton: WW and Company Incorporated, 1997

12 石秉学, 李永明, 廖青. WLAN(无线局域网)芯片组的研究与发展. 中国集成电路. 2003, 8: 7-13

13 Pahlavan K, Krishnamurthy P. Principles of Wireless Networks:A Unified Approach. Pearson Education, 2002

第二章　线性射频电路的基本特性和分析方法

由于射频电路工作的频率很高，它具有一系列不同于低频电路的特点，主要表现为波动性的出现以及低频下可以忽略的寄生效应不再能被忽略。深入理解射频电路的这些基本特性，对于从事射频电路的设计具有非常重要的意义。在本章里，我们将讨论线性射频电路的基本特性和分析方法。首先我们将讨论传输线的基本特性；接着引入线性射频电路的基本分析工具－Smith圆图，最后讨论了描述线性射频电路性能的基本参数（S参数）以及应用S参数来分析线性网络的方法。在附录部分，我们还介绍了无源分立集总参数元件应用于射频电路时可能出现的寄生效应及其等效模型。

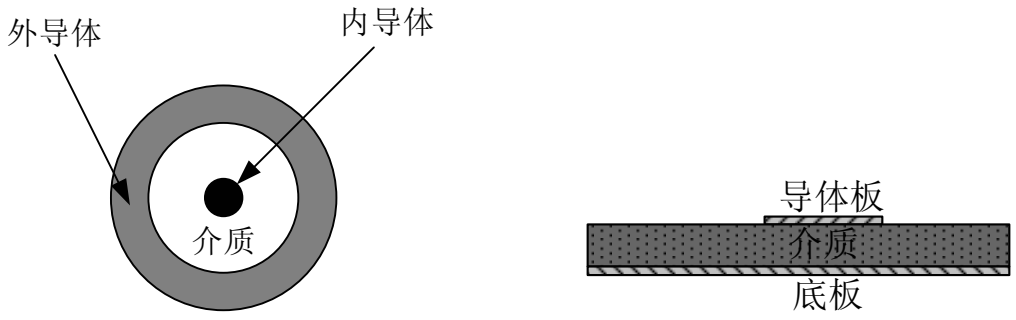
§2.1　传输线

随着工作频率f的升高，电磁波的波长λ逐渐减小，当波长减小到与元件的尺寸l_{A}可比时（$l_{\mathrm{A}} \leq \lambda/10$），必须考虑传输距离对信号幅度、相位（频域）和波形时延（时域）的影响，这时的电压和电流在空间的分布不再是均匀的，不遵从Kirchhoff定理，而必须应用传输线理论来求解。由于$\lambda = v_p/f = c/(f\sqrt{\epsilon_{\mathrm{r}}\mu_{\mathrm{r}}})$，故可以应用Kirchhoff定理来求解电路的最高工作频率：

$$f_{\max} = \frac{v_p}{10l_{\mathrm{A}}} = \frac{c}{10l_{\mathrm{A}}\sqrt{\epsilon_{\mathrm{r}}\mu_{\mathrm{r}}}} \tag{2-1}$$

当电路的工作频率超过$f_{\max}$时，就必须应用传输线理论来求解。其中，v_p为电磁波在传输介质中的相速，$c = 3.0 \times 10^8$ m/s为真空中的光速，ϵ_{r}和μ_{r}分别为传输介质的相对介电常数和相对磁导率。

在射频电路中，常用的均匀传输线是同轴线和微带线。同轴线是由同轴的管状外导体和柱状内导体构成，内外导体之间填充了低损耗介质。如图2.1(a)所示。这种传输线的外导体通常接地，可以减小辐射损失和电磁场之间的相互干扰。连接射频电路系统以及射频电路系统和测试设备的同轴电缆就是这种类型的传输线。微带线是PCB电路中常用的主要传输系统，可用作各种元件之间的连接线，其结构如图2.1(b)所示，导体带和接地的底板构成传输线的两个导体，底板接地可以减小电磁场泄漏和辐射损失。微带线的损耗同介质材料有很大的关系，一般说来，介质材料的介电常数越高，绝缘性能越好，损耗就越小。由于这种传输线对设计射频系统具有很重要的意义，在后面我们将详细阐述微带线的设计。



(a) 同轴线　　(b) 微带线

图 2-1 射频电路中常用的均匀传输线

§2.1.1　传输线波动方程

如前所述，当工作频率提高时，电压和电流在空间的分布不再是均匀的，从而不能应用Kirchhoff定理来求解。但是，如果取出一段长度为Δz的传输线，只要Δz足够小，则可以认

为在该段传输线内电压和电流的空间分布是均匀的，从而可以应用Kirchhoff定理来求解。这一小段传输线的电压电流关系可以用如图2-2的电路来等效。其中R_1为单位长度传输线的分布电阻，G_1为单位长度传输线的分布电导，L_1 为单位长度传输线的分布电感，C_1为单位长度传输线的分布电容。整个传输线就是由很多这样的小段传输线级联构成的，形成分布参数电路。

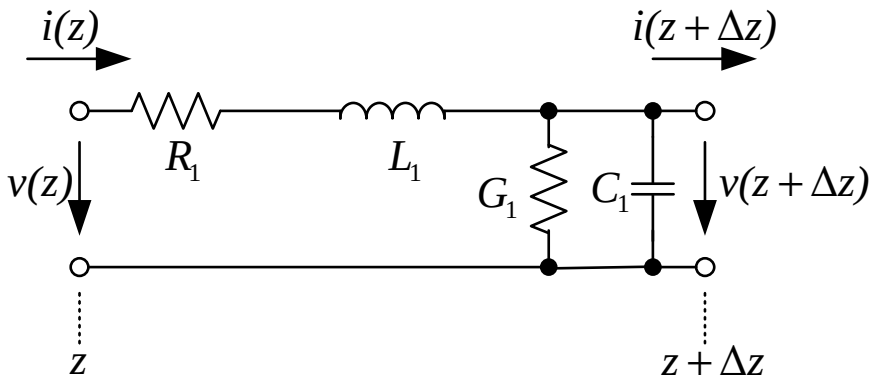


图 2-2 一小段传输线的等效电路

由Kirchhoff定理，可得：

$$v(z+\Delta z)-v(z)=-(R_1+\mathrm{j}\omega L_1)\Delta z\cdot i(z) \tag{2-2}$$

$$i(z+\Delta z)-i(z)=-(G_1+\mathrm{j}\omega C_1)\Delta z\cdot v(z+\Delta z) \tag{2-3}$$

当$\Delta z\to 0$时，则有：

$$\frac{\mathrm{d}v(z)}{\mathrm{d}z}=-(R_1+\mathrm{j}\omega L_1)i(z) \tag{2-4}$$

$$\frac{\mathrm{d}i(z)}{\mathrm{d}z}=-(G_1+\mathrm{j}\omega C_1)v(z) \tag{2-5}$$

对式2-4再次求导，并将式2-5代入，可得：

$$\frac{\mathrm{d}^2v(z)}{\mathrm{d}z^2}=(R_1+\mathrm{j}\omega L_1)(G_1+\mathrm{j}\omega C_1)v(z) \tag{2-6}$$

上式通常称为电压波动方程。令$\gamma=\sqrt{(R_1+\mathrm{j}\omega L_1)(G_1+\mathrm{j}\omega C_1)}=\alpha+\mathrm{j}\beta$，则电压波动方程可以改写为：

$$\frac{\mathrm{d}^2v(z)}{\mathrm{d}z^2}=\gamma^2v(z) \tag{2-7}$$

同理可得电流波动方程：

$$\frac{\mathrm{d}^2i(z)}{\mathrm{d}z^2}=\gamma^2i(z) \tag{2-8}$$

其中，α是单位长度传输线的损耗，称为衰减系数；β是单位长度传输线的相移，称为相移常数。α和β的物理量纲均为m^{-1}。相速v_p和波长λ同相移常数β有如下的关系：

$$v_p=\frac{\omega}{\beta}\quad \lambda=\frac{2\pi}{\beta} \tag{2-9}$$

电压波动方程和电流波动方程均为二阶齐次线性常数微分方程，其解为：

$$v(z)=V_+(0)\mathrm{e}^{-\gamma z}+V_-(0)\mathrm{e}^{\gamma z} \tag{2-10}$$

$$i(z)=I_+(0)\mathrm{e}^{-\gamma z}+I_-(0)\mathrm{e}^{\gamma z} \tag{2-11}$$

式中，$e^{-\gamma z}$和$e^{\gamma z}$是电报方程的两个线性独立解，分别代表朝$+z$方向传播的入射波和朝$-z$方向传播的反射波；$V_+(0)$、$V_-(0)$、$I_+(0)$、$I_-(0)$分别代表相应的电压波和电流波在$z=0$处的初始振幅。

由式2-4可以得到：

$$i(z)=-\frac{1}{R_1+\mathrm{j}\omega L_1}\frac{\mathrm{d}v(z)}{\mathrm{d}z} \tag{2-12}$$

将上式代入式2-10，并令$Z_c=\sqrt{(R_1+\mathrm{j}\omega L_1)/(G_1+\mathrm{j}\omega C_1)}$，则可得：

$$i(z)=\frac{V_+(0)}{Z_c}e^{-\gamma z}-\frac{V_-(0)}{Z_c}e^{\gamma z} \tag{2-13}$$

Z_c称为传输线的特性阻抗，其倒数$Y_c=\sqrt{(G_1+\mathrm{j}\omega C_1)/(R_1+\mathrm{j}\omega L_1)}$称为传输线的特性导纳。

对于无损传输线，$R_1=0$，$G_1=0$，则

$$\alpha=0 \quad \beta=\omega\sqrt{L_1C_1} \tag{2-14}$$

$$Z_c=\sqrt{L_1/C_1} \tag{2-15}$$

$$v(z)=V_+(0)e^{-\mathrm{j}\beta z}+V_-(0)e^{\mathrm{j}\beta z} \tag{2-16}$$

$$i(z)=I_+(0)e^{-\mathrm{j}\beta z}+I_-(0)e^{\mathrm{j}\beta z}=\frac{V_+(0)}{Z_c}e^{-\mathrm{j}\beta z}-\frac{V_-(0)}{Z_c}e^{\mathrm{j}\beta z} \tag{2-17}$$

此时传输线上的电压、电流呈现正向和反向的等幅行波，特性阻抗Z_c为实数。

§2.1.2 终端接负载的无损传输线

在射频和微波电路中，为了分析的方便，常采用如图2-3所示的坐标体系。这种坐标体系把无损传输线的负载处作为坐标的原点，且把坐标的正方向规定为从负载指向电源的方向，但电压和电流的正方向仍与以前的规定相同。

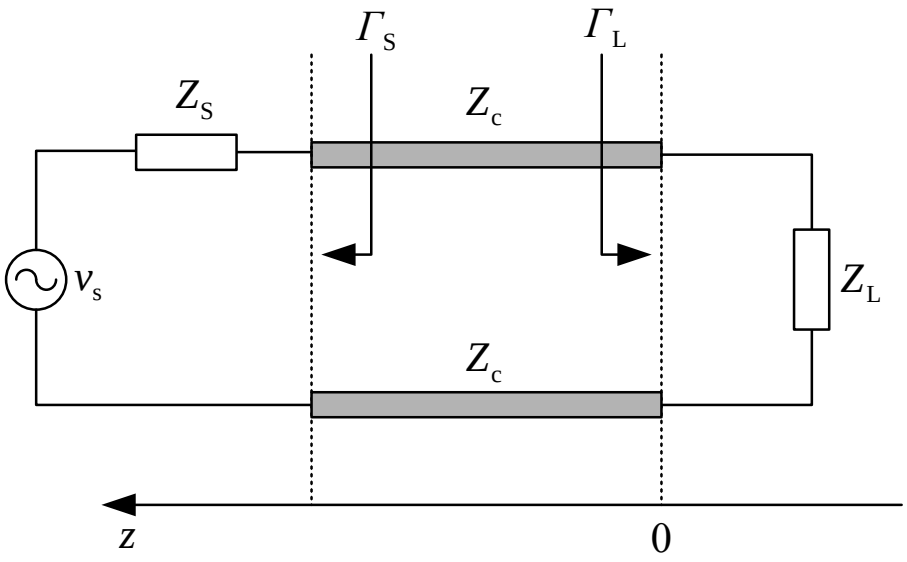


图 2-3 以负载处为原点的坐标体系

当采用这种坐标体系时，入射波（由信号源至负载）沿$-z$方向传播，反射波沿$+z$方向传播。采用与上节相同的分析方法，可以得到该无损传输线的电压和电流的解为：

$$v(z)=V_-(0)e^{\mathrm{j}\beta z}+V_+(0)e^{-\mathrm{j}\beta z} \tag{2-18}$$

$$i(z)=I_{-}(0)\mathrm{e}^{\mathrm{j}\beta z}+I_{+}(0)\mathrm{e}^{-\mathrm{j}\beta z}=\frac{V_{-}(0)}{Z_{\mathrm{c}}}\mathrm{e}^{\mathrm{j}\beta z}-\frac{V_{+}(0)}{Z_{\mathrm{c}}}\mathrm{e}^{-\mathrm{j}\beta z} \tag{2-19}$$

其中，$V_{-}(0)$和$I_{-}(0)$分别为负载处（$z=0$）的入射波电压和电流，入射波的方向为$-z$方向；$V_{+}(0)$和$I_{+}(0)$则为负载处（$z=0$）的反射波电压和电流，反射波的方向为$+z$方向。

我们将反射电压和入射电压之比定义为电压反射系数，即：

$$\Gamma(z)=\frac{v_{\mathrm{r}}(z)}{v_{\mathrm{i}}(z)}=\frac{V_{+}(0)\mathrm{e}^{-\mathrm{j}\beta z}}{V_{-}(0)\mathrm{e}^{\mathrm{j}\beta z}}=\frac{V_{+}(0)}{V_{-}(0)}\mathrm{e}^{-\mathrm{j}2\beta z} \tag{2-20}$$

其中，$v_{\mathrm{i}}(z)=V_{-}(0)\mathrm{e}^{\mathrm{j}\beta z}$为$z$截面处的入射电压，$v_{\mathrm{r}}(z)=V_{+}(0)\mathrm{e}^{-\mathrm{j}\beta z}$为$z$截面处的反射电压。

某一截面z处的电压$v(z)$与电流$i(z)$之比定义为该截面处的输入阻抗Z_{i}，则由式2-18、2-19、2-20可知：

$$Z_{\mathrm{i}}(z)=\frac{v(z)}{i(z)}=Z_{\mathrm{c}}\frac{1+\Gamma(z)}{1-\Gamma(z)} \tag{2-21}$$

在负载处，$z=0$，这时的电压反射系数定义为负载反射系数，即

$$\Gamma_{\mathrm{L}}=\Gamma(0)=\frac{V_{+}(0)}{V_{-}(0)} \tag{2-22}$$

则任意截面处的反射系数可以表示为：

$$\Gamma(z)=\Gamma_{\mathrm{L}}\mathrm{e}^{-\mathrm{j}2\beta z} \tag{2-23}$$

由上式可知，反射系数的模在无损传输线上是不变的。

负载处的输入阻抗$Z_{\mathrm{i}}(0)=Z_{\mathrm{L}}$，则由式8-85可知：

$$\Gamma_{\mathrm{L}}=\frac{Z_{\mathrm{L}}-Z_{\mathrm{c}}}{Z_{\mathrm{L}}+Z_{\mathrm{c}}} \tag{2-24}$$

同Γ_{L}类似，我们将由电源反射的电压波与向电源入射的电压波之比定义为电源反射系数Γ_{S}，可以证明：

$$\Gamma_{\mathrm{S}}=\frac{Z_{\mathrm{S}}-Z_{\mathrm{c}}}{Z_{\mathrm{S}}+Z_{\mathrm{c}}} \tag{2-25}$$

其中，Z_{S}为电源的内阻抗。

引入负载反射系数后，可以将无损传输线的电压和电流的解重新表示为：

$$v(z)=V_{-}(0)(\mathrm{e}^{\mathrm{j}\beta z}+\Gamma_{\mathrm{L}}\mathrm{e}^{-\mathrm{j}\beta z})=V_{\mathrm{i}}(0)(\mathrm{e}^{\mathrm{j}\beta z}+\Gamma_{\mathrm{L}}\mathrm{e}^{-\mathrm{j}\beta z}) \tag{2-26}$$

$$i(z)=\frac{V_{\mathrm{i}}(0)}{Z_{\mathrm{c}}}(\mathrm{e}^{\mathrm{j}\beta z}-\Gamma_{\mathrm{L}}\mathrm{e}^{-\mathrm{j}\beta z}) \tag{2-27}$$

将式2-26、2-27代入2-21，可以得到：

$$Z_{\mathrm{i}}(z)=\frac{v(z)}{i(z)}=\frac{V_{\mathrm{i}}(0)(\mathrm{e}^{\mathrm{j}\beta z}+\Gamma_{\mathrm{L}}\mathrm{e}^{-\mathrm{j}\beta z})}{\frac{V_{\mathrm{i}}(0)}{Z_{\mathrm{c}}}(\mathrm{e}^{\mathrm{j}\beta z}-\Gamma_{\mathrm{L}}\mathrm{e}^{-\mathrm{j}\beta z})} \tag{2-28}$$

将式2-24代入上式，可得：

$$Z_{\mathrm{i}}(z)=Z_{\mathrm{c}}\frac{Z_{\mathrm{L}}+\mathrm{j}Z_{\mathrm{c}}\tan(\beta z)}{Z_{\mathrm{c}}+\mathrm{j}Z_{\mathrm{L}}\tan(\beta z)} \tag{2-29}$$

由于Γ_{L}是复数，我们令$\Gamma_{\mathrm{L}}=|\Gamma_{\mathrm{L}}|\mathrm{e}^{\mathrm{j}\varphi_{\mathrm{L}}}$，则由式2-26可得：

$$v(z)=V_{\mathrm{i}}(0)(\mathrm{e}^{\mathrm{j}\beta z}+|\Gamma_{\mathrm{L}}|\mathrm{e}^{\mathrm{j}\varphi_{\mathrm{L}}}\mathrm{e}^{-\mathrm{j}\beta z}) \tag{2-30}$$

$$=V_{\mathrm{i}}(0)(1-|\Gamma_{\mathrm{L}}|)\mathrm{e}^{\mathrm{j}\beta z}+2V_{\mathrm{i}}(0)|\Gamma_{\mathrm{L}}|\mathrm{e}^{\mathrm{j}(\varphi_{\mathrm{L}}/2)}\cos(\beta z-\varphi_{\mathrm{L}}/2) \tag{2-31}$$

其中，式中的第一项表示一个电压振幅为入射波电压振幅的$(1-|\Gamma_{\mathrm{L}}|)$倍的行波，它所携带的能量为负载所吸收；第二项表示一个电压振幅为入射波电压振幅的$(2|\Gamma_{\mathrm{L}}|)$倍的纯驻波，纯驻波不传输功率。

由公式2-30可以得到传输线上电压振幅：

$$|v(z)| = |V_{\mathrm{i}}(0)|\sqrt{1+|\Gamma_{\mathrm{L}}|^2+2|\Gamma_{\mathrm{L}}|\cos\left(\varphi_{\mathrm{L}}-2\beta z\right)} \tag{2-32}$$

由上式可知，当$\varphi_{\mathrm{L}}-2\beta z=2n\pi(n=0,\pm1,\pm2,\cdots)$时电压振幅达到最大值$|V_{\max}|$，这些截面为传输线的波腹点$z_{\max}$；当$\varphi_{\mathrm{L}}-2\beta z=(2n-1)\pi(n=0,\pm1,\pm2,\cdots)$时电压振幅达到最小值$|V_{\min}|$，这些截面为传输线的波节点$z_{\min}$。相邻波腹点和波节点之间的距离为四分之一波长，相位差为$\pi/2$；两相邻波腹点或两相邻波节点之间的距离为二分之一波长，相位差为π。

由式2-32可以得到：

$$|V_{\max}| = |V_{\mathrm{i}}(0)|(1+|\Gamma_{\mathrm{L}}|) \quad |V_{\min}| = |V_{\mathrm{i}}(0)|(1-|\Gamma_{\mathrm{L}}|) \tag{2-33}$$

$|V_{\max}|$与$|V_{\min}$之比定义为电压驻波系数，记做ρ，简称电压驻波比或驻波比（VSWR）。由式2-33可知：

$$\rho = \frac{|V_{\max}|}{|V_{\min}|} = \frac{1+|\Gamma_{\mathrm{L}}|}{1-|\Gamma_{\mathrm{L}}|} \tag{2-34}$$

进一步的分析可以证明，在传输线的波腹点$z_{\max}$和波节点$z_{\min}$的输入阻抗是纯电阻，分别为：

$$Z_{\mathrm{i}}(z_{\max}) = Z_{\mathrm{c}}\rho \quad Z_{\mathrm{i}}(z_{\min}) = \frac{Z_{\mathrm{c}}}{\rho} \tag{2-35}$$

§2.1.3 终端接特定负载的无损传输线的工作状态

在上节我们已经推导出终端接负载的无损传输线的电压、电流和输入阻抗的表达式，从这些表达式可以看出，无损传输线的工作状态与负载阻抗有很大的关系。在本节我们将讨论终端接特定负载的无损传输线的工作状态。

一、终端接匹配负载的传输线

终端接匹配负载（即传输线只有入射波而没有反射波）的条件是$\Gamma_{\mathrm{L}}=0$。由公式2-24可知，该条件等效于$Z_{\mathrm{L}}=Z_{\mathrm{c}}$。在这种负载条件下，传输线上任何一点上的电压反射系数均为0，而电压、电流和输入阻抗的表达式可以简化为：

$$v(z) = V_{\mathrm{i}}(0)\mathrm{e}^{\mathrm{j}\beta z} \tag{2-36}$$

$$i(z) = \frac{V_{\mathrm{i}}(0)}{Z_{\mathrm{c}}}\mathrm{e}^{\mathrm{j}\beta z} \tag{2-37}$$

$$Z_{\mathrm{i}}(z) = Z_{\mathrm{c}} \tag{2-38}$$

从上式可以知道，终端接匹配负载时无损传输线上各点的电压、电流的振幅不变，而相位随z的减小连续滞后。

二、短路传输线

当终端短路，即$Z_{\mathrm{L}}=0$时，$\Gamma_{\mathrm{L}}=-1$，传输线处于全反射状态。这时传输线上各点的电压、电流和输入阻抗的表达式可以简化为：

$$v(z) = V_{\mathrm{i}}(0)(\mathrm{e}^{\mathrm{j}\beta z}-\mathrm{e}^{-\mathrm{j}\beta z}) \tag{2-39}$$

$$= 2\mathrm{j}V_{\mathrm{i}}(0)\sin\left(\beta z\right) \tag{2-40}$$

$$i(z) = \frac{V_{\mathrm{i}}(0)}{Z_{\mathrm{c}}}(\mathrm{e}^{\mathrm{j}\beta z}+\mathrm{e}^{-\mathrm{j}\beta z}) \tag{2-41}$$

$$= \frac{2V_{\mathrm{i}}(0)}{Z_{\mathrm{c}}}\cos\left(\beta z\right) \tag{2-42}$$

$$Z_{\mathrm{i}}(z) = \mathrm{j}Z_{\mathrm{c}}\tan\left(\beta z\right) \tag{2-43}$$

图2-4给出了短路传输线上电压、电流和输入阻抗的分布图。从图中可以看出，沿线电压和电流不再具有波动特性，而是在原地作简谐振荡；沿线的输入阻抗呈现出短路、纯感抗、开路、纯容抗、短路、$\cdots$的周期性变化，周期为$\lambda/2$。

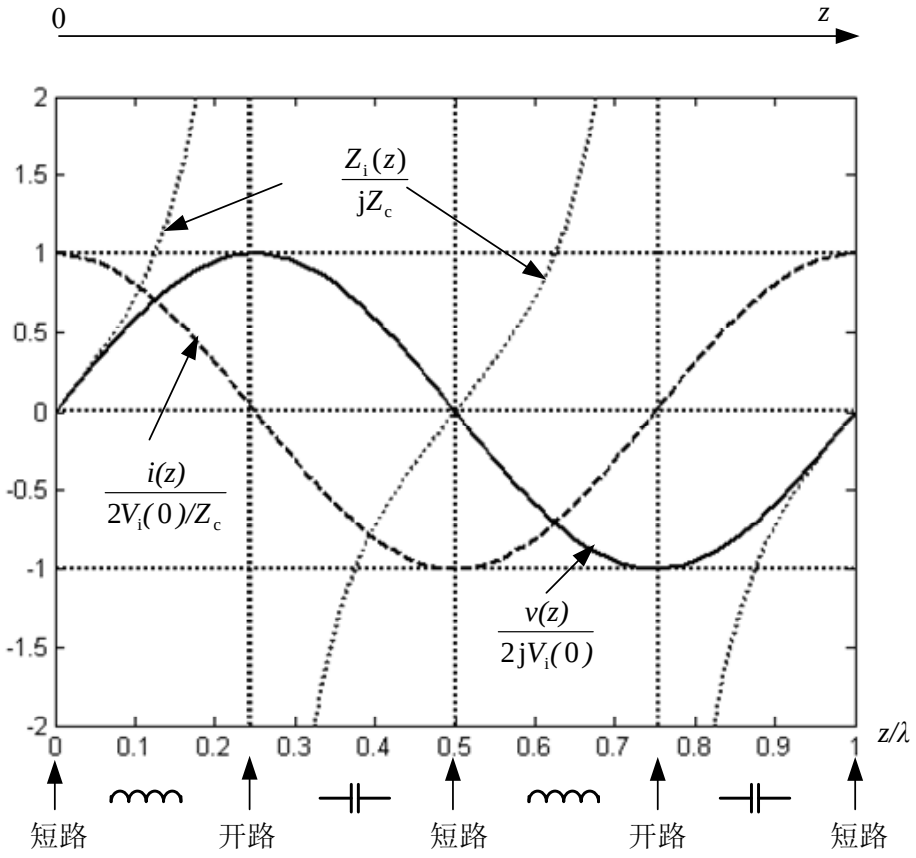


图 2-4 短路传输线上电压、电流和输入阻抗的分布图

三、开路传输线

当终端开路，即$Z_L \to \infty$时，$\Gamma_L = 1$，传输线处于全反射状态。这时传输线上各点的电压、电流和输入阻抗的表达式可以简化为：

$$v(z) = V_i(0)(e^{j\beta z} + e^{-j\beta z}) \tag{2-44}$$

$$= 2V_i(0)\cos(\beta z) \tag{2-45}$$

$$i(z) = \frac{V_i(0)}{Z_c}(e^{j\beta z} - e^{-j\beta z}) \tag{2-46}$$

$$= \frac{2jV_i(0)}{Z_c}\sin(\beta z) \tag{2-47}$$

$$Z_i(z) = -jZ_c\frac{1}{\tan(\beta z)} \tag{2-48}$$

图2-5给出了开路传输线上电压、电流和输入阻抗的分布图。从图中可以看出，同短路传输线一样，沿线电压和电流也不再具有波动特性，而是在原地作简谐振荡；沿线的输入阻抗呈现出开路、纯容抗、短路、纯感抗、开路、$\cdots$的周期性变化，周期也为$\lambda/2$。

§2.1.4 阻抗的周期性和倒置性

无损传输线的输入阻抗具有两个很重要的性质，即周期性和倒置性。周期性是指输入阻抗以$\lambda/2$为周期，呈现周期性变化：

$$Z_i(z + \lambda/2) = Z_i(z) \tag{2-49}$$

而倒置性是指相距$\lambda/4$的两个截面处的输入阻抗互为倒数：

$$Z_i(z + \lambda/4) \cdot Z_i(z) = Z_c^2 \tag{2-50}$$

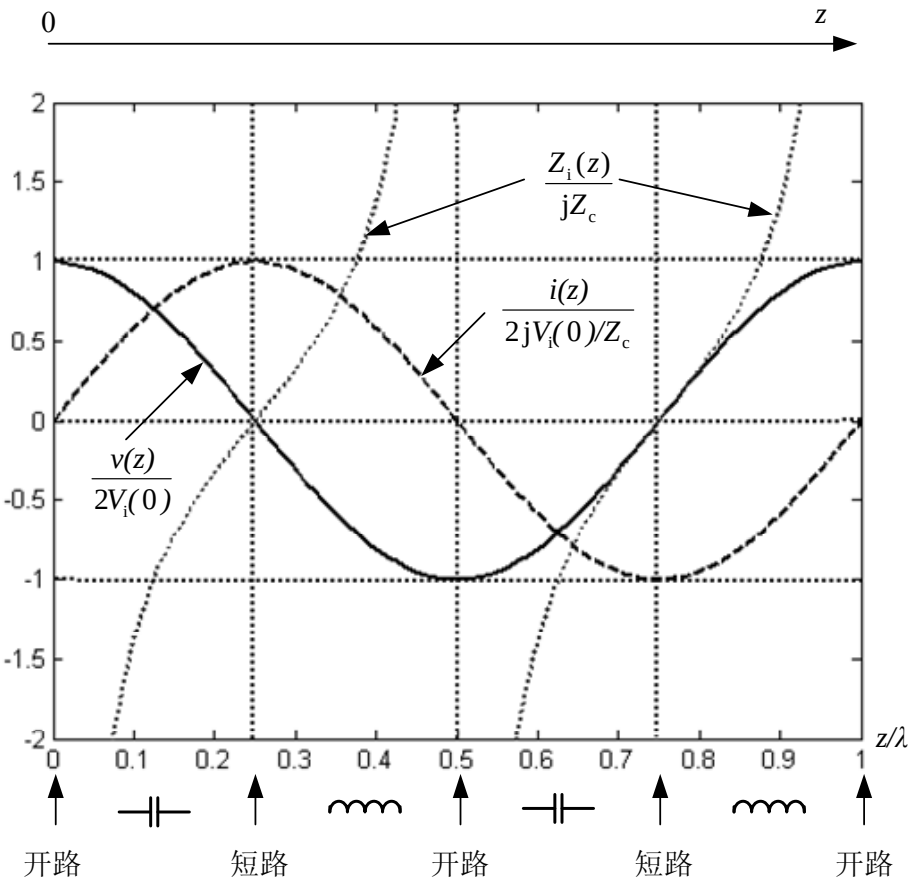


图 2-5 开路传输线上电压、电流和输入阻抗的分布图

无损传输线的这两个性质广泛应用于实际电路中，在下一节我们将看到阻抗的倒置性应用于输入阻抗匹配的例子。

§2.1.5 微带线设计

在射频系统的PCB设计中，有源器件、无源元件相互之间的连接线都采用微带线，某些阻抗匹配电路也利用到微带线，故微带线是一类非常重要的传输线。微带线由导体带、介质材料和底板三部分构成，如图2-6所示。虽然微带线的几何结构并不复杂，但是它的电磁场却是相当复杂的。许多研究者对微带线进行了大量研究，并已经得到了多种闭合形式的解，但这些解都是非常复杂的。当$0.05 < w/h < 20$和$\epsilon_r < 16$时（ϵ_r为介质材料的相对介电常数），可以使用Hammerstadt给出的经验公式来设计微带线，这些经验公式与闭合解的最大偏差仅为±0.8%，可以满足一般工程应用的需要。

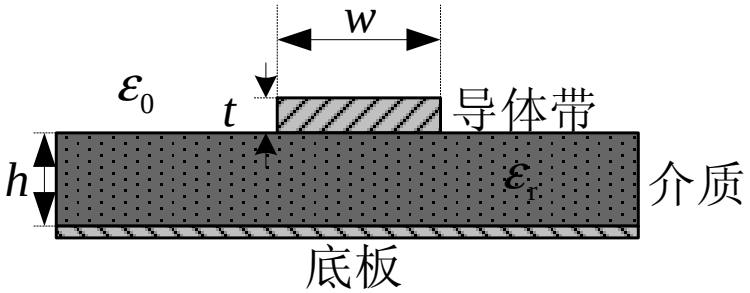


图 2-6 微带线的的几何结构

首先我们假设，相对于介质材料的厚度h，导体带的厚度t可以忽略（$t/h < 0.005$）。对于窄微带线（$w/h < 1$），其特性阻抗Z_c可以用下面的公式计算：

$$Z_c = \frac{60}{\sqrt{\epsilon_e}} \ln\left(\frac{8h}{w} + \frac{w}{4h}\right) \tag{2-51}$$

其中，ϵ_e为有效介电常数，可以用下式表示：

$$\epsilon_e = \frac{\epsilon_r + 1}{2} + \frac{\epsilon_r - 1}{2}\left[\left(1 + \frac{12h}{w}\right)^{-1/2} + 0.041\left(1 - \frac{w}{h}\right)^2\right] \tag{2-52}$$

而对于宽微带线，特性阻抗Z_c的计算公式则变为：

$$Z_c = \frac{120\pi}{\sqrt{\epsilon_e}} \frac{1}{\left[\frac{w}{h} + 1.393 + 0.667 \ln\left(\frac{w}{h} + 1.4444\right)\right]} \tag{2-53}$$

其中，有效介电常数ϵ_e为：

$$\epsilon_e = \frac{\epsilon_r + 1}{2} + \frac{\epsilon_r - 1}{2}\left(1 + \frac{12h}{w}\right)^{-1/2} \tag{2-54}$$

当给定介质材料的介电常数ϵ_r和微带线的尺寸w、h时，可以用以上各式计算微带线的特性阻抗。但有时我们需要设计具有特定特性阻抗Z_c的微带线，这时就要用到下面的一组公式。

$$\frac{w}{h} = \frac{8e^A}{e^{2A} - 2} \quad (A < 1.52) \tag{2-55}$$

$$\frac{w}{h} = \frac{2}{\pi}\left\{B - 1 - \ln(2B - 1) + \frac{\epsilon_r - 1}{2\epsilon_r}\left[\ln(B - 1) + 0.39 - \frac{0.61}{\epsilon_r}\right]\right\} \quad (A \geq 1.52) \tag{2-56}$$

其中

$$A = \frac{Z_c}{60}\left(\frac{\epsilon_r + 1}{2}\right)^{1/2} + \frac{\epsilon_r - 1}{\epsilon_r + 1}\left(0.23 + \frac{0.11}{\epsilon_r}\right) \tag{2-57}$$

$$B = \frac{377\pi}{2Z_c\sqrt{\epsilon_r}} \tag{2-58}$$

若导体带的厚度t不可以忽略（$t/h > 0.005$），则需要对以上各式进行修正，即用有效宽度w_{eff}代替导体带的实际宽度w。

$$\frac{w_{eff}}{h} = \frac{w}{h} + \frac{t}{\pi h} + \frac{t}{\pi h}\left(1 + \ln\frac{2h}{t}\right) \quad \left(\frac{w}{h} > \frac{1}{2\pi}\right) \tag{2-59}$$

$$\frac{w_{eff}}{h} = \frac{w}{h} + \frac{t}{\pi h}\left(1 + \ln\frac{4\pi w}{t}\right) \quad \left(\frac{w}{h} < \frac{1}{2\pi}\right) \tag{2-60}$$

图2-7和图2-8分别给出了利用公式2-51、2-52、2-53和2-54计算出的特性阻抗和有效介电常数与微带线的尺寸和介质材料的介电常数之间的关系。

微带线中的相速和波长可以用有效介电常数表示为：

$$v_p = \frac{c}{\sqrt{\epsilon_e}} \tag{2-61}$$

$$\lambda = \frac{c}{f\sqrt{\epsilon_e}} \tag{2-62}$$

其中，c为真空光波波速。

【例2.3】一个有源器件的输入阻抗为25Ω，现需要将它在1GHz的工作频率下匹配到50Ω，拟用一段长度为四分之一波长的微带线来完成匹配，试设计该微带线的尺寸。已知该微带线介质材料的厚度为1mm，相对介质常数为$\epsilon_r = 4$，导体带的厚度可以忽略。

由式2-50可知，该微带线的特性阻抗应该为：

$$Z_c = \sqrt{Z_s Z_L} = 35.3553\Omega$$

由式2-57可得：

$$A = \frac{Z_c}{60}\left(\frac{\epsilon_r + 1}{2}\right)^{1/2} + \frac{\epsilon_r - 1}{\epsilon_r + 1}\left(0.23 + \frac{0.11}{\epsilon_r}\right) = 1.0862$$

由式2-55可得：

$$\frac{w}{h} = \frac{8e^A}{e^{2A} - 2} = 3.4965$$

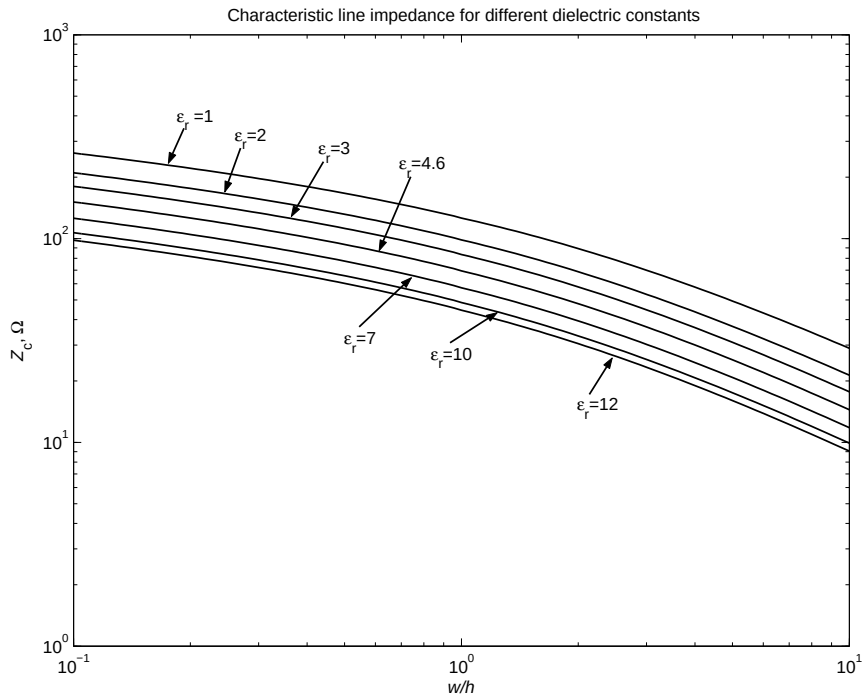


图 2-7 微带线的特性阻抗

故该微带线导体带的宽度应该为：

$$w = h \cdot 3.4965 \approx 3.5\text{mm}$$

由式2-54可推得该微带线的有效介电常数为：

$$\epsilon_{\mathrm{e}} = \frac{\epsilon_{\mathrm{r}}+1}{2} + \frac{\epsilon_{\mathrm{r}}-1}{2}(1+\frac{12h}{w})^{-1/2} = 3.2125$$

由式2-62可知，该微带线的长度为：

$$l = \frac{\lambda}{4} = \frac{c}{4f\sqrt{\epsilon_{\mathrm{e}}}} = 41.8\text{mm}$$

§2.2 Smith圆图

Smith圆图是一种图形化辅助设计工具，它概括了传输线理论的许多特点，使用方便，在射频和微波设计中得到广泛应用。下面我们就来讨论这种圆图的基本特性及其在射频电路设计中的应用。

§2.2.1 阻抗圆图

由式2-21可知

$$\frac{Z_{\mathrm{i}}(z)}{Z_{\mathrm{c}}} = \frac{1+\Gamma(z)}{1-\Gamma(z)} \tag{2-63}$$

输入阻抗与特性阻抗的比值$\frac{Z_{\mathrm{i}}(z)}{Z_{\mathrm{c}}}$定义为归一化输入阻抗，记为$z_{\mathrm{i}}(z)$。Smith圆图就是研究如何在反射系数$\Gamma(z)$的极坐标上表示$z_{\mathrm{i}}(z)$。为了分析的方便，我们不再显示的表示输入阻抗$Z_{\mathrm{i}}$、$z_{\mathrm{i}}$和反射系数$\Gamma$是位置$z$的函数，并将$z_{\mathrm{i}}$简记为$z$。则有

$$z = \frac{1+\Gamma}{1-\Gamma} \tag{2-64}$$

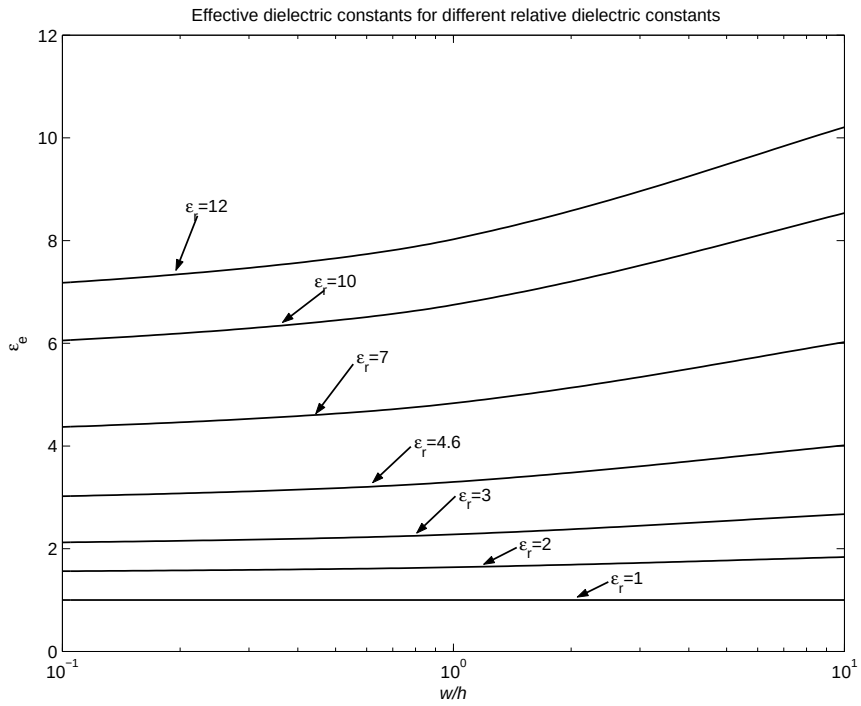


图 2-8 微带线的有效介电常数

z和Γ都是复数，令$z = r + \mathrm{j}x$，$\Gamma = \Gamma_\mathrm{r} + \mathrm{j}\Gamma_\mathrm{i}$，其中$r = \frac{R}{Z_c}$为归一化电阻，$x = \frac{X}{Z_c}$为归一化电抗。则式2-64可以变换为

$$r + \mathrm{j}x = \frac{1 + (\Gamma_\mathrm{r} + \mathrm{j}\Gamma_\mathrm{i})}{1 - (\Gamma_\mathrm{r} + \mathrm{j}\Gamma_\mathrm{i})} = \frac{1 - \Gamma_\mathrm{r}^2 - \Gamma_\mathrm{i}^2 + 2\mathrm{j}\Gamma_\mathrm{i}}{(1 - \Gamma_\mathrm{r})^2 + \Gamma_\mathrm{i}^2} \tag{2-65}$$

令虚部和实部分别相等，则有

$$r = \frac{1 - \Gamma_\mathrm{r}^2 - \Gamma_\mathrm{i}^2}{(1 - \Gamma_\mathrm{r})^2 + \Gamma_\mathrm{i}^2} \tag{2-66}$$

$$x = \frac{2\Gamma_\mathrm{i}}{(1 - \Gamma_\mathrm{r})^2 + \Gamma_\mathrm{i}^2} \tag{2-67}$$

经整理，以上两式可变换为

$$(\Gamma_\mathrm{r} - \frac{r}{r+1})^2 + \Gamma_\mathrm{i}^2 = (\frac{1}{r+1})^2 \tag{2-68}$$

$$(\Gamma_\mathrm{r} - 1)^2 + (\Gamma_\mathrm{i} - \frac{1}{x})^2 = (\frac{1}{x})^2 \tag{2-69}$$

上面两个方程表示了两组圆族：等r圆族和等x圆族，如图2-9所示。当r为常数时，方程2-68表示一簇共切圆，其圆心为$(\frac{r}{r+1}, 0)$，半径为$\frac{1}{r+1}$，共切点在$(1, 0)$。当$r = 0$时，圆心在原点，半径为1，对应于纯电抗；当$r \to \infty$时，圆心在$(1, 0)$，半径为0，即收缩为一点（开路点）。当x为常数时，方程2-69也表示一簇共切圆。由于$|\Gamma| \le 1$，故它们仅是$|\Gamma| = 1$圆内的一簇圆弧段，其圆心为$(1, \frac{1}{x})$，半径为$\frac{1}{x}$，共切点也在$(1, 0)$。当$x = 0$时，圆心在$(1, \infty)$，半径为∞，即成一条直线（实轴），代表纯电阻线；$x > 0$ 的圆弧段在上半平面，对应于电感性电抗，$x < 0$的圆弧段在下半平面，对应于电容性电抗；当$x \to \pm\infty$时，圆心在$(1, 0)$，半径为0，即收缩为一点（开路点）。

§2.2.2 Smith圆图上的反射系数和驻波系数

在Smith圆图上，等反射系数模$|\Gamma|$是以原点为圆心的等间隔同心圆，当$|\Gamma| = 0$时，半径为0，即收缩为一点（匹配点），对应于传输线上的行波状态；当$|\Gamma| = 1$时，半径为1，为纯电抗

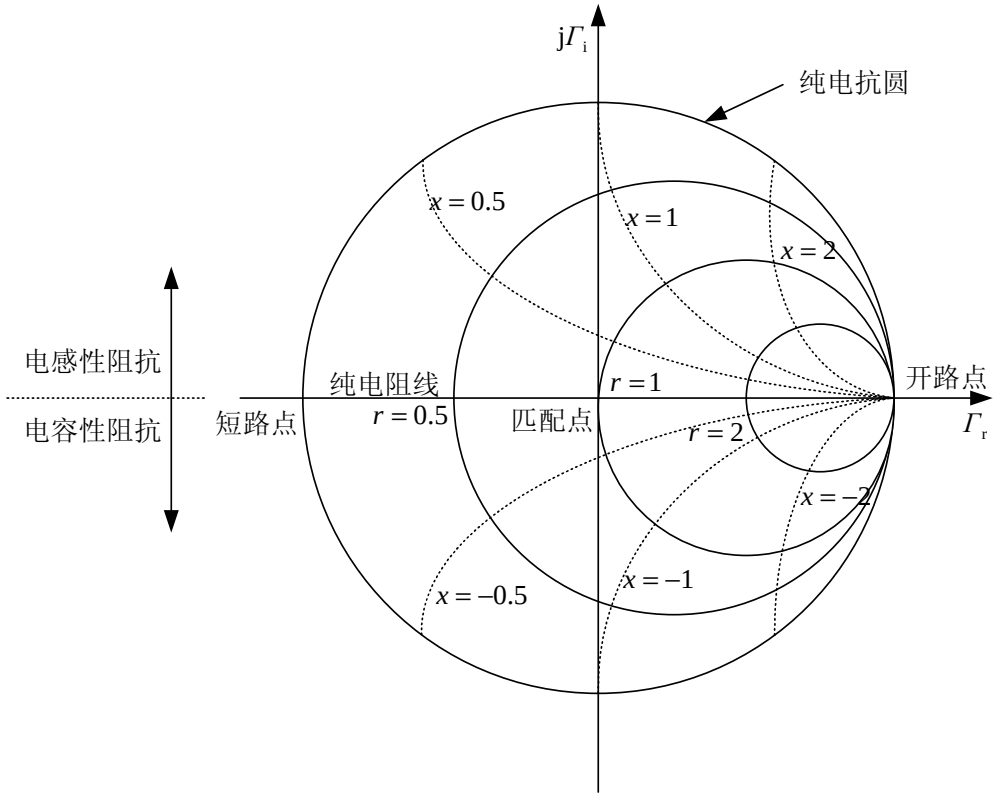


图 2-9 阻抗圆图上的归一化阻抗

圆，对应于传输线上的全反射状态。反射系数的相角φ也是等间隔分布的，标在$|\Gamma| = 1$的圆上，一般规定逆时针方向为φ的正方向，开路点$(1,0)$对应于$\varphi = 0°$，短路点$(-1,0)$对应于$\varphi = 180°$，上半圆标注$0°$～$180°$，下半圆标注$-180°$～$0°$。

由式2-23可知，相角同传输线的长度成正比。为了应用的方便，一般将传输线的长度对波长进行归一化，称为传输线的电长度（l/λ），并标示在Smith圆图的外圈上。一般将短路点$(-1,0)$定为电长度的零点，顺时针方向为向电源端移动，逆时针方向为向负载端移动。

在Smith圆图上，等电压驻波系数ρ也是一组以原点为圆心的同心圆，圆图上任一点的ρ值等于通过该点的等ρ圆和正实轴交点的r值。由于通过上述关系可以很容易的知道圆图上任意一点的ρ值，等ρ圆通常并不画出。

图2-10给出了一个完整的阻抗圆图。

§2.2.3 导纳圆图

输入阻抗Z_{i}的倒数为输入导纳，记为Y_{i}；特性阻抗Z_{c}的倒数为特性导纳，记为Y_{c}；输入导纳与特性导纳之比为归一化导纳，记为y_{i}，简记为y。由归一化阻抗与反射系数之间的关系，可以很容易的推导出归一化导纳与反射系数的关系。

$$y = \frac{1-\Gamma}{1+\Gamma} = g + \mathrm{j}b \tag{2-70}$$

根据上式可以绘制出另一张圆图，称为导纳圆图。将上式与2-64对比，可以发现只要将归一化阻抗表示式中的Γ用$-\Gamma$来代替，就可以得到归一化导纳的表示式，这说明只要将阻抗圆图旋转$180°$，就可以得到导纳圆图。这样就只需要一张圆图，应用中根据需要可将其理解为阻抗圆图或者导纳圆图。一般说来，处理串联问题或者沿传输线变化的阻抗问题使用阻抗圆图比较方便，而处理并联问题或者沿传输线变化的导纳问题使用导纳圆图比较方便。图2-11给出了归一化导纳在导纳圆图上的表示。

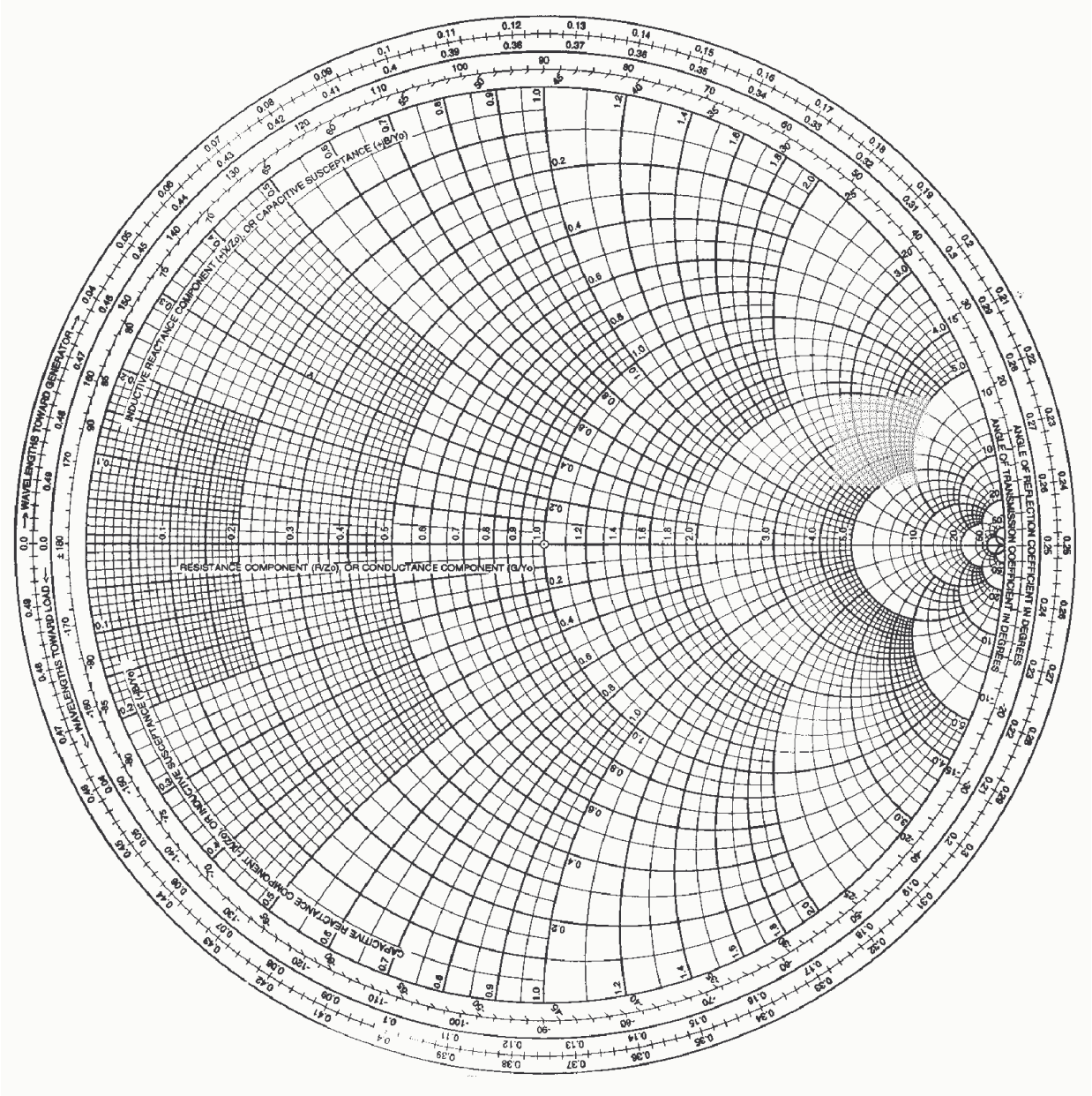


图 2-10 阻抗圆图

§2.2.4 Smith圆图应用举例

应用Smith圆图来求解电路首先应该求出归一化阻抗（或归一化导纳），并找出在圆图上的对应点，然后根据电路的实际情况确定阻抗的变化轨迹（等$|\Gamma|$圆，等r圆，等x圆，等g圆或等b圆），得到需要的归一化阻抗（或归一化导纳），最后将归一化阻抗（或归一化导纳）进行反归一化，得到需要的阻抗或者导纳。

【例2.4】一长度为$l = 0.5\lambda$的无损传输线终端接$Z_{\mathrm{L}} = (50 - \mathrm{j}30)\Omega$的负载阻抗，在该传输线上距负载$l_1 = 0.35\lambda$处接有5pF的并联电容，如图2-12所示。已知该传输线在工作频率$f = 2.4\mathrm{GHz}$时的特性阻抗为$Z_{\mathrm{c}} = 50\Omega$，试利用Smith圆图求该传输线始端在2.4GHz时的输入阻抗。

首先将负载阻抗进行归一化处理，得归一化负载阻抗$z_A = 1.00 - j0.60$，它在Smith阻抗圆图上对应于点A（见图2-13）。该负载阻抗经$l_1 = 0.35\lambda$的传输线后转换到PP'参考面，PP'参考面的输入阻抗z_B由A点在阻抗圆图上沿等$|\Gamma|$圆逆时针方向旋转$2\beta l_1 = 252°$而得到，对应于圆图

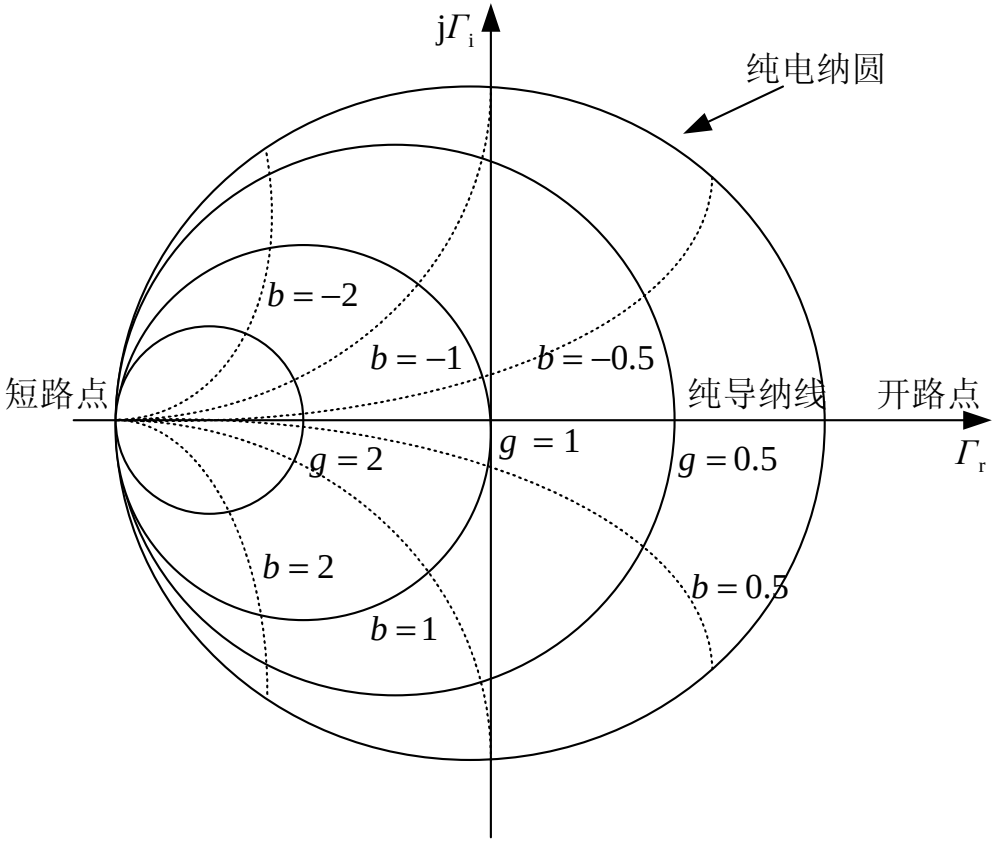


图 2-11 导纳圆图上的归一化导纳

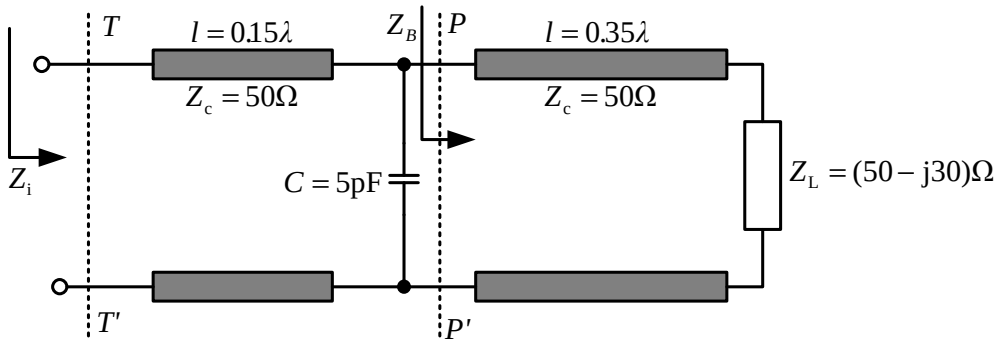


图 2-12 例2.4的电路图

上的B点。从圆图中可以看出，该点的阻抗值为$z_B = 1.50 + \mathrm{j}0.54$。由于$PP'$参考面的输入阻抗又与一电容并联，故应将$z_B$变换为导纳。由导纳圆图和阻抗圆图的变换关系，可知只要将B点旋转180°，在阻抗圆图上读出的数值即为B点的归一化导纳，导纳值为$y_B = 0.59 - \mathrm{j}0.21$。该导纳与电容并联后的值为：$y_C = y_B + \mathrm{j}\omega C = 0.59 + \mathrm{j}3.56$。然后，$C$点的导纳经过长度$l_2 = 0.15\lambda$的传输线后变化到参考面$TT'$，为了计算的方便，应该将$y_C$变换为归一化阻抗$z_C$。$z_C = 0.05 - \mathrm{j}0.27$，对应于圆图上的$C$点。将$C$点沿等$|\Gamma|$圆逆时针旋转$2\beta l_2 = 108°$即可得到$TT'$参考面的归一化输入阻抗$z_D = 0.07 + \mathrm{j}0.80$。将$z_D$反归一化，可得到所求的输入阻抗为$Z_\mathrm{i} = 3.5 + \mathrm{j}39.8\Omega$。

§2.3 双端口网络

实际的射频和微波电路是很复杂的，可能既包含了有源器件（如双极晶体管、MOS晶体管等），又包含了无源元件（如电阻、电容、电感等），还可能包含了分布式元件（如微带线

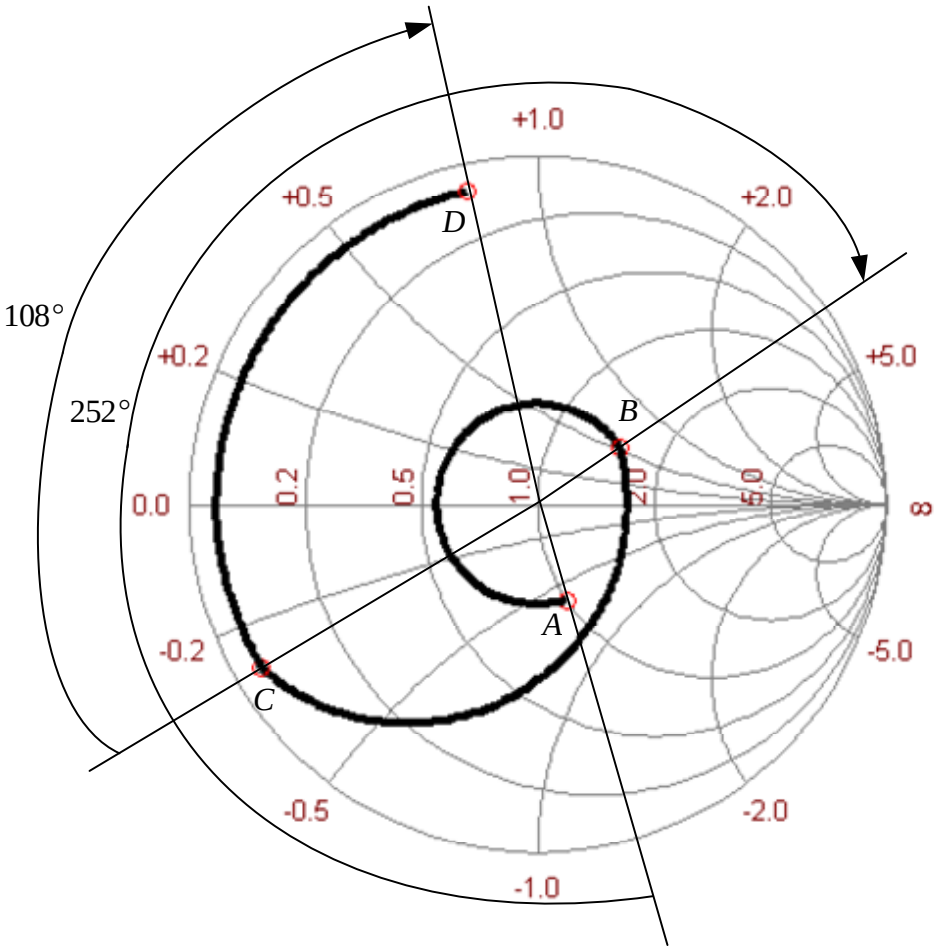


图 2-13 利用Smith圆图求解例2.4

等）。分析这些复杂的电路，就需要利用网络理论这一强有力的分析工具。网络理论研究网络各端口的物理量之间的关系。表述网络各端口的物理量有两类：一类是电压和电流；另一类是入射波和反射波。根据表述网络各端口的物理量的不同，可以定义不同的网络参量。本节就主要介绍双端口网络的网络参量及各类网络参量之间的转换关系，以及如何用信号流图来分析复杂网络，所得到的各种结论可以很容易地推广到多口网络。

§2.3.1 网络参量

阻抗矩阵和导纳矩阵是最常用的网络参量，它们描述端口电压和端口电流之间的关系。若规定网络各端口的电压、电流的方向如图2-14所示，则



图 2-14 双端口网络的电压和电流方向

$$\begin{bmatrix} v_1 \\ v_2 \end{bmatrix} = \begin{bmatrix} Z_{11} & Z_{12} \\ Z_{21} & Z_{22} \end{bmatrix} \begin{bmatrix} i_1 \\ i_2 \end{bmatrix} \tag{2-71}$$

$$\begin{bmatrix} i_1 \\ i_2 \end{bmatrix} = \begin{bmatrix} Y_{11} & Y_{12} \\ Y_{21} & Y_{22} \end{bmatrix} \begin{bmatrix} v_1 \\ v_2 \end{bmatrix} \tag{2-72}$$

将上述两个方程以矩阵形式表示

$$[v] = [Z]\,[i] \tag{2-73}$$

$$[i] = [Y]\,[v] \tag{2-74}$$

其中，$[v]$和$[i]$为端口电压、端口电流列向量，$[Z]$、$[Y]$为阻抗矩阵和导纳矩阵，它们互为逆矩阵。Z_{ii}为另一端口电流为零时第i端口的电压与电流之比；Z_{ij}为第i端口电流为零时第i端口的电压和第j端口的电压之比；Y_{ii}为另一端口电压为零时第i端口的电流与电压之比；Y_{ij}为第i端口电压为零时第i端口的电流和第j端口的电压之比。

另两个描述端口电压和端口电流之间关系的网络参量分别是A矩阵和h矩阵，它们与端口电压、端口电流之间的关系为

$$\begin{bmatrix} v_1 \\ i_1 \end{bmatrix} = \begin{bmatrix} A & B \\ C & D \end{bmatrix} \begin{bmatrix} v_2 \\ -i_2 \end{bmatrix} = [A] \begin{bmatrix} v_2 \\ -i_2 \end{bmatrix} \tag{2-75}$$

$$\begin{bmatrix} v_1 \\ i_2 \end{bmatrix} = \begin{bmatrix} h_{11} & h_{12} \\ h_{21} & h_{22} \end{bmatrix} \begin{bmatrix} i_1 \\ v_2 \end{bmatrix} = [h] \begin{bmatrix} i_1 \\ v_2 \end{bmatrix} \tag{2-76}$$

在射频和微波网络中应用最广泛的网络参量是散射矩阵，它描述的是各端口反射波和入射波之间的关系。若规定网络各端口的反射波、入射波的方向如图2-15所示，并将反射波、入射波进行归一化，即



图 2-15 双端口网络的入射波和反射波

$$a_i = \frac{1}{2\sqrt{Z_c}}(v_i + Z_c i_i) \tag{2-77}$$

$$b_i = \frac{1}{2\sqrt{Z_c}}(v_i - Z_c i_i) \tag{2-78}$$

(2-79)

其中，Z_c为两个端口所接传输线的特性阻抗，v_i和i_i为第i端口的电压和电流。若令端口i的入射波电压为v_i^+，反射波电压为v_i^-，入射波电流为i_i^+，反射波电流为i_i^-，可以证明，a_i和b_i就是归一化的入射波电压（电流）和反射波电压（电流）

$$v_i = v_i^+ + v_i^- \quad i_i = i_i^+ + i_i^- \tag{2-80}$$

$$a_i = \frac{v_i^+}{\sqrt{Z_c}} = \sqrt{Z_c} i_i^+ \quad b_i = \frac{v_i^-}{\sqrt{Z_c}} = -\sqrt{Z_c} i_i^- \tag{2-81}$$

作此规定后，就可以用散射矩阵来描述入射波a_i和反射波b_i之间的关系

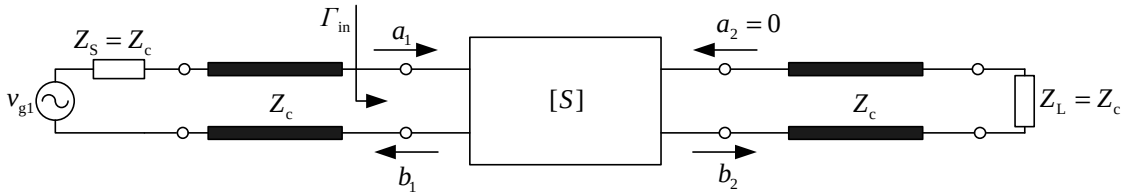
$$\begin{bmatrix} b_1 \\ b_2 \end{bmatrix} = \begin{bmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{bmatrix} \begin{bmatrix} a_1 \\ a_2 \end{bmatrix} \tag{2-82}$$

散射矩阵中的各项称为双端口网络的S参数，由上式可以看出

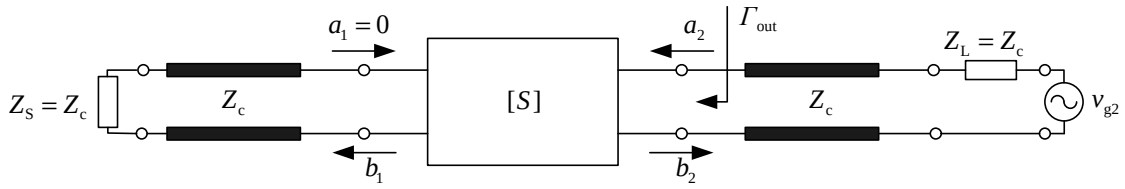
$$S_{ii} = \left.\frac{b_i}{a_i}\right|_{a_j=0} \tag{2-83}$$

$$S_{ij} = \left.\frac{b_i}{a_j}\right|_{a_i=0} \tag{2-84}$$

上式中的$a_i = 0$（$a_j = 0$）表明在i（j）端口没有电磁波返回到网络，即i（j）端口所接负载是匹配负载。我们可以借助图2-16来理解S参数的物理意义。



(a) 通过端口2接匹配负载来测量S_{11}和S_{21}



(b) 通过端口1接匹配负载来测量S_{22}和S_{12}

图 2-16 S参数的测量

在图2.16(a)中，端口2接匹配负载，$a_2 = 0$，由式2-83、2-84可知

$$S_{11} = \left.\frac{b_1}{a_1}\right|_{a_2=0} = \frac{v_1^-}{v_1^+} = \Gamma_{in} = \frac{Z_{in} - Z_c}{Z_{in} + Z_c} \tag{2-85}$$

$$S_{21} = \left.\frac{b_2}{a_1}\right|_{a_2=0} = \left.\frac{v_2^-/\sqrt{Z_c}}{(v_1 + Z_c i_1)/2\sqrt{Z_c}}\right|_{i_2^+ = v_2^+ = 0} = \frac{2v_2^-}{v_{g1}} = \frac{2v_2}{v_{g1}} \tag{2-86}$$

其中，Γ_{in}为端口1向双端口网络看过去的反射系数，Z_{in}为端口1向双端口网络看过去的输入阻抗，v_{g1}为电源电压。可见，端口2接匹配负载时，S_{11}即为端口1向双端口网络看过去的反射系数Γ_{in}，S_{21}为该双端口网络的前向电压增益。

在图2.16(b)中，端口1接匹配负载，$a_1 = 0$，由式2-83、2-84可知

$$S_{22} = \left.\frac{b_2}{a_2}\right|_{a_1=0} = \frac{v_2^-}{v_2^+} = \Gamma_{out} = \frac{Z_{out} - Z_c}{Z_{out} + Z_c} \tag{2-87}$$

$$S_{12} = \left.\frac{b_1}{a_2}\right|_{a_1=0} = \left.\frac{v_1^-/\sqrt{Z_c}}{(v_2 + Z_c i_2)/2\sqrt{Z_c}}\right|_{i_1^+ = v_1^+ = 0} = \frac{2v_1^-}{v_{g2}} = \frac{2v_1}{v_{g2}} \tag{2-88}$$

其中，Γ_{out}为端口2向双端口网络看过去的反射系数，Z_{out}为端口2向双端口网络看过去的阻抗，v_{g2}为电源电压。可见，端口1接匹配负载时，S_{22}即为端口2向双端口网络看过去的反射系数Γ_{out}，S_{12}为该双端口网络的反向电压增益。

以上的讨论都假设该双端口网络两个端口所接传输线的特性阻抗相同，当两个端口所接传输线的特性阻抗不同时，可将a_i、b_i定义如下

$$a_i = \frac{1}{2\sqrt{Z_{ci}}}(v_i + Z_{ci} i_i) \tag{2-89}$$

$$b_i = \frac{1}{2\sqrt{Z_{ci}}}(v_i - Z_{ci}i_i) \tag{2-90}$$

其中，Z_{ci}为端口i所接传输线的特性阻抗。而S参数与a_i、b_i的关系保持不变。

描述入射波和反射波关系的另一种矩阵参量是$[T]$矩阵，其定义如下

$$\begin{bmatrix} a_1 \\ b_1 \end{bmatrix} = \begin{bmatrix} T_{11} & T_{12} \\ T_{21} & T_{22} \end{bmatrix} \begin{bmatrix} b_2 \\ a_2 \end{bmatrix} \tag{2-91}$$

以上各种矩阵参量都是对网络特性的完整描述，在电学性能描述上它们是等价的，可根据使用方便程度选用任意一种矩阵参量来描述网络的电学特性。各种矩阵参量之间可以相互转换，表2-1给出了各种矩阵参量之间的相互转换表达式。

表 2-1 双端口网络矩阵参量换算表

	$[Z]$	$[Y]$	$[A]$	$[h]$	$[S]$	$[T]$
$[Z]$	Z_{11} Z_{12} Z_{21} Z_{22}	$Z_{11}=\frac{Y_{22}}{\lvert Y\rvert}$ $Z_{12}=-\frac{Y_{12}}{\lvert Y\rvert}$ $Z_{21}=-\frac{Y_{21}}{\lvert Y\rvert}$ $Z_{22}=\frac{Y_{11}}{\lvert Y\rvert}$	$Z_{11}=\frac{A}{C}$ $Z_{12}=\frac{\lvert A\rvert}{C}$ $Z_{21}=\frac{1}{C}$ $Z_{22}=\frac{D}{C}$	$Z_{11}=\frac{\lvert h\rvert}{h_{22}}$ $Z_{12}=\frac{h_{12}}{h_{22}}$ $Z_{21}=-\frac{h_{21}}{h_{22}}$ $Z_{22}=\frac{1}{h_{22}}$	$Z_{11}=Z_c\frac{1+S_{11}-S_{22}-\lvert S\rvert}{1-S_{11}-S_{22}+\lvert S\rvert}$ $Z_{12}=Z_c\frac{2S_{12}}{1-S_{11}-S_{22}+\lvert S\rvert}$ $Z_{21}=Z_c\frac{2S_{21}}{1-S_{11}-S_{22}+\lvert S\rvert}$ $Z_{22}=Z_c\frac{1-S_{11}+S_{22}-\lvert S\rvert}{1-S_{11}-S_{22}+\lvert S\rvert}$	$Z_{11}=Z_c\frac{T_{11}+T_{12}+T_{21}+T_{22}}{T_{11}+T_{12}-T_{21}-T_{22}}$ $Z_{12}=Z_c\frac{2\lvert T\rvert}{T_{11}+T_{12}-T_{21}-T_{22}}$ $Z_{21}=Z_c\frac{2}{T_{11}+T_{12}-T_{21}-T_{22}}$ $Z_{22}=Z_c\frac{T_{11}-T_{12}-T_{21}+T_{22}}{T_{11}+T_{12}-T_{21}-T_{22}}$
$[Y]$	$Y_{11}=\frac{Z_{22}}{\lvert Z\rvert}$ $Y_{12}=\frac{-Z_{12}}{\lvert Z\rvert}$ $Y_{21}=\frac{-Z_{21}}{\lvert Z\rvert}$ $Y_{22}=\frac{Z_{11}}{\lvert Z\rvert}$	Y_{11} Y_{12} Y_{21} Y_{22}	$Y_{11}=\frac{D}{B}$ $Y_{12}=\frac{-\lvert A\rvert}{B}$ $Y_{21}=\frac{-1}{B}$ $Y_{11}=\frac{A}{B}$	$Y_{11}=\frac{1}{h_{11}}$ $Y_{12}=\frac{-h_{12}}{h_{11}}$ $Y_{21}=\frac{h_{21}}{h_{11}}$ $Y_{22}=\frac{\lvert h\rvert}{h_{11}}$	$Y_{11}=\frac{1-S_{11}+S_{22}-\lvert S\rvert}{Z_c(1+S_{11}+S_{22}+\lvert S\rvert)}$ $Y_{12}=\frac{-2S_{12}}{Z_c(1+S_{11}+S_{22}+\lvert S\rvert)}$ $Y_{21}=\frac{-2S_{21}}{Z_c(1+S_{11}+S_{22}+\lvert S\rvert)}$ $Y_{22}=\frac{1+S_{11}-S_{22}-\lvert S\rvert}{Z_c(1+S_{11}+S_{22}+\lvert S\rvert)}$	$Y_{11}=\frac{T_{11}-T_{12}-T_{21}+T_{22}}{Z_c(T_{11}-T_{12}+T_{21}-T_{22})}$ $Y_{12}=\frac{-2\lvert T\rvert}{Z_c(T_{11}-T_{12}+T_{21}-T_{22})}$ $Y_{21}=\frac{-2}{Z_c(T_{11}-T_{12}+T_{21}-T_{22})}$ $Y_{22}=\frac{T_{11}+T_{12}+T_{21}+T_{22}}{Z_c(T_{11}-T_{12}+T_{21}-T_{22})}$
$[A]$	$A=\frac{Z_{11}}{Z_{21}}$ $B=\frac{\lvert Z\rvert}{Z_{21}}$ $C=\frac{1}{Z_{21}}$ $D=\frac{Z_{22}}{Z_{21}}$	$A=\frac{-Y22}{Y_{21}}$ $B=\frac{-1}{Y_{21}}$ $C=\frac{-\lvert Y\rvert}{Y_{21}}$ $D=\frac{-Y11}{Y_{21}}$	A B C D	$A=\frac{-\lvert h\rvert}{h_{21}}$ $B=\frac{-h_{11}}{h_{21}}$ $C=\frac{-h_{22}}{h_{21}}$ $D=\frac{-1}{h_{21}}$	$A=\frac{1+S_{11}-S_{22}-\lvert S\rvert}{2S_{21}}$ $B=Z_c\frac{1+S_{11}+S_{22}+\lvert S\rvert}{2S_{21}}$ $C=\frac{1-S_{11}-S_{22}+\lvert S\rvert}{2Z_cS_{21}}$ $D=\frac{1-S_{11}+S_{22}-\lvert S\rvert}{2S_{21}}$	$A=\frac{T_{11}+T_{12}+T_{21}+T_{22}}{2}$ $B=Z_c\frac{T_{11}-T_{12}+T_{21}-T_{22}}{2}$ $C=\frac{T_{11}+T_{12}-T_{21}-T_{22}}{2Z_c}$ $D=\frac{T_{11}-T_{12}-T_{21}+T_{22}}{2}$
$[h]$	$h_{11}=\frac{\lvert Z\rvert}{Z_{22}}$ $h_{12}=\frac{Z_{12}}{Z_{22}}$ $h_{21}=\frac{-Z_{21}}{Z_{22}}$ $h_{22}=\frac{1}{Z_{22}}$	$h_{11}=\frac{1}{Y_{11}}$ $h_{12}=\frac{-Y_{12}}{Y_{11}}$ $h_{21}=\frac{Y_{21}}{Y_{11}}$ $h_{22}=\frac{\lvert Y\rvert}{Y_{11}}$	$h_{11}=\frac{B}{D}$ $h_{12}=\frac{\lvert A\rvert}{D}$ $h_{21}=\frac{-1}{D}$ $h_{22}=\frac{C}{D}$	h_{11} h_{12} h_{21} h_{22}	$h_{11}=Z_c\frac{1+S_{11}+S_{22}+\lvert S\rvert}{1-S_{11}+S22-\lvert S\rvert}$ $h_{12}=\frac{2S_{12}}{1-S_{11}+S22-\lvert S\rvert}$ $h_{21}=\frac{-2S_{21}}{1-S_{11}+S22-\lvert S\rvert}$ $h_{22}=\frac{1-S_{11}-S_{22}+\lvert S\rvert}{Z_c(1-S_{11}+S22-\lvert S\rvert)}$	$h_{11}=Z_c\frac{T_{11}-T_{12}+T_{21}-T_{22}}{T_{11}-T_{12}-T_{21}+T_{22}}$ $h_{12}=\frac{2\lvert T\rvert}{T_{11}-T_{12}-T_{21}+T_{22}}$ $h_{21}=\frac{-2}{T_{11}-T_{12}-T_{21}+T_{22}}$ $h_{22}=\frac{T_{11}+T_{12}-T_{21}-T_{22}}{Z_c(T_{11}-T_{12}-T_{21}+T_{22})}$
$[S]$	$S_{11}=\frac{Z_c(Z_{11}-Z_{22})+Z_c^2+\lvert Z\rvert}{Z_c(Z_{11}+Z_{22})+Z_c^2+\lvert Z\rvert}$ $S_{12}=\frac{2Z_cZ_{12}}{Z_c(Z_{11}+Z_{22})+Z_c^2+\lvert Z\rvert}$ $S_{21}=\frac{2Z_cZ_{21}}{Z_c(Z_{11}+Z_{22})+Z_c^2+\lvert Z\rvert}$ $S_{22}=\frac{Z_c(Z_{22}-Z_{11})-Z_c^2+\lvert Z\rvert}{Z_c(Z_{11}+Z_{22})+Z_c^2+\lvert Z\rvert}$	$S_{11}=\frac{1-Z_c(Y_{11}-Y_{22})-Z_c^2\lvert Y\rvert}{1+Z_c(Y_{11}+Y_{22})+Z_c^2\lvert Y\rvert}$ $S_{12}=\frac{-2Z_cY_{12}}{1+Z_c(Y_{11}+Y_{22})+Z_c^2\lvert Y\rvert}$ $S_{21}=\frac{-2Z_cY_{21}}{1+Z_c(Y_{11}+Y_{22})+Z_c^2\lvert Y\rvert}$ $S_{22}=\frac{1+Z_c(Y_{11}-Y_{22})-Z_c^2\lvert Y\rvert}{1+Z_c(Y_{11}+Y_{22})+Z_c^2\lvert Y\rvert}$	$S_{11}=\frac{A+B/Z_c-CZ_c-D}{A+B/Z_c+CZ_c+D}$ $S_{12}=\frac{2\lvert A\rvert}{A+B/Z_c+CZ_c+D}$ $S_{21}=\frac{2}{A+B/Z_c+CZ_c+D}$ $S_{22}=\frac{-A+B/Z_c-CZ_c+D}{A+B/Z_c+CZ_c+D}$	$S_{11}=\frac{\lvert h\rvert+h_{11}/Z_c-h_{22}Z_c-1}{\lvert h\rvert+h_{11}/Z_c+h_{22}Z_c+1}$ $S_{12}=\frac{2h_{12}}{\lvert h\rvert+h_{11}/Z_c+h_{22}Z_c+1}$ $S_{21}=\frac{-2h_{21}}{\lvert h\rvert+h_{11}/Z_c+h_{22}Z_c+1}$ $S_{22}=\frac{\lvert h\rvert-h_{11}/Z_c+h_{22}Z_c-1}{\lvert h\rvert+h_{11}/Z_c+h_{22}Z_c+1}$	S_{11} S_{12} S_{21} S_{22}	$S_{11}=\frac{T_{21}}{T_{11}}$ $S_{12}=\frac{\lvert T\rvert}{T_{11}}$ $S_{21}=\frac{1}{T_{11}}$ $S_{22}=\frac{-T_{12}}{T_{11}}$
$[T]$	$T_{11}=\frac{Z_c(Z_{11}+Z_{22})+Z_c^2+\lvert Z\rvert}{2Z_cZ_{21}}$ $T_{12}=\frac{Z_c(Z_{11}-Z_{22})+Z_c^2-\lvert Z\rvert}{2Z_cZ_{21}}$ $T_{21}=\frac{Z_c(Z_{11}-Z_{22})-Z_c^2+\lvert Z\rvert}{2Z_cZ_{21}}$ $T_{22}=\frac{Z_c(Z_{11}+Z_{22})-Z_c^2-\lvert Z\rvert}{2Z_cZ_{21}}$	$T_{11}=\frac{1+Z_c(Y_{11}+Y_{22})+Z_c^2\lvert Y\rvert}{-2Z_cY_{21}}$ $T_{12}=\frac{-1+Z_c(Y_{22}-Y_{11})+Z_c^2\lvert Y\rvert}{-2Z_cY_{21}}$ $T_{21}=\frac{1+Z_c(Y_{22}-Y_{11})-Z_c^2\lvert Y\rvert}{-2Z_cY_{21}}$ $T_{22}=\frac{-1+Z_c(Y_{11}+Y_{22})-Z_c^2\lvert Y\rvert}{-2Z_cY_{21}}$	$T_{11}=\frac{A+B/Z_c+CZ_c+D}{2}$ $T_{12}=\frac{A-B/Z_c+CZ_c-D}{2}$ $T_{21}=\frac{A+B/Z_c-CZ_c-D}{2}$ $T_{22}=\frac{A-B/Z_c-CZ_c+D}{2}$	$T_{11}=\frac{\lvert h\rvert+h_{11}/Z_c+h_{22}Z_c+1}{-2h_{21}}$ $T_{12}=\frac{-\lvert h\rvert+h_{11}/Z_c-h_{22}Z_c+1}{-2h_{21}}$ $T_{21}=\frac{\lvert h\rvert+h_{11}/Z_c-h_{22}Z_c-1}{-2h_{21}}$ $T_{22}=\frac{-\lvert h\rvert+h_{11}/Z_c+h_{22}Z_c-1}{-2h_{21}}$	$T_{11}=\frac{1}{S_{21}}$ $T_{12}=\frac{-S_{22}}{S_{21}}$ $T_{21}=\frac{S_{11}}{S_{21}}$ $T_{22}=\frac{-\lvert S\rvert}{S_{21}}$	T_{11} T_{12} T_{21} T_{22}
其中，$\lvert Z\rvert=Z_{11}Z_{22}-Z_{12}Z_{21}$ $\lvert Y\rvert=Y_{11}Y_{22}-Y_{12}Y_{21}$ $\lvert A\rvert=AD-BC$ $\lvert h\rvert=h_{11}h_{22}-h_{12}h_{21}$ $\lvert S\rvert=S_{11}S_{22}-S_{12}S_{21}$ $\lvert T\rvert=T_{11}T_{22}-T_{12}T_{21}$						

§2.3.2 网络的互联

上面讨论了各种网络矩阵参量，这些参量都可以表征网络端口物理量之间的相互关系，在实际应用中应该根据网络的连接关系选择合适的矩阵参量。网络的互联是一个比较复杂的问题，包括网络的串联、并联、串并联、并串联和级联。一般说来，讨论网络的串联问题应用阻抗矩阵[Z]，讨论网络的并联问题应用导纳矩阵[Y]，讨论网络的串并联问题应用[h]矩阵，讨论网络的并串联问题可以引入[G]矩阵，讨论网络的级联应用[A]矩阵或[T]矩阵。

一、网络的串联

两个二端口网络的串联如图2-17所示，两个子网络的阻抗矩阵分别为[Z']和[Z'']。由于网络连接处的电流相同，则有

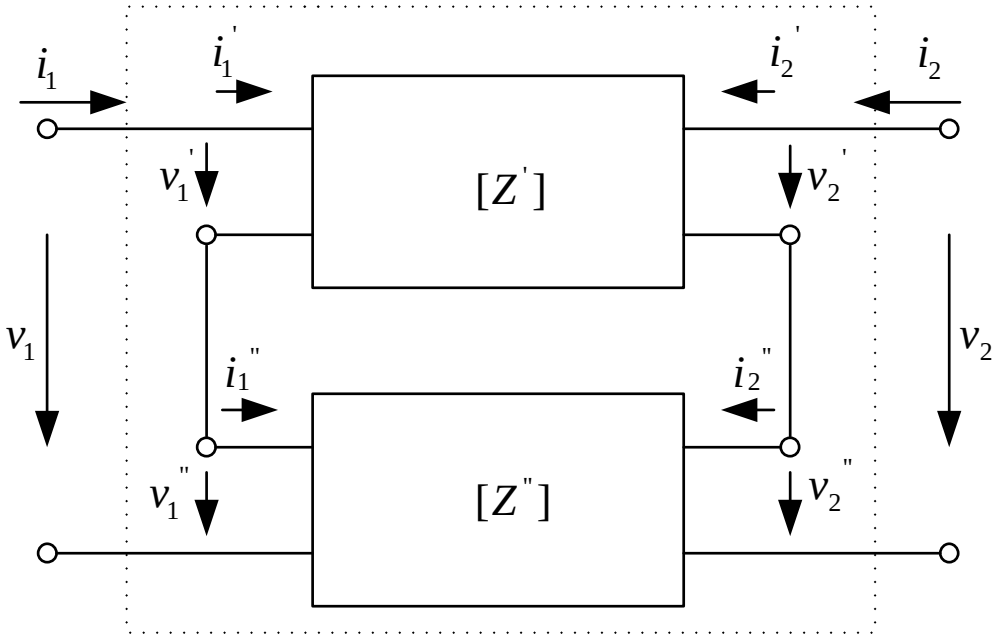


图 2-17 双端口网络的串联

$$\begin{bmatrix} v_1 \\ v_2 \end{bmatrix} = \begin{bmatrix} v_1' + v_1'' \\ v_2' + v_2'' \end{bmatrix} = [Z] \begin{bmatrix} i_1 \\ i_2 \end{bmatrix} \tag{2-92}$$

其中[Z]为两个子网络串联后的阻抗矩阵，它与[Z']、[Z'']之间的关系为

$$[Z] = [Z'] + [Z''] \tag{2-93}$$

二、网络的并联

两个二端口网络的并联如图2-18所示，两个子网络的导纳矩阵分别为[Y']和[Y'']。由于网络连接处的电压相同，则有

$$\begin{bmatrix} i_1 \\ i_2 \end{bmatrix} = \begin{bmatrix} i_1' + i_1'' \\ i_2' + i_2'' \end{bmatrix} = [Y] \begin{bmatrix} v_1 \\ v_2 \end{bmatrix} \tag{2-94}$$

其中[Y]为两个子网络串联后的导纳矩阵，它与[Y']、[Y'']之间的关系为

$$[Y] = [Y'] + [Y''] \tag{2-95}$$

三、网络的串并联

两个二端口网络的串并联如图2-19所示，两个子网络的[h]矩阵分别为[h']和[h'']。由于网络左端连接处电流相同，右端连接处电压相同，则有

$$\begin{bmatrix} v_1 \\ i_2 \end{bmatrix} = \begin{bmatrix} v_1' + v_1'' \\ i_2' + i_2'' \end{bmatrix} = [h] \begin{bmatrix} i_1 \\ i_2 \end{bmatrix} \tag{2-96}$$

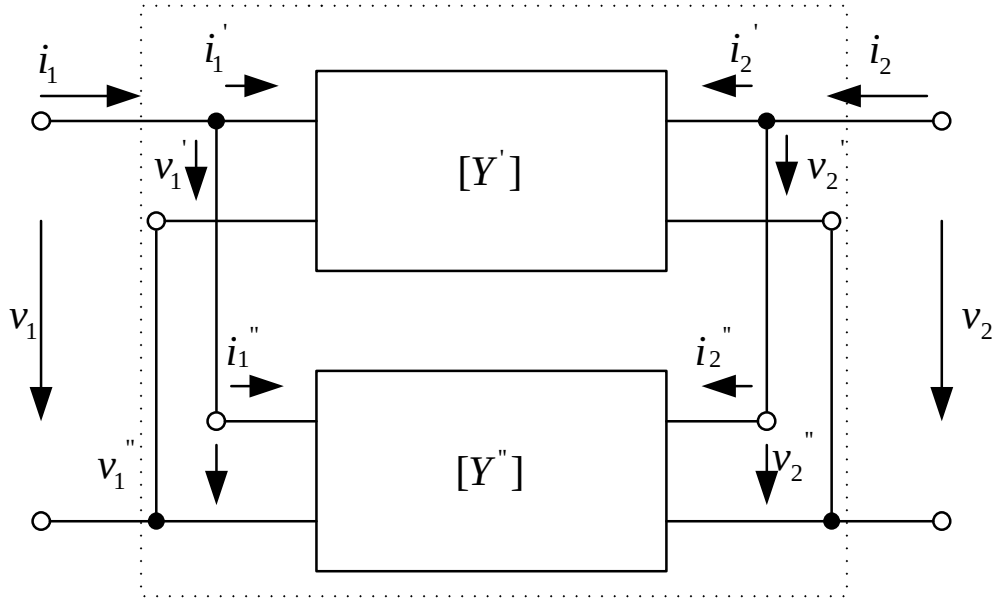


图 2-18 双端口网络的并联

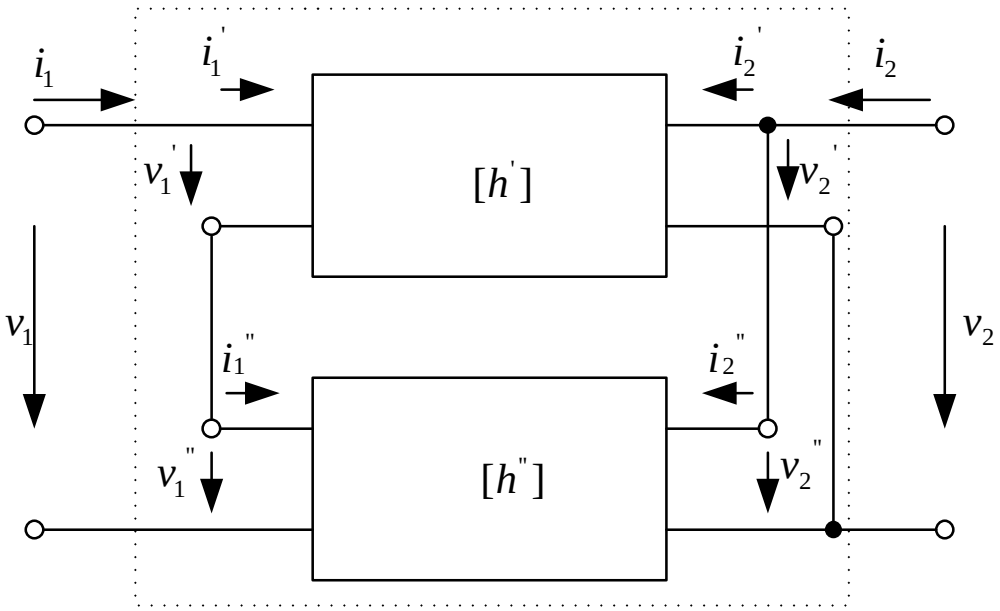


图 2-19 双端口网络的串并联

其中$[h]$为两个子网络串并联后的$[h]$矩阵，它与$[h']$、$[h'']$之间的关系为

$$[h]=[h']+[h''] \tag{2-97}$$

四、网络的并串联

两个二端口网络的并串联如图2-20所示，网络左端连接处电压相同，右端连接处电流相等。为了解决网络的并串联问题，需要引入$[G]$矩阵，$[G]$矩阵与端口电压、端口电流之间的关系为

$$\begin{bmatrix} i_1 \\ v_2 \end{bmatrix}=\begin{bmatrix} G_{11} & G_{12} \\ G_{21} & G_{22} \end{bmatrix}\begin{bmatrix} v_1 \\ i_2 \end{bmatrix}=[G]\begin{bmatrix} v_1 \\ i_2 \end{bmatrix} \tag{2-98}$$

从上式可以看出，$[G]$矩阵和$[h]$矩阵互为逆矩阵。

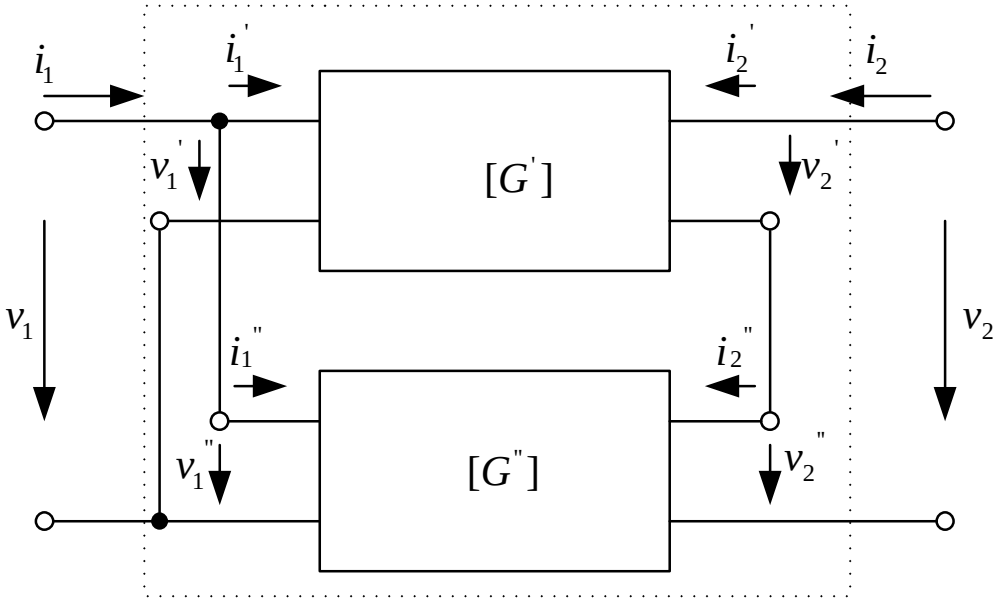


图 2-20 双端口网络的并串联

若两个子网络的[G]矩阵分别为$[G']$和$[G'']$

$$\begin{bmatrix} i_1 \\ v_2 \end{bmatrix} = \begin{bmatrix} i_1' + i_1'' \\ v_2' + v_2'' \end{bmatrix} = [G] \begin{bmatrix} v_1 \\ i_2 \end{bmatrix} \tag{2-99}$$

其中[G]为两个网络串联后的[G]矩阵，它与$[G']$、$[G'']$之间的关系为

$$[G] = [G'] + [G''] \tag{2-100}$$

五、网络的级联

两个二端口网络的级联如图2-21所示，两个子网络的[A]矩阵分别为$[A']$和$[A'']$。由于网络连接处的电压相同，电流相反，则有

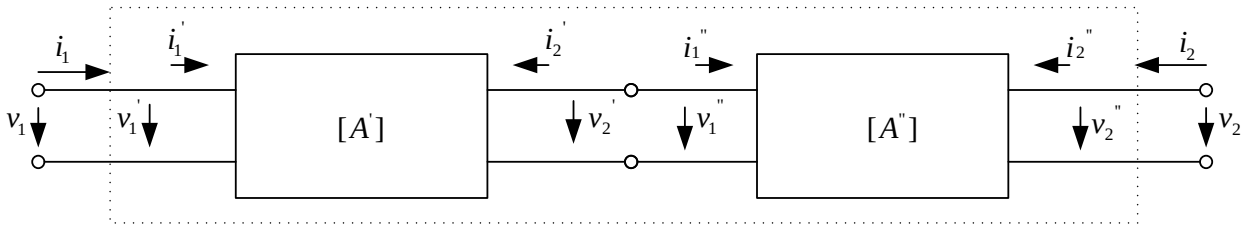


图 2-21 双端口网络的级联

$$\begin{bmatrix} v_1 \\ i_1 \end{bmatrix} = \begin{bmatrix} v_1' \\ i_1' \end{bmatrix} = [A'] \begin{bmatrix} v_2' \\ -i_2' \end{bmatrix} = [A'] \begin{bmatrix} v_1'' \\ i_1'' \end{bmatrix} = [A'][A''] \begin{bmatrix} v_2'' \\ -i_2'' \end{bmatrix} = [A] \begin{bmatrix} v_2 \\ -i_2 \end{bmatrix} \tag{2-101}$$

其中[A]为两个子网络串联后的导纳矩阵，它与$[A']$、$[A'']$之间的关系为

$$[A] = [A'][A''] \tag{2-102}$$

当采用[T]矩阵作为网络矩阵参量时，若两个子矩阵的[T]矩阵分别为$[T']$、$[T'']$，可以证明级联网络的[T]矩阵为

$$[T] = [T'][T''] \tag{2-103}$$

§2.3.3 信号流图分析法

信号流图是根据描述网络端口物理量之间关系的线性代数方程组按一定规则画成的拓扑图，由一系列的节点和方向支线组成。由于射频电路中[S]矩阵应用最为广泛，我们仅讨论用[S]矩阵

来表征的网络的信号流图分析法。图2-22给出了利用信号流图分析法来简化网络分析的基本规则，借助于入射波和反射波的概念，这些规则是不难理解的，我们仅对电源项进行说明。

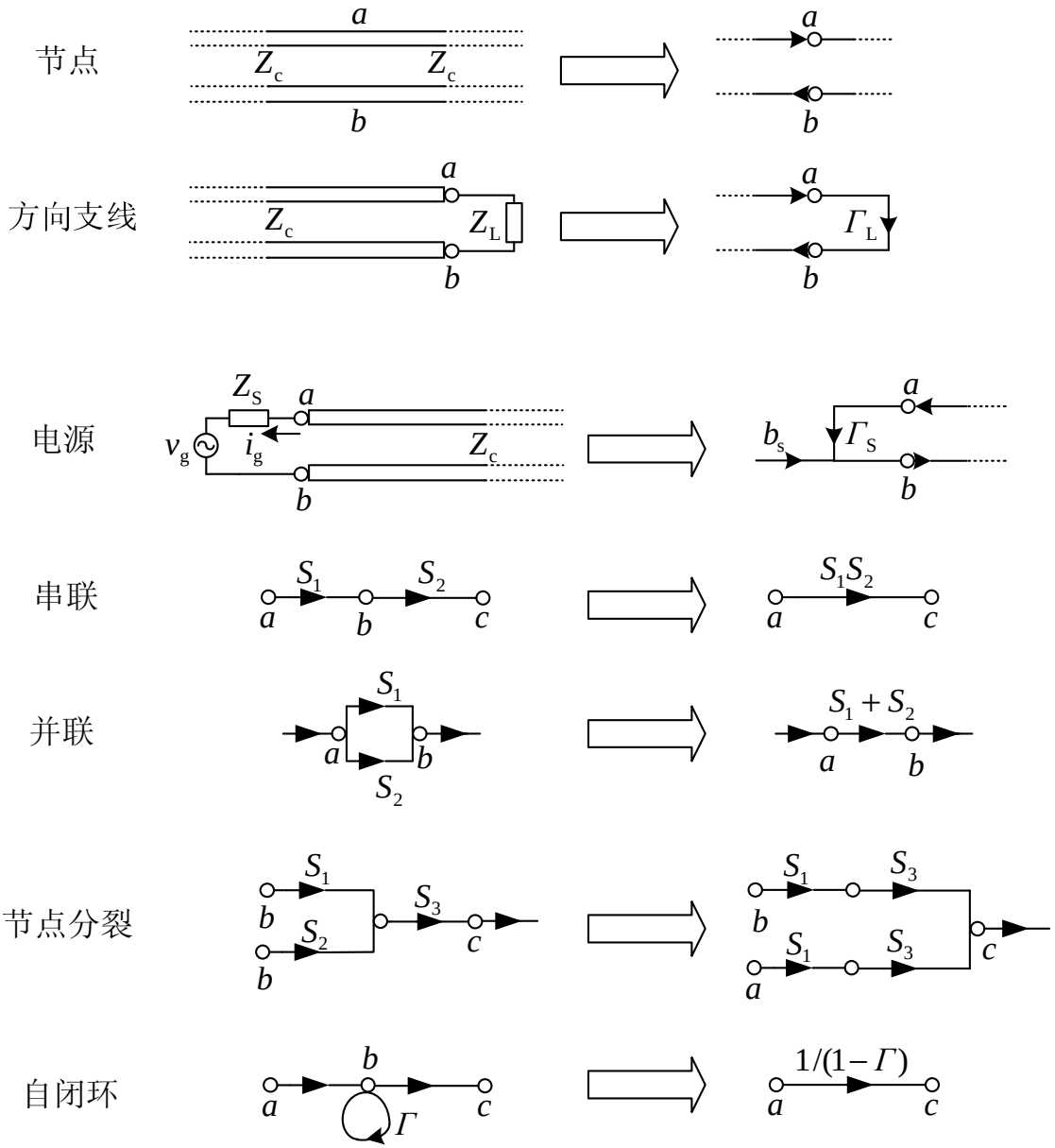


图 2-22 信号流图分析法的简化规则

对于电源项

$$v_{\mathrm{s}} = v_{\mathrm{g}} + i_{\mathrm{g}} Z_{\mathrm{S}} \tag{2-104}$$

将v_{s}表示为入射波v_{s}^{+}和反射波v_{s}^{-}之和，并注意到$i_{\mathrm{g}} = i_{\mathrm{g}}^{+} + i_{\mathrm{g}}^{-} = v_{\mathrm{s}}^{+}/Z_{\mathrm{c}} - v_{\mathrm{s}}^{-}/Z_{\mathrm{c}}$

$$v_{\mathrm{s}}^{+} + v_{\mathrm{s}}^{-} = v_{\mathrm{g}} + Z_{\mathrm{S}}\left(v_{\mathrm{s}}^{+}/Z_{\mathrm{c}} - v_{\mathrm{s}}^{-}/Z_{\mathrm{c}}\right) \tag{2-105}$$

将上式进行整理，并注意到$\Gamma_{\mathrm{S}} = (Z_{\mathrm{S}} - Z_{\mathrm{c}})/(Z_{\mathrm{S}} + Z_{\mathrm{c}})$

$$\frac{\sqrt{Z_{\mathrm{c}}}}{Z_{\mathrm{S}} + Z_{\mathrm{c}}} v_{\mathrm{g}} = \frac{v_{\mathrm{s}}^{-}}{\sqrt{Z_{\mathrm{c}}}} - \Gamma_{\mathrm{S}} \frac{v_{\mathrm{s}}^{+}}{\sqrt{Z_{\mathrm{c}}}} \tag{2-106}$$

因为$b = \frac{v_{\mathrm{s}}^{-}}{\sqrt{Z_{\mathrm{c}}}}$，$a = \frac{v_{\mathrm{s}}^{+}}{\sqrt{Z_{\mathrm{c}}}}$，并令$b_{\mathrm{s}} = \frac{\sqrt{Z_{\mathrm{c}}}}{Z_{\mathrm{S}}+Z_{\mathrm{c}}} v_{\mathrm{g}}$，则

$$b_{\mathrm{s}} = b - \Gamma_{\mathrm{S}} a \tag{2-107}$$

下面我们使用信号流图分析法分析如图2-23所示含电源和负载的双端口网络的各种功率关系。

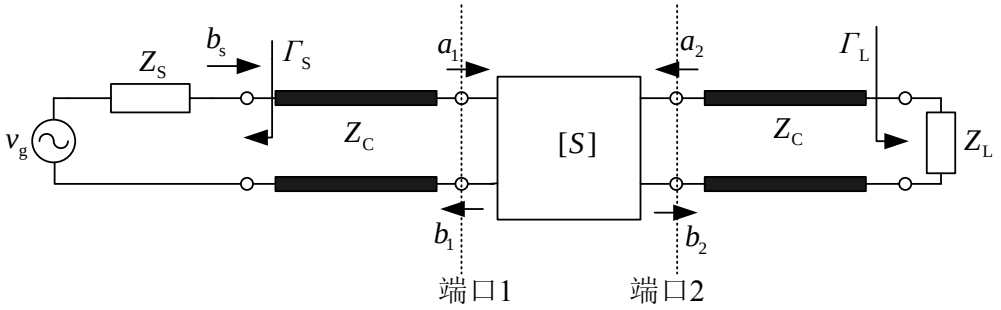


图 2-23 含电源和负载的双端口网络

端口1处的入射功率P_{1i}、反射功率P_{1r}和输入到网络的有功功率P_1分别为

$$P_{1i}=\frac{1}{2}\mathrm{Re}(v_1^+ i_1^{+*})=\frac{1}{2}|a_1|^2 \tag{2-108}$$

$$P_{1r}=\frac{1}{2}\mathrm{Re}(v_1^- i_1^{-*})=\frac{1}{2}|b_1|^2 \tag{2-109}$$

$$P_1=P_{1i}-P_{1r}=\frac{1}{2}(|a_1|^2-|b_1|^2) \tag{2-110}$$

当传输线为理想无损传输线时，端口2处的反射功率实为负载的入射功率，记为P_{2r}，入射功率实为负载的反射功率，记为P_{2i}，它们之间的差值为负载的吸收功率，记为P_2，则

$$P_{2i}=\frac{1}{2}\mathrm{Re}(v_2^+ i_2^{+*})=\frac{1}{2}|a_2|^2 \tag{2-111}$$

$$P_{2r}=\frac{1}{2}\mathrm{Re}(v_2^- i_2^{-*})=\frac{1}{2}|b_2|^2 \tag{2-112}$$

$$P_2=P_{2r}-P_{2i}=\frac{1}{2}(|b_2|^2-|a_2|^2) \tag{2-113}$$

一般将端口1处的入射功率和反射功率之比定义为该双端口网络的返回损耗RL，将入射功率和有功功率之比定义为该双端口网络的插入损耗IL，以dB表示为

$$\mathrm{RL}=10\log\left(\frac{P_{1i}}{P_{1r}}\right)=-10\log\left(\frac{P_{1r}}{P_{1i}}\right) \tag{2-114}$$

$$\mathrm{IL}=10\log\left(\frac{P_{1i}}{P_1}\right)=-10\log\left(\frac{P_1}{P_{1i}}\right)=-10\log\left(\frac{P_{1i}-P_{1r}}{P_{1i}}\right) \tag{2-115}$$

下面我们用信号流图分析法分析各种功率与电源电压v_g之间的关系。用信号流图分析法的简化规则对网络进行化简的过程如图2-24所示。由该图可知

$$a_1=\frac{1}{1-\left(S_{11}+\frac{S_{12}S_{21}\Gamma_L}{1-S_{22}\Gamma_L}\right)\Gamma_S}b_s=\frac{1-S_{22}\Gamma_L}{1-(S_{11}\Gamma_S+S_{22}\Gamma_L+S_{12}S_{21}\Gamma_S)+S_{11}S_{22}\Gamma_S\Gamma_L}b_s \tag{2-116}$$

$$b_1=\left(S_{11}+\frac{S_{12}S_{21}\Gamma_L}{1-S_{22}\Gamma_L}\right)a_1 \tag{2-117}$$

其中，$b_s=\frac{\sqrt{Z_c}}{Z_S+Z_c}v_g$、$\Gamma_L=\frac{Z_L-Z_c}{Z_L+Z_c}$和$\Gamma_S=\frac{Z_S-Z_c}{Z_S+Z_c}$。将以上各式代入2-108、2-109和2-110，即可得到端口1处的各种功率与v_g之间的关系，在此不再作进一步的讨论。

为了求出端口2处的各种功率，需要将信号流图从电源端开始化简，其过程与上面所述相似，有兴趣的读者可以将此作为练习。

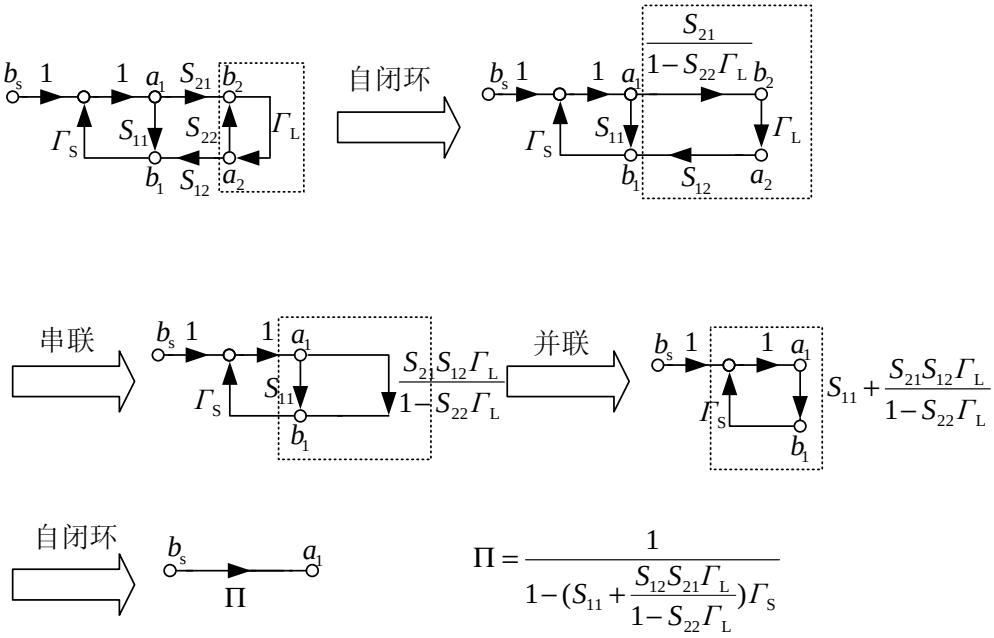


图 2-24 用信号流图分析法分析双端口网络的简化过程

附录：射频电路中的无源分立集总参数元件

如同我们所知道的那样，电感的感抗和电容的容抗均同工作频率相关，其关系可以用下式表示：

$$X_L = \omega L \propto \omega \tag{2-118}$$

$$X_C = -\frac{1}{\omega C} \propto \frac{1}{\omega} \tag{2-119}$$

其中，$\omega = 2\pi f$，f为工作频率。

从公式（2-118）可以看出，电感的感抗同工作频率成正比，低频下可以忽略的感抗，在射频条件下将不再可以忽略。例如，一个1nH的电感，在50Hz的工作频率下可以看作短路，因为：

$$X_L = 2\pi f L = 2\pi \cdot 50 \cdot 10^{-9}\Omega \approx 3.14 \times 10^{-7}\Omega \approx 0 \tag{2-120}$$

但是，在2GHz的工作频率下，该电感的感抗为：

$$X_L = 2\pi f L = 2\pi \cdot 2 \cdot 10^{9} \cdot 10^{-9}\Omega \approx 12.6\Omega \tag{2-121}$$

这个电感将不再可以被看作短路。

同理，从公式（2-119）可以看出，电容的容抗同工作频率成反比，低频下可以被忽略的容抗，在射频条件下也不再可以忽略。例如，一个1pF的电容，在50Hz的工作频率下可以看作开路，因为：

$$|X_C| = \frac{1}{2\pi f C} = \frac{1}{2\pi \cdot 50 \cdot 10^{-12}}\Omega \approx 3.18 \times 10^{9}\Omega \approx \infty \tag{2-122}$$

但当工作频率提高到2GHz时，该电容的容抗为：

$$|X_C| = \frac{1}{2\pi f C} = \frac{1}{2\pi \cdot 2 \cdot 10^{9} \cdot 10^{-12}}\Omega \approx 79.6\Omega \tag{2-123}$$

这个电容不再可以被看作开路。

从以上可以看出，随着工作频率的升高，原本可以被忽略的电感和电容将对电路的性能产生越来越大的影响。这就是在射频电路设计中必须考虑各种寄生效应的原因。

对于理想电阻，其阻抗是与频率无关的。但是，由于趋肤效应的影响，由金属线绕制而成的电阻的阻抗则表现出与频率相关的特性。由于趋肤效应对射频电路的性能具有很重要的影响，下面我们将对趋肤效应进行简单讨论。

趋肤效应

当一段长度为l、横截面半径为a的均匀金属线通过直流电流时，电流在该金属线的横截面上是均匀分布的，其直流阻抗可以用下式表示：

$$R_{\mathrm{DC}}=\frac{l}{\sigma\pi a^2} \tag{2-124}$$

其中，σ为金属线的电导率。但当该金属线通过交流电流时，由交流电流激发的交变磁场会在导体内部引起涡流，从而使得电流在该金属线的横截面上不再均匀分布，而是越靠近金属线表面处电流密度越大，越靠近金属线中心处电流密度越小，这种由交流电流引起的电流密度分布不均匀的效应就叫做趋肤效应。

由于电磁场的相互作用，使得趋肤效应成为一个非常复杂的过程，其严格的理论分析必须依靠求解电磁场方程组。在此我们不进行详细的理论分析，只给出在电流流动方向的电流密度的表达式，对此感兴趣的读者可以参考本章后面的参考文献：

$$J_z(r)=\frac{pI}{2\pi a}\frac{J_0(pr)}{J_1(pa)}=J_{z0}\cdot\frac{ap}{2}\cdot\frac{J_0(pr)}{J_1(pa)} \tag{2-125}$$

其中，$p=\sqrt{-\mathrm{j}\omega\mu\sigma}$，$J_0(pr)$和$J_1(pa)$是零阶和一阶贝塞尔函数，$I$是该金属线流过的电流，$r$为观测处离金属线中心的距离，$J_{z0}=I/(\pi a^2)$是金属线通过直流电流时的电流密度。对于集成电路中最常用的金属材料Al，当其横截面半径为$a=1\mathrm{mm}$时，其横截面上的归一化电流密度分布J_z/J_{z0}如图2-25所示，而归一化电流密度分布随频率的变化如图2-26所示。从图2-25和图2-26可以看出，当工作频率达到1GHz以上时，电流主要集中于金属线的外表面，而金属线内部基本上没有电流通过，这等效于通过电流的有效面积减小，从而导致了阻抗的增大。

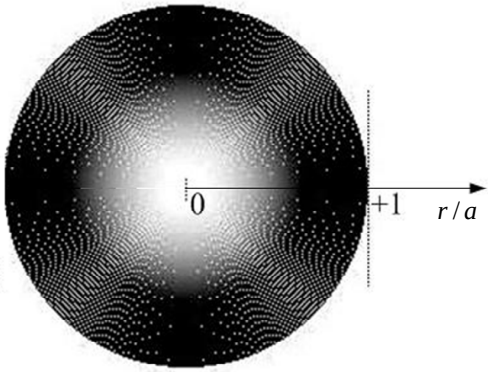


图 2-25 金属线Al归一化电流密度的横截面分布示意图

如上所述，从金属线中心到金属线表面的电流密度是逐渐减小的，我们定义电流密度减小为通过直流电流时的电流密度的e^{-1}处离金属线表面的距离为该金属线的趋肤深度，其表达式为：

$$\delta=\sqrt{2/\sigma\mu\omega}\quad \text{仅当}\delta\ll a \tag{2-126}$$

其中，μ为该金属线的磁导率，一般为$4\pi\times10^{-7}\mathrm{H/m}$。从上式可以看出，趋肤深度跟工作频率的平方根成反比，当工作频率升高时，趋肤深度将急剧减小。图2-27给出了金属铜和金属铝的趋肤深度随频率的变化。从图中可以看出，当工作频率为10kHz时，金属铜的趋肤深度为626.6μm，铝的趋肤深度为795.8μm；而当工作频率提高到2GHz时，它们的趋肤深度分别减小至1.4μm和1.8μm。

进一步的分析表明，当工作频率很高时（使得$\delta\ll a$），通过交流电流的金属线的阻抗和感

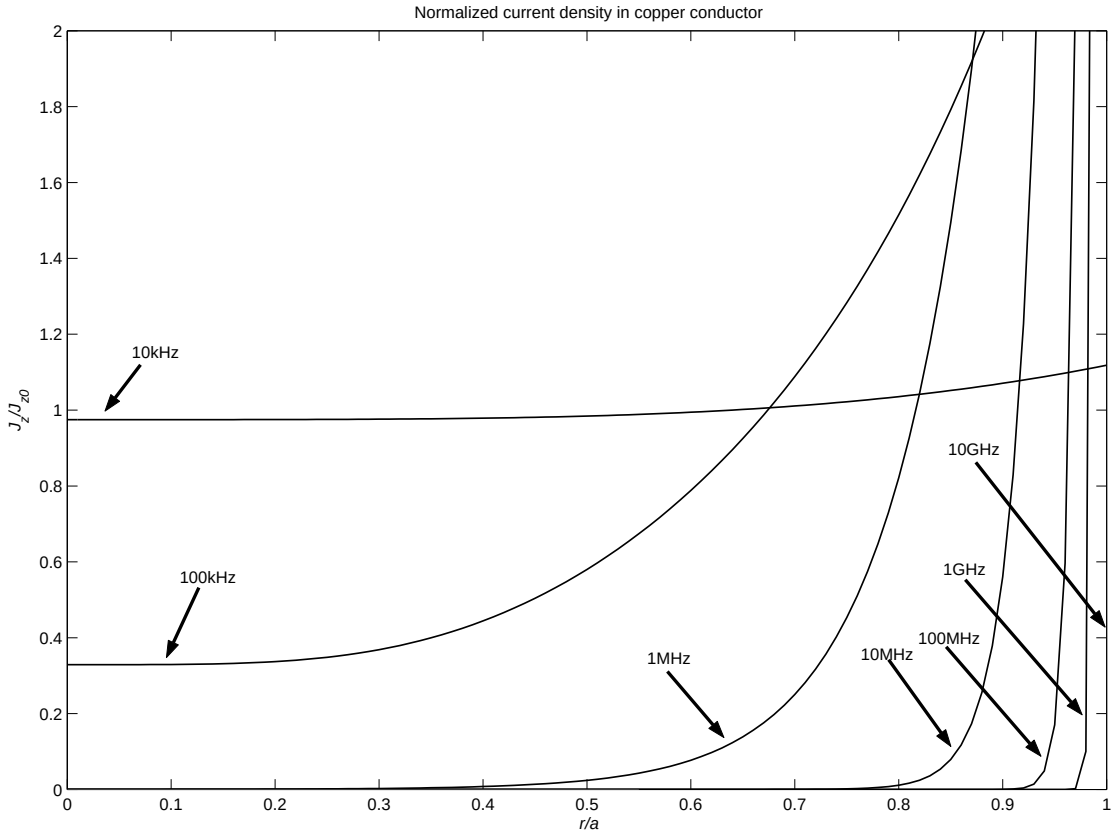


图 2-26 金属线Al横截面上的归一化电流密度分布随频率的变化（$a = 1\text{mm}$）

抗可以分别表示为：

$$R \approx R_{\text{DC}} \frac{a}{2\delta} \tag{2-127}$$

$$\omega L \approx R_{\text{DC}} \frac{a}{2\delta} \tag{2-128}$$

从以上两个公式可以看出，金属线在高频条件下的阻抗和感抗均同趋肤深度成反比，同工作频率的平方根成正比。

正是由于趋肤效应的影响，使得由金属线绕制而成的电阻的阻抗是随着工作频率的变化而变化的，在射频条件下，它的电阻值将偏离于其标称值，而且还存在各种寄生效应（如感抗），这是在设计印刷电路板（PCB）必须考虑的因素。另外一个使PCB设计变得很复杂的因素是PCB板上的互连线，在射频条件下这些互连线也存在很大的寄生效应，会严重影响电路的性能。

高频电阻

电阻是最常见的一种无源元件，按照制作工艺和材料的不同，可以将电阻分为多个种类。其中，采用表面贴封（SMD: Surface Mounted Devices)的薄膜片上电阻由于具有寄生效应小、尺寸小等优点，在射频和微波电路中得到了广泛应用。这种电阻的内部结构如图2-28所示。它在氧化铝衬底上淀积了一层金属薄膜（通常是镍铬合金）作为电阻层，通过调节电阻层的长度来使阻值达到标称值。该电阻通过两边的端头焊接到PCB上，而内层的良导体则将电阻层和两边的端头连接起来。为了避免外界环境的干扰，电阻层上还覆盖有一保护层。这种电阻的取值范围约为0.1Ω～1MΩ，其电阻值精度最好可以达到±0.01%,一般约为±5%。

在射频和微波电路中，可能还会使用到如图2-29所示的电阻，这种电阻的寄生效应很大，一般仅用于电路的偏置部分。

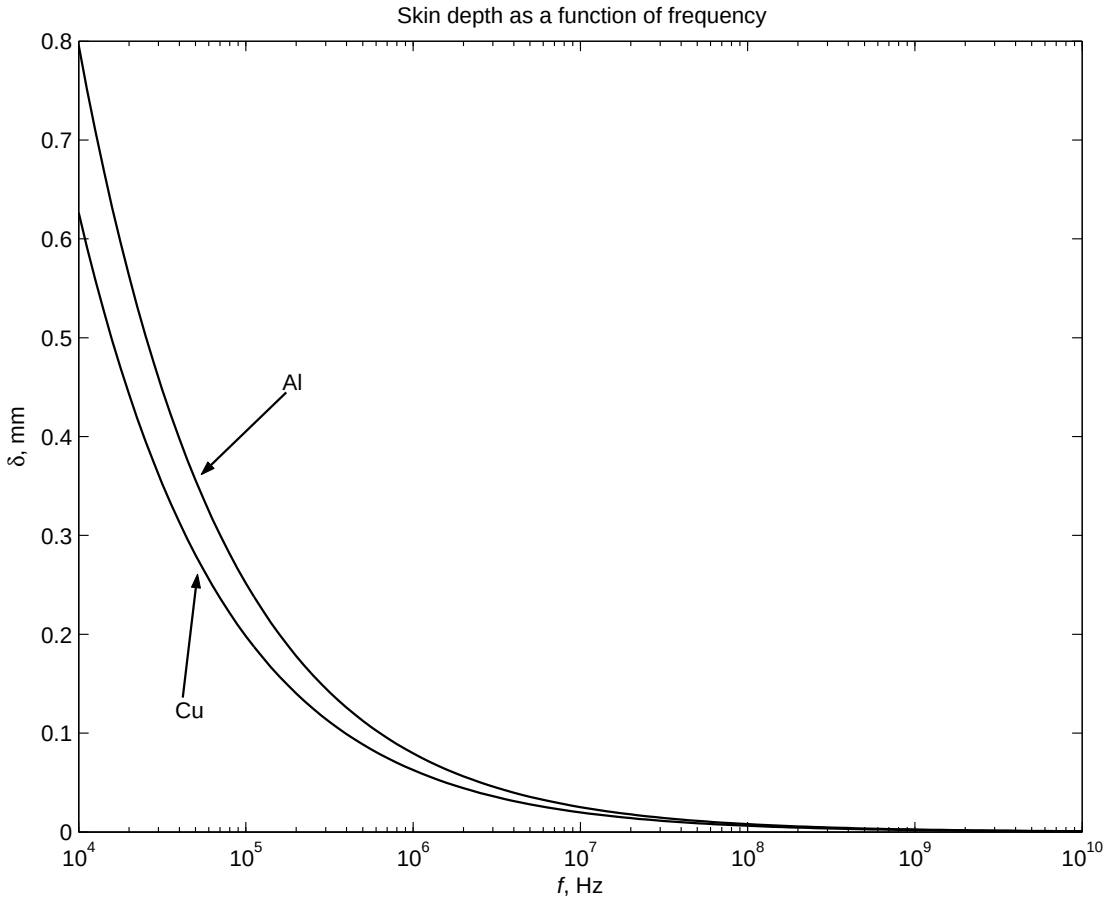


图 2-27 金属铜和铝的趋肤深度随工作频率的变化

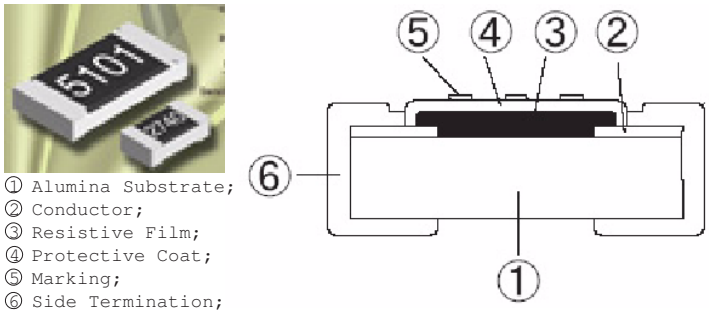


图 2-28 薄膜片上电阻

如前所述，在射频电路中，寄生效应具有很重要的影响，因此高频电阻不再是纯电阻，而表现出复杂的行为。我们一般用如图2-30 所示的模型来描述高频电阻的行为。其中，电感L描述了电阻的引出线在射频下的感抗行为，而两个电容C_a和C_b则描述了该电阻在射频下的容抗行为。对于薄膜片上电阻，由于引出线很短，寄生电感L的感抗很小，一般可以忽略，故只需考虑寄生电容的影响。而对于2-29所示的电阻，引出线的寄生电感则是不可忽略的。

【例2.1】 一个500Ω的金属薄膜电阻，其引出线是一段长度为5cm、横截面半径为0.2032mm的铝线，其寄生电容为：$C_a = 2\text{pF}$、$C_b = 0$，试计算该电阻在不同频率下的阻抗。

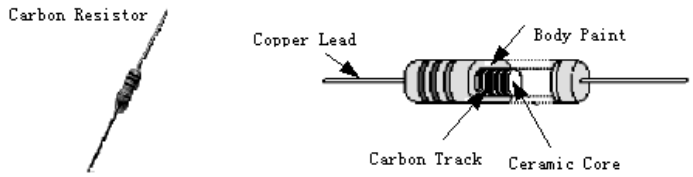


图 2-29 金属薄膜电阻

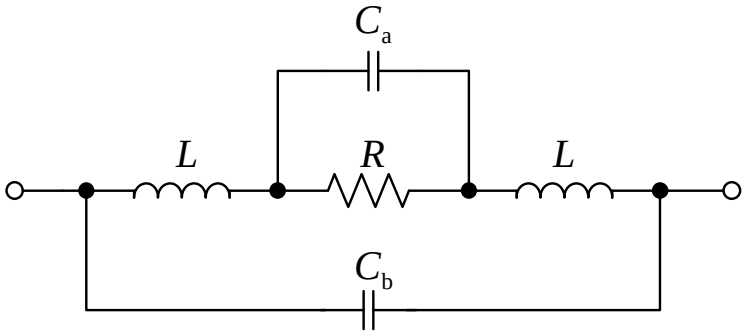


图 2-30 高频电阻模型

由公式2-127和2-128可知，每个引出线所引入的寄生阻抗和寄生感抗分别为：

$$R_{\text{Lead}} = \omega L = R_{\text{DC}} \cdot \frac{a}{2\delta} = \frac{l}{\pi a^2 \sigma_{\text{Al}}} \cdot \frac{a}{2\delta_{\text{Al}}} = \frac{l \cdot \sqrt{\pi f \mu \sigma_{\text{Al}}}}{2\pi a \sigma_{\text{Al}}} \approx (1.23\text{e}^{-5} \cdot \sqrt{f})\Omega \tag{2-129}$$

上式成立的条件为:$\delta_{\text{Al}} = (\pi f \mu \sigma_{\text{Al}})^{-1/2} \ll a$，亦即$f \gg \frac{1}{\pi \mu \sigma_{\text{Al}} a^2} \approx 153\text{kHz}$。

由高频电阻模型（图2-30）可知，该电阻在高频下（$f \gg 153\text{kHz}$）的总阻抗为：

$$Z = 2\text{j}\omega L + 2R_{\text{Lead}} + \frac{1}{\text{j}\omega C_{\text{a}} + 1/R} \tag{2-130}$$

该阻抗与频率的关系示于图2-31。从图中可以看出，由于寄生效应的影响，高频电阻不再是与频率无关的纯电阻，而表现出与频率相关的性质。而且，在射频频段，寄生电容是对电阻性能影响最大的寄生效应。

高频电容

电容也是一种常见的无源元件，按照制作工艺和材料的不同，可以将电容分为多个种类。其中，表面贴封电容在射频和微波电路中得到了广泛应用。其内部结构如图2-32所示，它是在多层交互式堆叠的一对金属电极之间填充绝缘的陶瓷材料而形成的。采用这种结构可以提高电容密度从而缩小电容的尺寸。

假设交互式堆叠的层数为N，金属电极的面积为A，每层陶瓷材料的厚度为d，相对介电常数为ϵ_{r}，按照平行板电容的计算公式，片上电容的电容量可以表示为：

$$C = N\frac{\epsilon A}{d} = N\epsilon_0\epsilon_{\text{r}}\frac{A}{d} \tag{2-131}$$

由于陶瓷不是理想的绝缘材料，会引入一定的损耗（等效于电容上并联了一个电阻R_{e}），一般用损耗角来描述该损耗的大小。损耗角定义为并联电阻R_{e}和电容的容抗$1/\omega C$的比值，即：

$$\tan\Delta_{\text{s}} = R_{\text{e}}/(1/\omega C) = R_{\text{e}}\omega C \tag{2-132}$$

除了损耗电阻R_{e}之外，实际的高频电容还存在由引出线所引入的寄生电感L和寄生电阻R_{s}。考虑到各种寄生效应后，高频电容模型如图2-33所示。

【例2.2】试计算一个采用长度为1cm、横截面半径为0.2032mm的铜线作为引出线的47pF电容的阻抗。已知该电容内部所用介电材料的损耗角与工作频率f的关系可以表示为：$\tan\Delta_{\text{s}} = 2.4138 \times 10^{-4} \times f + 2.7586 \times 10^{-4}$ $(100\text{MHz} \le f \le 100\text{GHz})$。

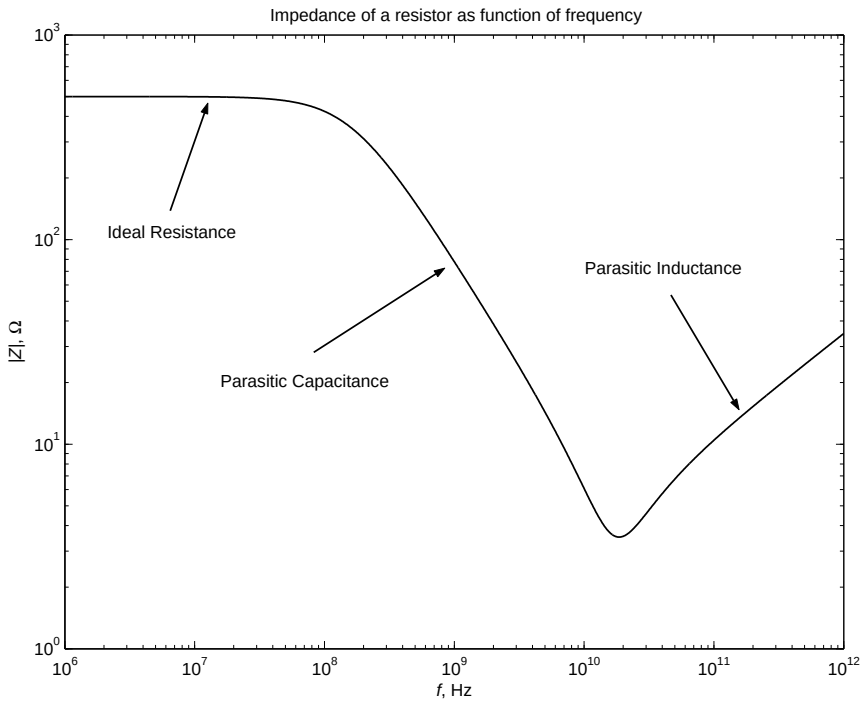


图 2-31 金属薄膜电阻的阻抗与频率的关系

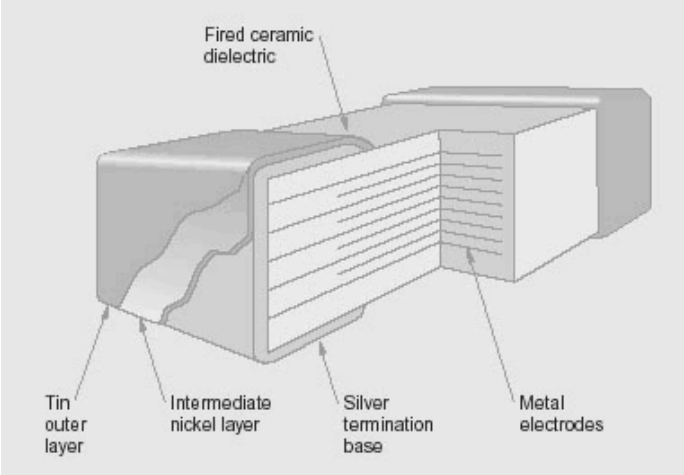


图 2-32 表面贴封电容的内部结构

由公式2-127和2-128可知，每个引出线所引入的寄生阻抗和寄生感抗分别为：

$$R_{\mathrm{s}}=\omega L=R_{\mathrm{DC}}\cdot\frac{a}{2\delta}=\frac{l}{\pi a^{2}\sigma_{\mathrm{Al}}}\cdot\frac{a}{2\delta_{\mathrm{Al}}}=\frac{l\cdot\sqrt{\pi f\mu\sigma_{\mathrm{Al}}}}{2\pi a\sigma_{\mathrm{Al}}}\approx(2.5e^{-6}\cdot\sqrt{f})\Omega \tag{2-133}$$

上式成立的条件为:$\delta_{\mathrm{Al}}=(\pi f\mu\sigma_{\mathrm{Al}})^{-1/2}\ll a$，亦即$f\gg\frac{1}{\pi\mu\sigma_{\mathrm{Al}}a^{2}}\approx 153\mathrm{kHz}$。

由公式2-132可知，损耗电阻R_{e}为：

$$R_{\mathrm{e}}=\tan\Delta_{\mathrm{s}}/\omega C=(0.817+\frac{0.934}{f})\mathrm{M}\Omega \tag{2-134}$$

由高频电容模型（图2-33）可知，该电容在高频下（$f\gg 153\mathrm{kHz}$）的总阻抗为：

$$Z=2\mathrm{j}\omega L+2R_{\mathrm{s}}+\frac{1}{\mathrm{j}\omega C+1/R_{\mathrm{e}}} \tag{2-135}$$

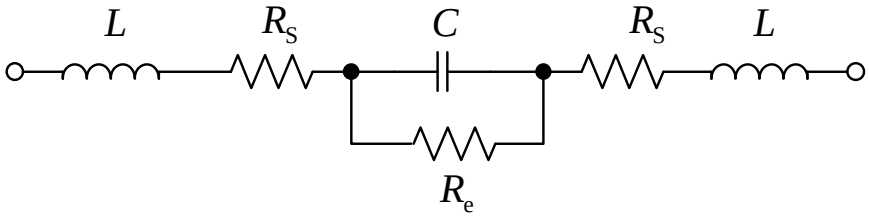


图 2-33 高频电容模型

该阻抗与频率的关系示于图2-34中。从图中可以看出，随着频率的升高，引出线的寄生感抗的影响越来越大，当频率大于某一临界点时，该电容的阻抗随频率的升高而增大，这时该电容实际呈现出感抗特性。

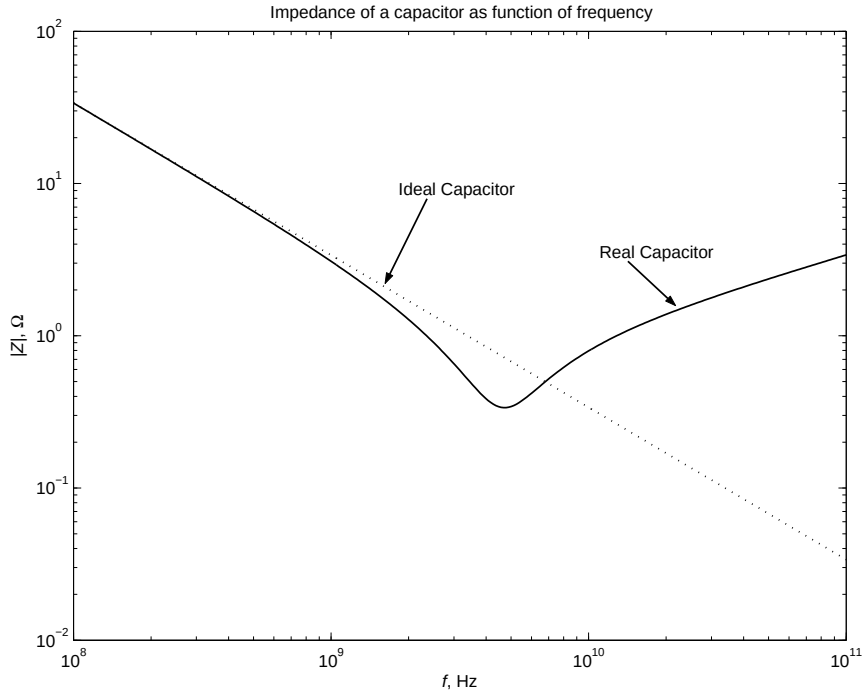


图 2-34 实际电容的阻抗与频率的关系

高频电感

电感是另一种常见的无源元件，它是由金属线在圆柱形的芯体（陶瓷或者铁酸盐材料）上绕制而成的，如图2-35所示, 其中的分布式电阻R_{d}和分布式电容C_{d}分别代表了金属线的寄生电阻和两金属线圈之间的寄生电容。

电感元件在高频下的阻抗可以用如图2-36所示的等效电路来模拟。

其中，并联容抗C_{s}和串联阻抗R_{s}代表了分布元件C_{d}和R_{d}的影响，它们可以用下列公式来近似：

$$C_{\mathrm{s}} = \frac{\epsilon \cdot 2\pi r N \cdot 2a}{d} = 4\pi\epsilon \frac{raN}{d} \tag{2-136}$$

$$R_{\mathrm{s}} \approx R_{\mathrm{DC}} \cdot a/2\delta = \frac{2\pi r N}{\sigma_{\mathrm{wire}} \pi a^2} \cdot \frac{a\sqrt{\pi f \mu_{\mathrm{wire}} \sigma_{\mathrm{wire}}}}{2} = \frac{rN}{a} \cdot \sqrt{\frac{r f \mu_{\mathrm{wire}}}{\sigma_{\mathrm{wire}}}} \tag{2-137}$$

上式仅当$\delta = (\pi f \mu_{\mathrm{wire}} \sigma_{\mathrm{wire}})^{-1/2} \ll a$时才成立

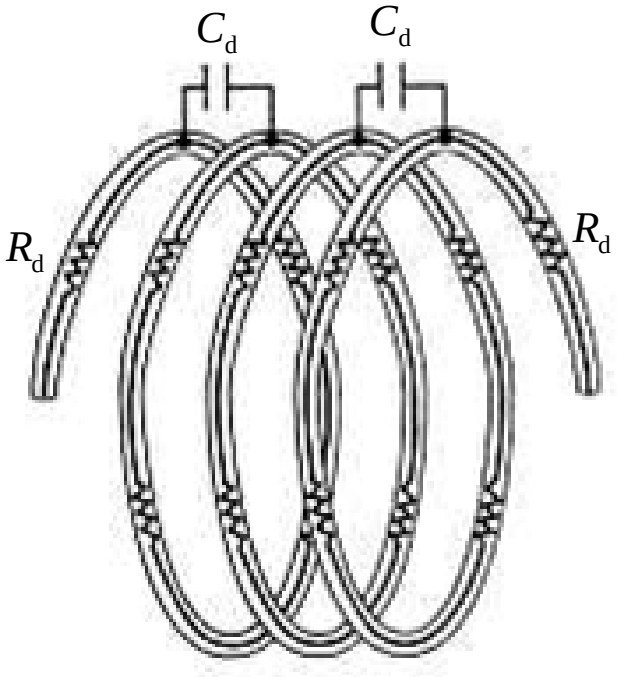


图 2-35 高频电感

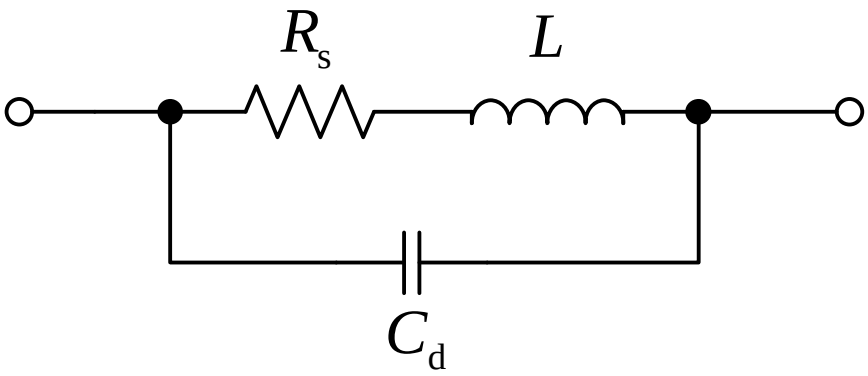


图 2-36 高频电感模型

该电感的电感量L可以应用下列公式来计算：

$$L = \frac{\pi r^2 \mu_0 \mu_r N^2}{Nd} \quad (r \ll Nd\text{和N很大}) \tag{2-138}$$

其中，r为金属线圈的半径，d为两金属线圈之间的距离，$a < r$为金属线横截面半径。在高频下，由于受到趋肤效应的影响，金属线内部的电流密度分布不是均匀的，公式2-138仅能近似计算这种电感的电感量。图2-37给出了一个实际电感的阻抗随频率的变化。从图中可以看出，随着频率的升高，寄生元件的影响越来越大，当频率大于某一临界点时，该电感的阻抗随频率的升高而减小，这时该电感实际呈现出容抗特性。

§2.4 总结

本章介绍了线性射频电路的基础特性和分析方法，具体讨论了传输线、Smith圆图、双端口网络、射频电路中的无源分立集总参数元件等内容。深入掌握和理解这些内容，是从事射频电路设计的基本要求，也是高水平射频集成电路设计者所必须具有的知识。

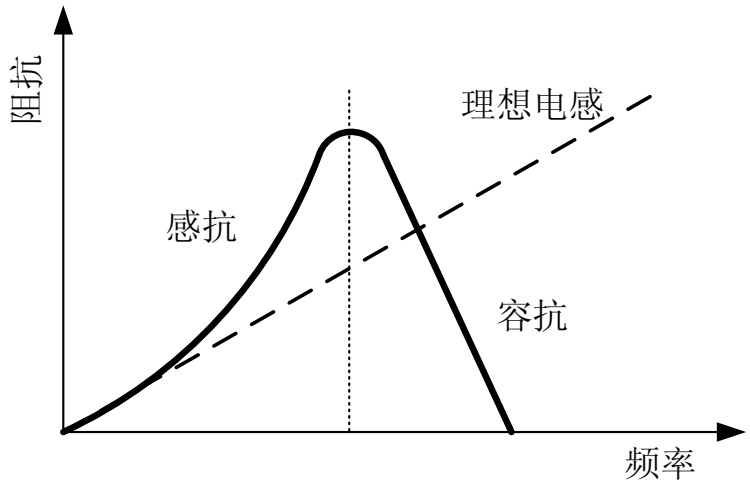


图 2-37 实际电感的阻抗与频率的关系

参考文献

1 Reinhold Ludwig, Pavel Bretchko. RF Circuit Design—Theory and Applications. New Jersey: Prentice-Hall, Inc., 2000

2 李宗谦, 佘京兆. 微波工程基础. 南京: 东南大学出版社, 1996

3 应嘉年, 顾茂章, 张克潜. 微波与光波导技术. 北京: 国防工业出版社, 1994

习题

1. 在本章我们推导出了终端接负载的理想无损传输线的输入阻抗的表达式，试采用相同的推导方法，证明终端接负载的有损传输线的输入阻抗可以用下式来表示：

$$Z_{\mathrm{in}}(l) = Z_{\mathrm{c}} \frac{Z_{\mathrm{L}} + Z_{\mathrm{c}} \tanh \gamma l}{Z_{\mathrm{c}} + Z_{\mathrm{L}} \tanh \gamma l}$$

2. 试推导出终端接负载的理想无损传输线上的电流与传输线长度之间的关系，并分析电流振幅的波节点和波腹点的位置。

3. 试设计一个特性阻抗为50Ω的微带线，已知该微带线介质材料的厚度为1mm，相对介质常数为$\epsilon_{\mathrm{r}} = 4$，导体带的厚度可以忽略。

4. 利用Smith圆图分析如图2-38所示电路的输入阻抗。

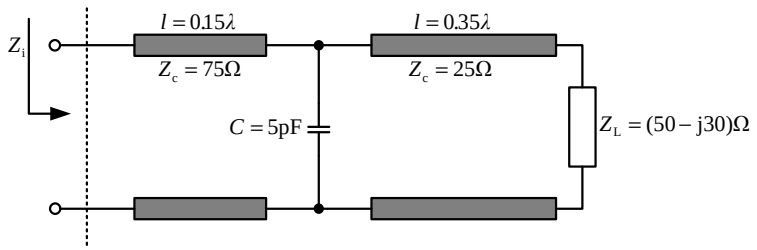


图 2-38 习题4图

5. 证明a_{i}、b_{i}就是归一化入射波电压（电流）和反射波电压（电流）（式2-81）。

6. 从阻抗矩阵和散射矩阵的定义式出发，试推导出[Z]矩阵和[S]矩阵之间的相互转换关系。

7. 如图2-39所示的一个传输系统，试用信号流图分析法分析端口1处的入射功率、反射功率和输入到网络的有功功率以及负载所吸收的功率，并计算该传输系统的插入损耗。

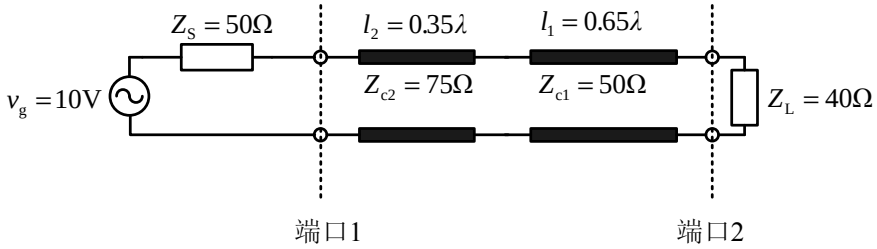


图 2-39 习题7图

8. 试分析图2-40所示串联谐振电路在不考虑元件的寄生效应和考虑元件的寄生效应两种情况下的频率响应，并比较两种频率响应的异同。已知电阻为500Ω的金属薄膜电阻，其引出线是一段长度为5cm、横截面半径为0.2032mm的铝线，寄生电容为$C_{\text{a=2pF}}$、$C_{\text{b}} = 0$；电容为一个采用长度为1cm、横截面半径为0.2032mm的铝线作为引出线的47pF电容，其内部所用介电材料的损耗角为10^{-4}，且与工作频率f无关；电感是一个由铜导线绕成的3.5圈线圈，铜导线的横截面半径为63.5μm，线圈的半径为1.27mm，两圈铜导线之间的间距为3.6×10^{-4}m。

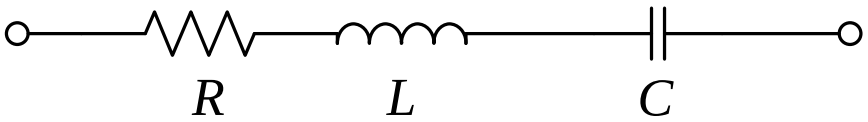


图 2-40 习题8图

第三章　无源RLC网络和阻抗匹配

无源RLC网络在射频电路中具有广泛的应用背景，是射频电路中不可缺少的电路单元。而阻抗匹配是射频电路中一个非常重要的概念，因为只有在阻抗匹配条件下，才能从信号源得到最大的功率。在这一章里，我们将讨论无源RLC网络的基本特性、阻抗匹配的概念以及实现阻抗匹配的方法。首先我们将讨论无源RLC网络的基本特性；然后我们将讨论串并联阻抗等效互换以及回路抽头时的阻抗变换，这些简单的变换关系在射频集成电路的设计中经常用到；最后讨论阻抗匹配的概念以及L匹配、Pi型匹配、T型匹配、微带线匹配的原理以及设计方法，这些匹配是射频集成电路设计或者测试中最常用到的阻抗匹配类型。本章所介绍的匹配电路设计方法都基于上一章所介绍的Smith圆图工具，使用这类工具设计阻抗匹配网络非常简单方便，避免了原来繁琐的手工计算。目前也已经有部分电路仿真工具将Smith圆图工具集成在内（如ADS），进一步简化了设计过程。因此本章只介绍基于Smith圆图的设计方法，阻抗匹配网络的手工计算方法在很多参考书中都有提及，有兴趣的读者可以参考本章后的最后一篇参考文献。

§3.1　无源RLC网络

在后面各章我们将看到，无源RLC网络在射频电路中具有广泛的应用背景，是射频电路中不可缺少的电路单元。例如，射频放大器一般采用无源RLC网络作负载，可以在有限的电流消耗下获得窄带高增益；无源RLC网络作为滤波器可以滤除带外干扰信号；采用无源RLC网络作振荡器的谐振元件还可以提高振荡器的相位噪声性能等。无源RLC网络的另一个应用是实现阻抗匹配，在射频电路中，阻抗匹配网络绝大部分是由无源RLC网络构成的。因此了解无源RLC网络的基本特性对从事射频集成电路设计具有很重要的意义。本节将介绍几种二阶无源RLC网络的基本特性，这些二阶网络是射频电路中应用最广泛的无源网络形式，而且它们也是分析更高阶无源RLC网络的基础。

§3.1.1　串联RLC网络

串联RLC网络由电感L、电容C和电阻R串联组成，如图3-1所示。其中，电阻R通常是电感L的寄生串联电阻，电容的寄生损耗（如漏电导等）也会对电阻R产生贡献，但其值很小，通常可以忽略。

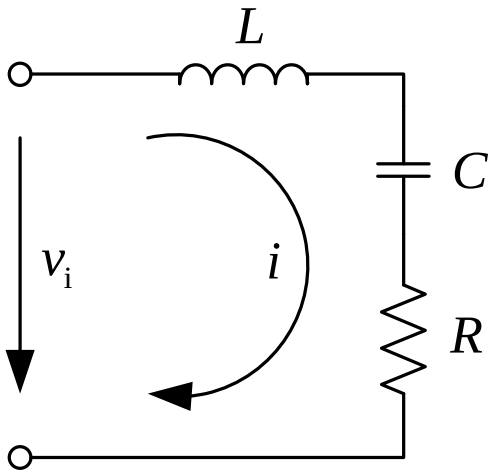


图 3-1 串联RLC网络

由图3-1可以很容易求出，该串联网络的回路阻抗为：

$$Z(\mathrm{j}\omega)=R+\mathrm{j}\omega L+\frac{1}{\mathrm{j}\omega C}=R+\mathrm{j}(\omega L-\frac{1}{\omega C})=|Z(\mathrm{j}\omega)|\mathrm{e}^{\mathrm{j}\varphi(\omega)} \tag{3-1}$$

其中，$|Z(\mathrm{j}\omega)|$是回路阻抗的幅度，而$\varphi(\omega)$是回路阻抗的相角

$$|Z(\mathrm{j}\omega)|=\sqrt{R^2+(\omega L-\frac{1}{\omega C})^2} \tag{3-2}$$

$$\varphi(\omega)=\arctan\frac{\omega L-\frac{1}{\omega C}}{R} \tag{3-3}$$

由上式可以看出，当$\omega L=\frac{1}{\omega C}$，即$\omega=\omega_0=\frac{1}{\sqrt{LC}}$时，回路阻抗的幅度$|Z(\mathrm{j}\omega_0)|=R$达到最小值，相角$\varphi(\omega_0)=0$，回路阻抗等于一个纯电阻$R$。在一定的输入电压激励下，串联回路中的电流达到最大值并与激励电压信号同相，即回路发生了谐振，这时的激励信号频率ω_0称为该回路的谐振频率。当激励电压信号的频率ω 不等于回路谐振频率ω_0时，回路阻抗不再等于纯电阻R。当$\omega>\omega_0$时，回路成感性，回路阻抗的相角趋向于$+\pi/2$；而当$\omega<\omega_0$时，回路成容性，回路阻抗的相角趋向于$-\pi/2$。图3-2给出了串联RLC回路的阻抗特性。

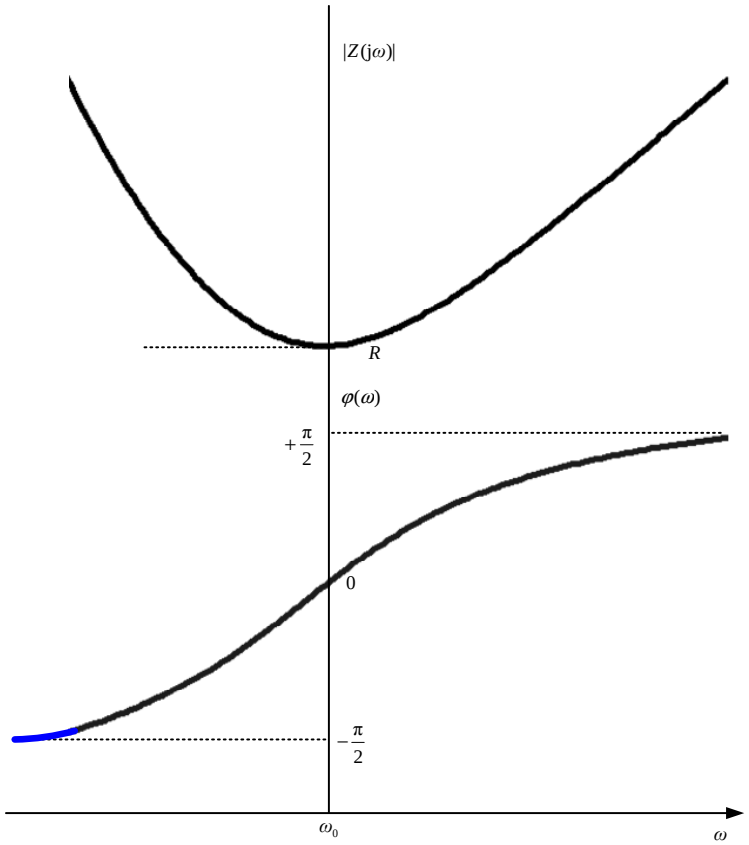


图 3-2 串联RLC网络的阻抗特性

在回路谐振时，电感和电容上的电压为（忽略它们的寄生串联阻抗）

$$v_L(\mathrm{j}\omega_0)=\frac{v_\mathrm{i}(\mathrm{j}\omega_0)}{R}\mathrm{j}\omega_0 L=\frac{\mathrm{j}\omega_0 L}{R}v_\mathrm{i}(\mathrm{j}\omega_0) \tag{3-4}$$

$$v_C(\mathrm{j}\omega_0)=\frac{v_\mathrm{i}(\mathrm{j}\omega_0)}{R}\frac{1}{\mathrm{j}\omega_0 C}=\frac{1}{\mathrm{j}\omega_0 CR}v_\mathrm{i}(\mathrm{j}\omega_0)=-\frac{\mathrm{j}\omega_0 L}{R}v_\mathrm{i}(\mathrm{j}\omega_0) \tag{3-5}$$

可以看到，在回路谐振时，电感和电容两端的电压大小相等、方向相反，它们互相抵消，使得电阻R上的电压降等于外加激励电压v_i。而且，电感和电容两端的电压幅度都被放大了$\frac{\omega_0 L}{R}$倍，

当R很小时，电压放大倍数是很大的，这个电压放大倍数被称为串联谐振回路的品质因子Q，即

$$Q=\frac{\omega_0 L}{R}=\frac{1}{\omega_0 CR}=\frac{1}{R}\sqrt{\frac{L}{C}} \tag{3-6}$$

下面我们来讨论品质因子的内在含义以及它与谐振回路3dB带宽的关系。

设回路谐振时流过回路的瞬时电流为

$$i=I_{\mathrm{om}}\sin\omega_0 t \tag{3-7}$$

则电感上储存的瞬时能量（磁能）为：

$$E_L=\frac{1}{2}Li^2=\frac{1}{2}LI_{\mathrm{om}}^2\sin^2\omega_0 t \tag{3-8}$$

电容C上的瞬时电压为

$$v_C=\frac{1}{C}\int i\mathrm{d}t=-\frac{1}{\omega_0 C}I_{\mathrm{om}}\cos\omega_0 t \tag{3-9}$$

电容上储存的瞬时能量（电能）为

$$E_C=\frac{1}{2}Cv_C^2=\frac{1}{2}\frac{I_{\mathrm{om}}^2}{\omega_0^2 C}\cos^2\omega_0 t=\frac{1}{2}LI_{\mathrm{om}}^2\cos^2\omega_0 t \tag{3-10}$$

回路中储存的总能量为

$$E_{\mathrm{total}}=E_L+E_C=\frac{1}{2}LI_{\mathrm{om}}^2 \tag{3-11}$$

上式表明串联谐振回路谐振时，电感储存的磁能和电容储存的电能周期性的转换，但回路储存的总能量是一个与时间无关的常数，这表明电抗元件（电感、电容）并不会消耗能量。图3-3对此进行了说明，它揭示了电感储存的磁能、电容储存的电能以及回路储存的总能量随时间的变化情况。

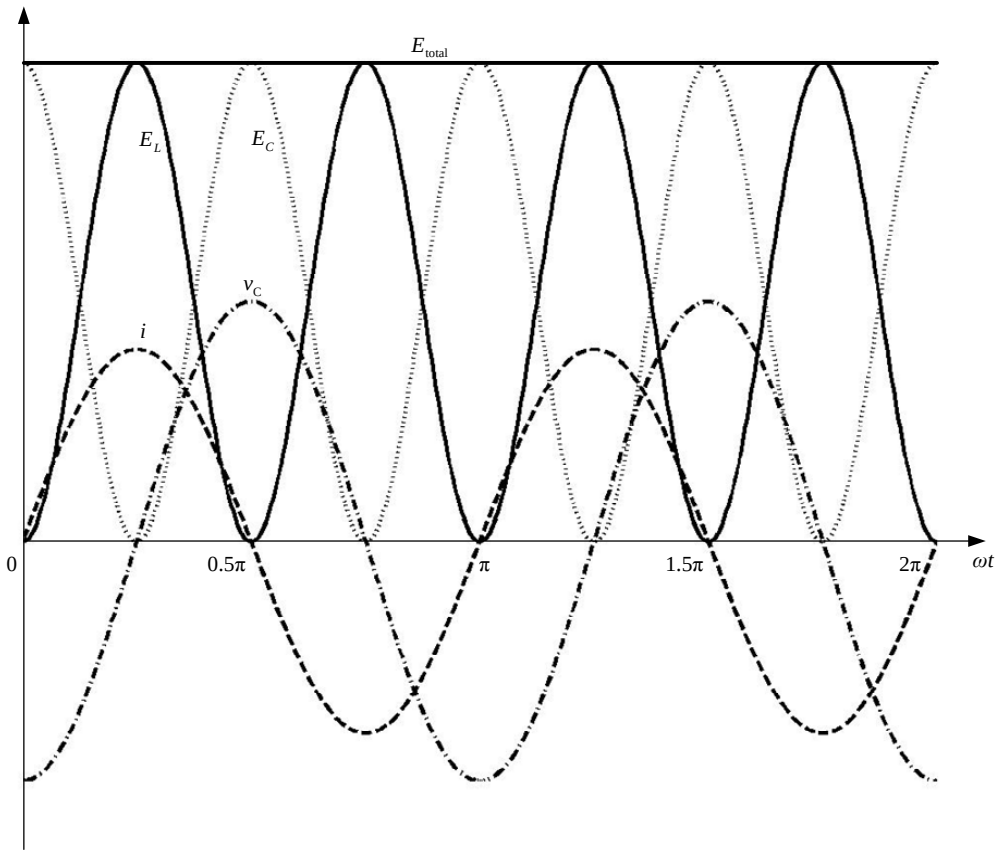


图 3-3 串联RLC网络中电感储存的磁能、电容储存的电能以及回路储存的总能量随时间的变化情况

谐振时，每周期内电阻R消耗的能量为：

$$E_R = \int_0^T I_{\mathrm{om}}^2 R \sin^2 \omega t = \frac{T}{2} I_{\mathrm{om}}^2 R = \frac{1}{2} I_{\mathrm{om}}^2 R \frac{1}{2\pi\omega_0} \tag{3-12}$$

回路中储存的总能量与每周期内电阻R消耗的能量之比为

$$\frac{E_{\mathrm{total}}}{E_R} = 2\pi \frac{\omega_0 L}{R} = 2\pi Q \tag{3-13}$$

可以看到，品质因子是谐振时回路中储存的总能量与每周期内电阻R消耗能量之比值的2π倍，即

$$Q = 2\pi \frac{\text{回路中储存的总能量}}{\text{每周期回路消耗的能量}} \tag{3-14}$$

式3-6只能用来计算无源RLC串联网络的品质因子，但式3-14却可以计算所有无源网络的品质因子，包括不存在电感或者电容元件的传输线网络以及不存在谐振频率的RC网络，因此式3-14揭示了品质因子的本质含义，比式3-6具有更通用的意义。

利用式3-6定义的品质因子，可以将式3-1改写为

$$Z(\mathrm{j}\omega) = R[1 + \mathrm{j}Q(\frac{\omega}{\omega_0} - \frac{\omega_0}{\omega})] \tag{3-15}$$

回路阻抗的幅度为

$$|Z(\mathrm{j}\omega)| = R\sqrt{1 + Q^2(\frac{\omega}{\omega_0} - \frac{\omega_0}{\omega})^2} \tag{3-16}$$

回路阻抗的相角为

$$\varphi(\omega) = \arctan Q(\frac{\omega}{\omega_0} - \frac{\omega_0}{\omega}) \tag{3-17}$$

图3-4给出了品质因子Q取不同值时回路阻抗的幅频特性和相频特性。从图中可以看出，回路的品质因子越高，谐振曲线越尖锐，对外加电压的选频作用越显著，回路的选择性就越好。因此，回路品质因子Q的大小可说明回路选择性的好坏。同时，回路品质因子越高，相频特性曲线在谐振频率ω_0附近的变化越陡峭，相频特性的这一特点对提高振荡器的相位噪声性能具有很重要的意义，在后面我们讨论振荡器时还会提到。

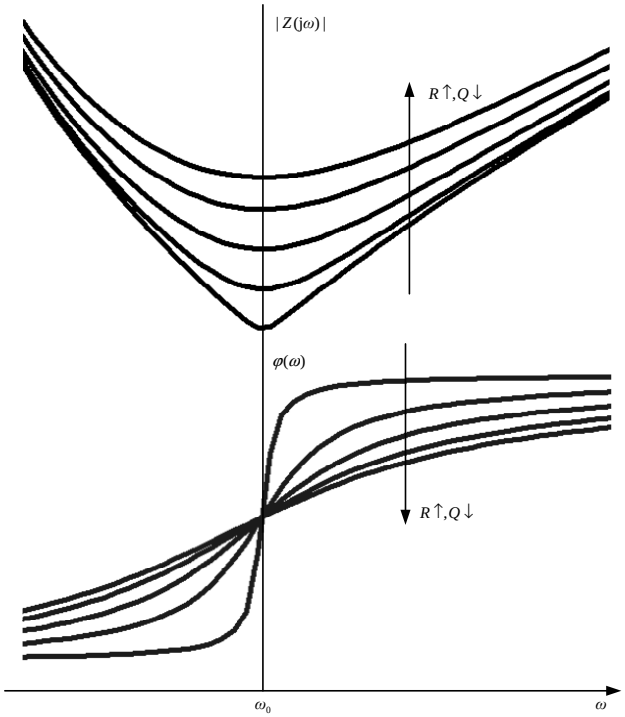


图 3-4 品质因子Q取不同值时回路阻抗的幅频特性和相频特性

当$\omega \approx \omega_0$时

$$\frac{\omega}{\omega_0}-\frac{\omega_0}{\omega}=(\frac{\omega+\omega_0}{\omega})\cdot(\frac{\omega-\omega_0}{\omega_0})\approx\frac{2\omega}{\omega}\cdot(\frac{\omega-\omega_0}{\omega_0})=2\frac{\Delta\omega}{\omega_0} \tag{3-18}$$

基于此，式3-16和式3-17可以表示为：

$$|Z(\mathrm{j}\omega)|\approx R\sqrt{1+[Q\frac{2\Delta\omega}{\omega_0}]^2} \tag{3-19}$$

$$\varphi(\omega)\approx-\arctan Q\frac{2\Delta\omega}{\omega_0} \tag{3-20}$$

该串联谐振回路的3dB带宽BW（回路阻抗幅度$|Z(\mathrm{j}\omega)|$下降为原来的$1/\sqrt{2}$时的频带宽度）为

$$\mathrm{BW}=\frac{\omega_0}{Q} \tag{3-21}$$

由此可见，3dB带宽与回路品质因子Q成反比。Q越高，谐振曲线越尖锐，回路的选择性越好，但3dB带宽越窄。

在以上的讨论中，我们都忽略了信号源内阻R_S和回路的负载电阻R_L，这时的品质因子称为空载品质因子，记为Q_0。若考虑这两个电阻，并假设它们与回路串联，则这两个电阻加入后，串联谐振回路的选择性将变坏，3dB带宽将加宽，回路的等效品质因子也将下降。根据3-14或者式3-6可以求出回路的等效品质因子为

$$Q_\mathrm{L}=\frac{\omega_0 L}{R+R_\mathrm{S}+R_\mathrm{L}} \tag{3-22}$$

这种品质因子称为有载品质因子。很明显，$Q_\mathrm{L}<Q_0$。因此，串联谐振回路通常适用于信号源内阻R_S和负载电阻R_L都比较小的情况，这样空载品质因子才不至于下降太多，使得回路仍具有较好的选择性。

§3.1.2 并联RLC网络

并联RLC网络由电感L、电容C和电阻R并联组成，如图3-5所示。其中，电阻R通常是电感L的寄生并联电阻，电容的寄生损耗（如漏电导等）也会对电阻R 产生贡献，但其值通常可以忽略。

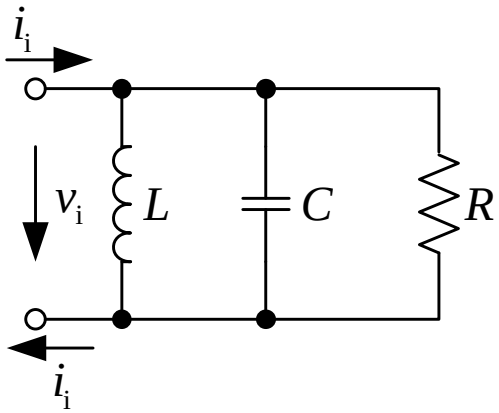


图 3-5 并联RLC网络

由图3-5可以很容易求出，该并联网络的回路导纳为：

$$Y(\mathrm{j}\omega)=G+\mathrm{j}B=G+\mathrm{j}(\omega C-\frac{1}{\omega L})=|Y(\mathrm{j}\omega)|\mathrm{e}^{\mathrm{j}\theta(\omega)} \tag{3-23}$$

其中，$G=\frac{1}{R}$为电导，$B=(\omega C-\frac{1}{\omega L})$为电纳，$|Y(\mathrm{j}\omega)|$是回路导纳的幅度，而$\theta(\omega)$是回路导纳的相角

$$|Y(\mathrm{j}\omega)|=\sqrt{(\frac{1}{R})^2+(\omega C-\frac{1}{\omega L})^2} \tag{3-24}$$

$$\theta(\omega) = \arctan\frac{\omega C - \frac{1}{\omega L}}{1/R} \tag{3-25}$$

由上式可以看出，当$\omega C = \frac{1}{\omega L}$，即$\omega = \omega_0 = \frac{1}{\sqrt{LC}}$时，回路导纳的幅度$|Y(\mathrm{j}\omega)| = G$达到最小值，相角$\theta(\omega) = 0$，回路导纳等于一个纯电导$G = 1/R$。考虑到回路阻抗与回路导纳之间成倒数关系，因此谐振时回路阻抗达到最大值，并等于纯电阻R。在一定的输入电流激励下，并联回路上的电压达到最大值并与激励电流信号同相，即回路发生了谐振，这时的激励信号频率ω_0称为该回路的谐振频率。当激励电流信号的频率ω不等于回路谐振频率ω_0时，回路导纳不再等于纯电导G，回路阻抗也不等于纯电阻R。当$\omega > \omega_0$时，回路成容性，回路阻抗的相角趋向于$-\pi/2$；而当$\omega < \omega_0$时，回路成感性，回路阻抗的相角趋向于$+\pi/2$ 。图3-6给出了并联RLC回路的阻抗特性。

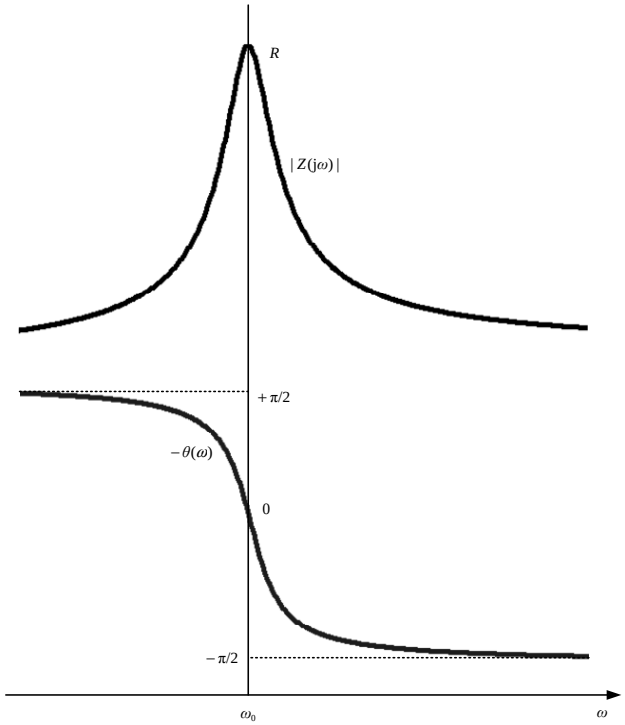


图 3-6 并联RLC网络的阻抗特性

在回路谐振时，流过电感和电容上的电流为（忽略它们的寄生串联阻抗）

$$i_L(\mathrm{j}\omega_0) = i_\mathrm{i} \cdot R \cdot \frac{1}{\mathrm{j}\omega_0 L} = i_\mathrm{i} \cdot \frac{R}{\mathrm{j}\omega_0 L} \tag{3-26}$$

$$i_C(\mathrm{j}\omega_0) = i_\mathrm{i} \cdot R \cdot \mathrm{j}\omega_0 C = i_\mathrm{i} \cdot \mathrm{j}\omega_0 CR = -i_\mathrm{i} \cdot \frac{R}{\mathrm{j}\omega_0 L} \tag{3-27}$$

可以看到，在回路谐振时，流过电感和电容的电流大小相等、方向相反，它们互相抵消，使得流过电阻R的电流等于外加激励电流i_i。而且，流过电感和电容的电流幅度都被放大了$\frac{R}{\omega_0 L}$倍，当R很大时，电流放大倍数是很大的，这个电流放大倍数就是并联谐振回路的品质因子Q_P，即

$$Q_\mathrm{P} = \frac{\omega_0 L}{R} = \frac{1}{\omega_0 CR} = \frac{1}{R}\sqrt{\frac{L}{C}} \tag{3-28}$$

可以证明，根据式3-14计算出的品质因子同式3-28是一致的。

利用式3-28定义的品质因子，可以将式3-23改写为

$$Y(\mathrm{j}\omega) = \frac{1}{R}[1 + \mathrm{j}Q_\mathrm{P}(\frac{\omega}{\omega_0} - \frac{\omega_0}{\omega})] \tag{3-29}$$

回路导纳的幅度为

$$|Y(\mathrm{j}\omega)| = \frac{1}{R}\sqrt{1+Q_\mathrm{P}^2(\frac{\omega}{\omega_0}-\frac{\omega_0}{\omega})^2} \tag{3-30}$$

回路导纳的相角为

$$\theta(\omega) = -\arctan Q_\mathrm{P}(\frac{\omega}{\omega_0}-\frac{\omega_0}{\omega}) \tag{3-31}$$

图3-7给出了品质因子Q_P取不同值时并联谐振回路阻抗的幅频特性和相频特性。从图中可以看出，回路的品质因子越高，谐振曲线越尖锐，对外加电流的选频作用越显著，回路的选择性就越好。因此，回路品质因子Q_P的大小可说明回路选择性的好坏。同时，回路品质因子越高，相频特性曲线在谐振频率ω_0附近的变化越陡峭，相频特性的这一特点对提高振荡器的相位噪声性能具有很重要的意义，在后面我们讨论振荡器时还会提到。

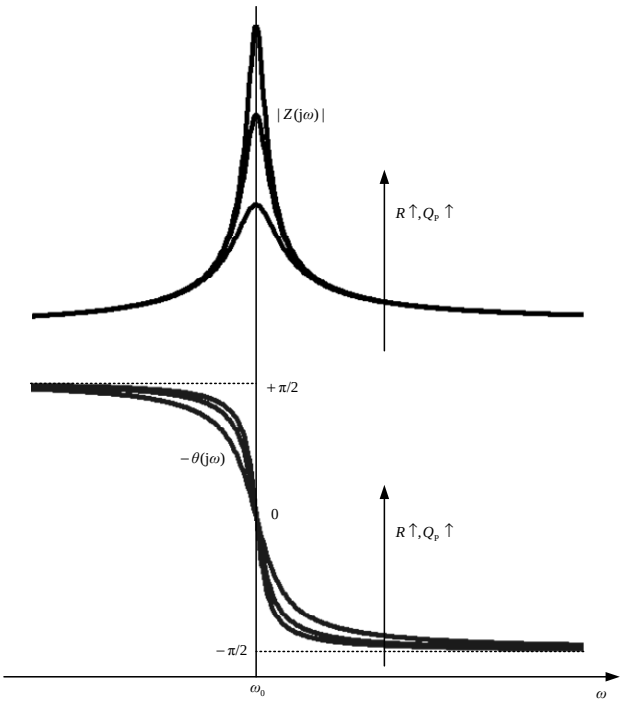


图 3-7 品质因子Q_P取不同值时并联谐振回路阻抗的幅频特性和相频特性

考虑到$\omega \approx \omega_0$时，$\frac{\omega}{\omega_0}-\frac{\omega_0}{\omega} \approx 2\frac{\Delta\omega}{\omega_0}$，因此式3-30 和式3-31可以表示为：

$$|Y(\mathrm{j}\omega)| \approx \frac{1}{R}\sqrt{1+[Q_\mathrm{P}\frac{2\Delta\omega}{\omega_0}]^2} \tag{3-32}$$

$$\theta(\omega) \approx -\arctan Q_\mathrm{P}\frac{2\Delta\omega}{\omega_0} \tag{3-33}$$

该并联谐振回路的3dB带宽BW（回路导纳幅度$|Y(\mathrm{j}\omega)|$增加为原来的$\sqrt{2}$时的频带宽度）为

$$BW = \frac{\omega_0}{Q_\mathrm{P}} \tag{3-34}$$

由此可见，3dB带宽与回路品质因子Q_P成反比。Q_P越高，谐振曲线越尖锐，回路的选择性越好，但3dB带宽越窄。

在以上的讨论中，我们都忽略了信号源内阻R_S和回路的负载电阻R_L，这时的品质因子称为空载品质因子，记为$Q_{\mathrm{P}0}$。若考虑这两个电阻，并假设它们与回路并联，则这两个电阻加入后，并联谐振回路的选择性将变坏，3dB带宽将加宽，回路的等效品质因子也将下降。考虑信号源内

阻R_S和回路的负载电阻R_L后谐振回路的等效品质因子为

$$Q_{PL} = \frac{R||R_L||R_S}{\omega_0 L} \tag{3-35}$$

这种品质因子称为有载品质因子。很明显，$Q_{PL} < Q_{P0}$。因此，并联谐振回路通常适用于信号源内阻R_S和负载电阻R_L都比较大的情况，这样空载品质因子才不至于下降太多，使得回路仍具有较好的选择性。

§3.2 串并联阻抗等效互换

前面我们介绍了串联RLC网络和并联RLC网络的基本特性，但在射频电路中，由于电感损耗、电容损耗等因素的影响，很少用到纯并联网络或者纯串联网络。更多的情况是使用如图3-8所示的RLC网络，这里，R是电感的寄生串联阻抗。分析这种无源网络的一种基本技巧是将这些非标准RLC网络化为标准串联RLC网络或者标准并联RLC网络形式，这通常是通过串并联阻抗等效互换来实现的。需要注意的是，这里的等效互换仅在回路谐振频率附近很窄的一个频带内才成立，考虑到我们通常也仅关心无源RLC网络在谐振频率附近的特性，因此这种分析技术是很有用的。

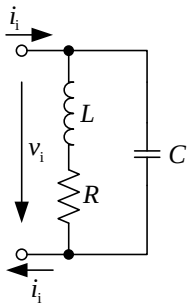


图 3-8 串并联RLC网络

图3-9给出了电阻R和电抗X的串联形式和并联形式。下面我们来分析将图(a)所示电路转化为图(b)所示电路时，元件值该作何变化。

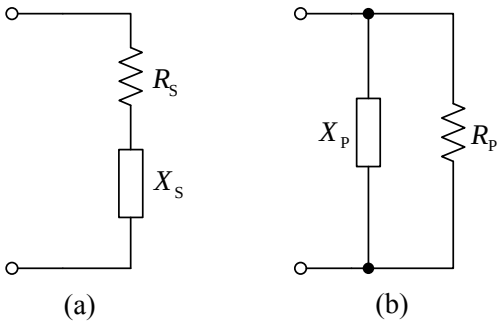


图 3-9 电阻R和电抗X的串联形式和并联形式

为了使图(a)所示电路与图(b)所示电路在谐振频率ω_0附近能够互相等效，这两个电路的回路阻抗必须相等，即

$$R_S + \mathrm{j}X_S = \frac{R_P \cdot \mathrm{j}X_P}{R_P + \mathrm{j}X_P} \tag{3-36}$$

令上式中的虚部和实部分别相等

$$R_S = \frac{R_P X_P^2}{R_P^2 + X_P^2} \tag{3-37}$$

$$X_S = \frac{R_P^2 X_P}{R_P^2 + X_P^2} \tag{3-38}$$

由式3-38可以看到，X_S与X_P的电抗性质保持不变，通常X_S、X_P都是电感或者都是电容。考虑到串联电路的有效品质因子为

$$Q_S = \frac{X_S}{R_S} \tag{3-39}$$

将式3-37、3-38代入

$$Q_S = \frac{R_P}{X_P} \tag{3-40}$$

由式3-37可得

$$R_S = \frac{R_P}{1 + (R_P/X_P)^2} = \frac{R_P}{1 + Q_S^2} \tag{3-41}$$

因此

$$R_P = (1 + Q_S^2) R_S \tag{3-42}$$

由式3-38可得

$$X_S = \frac{X_P}{1 + (X_P/R_P)^2} = \frac{X_P}{1 + 1/(Q_S^2)} \tag{3-43}$$

因此

$$X_P = X_S(1 + \frac{1}{Q_S^2}) \tag{3-44}$$

如果品质因子Q_S值较高（$Q_S > 10$），则

$$R_P \approx R_S Q_S^2 \tag{3-45}$$

$$X_P \approx X_S \tag{3-46}$$

该结果表明：串联电路转换为等效并联电路后，电抗X_P的性质与X_S相同，在Q_S较高的情况下，其电抗X基本保持不变，而并联电路的电阻R_P比串联电路的电阻R_S 增大了Q_S^2倍。

§3.3 回路抽头时的阻抗变换

图3-10(a)给出了一个电感抽头的RLC谐振回路。下面我们来推导在回路谐振时输入端看到的阻抗与并联电阻R_P之间的关系。

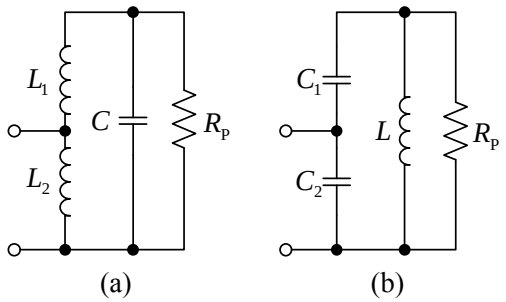


图 3-10 电感抽头和电容抽头的RLC谐振回路

该网络是R_P与电容C并联，然后再与L_1串联，最后再与L_2并联，因此输入端看到的阻抗为

$$Z = \frac{[\frac{R/sC}{1/(sC)+R} + sL_1] \cdot sL_2}{\frac{R/sC}{1/(sC)+R} + sL_2 + sL_1} \tag{3-47}$$

考虑到回路的谐振频率为

$$\omega_0 = \frac{1}{\sqrt{(L_1 + L_2)C}} \tag{3-48}$$

令$s = \mathrm{j}\omega_0$，并将上式代入式3-47中，可以得到该回路在谐振频率附近的输入阻抗为

$$Z = (\frac{L_2}{L_1 + L_2})^2 R_\mathrm{P} + \mathrm{j}\omega \frac{L_1 L_2}{L_1 + L_2} \tag{3-49}$$

输入阻抗的实部为

$$R_\mathrm{in} = (\frac{L_2}{L_1 + L_2})^2 R_\mathrm{P} = p^2 R_\mathrm{P} \tag{3-50}$$

输入阻抗的实部减小到原来的p^2倍（$p < 1$）。

输入阻抗的虚部为

$$X_\mathrm{in} = \frac{L_1 L_2}{L_1 + L_2} \tag{3-51}$$

它等效为电感L_1和L_2的并联。

同理我们可以推导出电容抽头的RLC谐振回路（如图3-10(b)所示）的输入阻抗。该回路的谐振频率为：

$$\omega_0 = \frac{1}{\sqrt{(C_1 + C_2)C}} \tag{3-52}$$

输入阻抗的实部为：

$$R_\mathrm{in} = (\frac{C_1}{C_1 + C_2})^2 R_\mathrm{P} = n^2 R_\mathrm{P} \tag{3-53}$$

输入阻抗的实部减小到原来的n^2倍（$n < 1$）。

输入阻抗的虚部为

$$X_\mathrm{in} = \frac{C_1 C_2}{C_1 + C_2} \tag{3-54}$$

它等效为电容C_1和C_2的串联。

§3.4 阻抗匹配

我们借助于图3-11来理解阻抗匹配的概念，其中，v_g为信号源电压，$Z_\mathrm{S} = R_\mathrm{S} + jX_\mathrm{S}$为信号源阻抗，$Z_\mathrm{in} = R_\mathrm{in} + \mathrm{j}X_\mathrm{in}$为信号源所驱动电路的输入阻抗。则信号源所驱动电路能够从信号源吸收的功率为

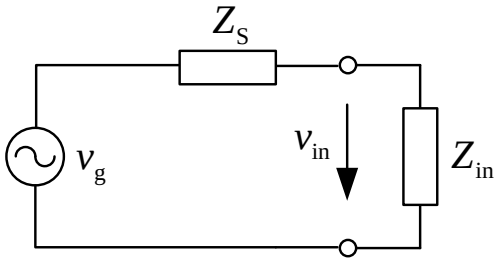


图 3-11 借以说明阻抗匹配概念的简单电路图

$$P_\mathrm{in} = \frac{1}{2}(v_\mathrm{in} i_\mathrm{in}^*) = \frac{1}{2}\left(v_\mathrm{in}\left(\frac{v_\mathrm{in}^*}{Z_\mathrm{in}^*}\right)\right) = \frac{1}{2}\frac{|v_g|^2}{R_\mathrm{in}}\left|\frac{Z_\mathrm{in}}{Z_\mathrm{S} + Z_\mathrm{in}}\right|^2 \tag{3-55}$$

将P_in作为两个独立变量R_in和X_in的函数，则P_in取最大值的条件为

$$\frac{\partial P_\mathrm{in}}{\partial R_\mathrm{in}} = \frac{\partial P_\mathrm{in}}{\partial X_\mathrm{in}} = 0 \tag{3-56}$$

将式3-55代入式3-56，经整理后，得

$$X_{\text{in}} = -X_{\text{S}} \tag{3-57}$$

$$R_{\text{in}} = R_{\text{S}} \tag{3-58}$$

即

$$Z_{\text{in}} = Z_{\text{S}}^{*} \tag{3-59}$$

故只有当信号源所驱动电路的输入阻抗和信号源阻抗共轭时，该电路从信号源吸收的功率才能达到最大值，这时称信号源所驱动电路达到了输入阻抗匹配条件。

同理，只有当电路的输出阻抗与该电路的负载阻抗共轭时（输出阻抗匹配），负载从该电路所吸收的功率才能达到最大值，这时称电路达到了输出阻抗匹配条件。

§3.4.1 L匹配

为了满足阻抗匹配条件从而使传输功率达到最大，常常需要将某一阻抗（源阻抗Z_{S}）变换到另一特定的阻抗（负载阻抗Z_{L}），实现这一功能的电路就是阻抗匹配网络。目前有多种网络可以实现阻抗匹配功能，其中L匹配所用元件最少，是最简单的一类匹配方法。L匹配网络由两个无源元件（电容或（和）电感）组成，按照网络连接关系的不同，可以将L匹配分为如图3-12所示的八种结构。

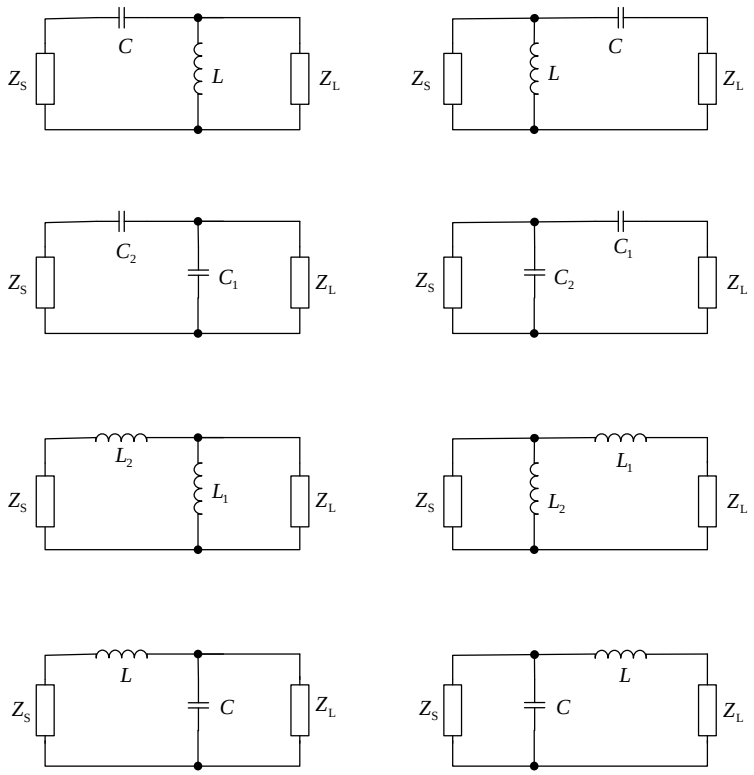


图 3-12 L匹配的电路结构

在设计匹配网络时，Smith圆图是一种非常方便的图形工具。下面我们就讨论如何利用Smith圆图来设计L匹配网络。一般说来，设计过程包括以下六步：

一、将Z_{S}和Z_{L}进行归一化；

二、在Smith圆图上画出通过Z_{S}点的阻抗圆和导纳圆；

三、在Smith圆图上画出通过Z_{L}共轭点的阻抗圆和导纳圆；

四、确定第二步和第三步所画圆的交点，交点的多少表明了L匹配网络结构的数目；

五、确定网络结构和所用元件的归一化电抗值、归一化电纳值（阻抗圆上的点轨迹是由一个恒定的阻抗和一个可变的电容或电感串联的结果，而导纳圆上的点轨迹是由一个恒定的导纳和一个可变的电容或电感并联的结果，如图3-13所示。故根据从Z_S到交点的轨迹和从交点到Z_L共轭点的轨迹可以确定网络结构和元件的归一化电抗值、归一化电纳值）；
六、根据给定工作频率，确定L匹配网络中的实际元件值。

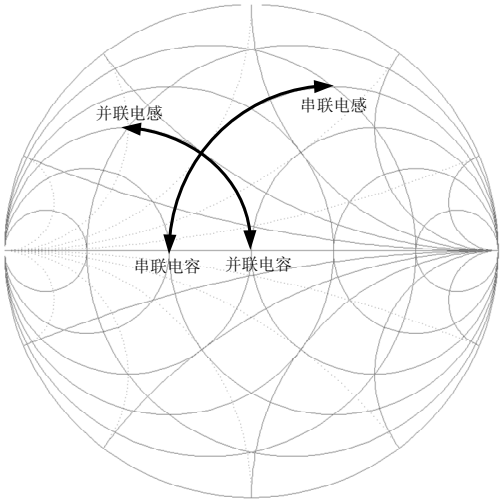


图 3-13 并/串联电感和电容的阻抗变化轨迹

【例2.5】试用L匹配网络将源阻抗$Z_S=(50+j25)\Omega$匹配到负载阻抗$Z_L=(25-j50)\Omega$。已知特性阻抗为$Z_c=50\Omega$，工作频率为$f=2GHz$。

首先我们将Z_S和Z_L进行归一化，得

$$z_S=Z_S/Z_c=1+j0.5 \quad y_S=0.8-j0.4$$
$$z_L=Z_L/Z_c=0.5-j \quad z_L^*=0.5+j \quad y_L^*=3-j0.8$$

在Smith圆图上画出通过z_S和z_L^*的阻抗圆和导纳圆，如图3-14所示。由图中可以看出，通过z_S的阻抗圆和导纳圆与通过z_L^*的阻抗圆和导纳圆共有四个交点（A、B、C和D），说明共有四种L匹配网络可以完成该匹配功能。我们仅取A交点来加以说明，取其它交点的情形与此类似，留给读者作为练习。

从z_S到z_A的轨迹是沿着通过z_S的导纳圆逆时针方向运动，说明源阻抗应与一电感并联；而从z_A到z_L^*的轨迹是沿着通过z_L^*的阻抗圆顺时针方向运动，说明源阻抗与一电感并联后，还应与另一电感串联，故L匹配的网络结构应如图3-15所示。

由Smith圆图可以读出A点的归一化阻抗值和归一化导纳值，分别为

$$z_A=0.5+j0.6 \quad y_A=0.8-j$$

则并联电感L_1的归一化电纳值为

$$jb_{L_1}=y_A-y_S=-j0.6$$

反归一化后，得到L_1的实际电感值为

$$L_1=\frac{Z_c}{j^2\omega b_{L_1}}=6.63nH$$

串联电感L_2的归一化电抗值为

$$jx_{L_2}=z_L^*-z_A=j0.4$$

反归一化后，得到L_2的实际电感值为

$$L_2=\frac{Z_c x_{L_2}}{\omega}=1.59nH$$

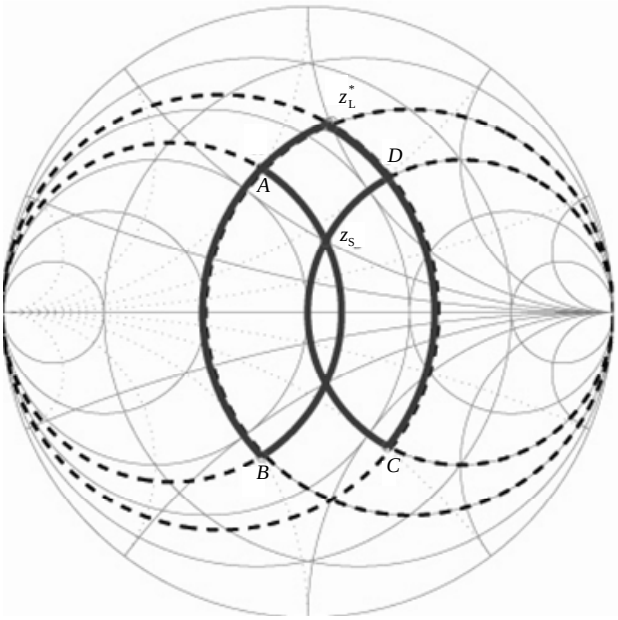


图 3-14 利用Smith圆图来求解L匹配问题

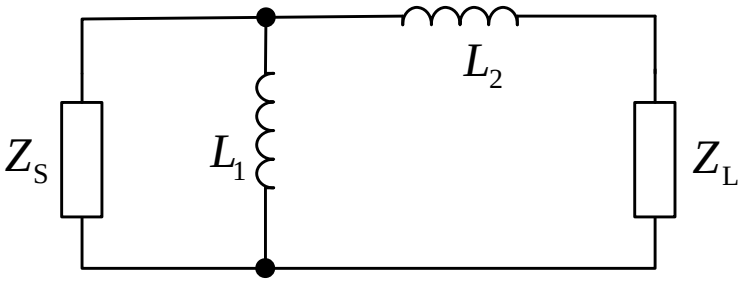


图 3-15 L匹配网络

从上面这个例子可以看出，将一个阻抗变换到另一个阻抗的L匹配存在多种方案，在实际应用中应根据电路的直流偏置条件、稳定性和工作频带要求选定一种最优的方案。由于电感可以通直流而电容是隔直流的，根据电路的直流偏置条件，可能只有一部分L匹配网络结构可以被应用。我们将稳定性考虑放在低噪声放大器一章中进行讨论，此处仅讨论根据工作频带要求来选择最优的L匹配网络。

在讨论“无源RLC网络”时，我们已经讲到，LC网络的3dB带宽BW与网络的品质因子成反比。故当需要频带较宽的匹配网络时，应选择品质因子较低的L匹配方案；反之，则应该选择品质因子较高的L匹配。

为了直观地比较各种匹配方案的品质因子，需要引入节点品质因子Q_{n}的概念。在Smith圆图上，每一个点都代表一个阻抗$Z_{\mathrm{S}}=R_{\mathrm{S}}+\mathrm{j}X_{\mathrm{S}}$或者导纳$Y_{\mathrm{P}}=G_{\mathrm{P}}+\mathrm{j}B_{\mathrm{P}}$，可将该点的品质因子$Q_{\mathrm{n}}$定义为

$$Q_{\mathrm{n}}=\frac{|X_{\mathrm{S}}|}{R_{\mathrm{S}}} \tag{3-60}$$

或者

$$Q_{\mathrm{n}}=\frac{|B_{\mathrm{P}}|}{G_{\mathrm{P}}} \tag{3-61}$$

在Smith圆图上，可以画出Q_{n}为常数的曲线，称为恒–Q_{n}圆。若将反射系数表示为$\Gamma=$

$\Gamma_\mathrm{r}+\mathrm{j}\Gamma_\mathrm{i}$，则恒–$Q_\mathrm{n}$圆的方程为

$$\Gamma_\mathrm{i}^2+\left(\Gamma_\mathrm{r}\pm\frac{1}{Q_\mathrm{n}}\right)^2=1+\frac{1}{Q_\mathrm{n}^2} \tag{3-62}$$

其中，当电抗X_S为正值时取′+′，当电抗X_S为负值时取′−′。

图3-16给出了Smith圆图上的恒-Q_n圆。

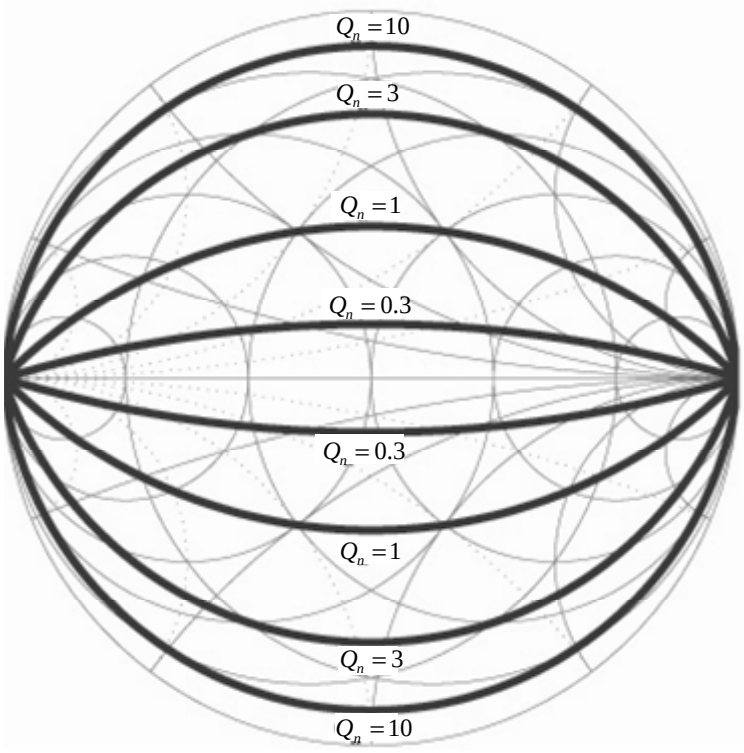


图 3-16 Smith圆图上的恒-Q_n圆

一般说来，L匹配的品质因子为中间节点（在Smith圆图上表现为两个阻抗圆或导纳圆的交点）的Q_n值的一半，而更复杂匹配网络的品质因子通常取为阻抗或导纳变换轨迹上最大的Q_n值。当然，这样得到的品质因子都不是精确的，仅是对网络实际品质因子的一个粗略估计，但根据这些品质因子可以选择频带宽或者窄的匹配网络。例如，对于例2.5所示的阻抗匹配例子，由图3-14可以很容易地发现交点取为A或者B所得到的匹配网络的工作频带比交点取为C或者D所得到的匹配网络的工作频带要窄。而交点取为A（C）所得到的匹配网络的工作频带和交点取为B（D）所得到的匹配网络的工作频带是一样的。

§3.4.2 T匹配和Pi匹配

上面所讨论的L匹配不能对匹配网络的品质因子（带宽）进行控制，有时我们需要控制匹配网络的品质因子（带宽），这时就需要采用T匹配网络或者Pi匹配网络。T匹配网络或者Pi匹配网络比L匹配网络多一个元件，在设计中也就多了一个自由度。

T匹配网络如图3-17所示，它由三个元件Z_1、Z_2和Z_3组成，这些元件可能是电感，也可能是电容。

利用Smith圆图设计具有一定品质因子（带宽）的T匹配网络的过程如下（参见图3-18）:

一、将Z_S和Z_L进行归一化；
二、在Smith圆图上画出通过Z_S点的阻抗圆；
三、在Smith圆图上画出通过Z_L共轭点的阻抗圆；

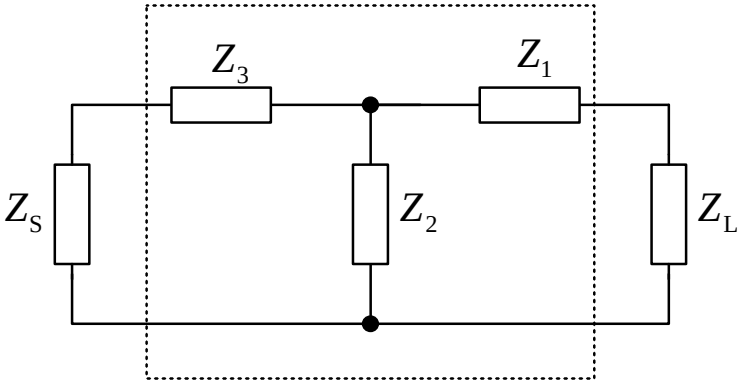


图 3-17 T匹配网络

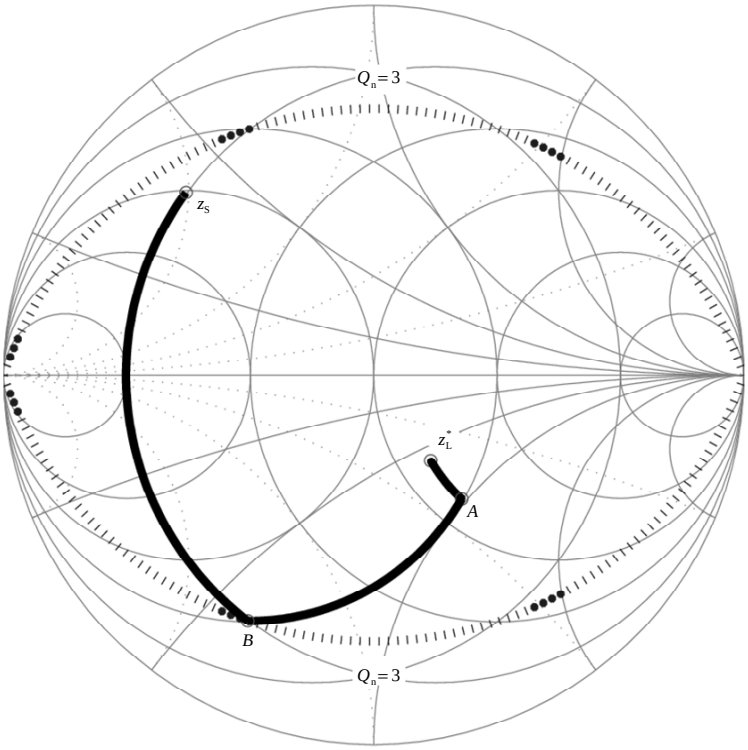


图 3-18 利用Smith圆图来设计T匹配网络

四、确定第二步所画圆与恒–Q_n圆的交点B，交点的多少表明了T匹配网络结构的数目；
五、画出通过交点B的导纳圆，并确定它与第三步所画圆的交点A；
六、确定所用元件的归一化电抗值、归一化电纳值；
七、根据给定工作频率，确定T匹配网络中的实际元件值。

Pi匹配网络如图3-19所示，它也由三个元件Z_1、Z_2和Z_3组成，这些元件可能是电感，也可能是电容。

利用Smith圆图设计具有一定品质因子（带宽）的Pi匹配网络的过程如下（参见图3-20):

一、将Z_S和Z_L进行归一化；
二、在Smith圆图上画出通过Z_S点的导纳圆；
三、在Smith圆图上画出通过Z_L共轭点的导纳圆；
四、确定第二步所画圆与恒–Q_n圆的交点B，交点的多少表明了Pi匹配网络结构的数目；

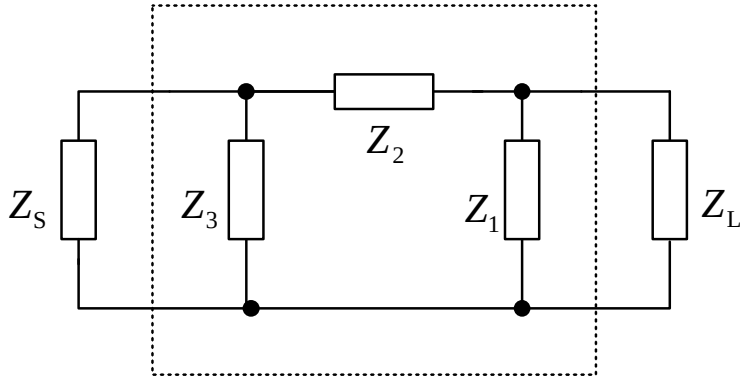


图 3-19 Pi匹配网络

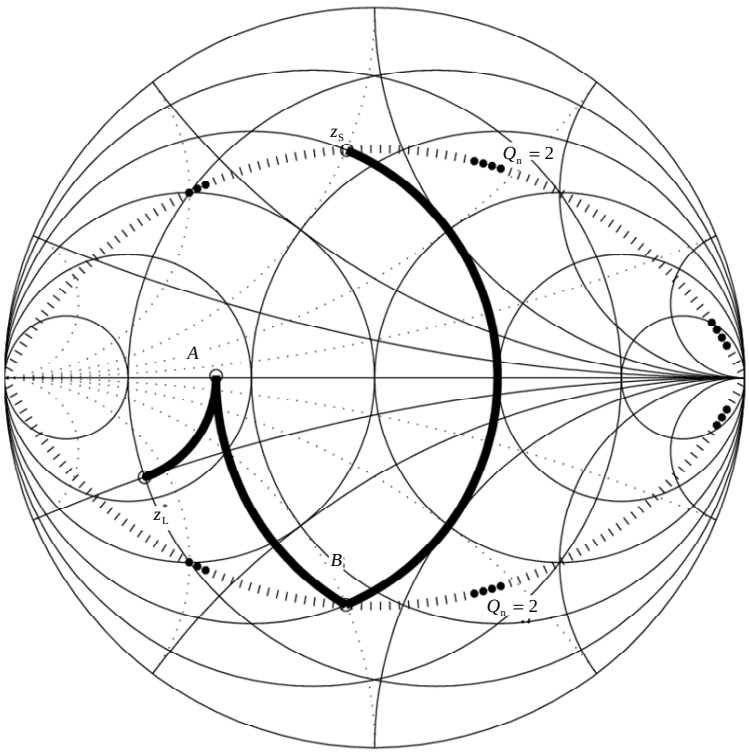


图 3-20 利用Smith圆图来设计Pi匹配网络

五、画出通过交点B的阻抗圆，并确定它与第三步所画圆的交点A；
六、确定所用元件的归一化电抗值、归一化电纳值；
七、根据给定工作频率，确定Pi匹配网络中的实际元件值。

§3.4.3 微带线匹配

前面我们讨论了三种LC阻抗匹配网络，这些匹配网络都使用电感或者电容元件来完成匹配功能。由于电感、电容元件都存在寄生效应，当工作频率提高时，寄生效应的影响将变得不可忽略，从而恶化了匹配网络的性能，并使得匹配网络的设计变得非常复杂。这时可以考虑使用分布式元件来完成阻抗匹配功能。图3-21给出了一种在射频和微波电路中得到广泛应用的阻抗匹配电路。它由两段微带线和一个并联电容组成。可以证明，这种网络可以将任何阻抗变换为某一特定阻抗，而且通过改变并联电容的电容值和在传输线上的位置，可以改变阻抗变换关系，这为测试提供了很高的灵活性。在这种微带线匹配中，两段微带线通常具有相同的宽度，其特性阻抗也是

已知的，设计中仅需要确定两段微带线的长度和电容值。

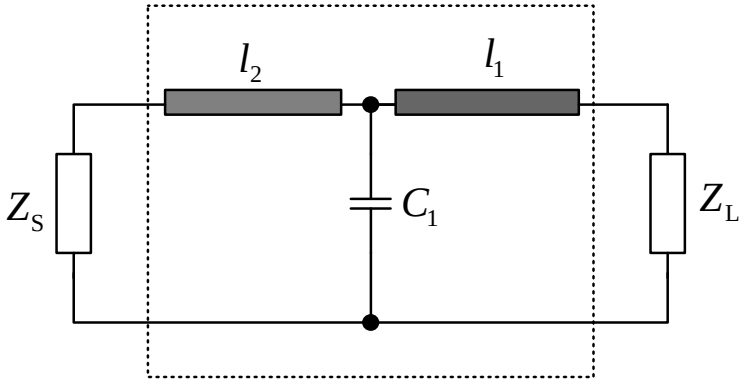


图 3-21 微带线匹配网络

利用Smith圆图设计具有一定品质因子（带宽）的微带线匹配网络的过程如下（参见图3-22):

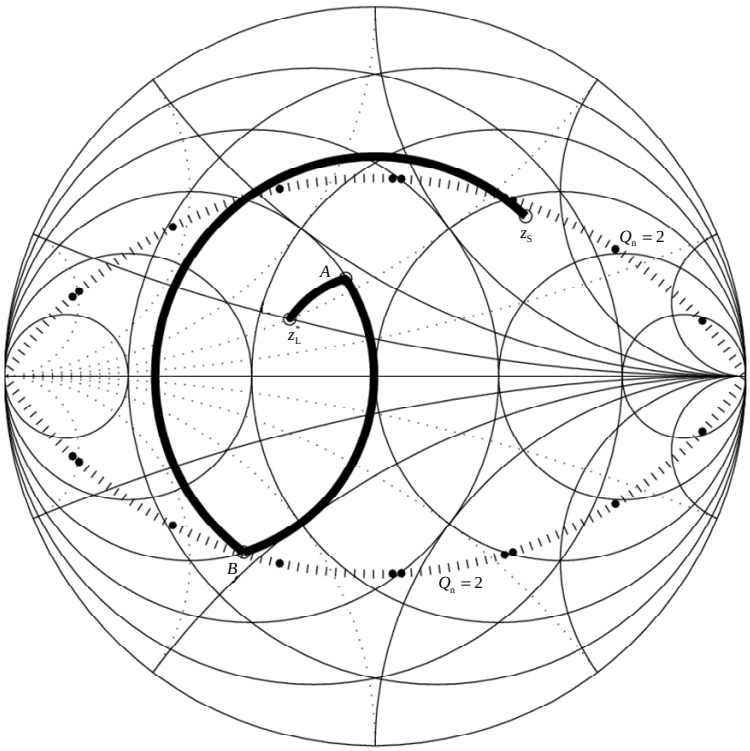


图 3-22 利用Smith圆图来设计微带线匹配网络

一、将Z_S和Z_L进行归一化；
二、在Smith圆图上画出通过Z_S点的$|\Gamma|$圆；
三、在Smith圆图上画出通过Z_L共轭点的$|\Gamma|$圆；
四、确定第二步所画圆与恒–Q_n圆的交点B，交点的多少表明了微带线匹配方案的数目；
五、画出通过交点B的导纳圆，并确定它与第三步所画圆的交点A；
六、确定电容归一化电纳值和微带线的电长度；
七、根据给定工作频率，确定电容值和微带线实际长度。
由图3-22可以看出，当要求匹配网络的品质因子足够高时，通过Z_S点的$|\Gamma|$圆与恒–Q_n圆没有交点，表明这种简单的匹配网络不能达到预定的设计要求。

假设$Z_{\mathrm{L}}=(30+\mathrm{j}10)\Omega$，$Z_{\mathrm{S}}=(60+\mathrm{j}80)\Omega$，当微带线的特性阻抗为50Ω，工作频率为1.5GHz并要求节点品质因子$Q_{\mathrm{n}}=2$时，采用上述方法得到的两段微带线的长度分别为$l_1=0.055\lambda$和$l_2=0.26\lambda$，电容值应为$C_1=4.37\mathrm{pF}$。当保持两段微带线的总长度不变，仅改变电容C_1在微带线上的位置时，从A点向负载端Z_{L}看过去的归一化阻抗$z_{\mathrm{in}}=r_{\mathrm{in}}+\mathrm{j}x_{\mathrm{in}}$与电容所在位置之间的关系如图3-23所示，其中$l$为负载端到电容所在位置的微带线的长度。可以看到，这种匹配网络对电容的位置变化是很敏感的，电容位置的极小变化可能会使得Z_{in}发生较大的变化。

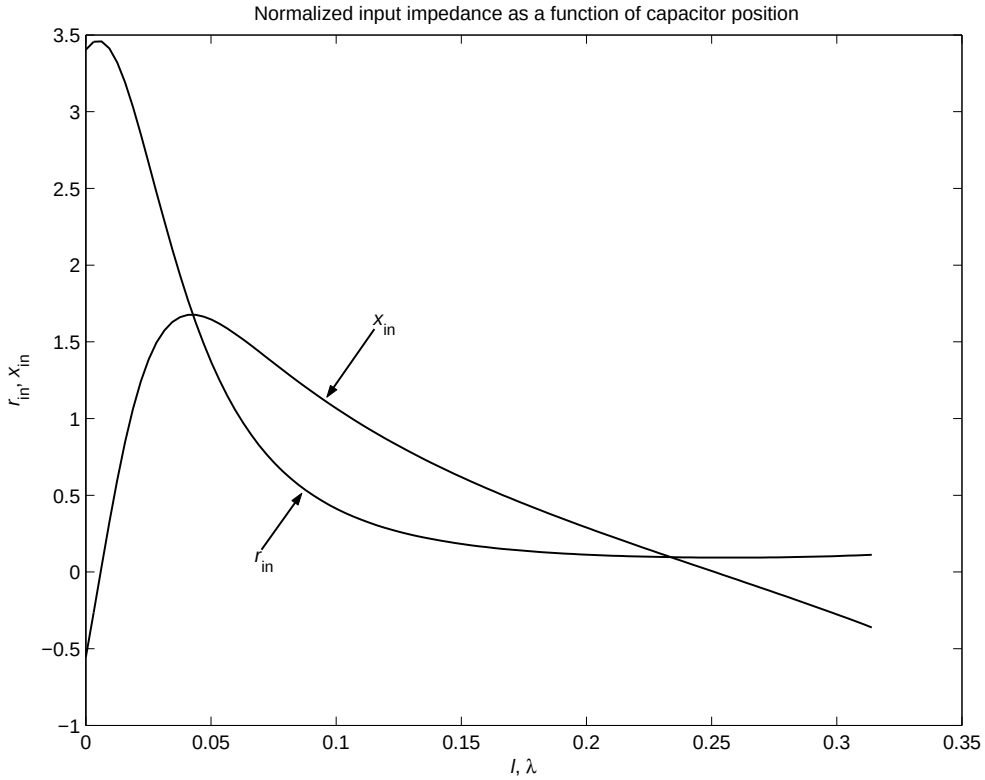


图 3-23 归一化阻抗$z_{\mathrm{in}}=r_{\mathrm{in}}+\mathrm{j}x_{\mathrm{in}}$与电容所在位置之间的关系

除了上面介绍的简单微带线匹配网络之外，还可以通过加入更多的传输线和电容来获得更多的自由度，如图3-24所示。按照并联、串联关系以及传输线的性质，可以很容易地推导出这种复杂网络的设计方法。

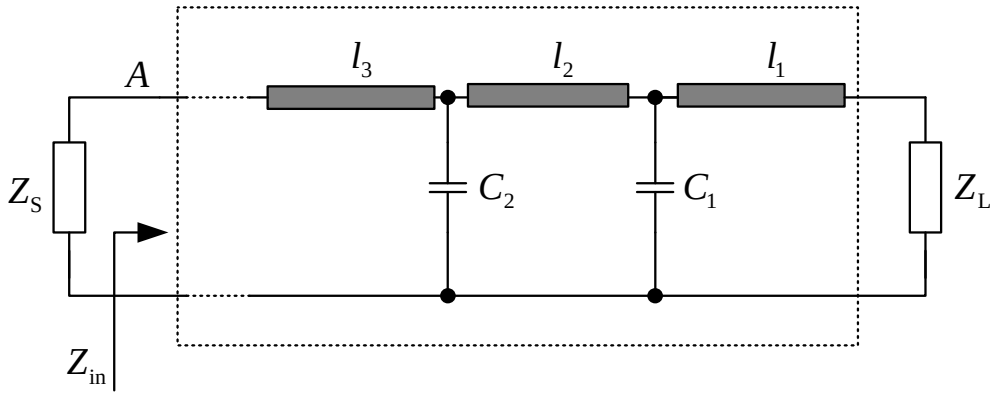


图 3-24 更复杂的微带线匹配网络

当工作频率进一步升高时，电容的寄生效应也将变得不可忽略，这时可以用开路或者短路的

微带线来代替电容，如图3-25所示。这种匹配网络有四个参数可以调节，分别是两段微带线的长度l_{cL}、l_{cS}和特性阻抗Z_{cL}、Z_{cS}。按照并联、串联关系以及开路、短路传输线的性质，可以很容易地推导出这种匹配网络的设计方法，有兴趣的读者可以参考本章后面给出的文献。

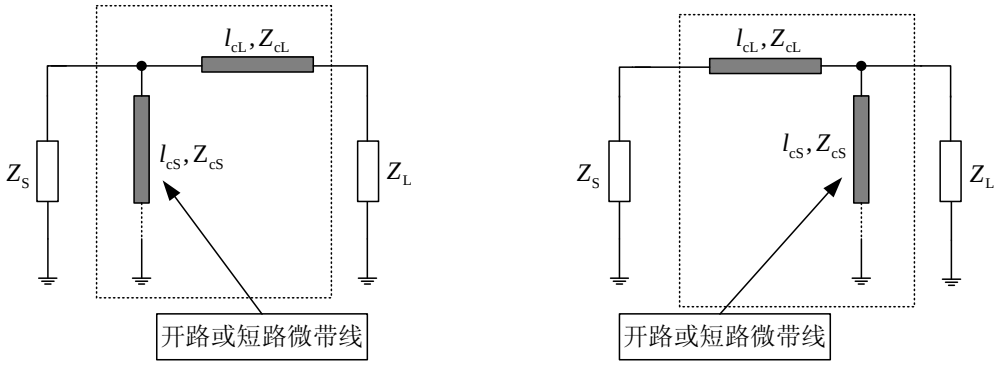


图 3-25 全部由微带线组成的匹配网络

参考文献

1 Reinhold Ludwig, Pavel Bretchko. RF Circuit Design—Theory and Applications. New Jersey: Prentice-Hall, Inc., 2000

2 张肃文, 陆兆熊. 高频电子线路（第三版）. 北京: 高等教育出版社, 1993

3 董在望. 通信电路原理（第二版）. 北京: 高等教育出版社, 2002

4 Thomas H L. The Design of CMOS Radio-Frequency Integrated Circuits(Second Edition). U.S.A: Cambridge University Press, 2004

习题

1. 请比较串、并联RLC网络阻抗特性的异同。

2. 证明式3-53和式3-54。

3. 分析如图3-26所示电路输入阻抗Z_{in}的幅频特性和相频特性。

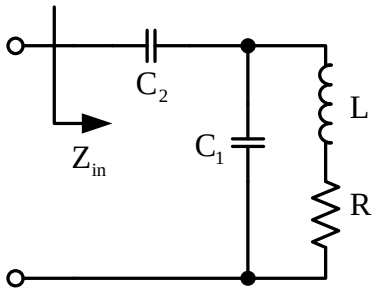


图 3-26 题3图

4. 已知串联RLC网络的谐振频率为1.5MHz，电容$C = 100\text{pF}$，谐振时回路阻抗为5Ω，试求该网络中电感L的电感量以及该网络的品质因子。又若信号源电压振幅为$V_{\text{sm}} = 1\text{mV}$，求回路谐振时回路中的电流以及网络中各元件上的电压振幅。

5. 有一阻抗为$(30 + \text{j}15)\Omega$的负载，需要将其匹配到50Ω，试设计具有最大节点品质因子的L匹配网络、具有最小节点品质因子的T匹配网络和Pi匹配网络。已知工作频率为2.4GHz。

6. 接上题，试设计具有最小品质因子的微带线匹配网络，已知该微带线介质材料的厚度为1mm，相对介质常数为$\epsilon_{\text{r}} = 4$，导体带的厚度可以忽略。

第四章　射频集成电路中的基本问题

射频电路的性能描述方式同低频电路完全不同，而且由于射频电路频率很高，信号周期很短，原来在低频模拟电路中常用的仿真算法并不能直接用来对射频电路进行仿真。本章将介绍衡量射频电路性能的各种参数并讨论如何从系统描述推导出射频前端的性能描述；紧接着我们将讨论射频电路的仿真问题并介绍几种商用的射频电路仿真软件；最后将对CMOS射频集成电路实现的难点进行简单评述。

§4.1　射频电路的性能度量

为了描述射频电路的性能，需要引入一些基本概念。本节就主要阐述这些基本概念，包括功率增益和电压增益、灵敏度（噪声）、线性度，并介绍如何从系统描述（如应用标准）推导出射频前端的性能描述。

§4.1.1　功率增益和电压增益

在射频电路中，存在多种功率增益，如可获得功率增益G_{a}、工作功率增益G_{p}和传输功率增益G_{t}，它们的含义是

$$G_{\mathrm{a}}=\frac{P_{\mathrm{La}}}{P_{\mathrm{Sa}}} \tag{4-1}$$

$$G_{\mathrm{p}}=\frac{P_{\mathrm{L}}}{P_{\mathrm{S}}} \tag{4-2}$$

$$G_{\mathrm{t}}=\frac{P_{\mathrm{L}}}{P_{\mathrm{Sa}}} \tag{4-3}$$

其中，P_{La}为负载从射频电路网络可以获得的最大功率，P_{L}为负载从射频电路网络获得的实际功率，P_{Sa}为射频电路网络从信号源可以获得的最大功率，P_{S}为射频电路网络从信号源获得的实际功率。

功率增益G与低频电路中通常使用的电压增益A_v之间的关系为

$$G=\frac{v_{\mathrm{L}}^2/2R_{\mathrm{L}}}{v_{\mathrm{S}}^2/2R_{\mathrm{S}}}=A_v^2\cdot\frac{R_{\mathrm{S}}}{R_{\mathrm{L}}} \tag{4-4}$$

其中，v_{L}为负载阻抗的实部R_{L}上的电压幅度，v_{S}为信号源阻抗的实部R_{S}上的电压幅度。

§4.1.2　灵敏度和噪声系数

射频无线接收机系统接收到的信号质量是很差的，常常需要检测微弱的信号。灵敏度就是用来衡量接收机系统检测微弱信号的能力的。灵敏度定义为射频无线接收机系统能够检测的最小信号功率$P_{\min}$，通常以dBm来表示。1mW的功率相当于0dBm，故

$$P(\mathrm{dBm})=10\log\frac{P(\mathrm{mW})}{1\mathrm{mW}} \tag{4-5}$$

无线接收机系统的灵敏度是由组成接收机系统的各种电子元件产生的噪声所决定的。我们知道，电流流动过程中的随机扰动形成噪声，噪声在本质上是一种随机过程，我们不能预测某一时刻噪声的大小，只能采取统计的方法刻画噪声特性。电子元件的噪声主要表现为热噪声、$\frac{1}{f}$噪声等几种形式。最常见的热噪声（也叫白噪声）与温度有关，而与元件值和工作频率无关，其可获得噪声功率（能传输到负载的最大功率）为

$$P_{\mathrm{av}}=\mathrm{k}T\Delta f \tag{4-6}$$

其中，k为波尔兹曼常数（$\sim 1.38\times10^{-23}\mathrm{J/K}$），$T$为绝对温度，$\Delta f$为噪声带宽。当环境温度为$T=290\mathrm{K}$时，单位带宽内热噪声的可获得噪声功率为$1.38\times10^{-23}\times290(\mathrm{J/Hz})=$

−174(dBm/Hz)。一般说来，噪声带宽不同于常见的3dB带宽，假设一个电子系统的电压传输函数为$H(f)$，其幅度的最大值为H_{pk}，则该电子系统的噪声带宽可定义为

$$\Delta f \equiv \frac{1}{|H_{\mathrm{pk}}|^2}\int_0^{+\infty}|H(f)|^2\,\mathrm{d}f \tag{4-7}$$

虽然可获得噪声功率与元件值无关，但等效噪声电压和电流却是与元件值有关的。图4-1给出了电阻的噪声模型，其中等效噪声电压$\overline{v_{\mathrm{n}}^2}$和等效噪声电流$\overline{i_{\mathrm{n}}^2}$分别为

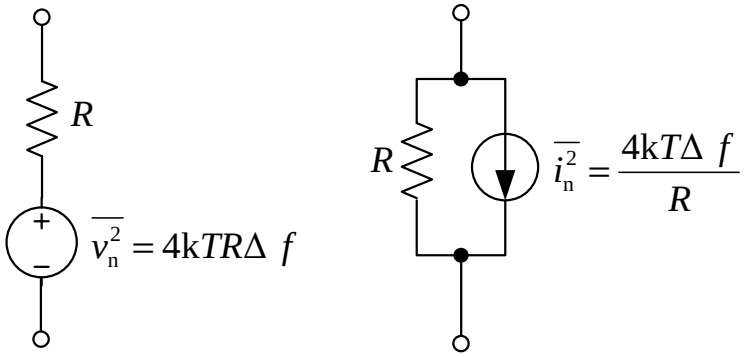


图 4-1 电阻的噪声模型

$$\overline{v_{\mathrm{n}}^2} = 4\mathrm{k}TR\Delta f \tag{4-8}$$

$$\overline{i_{\mathrm{n}}^2} = \frac{4\mathrm{k}T\Delta f}{R} \tag{4-9}$$

理想电感和理想电容不产生热噪声，但实际使用的电感和电容都存在损耗，这些损耗都会转化为热噪声。另外一种噪声来源于天线，它会从环境中收集噪声，若将T_{a}定义为天线的有效温度，则天线的可获得噪声功率为

$$P_{\mathrm{a}} = \mathrm{k}T_{\mathrm{a}}\Delta f \tag{4-10}$$

一般说来，天线的有效温度会低于环境温度，但在一般计算中，可将它等同于环境温度。有源器件也会产生噪声，有源器件的噪声问题将放在第六章讨论。

为了衡量电子系统的噪声性能，需要引入噪声因子F（Noise Factor）和噪声系数NF（Noise Figure）的概念

$$\mathrm{F} = \frac{P_{\mathrm{ototal}}}{P_{\mathrm{osource}}} = \frac{P_{\mathrm{osource}} + P_{\mathrm{int}}}{P_{\mathrm{osource}}} = \frac{\mathrm{SNR}_{\mathrm{in}}}{\mathrm{SNR}_{\mathrm{out}}} \tag{4-11}$$

$$\mathrm{NF} = 10\log\mathrm{F} \tag{4-12}$$

其中，P_{ototal}为总输出噪声功率，P_{osource}为由信号源所引入的输出噪声功率，P_{int}为接收机本身产生的噪声功率，$\mathrm{SNR}_{\mathrm{in}}$为输入信噪比，$\mathrm{SNR}_{\mathrm{out}}$为输出信噪比。无线接收机的信号源一般为$T = 290\mathrm{K}$的天线，因此接收机的噪声因子为

$$\mathrm{F} = \frac{\mathrm{k}T\Delta f \cdot G_{\mathrm{a}} + P_{\mathrm{int}}}{\mathrm{k}T\Delta f \cdot G_{\mathrm{a}}} \tag{4-13}$$

其中，G_{a}为接收机的可获得功率增益，P_{int}为接收机本身产生的噪声功率。由上式可知

$$P_{\mathrm{int}}/G_{\mathrm{a}} = (\mathrm{F}-1)\mathrm{k}T\Delta f \tag{4-14}$$

$P_{\mathrm{int}}/G_{\mathrm{a}}$为接收机本身产生的噪声功率折合到输入端的等效噪声功率。接收机输入端的等效噪声功率为

$$P_{\mathrm{eq}} = \mathrm{k}T_{\mathrm{a}}\Delta f + (\mathrm{F}-1)\mathrm{k}T\Delta f \tag{4-15}$$

该噪声功率被称为接收机的噪声基底（Noise Floor）。

对于一个无线接收机系统来说，如果在保证服务质量的条件下可以接受的最小信噪比为$\mathrm{SNR_{min}}$，则接收机系统的灵敏度可表示为

$$P_{\min}=\mathrm{SNR_{min}}\cdot \mathrm{k}T\Delta f\left[\frac{T_{\mathrm{a}}}{T}+(\mathrm{F}-1)\right]\approx \mathrm{SNR_{min}}\cdot \mathrm{F}\mathrm{k}T\Delta f \tag{4-16}$$

当绝对温度为$T=290\mathrm{K}$时，$\mathrm{k}T\approx -174\mathrm{dBm/Hz}$，则由式4-16可知

$$\mathrm{F(dB)}=P_{\min}(\mathrm{dBm/Hz})-\mathrm{SNR_{min}}-(-174\mathrm{dBm/Hz}) \tag{4-17}$$

当知道了接收机系统可以接受的最小输入信号功率和最小信噪比时，就可以采用上式计算系统的噪声系数。

§4.1.3 线性度和动态范围

衡量射频电路性能的另一个很重要的参数是线性度，它表述了射频电路由于非线性而引入的失真程度，其值决定了射频电路能够承受的最大输入信号功率。在工程应用中，一般用1dB压缩点$\mathrm{P_{1dB}}$、二阶交调点$\mathrm{IIP_2}$和三阶交调点$\mathrm{IIP_3}$来描述射频电路的线性度。下面我们来推导线性度参数与系统参数之间的关系。

假设射频电路系统的传输函数可以用以下的幂级数表示，并假设射频电路系统在处理功率足够小的信号时，用该幂级数表示系统的传输函数所引入的误差是可以忽略的

$$i(V_{\mathrm{DC}}+v)=\mathrm{k}_0+\mathrm{k}_1v+\mathrm{k}_2v^2+\mathrm{k}_3v^3 \tag{4-18}$$

其中，k_0、k_1、k_2和k_3分别为系统的直流输出、增益、二阶非线性系数和三阶非线性系数。

当射频电路系统的输入信号为$v=\mathrm{A}\cos\omega t$，则该射频电路的输出为

$$\begin{aligned}&i(V_{\mathrm{DC}}+v)\\&=\mathrm{k}_0+\mathrm{k}_1\mathrm{A}\cos\omega t+\mathrm{k}_2\mathrm{A}^2\cos^2\omega t+\mathrm{k}_3\mathrm{A}^3\cos^3\omega t\\&=(\mathrm{k}_0+0.5\mathrm{k}_2\mathrm{A}^2)+(\mathrm{k}_1\mathrm{A}+0.75\mathrm{k}_3\mathrm{A}^3)\cos\omega t+0.5\mathrm{k}_2\mathrm{A}^2\cos 2\omega t+0.25\mathrm{k}_3\mathrm{A}^3\cos 3\omega t\end{aligned}$$

从上式可以看出，直流项受到二阶非线性的影响，而基频项则受到三阶非线性的影响。在射频电路系统中，由于存在选频网络，基频项之外的其它各项会被选频网络所滤除，因此我们一般只关心基频项。例外的情况是采用零中频结构的接收机，它除了关心基频项外，还需注意二阶非线性对低频项的影响，即直流失调问题（详细的讨论见第七章）。由于k_3一般为负值，故信号通过非线性系统后基频的增益比k_1小，即增益降低。1dB压缩点描述的就是系统功率增益由于非线性而发生的变化，其定义为：系统的功率增益比理想线性功率增益小1dB时输入/输出信号的功率，这时输入功率称为输入1dB压缩点$\mathrm{IP_{1dB}}$，输出功率称为输出1dB压缩点$\mathrm{OP_{1dB}}$，如图4.2(a)所示。假设1dB压缩点对应的输入信号幅度为$\mathrm{A_{1dB}}$，则按照1dB压缩点的定义，有

$$10\log\frac{(\mathrm{k}_1\mathrm{A_{1dB}})^2}{2}-10\log\frac{(\mathrm{k}_1\mathrm{A_{1dB}}+0.75\mathrm{k}_3{\mathrm{A_{1dB}}}^3)^2}{2}=1 \tag{4-19}$$

由上式可以得到

$$\mathrm{A_{1dB}}=\sqrt{0.145\left|\frac{\mathrm{k}_1}{\mathrm{k}_3}\right|} \tag{4-20}$$

一般说来，为了确保射频电路系统处理强信号时具有足够高的线性度，设计电路时应将输入1dB压缩点定为比射频电路系统的最大输入信号功率高3-4dB。

非线性除了使得射频电路的功率增益下降外，还可能使有用射频信号发生阻塞。当在射频信号的频带周围出现了很强的干扰源时，由于频率很接近，选频网络只能部分抑制干扰源，当功率足够高时，泄漏到信号通道的干扰源就可能完全阻塞有用射频信号。假设电压为$\mathrm{A}_1\cos\omega_1 t$的有用信号中混入了干扰信号$\mathrm{A}_2\cos\omega_2 t$，则该不纯净信号通过射频电路系统后，其基频成分为

$$\begin{aligned}&[\mathrm{k}_1\mathrm{A}_1+0.75\mathrm{k}_3\mathrm{A}_1^3+1.5\mathrm{k}_3\mathrm{A}_1\mathrm{A}_2^2]\cos\omega_1 t+[\mathrm{k}_1\mathrm{A}_2+0.75\mathrm{k}_3\mathrm{A}_2^3+1.5\mathrm{k}_3\mathrm{A}_1^2\mathrm{A}_2]\cos\omega_2 t\\&+0.75\mathrm{k}_3\mathrm{A}_1^2\mathrm{A}_2\cos(2\omega_1-\omega_2)+0.75\mathrm{k}_3\mathrm{A}_1\mathrm{A}_2^2\cos(2\omega_2-\omega_1)\end{aligned}$$

可以看到，频率为ω_1的有用信号成分受到干扰信号的影响。由于$k_3 < 0$，当干扰源足够强时，可能会使得

$$k_1 A_1 + 0.75 k_3 A_1^3 + 1.5 k_3 A_1 A_2^2 = 0 \tag{4-21}$$

这时有用射频信号完全被干扰源所淹没，即发生了阻塞。由上式可以推得发生阻塞时，干扰源的电压幅度为

$$A_2 = \sqrt{\frac{k_1 + 0.75 k_3 A_1^2}{-1.5 k_3}} \tag{4-22}$$

为了抑制阻塞的发生，系统常常对相连信道抑制率有较高的要求。从系统给出的相连信道抑制率和可以接收的最大、最小信号功率，可以导出对系统1dB压缩点的另一个要求。从式4-22和式4-20可知

$$-\frac{k_1}{1.5 k_3} = A_2^2 + 0.5 A_1^2 \approx 4.6 {A_{1dB}}^2 \tag{4-23}$$

从系统方面来说，一般要求当相邻信道出现最大功率信号时不阻塞本信道的最小功率信号，则由式4-23可得

$$\mathrm{IP}_{1dB} = P_{max} + P_{min} - T - 9.6\mathrm{dB} \tag{4-24}$$

其中，T为系统规定的相邻信道抑制率，P_{max}为最大输入信号功率。实际上，上式成立时，接收机可能已经发生阻塞，故设计时应将上式推出的1dB压缩点提高几个dB。从最大输入信号功率推出的1dB压缩点和从相邻信道抑制率推出的1dB压缩点可能不一致，设计中应取它们中的最大值。

此外，非线性还会使信号通过射频电路系统后出现交调项，这些交调项出现在有用信号频带周围，选频网络不能过滤这些干扰信号，从而直接影响有用信号的质量。假设两个幅度相同、频率相差为$\Delta\omega$的两个信号$A\cos\omega t + A\cos(\omega + \Delta\omega)t$通过非线性系统，则系统输出的基频项为

$$(k_1 A + 2.25 k_3 A^3)(\cos\omega t + \cos(\omega + \Delta\omega)t) \tag{4-25}$$

同前面分析的一样，基频项受到三阶非线性的影响。

二阶交调项为

$$(k_2 A^2)(\cos(2\omega + \Delta\omega)t + \cos\Delta\omega t) \tag{4-26}$$

当$\Delta\omega$很小时，和频成分会被接收机系统中的选频网络所滤除，而差频成分会使得系统输出中出现频率很低的成分。由于零中频结构的接收机对低频干扰很敏感，故这种结构的接收机会受到二阶交调的影响。二阶交调点就用来描述接收机系统受二阶交调的影响程度，它是理想一阶输出曲线和理想二阶输出曲线的交点，如图4.2(b)所示。令差频项的幅度$|k_2 A^2|$和基频项的幅度$|k_1 A|$相等，可以得到接收机系统的输入二阶交调点对应的信号幅度为

$$A = \sqrt{|\frac{k_1}{k_2}|} \tag{4-27}$$

输入二阶交调点为

$$\mathrm{IIP}_2 = \frac{1}{2}(\frac{k_1}{k_3})^2 \frac{1}{R_S} \tag{4-28}$$

其中，R_S为接收机系统输入阻抗的实部。

三阶交调项为

$$(0.75 k_3 A^3)(\cos(3\omega + 2\Delta\omega)t + \cos(\omega + 2\Delta\omega)t + \cos(3\omega + \Delta\omega)t + \cos(\omega - \Delta\omega)t) \tag{4-29}$$

由于选频网络的作用，仅位于信号频率周围的$\cos(\omega + 2\Delta\omega)t$项和$\cos(\omega - \Delta\omega)t$项会干扰有用信号。三阶交调点就用来描述系统受三阶交调的影响程度，它是理想一阶输出曲线和理想三阶输出曲线的交点，如图4.2(c)所示。令干扰项的幅度$|0.75 k_3 A^3|$和基频项的幅度$|k_1 A|$相等，可以得到系统的输入三阶交调点对应的信号幅度为

$$A_{\mathrm{IP}_3} = \sqrt{\frac{4}{3}|\frac{k_1}{k_3}|} \tag{4-30}$$

输入三阶交调点IIP_3为

$$\mathrm{IIP}_3 = \frac{2}{3}\left|\frac{\mathrm{k}_1}{\mathrm{k}_3}\right|\frac{1}{R_\mathrm{S}} \tag{4-31}$$

其中，R_S为接收机系统输入阻抗的实部。按照定义可知，当输入信号功率为P_S时，折合到输入的三阶交调项功率为

$$P_{\mathrm{IM3}} = \frac{P_\mathrm{S}^3}{\mathrm{IIP}_3^2} \tag{4-32}$$

非线性系统的动态范围定义为使系统的输入三阶交调项功率小于噪声基底$\mathrm{Fk}T\Delta f$的最大输入信号功率和最小可检测的输入信号功率之比（如图4.2(d)所示），则按照上述定义，最大输入信号功率可表示为

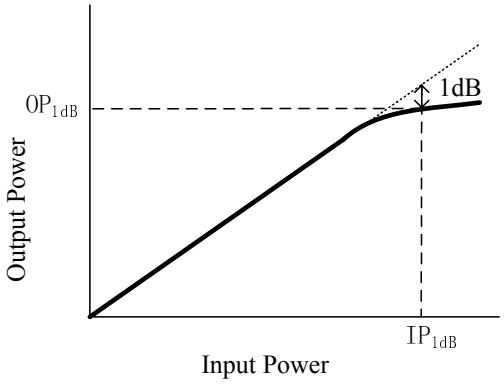
$$P_{\max} = [(\mathrm{IIP}_3)^2 \cdot \mathrm{Fk}T\Delta f]^{(1/3)} \tag{4-33}$$

则系统的动态范围为

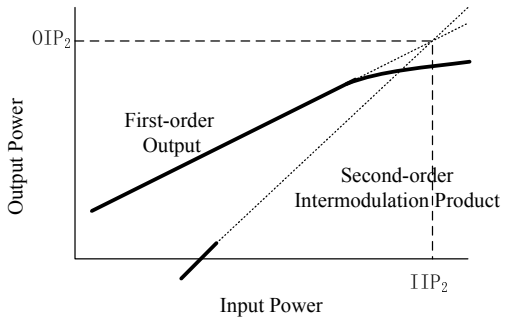
$$\mathrm{SFDR} = \frac{P_{\max}}{P_{\min}} = \frac{[(\mathrm{IIP}_3)^2 \cdot \mathrm{Fk}T\Delta f](1/3)}{\mathrm{Fk}T\Delta f \cdot \mathrm{SNR}_{\min}} = \frac{1}{\mathrm{SNR}_{\min}}\left[\frac{\mathrm{IIP}_3}{\mathrm{Fk}T\Delta f}\right]^{2/3} \tag{4-34}$$

其中，$\mathrm{SNR}_{\min}$为系统的最小输入信噪比。当已知系统的最大、最小输入信号功率和最小输入信噪比时，可以推得系统的输入三阶交调点应为

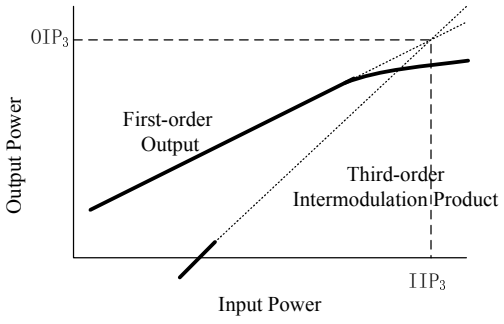
$$\mathrm{IIP}_3 = (\mathrm{SFDR}\cdot\mathrm{SNR}_{\min})^{3/2}\cdot(\mathrm{Fk}T\Delta f) = (\frac{P_{\max}}{P_{\min}}\cdot\mathrm{SNR}_{\min})^{3/2}\cdot\frac{P_{\min}}{\mathrm{SNR}_{\min}} = P_{\max}^{3/2}\cdot P_{\min}^{-1/2}\cdot\mathrm{SNR}_{\min}^{1/2} \tag{4-35}$$



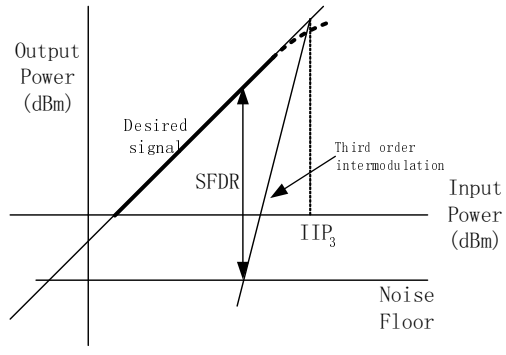
(a) 1dB压缩点



(b) 二阶交调点



(c) 三阶压缩点



(d) 动态范围

图 4-2 非线性

§4.1.4 系统设计

对于由多级子系统级联组成的系统，如何分配每一级子系统的增益，是进行系统设计时要考虑的一个重要因素。因为整个系统的噪声系数和非线性性能除了与每个子系统的噪声系数和非线性性能相关外，还与整个系统的增益分配有密切的关系。

从噪声系数的定义出发，可以很容易地证明：对于由多级子系统级联组成的系统，若假设其各个子系统以前一级子系统为输入噪声源时的噪声因子为$\mathrm{F}_i(i=1,2,\cdots,n)$，可获得功率增益为$G_{\mathrm{a}i}(i=1,2,\cdots,n)$，则整个系统的噪声因子为

$$\mathrm{F}=\mathrm{F}_1+\frac{\mathrm{F}_2-1}{G_{\mathrm{a}1}}+\frac{\mathrm{F}_3-1}{G_{\mathrm{a}2}G_{\mathrm{a}1}}+\cdots \tag{4-36}$$

由上式可以看出，第一级子系统的噪声性能和功率增益对整个系统的噪声性能有着极大的影响。从提高系统灵敏度的角度来讲，要求第一级子系统具有尽量低的噪声因子，尽量高的可获得功率增益。

对于系统的线性度有下述的结论：对于由多级子系统级联而组成的系统，若假设每个子系统的输入三阶交调点为$\mathrm{IIP}_{3i}(i=1,2,\cdots,n)$，每个子系统的可获得功率增益为$G_{ai}(i=1,2,\cdots,n)$，则可将整个系统的输入三阶交调点近似表示为

$$\frac{1}{\mathrm{IIP}_3}\approx\frac{1}{\mathrm{IIP}_{31}}+\frac{G_{\mathrm{a}1}}{\mathrm{IIP}_{32}}+\frac{G_{\mathrm{a}1}G_{\mathrm{a}2}}{\mathrm{IIP}_{33}}+\cdots \tag{4-37}$$

将上式用输出三阶交调点来表示

$$\frac{1}{\mathrm{OIP}_3}\approx\frac{1}{\mathrm{OIP}_{3n}}+\frac{1}{G_{\mathrm{a}n}\mathrm{OIP}_{3(n-1)}}+\frac{1}{G_{\mathrm{a}n}G_{\mathrm{a}(n-1)}\mathrm{OIP}_{3(n-2)}}+\cdots \tag{4-38}$$

其中，$\mathrm{OIP}_{3i}(i=1,2,\cdots,n)$为第$i$级子系统的输出三阶交调点。从上式可以看出，最后一级子系统的非线性性能和功率增益对整个系统的线性度的影响最大。从降低系统非线性的角度来说，要求最后一级子系统具有尽量高的线性度，尽量高的可获得功率增益。

从以上讨论可以知道，当第一级子系统有足够高的增益时，可以提高整个系统的灵敏度；而当最后一级子系统有足够高的增益时，可以提高整个系统的线性度，在总增益一定的情况下，灵敏度和线性度之间存在一定的权衡。在对系统的灵敏度要求很高的应用中，可以在保证系统达到要求的线性度的前提下，按减少整个系统的噪声系数原则来分配各级子系统的增益（前面各级子系统具有尽可能高的增益）；在对系统的线性度要求很高的应用中，可以在保证系统达到要求的灵敏度的前提下，按增加整个系统的线性度原则来分配各级子系统的增益（后面各级子系统具有尽可能高的增益）；另外一种分配方法是按照最大化整个系统的动态范围来分配各级子系统的增益，这种增益分配方法比较复杂，实际中也较少用到，此处不再对它进行讨论，有兴趣的读者请参看本章后面给出的文献。

§4.2 射频电路仿真算法及商用仿真软件介绍

射频电路仿真是射频电路设计中一个很重要的步骤，它可以在流水前验证射频电路的性能。由于射频电路具有一系列与低频电路不同的特点，普通的电路模拟器SPICE已经不能满足射频电路仿真的要求，必须开发新的仿真工具。本节首先介绍了SPICE模拟器应用于射频领域所遇到的限制，然后讨论射频电路仿真算法，最后简单介绍了目前最常用的射频电路仿真工具。

§4.2.1 SPICE模拟器应用于射频领域所遇到的限制

SPICE模拟器是模拟集成电路设计中最常用的设计工具之一，它能够进行直流分析、交流小信号分析和瞬态分析。但SPICE模拟器应用于射频领域会遇到很多限制。

噪声对射频系统的性能具有很重要的影响。SPICE模拟器虽然可以进行噪声分析，但它的噪声分析是建立在对非线性电路在直流工作点进行线性化处理的基础上的，由于混频器和振荡器存在频率转换操作，传统的SPICE模拟器不能分析它们的噪声性能。尽管通过一些处理，SPICE还

是可以分析混频器和振荡器的噪声性能，但这些处理是很繁琐的，而且由于计算机数值精度的限制还可能引入数值噪声。另外，SPICE模拟器不能用来分析高Q电路的噪声性能。

线性度是衡量射频系统性能的另一个重要指标。用SPICE来分析射频电路的线性度时，必须先对射频电路进行瞬态分析，然后对模拟得到的时域波形进行离散傅立叶变换（DFT），得到基频和各次谐波的幅度和相位值，从而可以决定该电路的线性度。在这个过程中，以下几个因素是必须考虑的：（1）在进行傅立叶变换之前，电路必须工作于周期性稳态，这可能需要消耗大量的计算机资源；（2）为了避免数值噪声的影响，对允许的计算误差要求很高，这也会消耗大量的计算机资源；（3）离散傅立叶变换会引入插值和混叠误差。所以当用SPICE模拟器来分析射频电路的非线性时，其计算量是很大的，而且结果的准确度还会受到各种主观和客观因素的影响。但当非线性程度很低时，可以使用Volterra系列方法来计算三阶交调积（IM3），其准确度只与器件模型直接相关。

SPICE模拟器应用于射频领域的另一个问题是它只支持传输线一种分布式元件。由于现在的射频电路广泛应用各种分布式元件，SPICE模拟器的这一限制使其应用受到影响。

§4.2.2 射频电路仿真算法

由于射频电路仿真具有很重要的意义，许多研究者对这一问题进行了研究，提出了各种专用于射频电路的仿真算法，主要可以分为：时域方法、谐波平衡方法、时域-频域方法、包络方法和线性时变方法等。

时域方法采用牛顿过冲（Newton shooting）算法来求解电路的周期性稳态，它需要进行大量的矩阵操作，对电路的规模有所限制。用时域方法来计算电路的线性度时，必须选定合适的误差容忍度和谐波算法才能得到比较准确的结果。时域方法要求所有信号的频率都是某一共同频率的整数倍，因此不能用来模拟混频器的性能。

谐波平衡方法将各信号用傅立叶级数展开，其系数表示了设计中关注的谐波和交调积的特性。通过求解有关傅立叶系数的非线性代数方程来得到电路的解。谐波平衡方法的计算量与电路工作频率无关，它很容易处理与频率相关的分布式元件，并且可以很有效的进行参数扫描。但是，它只能处理具有良好线性度的电路或者输入信号很弱的非线性电路。

时域-频域方法组合了时域方法在处理强非线性电路和频域方法在处理弱非线性电路上的优点，在处理多谐电路上具有很优异的性能。主要用来仿真各种混频器电路和开关电容电路。

包络方法可以仿真载波调制信号的行为，它首先对包络进行瞬态分析（瞬态分析的步长与载波信号的频率无关），在每一个瞬态步上，使用谐波平衡或者时域方法来求解稳态解。这类算法主要用来分析自动增益控制环路的稳定性、锁相环和DC-DC变换器的瞬态响应等。

线性时变方法首先用谐波平衡或者时域方法求解出电路的大信号响应，然后在每一个周期性工作点上将电路进行线性化，得到线性周期性时变电路，再将小信号加到线性时变电路上，从而可以求得电路的完全响应。这类方法可以进行频率转换电路的大信号响应分析、阻抗分析、稳定性分析和噪声分析等。

§4.2.3 射频电路仿真工具

现在已经有很多射频电路仿真工具，在本节仅对最常用的两种工具：ADS和SpectreRF进行简单介绍。

ADS是Agilent公司推出的一种功能强大的射频仿真软件，目前的最新版本为ADS2005A。它将面向不同应用（数字信号处理和射频）的两类仿真集成在一块，可以进行整个收发机系统的仿真；它还支持系统级的行为仿真，通过调用各个子模块的行为模型可以快速模拟整个无线收发机系统的性能。在射频电路仿真方面，它主要采用谐波平衡方法，通过快速、有效的矩阵算法来求解电路的准周期稳态响应。它还可以进行混频器噪声分析、大信号S参数分析和振荡器分析。另外，ADS还可以用包络方法来分析锁相环的瞬态响应、振荡器起振特性、放大器谐波随时间的变

化等特性。ADS还提供了各种设计范例，使初学者能够很容易的仿真自己的电路。应用ADS进行射频集成电路设计所遇到的主要问题是芯片制造厂家可能没有提供各种器件的ADS模型，以及在前端仿真与采用其它工具进行后端版图设计和印证时遇到的数据类型转换问题。

SpectreRF是Cadence公司专为射频电路开发的一类仿真软件，它在Spectre基础上增加了各种周期性分析，能够直接仿真射频电路的性能。它使用时域方法来求解电路的周期性稳态响应，可以有效的处理强非线性电路。它只能仿真传输线一种分布式元件，不能处理用S参数建模的电路。它也不能处理具有多个独立大信号的混频器电路，但它通过采用周期性AC分析和时域-频域方法可以分析混频器的小信号转换增益、噪声和交调特性。与ADS相比，SpectreRF的计算速度较慢，但它与Cadence的后端版图设计和印证工具集成在一起，采用无隙衔接的接口，故没有数据类型转换问题，进行后端版图设计和印证时非常方便。

§4.3 CMOS射频集成电路实现的难点

传统的射频无线通信系统是由各种各样的分立元件组成的，这些分立元件包括电容、电感、电阻、无源滤波器以及分立电子管或者晶体管。这种通信系统体积大、价格贵、功耗高，不能满足人们对低成本、低功耗和高容量的要求，从而限制了射频无线通信系统的普及和进一步发展。随着个人通信系统的发展，人们对便携性和耐用性的要求越来越高，对降低成本的要求也越来越强烈。随着集成电路技术的不断发展，采用集成电路技术来实现集成射频系统已经成为了可能。

在硅CMOS、BiCMOS、Bipolar、砷化镓、异质结（HBT）、SiGe等众多工艺中，由于硅CMOS工艺最为成熟，成本最低，应用也最为广泛，更由于绝大多数射频收发机的基带处理部分都是用CMOS工艺实现的，为了实现单芯片的无线收发机，必须采用CMOS工艺来同时实现射频部分和基带处理部分，这使得硅CMOS射频集成电路成为了一种发展趋势。而且随着CMOS深亚微米技术的发展，现代CMOS工艺已经可以满足射频电路的要求，主要表现在：
一、晶体管栅长不断缩小，晶体管的特征频率和截止频率不断提高，使得晶体管已经可以正常工作在射频频率范围内（例如，0.18μm工艺NMOS晶体管的截止频率已经达到了30GHz左右）；
二、随着工艺的不断完善，射频电路所需要的无源元件（电阻、电容和电感，甚至包括变换器）已经可以在芯片上实现，而且它们的品质已经达到或者接近达到射频电路的要求。随着人们对集成无源器件研究的深入，这些无源器件的性能将会有更大的提高；
三、封装技术的发展，使得由于封装引起的寄生效应逐步缩小，电学性能和热学性能都有了很大的提高。 所有这些都使得硅CMOS射频集成电路成为了一种发展趋势。

但是，由于硅CMOS工艺的固有缺陷，采用硅CMOS工艺来实现射频集成电路存在很多的挑战，主要表现在以下几个方面：
一、与工作频率相比，晶体管的特征频率和截止频率不是特别高。一般说来，晶体管的工作频率应该低于晶体管截止频率的1/10，对于0.18μm的CMOS工艺，其截止频率约为30GHz，则其工作频率应该低于3GHz，但一些射频应用都已经超出了这个频率范围。当然，随着深亚微米技术的发展，晶体管的特征线宽不断缩小，晶体管的特征频率和截止频率不断提高，这方面的限制会放松。
二、缺乏准确的射频晶体管模型。当晶体管工作于射频条件下时，寄生效应会极大地影响晶体管的性能，这时晶体管的性能与普通晶体管模型已经不相符了，必须使用射频模型。由于寄生效应与工艺和版图直接相关，这类模型一般依赖于芯片制造厂家提供。但目前很多芯片制造厂家并不提供这类模型，即使少数厂家提供了晶体管的射频模型，这些模型也都是对实际生产出的有限个元件测试所得S参数进行拟合得到的。由于拟合元件数量有限，这些模型只具有有限的准确度。另外，由于S参数测试只针对两端口网络，对于MOS晶体管等多端口器件，一般将其简化为两端口网络。比如，射频电路最常用的NMOS管射频模型，就只是对栅极和漏极进行两端口S参数测试，然后对测试结果进行拟合得到的，测试过程中，晶体管的源端和体端都连接到地。在实际电路中，很多NMOS晶体管的源端和体端并不接地，而很有可能接到随时间变化的交流信号上，这样就使得模型描述的晶体管行为与晶体管的实际行为并不一致，造成仿真结果和测试结果存在偏

差，特别是其源极是一个LC谐振回路的时候，这种偏差将更加明显。
三、相比于其它工艺，MOS晶体管的$\frac{1}{f}$噪声对电路的影响加大，而且由于测试的困难，厂家很难给出准确的射频噪声模型。
四、缺乏高质量的无源器件和准确的无源器件模型。由于衬底损耗的影响，使得集成无源元件（特别是电感）的品质因子都很低，对于某些要求较高的应用，采用集成无源元件很难满足系统要求。而且，芯片制造厂家也很少给出（或仅给出少数）准确的无源元件模型，从而给芯片设计带来困难。
五、衬底损耗问题。CMOS工艺的衬底不是理想的地平面，一般将其等效为一个电阻性网络，它通过电容性耦合给集成电路各元件及连线带来损耗。特别是在深亚微米技术下，衬底都采用外延性衬底，衬底损耗将更加严重。
六、衬底噪声耦合问题。在CMOS工艺中，各个元器件都共用同一个衬底。由于衬底不是理想的地平面，使得各个模块之间会通过衬底互相干扰，特别是数字部分对模拟、射频部分的影响尤其严重。由于CMOS工艺没有提供很好的隔离措施，使得采用CMOS工艺来实现集成无线收发机存在很大的挑战。
七、ESD问题。我们知道，集成电路的输入、输出端都应该有ESD保护电路，以保护内部核心电路不受静电的影响。在正常工作条件下，ESD保护电路都不工作，不会影响低频电路的性能。但当工作频率提高时，由于寄生效应的影响，这些ESD电路所引入的寄生效应会直接影响射频电路的性能。如何设计一个能很好防护静电而又不会影响射频电路性能的ESD电路，也是CMOS射频集成电路设计所面对的一个挑战。

参考文献

1 Shaeffer D K. The Design and Implementation of Low-Power CMOS Radio Receivers. Ph.D. Dissertation, Stanford University, 1998

2 Mayaram K, Lee D C, Moinian S, etc. Overview of Computer-Aided Analysis Tools for RFIC Simulation: Algorithms, Features, and Limitations. IEEE Proceedings of the Custom Integrated Circuits Conference, 1997: 505 512

3 Mayaram K, Lee D C, Moinian S, etc. Computer-Aided Circuit Analysis Tools for RFIC Simulation: Algorithms, Features, and Limitations. IEEE Transactions on Circuits and Systems-II: Analog and Digital Signal Processing, 2000, 47(4): 274～286

4 Qiuting Huang, ect. The Impact of Scaling Down to Deep Submicron on CMOS RF Circuits. IEEE J. of Solid-State Circuits, 1998, 33(7): 1023～1036

5 Hiroshi Iwai. CMOS Technology-Year 2010 and Beyond. IEEE J. of Solid-State Circuits, 1999, 34(3): 357～366

6 Razavi Behzad. CMOS Technology Characterization for Analog and RF Design. IEEE J. of Solid-State Circuits. 1999, 34(3): 268～276

习题

1. 试推导非线性系统的输入1dB压缩点、输入三阶交调点和输入二阶交调点之间的关系（不考虑阻塞信号的影响）。

2. 从噪声因子的定义出发，证明式4-36。

3. 从三阶交调点的定义出发，证明式4-37和式4-38。

4. IEEE 802.11b无线局域网标准规定，当采用数据率为11Mbps的CCK调制方式时，接收机的误帧率（FER）应该小于8×10^{-2}，。在保证这样的误帧率的情况下，接收机的最小输入信号功率为-76dBm，最大输入信号功率为-10dBm。若假设接收机的输入信噪比（SNR_{min}）为10dB就能满足服务质量的要求，试计算满足该标准要求的无线接收机的噪声系数、输入1dB压缩点和输入三阶交调点。

第五章　集成无源元件

与数字集成电路和低频模拟集成电路不同，射频集成电路广泛使用无源元件，某些调谐电路还会用到有容抗管。理解集成无源元件的基本特性，对于设计射频集成电路来说是非常重要的。在集成电路中，无源元件与电路的其它器件集成在同一个芯片上。由于受到工艺的限制，集成无源元件的性能远低于分立元件，而且对射频集成电路来说，电路性能在很大程度上受限于无源元件。因此在工艺允许的情况下，通过尺寸或者版图设计尽可能地提高集成无源元件的性能，对于射频集成电路来说具有特别重要的意义。在本章，我们将分析射频集成电路中常用集成无源元件（电阻、电容、电感和变压器）的基本特性，并讨论如何给它们建立SPICE模型。我们还将讨论片上集成电感的优化问题。

§5.1　电阻

电阻是一类非常常见的无源元件，在集成电路中得到广泛应用。它的阻值可以粗略估计为

$$R = R_{\square}\frac{L}{W} \tag{5-1}$$

其中，$R_{\square}$为电阻条的方块电阻，L、W为电阻条的长度和宽度，它们的比值称为该电阻条的方数。式5-1仅是对电阻条实际阻值的一个粗略估计。由于电阻条存在引出端，长电阻条存在拐角，扩散区电阻还存在横向扩散，因此要根据实际情况对式5-1 给出的阻值进行修正。

一、端头修正

因为在端头处电力线会发生弯曲，而且从引线孔流入的电流，绝大部分是从引线孔正对着电阻条的一边流入，因此要对式5-1给出的阻值进行修正，称为端头修正，并引入端头修正因子k_1表示整个端头对电阻总方数的贡献。根据电阻条的宽度和端头形状，k_1在0 到0.9之间取值。

二、拐角修正

某些电阻的阻值很大，在设计版图时，需要将它们设计成如图5-1所示的折叠形式，这时拐角处的电力线是不均匀的，需要引入拐角修正因子k_2对式5-1给出的阻值进行修正。对于如图5-1所示的直角弯头，每个拐角对总电阻方数的贡献约为0.5，即$k_2 = 0.5$。

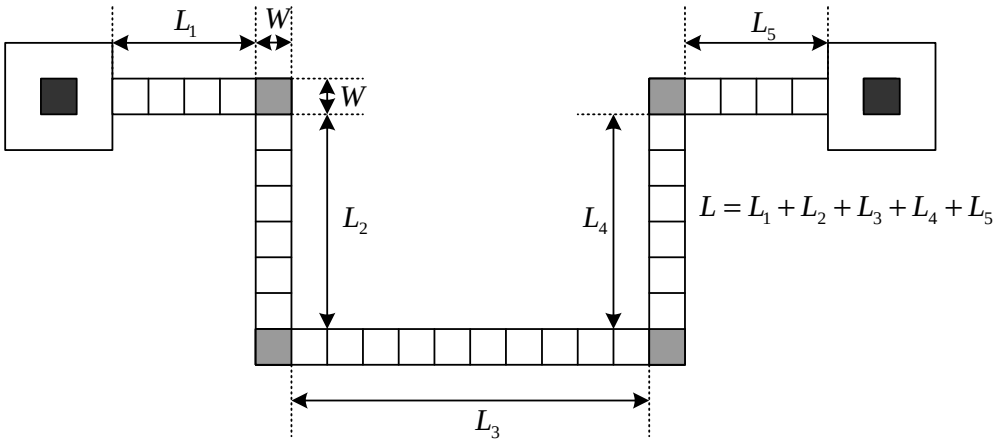


图 5-1　有拐角的电阻

三、横向扩散修正

对于扩散区电阻来说，由于存在横向扩散，电阻条的有效宽度与版图设计时的宽度是不一样的，需要引入横向扩散修正因子m对式5-1进行修正。修正后的电阻条有效宽度为

$$W_{\text{eff}} = W + \text{m} \cdot x_{\text{jc}} \tag{5-2}$$

其中，x_{jc}为扩散区的结度。端头修正因子m的取值一般约为0.55。

考虑到以上修正因素后，集成扩散区型电阻条阻值的计算公式为

$$R \approx R_{\square}\left(\frac{L}{W+\mathrm{m}\cdot x_{\mathrm{jc}}}+2\mathrm{k}_1+n\mathrm{k}_2\right) \tag{5-3}$$

其中，n为拐角的数目。非扩散区型电阻条阻值的计算公式为

$$R \approx R_{\square}\left(\frac{L}{W}+2\mathrm{k}_1+n\mathrm{k}_2\right) \tag{5-4}$$

两者之间的差别在于非扩散区型电阻条不会发生横向扩散，因此不需进行横向扩散修正。

在CMOS工艺中，常见的集成电阻条类型包括多晶硅电阻、扩散区电阻、阱电阻和互连线电阻，它们的特点总结于表5-1中。

表 5-1 常见的集成电阻条类型

电阻类型	方块电阻	阻值范围	电阻精度	温度系数	寄生效应
硅化多晶电阻	(5～10)Ω/□	低阻值电阻	35%	1000ppm/°C	寄生电容小，电压系数低
非硅化多晶电阻	(50～500)Ω/□	中等阻值电阻	50%	1000ppm/°C	寄生电容小，电压系数低
硅化扩散区电阻	(5～20)Ω/□	低阻值电阻	(10～20)%	(500～1000)ppm/°C	寄生电容大，电压系数大，PN结可能正偏
非硅化扩散区电阻	(50～500)Ω/□	中等阻值电阻		1000ppm/°C	寄生电容大，电压系数大，PN结可能正偏
阱电阻	(1～10)kΩ/□	高阻值电阻	(50～80)%	(3000～5000)ppm/°C	寄生电容大，电压系数大，PN结可能正偏
互连线电阻	(20～100)mΩ/□	极低阻值电阻		3900ppm/°C (Al)	寄生电容小，电压系数低

除此之外，工作于线性区的MOS晶体管也可以作为一个电阻。在一阶近似下，工作于线性区的长沟MOS晶体管的沟道电阻为

$$r_{\mathrm{ds}} \approx \left[\mu C_{\mathrm{ox}} \frac{W}{L}[(V_{\mathrm{GS}} - V_{\mathrm{T}}) - V_{\mathrm{DS}}]\right]^{-1} \tag{5-5}$$

其中，μ为载流子迁移率，C_{ox}为单位面积栅氧化层电容，W、L分别为晶体管的沟道长度和沟道宽度，V_{GS}、V_{DS} 分别为晶体管的栅源电压和漏源电压，V_{T}为晶体管的阈值电压。MOS晶体管作电阻具有两个优点：第一，单位面积电阻的阻值很高，实现大电阻可以节省芯片面积；第二，电阻阻值可以由V_{GS}来控制，某些电路利用这种特性可以实现自动增益控制。但从式5-5 可以看出，这种电阻与V_{DS}、V_{GS}都有关系，是一类非线性电阻；这种电阻还会受到载流子迁移率和晶体管阈值电压的影响，因此电阻精度很低，温度系数也高。这些缺点使得MOS管作电阻的应用受到限制，但采用某些电路设计技术（如线性化技术、片上自校准技术等）后，这种类型电阻的性能可以得到大幅度提高。

§5.2 电容

电容是另一类常见的无源元件，在CMOS工艺中，常见的电容类型包括pn结电容、MOS电容、MIM电容、多晶硅电容和互连线电容等。

pn结电容完全和标准数字CMOS工艺兼容，它可由n型有源区和p型衬底、p型有源区和n阱、n阱和p型衬底构成。pn结电容的电容量会随外加电压的变化而变化。当pn结反偏时，电容量可用下式表示

$$C_{\mathrm{j}} \approx \frac{C_{\mathrm{j0}}}{(1 - V_{\mathrm{F}}/\phi)^n} \tag{5-6}$$

其中，C_{j0}为pn结零偏时的电容量，V_{F}为pn结上的正向电压，ϕ为pn结的内建电势，n为与掺杂情况相关的参数（当pn结为突变结时，$n \approx 1/2$；当pn结为缓变结时，$n \approx 1/3$）。当pn结正偏时，pn结电容实际上是一个扩散电容，电容量约为零偏时电容量的2-3倍。

MOS电容是由金属（或者多晶硅）、氧化层和衬底构成的电容。在标准数字CMOS工艺中，MOS晶体管的栅电容即是MOS电容，故MOS电容与标准数字CMOS工艺兼容。MOS电容的单位面积电容量较大（$(1\sim5)\mathrm{fF}/\mu\mathrm{m}^2$），一般用来实现大电容量的集成电容。但MOS电容的电容量会随所加栅压的变化而变化，如图5-2所示。 当栅压由小到大变化时，MOS电容会经历积累

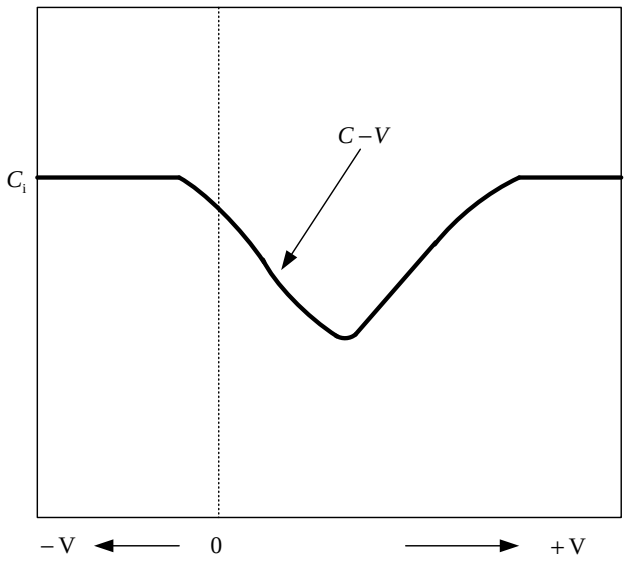


图 5-2 MOS电容的理想C-V曲线

区、耗尽区、弱反型区、中等反型区和强反型区六个工作区域。在积累区，氧化层下的衬底表面

会积累一薄层高浓度的载流子（与衬底掺杂类型相同），使得MOS电容上的电压变化所导致的电荷变化主要集中于衬底表面，因此，这时的MOS电容与普通的平行板电容器具有相同的特性。若假设氧化层厚度为d_{i}，氧化层相对介电常数为ϵ_{i}，则MOS电容的电容量为

$$C_{\mathrm{i}}=\frac{\epsilon_0\epsilon_{\mathrm{i}}}{d_{\mathrm{i}}} \tag{5-7}$$

在耗尽区，MOS电容由氧化层电容C_{i}和衬底中的耗尽层电容C_{D}串联而成，即

$$\frac{1}{C}=\frac{1}{C_{\mathrm{i}}}+\frac{1}{C_{\mathrm{D}}}=\frac{d_{\mathrm{i}}}{\epsilon_{\mathrm{i}}\epsilon_0}+\left(\frac{\epsilon_{\mathrm{s}}\epsilon_0 eN_{\mathrm{A}}}{2V_{\mathrm{s}}}\right)^{-1/2} \tag{5-8}$$

其中，ϵ_{s}为衬底的相对介电常数，N_{A}为耗尽层的电荷密度，V_{s}为MOS电容的表面势，它与所加偏压有关，当外加偏压增加时，MOS电容的电容量会减小。但当外加偏压增加到一定程度后，MOS电容将进入反型区，这时电容量又将随外加偏压的升高而升高。当外加偏压大于MOS电容的阈值电压时，MOS电容进入强反型区，在氧化层下的衬底中形成一个高浓度的反型层，这时MOS电容上的电压变化所导致的电荷变化又主要集中于衬底表面，单位面积的电容量回到C_{i}。在实际应用中，一般将MOS电容偏置于强反型工作区，这时可以得到最大的电容密度。

在某些CMOS工艺中，可能还会提供MIM（Metal-Insulator-Metal）电容。这种电容实际上是一个平行板电容器，它一般由最顶层金属和插在最上面两层金属之间的特殊金属层（该金属层只能用来构成MIM电容，不能用来作互连线）构成，如图5-3所示，两金属层相隔很近，中间填充高介电常数的介质，因此MIM电容的电容密度很大，寄生效应也小，是一类性能非常优良的电容器。但由于MIM电容需要特殊工艺，与标准数字CMOS工艺并不兼容。某些CMOS工艺可能还会提供双层多晶硅，这时也可以利用双层多晶硅来形成高质量、高密度的电容器，同MIM电容一样，双层多晶硅电容也与标准数字CMOS工艺不兼容。

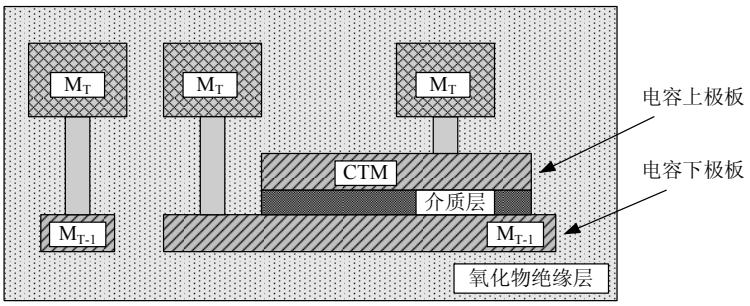


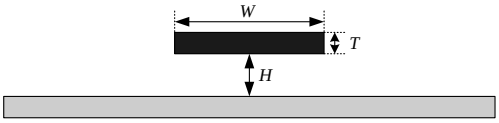
图 5-3 MIM电容的结构

另一类常被忽略的电容是互连线的寄生电容。当工作频率较低时，互连线的RC延迟对电路的性能影响很小；但当工作频率升高时，时钟周期缩短，互连线的RC延迟对电路性能的影响就开始显现出来。为了准确地估计电路的性能，就必须将互连线的RC延迟考虑进去，这时就有必要计算互连线的寄生电容。

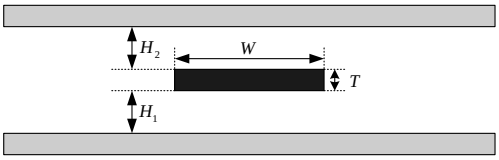
图5-4给出了计算互连线的寄生电容时可能遇到的三种结构。在第一种结构中，一个无限大的导体平面上有一根互连线（图5.4(a)）。该互连线的单位长度寄生电容量可用如下的经验公式来计算

$$C\approx\epsilon\left[\frac{W}{H}+0.77+1.06\left[\left(\frac{W}{H}\right)^{0.25}+\left(\frac{T}{H}\right)^{0.5}\right]\right] \tag{5-9}$$

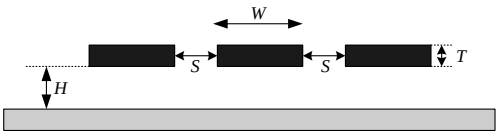
其中，ϵ为互连线和导体平面之间填充介质的介电常数，W为互连线的宽度，T为互连线的厚度，H为互连线和导体平面之间的间距。该公式的第一项是互连线与导体平面之间的平行板电容，剩下的两项则为互连线的边缘电容。该经验公式非常简单，但却具有很高的准确度（误差小于1%）。一般说来，互连线与导体平面之间的平行板电容在互连线的总寄生电容中只占一小部分（当W/H较小时，平行板电容所占的比例小于1/4；当W/H较大时，平行板所占的比例也只能达到1/2），而边缘电容则在总寄生电容中占有相当比例。由于互连线的边缘电容随W的变化比



(a) 第一种互连线结构



(b) 第二种互连线结构



(c) 第三种互连线结构

图 5-4 三种互连线结构

较平缓，而互连线的寄生电阻则随着W的增大呈比例下降，故增大互连线的宽度可以减小互连线的RC 延迟。

在第二种结构中，两个无限大的导体平面之间有一根互连线（图5.4(b)）。由于互连线边缘场的幅度没有变化，仅进行了重新分布，故这根互连线的寄生电容不是它与两个导体平面的寄生电容的简单叠加。我们可以使用下面的公式来计算这根互连线的单位长度寄生电容

$$C \approx \epsilon \left[W\left(\frac{1}{H_1}+\frac{1}{H_2}\right) + 0.77 + 0.891 \left[\left(\frac{W}{H_1}+\frac{W}{H_2}\right)^{0.25} + \left[\left(\frac{T}{H_1}\right)^2 + \left(\frac{T}{H_2}\right)^2 \right]^{0.25} \right] \right] \tag{5-10}$$

其中，H_1、H_2为互连线与两个导体平面的间距。该公式可以这么理解：总寄生电容由平行板电容和边缘电容两部分组成，平行板电容是互连线与两个导体平面之间的平行板电容的简单叠加，而边缘电容则是互连线与两个导体平面之间的边缘电容的指数平均（$f(x_1,x_2)=\left[\frac{x_1^n+x_2^n}{2}\right]^{1/n}$，其中$n=4$）。

在第三种结构中，一个无限大的导体平面上有多根互连线（图5.4(c)）。中间一根互连线与两边的互连线之间都有耦合电容，考虑到这一点，可以将中间那根互连线的单位长度寄生电容表示为

$$C = C_{\text{single}} + 2C_{\text{mutual}} \tag{5-11}$$

其中

$$C_{\text{single}} \approx \epsilon \left[\frac{1.15W}{H} + 2.8\left(\frac{T}{H}\right)^{0.222} \right] \tag{5-12}$$

$$C_{\text{mutual}} \approx \epsilon \left[0.03\frac{W}{H} + 0.83\frac{T}{H} - 0.07\left(\frac{T}{H}\right)^{0.222} \right] \left[\frac{S}{H}\right]^{-1.34} \tag{5-13}$$

S为互连线之间的间距。

我们也可以利用互连线之间的寄生电容来构成高线性度的金属电容，最常用的结构是采用如图5-5所示的“夹心”电容结构，总电容是各层金属之间的平行板电容之和，最底层金属与衬底之间的电容C_1是金属电容的寄生效应。这种电容具有很高的线性度，在需要高线性度、小电容量的电容时，可以考虑使用这种电容。

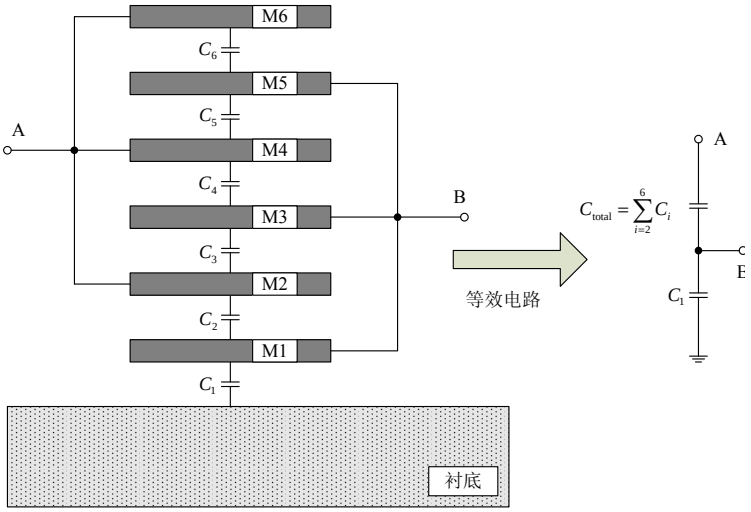
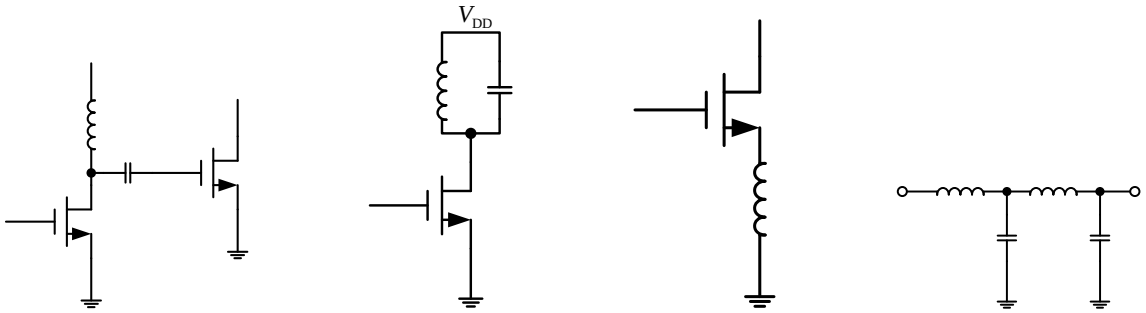


图 5-5 “夹心”金属电容

从前面的讨论可以看出，pn结电容和MOS电容的电容量都会随着外加偏压的变化而变化，它们的这种特性可以用于可调谐电路中来改变电路的谐振状态，这时这类器件被称为容抗管。由于容抗管在射频集成电路中应用很广，在后面我们将进行详细讨论。

§5.3 电感

在射频集成电路中，电感是一种很重要的无源元件，图5-6给出了电感的典型应用。图5.6(a)中电感和电容一起组成窄带阻抗匹配网络，将第二级放大器的输入阻抗变换到与第一级放大器的输出阻抗匹配，这类匹配网络可以应用于低噪声放大器、功率放大器、混频器等需要阻抗匹配的电路中；图5.6(b)中电感和电容一起形成谐振网络，给共源放大器提供负载，与电阻负载相比，谐振负载引入的噪声小，功耗小，提供的负载量大，并且具有一定的滤波作用；图5.6(c)中电感作为串联反馈元件，与源简并电阻相比，使用源简并电感引入的噪声小，不会降低晶体管的电压摆幅，而且还可以在放大器的输入端实现阻抗匹配功能；图5.6(d)中电感和电容一起组成低通滤波器，与有源滤波器相比，无源滤波器的工作频率高，动态范围大，噪声小，功耗低。



(a) 窄带阻抗匹配　(b) 谐振负载　(c) 串联反馈　(d) 低通滤波

图 5-6 射频集成电路中电感的典型应用

射频集成电路中常用的电感可以分为两种类型：片上平面螺旋型电感和键合线电感。前者由

金属连线在硅衬底上一圈圈绕制而成，由于受到衬底损耗和金属线寄生阻抗的影响，片上平面螺旋型电感的品质因子都不高（一般小于10）；后者是利用芯片封装时的键合线来形成电感，这类电感的品质因子很高（50～100），但电感量难以精确控制。除无源电感外，还可以利用有源电路来合成等效电感，但有源电感存在噪声大、失真严重、功耗大等缺点，只能应用于某些对性能要求不高的应用中。

§5.3.1 片上平面螺旋型电感

片上平面螺旋型电感是由金属连线在硅衬底上一圈圈绕制而成的，最简单的结构如图5-7(a)所示，这是最普遍支持的版图格式；在一些支持非90度拐角的版图设计工具的支持下，也可以采用如图5-7(b)所示的正八边形结构和如图5-7(c)所示的正六边形结构；图5-7(d) 给出了一种理想圆形电感结构，一般说来，理想圆形结构的电感具有更高的品质因子，但绝大多数的版图设计工具并不支持这种格式，只能采用正六边形、正八边形等形状来近似；为了在硅衬底上制作电感，工艺应至少能够提供双层金属走线，一层金属走线形成螺旋型电感（一般用最顶层金属线），另一层金属走线将中心的电感端头引到电感外，以利于与其它电路的连接。但在对电感的品质因子要求不高的情况下，也可用多晶硅层来将中心的电感端头引出。

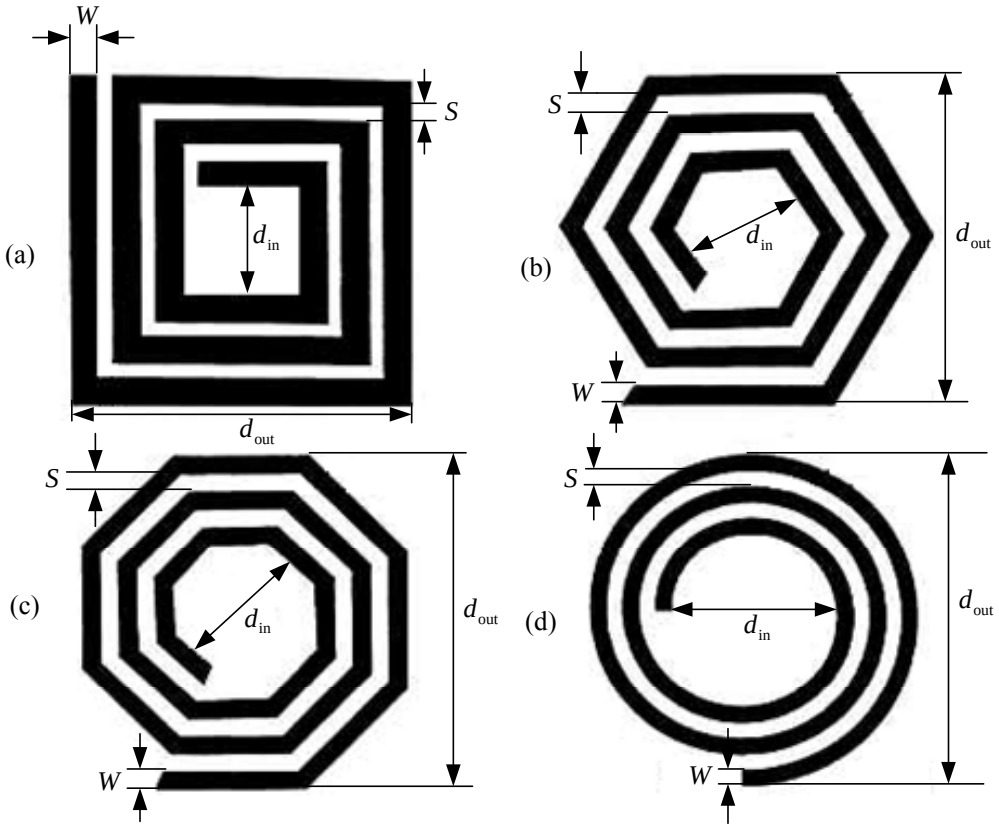


图 5-7 片上平面螺旋型电感的结构

采用标准CMOS工艺实现的片上平面螺旋型电感的品质因子都较低，一般在10以下，这是由于片上电感存在各种非理想因素引起的。这些非理想因素包括：（一）形成电感的金属线有限的电导率引起的损耗，高频时由于趋肤效应和其它的磁场效应而使得这种损耗更加严重；（二）高频时非绝缘的衬底和电感之间的电磁场相互作用引起的损耗。在现在的标准CMOS工艺中，衬底的电阻率一般都很低，衬底损耗将成为限制片上电感质量的主要因素；（三）金属层和衬底之间存在寄生电容，形成电感的金属线之间也有边缘电容，这些电容限制了片上电感的自谐振频率。

为了克服或者减少这些非理想因素的影响，在工艺上可以采用各种各样的办法。例如，为

了减少金属线的损耗，可以加大金属线的厚度或者使用电阻率更低的铜导线；为了减少衬底的影响，可以加大电感与衬底之间的氧化层的厚度、采用轻掺杂衬底或者使用绝缘衬底（SOI工艺或者单独将电感下的衬底掏空并填充绝缘材料）。这些工艺都与标准CMOS工艺不兼容，会使得成本增加。更好的办法是在标准CMOS工艺的支持下，通过对片上电感进行优化来提高电感的质量，例如，采用串并联多层金属来制作电感以减少金属线的损耗；采用最顶层金属线来制作电感以减少衬底损耗；在电感下使用最底层金属或者多晶硅制作的如图5-8所示的接地隔离层来将电感和衬底隔离，减小衬底损耗（采用图5-8所示隔离层模式可以避免隔离层中出现涡流损耗）；还可以通过一定的几何尺寸优化来提高电感的质量，这些在下文中将有更进一步的论述。

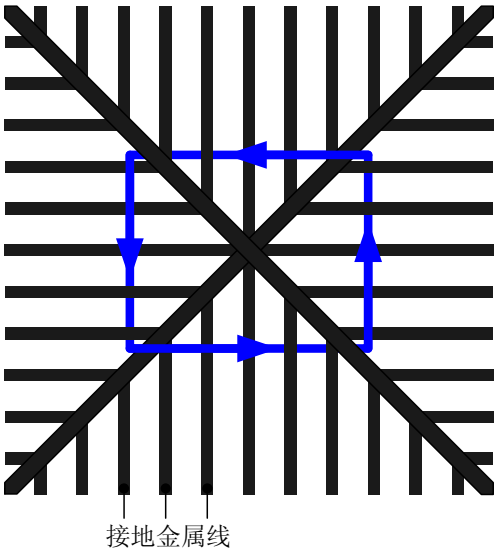


图 5-8 接地隔离层

在对电感的各种损耗机制有了比较深入的理解后，人们提出了电感的SPICE模型。图5-9给出了最广泛使用的一种电感模型，该模型由三个子网络组成（即图5-9中所示的三个虚线框），以Y参数分别表示为Y_{L}、Y_{SUBin}和Y_{SUBout}。在图中，C_{OXin}和C_{OXout}代表了电感的金属线与衬底之间的氧化层电容，C_{SUBin}和C_{SUBout}代表了电感的金属线与衬底之间的耦合电容，R_{SUBin}和R_{SUBout}代表了电感和衬底之间的电场耦合所引入的损耗。L代表了该电感的电感量，C_{P} 是电感的两层金属线交叉时形成的氧化层电容，R_{S}代表了金属线有限的电导率所引入的损耗，R_{eddy}代表了衬底所引入的损耗。

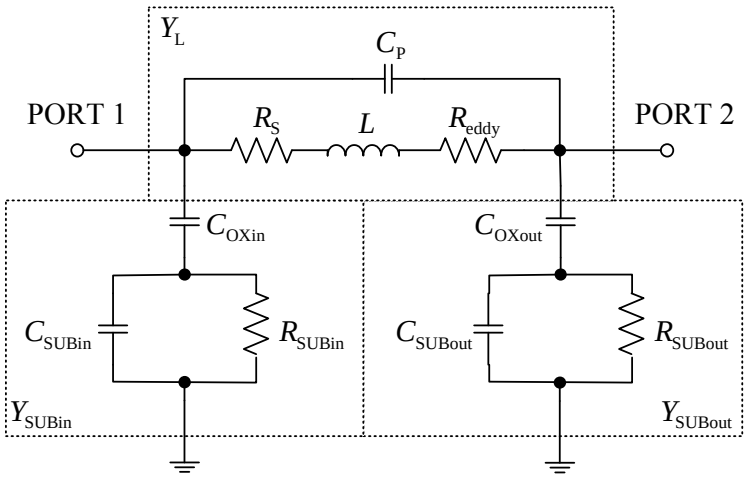
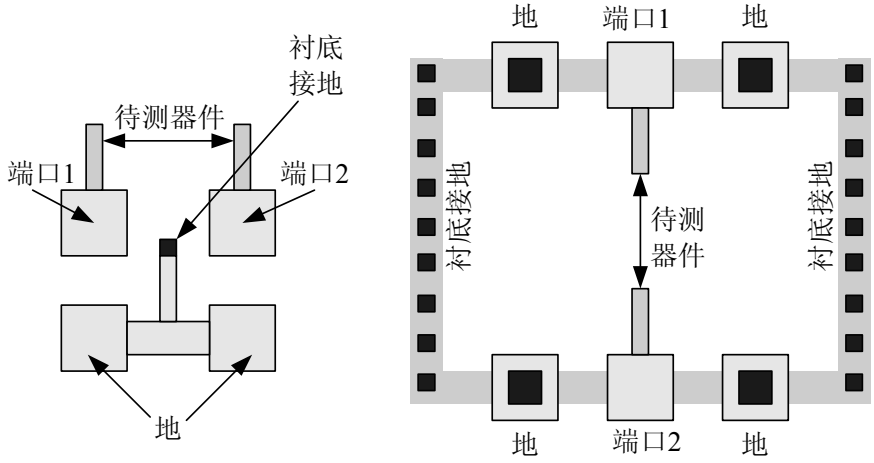


图 5-9 片上平面螺旋型电感模型

目前有三种方法可以得到模型中各种参数的数值，一种方法是从实际测量结果中提取，这种方法要求先制作出电感，经过测量和参数提取过程后才能得到所需要的数值；另一种方法是利用电磁场模拟软件对片上电感进行电磁场分析，这种方法不需要实际制作出电感，但是这些模拟软件的运算量很大，需要耗费大量的运算资源；第三种方法是使用分析化方法，该方法便于快速的手工设计，在对实验结果大量总结的基础上，人们给出了各个参数的解析表达式，尽管这些表达式是粗略的，但是他们在一定程度上反应了电感的实际行为，应用这些表达式，可以在芯片流水或者进行电磁场分析前对电感进行优化，在较短的时间内得到性能很好的在片电感。

应用第一种方法时，一般先制作出实际电感，然后对电感进行测量，得到S参数。这些S参数都包括了焊盘的影响，为了提取模型参数，应该将焊盘的影响去掉，这就是器件校准问题。实际测量中可以使用两种校准结构，如图5-10所示，其中G-S-G结构是最常用的校准结构，这是由于衬底接地隔离有效地减少了输出和输入焊盘之间的衬底耦合。 参数提取的第一步是从没接电感的



（a）S-G结构　　（b）G-S-G结构

图 5-10 焊盘的校准结构

焊盘测量出焊盘本身的S参数，再测出含电感的焊盘的S参数，然后将两个S参数都变换成导纳参数，并从含电感的那次测量结果中去掉焊盘本身的贡献，得到电感的本征导纳参数Y，则有

$$Y_{\mathrm{L}} = -Y_{12} \tag{5-14}$$

$$Y_{\mathrm{SUBin}} = Y_{11} = Y_{12} \tag{5-15}$$

$$Y_{\mathrm{SUBout}} = Y_{22} + Y_{12} \tag{5-16}$$

最后利用拟合程序得到电感模型中的各种参数。这种方法得到的模型参数只适用于特定的电感，当电感的几何参数改变时，必须重新进行流片制作、测试和参数提取。这种方法所得到的模型参数最准确，但所花代价也最大。

随着计算机技术和EDA软件技术的发展，应用电磁场模拟软件对片上电感进行电磁场分析，从而确定电感的模型参数得到了越来越多的应用。这种方法不需要实际制作出电感，仅需进行电磁场分析就可得到具有很高精度的模型参数，但由于电磁场分析要求解Maxwell方程，需要进行大量的计算，会耗费大量的计算机资源，而且，电磁场分析也是针对特定电感进行的，一般不能对电感进行优化（即使某些软件提供优化工具，这类工具也仅是计算各种不同参数的电感，然后从结果中挑一个最优的结果，所需的运算量是巨大的）。现在已经有多种电磁场分析工具，其中Ansoft 公司提供的HFSS软件是比较好的一种，它可分析各种结构的电磁场分布，并可提供电感的S参数。ASITIC是由A.M. Niknejad开发的免费电磁场分析软件，可以分析电感和变换器

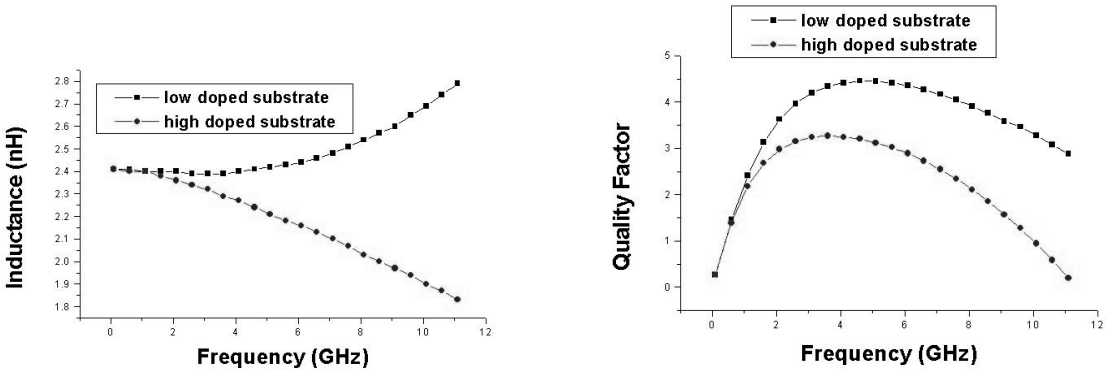
的电磁场分布，并可将结果拟合成SPICE模型输出，按照精度的要求，可以选用多个不同的算法，当然所花费的运算资源也是不一样的。为了全面的了解片上平面螺旋型电感的行为，我们用ASITIC对电感在各种条件下进行了研究，除非有特殊说明，所使用的工艺都是Philips半导体公司的标准BiCMOS工艺，其工艺参数见表5-2。

表 5-2 Philips半导体公司的标准BiCMOS工艺参数

衬底厚度	675μm	第一层（最底层）金属厚度	0.4μm
衬底电阻率	200$\Omega\cdot$cm	第一层金属表面电阻	100mΩ/□
外延层厚度	1μm	第二层金属厚度	1.0μm
外延层电阻率	0.085$\Omega\cdot$cm	第二层金属表面电阻	50mΩ/□
氧化层厚度	50μm	第三层（最顶层）金属厚度	1.27μm
		第三层金属表面电阻	33mΩ/□

1. 衬底掺杂程度对片上电感的影响 衬底对片上电感的性能有很重要的影响，它可通过三种方式引入损耗：电场耦合引入的位移电流引起的损耗、磁场耦合在衬底中引入的涡流引起的损耗和电磁场辐射引起的损耗（在射频电路中，第三种损耗一般可以忽略不计）。衬底损耗与衬底掺杂程度有很密切的关系，当衬底轻度掺杂时（衬底掺杂浓度小于10^{13}atoms/cm^3，电阻率大于10k$\Omega\cdot$cm），衬底引入的损耗很小，电感的性能主要由金属线引入的损耗决定；当衬底重掺杂时（衬底掺杂浓度大于10^{20}atoms/cm^3，电阻率小于0.001k$\Omega\cdot$cm），衬底引入的损耗将成为决定电感性能的主要因素。现代标准CMOS工艺一般采用外延型衬底，衬底电阻率很小，衬底引入的损耗限制了集成片上电感的品质因子。

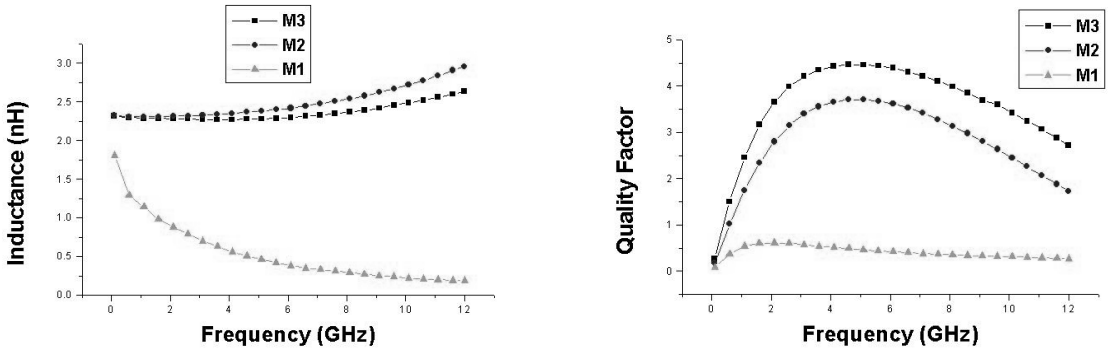
图5-11是在相同的工艺和版图条件下对两种不同电阻率衬底的模拟结果，衬底电阻率分别为0.01$\Omega\cdot$cm和20$\Omega\cdot$cm。从图中可以看出，低频时衬底掺杂程度对电感的影响很小，但当频率升高时，重掺杂的衬底对电感有很重要的影响，它不仅减小了在片电感的电感量，而且还引入很大的损耗，严重地限制了电感的品质因子。



(a) 衬底掺杂程度对电感量的影响　　(b) 衬底掺杂程度对品质因子的影响

图 5-11 衬底掺杂程度对片上电感的影响

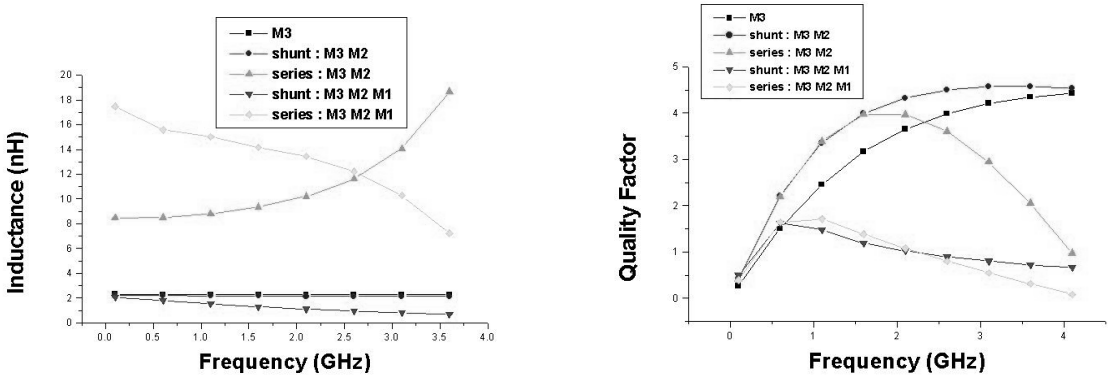
2. 不同金属层对电感的影响 随着集成电路的规模越来越大，片上元件之间的互连问题日益突出，现代的标准CMOS工艺一般都采用多层金属布线来缓解这个问题。这使得制作电感时有了更多的自由度，可以使用不同的金属层来制作电感，使用不同的金属层制成的电感在性能上有很大差别。图5-12 是在相同的工艺和版图条件下，对不同金属层制成的电感的模拟结果（M3是最顶层金属，M1是最底层金属）。从图中可以看出，使用最顶层金属来形成电感可以提高电感的品质因子。其原因有两方面：最顶层金属的电阻率相对较小，可以减少金属线本身的寄生阻抗；最顶层金属与衬底之间相隔最远，可以减少衬底与电感之间的电磁场耦合在衬底中引入的损耗。



(a) 不同金属层对电感量的影响　　(b) 不同金属层对品质因子的影响

图 5-12 不同金属层对片上电感的影响

3. 金属层串并联对电感的影响 在现代标准CMOS工艺的支持下，可以将不同金属层形成的电感相互串联或者并联来提高电感的品质因子。图5-13是在相同的工艺和版图条件下，对不同金属层相互串并联形成的电感的模拟结果。从图中可以看出，M3和M2并联时，虽然在片电感的电感量略有下降，却可以得到最高的品质因子，这是由于金属层并联相当于使金属的厚度增加，减小了电阻率。两层金属串联虽然可以增大在片电感的电感量，在低频下也可以提高电感的品质因子，但高频下出现的趋肤效应和其它磁场效应将使得电感品质因子很快下降。而使用所有金属层串并联来形成电感将严重地恶化电感的性能，这主要是由于使用最底层金属时电感与衬底之间的距离很近，它们之间的电磁场耦合将引入很大的损耗，限制了电感的性能。

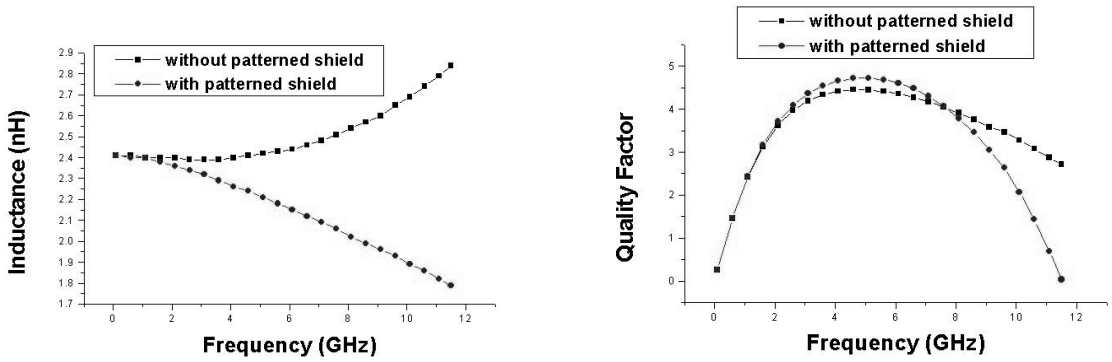


(a) 金属层串并联对电感量的影响　　(b) 金属层串并联对品质因子的影响

图 5-13 金属层串并联对片上电感的影响

4. 接地隔离层对电感的影响 在现代的标准CMOS工艺条件下，衬底引入的损耗很大，使得片上电感的品质因子很低，限制了片上电感的性能。为了在与标准工艺兼容的情况下提高片上电感的品质因子，可以使用接地隔离层，它可有效地提高电感的品质因子（尤其是在重掺杂衬底的情况下），并且对工艺不作任何特殊要求。接地隔离层一般采用最底层金属或者多晶硅，为了防止隔离层中产生镜像涡流，一般将隔离层设计成如图5-8所示的结构。图5-14是在相同的工艺和版图条件下，对使用接地隔离层和不使用接地隔离层两种情况下的模拟结果。从图中可以看出，使用隔离层虽然减少了片上电感的电感量，但是提高了电感的品质因子。由于这是在衬底中等掺杂情况下进行的模拟，所以对品质因子的改善幅度不是很大，当衬底重掺杂时，使用接地隔离层可以大幅改善片上电感的品质因子。使用接地隔离层除了会降低电感的电感量外，还会降低电感的自谐振频率，这是在使用隔离层时必须注意的问题。

5. 版图尺寸对电感的影响 为了在现代标准CMOS工艺条件下制备出高质量的电感，最常采用的



(a) 接地隔离层对电感量的影响　　(b) 接地隔离层对品质因子的影响

图 5-14 接地隔离层对片上电感的影响

方法是对电感的几何尺寸进行优化。图5-15是在相同的工艺条件下，只改变要优化的几何参数，在工作频率为1.8GHz时的模拟结果。由图5.15(a)可以看出，在中等惨杂衬底的工艺条件下，刚开始增加边长时不仅可以增加片上电感的电感量，而且可以增加电感的品质因子。但是这是以增加面积为代价的，而且品质因子的增加率在慢慢变低，可以预期，进一步增加边长时，品质因子将下降，这是由于增加面积会增加衬底损耗。一般说来，应该在保证所需电感量的前提下，使用最小边长的电感。图5.15(b)表明随着金属线宽度的增加，片上电感的电感量急剧下降，而品质因子则增加很少，这主要是由于金属线在高频下会产生趋肤效应和其它磁场效应，增加金属线的宽度只会导致金属线之间的互感减小，减小了电感量，而金属线的寄生阻抗并不会显著降低，这说明增加金属线的宽度对片上电感品质因子的改善作用是有限的，在设计中应该使用适当的金属宽度。图5.15(c)说明增加金属线之间的间距使得片上电感的电感量和品质因子都急剧地减少，故在设计中应使用工艺允许的最小间距。而图5.15(d)则说明，刚开始增加金属线的圈数时，可以很快地增加片上电感的电感量和提高电感的品质因子，但是在增加到一定量后，电感量基本不再增加，而品质因子则开始下降。这是由于磁场引起的涡流在电感中心最强，而靠近中心的金属圈由于面积小，对电感量的贡献有限，但由于涡流却会给电感引入极大的损耗，这就是在设计中普遍采用空心螺旋型电感的原因。图中品质因子曲线的折叠式起伏是由于使用非整数圈数（0.25的倍数）引起的。

通过以上模拟结果，可以总结出设计片上螺旋型电感应该遵循的准则：

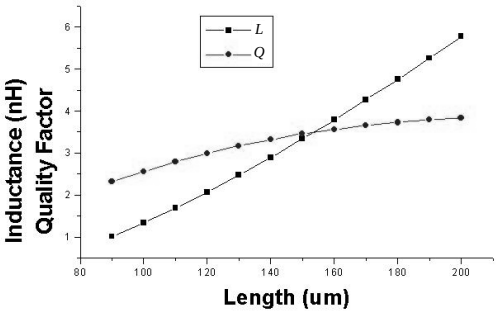
1. 限制形成电感的金属线的宽度。这是因为在一定的电感量的要求下，增加金属线的宽度将要求占用更多的芯片面积。芯片面积增加，各种损耗也就相应地增大。而且由于趋肤效应，增加金属线的宽度并不会显著地降低金属线的寄生阻抗。

2. 金属线之间保持工艺允许的最小间距。金属线之间使用最小间距可以增加两金属线之间的互感，从而增加电感量，并且缩小了占用的芯片面积，降低了各种损耗。

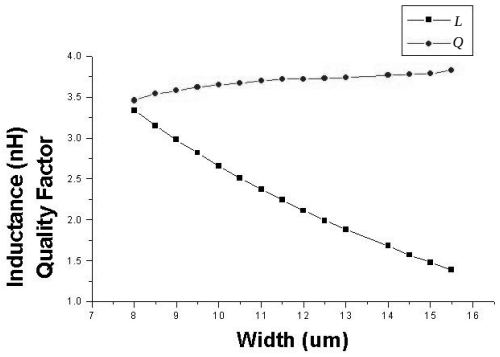
3. 使用空心螺旋型电感。由于高频时产生的涡旋电流在中心处引入很大的损耗，而靠近中心的金属线对电感的电感量贡献很少，为了获得高品质因子，就必须把中心空出来（实验表明图5-7中$d_{\text{in}} : d_{\text{out}} \approx 1:3$电感性能近似达到最优。

4. 尽可能减少电感占用的芯片面积。这是为了减少电感与衬底之间的耦合所造成的损耗。当采用重掺杂衬底时，减少面积是至关重要的。

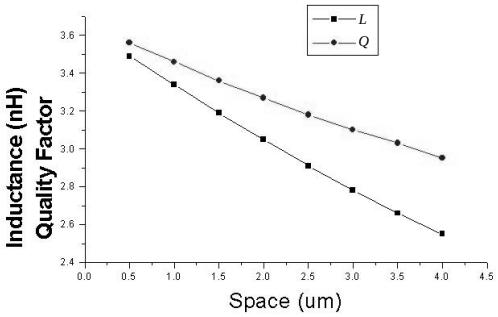
5. 使用最顶层金属来制作电感。这将加大电感和衬底之间的距离，可以减少氧化层引入的电容并降低衬底损耗。



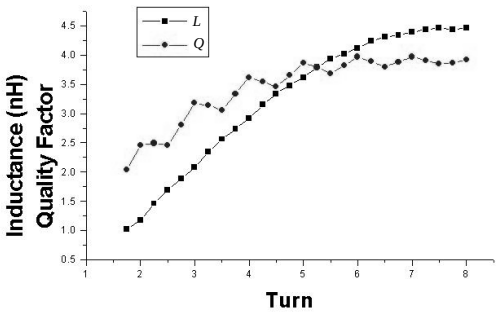
(a) 边长对片上电感的影响



(b) 金属线宽度对片上电感的影响



(c) 金属线之间的间距对片上电感的影响



(d) 金属线圈数对片上电感的影响

图 5-15 几何尺寸对片上电感的影响

6. 使用串、并联结构来增加电感量和提高品质因子。一般说来，采用并联结构好于串联结构。

7. 使用接地隔离层。接地隔离层可以将衬底和电感隔离，降低了衬底和电感之间的电磁场相互作用，可以提高电感的品质因子。

利用分析化方法来得到电感模型参数是一种非常快速的方法，可用于电感的初步设计中，而且利用这种方法可以进行电感的优化，在较短的时间内设计出最优的电感。这种方法得到的模型参数仅是粗略的，一般还需要用电磁场分析方法或者实际制作电感来进行校准。应用分析化方法的核心就是推导出各个参数的解析表达式，这些表达式的推导依赖于对片上电感的损耗机制的理解和实验结果的大量总结，在此不进行详细的论述，仅给出其结果。

片上电感的电感量可以用以下公式计算

$$L = \mathrm{K}_1 \mu_0 \frac{n^2 d_{\mathrm{avg}}}{1 + \mathrm{K}_2 \rho} \tag{5-17}$$

其中，$\rho = (d_{\mathrm{out}} - d_{\mathrm{in}})/(d_{\mathrm{out}} + d_{\mathrm{in}})$，$d_{\mathrm{avg}} = 0.5(d_{\mathrm{out}} + d_{\mathrm{in}})$，$n$为金属线的圈数，$d_{\mathrm{in}}$、$d_{\mathrm{out}}$如图5-7所示，$\mathrm{K}_1$、$\mathrm{K}_2$与片上电感的版图有关，对不同形状的电感，$\mathrm{K}_1$、$\mathrm{K}_2$的取值如表5-3 所示。 该表达式给出的结果与用电磁场分析方法得到的结果的典型误差在(1～2)%之间，一般不超过3%，该表达式给出的结果与实际测量结果的误差与用电磁场分析方法得到的结果与实际测量结果的误差接近。

金属线的寄生串联阻抗R_{S}可以用考虑到趋肤效应后金属线的电阻公式来估计

$$R_{\mathrm{S}} \approx \frac{l}{W \cdot \sigma \cdot \delta(1 - \mathrm{e}^{-t/\delta})} \tag{5-18}$$

表 5-3 片上电感的电感量计算公式中的系数K_1、K_2

Layout	K_1	K_2
Square	2.34	2.75
Hexagonal	2.33	3.82
Octagonal	2.25	3.55

其中，l为构成电感的金属线的长度，σ为金属线的导电率，δ为金属线的趋肤深度，t为金属线的厚度。

而衬底损耗的等效串连电阻可以用下式来估计

$$R_{\text{eddy}} \approx \frac{\sigma_{\text{sub}}}{4\text{e}}(\mu n f)^2 d_{\text{avg}}^3 \rho^{0.7} z_{\text{n,ins}}^{-0.55} z_{\text{n,sub}}^{0.1} \tag{5-19}$$

其中，σ_{sub}是衬底电导率，$\text{e} = 2.7182818\cdots$是自然数，$z_{\text{n,ins}}$是对$d_{\text{avg}}$归一化之后的螺旋型电感与衬底之间绝缘层的厚度，$z_{\text{n,sub}}$是对$d_{\text{avg}}$归一化之后的衬底趋肤深度。从上式可以看到，减小电感的尺寸（d_{avg}）可以大幅度减小衬底引入的损耗。

并联电容C_{P}可以表示为

$$C_{\text{P}} = n \cdot W^2 \cdot \frac{\epsilon_{\text{ox}}}{t_{\text{ox}}} \tag{5-20}$$

其中，t_{ox}为片上电感两层交叉金属线之间的氧化层厚度，ϵ_{ox}为该氧化层的介电常数。

C_{OXin}和C_{OXout}可以表示为

$$C_{\text{OXin}} = C_{\text{OXout}} = W \cdot l \cdot \frac{\epsilon_{\text{SUBox}}}{t_{\text{SUBox}}} \tag{5-21}$$

其中，t_{SUBox}为电感和衬底之间的氧化层的厚度，ϵ_{SUBox}为该氧化层的介电常数。

衬底损耗R_{SUBin}和R_{SUBout}的表达式为

$$R_{\text{SUBin}} = R_{\text{SUBout}} \approx \frac{2}{W \cdot l \cdot G_{\text{SUB}}} \tag{5-22}$$

其中，G_{SUB}是一个拟合参数，其典型值为$10^{-7}\text{S}/\mu\text{m}^2$。

C_{SUBin}和C_{SUBout}的表达式为

$$C_{\text{SUBin}} = C_{\text{SUBout}} \approx \frac{W \cdot l \cdot C_{\text{SUB}}}{2} \tag{5-23}$$

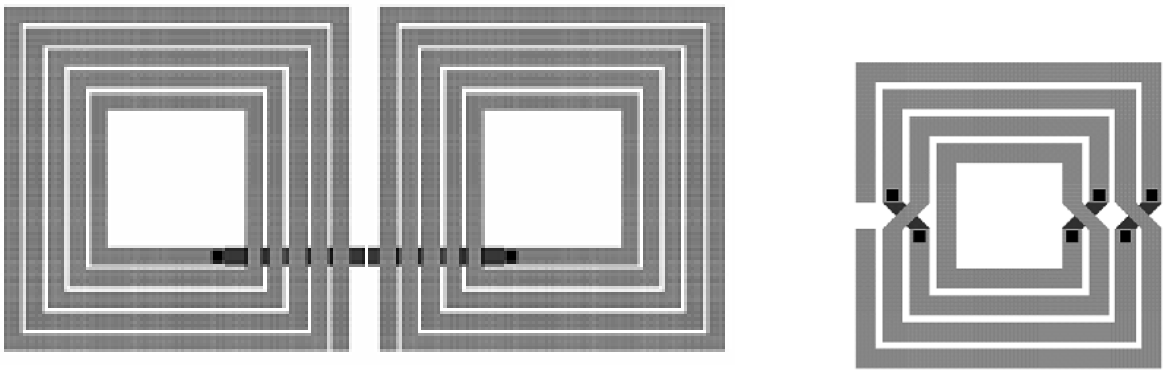
其中，C_{SUB}也为拟合参数，其典型取值范围为$10^{-3}\text{fF}/\mu\text{m}^2 \sim 10^{-2}\text{fF}/\mu\text{m}^2$。

同匹配网络一样，片上电感的品质因子定义为等效模型的谐振频率与3dB带宽之比。在实际应用中，片上电感的内部端口一般接交流地，这时可以将电感的品质因子近似为等效模型阻抗的实部模与虚部模之比。推导出电感的品质因子的表达式后，就可以利用以上的表达式，在某一些限制条件下（如Q最大或者$Q \cdot L$ 最大）对电感版图的各种几何尺寸进行优化，得到最符合要求的电感。

上面各种电感的两个引出端在结构上和电学性能上都是不对称的，但某些电路对对称性有特殊的要求，如果仍然采用这种电感，就需要将两个这样的电感串联起来，如图5.16(a)所示，增大了芯片面积。更好的办法是采用如图5.16(b)所示的对称型电感。这种电感主要用最上层金属绕制而成，交叉部分用下一层金属过渡。由图可以看出，该电感的两个输入端是完全对称的，可以直接连到对称电路的两个支路上；而且，与非对称电感相比，该电感具有更高的品质因子，但由于电感两个端口的电压完全加到两相邻金属线圈上，使得原来不重要的金属线圈之间的边缘电容变得重要起来，在模型中就必须考虑这些边缘电容的影响，更进一步的讨论请参考本章后面给出的文献。

§5.3.2 键合线电感

键合线是连接芯片的焊盘与封装管壳上的管脚或连接芯片上的焊盘和焊盘之间的一段金属线，它是在封装的过程中完成的。在射频条件下，键合线可以等效为一个电感，它有很高的品质



(a) 非对称片上电感　　(b) 对称片上电感

图 5-16 对称片上电感可以减少芯片面积

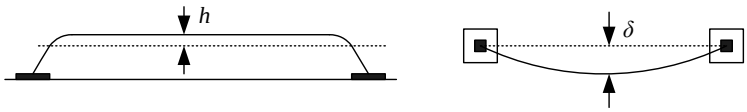
因子，可以应用于对电感性能要求较高的应用中；但由于这种电感是利用封装的寄生效应完成的，其电感量不可精确控制，这限制了它的应用范围。

在第二章，我们已经讨论过一段直金属线的感抗随频率的变化。考虑到键合线所用的材料为金，可以将一段长度为l、横截面半径为r的键合线在低频下的电感量近似表示为

$$L \approx \left[\frac{\mu_0 l}{2\pi}\right]\left[\ln\left(\frac{2l}{r}\right) - 0.75\right] \approx 2\times 10^{-7} l\left[\ln\left(\frac{2l}{r}\right) - 0.75\right] \tag{5-24}$$

初略估计，1mm长的键合线在低频下的电感量约为1nH。由式2-128可知，当工作频率升高时，键合线电感的电感量将下降。

实际上，键合线不是理想的直线，它具有一定的高度，如图5-17(a)所示（在现代标准封装工艺中，这个高度约为150μm $\pm$ 50μm）；键合线可能还会有垂直或者水平方向的弯曲，如图5-17(b)所示（在现代标准封装工艺中，垂直方向的弯曲约为(0～150)μm）；并且键合线横截面半径可能会发生变化（约为10%）。这些因素都会对电感的电感量产生影响。在现代标准封装工艺条件下，各种非理想因素引起的电感量的变化可以达到±6%。



(a)　　(b)

图 5-17 引起键合线电感量变化的因素

同片上电感一样，键合线电感也受到各种寄生效应的影响。这些寄生效应包括芯片焊盘或者封装管壳管脚的寄生效应、键合线的寄生电阻以及衬底损耗。考虑到这些寄生效应，可以为键合线电感建立模型，如图5-18所示。 其中，$C_{\text{pad}i}(i=1,2)$是芯片焊盘（或封装管壳管脚）与接地衬底之间的寄生电容（芯片焊盘与接地衬底的寄生电容可以按MOS电容的计算公式进行计算，而封装管壳管脚与接地衬底之间的寄生电容应由封装厂家给出）；$R_{\text{pad}i}(i=1,2)$是芯片焊盘（或封装管壳管脚）与接地衬底之间的寄生电阻（衬底损耗）；L为键合线的电感量，R_{bondwire} 由两部分组成，其中一部分是键合线本身的寄生电阻，另一部分是衬底与键合线之间的电场耦合造成的损耗，它们在工作频率升高时，寄生影响都会变大。R_{bondwire}可以用下式来估算

$$R_{\text{bondwire}} \approx \frac{l}{2\pi r\delta\sigma} \tag{5-25}$$

其中，δ是键合线的趋肤深度，σ是键合线的电导率。可以利用式5-24和式5-25来估算键合线电感的品质因子。

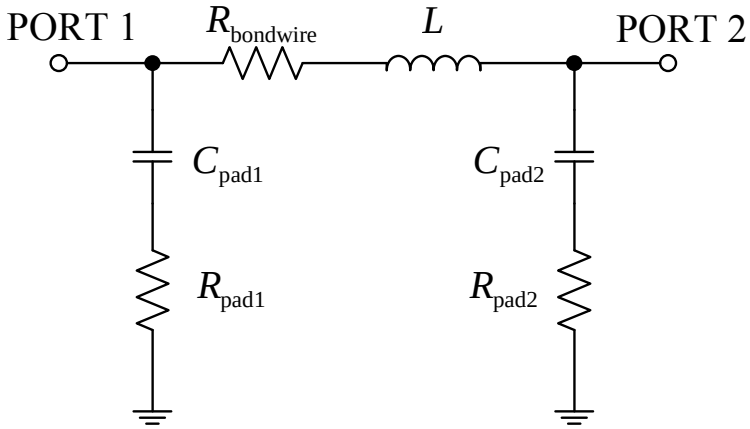
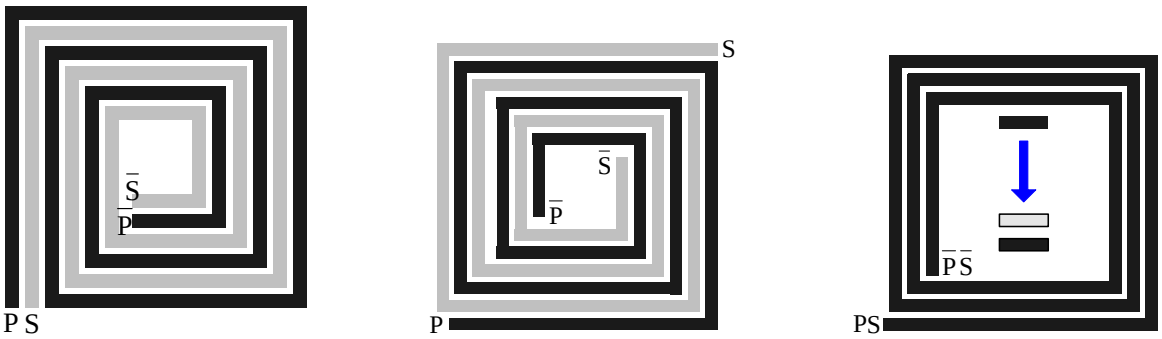


图 5-18 键合线电感模型

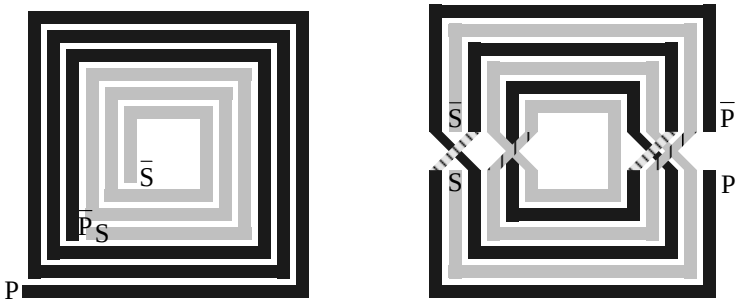
一般说来，衬底与键合线之间的电场耦合也会对电感量造成影响，但由于影响较小，一般可以忽略不计。

§5.3.3 变压器

在高频电路中，变压器也是一种很重要的无源元件，但由于片上集成变压器存在很多寄生效应，人们对它的研究还不够深入，它的性质还不为人们所掌握，故它在射频集成电路中的应用还不多见，但随着研究的深入，这类变压器的应用有逐渐增多的趋势。片上集成变压器有多种结构，图5-19给出了几种常见的结构，变压器的电路图符号如图5-20所示。



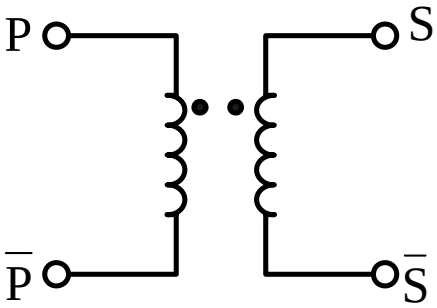
(a) 并行绕线　　(b) 交叉绕线　　(c) 堆叠绕线



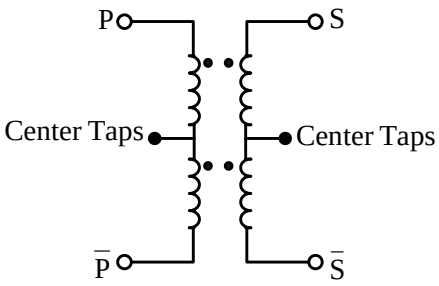
(d) 中心螺旋绕线　　(e) 对称巴仑

图 5-19 各种结构的片上变压器

从图5-19可以看出，图5.19(b)变压器的两个外部端口在结构上是完全对称的，故这两个端口在电学性能上应该完全一样，在差分电路中可用来代替两个独立螺旋型电感，节省芯片面积，



(a) 图5.19(a)～图5.19(d)所示变压器的电路图符号



(b) 图5.19(e)所示变压器的电路图符号

图 5-20 变压器的电路图符号

而且品质因子也较高。图5-21给出了这种结构变压器的等效电路模型。 其中，K_{12}是两电感间

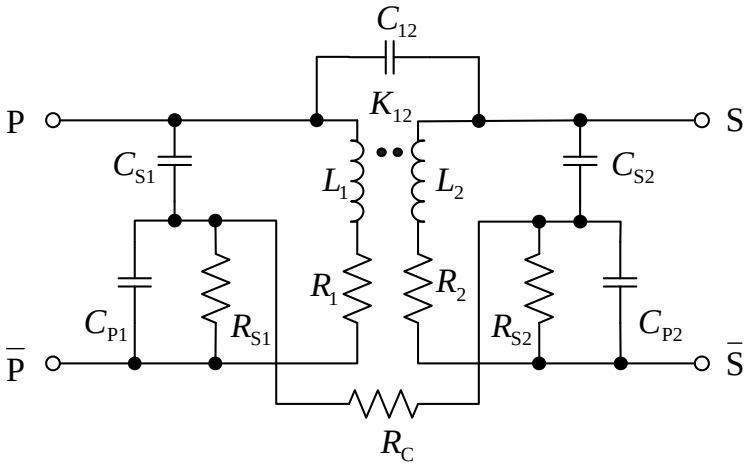


图 5-21 变压器等效电路模型

的耦合系数，R_C、C_{12}分别是两电感之间的耦合电阻和耦合电容，其余各参数与螺旋型电感等效电路中的参数意义相同。对于差分信号来说，该变压器的两个外部端口看到的有效电感均为$L_{\text{diff}} = (1 + K_{12})L_{1(2)}$，而对于共模信号，有效电感却为$L_{\text{com}} = (1 - K_{12})L_{1(2)}$，在设计电路时可利用这种特性来实现共模抑制。

变压器也可以利用两个耦合的键合线来形成。我们知道，当两个键合线靠得很近时，它们之间存在磁场耦合，描述该磁场耦合大小的物理量是互感。对于两个长度相同的并行键合线，互感可以用式5-26来表示

$$M \approx \frac{\mu_0 l}{2\pi}\left[\ln\left(\frac{2l}{D}\right) - 1 + \frac{D}{l}\right] \tag{5-26}$$

其中，l是键合线的长度，D是两个键合线之间的距离。

互感与耦合系数之间的关系为

$$k = \frac{M}{\sqrt{L_1 L_2}} \tag{5-27}$$

同键合线电感一样，利用键合线形成的变压器的品质因子较高，但由于封装的不可控性，这种变压器的物理特性不能被精确控制。

§5.4 容抗管

在射频电路中，广泛使用可调谐LC电路，这种电路的可调谐性是由容抗管来完成的。

在现代集成电路工艺中，有多种器件可以实现容抗管的功能，包括反向二级管、MOS晶体管和MOS容抗管。

§5.4.1 反向二极管

反向工作的二级管是最常使用的容抗管,它可由p型有源区与n阱、n型有源区与p阱（p衬底）、n阱与p阱（p衬底）形成。考虑到寄生效应的影响，一般使用p型有源区与n阱形成的二极管来作容抗管，如图5-22所示。

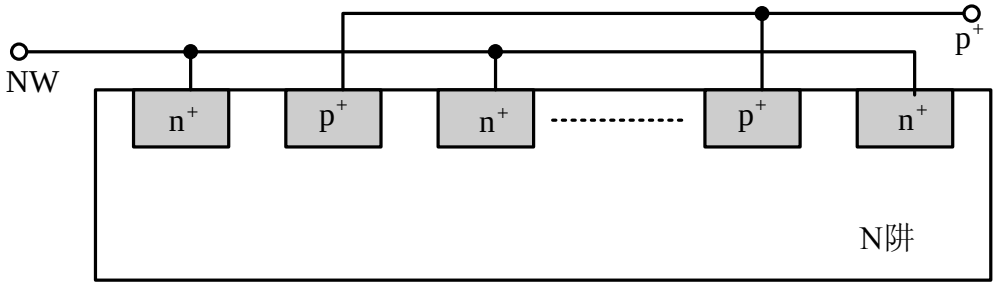
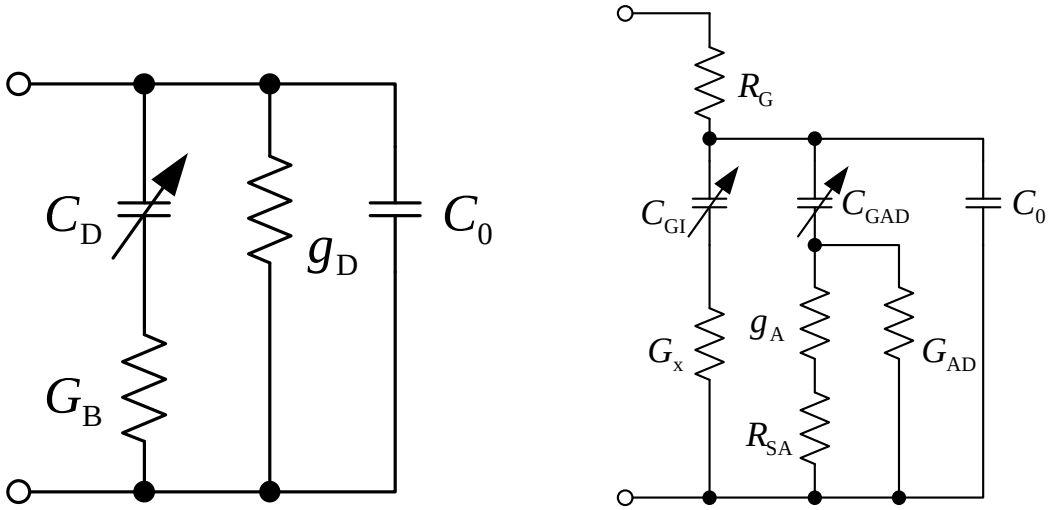


图 5-22 反向二极管型容抗管

这种结构的容抗管的小信号等效电路如图5.23(a)所示。



(a) 反向二极管型容抗管的小信号等效电路　　(b) MOS容抗管的小信号等效电路

图 5-23 容抗管的小信号等效电路

其中，C_D是二极管的结电容，它随着控制电压的变化而变化；C_0是由于互连线引起的电容，其电容值是恒定的；g_D为二级管的寄生导纳；G_B是从pn结到小信号接地点的n阱寄生导纳；应用标准工艺参数，可以用下列两式近似估计C_D和g_D

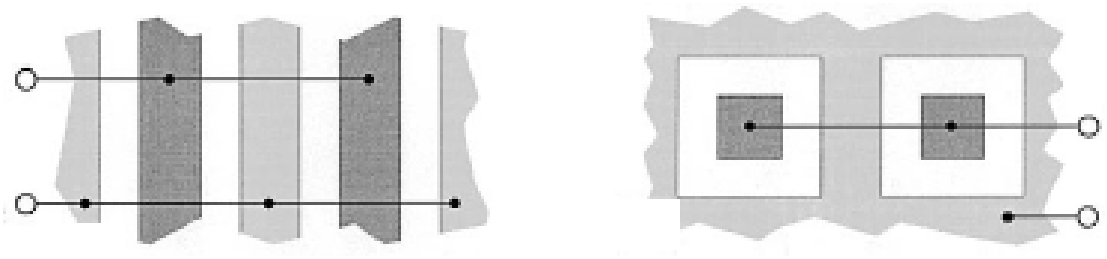
$$C_D = \frac{\mathrm{CJ}\cdot A_{eq}}{(1-\frac{V_{ctrl}}{\mathrm{PB}})^{\mathrm{MJ}}} + \frac{\mathrm{CJSW}\cdot P_{eq}}{(1-\frac{V_{ctrl}}{\mathrm{PBSW}})^{\mathrm{MJSW}}} \tag{5-28}$$

$$g_D = \frac{\mathrm{JS}\cdot A_{eq} + \mathrm{JSW}\cdot P_{eq}}{N\cdot U_T}\cdot \mathrm{e}^{-\frac{V_{ctrl}}{N\cdot U_T}} \tag{5-29}$$

其中，V_{ctrl}为容抗管的反向电压，CJ为二极管上外加电压为0的单位面积结电容，CJSW为二极管上外加电压为0时的单位长度侧向电容，A_{eq}为二极管的有效结面积，P_{eq}为二极管的有效结周长，PB为二极管的结电势，PBSW为二极管的侧向结电势，MJ为二极管的结梯度系

数，MJSW为二极管的侧向结梯度系数，JS为二极管的单位面积结饱和电流，JSW为二极管的单位长度侧向结饱和电流，N为二极管的指数，$U_{\mathrm{T}}=\mathrm{q}/\mathrm{k}T$为热电压。

在版图设计上，这种类型的容抗管可以采用如图5.24(a)所示的梳状结构或者5.24(b)所示的共心型结构。一般说来，共心型结构容抗管的品质因子高，但其单位面积电容量小，在应用中可根据需要进行选择。



(a) 梳状结构的容抗管　　(b) 中心结构的容抗管

图 5-24 容抗管的不同版图结构

二级管形式的容抗管调谐范围小，但当采用多指结构时，其品质因子可以达到很高；而且控制电压对容抗管电容量的控制具有很高的线性度，电容量随控制电压的变化也比较平缓，在射频集成电路中得到广泛应用。

§5.4.2　MOS晶体管

工作于反型区的MOS晶体管也可以作为容抗管，一般将栅端作为容抗管的一端，将漏端、源端和衬底（或阱）连在一起作为容抗管的另一端。MOS晶体管作为容抗管时，随控制电压的不同，会经历五个工作区域：强反型区、中等反型区、弱反型区、耗尽区和积累区，在前面“电容”一节中我们已经讨论过它的调谐特性，这种容抗管的性能受到四方面的限制：（1）在耗尽区、弱反型区和中等反型区，由于沟道电阻很大，容抗管的品质因子很小；（2）有效调谐范围受到固定栅电容的限制；（3）控制电压对MOS晶体管电容量的控制具有高度的非线性，这种容抗管的电容量随电压的变化发生在很窄的区域内（约为几个U_{T}）；（4）MOS晶体管电容量不是控制电压的单调函数。

工作于反型区的MOS晶体管只是晶体管工作状态中的一种特殊情况，在第六章我们将详细讨论MOS晶体管的各种特性及其仿真模型，故在此不再讨论这种类型容抗管的小信号等效电路。需要指出的是，这种类型容抗管的品质因子反比于沟道长度的平方，在使用这种类型的容抗管时，晶体管的沟道长度应使用工艺允许的最小尺寸。

§5.4.3　MOS容抗管

仅工作于积累区和耗尽区的MOS电容是广泛应用的另一类容抗管，其结构如图5-25所示。它与PMOS晶体管的结构基本一样，只是将有源区由p注入换为了n注入。 它的调谐特性如图5-26所示。由图中可以看出，MOS容抗管与反向工作的二极管一样，电容量是控制电压的单调函数，这在某些应用中是非常重要的。

MOS容抗管的小信号等效电路如图5.23(b)所示。其中，R_{G}是等效栅串联电阻，C_{GI}、C_{GAD}分别是对应于多数载流子和少数载流子的MOS电容，C_0是栅寄生电容，其电容量是固定的，G_{AD}是等效衬底导纳，g_{A}是积累区电阻，R_{SA}是阱串联电阻，G_τ是模拟产生/复合过程所引起少数载流子密度变化的等效导纳。同反型MOS晶体管一样，这种类型容抗管的品质因子也反比于沟道长度的平方，故在使用这种类型的容抗管时，容抗管的沟道长度也应该使用工艺允许的最小尺寸。

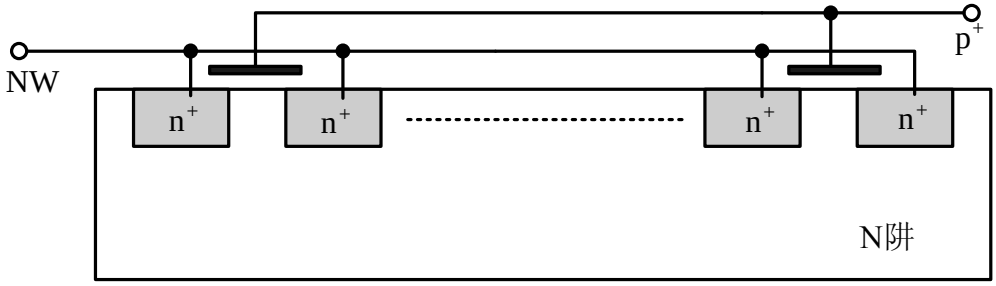


图 5-25 MOS型容抗管

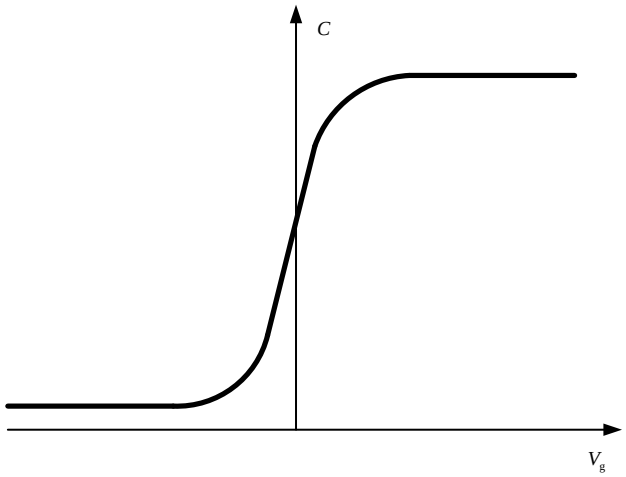


图 5-26 MOS容抗管的调谐特性

MOS容抗管的调谐范围宽，品质因子也比较大，在宽调谐电路中有广泛的应用，但控制电压对MOS容抗管电容量的控制具有高度的非线性，MOS容抗管的电容量随电压的变化发生在很窄的区域内，变化比较剧烈，应用于锁相环等应用中时可能会使得环路锁定遇到困难。

§5.4.4 对称型容抗管

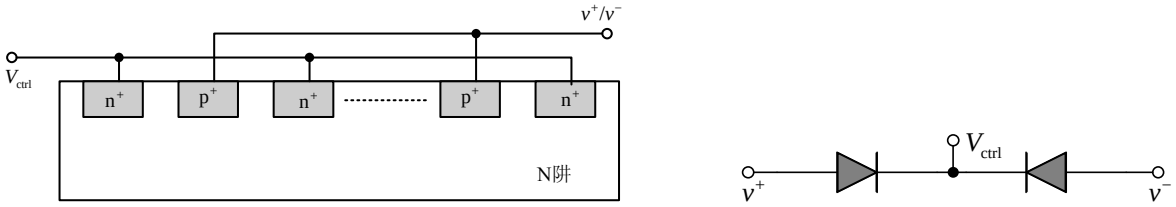
为了保持电路的对称性，差分电路一般用两个相同的容抗管对接来形成对称型容抗管，如图5.27(a)所示。

其中控制端V_{ctrl}为交流接地点。为了充分利用差分电路的对称性，人们提出了对称型型容抗管的概念，其原理如图5.27(b)所示。只要v^+和v^-两端的信号是完全差分的，则两个相邻的p+扩散区的中心位置实际上是一个交流地，可以不用再插入接交流地的n+扩散区，这样不仅减少了芯片面积，而且两个p+扩散区之间的距离缩小，减小了寄生阱电阻，可以提高容抗管的品质因子。图5-28 比较了采用梳状结构和采用共心型结构的单端二极管型容抗管与对称二极管型容抗管的单位面积电容量、品质因子随控制电压的变化情况。

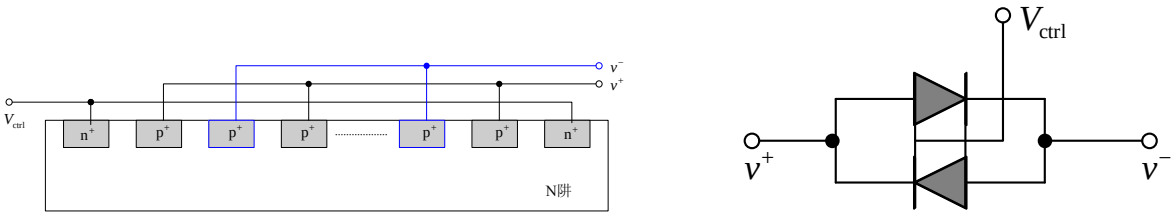
从图5.28(a)可以看出，对称型容抗管的单位面积电容量最大，而采用共心型结构的单端二极管型容抗管的单位面积电容量最小；从图5.28(b)可以看出，对称型容抗管的品质因子与采用共心型结构的单端二极管型容抗管的品质因子很接近，而采用梳状结构的单端二极管型容抗管的品质因子最小。

其它类型的容抗管也可以采用差分结构，图5.29(a)～5.29(d)给出了对称二极管型容抗管、对称MOS晶体管型容抗管和对称MOS容抗管的结构。

其中，5.29(c)和5.29(d)所示的都是对称MOS容抗管，前者有一个浮置的n型有源区，可以减少积累区的串联寄生电阻；后者没有浮置的有源区，可以减小栅与有源区重叠所引起的寄生电

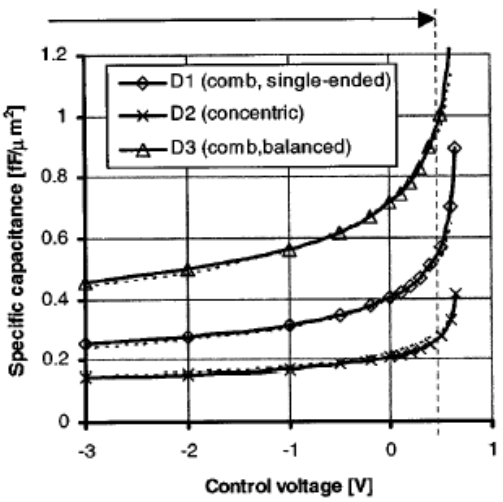


(a) 两个相同的容抗管对接形成的对称型容抗管

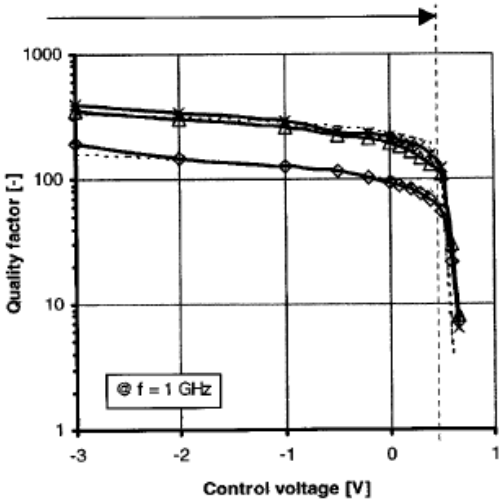


(b) 差分型容抗管

图 5-27 对称型容抗管



(a) 采用梳状结构和采用中心结构的单端二极管型容抗管与对称二极管型容抗管的单位面积电容量随控制电压的变化



(b) 采用梳状结构和采用中心结构的单端二极管型容抗管与对称二极管型容抗管的品质因子随控制电压的变化

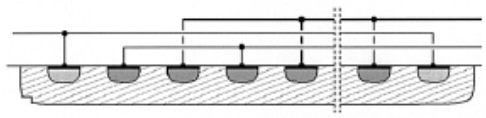
图 5-28 采用梳状结构和采用中心结构的单端二极管型容抗管与对称二极管型容抗管的单位面积电容量、品质因子随控制电压的变化

容。同单端容抗管结构相比，这些对称型结构都可以提高容抗管的品质因子、增大容抗管的调谐范围和提高芯片的利用率，在射频集成电路设计中得到广泛应用。

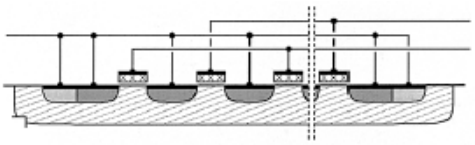
§5.5 总结

在本章我们介绍了射频集成电路中常用的无源元件（包括电阻、电容和电感）的结构，分析了这些元件的寄生效应，并讨论了它们的仿真模型问题。考虑到容抗管在射频电路中有很重要的应用，我们也讨论了各种结构的容抗管的特性。

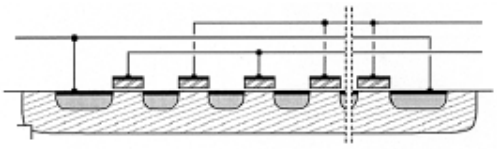
集成电阻器和集成电容器精度低，温度系数大，但同一芯片上的电阻和电容匹配误差较小，故在设计电路时应尽可能使电路性能不依赖于单个元件的特性，而是与元件的比值相关。



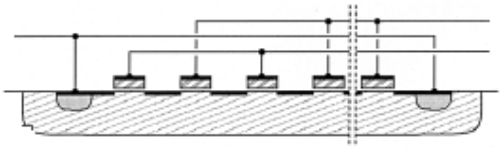
(a) 差分二极管型容抗管



(b) 差分MOS晶体管型容抗管



(c) 差分MOS型容抗管



(d) 差分MOS容抗管



(e) 符号

图 5-29 各种差分容抗管的结构

互连线的寄生电阻和寄生电容造成的延时对于高频电路有很重要的影响。依据互连线结构的不同，互连线的寄生电容的计算方法也是不同的，本章我们介绍了三种典型的互连线结构并给出了它们的寄生电容的表达式。在设计版图时，可以通过加宽互连线宽度来减少其延时。

集成电感和集成容抗管是射频电路中出现的两种新元件，它们的性能对射频电路的性能具有很大的影响。在设计集成电感和集成容抗管时，应根据电路对元件值和品质因子的要求，对集成电感和容抗管的各种几何参数进行一定的优化，以减少寄生效应对电路的影响。在对称电路中，可以使用对称螺旋型电感和对称型容抗管，它们可以节省芯片面积，提高电路的对称性而且这些无源元件具有相对较高的品质因子。

参考文献

1 Thomas H L. The Design of CMOS Radio-Frequency Integrated Circuits. U.S.: Cambridge University Press, 1998

2 朱正涌. 半导体集成电路. 北京: 清华大学出版社, 2001

3 叶良修. 半导体物理学. 北京: 高等教育出版社, 1983

4 Craninckx J, Steyaert M. Wireless CMOS Frequency Synthesizer Design. Netherlands: Kluwer Academic Publishers, 1998

5 Niknejad A M, Meyer R G. Analysis, Design, and Optimization of Spiral Inductors and Transformers for Si RF IC's. IEEE Journal of Solid-State Circuits, 1998, 33(10): 1470～1481

6 Arcioni P, Castello R, Perregrini L, etc. An Innovative Modelization of Loss Mechanism in Silicon Integrated Inductors. IEEE Transactions on Circuits and Systems-II: Analog and Digital Signal Processing, 1999, 46(12): 1453～1459

7 Mohan S S, Hershenson M D M, Boyd S P, etc. Simple Accurate Expressions for Planar Spiral Inductances. IEEE Journal of Solid-State Circuits, 1999, 34(10): 1419～1424

8 Post J E. Optimizing the Design of Spiral Inductors on Silicon. IEEE Transactions on Circuits and Systems-II: Analog and Digital Signal Processing, 2000, 47(1): 15～17

9 池保勇，石秉学. 应用于无线收发机射频前端的片上螺旋型电感的研究. 电子器件，2001, 24(3): 165～173

10 Long J R. Monolithic Transformers for Silicon RF IC Design. IEEE J. of Solid-State Circuits, 2000, 35(9): 1368～1382

11 Porret A S, Melly T, Enz C C, etc. Design of High-Q Varactors for Low-Power Wireless Applications Using a Standard CMOS Process. IEEE Journal of Solid-State Circuits, 2000, 35(3): 337～345

12 Baoyong Chi, Bingxue Shi. Integrated 2.4 GHz CMOS quadrature VCO with symmetrical spiral inductors and differential varactors. IEEE Radio Frequency Integrated Circuits (RFIC) Symposium, 2002: 451～454

习题

1. 在设计片上集成电阻时，首先需要确定电阻条的宽度。电阻条可取的最小宽度受到设计规则、电阻精度和流过的最大电流的限制。试设计一个阻值为80Ω的扩散区电阻。已知：（1）设计规则给出的硅化扩散区的最小宽度为0.22μm；（2）制版、光刻引入的线宽误差为$\Delta W = \pm 0.165\mu$m，要求由制版、光刻引入的电阻相对误差$\Delta R/R = \Delta W/W \leq \pm 12\%$；（3）流过电阻的电流约为0.5mA，而单位电阻条宽可流过的最大电流为1mA/μm；（4）扩散区的结深约为0.4μm；（5）当电阻条宽小于2μm时，扩散区的方块电阻为5Ω/□；当电阻条宽大于2μm时，扩散区的方块电阻为8Ω/□。

2. 设计一个氧化层厚度为0.5nm，电容量为10pF的MOS电容器，已知氧化层的相对介电常数为3.9。

3. 如图5-4所示的互连线结构，已知$W=2\mu\text{m}$，$S=1\mu\text{m}$，$T=0.5\mu\text{m}$，$H=0.7\mu\text{m}$，互连线的长度为$100\mu\text{m}$，方块电阻为$80\text{m}\Omega/\square$，互连线间的绝缘体的相对介电常数为$\epsilon_{\text{i}}=4$，试计算中间那根互连线所引入的延时。若将线宽增加到$W=6\mu\text{m}$，中间那根互连线所引入的延时有何变化？

4. 一个正四边形螺旋型片上电感由四圈金属线绕制而成，外圈的边长为$200\mu\text{m}$，金属线的宽度为$10\mu\text{m}$，金属线间的间隔为$1\mu\text{m}$，金属线的电导率为$4\times10^{7}\text{S/m}$，金属线和金属线之间氧化层的厚度均为$1\mu\text{m}$，氧化层的相对介电常数为3.9，$G_{\text{SUB}}=10^{-7}\text{S}/\mu\text{m}^2$，$C_{\text{SUB}}=5\times10^{-3}\text{fF}/\mu\text{m}^2$，试计算当工作频率为1GHz时该片上电感仿真模型中各参数的数值，并确定该片上电感的谐振频率和品质因子。

5. 试利用一段总长度为2mm的键合线和一块$900\mu\text{m}^2$的芯片面积设计一个5.3nH的电感，已知键合线电感长度的相对误差可以达到$\pm10\%$，要求所设计的电感与要求的电感量的相对误差小于$\pm5\%$，并且具有最高的品质因子。

6. 一个叉指二极管的指数为20，每一指的宽度为$0.5\mu\text{m}$，长度为$10\mu\text{m}$，其模型参数如下：JSW=1.09E-10，JS=2.03E-10，PBSW=0.7004000，CJ=1.833935E-3，PB=0.9522272，MJ=0.4746122，CJSW=3.472876E-10，MJSW=0.3296904。试分析其调谐特性（$V_{\text{ctrl}}=0\sim3\text{V}$）和品质因子（忽略$C_0$和$G_{\text{B}}$的影响）。

第六章　射频MOS及BJT器件模型

§6.1　简介

本章介绍MOS场效应晶体管（MOSFET）与双极型晶体管（BJT）的直流、交流小信号及用于时域分析的大信号模型。结合MOS器件在射频（~GHz）CMOS集成电路中的应用，讨论了噪声等效电路，及影响晶体管直流特性的短沟和各种高阶效应。在MOS模型的描述中，特别指出了非准静态（NQS）分析的电路起源及采用多个串联晶体管的通用建模方法。在BJT模型发展过程的回顾中，推导了在大信号Ebers-Moll模型中引用的互易原理。

对于射频电路中有源器件模型，电容的正确建模是十分重要的。本章从器件内部电荷划分（MOS器件与各终端，BJT器件与不同pn结相属）的物理背景出发，给出了电荷分量由器件直流偏置决定的关系式。器件等效电路内部或终端间的准静态增量（incremental）电容（或称低频小信号电容）就可通过简单的对电压求微分的形式得出。进一步结合NQS的建模方法，晶体管的高频特性也可自然、准确地得到。这样器件的$I-V$和$C-V$特性可建立在一个统一的模型基础上，有利于模型在电路模拟器中的各种实现（比如快速查表法）。

本章MOS模型的描述主要是基于美国加州大学伯克利分校（UC Berkeley）的BSIM3和BSIM4模型。但在介绍过程中，着重于物理背景的讨论。读者需要了解更详细和全面的模型公式及参数含义，可进一步参考[1]。

本章主要分MOS器件模型和BJT晶体管模型两节。在MOS模型描述中，包括以下一些内容：

① 阈值电压定义与计算

② 漏极电流表达式

③ 跨导

④ 阈值电压的测量

⑤ MOS电容模型

⑥ 高频品质因子

⑦ 非准静态（NQS）现象及模型

⑧ MOS非本征模型

⑨ MOS高阶效应及其BSIM模型

⑩ MOS噪声模型

对BJT模型的讨论，主要包括

① Ebers-Moll模型

② 时域大信号模型

③ 交流小信号模型

④ 双极型晶体管的高频特性

⑤ BJT噪声模型

§6.2 MOS器件模型

MOSFET模型的发展经历了从只适用于长沟道器件（采用求解垂直于沟道方向的一维泊松方程，或称为GCA－gradual channel approximation－渐变沟道近似）的SPICE Level 1（第一级）模型[1]到包括由于短沟/窄沟等小尺寸引起的高阶效应的SPICE Level 3模型。Level 3模型被广泛地应用于教科书中，是一个带有半经验公式的模型。自1987年以来，各种层次的BSIM（Berkeley Short-channel IGFET Model）模型被工业界接受为标准MOS模型。有专门的公司提供模型参数提取的服务。其中的BSIM3v3（BSIM3模型版本3）和BSIM4为两个至今仍被广泛采用的MOS模型[1]。UC Berkeley的模型都是基于阈值电压（threshold voltage）的概念，并大量采用拟合公式和平滑函数，以取得$I-V$及$Q-V$（其对电压的一阶导数为$C-V$）及其高阶导数的连续性。近年来，一个基于更基本物理的方法，表面势（surface potential或SP）模型[2]逐渐有取代BSIM模型的趋势。表面势模型（SP）是建立在解Pao-Sah方程（参看[2]）的基础上，将器件的电流、电荷与依赖于直流偏置的沟道表面势（实际上只要知道沟道两端的表面势即可）联系起来。能保证端口电学量（及其高阶导数）的连续性及其它电路模拟（尤其是模拟电路模拟）的各种要求。尽管SP模型在求值时，可能要用到数值迭代，但经过近年来的研究工作，计算效率并不比BSIM模型低。

本节MOS模型的介绍依然以BSIM3/4模型为基础，这是因为阈值电压是理解MOS工作原理的核心概念。同时BSIM模型及参数的文献、资料也比较容易获得。随着SP模型的进一步发展及普遍接受，我们会在本书的以后版本中予以介绍。

现在先介绍MOS直流模型。

§6.2.1 直流模型

直流模型是根据加在器件上的电压偏置，来求器件的直流终端电流。对于MOS器件而言，如不考虑栅极的隧穿电流，则通常只计算漏极电流I_{D}和衬底电流I_{B}。MOS器件的电压参考点有两种取法：源（source, “s”）端或衬底接触点（substrate contact, “b”）。不同的电压参考点会导致器件模型公式形式上的不同。本书取源端为电压参考点。目前，MOS器件的等效电路模型（或称为Spice模型，集约模型－compact model）有两个流派：以阈值电压（threshold voltage, V_{th}）为建模基础的，和以表面电势（surface potential）为基础的。我们主要采用阈值电压建模方法，但也会简单介绍一下表面电势建模方法。

以漏极电流的直流表达式为例，采用V_{th}（其定义嗣后介绍）为参数，可写为

$$I_{\mathrm{D}}=I_{\mathrm{d}}(V_{\mathrm{GS}},V_{\mathrm{DS}};V_{\mathrm{th}}(V_{\mathrm{DS}},V_{\mathrm{BS}})) \tag{6-1}$$

上式函数括号中，分号“;”后的变量为参变量。在本章的讨论中，我们将I_{D}写作I_{DS}以表示漏极电流的表达式是专指在漏源之间流动的电流，因而不包括漏极和衬底间的电流。

1. 阈值电压定义与计算

阈值电压从物理层次来理解可定义为沟道反型层的载流子密度等于体掺杂浓度时（此状态称为强反型）的栅电压。通常以源电压为参考点，因此即是V_{GS}，其值依赖于漏源电压（V_{DS}）和源衬底电压（$V_{\mathrm{SB}}=-V_{\mathrm{BS}}$，对nMOS为非负数）。如暂不考虑短沟、窄沟和DIBL（Drain-Induced Barrier Lowering，漏端电压感生势垒降低）效应，则阈值电压由平带电压和源衬底偏置电压决定[2]：

$$V_{\mathrm{th0}}(V_{\mathrm{BS}})=V_{\mathrm{FB}}+2\phi_{\mathrm{B}}+\gamma\sqrt{2\phi_{\mathrm{B}}-V_{\mathrm{BS}}} \tag{6-2}$$

式中，右端各项依次为

[1] 该模型又称为Schichman-Hodges 模型。

[2] 以下公式符号均以nMOS，即衬底为p-型掺杂，为例。

① 平带电压V_{FB}，是由V_{GB}的值来定义的（因而与源电压无关）。在该值下，衬底表面垂直于沟道的电场为零。

$$V_{\mathrm{FB}} = \frac{\Phi_{\mathrm{ms}}}{q} - \frac{Q_0}{C_{\mathrm{ox}}} = \Phi_{\mathrm{ms}} - \frac{Q_0 t_{\mathrm{ox}}}{\epsilon_0 \epsilon_{\mathrm{ox}}} \tag{6-3}$$

式中Φ_{ms}是栅电极和衬底接触处半导体的功函数差，单位是eV（因而Φ/q的单位是V）。其含义稍后再加以解释；C_{ox}是单位表面面积的栅电容，等于$\epsilon_0\epsilon_{\mathrm{ox}}/t_{\mathrm{ox}}$，$\epsilon_0$是真空介电参数，$\epsilon_{\mathrm{ox}}$是二氧化硅的相对介电常数，$t_{\mathrm{ox}}$是栅氧化层的厚度。$Q_0$是硅衬底与二氧化硅界面处的电荷密度（每单位界面面积）。

② 强反型时相对于衬底接触的表面势或能带弯曲量。如果有衬偏电压V_{SB}，则还需减去该量。ϕ_{B}是衬底的费米势，定义为

$$\phi_{\mathrm{B}} = V_{\mathrm{T}} \ln \frac{N_{\mathrm{A}}}{n_{\mathrm{i}}} \tag{6-4}$$

在室温（300 K）下，热电压$V_{\mathrm{T}} = 0.0259\,\mathrm{V}$，本征载流子浓度$n_{\mathrm{i}} = 9.65 \times 10^9\,\mathrm{cm}^{-3}$ [3]. 若取衬底掺杂浓度为$N_{\mathrm{A}} = 5 \times 10^{17}\,\mathrm{cm}^{-3}$（p-型），则$\phi_{\mathrm{B}} = 0.460\,\mathrm{V}$。给定$V_{\mathrm{BS}}$（对nMOS通常为负值），强反型时的表面势变为$2\phi_{\mathrm{B}} + V_{\mathrm{SB}}$。注意，$V_{\mathrm{SB}}$对nMOS通常为正值。

③ 栅氧层上的电压降（方向为从栅电极到衬底）

$$V_{\mathrm{ox}} = -\frac{Q_{\mathrm{b,dep}}}{C_{\mathrm{ox}}} \tag{6-5}$$

衬底耗尽层体电荷面密度为

$$Q_{\mathrm{b,dep}} = -\sqrt{2q\epsilon_0\epsilon_{\mathrm{Si}}N_{\mathrm{A}}(2\phi_{\mathrm{B}} + V_{\mathrm{SB}})} \tag{6-6}$$

因此，

$$V_{\mathrm{ox}} = \frac{1}{C_{\mathrm{ox}}}\sqrt{2q\epsilon_0\epsilon_{\mathrm{Si}}N_{\mathrm{A}}(2\phi_{\mathrm{B}} + V_{\mathrm{SB}})} \equiv \gamma\sqrt{2\phi_{\mathrm{B}} + V_{\mathrm{SB}}} \tag{6-7}$$

其中γ被称为“体因子”，定义为

$$\gamma = \frac{\sqrt{2q\epsilon_0\epsilon_{\mathrm{Si}}N_{\mathrm{A}}}}{C_{\mathrm{ox}}} \quad (\mathrm{V}^{1/2}) \tag{6-8}$$

我们来看一下典型的数值：取上述的N_{A}，并且假设$t_{\mathrm{ox}} = 2.5\,\mathrm{nm}$（纳米），则

$$C_{\mathrm{ox}} = \frac{\epsilon_{\mathrm{ox}}\epsilon_0}{t_{\mathrm{ox}}} = \frac{3.9 \times 8.854 \times 10^{-14}}{2.5 \times 10^{-7}} = 1.38 \times 10^{-6}\,\mathrm{F/cm}^2$$

$$\gamma = 0.295\sqrt{\mathrm{V}}$$

④ 栅电极（Φ_{m}）与衬底接触（Φ_{sub}）间的功函数差：

$$\Phi_{\mathrm{ms}} = \Phi_{\mathrm{m}} - \Phi_{\mathrm{sub}} \tag{6-9}$$

一个材料的功函数定义为真空能级与费米能级的差（$\Phi = E_{\mathrm{vac}} - E_{\mathrm{F}}$）。对金属或硅化物来说$\Phi_{\mathrm{m}}$是一个固定的物理参数。表6-1列出了集成电路工艺中常用的几种金属和金属硅化物的功函数。注意典型值都在4.17 eV（硅的电子亲合能，χ_{Si}，定义为真空能级与导带底的差）及5.29 eV（$= 4.17 + 1.12$，其中1.12是硅在室温下的禁带宽度，或称带隙E_{g}）之间。 衬底（半导体）的功函数则为

$$\Phi_{\mathrm{sub}} = \chi_{\mathrm{s}} + \frac{E_{\mathrm{g}}}{2} + \frac{1}{2}kT\ln\frac{N_{\mathrm{C}}}{N_{\mathrm{V}}} + q\phi_{\mathrm{B}} \tag{6-10}$$

式中，χ_{s}是半导体（衬底）的亲合能，$q\phi_{\mathrm{B}} = E_{\mathrm{i}} - E_{\mathrm{F}}$，其中$E_{\mathrm{i}}$是本征费米能级（位于导带底$E_{\mathrm{g}}/2 + V_{\mathrm{T}}\ln(N_{\mathrm{C}}/N_{\mathrm{V}})/2$以下处）。对p-衬底，$\phi_{\mathrm{B}}$是个正值。在半导体材料中，费米能级相对于能带边缘（如导带底）的位置与掺杂浓度有关，因而衬底的功函数不仅与半导体的物理参数如电子亲合能有关，也决定于衬底的掺杂浓度。具体说来，

$$\Phi_{\mathrm{sub}} = \chi_{\mathrm{s}} + \frac{E_{\mathrm{g}}}{2} + \frac{1}{2}kT\ln\frac{N_{\mathrm{C}}}{N_{\mathrm{V}}} + kT\ln\frac{N_{\mathrm{A}}}{n_{\mathrm{i}}} \tag{6-11}$$

金属	Φ_m (eV)
Al （铝）	4.1
Pt （铂）	5.3
W （钨）	4.5
Au （金）	4.75
$MoSi_2$ （硅化鉬）	4.73
$TiSi_2$ （硅化钛）	4.6
WSi_2 （硅化钨）	4.62

表 6-1 集成电路中常用的几种金属和金属硅化物的功函数

对硅材料，取室温下禁带宽度$E_g = 1.12\,\text{eV}$，能带有效态密度$N_C = 2.86 \times 10^{19}\,\text{cm}^{-3}$，$N_V = 2.57 \times 10^{19}\,\text{cm}^{-3}$[1]，并采用上述的衬底材料参数，可得$\phi_B = 0.457\,\text{V}$，$\Phi_{sub} = 5.19\,\text{eV}$。如采用铝栅电极，则平带电压由式(6-3)并假设界面电荷$Q_0 = 0$，得到$V_{FB} = -1.09\,\text{V}$。用前述$\gamma = 0.295\,\sqrt{\text{V}}$，从(6-2)式可得阈值电压为$V_{th0} = 0.107\,\text{V}$。这是一个很小的值。

至此，我们定义了一维（垂直于沟道方向）MOS结构的阈值电压（可通过给定V_{SB}来包括源极的影响）。我们进一步看一下阈值电压对漏极电压的依赖关系，即是DIBL（drain induced barrier lowering）。该项修正被建摸为（p. 554 in [4]），

$$V_{th}(V_{DS}, V_{BS}) = V_{th0}(V_{BS}) - \Delta V_{th,\ \text{DIBL}}(V_{DS}, V_{BS}) \tag{6-12}$$

$$\Delta V_{th,\ \text{DIBL}}(V_{DS}, V_{BS}) = \sigma(V_{BS}) V_{DS} \tag{6-13}$$

式中[2]

$$\sigma(V_{BS}) = \sigma = 10^{-7} \times \frac{\epsilon_0 \epsilon_{Si}}{\pi C_{ox} L^3}(\eta_0 - \eta_b V_{BS}) \tag{6-14}$$

$$= 9.55 \times 10^{-8} \frac{t_{ox}}{L^3}(\eta_0 - \eta_b V_{BS}) \tag{6-15}$$

式中L是沟道长度，其与t_{ox}的单位是cm。参数η_0及η_b的典型值分别为0.02～2与0 （Spice 3模型）。

2. 漏极电流表达式

MOS晶体管是四端（terminal）器件。如取源端为电位参考点，则漏极电流由栅、漏、衬底（接触）端偏置决定。衬偏效应通常计入阈值电压的变化（也称为背栅效应），依栅偏和漏偏电压的不同组合，MOS器件工作在三个不同的区域：截止，线性和饱和区。我们已定义了由V_{BS}决定的阈值电压V_{th}（V_{DS}的影响可暂不计，因是二阶效应）。现在再引入一个饱和电压V_{dsat}来定量地确定上述三个工作区域：

- 截止区（或称为亚阈值区）, $V_{GS} < V_{th}$
- 线性区, $V_{GS} > V_{th}$ & $V_{DS} \le V_{dsat}$
- 饱和区，$V_{GS} > V_{th}$ & $V_{DS} > V_{dsat}$

[1] 参数值取自美国Synopsys公司Taurus器件模拟器, User Manual。

[2] The coefficient of 10^{-7} is picked up based on the order of σ value in N. Arora's book [4] (p. 554) and there is still a discrepancey of factor 2.5.

MOS晶体管的漏极电流饱和取决于沟道长度的大小可以由两种不同机理决定：沟道漏端夹断（pinch-off）与载流子速度饱和。其统一公式由Ping Ko [6]提出：

$$V_{\rm dsat} = [(V_{\rm GS} - V_{\rm th}) \parallel (LE_{\rm sat})] = \frac{(V_{\rm GS} - V_{\rm th})(LE_{\rm sat})}{(V_{\rm GS} - V_{\rm th}) + LE_{\rm sat}} \tag{6-16}$$

其中$E_{\rm sat}$是沿沟道方向的载流子速度降至由低场迁移率外推所得的速度一半时的横向电场。通常称$V_{\rm od} = V_{\rm GS} - V_{\rm th}$为栅过驱动电压（over-drive）。上式中方括号（[ ]）中的第一项表示漏极饱和电压是由沟道漏端夹断引起的，第二项则是由于速度饱和。因为式(6-16)表示两个机理的并联关系，整个机理是由何者为小决定。下面还要进一步讨论。

让我们来解释一下如何从基本的物理参数出发，得到$E_{\rm sat}$。沟道中载流子迁移率受垂直于以及平行于沟道方向的表面电场的影响。在Spice Level 3模型中，这个关系表达为

$$\mu_{\rm eff} = \frac{\mu_{\rm s}}{1 + \frac{\mu_{\rm s} V_{\rm DS}/L}{v_{\rm sat}}} \tag{6-17}$$

$$\mu_{\rm s} = \frac{\mu_0}{1 + \theta(V_{\rm GS} - V_{\rm th})}, \text{ Assume } V_{\rm GS} > V_{\rm th} \tag{6-18}$$

上式中，μ_0称为低场表面迁移率，对硅中的电子而言，其典型值为$\mu_0 = 500\,{\rm cm}^2/{\rm V{\cdot}s}$。参数$\theta$可以取，比如，0.1，其实际值可通过模型参数提取获得。采用载流子沿沟道方向的速度和横向电场的关系为

$$v(E) = \frac{\mu_0 E}{1 + \mu_0 E/v_{\rm sat}}, \; E = \frac{V_{\rm DS}}{L} \tag{6-19}$$

上式中$v_{\rm sat}$是载流子的饱和速度。对硅中的电子而言，这个量的典型值为$10^7\,{\rm cm/s}$。令

$$v(E_{\rm sat}) = \frac{1}{2}\mu_0 E_{\rm sat} \tag{6-20}$$

可得到

$$E_{\rm sat} = \frac{v_{\rm sat}}{\mu_0} \tag{6-21}$$

因而，电子的$E_{\rm sat}$典型值为$2 \times 10^4\,{\rm V/cm}$。利用$E_{\rm sat}$的定义，式(6-19)可改写为

$$v(E) = \frac{\mu_0 E}{1 + E/E_{\rm sat}} \Longrightarrow v(E) = \mu_0 E_{\rm sat} \text{ for } E \to \infty \tag{6-22}$$

$v(E)$与横向电场E的关系及$E_{\rm sat}$的定义在图6-1 中表示。

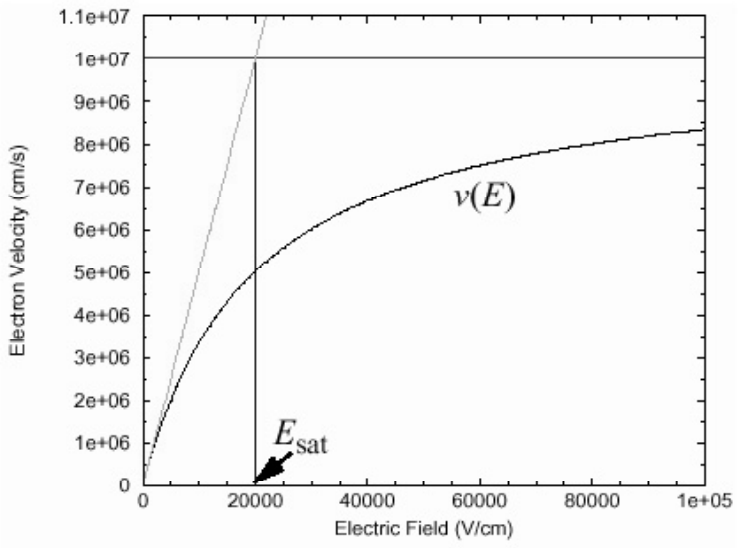


图 6-1 nMOSFET中沟道电子速度与横向电场的关系。有关参数为$\mu_0 = 500\,{\rm cm}^2/{\rm V\text{-}s}$, $v_{\rm sat} = 10^7\,{\rm cm/s}$, $E_{\rm sat} = 2 \times 10^4\,{\rm V/cm}$。

通过引入两个等效的偏置电压：等效漏偏压$V_{\mathrm{ds,eff}}$及等效栅过驱动偏压$V_{\mathrm{gst,\ eff}}$，漏极电流在以上任何一个工作区，可统一表示为[7]

$$I_{\mathrm{DS}} = \underbrace{WQ_{\mathrm{chs0}}}_{\text{inversion charge}} \underbrace{\mu_{\mathrm{eff}}\frac{V_{\mathrm{ds,eff}}}{L}}_{\text{carrier velocity}} = \frac{W}{L}\mu_{\mathrm{eff}}Q_{\mathrm{chs0}}V_{\mathrm{ds,eff}} \tag{6-23}$$

$$Q_{\mathrm{chs0}} = C_{\mathrm{ox}}V_{\mathrm{gst,eff}} \tag{6-24}$$

$$V_{\mathrm{gst,eff}} = \frac{2\eta V_{\mathrm{T}}\ln\left[1+\exp\left(\frac{V_{\mathrm{GS}}-V_{\mathrm{th}}}{2\eta V_{\mathrm{T}}}\right)\right]}{1+(2\eta V_{\mathrm{T}}C_{\mathrm{ox}}/H)\exp\left(-\frac{V_{\mathrm{GS}}-V_{\mathrm{th}}}{2\eta V_{\mathrm{T}}}\right)} = \begin{cases} V_{\mathrm{GS}}-V_{\mathrm{th}} & V_{\mathrm{GS}} \gg V_{\mathrm{th}} \\ \frac{H}{C_{\mathrm{ox}}}\exp\left(\frac{V_{\mathrm{GS}}-V_{\mathrm{th}}}{\eta V_{\mathrm{T}}}\right) & V_{\mathrm{GS}} \ll V_{\mathrm{th}} \end{cases} \tag{6-25}$$

$$V_{\mathrm{ds,eff}} = V_{\mathrm{dsat}}\left\{1-\frac{1}{\alpha}\ln\left[1+\mathrm{e}^{\alpha(1-V_{\mathrm{DS}}/V_{\mathrm{dsat}})}\right]\right\} = \begin{cases} V_{\mathrm{DS}} & V_{\mathrm{DS}} \ll V_{\mathrm{dsat}} \\ V_{\mathrm{dsat}} & V_{\mathrm{DS}} \gg V_{\mathrm{dsat}} \end{cases} \tag{6-26}$$

式（6-25）中，η是表征亚阈值斜率（swing）参数，其典型值为1～3,

$$H = 2\sqrt{\frac{\phi_{\mathrm{B}}}{q\epsilon_0\epsilon_{\mathrm{Si}}N_{\mathrm{A}}}} \tag{6-27}$$

其中，N_{A}是衬底的掺杂浓度（假设p-型）。式(6-26)中，α是调整I_{DS} vs. V_{DS}输出特性在$V_{\mathrm{DS}} = V_{\mathrm{dsat}}$附近过渡的平滑参数，通常可取$\alpha = 10$。

从式（6-16）中可以看出，短沟效应是否严重主要是看$(V_{\mathrm{GS}}-V_{\mathrm{th}})/L$与$E_{\mathrm{sat}}$的比值。如果这个比值是小的话，即使沟道长度短，器件仍呈现长沟特性。也就是说，短沟效应本质上并不是一个几何尺寸的问题，而是一个电学上的（取决于偏置）效应。沟长越小，出现短沟效应所要求的栅过驱动电压就越低。

现在我们来看一下在主要的工作区中的漏电流表达式（为书写简洁起见，我们现在起用μ_{n}（nMOS）代替μ_{eff}）：

① 线性区

$$I_{\mathrm{DS}} = \mu_{\mathrm{n}}C_{\mathrm{ox}}\frac{W}{L}\left[(V_{\mathrm{GS}}-V_{\mathrm{th}})V_{\mathrm{DS}}-\frac{V_{\mathrm{DS}}^2}{2}\right] \tag{6-28}$$

② 饱和区

$$I_{\mathrm{DS}} = \frac{\mu_{\mathrm{n}}C_{\mathrm{ox}}}{2}\frac{W}{L}(V_{\mathrm{GS}}-V_{\mathrm{th}})[(V_{\mathrm{GS}}-V_{\mathrm{th}}) \parallel (LE_{\mathrm{sat}})] \tag{6-29}$$

$$= \frac{WC_{\mathrm{ox}}}{2}(V_{\mathrm{GS}}-V_{\mathrm{th}})v_{\mathrm{sat}}\left[1+\frac{LE_{\mathrm{sat}}}{V_{\mathrm{GS}}-V_{\mathrm{th}}}\right]^{-1} \tag{6-30}$$

在长沟道工作区域，$(V_{\mathrm{GS}}-V_{\mathrm{th}})/L \ll E_{\mathrm{sat}}$，

$$I_{\mathrm{DS}} = \frac{\mu_{\mathrm{n}}C_{\mathrm{ox}}}{2}\frac{W}{L}(V_{\mathrm{GS}}-V_{\mathrm{th}})^2 \tag{6-31}$$

漏极电流反比于沟道长度，即在长沟工作区，缩短沟道长度可以增加漏极电流。

对短沟道，$(V_{\mathrm{GS}}-V_{\mathrm{th}})/L \gg E_{\mathrm{sat}}$，

$$I_{\mathrm{DS}} = \frac{\mu_{\mathrm{n}}C_{\mathrm{ox}}}{2}W(V_{\mathrm{GS}}-V_{\mathrm{th}})E_{\mathrm{sat}} \tag{6-32}$$

此时，漏极电流已不依赖于沟道长度。

3. 跨导

知道了I_{DS}和$V_{\mathrm{GS}}, V_{\mathrm{DS}}, V_{\mathrm{BS}}$的依赖关系，其一阶导数（量纲为电导）原则上都可容易求得。其中I_{DS}对V_{GS}（或V_{BS}）的导数，称为跨导（或背栅跨导），尤为常用。这是因为MOS器件本质上是一个（输入）电压控制的（输出）电流源。定义

$$g_{\mathrm{m}} = \frac{\partial I_{\mathrm{DS}}}{\partial V_{\mathrm{GS}}} \tag{6-33}$$

为正向跨导，而称

$$g_{\mathrm{mb}}=\frac{\partial I_{\mathrm{DS}}}{\partial V_{\mathrm{BS}}} \tag{6-34}$$

为背栅跨导。在饱和区，基于式（6-31）的正向跨导（长沟道）为

$$g_{\mathrm{m}}=\mu_{\mathrm{n}}C_{\mathrm{ox}}\frac{W}{L}(V_{\mathrm{GS}}-V_{\mathrm{th}}) \tag{6-35}$$

用漏极电流表示，则为

$$g_{\mathrm{m}}=\sqrt{2\mu_{\mathrm{n}}C_{\mathrm{ox}}\frac{W}{L}I_{\mathrm{DS}}} \tag{6-36}$$

对短沟道器件（或工作区域），由式（6-32）可得到

$$g_{\mathrm{m}}=\frac{\mu_{\mathrm{n}}C_{\mathrm{ox}}}{2}WE_{\mathrm{sat}} \tag{6-37}$$

可以得出结论：与双极型晶体管不同，长沟MOS器件的跨导与漏电流的平方根成正比。而双极型晶体管的跨导则与集电极电流成正比（见式(6-136)）。

§6.2.2 阈值电压的测量

MOS晶体管阈值电压的定义尽管看起来很简单（表面沟道区强反型），从微观的角度看来也可以有十分明确和定量的定义（表面反型载流子的浓度等于衬底深处掺杂平坦区的多数载流子浓度时的栅源极间的偏置电压）。但根据器件的电流电压特性来得到阈值电压却缺乏唯一性。本节给出常用的两种定义和测量方法。尤其是第一种定义方法，完全没有二异性。

① 基于MOSFET的转移特性I_{DS} vs. V_{GS}（给定漏源偏置V_{DS}）。如果画出g_{m} vs. V_{GS}的线性坐标图，则一定存在一个V_{GS}（记为V_{GSx}），其对应的跨导g_{m}为最大。这是因为当V_{GS}增加时，一开始由于（对nMOS而言）栅场效应诱生的反型载流子表面浓度增加而使得器件的跨导增加。但到了一定程度后，由于垂直于沟道的电场使得反型层载流子的迁移率减小（见式(6-18)），而导致跨导最终随着V_{GS}的增加而减小。这种载流子迁移率对栅电压的依赖关系是造成g_{m} vs. V_{GS}出现最大值的根本原因。在对应于$V_{\mathrm{GS,x}}$的I_{DS}处，作I_{DS} vs. V_{GS}的切线。该切线在V_{GS}轴上的截距即为所要求的（定义的）阈值电压。

② 固定的漏极电流测量法。在此法中，只需要对相应于一个固定漏极电流的栅源偏置进行测量（或模拟）。但这个漏极电流随晶体管的栅长和栅宽而变。本质上，我们只给定一个电流值，例如（也是通常用的）$I_{\mathrm{th}}=10^{-7}\,\mathrm{A}=0.1\mu\mathrm{A}$（见p. 438，参考文献[4]）。然后，要测量的漏极电流即为

$$I_{\mathrm{DS}}=I_{\mathrm{th}}\frac{W_{\mathrm{m}}}{L_{\mathrm{m}}}\ (\mathrm{A}) \tag{6-38}$$

式中W_{m}与L_{m}是版图中画出的（drawn）掩模（mask）上的栅宽和栅长（即，不是加工完后的器件实际栅宽、长）。对应于这个漏极电流的栅源偏置V_{GS}即为所求的阈值电压。注意阈值电压仍然为漏压和衬底偏置的函数。

有关阈值电压测量的进一步讨论可以在文献[4]9.4节中发现。

§6.2.3 MOS电容模型

1. MOS电容的物理组成

源，漏区和衬底间通常是反偏的，所以是标准的pn结电容，标识为C_{jSB}和C_{jDB}。除了结电容外，还有几个平板电容（见图6-2）[1]：

[1]本书中，我们用如下的符号惯例：一个准静态量（如微分电容）大写英文字母表示该物理量，下标则有小写字母表示终端的关系。比如$C_{\mathrm{gs}}=-\partial Q_{\mathrm{G}}/\partial V_{\mathrm{S}}$。详细定义见后。

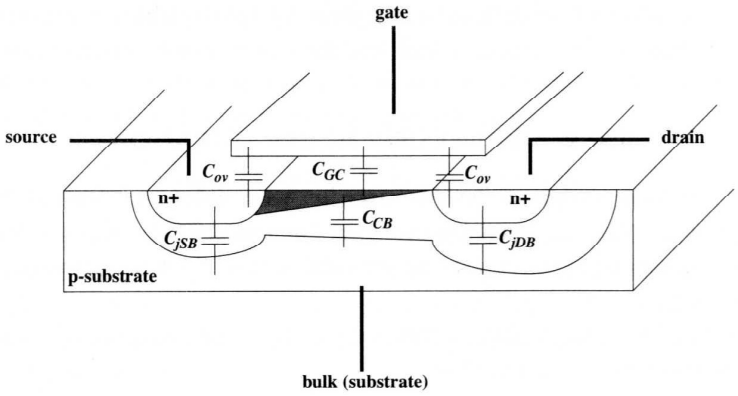


图 6-2 MOSFET 电容

- C_{ov}是栅源、栅漏交叠电容。尽管不希望有它们，却不可避免。

$$C_{\mathrm{ov}} \approx \frac{\epsilon_0 \epsilon_{\mathrm{ox}}}{t_{\mathrm{ox}}} W L_{\mathrm{D}} = 0.7 C_{\mathrm{ox}} W x_{\mathrm{j}} \tag{6-39}$$

  上式中，L_{D}是源、漏区的横向扩散长度。另外还要考虑由于栅电极高度所引起的边缘（fringing）电容。

- 栅－沟道电容C_{GC}。由于源漏区横向扩展到栅极下的区域，有效沟道长度比栅长短了二个L_{D}，

$$C_{\mathrm{gc}} = C_{\mathrm{ox}} W (L - 2L_{\mathrm{D}}) \tag{6-40}$$

- 沟道与衬底间的电容C_{cb}，其行为表现为结电容，

$$C_{\mathrm{cb}} \approx \frac{\epsilon_0 \epsilon_{\mathrm{Si}}}{x_{\mathrm{d}}} W (L - 2L_{\mathrm{D}}) \tag{6-41}$$

  式中x_{d}是衬底表面耗尽区的厚度，等于

$$x_{\mathrm{d}} = \sqrt{\frac{2\epsilon_0 \epsilon_{\mathrm{Si}}}{q N_{\mathrm{sub}}} (2\phi_{\mathrm{B}})} \tag{6-42}$$

但是沟道并不是器件的一个外接终端，因此去发现上述各种电容成分如何贡献到终端电容需要知道沟道电荷是如何在源、漏端划分的。一般说来，终端电容的值取决于器件的工作区域，因为沟道电荷的划分由器件的工作状态决定。

当器件处于线性工作区时（强反型），存在着沟道反型层，我们可以假设源、漏端平均分配沟道电荷。因此，C_{gc}的各半加到交叠电容上去。类似地，C_{jsb}和C_{jdb}也加上了C_{cb}的各半。在饱和区（强反型），漏端的电压不影响沟道电荷，因此C_{gc}对C_{gd}也没有贡献，C_{gd}完全由栅漏交叠电容组成。C_{gs}则依然与C_{gc}有关。仔细的分析表明$C_{\mathrm{gs}} \neq C_{\mathrm{gc}} + C_{\mathrm{ov}}$，而是

$$C_{\mathrm{gs}} = \frac{2}{3} C_{\mathrm{gc}} + C_{\mathrm{ov}} \tag{6-43}$$

我们现在来推导一下这个关系。推导过程中的关键是认识到沟道上的横向压降$V_{\mathrm{CS}}(y)$并不是y的线性函数（初看起来，很容易认为$V_{\mathrm{CS}}(y) = (y/L)V_{\mathrm{DS}}$）。记$V_{\mathrm{GSt}} = V_{\mathrm{GS}} - V_{\mathrm{th}}$。强反型条件是$V_{\mathrm{GSt}} > 0$（更确切地说，要高出一个或数倍热电压$V_{\mathrm{T}}$，见式(6-25)中的$\eta$）。得到$V_{\mathrm{CS}}$ 的表达式要借助于沟道电流连续条件：

$$I_{\mathrm{DS}} = W C_{\mathrm{ox}} [V_{\mathrm{GSt}} - V_{\mathrm{CS}}(y)] \mu_{\mathrm{n}} \frac{\mathrm{d}V_{\mathrm{CS}}(y)}{\mathrm{d}y} \tag{6-44}$$

其中$0 \leq y \leq L$。

$$\int_0^L I_{\mathrm{DS}} \mathrm{d}y = \int_0^{V_{\mathrm{DS}}} W C_{\mathrm{ox}} (V_{\mathrm{GSt}} - V_{\mathrm{CS}}) \mu_{\mathrm{n}} \mathrm{d}V_{\mathrm{CS}} \tag{6-45}$$

注意到I_{DS}是一常数，且在饱和区（暂不考虑沟道长度调制效应）积分上限$V_{\mathrm{DS}}=V_{\mathrm{GSt}}$，可以得到

$$I_{\mathrm{DS}}=\frac{\mu_{\mathrm{n}}WC_{\mathrm{ox}}}{2L}V_{\mathrm{GSt}}^2 \tag{6-46}$$

栅极电荷为

$$Q_{\mathrm{G}}=\int_0^L WC_{\mathrm{ox}}[V_{\mathrm{GSt}}-V_{\mathrm{CS}}(y)]\mathrm{d}y=WC_{\mathrm{ox}}V_{\mathrm{GSt}}L-WC_{\mathrm{ox}}\int_0^L V_{\mathrm{CS}}(y)\mathrm{d}y \tag{6-47}$$

$$\int_0^L V_{\mathrm{CS}}\mathrm{d}y=\int_0^{V_{\mathrm{GSt}}} V_{\mathrm{CS}}\frac{2L}{V_{\mathrm{GSt}}^2}(V_{\mathrm{GSt}}-V_{\mathrm{CS}})\mathrm{d}V_{\mathrm{CS}}=\frac{1}{3}LV_{\mathrm{GSt}} \tag{6-48}$$

在上式中，我们利用了式(6-46)及(6-44)来得到$\mathrm{d}y\to\mathrm{d}V_{\mathrm{CS}}$的变换。因此，

$$Q_{\mathrm{G}}=\frac{2}{3}WLC_{\mathrm{ox}}V_{\mathrm{GSt}} \tag{6-49}$$

C_{gs}在饱和区就可近似求得为（忽略栅源交叠电容C_{ov}）

$$C_{\mathrm{gs}}=\frac{\partial Q_{\mathrm{G}}}{\partial V_{\mathrm{GS}}}\approx\frac{2}{3}WLC_{\mathrm{ox}} \tag{6-50}$$

2. MOS准静态小信号电容的一般定义

MOS器件是一个四端器件。如果我们定义和器件终端相联系的器件内部的电荷为Q_{I} $(\mathrm{I}=\mathrm{G},\mathrm{D},\mathrm{S},\mathrm{B})$，则$Q_{\mathrm{I}}$是偏压$V_{\mathrm{G}},V_{\mathrm{D}},V_{\mathrm{S}},V_{\mathrm{B}}$的函数。我们这里采用任意的电压参考点。可以定义

$$C_{\mathrm{ij}}=\begin{cases}-\frac{\partial Q_{\mathrm{I}}}{\partial V_{\mathrm{J}}},\ \mathrm{i}\neq\mathrm{j}\ \mathrm{i},\mathrm{j}=\mathrm{g},\mathrm{d},\mathrm{s},\mathrm{b}\ (\mathrm{I},\mathrm{J}=\mathrm{G},\mathrm{D},\mathrm{S},\mathrm{B})\\ \frac{\partial Q_{\mathrm{I}}}{\partial V_{\mathrm{J}}},\ \mathrm{i}=\mathrm{j}\end{cases} \tag{6-51}$$

在以上互电容（$\mathrm{i}\neq\mathrm{j}$）定义中用了负号是为了保证当电容的一个极板电压增加时，在这个极上的电荷（带符号）也增加。因此上述定义的电容总是正的。这样，MOS器件的完整电容矩阵为

$$\begin{array}{c|cccc} & V_{\mathrm{G}} & V_{\mathrm{D}} & V_{\mathrm{S}} & V_{\mathrm{B}} \\ Q_{\mathrm{G}} & C_{\mathrm{gg}} & -C_{\mathrm{gd}} & -C_{\mathrm{gs}} & -C_{\mathrm{gb}} \\ Q_{\mathrm{D}} & -C_{\mathrm{dg}} & C_{\mathrm{dd}} & -C_{\mathrm{ds}} & -C_{\mathrm{db}} \\ Q_{\mathrm{S}} & -C_{\mathrm{sg}} & -C_{\mathrm{sd}} & C_{\mathrm{ss}} & -C_{\mathrm{sb}} \\ Q_{\mathrm{B}} & -C_{\mathrm{bg}} & -C_{\mathrm{bd}} & -C_{\mathrm{bs}} & C_{\mathrm{bb}} \end{array} \tag{6-52}$$

为便于记忆，矩阵的行标出了相应的电荷，矩阵的列则标出了相应的偏压。这16个矩阵元素中只有9个是独立的[1]。原因有二：

① 总电荷要满足电中性条件。即

$$Q_{\mathrm{G}}+Q_{\mathrm{D}}+Q_{\mathrm{S}}+Q_{\mathrm{B}}=0 \tag{6-53}$$

由此得到

$$\frac{\partial Q_{\mathrm{G}}}{\partial V_{\mathrm{G}}}=-\frac{\partial Q_{\mathrm{D}}}{\partial V_{\mathrm{G}}}-\frac{\partial Q_{\mathrm{S}}}{\partial V_{\mathrm{G}}}-\frac{\partial Q_{\mathrm{B}}}{\partial V_{\mathrm{G}}} \tag{6-54}$$

或

$$C_{\mathrm{gg}}=C_{\mathrm{dg}}+C_{\mathrm{sg}}+C_{\mathrm{bg}} \tag{6-55}$$

等等。从电容矩阵的角度来说，则是每一列的元素之和是零。这样，就消除了对角线上的四个（自电容）元素为独立变量。

[1]从线性网络的理论，这实际上是明显的结论。对n个终端（terminals）的网络，只有$\mathrm{n}-1$个独立的端口（ports）。因为总是可以将其中一个终端设为电位参考点。因而用$(\mathrm{n}-1)\times(\mathrm{n}-1)$就可完全表征网络的小信号特性。准静态增量电容也是小信号参数。所以用9个电容就可以完全表征四端MOS器件的准静态电荷特性。

② 对于每一行的元素而言，其和也为零。这是因为电容矩阵是独立于电位参考点的选择。比如当V_{G}变化而其它终端电压不变时，可等效地视作V_{G}不变，其它电压同时等值向反方向变化。因此，例如对Q_{G}有

$$\frac{\partial Q_{\mathrm{G}}}{\partial V_{\mathrm{G}}} = -\frac{\partial Q_{\mathrm{G}}}{\partial V_{\mathrm{D}}} - \frac{\partial Q_{\mathrm{G}}}{\partial V_{\mathrm{S}}} - \frac{\partial Q_{\mathrm{G}}}{\partial V_{\mathrm{B}}} \tag{6-56}$$

或

$$C_{\mathrm{gg}} = C_{\mathrm{gd}} + C_{\mathrm{gs}} + C_{\mathrm{gb}} \tag{6-57}$$

即第一行的电容矩阵元素之和是零。其它各行服从同样的规律。初看起来，似乎又可消去四个独立变量。实际上四个方程中只有三个是独立的。因此只有三个独立变量可消去。拿第三行为例，将第一、二和四行的对角线上的电容$C_{\mathrm{gg}}, C_{\mathrm{dd}}, C_{\mathrm{bb}}$用各行的非对角线电容表示，又利用各列电容相加等于零的性质，可以将该行的非对角电容用其它非对角电容表示如下：

$$C_{\mathrm{sg}} = C_{\mathrm{gd}} + C_{\mathrm{gs}} + C_{\mathrm{gb}} - C_{\mathrm{dg}} - C_{\mathrm{bg}} \tag{6-58}$$

$$C_{\mathrm{sd}} = C_{\mathrm{dg}} + C_{\mathrm{ds}} + C_{\mathrm{db}} - C_{\mathrm{gd}} - C_{\mathrm{bd}} \tag{6-59}$$

$$C_{\mathrm{sb}} = C_{\mathrm{bg}} + C_{\mathrm{bd}} + C_{\mathrm{bs}} - C_{\mathrm{gb}} - C_{\mathrm{db}} \tag{6-60}$$

这样，12个非对角电容中只有9个是独立的。

如此，四端MOS电容矩阵有9个独立变量。采用以上的选择（消除$C_{\mathrm{si}}, \mathrm{i} = \mathrm{g}, \mathrm{d}, \mathrm{s}, \mathrm{b}$，或换言之，排除源端电荷为独立变量），这些独立电容可排成3×3的矩阵：

$$\begin{pmatrix} & C_{\mathrm{gd}} & C_{\mathrm{gs}} & C_{\mathrm{gb}} \\ C_{\mathrm{dg}} & & C_{\mathrm{ds}} & C_{\mathrm{db}} \\ & & & \\ C_{\mathrm{bg}} & C_{\mathrm{bd}} & C_{\mathrm{bs}} & \end{pmatrix} \Longrightarrow \begin{bmatrix} C_{\mathrm{gd}} & C_{\mathrm{gs}} & C_{\mathrm{gb}} \\ C_{\mathrm{dg}} & C_{\mathrm{ds}} & C_{\mathrm{db}} \\ C_{\mathrm{bg}} & C_{\mathrm{bd}} & C_{\mathrm{bs}} \end{bmatrix} \tag{6-61}$$

注意跨电容（transcapacitance，即$C_{\mathrm{ij}}, \mathrm{i} \neq \mathrm{j}$）并不具备互逆性（reciprocity），即$C_{\mathrm{ij}} \neq C_{\mathrm{ji}}, \mathrm{i} \neq \mathrm{j}$。比如，$C_{\mathrm{gd}} \neq C_{\mathrm{dg}}$。表6-2列出了以衬底b为电压参考点时的常用准静态小信号电容，例如C_{gs}，在晶体管的不同工作区域中的表达式。

	开态	线性区	饱和区
C_{gs}	C_{ov}	$C_{\mathrm{gc}}/2 + C_{\mathrm{ov}}$	$2C_{\mathrm{gc}}/3 + C_{\mathrm{ov}}$
C_{gd}	C_{ov}	$C_{\mathrm{gc}}/2 + C_{\mathrm{ov}}$	C_{ov}
C_{gb}	$C_{\mathrm{gc}} > C_{\mathrm{gb}} > C_{\mathrm{gc}}C_{\mathrm{CB}}/(C_{\mathrm{gc}} + C_{\mathrm{cb}})$	0	0
C_{sb}	C_{jsb}	$C_{\mathrm{jsb}} + C_{\mathrm{cb}}/2$	$C_{\mathrm{jsb}} + 2C_{\mathrm{cb}}/3$
C_{db}	C_{jdb}	$C_{\mathrm{jdb}} + C_{\mathrm{cb}}/2$	C_{jdb}

表 6-2 MOSFET中，以衬底b为电压参考点时的常用准静态小信号电容在晶体管的不同工作区域中的表达式。

§6.2.4 高频品质因子

品质因子（figure of merit）可以将多维的量简化成一个单一的指标来表示。在器件的高频特性中，有两个特征频率（品质因子）尤其有用：ω_{T}和ω_{max}。它们分别是在“外推”的电流和功率增益为单位值（即1）时的频率。这里指的外推是在频率和增益的乘积为常数时的频率范围内进行的。我们现在给出它们的定义和推导。

假设将共源接法的MOS的漏极交流接地，栅极由一个理想电流源驱动。在这样的电路结构里，漏－衬底电容C_{db}和栅串联电阻对电流增益都不起作用。进一步假定，栅漏电容C_{gd}只在计算

输入阻抗时被考虑，而对通过其在输出电流中的正向馈送电流的贡献则忽略不计。这样，漏、栅（交流）电流之比（即电流增益）可写为

$$\left|\frac{i_{\mathrm{d}}}{i_{\mathrm{in}}}\right| \approx \frac{g_{\mathrm{m}}}{\omega(C_{\mathrm{gs}}+C_{\mathrm{gd}})} \tag{6-62}$$

当频率ω等于

$$\omega_{\mathrm{T}} = \frac{g_{\mathrm{m}}}{C_{\mathrm{gs}}+C_{\mathrm{gd}}} \tag{6-63}$$

时，电流增益为1。这个频率被称为晶体管的截止频率，$f_{\mathrm{T}} = \omega_{\mathrm{T}}/2\pi$。应该指出，选择增益为1作为截止频率的定义点，并无特别的原因，只是为方便记忆和计算而已。关键之处是增益和频率的乘积要在定义的频率区域中为常数（这在式(6-62)中的确如此：等于$g_{\mathrm{m}}/(C_{\mathrm{gs}}+C_{\mathrm{gd}})$）。

尽管截止频率f_{T}是一个表征晶体管高频特性的最常用的一个参数，另一个更有关的指数其实是功率增益外推为1时的频率$\omega_{\max}$。这个频率比较更难求些。我们首先来看一下如何求最大输出功率增益。这是将漏端的负载置成和器件的输出阻抗成共轭匹配以取得最大的输出功率。这样，我们首先要找到器件的输出阻抗。此时的输入条件是输入电流源开路，且C_{gd}在计算输出阻抗时不能被忽略。现在我们就给出计算功率增益截止频率（或更经常被称为最大振荡频率）$\omega_{\max}$的步骤。

首先，输入功率可以被简单地计算为

$$P_{\mathrm{in}} = \frac{i_{\mathrm{in}}^2 r_{\mathrm{g}}}{2} \tag{6-64}$$

其中i_{in}是输入电流的振幅，r_{g}是栅极串联电阻，而且也是在输入电路中唯一的耗能元件。其次，需要得到器件的输出阻抗。这可以在器件的等效电路中令输入端开路（$i_{\mathrm{in}}=0$），而在输出端加激励电压。通过求出在输出端的响应（注入）电流，即可得到器件的输出阻抗。依此步骤，可以从以下的等效电路得到输出阻抗的电阻部分大约等于（忽略通过C_{gd}的电流对输出端响应电流的贡献）

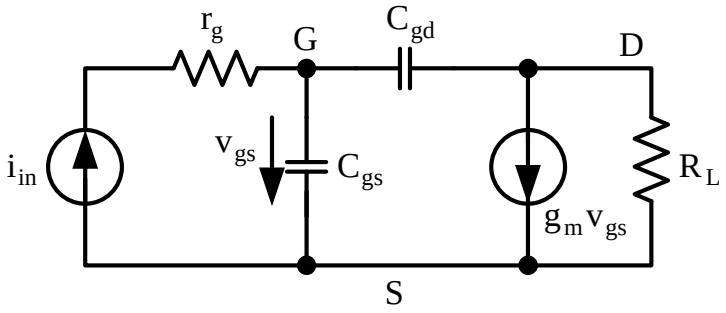


图 6-3 用于求MOS最大功率增益截至频率的等效电路

$$\frac{1}{r_{\mathrm{out}}} = g_{\mathrm{out}} \approx g_{\mathrm{m}}\frac{C_{\mathrm{gd}}}{C_{\mathrm{gd}}+C_{\mathrm{gs}}} = \omega_{\mathrm{T}} C_{\mathrm{gd}} \tag{6-65}$$

而输出端交流短路时的电流增益也可用ω_{T}将式（6-62）表示为

$$\left|\frac{i_{\mathrm{d}}}{i_{\mathrm{in}}}\right| \approx \frac{\omega_{\mathrm{T}}}{\omega} \tag{6-66}$$

从器件输出端看进去的等效电源中的（受控）电流源电流i_{d}，一半供给负载，另一半则消耗在器件的自身输出阻抗上。因而有

$$\frac{P_{\mathrm{L}}}{P_{\mathrm{in}}} \approx \frac{\frac{1}{2}\left(\frac{1}{2}\frac{\omega_{\mathrm{T}}}{\omega} i_{\mathrm{in}}\right)^2 \frac{1}{\omega_{\mathrm{T}} C_{\mathrm{gd}}}}{i_{\mathrm{in}}^2 r_{\mathrm{g}}/2} \approx \frac{\omega_{\mathrm{T}}}{4\omega^2 r_{\mathrm{g}} C_{\mathrm{gd}}} \tag{6-67}$$

当功率增益为1时，相应的频率为

$$\omega_{\max} \approx \frac{1}{2}\sqrt{\frac{\omega_{\mathrm{T}}}{r_{\mathrm{g}} C_{\mathrm{gd}}}} \tag{6-68}$$

从上式可以清楚地看到，最大功率增益截止频率与栅电阻有关，因而比ω_T更为综合反映器件的高频特性。进一步可以推断，如果r_g足够小，ω_{max}也可以比ω_T大。通过合理地设计版图可以使栅电阻做得很小，因此ω_{max}可以比ω_T大很多。同时注意到，输出电容对ω_{max}并无影响，这是因为总可以将负载调成将输出阻抗的电抗部分完全抵消掉。

对ω_T和ω_{max}的测量是增加频率直到增益有明显的降低。再用外推的办法得到增益为1时的频率。正因为截止频率是由外推法得到的，实际器件并不能工作在这些频率下。通常为了保证器件正常工作，工作频率约为ω_T的1/5到1/10。

例：长沟器件截止频率与偏置电压，工艺参数，和器件尺寸的关系。如果近似认为输入电容主要由C_{gs}组成，即$C_{gd} \ll C_{gs}$，应用式（6-63）以及式（6-35)和（6-50)，可以得到

$$\omega_T \approx \frac{g_m}{C_{gs}} \approx \frac{\mu_n C_{ox}(W/L)(V_{GS}-V_{th})}{(2/3)WLC_{ox}} = \frac{3}{2}\frac{\mu_n(V_{GS}-V_{th})}{L^2} \tag{6-69}$$

因此，长沟的ω_T反比于沟长的平方，而正比于栅极的过驱动电压（$V_{od}=V_{GSt}=V_{GS}-V_{th}$）。

对于短沟MOS器件，漏电流的饱和是由载流子速度饱和而不是沟道在漏端夹断引起的。由式（6-37)，得到

$$\omega_T \approx \frac{g_m}{C_{gs}} \approx \frac{(1/2)\mu_n C_{ox} W E_{sat}}{(2/3)WLC_{ox}} = \frac{3}{4}\frac{\mu_n E_{sat}}{L} \tag{6-70}$$

我们看到短沟MOS的截止频率不像长沟器件那样反比于沟长的平方而是反比于沟长。同时既不依赖于偏置也不依赖于栅氧化层厚度。当然这些关系只在饱和区成立。

在这一节的最后，我们来看一下在2003年发表的CMOS截止频率与标称栅长的关系（实际栅长还要短）[8]。 由图可推断，90纳米CMOS技术节点（栅长为50纳米）的器件截止频率已超

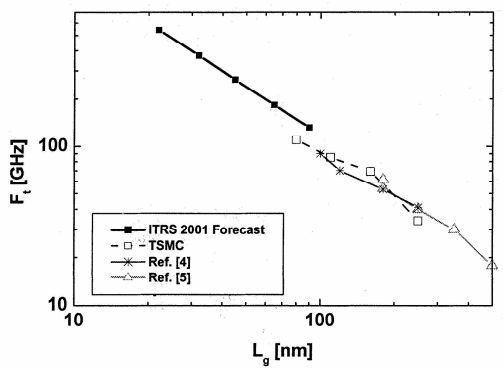


图 6-4 nMOS截止频率与标称栅长的关系

过100 GHz。

§6.2.5 非准静态（NQS）现象及模型

至今为止的有关MOS物理的讨论，无论是直流还是电荷存储（电容）效应，都是基于准静态（quasi-static）假设。即是，器件对外部激励的反应都是即时的。用一般的数学公式来描述准静态，如果器件的响应以电流表示（例如MOS器件的漏极电流），外部激励为电压（例如MOS的栅源偏置）, 则

$$I(t) = f(V(t)) \tag{6-71}$$

其中，f可以是一个任意函数，而激励V则可以是时间的函数。上式指出了这样一个关系，即V的变化会立即在I上反应出来，它们之间的关系不随时间而变。比如说，对MOS器件下列的关系

$$i_{DS} = \mu_n C_{ox}\frac{W}{L}\left[(v_{GS}-V_{th})v_{DS} - \frac{v_{DS}^2}{2}\right] \tag{6-72}$$

这里我们用小写字母加大写下标表示一个依赖于时间的物理量，如漏源间漏极电流，$i_{\mathrm{DS}}(t)$，v_{GS}和v_{DS}的变化会立即引起i_{DS}的变化，即称为准静态关系。另举一交流小信号关系为例。下图是MOS最简化的交流等效电路，漏极电流被在栅源电容C_{gs}上的压降直接控制。关系为

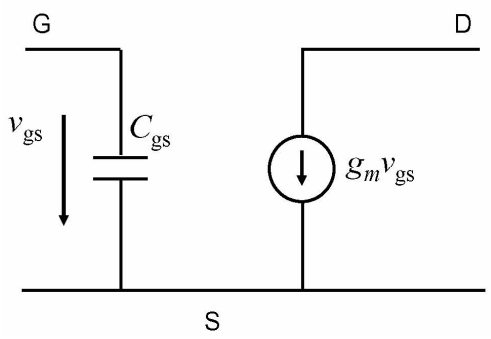


图 6-5 最简单的处于饱和区的MOS交流小信号电路。交流输出电阻被忽略。

$$i_{\mathrm{ds}} = g_{\mathrm{m}} v_{\mathrm{gs}} \tag{6-73}$$

因为外部交流小信号V_{gs}（注意，大写字母加小写下标表示谐波（harmonic）交流信号，或称为相量，是一个复数，但不是时间的函数）就直接加到C_{gs}上。式中g_{m}为跨导，一旦直流偏置确定后，可视为常数。但是如果在信号源v_{in}与栅电极之间存在着一个电阻，则情况就不同了。

$$V_{\mathrm{gs}} = \frac{1}{1 + \mathrm{j}\omega R_{\mathrm{g}} C_{\mathrm{gs}}} V_{\mathrm{in}} \tag{6-74}$$

I_{ds}与V_{in}在交流小信号上的关系除了依赖于V_{in}外，还和频率ω有关。转成时域上的关系，即是$i_{\mathrm{ds}}(t)$不仅取决于$v_{\mathrm{in}}(t)$，也依赖于t。我们来看一下这种时域中的关系。从流过同一支路电阻和电容的电流相等原理出发

$$\frac{v_{\mathrm{in}}(t) - v_{\mathrm{GS}}(t)}{R} = C_{\mathrm{gs}} \frac{\mathrm{d}v_{\mathrm{GS}}(t)}{\mathrm{d}t} \tag{6-75}$$

同时假设$v_{\mathrm{GS}}(0^-) = v_{\mathrm{in}}(0^-)$（起始条件为稳态），得

$$v_{\mathrm{GS}}(t) = \mathrm{e}^{-t/\tau} \left[\frac{1}{\tau} \int_0^t v_{\mathrm{in}}(s) \mathrm{e}^{s/\tau} \mathrm{d}s + v_{\mathrm{in}}(0^-) \right] \tag{6-76}$$

其中，$\tau = RC$。可见，v_{GS}不只是v_{in}的函数，亦有显式依赖于t。我们称如下的一般关系式

$$i(t) = f(v(t), t) \tag{6-77}$$

为非准静态关系。注意，在式(6-76)中，如果v_{in}随时间变化十分缓慢（即处于准静态），以至于v_{in}可以提出在积分号外。该式就还原为$v_{\mathrm{GS}}(t) = v_{\mathrm{in}}(t)$。

有了以上的讨论为基础，我们来看一下实际的MOS器件为什么一般都呈现非准静态特性。我们从交流小信号模型出发。MOS器件在表面沟道形成后，沿沟道长度方向，在源漏与栅电极之间可以看成是一个分布的一维RC网络。如图6-6所示。 注意图中栅电极是作为公共电势参考点。这张图的不足之处是并没有标出有源器件在何处，而且也只是针对强反型的情况。一个更一般的表示MOS器件沿沟道方向的分布特征的图像是将单一的MOS器件表示成数个子器件串联而成，如图6-7。 为了便于量化的分析，我们在沿沟道方向仅取两个相同的MOS管串联，其示意图与等效电路见图6-8。 我们现在来分析一下这个电路。首先注意到，如果这个电路在终端D和S间有电流流过，M1 必须处于线性工作区。这是因为M2管要导通，其栅源电压必须大於阈值电压，即$V_{\mathrm{GS},2} = V_{\mathrm{GX}} > V_{\mathrm{th}}$（此处我们不考虑衬底偏置对M2阈值电压的影响）。而$V_{\mathrm{GD},1}$亦等于V_{GX}，因此M1的漏端不可能夹断。这样M1一定处于线性工作区。图6-8右半图给出了该结构的一般性交流小信号等效电路。由于M1处于线性工作区，$g_{\mathrm{m1}} \approx 0$，其所属的受控电流源可以视为开路，而$r_{\mathrm{ds1}}$不能视为无穷大。如果原始的MOSFET处于饱和工作区，则r_{ds2}所在支路可视为开路（电阻无穷大），但M2中的受控电流源则不能忽略（g_{m2}有一定的值）。整个分析中重要的部分是无

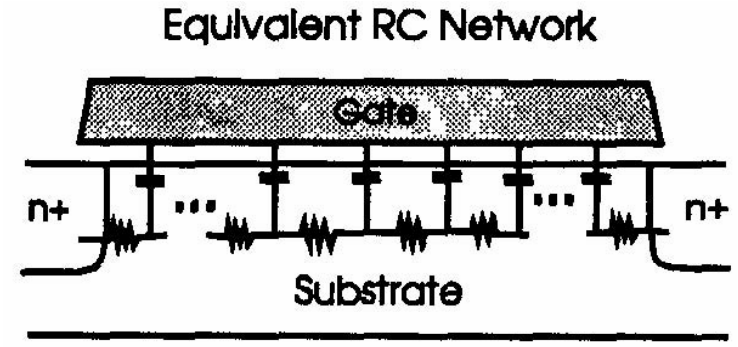


图 6-6 MOS沟道形成之后，源漏间与栅电极之间的分布RC网络。

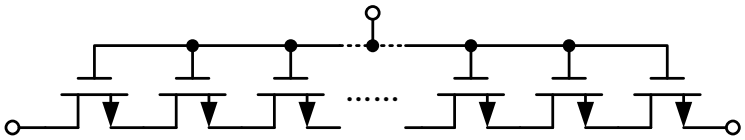


图 6-7 MOS器件表示成沿沟道方向的若干个子器件串联而成。

论原始的晶体管处于何种状态（线性或饱和，假设强反型），M2的栅源电压对输入的$V_{\rm gs}$信号的反应都要经过一个低通RC网络$r_{\rm ds1}-(C_{\rm sg1}+C_{\rm dg2})$的延迟。这就是非准静态（NQS）的根本来源。

现在来讨论如何对这种非准静态现象建立模型。显然，将单个晶体管分成几个晶体管串联的方法对大规模的电路进行模拟是行不通的，因为这样做会大大增加需模拟电路的节点数。比较实用的方法是用最少的附加元件数能将NQS现象定量地近似出来。我们下面介绍BSIM3中的NQS模型。该模型的本质就是引入人为的栅极电阻，通过栅电阻与$C_{\rm gs},C_{\rm gd}$形成的RC支路来模拟因沟道靠近源端部分分布电阻、电容网络引起的栅源端输入信号到实际影响MOSFET的本征栅源电容两端上的压降延迟。具体的等效电路如图6-9。 注意，新增加的两个电阻（互相相同）是加在外部栅极和器件的内部节点上的，因而整个模型较原来的增加了两个电路节点。$R_{\rm s},R_{\rm d}$是源/漏区的串联电阻，其是直流电阻。$r_{\rm ds},g_{\rm m}$ 是交流小信号参数，其值取决于晶体管的直流偏置。$R_{\rm Elmore}$是交直流等效电阻[1]，是用来模拟NQS效应的，其值也是由直流偏置决定。其表达式为

$$R_{\rm Elmore}=\frac{L}{\alpha W Q_{\rm ch}}=\frac{L}{\alpha W C_{\rm ox}(V_{\rm GS}-V_{\rm th})} \tag{6-78}$$

式中，α通常取3。为了区分外部与内部节点的差别，我们用大写英文字母表示晶体管的外部节点。由式(6-78) 可见，反映NQS效应的栅极电阻与沟道长度成正比。如果沟道长度足够短（相对单位长度沟道反型电荷而言），则该修正电阻可以忽略。下面的例子说明这种模型的有效性。正确的结果是通过将原始的MOSFET分成4个子晶体管串联而成，然后进行交流小信号分析。

§6.2.6 MOS非本征模型

在这一节中我们主要考虑与射频电路应用有关的分布栅电极RC等效电路模型及衬底电阻网络模型。

1. 栅电极分布电阻、电容网络模型

在高频工作下，由栅电极金属接触（欧姆接触）到沟道有源区上方的栅极（通常由重掺杂的多晶硅层形成）各处的电阻不能忽略。这个分布的电阻网络又通过分布的栅电容（gate capacitance）在栅电极与沟道电阻（也是一个分布网络）之间形成*RC*网络。如图6-11所示。实际的MOS集约（compact）模型，不可能采用这种*RC*分布网络（元件数太多）。必须进行简化。

[1]因而也可以用在瞬态分析。但如果栅介质的漏电机理也要考虑时，这个电阻的存在会改变直流工作点。

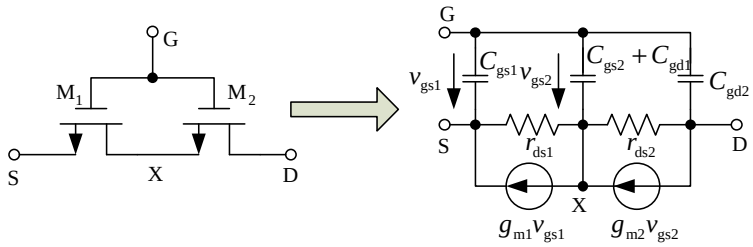


图 6-8 MOS器件表示成沿沟道方向的二个子MOS器件串联而成。

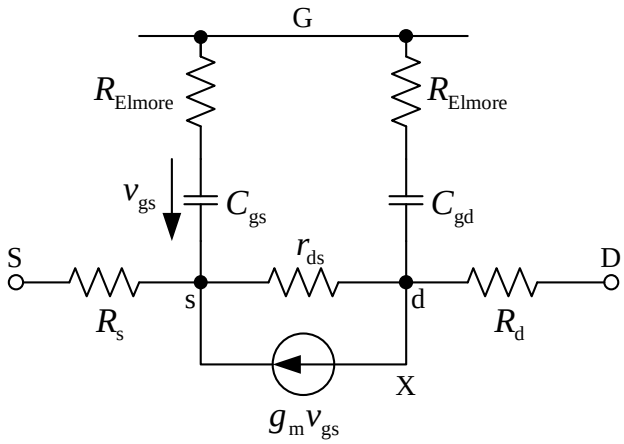


图 6-9 MOS器件的非准静态（NQS）模型等效电路。

通常采用一个集总栅极电阻，R_{g}，直接接到本征晶体管道栅电极就可以得到足够的精度。文献[5]中提出了如下公式，

$$R_{\mathrm{g}}=\frac{R_{\square,\mathrm{g}}}{N_{\mathrm{f}}L_{\mathrm{f}}}\left(W_{\mathrm{ext}}+\frac{W_{\mathrm{f}}}{\alpha}\right) \tag{6-79}$$

上式中我们已假定了单个晶体管具有多指版图结构，即每一个指都是一个全同的MOSFET，然后将每一个指的栅金属接触并联起来。将单指的栅宽、长分别记为$W_{\mathrm{f}},L_{\mathrm{f}}$，并记指的个数为$N_{\mathrm{f}}$，则有上式。内中，$R_{\square,\mathrm{g}}$是栅电极层（如上提及，多为多晶硅层）的方块电阻（典型值为(5∼10)Ω/□），W_{ext}是栅电极延伸在有源区以外的额外栅宽。α 则依据版图的不同设计可取1/3或1/12。详细讨论，见参考文献[5]。

考虑到NQS（非准静态）效应（该效应是由于沟道电阻的分布特征所引起的，此处不作详细讨论），在上述非本征栅串联电阻上还要加上一个依赖于栅偏置电压和版图结构的串联电阻。记为

$$R_{\mathrm{g}}=R_{\mathrm{poly}}+R_{\mathrm{NQS}} \tag{6-80}$$

式中R_{poly}即取式(6-79)的表达式。

2. 衬底电阻分布网络

在射频CMOS电路中，衬底的分布电阻不再能忽略。加在漏端的信号可以通过漏区－衬底结电容及衬底电阻网络耦合到栅、源端上。这一节给出衬底电阻的电路模型。图6-12是衬底分布电阻等效电路，其中包括了源/漏与衬底之间的结电容。 衬底分布电阻对器件特性的影响主要是改变从漏端看进去的输出电阻，其影响程度可高达20%（减小输出阻抗）。图中，

$$R_{\mathrm{DSB}}=\frac{R_{\square,B}L_{\mathrm{f}}}{N_{\mathrm{f}}W_{\mathrm{f}}} \tag{6-81}$$

$$R_{\mathrm{DB}}=\frac{r_{\mathrm{dbw}}}{N_{\mathrm{f}}W_{\mathrm{f}}} \tag{6-82}$$

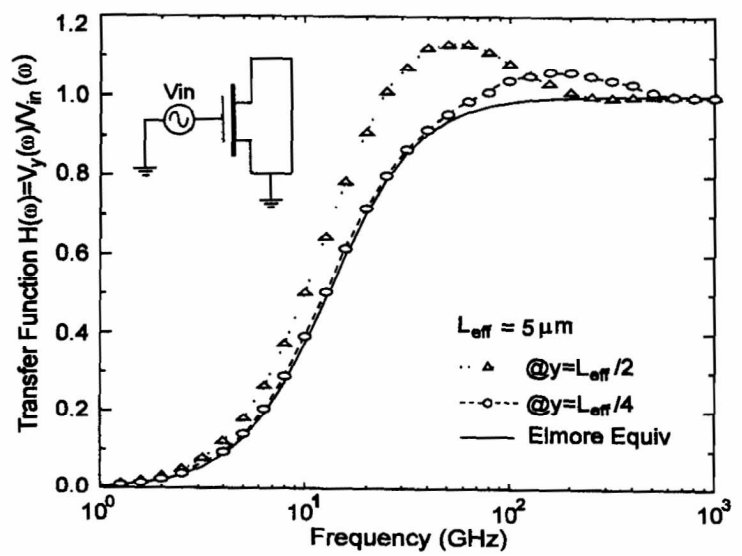


图 6-10 MOS器件的交流小信号分析：非准静态（NQS）模型等效电路与串联子器件的比较。

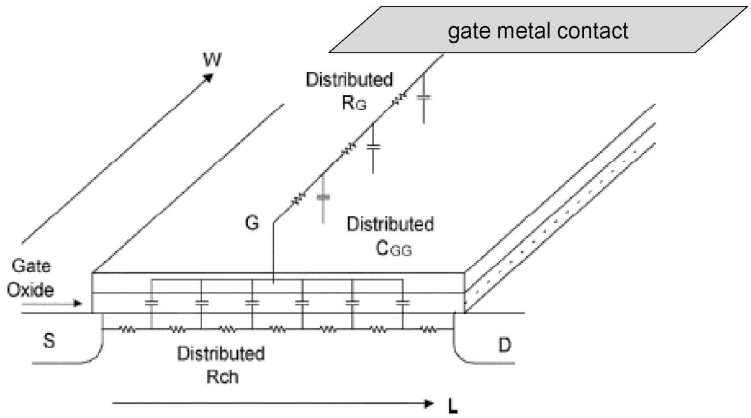


图 6-11 栅电极分布电阻、电容网络模型

$$R_{\mathrm{SB}} = \frac{r_{\mathrm{sbw}}}{N_{\mathrm{f}} W_{\mathrm{f}}} \tag{6-83}$$

其中，r_{dbw}与r_{sbw}分别是单位栅宽的衬底接触与漏、源区的衬底电阻。

§6.2.7 MOS高阶效应及其BSIM模型

本节列出在前述MOS $I-V$, $C-V$基本特性中不曾涉及的高阶效应，及其在BSIM中的模型。

1. 多晶硅栅耗尽（Polygate-depletion）效应

多晶硅是作为栅电极区的理想材料，主要是因为可以实现MOS器件制造的自对准工艺，掺杂浓度也可很高（$\sim 10^{20}\mathrm{cm}^{-3}$）。但是这样的掺杂浓度（或载流子浓度），仍然会在栅电极区中靠近栅介质层处产生耗尽区，如果栅电压是使MOS管强反型的偏置。这个现象被称为多晶硅栅耗尽。以nMOS为例，当$V_{\mathrm{GS}} > V_{\mathrm{th}}$时，这个栅电极区与栅介质层界面处的耗尽区呈正电（$N_{\mathrm{D}}^{+}$是正离子）。因为栅电极接触处的电场为零，由高斯定理可知，上述界面处的电场是由栅电极指向衬底的。由此，这个栅电极耗尽区上的电压降是从栅电极到栅介质层。实际加在栅介质层（顶部）与沟道（或源端）的电压就要比外加的V_{GS}要小。

多晶硅栅耗尽对器件的$I-V$，$C-V$特性都有影响。其对$I-V$特性的影响通过上述的电压降体现，可以建模为下述方式之一：1) 有效的V_{GS}减小；2) 阈值电压升高（或等效地平带电压升

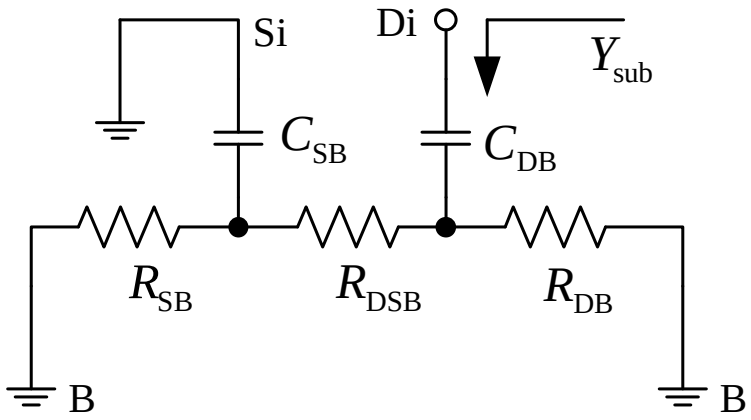


图 6-12 衬底分布电阻网络模型

高）。对$C-V$特性的影响则因为栅耗尽区的有限宽度得以体现。可以视作等效的栅介质层厚度增加，或等效栅电容减小。在BSIM3/4中这两个效应（压降，耗尽区宽度）统一由有效V_{GS}的减小来建模，以尽可能简化模型的复杂度（栅电压减小，在某种程度上也反映了栅电容的减少）。公式如下

$$\begin{aligned} V_{\mathrm{GS,eff}} &= V_{\mathrm{GS}} - V_{\mathrm{poly}} \\ V_{\mathrm{poly}} &= \frac{10^6}{2} q\epsilon_0\epsilon_{\mathrm{Si}} \times \texttt{NGATE} \times C_{\mathrm{ox}}^2 \left[\sqrt{1+\frac{2}{10^6}\frac{V_{\mathrm{GS}}-V_{\mathrm{FB}}-2\phi_{\mathrm{B}}}{q\epsilon_0\epsilon_{\mathrm{Si}}\times\texttt{NGATE}\times C_{\mathrm{ox}}^2}}-1\right]^2 \end{aligned} \tag{6-84}$$

式中参数NGATE是多晶硅栅区的掺杂浓度（更准确地说是激活的掺杂浓度），单位是cm^{-3}。典型值，对nMOS是6×10^{19}，pMOS 1×10^{19}。V_{poly}的值在BSIM4中被限制在0和1.12 V（硅的禁带宽度）之间。当$\texttt{NGATE}<10^{18}$，V_{poly}被设为0（没有多晶硅栅耗尽效应）。

2. 衬底表面（垂直沟道方向）量子力学效应

在高掺杂的衬底（或强垂直沟道方向的表面电场），在衬底表面由于量子力学效应会使反型层载流子分布的最大值偏离表面（量子力学要求在势垒存在处波函数的值，亦即载流子浓度消失或减小）。这可以等效地看作栅介质层厚度增加（栅电容减小）。在BSIM4中，这被建模为

$$C_{\mathrm{ox,eff}} = (C_{\mathrm{ox}} \parallel C_{\mathrm{qm}}) \tag{6-85}$$

$$C_{\mathrm{qm}} = \frac{\epsilon_0\epsilon_{\mathrm{Si}}}{t_{\mathrm{qm}}\times10^{-7}},\ t_{\mathrm{qm}}\text{ in nm} \tag{6-86}$$

$$t_{\mathrm{qm}} = \begin{cases} 1.9\,\mathrm{nm}\times\left\{1+5\times\left[V_{\mathrm{GS,eff}}-V_{\mathrm{th}}+4\times(\texttt{VTH0}-V_{\mathrm{FB}}-2\phi_{\mathrm{B}})\right]/t_{\mathrm{ox}}\right\}^{-0.7} & \\ \qquad \texttt{VTH0}-V_{\mathrm{FB}}-2\phi_{\mathrm{B}}\geq 0 & \\ 1.9\,\mathrm{nm}\times\left[1+5\times(V_{\mathrm{GS,eff}}-V_{\mathrm{th}})/t_{\mathrm{ox}}\right]^{-0.7},\ t_{\mathrm{ox}}\text{ in nm} & \\ \qquad \text{otherwise} & \end{cases} \tag{6-87}$$

3. 栅介质层隧穿效应

栅介质（通常是SiO_2）层在栅电极与衬底沟道间对载流子形成一个势垒（SiO_2—Si，对电子大约为3.5 eV，对空穴约为4.3 eV）。但是，当栅介质层厚度变小时（在130纳米CMOS技术节点，这个厚度在1.2纳米左右），通过这个势垒的量子力学直接隧穿[1] 几率会急剧增加（呈指数式），尽管其绝对值仍然会比较小。直接隧穿电流对势垒高度与厚度的依赖关系为

$$I_{\mathrm{td}} \propto \exp\left(-2d\sqrt{\frac{2m^*q\Phi_{\mathrm{b}}}{\hbar^2}}\right) \tag{6-88}$$

[1]另一种隧穿机理是Fowler-Nordheim隧穿。该机理在栅介质层上的压降非常大时发生，我们这里不考虑

其中下标td表示direct tunneling，d和Φ_{b}分别表示势垒的宽度和高度，m^*是载流子在栅介质层中的有效质量。由式可见栅极隧穿电流随栅介质层的厚度减小成指数增加。

在BSIM4中，栅极隧穿电流，I_{Gt}，进入硅衬底后分成3个分量：分别是栅极与源极、漏极及衬底接触之间的电流

$$I_{\mathrm{Gt}} = I_{\mathrm{GSt}}(V_{\mathrm{GS}}, V_{\mathrm{DS}}) + I_{\mathrm{GDt}}(V_{\mathrm{GD}}, V_{\mathrm{DS}}) + I_{\mathrm{GBt}}(V_{\mathrm{GB}}) \tag{6-89}$$

式中我们列出来各电流分量对相应偏置的依赖关系，详细的公式可参看[1]5.18节。

4. **碰撞电离衬底电流**

在MOS器件的沟道漏端，衬底中的电场会变得很强，而且是二维分布（即不只是沿沟道方向）。沟道载流子在连续两次散射之间可以得到足够的能量以造成碰撞电离（impact ionization）而产生电子－空穴对。对nMOS而言，产生的空穴被衬底接触收集，而电子则流向漏极区。这样就会在漏－衬底间形成电流。总的漏电流现变为

$$I_{\mathrm{D}} = I_{\mathrm{DS}} + I_{\mathrm{DB}} \tag{6-90}$$

从上述的衬底电流形成的物理机理可以推测I_{DB}应该正比于I_{DS}。在BSIM3中，衬底电流被建模为

$$I_{\mathrm{DB}} = \left(\frac{\mathrm{alpha0}}{L} + \mathrm{alpha1}\right)(V_{\mathrm{DS}} - V_{\mathrm{DS,eff}}) \exp\left(-\frac{\mathrm{beta0}}{V_{\mathrm{DS}} - V_{\mathrm{DS,eff}}}\right) I_{\mathrm{DS}} \tag{6-91}$$

式中`alpha0`, `alpha1`和`beta0`是3个新引入的拟合参数。

衬底电流对MOS器件性能的不利影响包括在漏极与地（衬底通常接地）之间引入了一个附加的电导项，这会降低晶体管的增量输出电阻。在模拟和混合信号电路的设计中尤为不希望见到。这个衬底电流与沟道长度有关：沟道长度愈短，衬底漏电流愈大。

5. **栅极诱发漏端漏电流机制**（Gate-Induced-Drain-Leakage, GIDL）

另一个MOS器件的关态工作区域，即$V_{\mathrm{GS}} < 0$或$V_{\mathrm{GD}} < 0$（对nMOS而言），近来引起人们的普遍关注。这主要是与低电场条件下的漏极漏电电流有关。当$V_{\mathrm{DS}} > 0$而V_{GS}不断变负时，实验观察到漏极电流与衬底电流同时增加，且幅度基本一样（图6-13）。这说明在漏极与衬底之间存在着另一个漏电机理。理论和实验结果分析确定此漏电电流是由所谓的 GIDL（Gate-Induced-

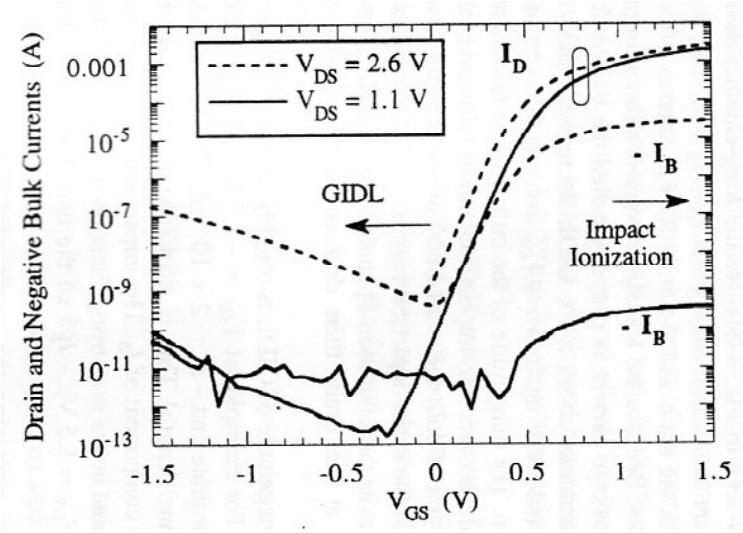


图 6-13 $V_{GS} < 0, V_{DS} > 0$时的漏极电流与衬底电流。由它们的大小大致相等，可以推测在漏极与衬底接触之间有一漏电流存在（GIDL）。

Drain-Leakage）机制造成的。其原理简单描述如下：

在栅电极与漏区交叠的部分，如$V_{\mathrm{GD}} < 0$，会在n^+的漏区表面形成耗尽层（反向偏置）。尽管因为漏区的掺杂浓度很高，这个耗尽层的厚度很薄，但该区域沿沟道方向的电场在衬底

－漏区pn结区会变得很强（注意，这是二维电场分布，或曰gate-induced横向电场增强）。导致了pn结的反向隧穿电流增大。这个隧穿电流可以是由带－带隧穿（band-to-band tunneling，或BBT ）或/和陷阱协助隧穿（trap-assisted tunneling，或TAT）引起。这种由隧穿产生的电子－空穴对同样会造成漏极与衬底接触之间的漏电流。GIDL这种漏电机制对沟道长度并不敏感，但在LDD（lightly-doped drain）结构比较重要，因为栅漏交叠区较长。在深亚微米（¡0.25 μm）器件中，对低电压应用GIDL也相对比较重要，因为其它漏电机理在低电压低电场时变得不显著，而GIDL，尤其是TAT引起的GIDL却不因电场小而减小很多。

在BSIM4中，漏极电流中的GIDL分量是以下式建模：

$$I_{\mathrm{Dgidl}}(V_{\mathrm{DS}},V_{\mathrm{GS}},V_{\mathrm{BS}}) = \mathtt{NF}\times A_{\mathrm{gidl}}\times W\times\frac{V_{\mathrm{DS}}-V_{\mathrm{GSeff}}-E_{\mathrm{gidl}}}{3\times t_{\mathrm{ox}}} \times\exp\left(\frac{-3\times t_{\mathrm{ox}}\times B_{\mathrm{gidl}}}{V_{\mathrm{DS}}-V_{\mathrm{GSeff}}-E_{\mathrm{gidl}}}\right)\times\frac{V_{\mathrm{DB}}^3}{C_{\mathrm{gidl}}+V_{\mathrm{DB}}^3} \tag{6-92}$$

式中，NF是多指（栅极）晶体管的栅指数目，4个拟合系数的意义和缺省值分别是

① A_{gidl}：I_{Dgidl}指数前的系数，单位Ω^{-1}，1为考虑GIDL，0为忽略

② B_{gidl}：I_{Dgidl}表达式中的指数项系数，缺省值为$2.3\times10^9\,(\mathrm{V/m})$

③ C_{gidl}：I_{Dgidl}中的衬底偏置参数，缺省值为$0.5\,(\mathrm{V}^3)$

④ E_{gidl}：最小的能带弯曲量，缺省值为$0.8\,(\mathrm{V})$

漏－衬底间的漏电流如果不考虑反向偏置的DB-pn结电容的漏电流，则当$V_{\mathrm{GS}}<V_{\mathrm{th}}$时以GIDL分量为主，$V_{\mathrm{GS}}>V_{\mathrm{th}}$时以碰撞电离分量为主。

式(6-92)表明GIDL不依赖于沟道长度，且其大小主要由V_{DG}决定。

6. **因衬底局部增强注入**（pocket implantation）**引起的阈值电压增加模型**

衬底局部增强注入（pocket implantation）是减少短沟道MOS器件关态漏电的有效措施。其方法是在衬底沟道区下方靠近源漏区附件用斜角离子注入的方法将衬底掺杂浓度局部增高（pocket），以减小源漏之间的电力线通过衬底内部穿通的可能性。这种衬底掺杂分布的变化带来了两个后果：1. 阈值电压升高；2. 阈值电压对漏源电压的依赖性增强。BSIM4引入两个参数用如下公式建立模型：

$$V_{\mathrm{th}} \leftarrow V_{\mathrm{th}} + \Delta V_{\mathrm{th,pocket_implant}}$$

上式中

$$\Delta V_{\mathrm{th,pocket_implant}} = nV_{\mathrm{T}}\ln\left[\frac{L}{L+\mathrm{dvtp0}(1+\exp(-\mathrm{dvtp1}\times V_{\mathrm{DS}}))}\right] \tag{6-93}$$

式中，n是理想（ideality）因子，dvtp0，dvtp1是两个拟合系数。

§6.2.8 MOS噪声模型

在讨论MOS噪声模型之前，我们先简单介绍一下固态器件中的各种噪声机理。首先我们界定一下什么是噪声。一般地说来，可能会认为不希望的信号都可统称为噪声。其实不然。应该在噪声和信号之间进行区分：信号是可以人为控制产生的，但噪声却是一个随机现象。它们之间的共同点是信号与噪声都是时间的函数。噪声的特征是其在时域里的平均值为零（假设观察间隔足够长），但其功率平均值却不为零。即噪声是带有（或传递）能量的。

1. 固态器件中的噪声机理

我们简单介绍一下在固态器件中的有关噪声机理。固态器件的特点是内部有大量的带电粒子在作随机或定向的运动。带电粒子的运动就会产生电信号。最常见的固态噪声机理有四种。它们是：热噪声，散弹噪声（shot noise），闪烁（flicker）噪声及爆米花（popcorn）噪声。我们重点介绍它们的频率特性，即功率谱。

① 热噪声是由带电载流子的热运动引起的，所以和温度（绝对温度）成正比。任何器件、元件，只要有直流电阻（交流电阻是一个等效的概念，不单独产生热噪声），就会有热噪声。表征热噪声的方法是测量其产生噪声的器件的平均噪声功率。这可以用图6-14中的电路实现。 测量的方法是调整负载电阻R的值，使得测到的噪声功率最大。根据最大功率传

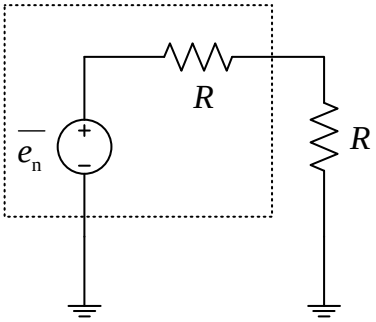


图 6-14 热噪声定义及测量电路

输原理，这个负载电阻一定等于噪声源的内阻，即产生热噪声的电阻值。这也就是说，能表征电阻热噪声的量只是电阻可提供的功率，称为可提供的噪声功率（available noise power），记为P_{NA}。实验测得

$$P_{\mathrm{NA}} = \mathrm{k}T\Delta f \tag{6-94}$$

其中Δf是测试的频带宽度。上式表明噪声功率是在频域中测得的，因此会有一个功率频谱密度（PSD: power spectrum density）的概念。对热噪声来说，PSD是一常数。根据图6-14的等效电路，又可得

$$P_{\mathrm{NA}} = \frac{\overline{e_{\mathrm{n}}^2}}{4R} \tag{6-95}$$

其中噪声源的电动势用均方电压表征。$\overline{e_{\mathrm{n}}^2}$在也写作$\bar{e}_{\mathrm{n}}^2$，并标注电动势的方向（如图6-14）。此处应注意将$\bar{e}_{\mathrm{n}}$理解为$\sqrt{\overline{e_{\mathrm{n}}^2}}$，并且电动势的方向也仅为方便而设，并无实际的意义。这种标识方法也适用于噪声电流源。综合式(6-94-6-95)，可得

$$\overline{e_{\mathrm{n}}^2} = 4\mathrm{k}TR\Delta f \tag{6-96}$$

这就是常见的电阻热噪声公式。电阻R的热噪声电动势（通常也称为电压，或更确切的称谓：开路电压）均方值正比于其电阻值，频带宽度，及绝对温度。我们这里给出一个数值例子：室温下，一个1kΩ的电阻在1 Hz 的频宽下产生大约4 nV的热噪声均方根电压。注意噪声均方根电压并不正比于频宽，而是正比于频宽的根号。这也就是我们平常见到噪声电压的单位为$\mathrm{V}/\sqrt{\mathrm{Hz}}$的原因。

电阻热噪声等效电路的另一种形式是采用电流源表示，如图所示，其中

$$\overline{i_{\mathrm{n}}^2} = 4\mathrm{k}TG\Delta f, \quad G = 1/R \tag{6-97}$$

② 散弹噪声（shot noise）。

散弹噪声的物理起源是电荷的离散（或称为颗粒）性。其产生需具备两个条件：直流电流的存在以及带电载流子必需越过势垒以产生电流。因而，单纯的电阻是不会产生散弹噪声

的。对MOS晶体管的栅极而言，虽然在沟道与栅极之间存在着势垒（由栅介质造成），但如无栅隧穿电流，也不会有散弹噪声。

散弹噪声用电流源表示，如下式

$$\overline{i_{\mathrm{n}}^2} = 2qI_{\mathrm{DC}}\Delta f \tag{6-98}$$

其中I_{DC}是直流电流。之所以与q成正比，也是电荷的颗粒性所致。散弹噪声的功率频谱密度也与频率无关。这种功率频谱密度与频率无关的噪声，包括前述的热噪声，统称为白噪声。

③ 闪烁噪声（flicker noise）。

闪烁噪声也称为$1/f$噪声（这其实是一个更为人所知的名称），其物理起源并不明确，通常认为互不关联的现象，如晶体管噪声和细胞膜电势，都会产生闪烁噪声。其特征是噪声功率频谱密度与频率f成反比，且当频率趋近零时PSD并无上限。因为缺乏统一的理论，$1/f$噪声的公式不可避免地包括一些经验系数。这与上述的热噪声和散弹噪声公式都基于物理原理形成对照。$1/f$噪声的公式可一般化地写成

$$\overline{N^2} = \frac{\mathrm{K}}{f^{\mathrm{n}}}\Delta f \tag{6-99}$$

其中$\overline{N^2}$可以既代表噪声电压或电流的均方值，K与n均为经验系数，n通常取1。

④ 爆米花噪声（popcorn noise）

这种噪声也称为爆发性（burst）噪声、双态（bistable）噪声，在半导体结型器件中会遇到。它与$1/f$噪声类似，与器件加工过程中的沾污有关。该噪声在掺金的双极型晶体管中被发现有很高的强度，因而被认为与金属离子有关。其产生的物理机理并不十分清楚，但普遍认为是由于在两个或两个以上（以两个为主）的离散态之间随机地切换（switch）造成的。其切换的频率在音频范围内。因此当这种噪声被输入一个音响系统时，可以听到类似爆米花的声音。这也就是其名称的来源。

该种噪声的数学表达式为

$$\overline{N^2} = \frac{\mathrm{K}}{1+(f/f_{\mathrm{c}})^2}\Delta f \tag{6-100}$$

式中经验系数K依赖于加工过程与器件的偏置。f_{c}是拐角（corner）频率，低于这个频率，爆米花噪声功率频谱密度就逐渐变平，不依赖于频率了。

2. MOSFET**噪声模型**

晶体管实际上是一个可控的电阻（英文transistor由两部分组成：trans（交、跨）及(re)sistor），尤其是MOSFET，在强反型区，表面沟道就是一个电阻，且沟道电流主要是由偏移（drift）电流构成。因而可推断，MOSFET的噪声主要是由沟道电阻的热噪声形成。但是，在将这个热噪声源加入MOS交流小信号模型时，有两个实际问题：

① 在等效电路中，并没有直流沟道电阻存在。在漏源之间的电阻实际上是交流小信号电阻。

② 由于栅电容的存在，沟道电阻的分布特性会将沿沟道方向局部产生的热噪声通过局部栅电容耦合到栅极上去。

因此尽管产生热噪声的源只是沟道电阻，其分布特性和与栅电容的耦合，使得用少数几个集总元件在MOS模型中表征噪声特性不那么容易。Van der Ziel考虑了沟道的分布特性提出了用两个噪声源来表征的模型。一个是接在漏源之间的电流源，记为$\overline{i_{\mathrm{nd}}}$（下标d指漏，drain）；一个是接在栅源之间的电电流源，记为$\overline{i_{\mathrm{ng}}}$。其等效电路如图6-15所示。 两个噪声电流源的值分别为：漏端噪

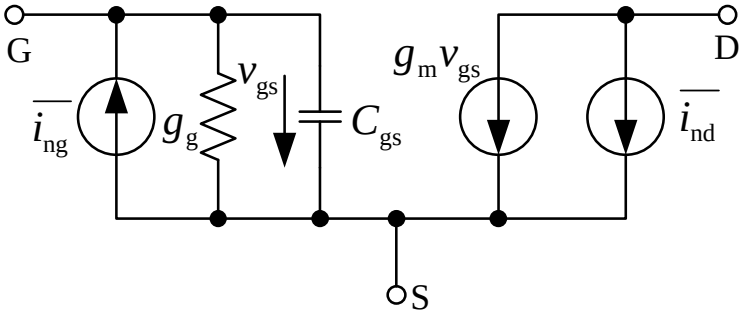


图 6-15 MOSFET噪声等效电路。注意，$\overline{i_{ng}}$依赖于g_g，而g_g有频率依赖关系。

声电流源，

$$\overline{i_{nd}^2} = 4kT\gamma g_{d0}\Delta f \tag{6-101}$$

式中g_{d0}是$V_{ds}=0$时的共源输出电导，即$\partial I_{ds}/\partial V_{ds}|_{V_{ds}=0}$。此输出电导亦即MOSFET处于线性区时的直流输出电导。由此也可看出γ在线性工作区应为1，然后随着晶体管进入饱和区，γ逐渐减小（直流电阻小于g_{d0}）。事实上，对长沟道MOSFET，当晶体管处于饱和区时，式(6-101)中$\gamma=2/3$。栅端噪声电流源均方值为，

$$\overline{i_{ng}^2} = 4kT\delta g_g\Delta f \tag{6-102}$$

$$g_g = \frac{\omega^2 C_{gs}^2}{5g_{d0}} \tag{6-103}$$

需要对上式作一简要的讨论：

① 栅极电导g_g是频率的函数，且与频率的平方成正比。当频率等于零时，该电导为零，即并联电阻为无穷大（没有作用）。这在一定程度上反映了NQS效应，或沟道的分布效应。

② 栅噪声电流源可看成是g_g的热噪声，但电导值须乘一系数δ。

式(6-102)中栅噪声系数$\delta=4/3(=2\gamma)$。注意在上面这个栅噪声电压公式中，功率频谱密度依赖于频率（频率愈高，噪声愈大，可以看作是呈“兰光”特性）。

这种依赖于频率的噪声源在电路分析中不是十分希望的。可幸的是，在一定条件下（$\omega C_{gs}/5g_{d0}\gg 1$），可以用一个不依赖于频率的噪声电流源来替代图6-15中的噪声电压源[9]。变换之后的电路拓扑图如图6-16。图中r_g也不为频率的函数（见式(6-105)）。这个由频率依赖到频率无关的变换作为一个练习，供读者推导。 电压$\overline{v_{ng}}$由下式决定：

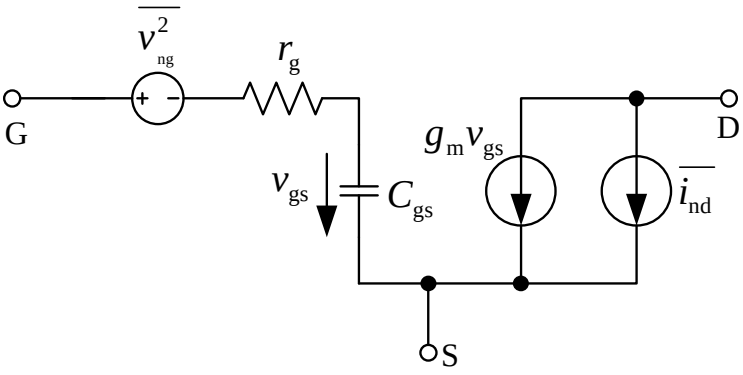


图 6-16 MOSFET噪声等效电路。注意，此图中受控电流源的v_{gs}是指g和s两端之间的压降，非是C_{gs}上的压降。

$$\overline{v_{ng}^2} = 4kT\delta r_g\Delta f \tag{6-104}$$

$$r_{\mathrm{g}}=\frac{1}{5g_{\mathrm{d0}}} \tag{6-105}$$

注意在上面这个栅噪声电压公式中，功率频谱密度也与频率无关。

在上面有关MOS噪声的讨论中，我们只考虑了沟道热噪声的机理及栅漏之间的耦合。MOS晶体管是一个表面器件，如前面有关$1/f$噪声的讨论中可以看到，因为表面的沾污，$1/f$噪声也会在MOS噪声中占相当重要的比例。其对等效电路模型的影响，可简单地处理为在漏极噪声电流中加入一项由于$1/f$噪声机理的贡献。这样，在图6-15和6-16中，

$$\overline{i_{\mathrm{nd}}^2}=4\mathrm{k}T\gamma g_{\mathrm{d0}}\Delta f+\frac{\mathrm{K}}{f}\Delta f \tag{6-106}$$

上式中的第二项来源于式(6-99)。

§6.3 双极型（BJT）器件电路模型

在本节中，我们讨论三个双极型晶体管等效电路模型。这些模型可分成两种类型：用于开关操作及放大应用。先介绍用于开关操作的Ebers-Moll模型。

§6.3.1 Ebers-Moll模型

此模型是基于晶体管中两个pn结的相互作用而提出的，适用于器件的所有工作区域。其等效电路如图6-17所示。 从等效电路中可以得出

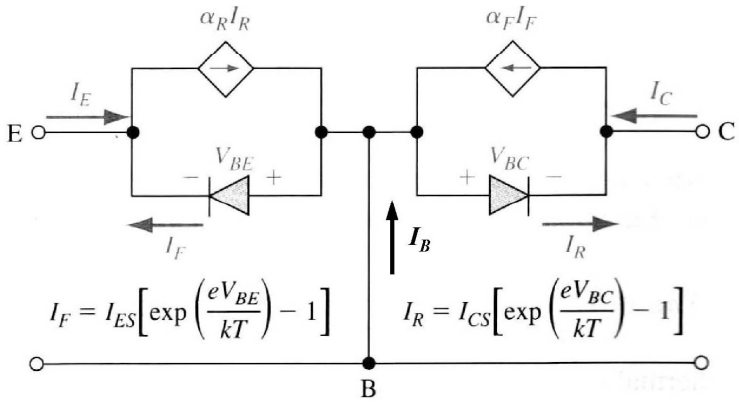


图 6-17 基本的Ebers-Moll模型等效电路（假设npn晶体管）

$$I_{\mathrm{E}}+I_{\mathrm{B}}+I_{\mathrm{C}}=0 \tag{6-107}$$

$$I_{\mathrm{C}}=\alpha_{\mathrm{F}}I_{\mathrm{F}}-I_{\mathrm{R}} \tag{6-108}$$

$$I_{\mathrm{E}}=\alpha_{\mathrm{R}}I_{\mathrm{R}}-I_{\mathrm{F}} \tag{6-109}$$

式中

$$I_{\mathrm{F}}=I_{\mathrm{ES}}\left[\exp\left(\frac{qV_{\mathrm{BE}}}{\mathrm{k}T}\right)-1\right] \tag{6-110}$$

$$I_{\mathrm{R}}=I_{\mathrm{CS}}\left[\exp\left(\frac{qV_{\mathrm{BC}}}{\mathrm{k}T}\right)-1\right] \tag{6-111}$$

因此要完全描述器件的直流$I-V$特性，只要知道4个晶体管参数就够了：$I_{\mathrm{F}},I_{\mathrm{R}},\alpha_{\mathrm{F}}$及$\alpha_{\mathrm{R}}$。但这4个参数并不是互相独立的。我们来证明这一点。考虑零偏置作为晶体管的直流工作点，则对小的直流偏置，电路可视为工作在交流小信号状态。对交流小信号分析而言，图6-17是一个线性电路，而直流电压即是交流信号。根据二端口线性网络的互易原理（y参数：$y_{12}=y_{21}$），分别将CB和EB端口短路，同时分别在BE和BC 上加正向偏置V_{a}。在两种情况下所得到的I_{C}和I_{E}应该相等，亦即

$$\alpha_{\mathrm{F}}I_{\mathrm{ES}}\left(\mathrm{e}^{V_{\mathrm{a}}/V_{\mathrm{t}}}-1\right)=\alpha_{\mathrm{R}}I_{\mathrm{CS}}\left(\mathrm{e}^{V_{\mathrm{a}}/V_{\mathrm{t}}-1}\right) \tag{6-112}$$

因而

$$\alpha_F I_{ES} = \alpha_R I_{CS} \tag{6-113}$$

这是I_F, I_R, α_F及α_R4个参数之间必须满足的约束。换言之，这4个参数中只有3个是独立。我们给出这器件四个参数代表性值（p. 446, [10]）：$\alpha_F = 0.98, I_{ES} = 10^{-13}\,\text{A}, I_{CS} = 5\times10^{-13}\,\text{A}$ （因此$\alpha_R = \alpha_F I_{ES}/I_{CS} = 0.196$）。

§6.3.2 时域大信号模型

在以上的Ebers-Moll模型中，并没有考虑电荷存储元件的作用。而在实际的双极型晶体管中，不仅在pn结的耗尽层中存在着空间电荷。当pn结处于正偏时，准电中性区域内由于过剩少数载流子的注入，会诱生多数载流子的增加，以维持电中性。这种互相抵消的过剩载流子对形成了所谓的扩散电容，因为满足电中性的任一单一种载流子的电荷也是偏置电压的函数。图6-18所示的模型即适用于交流大信号分析。但应该提出注意的是,在MOS模型中，器件内部的电荷是和单个的电极相联系的。在双极型晶体管的电荷模型中，我们则只将pn结的电荷（包括耗尽区的空间电荷及结两侧准电中性区的扩散电荷）与跨越结两端的电压降联系起来。也就是说，我们假设双极型晶体管的结电容是可逆（reversible）的。如果考虑到衬底接触（集成电路中的双极型晶体管是做在衬底的隔离区内），S代表substrate，双极型晶体管（BJT）也是四端器件。但通常我们在建模中只考虑集电极区与衬底间的反向pn结电容，所以BJT在多数情况下是作为三端器件来处理的。 在该模型中有如下几点需要说明：

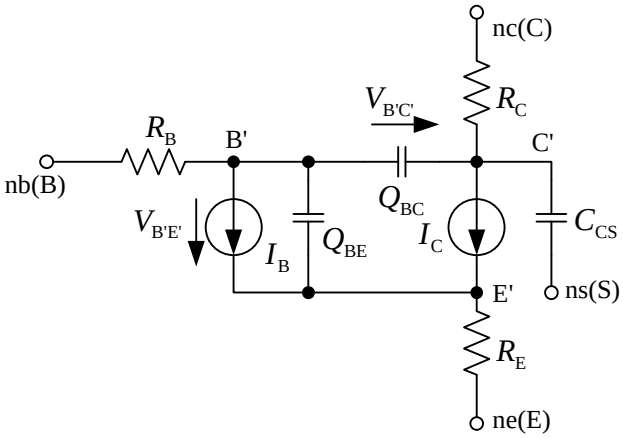


图 6-18 双极型晶体管包括电荷存储元件的瞬态大信号模型。i_B, i_C的表达式分别见式(6-115)和(6-116)。

① 等效电路中引入了晶体管各电极的非本征串联电阻R_B, R_C, R_E，而相应的本征器件终端由外部的B,C,E变为B',C',E'.

② 图6-18的等效电路只适用于工作在有源放大区的晶体管，即BE结正向偏置，BC结反向偏置（对npn而言）。这个等效电路从经典的Ebers-Moll（图6-17）演变过来的过程可从图6-19(a)-(b)看出。 由图6-18-6-19，可得出两个重要的关系式：

$$I_E = -I_F \tag{6-114}$$

$$I_B = I_F - \alpha_F I_F = -(1-\alpha_F) I_E \tag{6-115}$$

$$I_C = \alpha_F I_F = -\alpha_F I_E = \beta_F I_B \tag{6-116}$$

$$\beta_F = \frac{\alpha_F}{1-\alpha_F} \tag{6-117}$$

由式(6-116)的定义，可知β_F代表晶体管在正向有源工作区的直流电流放大倍数。

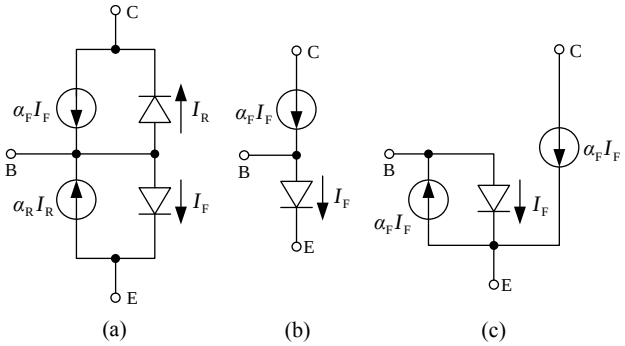


图 6-19 共基Ebers-Moll模型到共发模型（正向偏置）的演变。注意步骤(b)-(c)的过渡需要一点想象力。

③ 晶体管中BE和BC pn结电容分别用$Q_{\rm BE}$及$Q_{\rm BC}$标出。此外，还有集电极区与衬底之间的电容，$C_{\rm CS}$。

④ 忽略了基极与集电极之间的直流通路（尽管在反向偏置时仅是漏电流），因而忽略了其间的电阻。

§6.3.3 交流小信号模型

现在我们来讨论基于图6-18的大信号模型而发展出来的交流小信号模型，如图6-20 所示。除了将电荷用电容来表示外，该交流小信号模型也考虑了电极之间的直流通路，也就是交流电阻（见下面的讨论）。这也是BJT建模与MOS模型不同的地方。在MOS模型中，栅源、栅漏之间没有直流通路（如果不考虑通过栅电介质层的隧穿电流），由瞬态大信号等效电路发展交流小信号电路一般是采用y参数的方法。即除了一个终端加交流激励外，其它终端都交流接地。但对BJT，由于各终端之间都存在着直流通路，采用的方法（暂不考虑衬底接触）则是维持一个pn结的直流压降不变（交流短路），改变另一pn结上的压降。具体实现这种交流偏置的方法，可以下例说明：保持$V_{\rm BC}$不变，扰动$V_{\rm BE}$，即实现$\partial/\partial V_{\rm BE}|_{V_{\rm BC}=\rm const}$。这是通过固定$V_{\rm B}, V_{\rm C}$，将$V_{\rm E}$向负反向变化一个$\Delta V_{\rm BE}$来达到。注意在这个条件下$\Delta V_{\rm CE}=\Delta(V_{\rm CB}+V_{\rm BE})=\Delta V_{\rm BE}$。

下面我们来具体给出各元件的表达式。为了表述清楚和简洁起见，我们暂时不考虑图6-20中的非本征终端串联电阻$R_{\rm b}$等，因而B'=B，等等。 其中，基极本征输入交流阻抗（由B端看入，

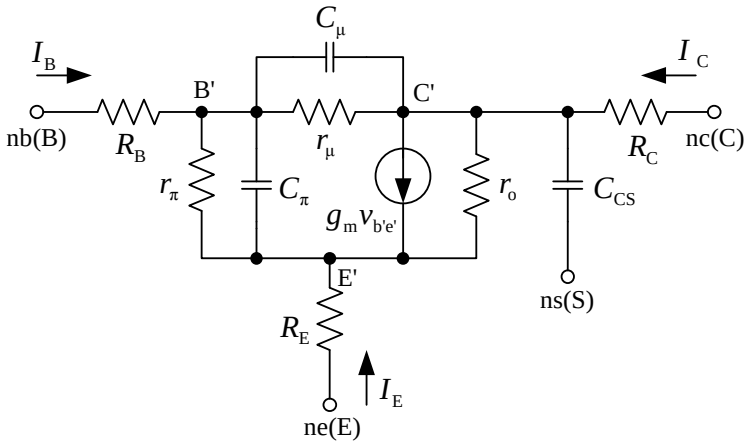


图 6-20 双极型晶体管交流小信号模型

由并联的r_π与C_π组成）为

$$\frac{1}{r_\pi}=\left.\frac{\partial I_{\rm B}}{\partial V_{\rm BE}}\right|_{V_{\rm BC}=\rm const} \tag{6-118}$$

$$C_\pi = \left.\frac{\partial Q_{\mathrm{BE}}}{\partial V_{\mathrm{BE}}}\right|_{V_{\mathrm{BC}}=\mathrm{const}} \tag{6-119}$$

集电极输出电阻

$$\frac{1}{r_{\mathrm{o}}} = -\left.\frac{\partial I_{\mathrm{E}}}{\partial V_{\mathrm{CB}}}\right|_{V_{\mathrm{BE}}=\mathrm{const}} = \left.\frac{\partial I_{\mathrm{E}}}{\partial V_{\mathrm{BC}}}\right|_{V_{\mathrm{BE}}=\mathrm{const}} \tag{6-120}$$

这个表达式需要进一步讨论：当V_{BE}固定时，集电极端的受控电流源，$g_{\mathrm{m}}V_{\mathrm{be}}$为零。但是当$V_{\mathrm{C}}$ 变化时，由于同时存在着r_{o}及r_μ两条直流通路，ΔI_{C}由两个成分组成。r_{o}的定义是由流经C及E之间的增量电流决定的，因而要取ΔI_{E}，即∂I_{E}而不是∂I_{C}。但当晶体管的直流电流增益β_{F}很大时，$\Delta I_{\mathrm{B}} \ll \Delta I_{\mathrm{C}}$，然而$\Delta I_{\mathrm{C}} \approx -\Delta I_{\mathrm{E}}$，上式就可写为

$$\frac{1}{r_{\mathrm{o}}} \approx \left.\frac{\partial I_{\mathrm{C}}}{\partial V_{\mathrm{CB}}}\right|_{V_{\mathrm{BE}}=\mathrm{const}} = \left.\frac{\partial I_{\mathrm{C}}}{\partial V_{\mathrm{CE}}}\right|_{V_{\mathrm{BE}}=\mathrm{const}} \tag{6-121}$$

理论分析和实验结果进一步给出采用V_{BE}为参数的I_{C} vs. V_{CE}输出特性曲线族在$V_{\mathrm{CE}} < 0$方向外推都交集在V_{CE}轴上的同一点（见[11]中图1.10）。因此可以定义一个称为Early电压的晶体管参数，V_{A}，来表征器件的输出电阻，即

$$\left.\frac{\partial I_{\mathrm{C}}}{\partial V_{\mathrm{CE}}}\right|_{V_{\mathrm{BE}}=\mathrm{const}} = \frac{1}{V_{\mathrm{A}}} I_{\mathrm{C}}(V_{\mathrm{CE}}=0) \tag{6-122}$$

上式右端项中的I_{C}是在给定的V_{BE}下，设$V_{\mathrm{CE}}=0$时的值。但在实际应用时，也可直接取晶体管的直流工作点为该式中的I_{C}（见下例）。

集电极与基极间的耦合阻抗（C与B之间）为

$$\frac{1}{r_\mu} = -\left.\frac{\partial I_{\mathrm{B}}}{\partial V_{\mathrm{CB}}}\right|_{V_{\mathrm{BE}}=\mathrm{const}} = \left.\frac{\partial I_{\mathrm{B}}}{\partial V_{\mathrm{BC}}}\right|_{V_{\mathrm{BE}}=\mathrm{const}} \tag{6-123}$$

$$C_\mu = \left.\frac{\partial Q_{\mathrm{BC}}}{\partial V_{\mathrm{BC}}}\right|_{V_{\mathrm{BE}}=\mathrm{const}} \tag{6-124}$$

由Ebers-Moll模型中的式(6-107-6-111)可得

$$I_{\mathrm{B}} = (1-\alpha_{\mathrm{F}})I_{\mathrm{F}}(V_{\mathrm{BE}}) + (1-\alpha_{\mathrm{R}})I_{\mathrm{R}}(V_{\mathrm{BC}}) \tag{6-125}$$

这样

$$\frac{1}{r_\mu} = (1-\alpha_{\mathrm{R}})\frac{\partial}{\partial V_{\mathrm{BC}}} I_{\mathrm{R}}(V_{\mathrm{BC}}) = (1-\alpha_{\mathrm{R}})\frac{I_{\mathrm{CS}}}{V_{\mathrm{T}}}\mathrm{e}^{V_{\mathrm{BC}}/V_{\mathrm{T}}} \tag{6-126}$$

当V_{BC}反偏时，且绝对值大于大于V_{T}，r_μ几乎为无穷大。实际情况并非完全如此，其原因是Ebers-Moll模型将反向偏置BC pn结处理成理想二极管是一个近似。在通用模型中，我们用下述公式得到r_μ：

$$\frac{1}{r_\mu} = -\left.\frac{\partial I_{\mathrm{B}}}{\partial V_{\mathrm{CB}}}\right|_{V_{\mathrm{BE}}=\mathrm{const}} = -\left.\frac{\partial I_{\mathrm{B}}}{\partial V_{\mathrm{CE}}}\right|_{V_{\mathrm{BE}}=\mathrm{const}} \approx \frac{1}{\gamma\beta_{\mathrm{F}}}\left.\frac{\partial I_{\mathrm{C}}}{\partial V_{\mathrm{CE}}}\right|_{V_{\mathrm{BE}}=\mathrm{const}} = \frac{1}{\gamma\beta_{\mathrm{F}}}\frac{1}{r_0} \tag{6-127}$$

这里，我们应用了如下关系式：

$$\gamma \times \Delta\,(-I_{\mathrm{B}})|_{V_{\mathrm{BE}}=\mathrm{const},\Delta V_{\mathrm{CB}}>0} = \Delta\, I_{\mathrm{B}}|_{\text{active region}} = \left.\frac{\Delta I_{\mathrm{C}}}{\beta_{\mathrm{F}}}\right|_{\text{active region}} \tag{6-128}$$

其中$\gamma \geq 10$（对横向pnp晶体管$\gamma = 2 \sim 5$。上式的意义是受V_{CB}控制的基极电流只是总基极电流的一小部分（$1/\gamma$），更大部分的基极电流由从基区注入发射区的少子扩散电流构成。而在晶体管的正向工作区，如(6-116)所示，集电极电流为总的基极电流（且方向相同）的β_{F}。因此，有

$$r_\mu = \gamma\beta_{\mathrm{F}} r_{\mathrm{o}} \tag{6-129}$$

通常r_μ要比r_{o}大三个数量级。

跨导g_{m}的定义为

$$g_{\mathrm{m}} = \left.\frac{\partial I_{\mathrm{C}}}{\partial V_{\mathrm{BE}}}\right|_{V_{\mathrm{BC}}=\mathrm{const}} \tag{6-130}$$

在正向有源工作区，

$$I_{\mathrm{C}} = \alpha_{\mathrm{F}} I_{\mathrm{F}} = \alpha_{\mathrm{F}} I_{\mathrm{ES}} \left(\mathrm{e}^{V_{\mathrm{BE}}/V_{\mathrm{t}}} - 1 \right) = I_{\mathrm{S}} \left(\mathrm{e}^{V_{\mathrm{BE}}/V_{\mathrm{t}}} - 1 \right) \tag{6-131}$$

这里我们已定义了一个称为集电极饱和电流的量：$I_{\mathrm{S}} = \alpha_{\mathrm{F}} I_{\mathrm{ES}}$。代表性的$I_{\mathrm{S}}$值是（如前引用值）$10^{-13}$ A左右。综合以上2式，并假定$V_{\mathrm{BE}} \gg V_{\mathrm{T}}$（在正向工作区，这通常都满足），可得

$$g_{\mathrm{m}} = \frac{I_{\mathrm{C}}}{V_{\mathrm{T}}} \tag{6-132}$$

下面我们给出一个计算实例来得到一个完整的双极型晶体管的交流小信号等效电路[1]。我们将会看到，结电容的求得，通常不是直接通过pn结电荷。给定如下直流偏置条件：$I_{\mathrm{C}} = 1\,\mathrm{mA}$, $V_{\mathrm{CB}} = 3\,\mathrm{V}$, $V_{\mathrm{CS}} = 5\,\mathrm{V}$。已知的器件参数是：$R_{\mathrm{B}} = 300\,\Omega$, $R_{\mathrm{C}} = 50\,\Omega$, $R_{\mathrm{E}} = 5\,\Omega$, $\beta_{\mathrm{F}} = 100$，$V_{\mathrm{A}} = 20\,\mathrm{V}$，$\gamma = 10$（见式(6-127)）。

先求C_{μ}，同时也给出pn结空间电荷形成的电容的表达式。这是一个反向基极－集电极pn结电容（BC结），由冶金（metallurgical）结两侧空间电荷随偏置变化而组成。可由下面的一般公式求得：

$$C_{\mathrm{j}} = \frac{C_{\mathrm{j0}}}{(1 + V_{\mathrm{j}}/\psi_0)^{\mathrm{n}}} \tag{6-133}$$

式中C_{j0}是零偏置时的结电容，V_{j}是反向偏置电压（正向为负），ψ_0是pn结自建电势，n为与pn结掺杂分布有关的系数（突变结:n~ 0.5，缓变结：n$\sim 1/3$）。注意，此式只适用流过结的电流不大的情况。对于反向BC结，假设已知$C_{\mathrm{j0}} = C_{\mu 0} = 10\,\mathrm{fF}$，$\psi_{0\mathrm{c}} = 0.5\,\mathrm{V}$, $\mathrm{n_c} = 0.3$，则

$$C_{\mu} = \frac{C_{\mu 0}}{(1 + V_{\mathrm{CB}}/\psi_{0\mathrm{c}})^{\mathrm{n_c}}} = 5.6\,\mathrm{fF} \tag{6-134}$$

对集电极－衬底反偏结电容C_{cs}，给定$C_{\mathrm{cs0}} = 20\,\mathrm{fF}$，$\psi_{0\mathrm{s}} = 0.65\,\mathrm{V}$, $\mathrm{n_s} = 0.3$，可得

$$C_{\mathrm{cs}} = \frac{C_{\mathrm{cs0}}}{\left(1 + \frac{V_{\mathrm{CS}}}{\psi_{0\mathrm{s}}}\right)^{\mathrm{n_c}}} = 10.5\,\mathrm{fF} \tag{6-135}$$

$$g_{\mathrm{m}} = \left.\frac{\partial I_{\mathrm{C}}}{\partial V_{\mathrm{BE}}}\right|_{V_{\mathrm{BC}}=\mathrm{const}} = \frac{I_{\mathrm{C}}}{V_{\mathrm{T}}} = \frac{10^{-3}}{26 \times 10^{-3}}\,\mathrm{A/V} = 38\,\mathrm{mA/V} \tag{6-136}$$

C_{π}由基极－发射极的正向偏置结电容（空间电荷区电容），C_{je}，及基区的扩散电容（发射区的扩散电容由于掺杂浓度高可以忽略不计），C_{b}，组成。C_{je}是基极－发射极的正向偏置结电容，由公式(6-133)比较难求（V_{BE}接近ψ_0时，分母趋于零），我们简单地假设$C_{\mathrm{je}} = 2 \times C_{\mathrm{e0}} = 2 \times 10 = 20\,\mathrm{fF}$。对于基区扩散电容，存在着一个简单的公式（见[11]中第一章）

$$C_{\mathrm{b}} = \tau_{\mathrm{F}} g_{\mathrm{m}} \tag{6-137}$$

其中τ_{F}是基区渡越时间。给定$\tau_{\mathrm{F}} = 10\,\mathrm{ps}$，$C_{\mathrm{b}} = 10 \times 10^{-12} \times 38 \times 10^{-3}\,\mathrm{F} = 0.38\,\mathrm{pF}$。因此

$$c_{\pi} = C_{\mathrm{je}} + C_{\mathrm{b}} = 0.02 + 0.38\,\mathrm{pF} = 0.4\,\mathrm{pF} \tag{6-138}$$

基极－发射极输入电阻

$$\frac{1}{r_{\pi}} = \left.\frac{\partial I_{\mathrm{B}}}{\partial V_{\mathrm{BE}}}\right|_{V_{\mathrm{BC}}=\mathrm{const}} = \frac{1}{\beta_{\mathrm{F}}} \left.\frac{\partial I_{\mathrm{C}}}{\partial V_{\mathrm{BE}}}\right|_{V_{\mathrm{BC}}=\mathrm{const}} = \frac{g_{\mathrm{m}}}{\beta_{\mathrm{F}}} \tag{6-139}$$

$$r_{\pi} = \frac{\beta_{\mathrm{F}}}{g_{\mathrm{m}}} = 100 \times 26\,\Omega = 2.6\,\mathrm{k}\Omega$$

由式(6-122)和(6-129)可得，

$$r_{\mathrm{o}} = \frac{V_{\mathrm{A}}}{I_{\mathrm{C}}} = \frac{20}{10^{-3}} = 20\,\mathrm{k}\Omega$$

$$r_{\mu} = \gamma \beta_{\mathrm{F}} r_{\mathrm{o}} = 10 \times 100 \times 20\,\mathrm{k}\Omega = 20\,\mathrm{M}\Omega$$

[1] 该例子取自[11] pp. 40-41。

§6.3.4 双极型晶体管的高频特性

双极型晶体管的高频增益主要是由其交流小信号等效电路中的电容成分（与电阻）决定。我们依然用截止频率f_{T}（其中下标T是transition）来作为高频特性的品质因子。其定义是当输出交流短路的共发射极电路的电流增益外推为1时的频率。利用图6-20可以求得依赖于频率的电流增益为（推导见[11]）

$$\beta(s)=\frac{\beta_{\mathrm{F}}}{1+\beta_{\mathrm{F}}\frac{C_\pi+C_\mu}{g_{\mathrm{m}}}s} \tag{6-140}$$

式中$s=\mathrm{j}\omega$。在高频下，上式可近似为

$$\beta(s)=\frac{g_{\mathrm{m}}}{s(C_\pi+C_\mu)}\Longrightarrow \omega|\beta(\mathrm{j}\omega)|=\frac{g_{\mathrm{m}}}{C_\pi+C_\mu}=\text{const} \tag{6-141}$$

根据定义$|\beta(\mathrm{j}\omega_{\mathrm{T}})|=1$，可得

$$\omega_{\mathrm{T}}=\frac{g_{\mathrm{m}}}{C_\pi+C_\mu} \tag{6-142}$$

$$f_{\mathrm{T}}=\frac{1}{2\pi}\frac{g_{\mathrm{m}}}{C_\pi+C_\mu} \tag{6-143}$$

因为C_π中有一与集电极电流有关的成分（基极充电电容C_{b}），所以f_{T}是I_{C}的函数。一个典型的曲线见图6-21。

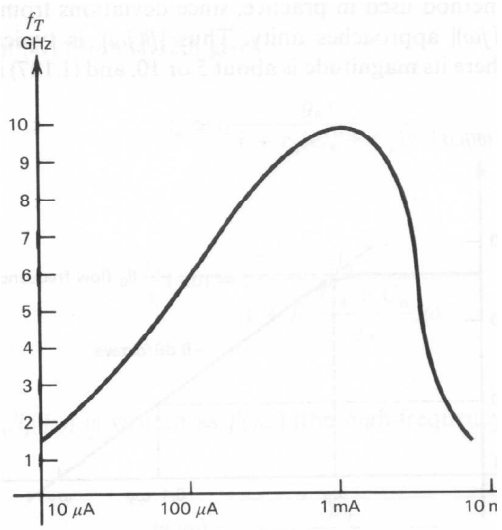


图 6-21 典型的集成电路npn晶体管的f_{T} vs. I_{C}曲线（引自[11]中第一章）。

§6.3.5 BJT噪声模型

双极型晶体管的噪声主要是来自于如下机理：

① 基极端散弹噪声（基极流电流+基极－发射极极势垒）及$1/f$噪声，其可模型为基极与发射极之间的噪声电流源。

② 集电极的散弹噪声（集电极流电流+集电极－基极反向偏置势垒），其可模型为集电极与发射极之间的噪声电流源。

③ 基极电阻热噪声，它可以是十分重要的。

噪声等效电路如图6-22： 图中

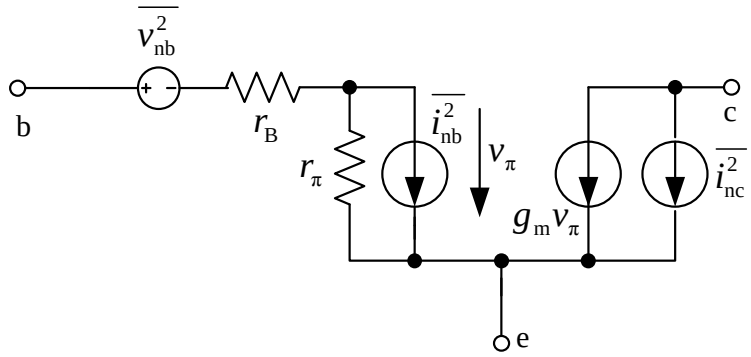


图 6-22 双极型晶体管噪声等效电路

$$\overline{i_{nb}^2} = 2qI_B\Delta f + \frac{K_1}{f}\Delta f \tag{6-144}$$

$$\overline{i_{nc}^2} = 2qI_C\Delta f \tag{6-145}$$

$$\overline{v_{nb}^2} = 4kTr_b\Delta f \tag{6-146}$$

要注意的是图中的r_π是交流信号基极－发射极输入电阻，并不是直流电阻，因此它不贡献热噪声。但基区电阻r_b是直流电阻，因此产生热噪声。

参 考 文 献

[1] William Liu. MOSFET Models for SPICE Simulation, including BSIM3v3 and BSIM4. New York: John Wiley & Sons, Inc., 2001

[2] Miura-Mattausch M, etc. 100 nm-MOSFET model for circuit simulation – challenges and solutions. IEICE Trans. Electron., 2003, E86-C(6): 1009

[3] Sze S M. Semiconductor Devices – Physics and Technology, 2nd Edition. New York: John Wiley & Sons, Inc., 2002

[4] Narian Arora. MOSFET Models for VLSI Circuit Simulation – Theory and Practics. Springer-Verlag/Wien, 1993

[5] Yuhua Cheng, Deen M J, Chih-Hung Chen. MOSFET Modeling for RF IC Design. IEEE TRANSACTIONS ON ELECTRON DEVICES, 2005, 52(7): 1286

[6] Ping K Ko. Approaches to Scaling. VLSI Electronics: Microstructure Science. New York: Academic Press, 18, 1989

[7] Yutao Ma, Litian Liu, Lilin Tian, etc. Analytical Charge-Control and *IV* Model for Submicrometer and Deep-Submicrometer MOSFETs Fully Comprising Quantum Mechanical Effects. IEEE TRANSACTIONS ON COMPUTER-AIDED DESIGN OF INTEGRATED CIRCUITS AND SYSTEMS, 2001, 20(4): 495

[8] Diaz C, etc. CMOS technology for MS/RF SoC. IEEE Tr. Electron Devices, 2003: 557

[9] Shaeffer D, Lee T H. A 1.5V, 1.5GHz CMOS low noise amplifier. IEEE J. Solid-State Circuits, 1997

[10] Neamen D A. Semiconductor Physics and Devices, 3rd ed.. New York: McGraw-Hill, 2003

[11] Gray P R, Meyer R G. Analysis and Design of Analog Integrated Circuits, 3rd ed.. New York: John Wiley & Sons, Inc., 1993

习题

① 推导图6-15中的栅噪声电流源到图6-16的噪声电压源。

② 双极型晶体管的Ebers-Moll模型适用于器件的任一工作区域。考虑饱和区（注意双极型晶体管的饱和区定义与MOS器件完全不一样），即V_{BE}及V_{BC}使基极－发射极、基极－集电极pn结都处于正向偏置（因此对npn晶体管，两者都为正数）。

(a) 给定$I_{\mathrm{B}}, I_{\mathrm{C}}, \alpha_{\mathrm{F}}, \alpha_{\mathrm{R}}$，推导饱和电压，$V_{\mathrm{CE}}(\mathrm{sat}) = V_{\mathrm{BE}} - V_{\mathrm{CE}}$，的公式。注意要完全确定晶体管的直流工作点，需要知道晶体管的三个参数（$I_{\mathrm{ES}}, I_{\mathrm{CS}}, \alpha_{\mathrm{F}}, \alpha_{\mathrm{R}}$中的三个）及两个端电流或端口电压。加起来，一共需要五个已知量。现只给定四个，因此推导过程中需要根据特定的工作区域（饱和区）作相应的近似。

(b) 假定$\alpha_{\mathrm{F}} = 0.99, \alpha_{\mathrm{R}} = 0.20, I_{\mathrm{C}} = 1\,\mathrm{mA}, I_{\mathrm{B}} = 50\,\mu\mathrm{A}$，求该晶体管在室温（$T = 300\,\mathrm{K}$）下的$V_{\mathrm{CE}}(\mathrm{sat})$。

第七章　无线收发机射频前端的系统结构

无线收发机（发射–接收机）提供信息源与通信信道（空气）之间进行信息交换的接口。图7-1给出了一个典型的无线通信系统，信息源发送的数据经发射机调制和上变频后，转换为适合在通信信道中传送的格式，经天线辐射后，在通信信道中传播；接收机接收到信号后，经下变频和解调后，将数据恢复为原来的格式发送给用户或者上一层的应用。

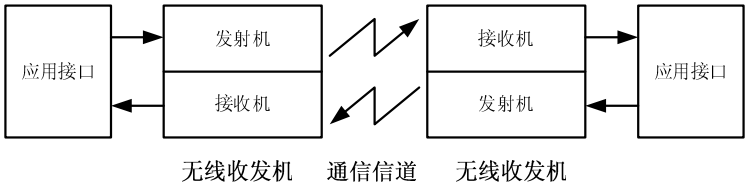


图 7-1　一个典型的无线通信系统

由于客观需求和市场竞争的需要，要求收发机在保持高性能的前提下，具有低功耗、高集成度、小尺寸、低价格等特点。在现在高度成熟的数模、模数变换器技术和数字技术条件下，收发机的性能主要由其射频前端来决定。由于射频前端所采用的系统结构对其性能具有很重要的影响，故本章集中于讨论射频前端各种系统结构的优缺点、CMOS集成电路实现时所面临的主要问题及其解决办法、并分析射频前端在系统结构上的发展趋势。

§7.1　接收机射频前端的系统结构

一个完整的无线接收机由三部分组成，如图7-2所示。应用接口部分提供用户数据和应用之间的接口，在这一层上，可以定义各种各样的服务；基带处理部分对从射频前端来的低频信号进行解调，这一层的实现方式是由所采用的调制技术决定的；最后一部分就是射频前端部分，它是本节研究的重点。一般说来，接收机射频前端必须完成两个主要的操作：对从天线来的信号进行放大并将放大后的信号下变频到较低的低频。由于射频前端对整个接收机的影响最大，对其性能要求也最高，这一部分通常采用模拟电路来实现；而基带处理部分和应用接口部分则是在较低的频率下进行的，在现在的模数变换器技术和成熟的数字信号处理技术的支持下，这两部分功能主要采用数字技术来实现，这样不仅提高了集成度，还可以采用复杂的解调算法来提高整个接收机的性能并可以提供各种各样的服务。由于射频前端部分的系统结构对接收机的性能有决定性的影响，下面将讨论射频前端各种系统结构的优缺点并分析CMOS集成电路实现时所面临的主要问题及其解决办法。

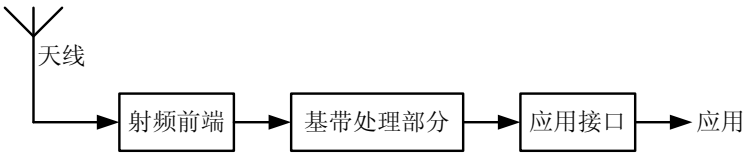


图 7-2　无线接收机系统的基本组成部分

§7.1.1　超外差式接收机

超外差式接收机是应用最广泛的一种系统结构，它的基本原理是将从天线接收到的高频信号经放大和下变频后转换为一固定的中频信号，然后进行进一步下变频或者直接进行解调，其系统结构如图7-3所示。

其中方框外部分表示片外分立元件。从天线接收到的信号由射频滤波器滤去带外干扰信号并粗略压缩镜像信号（所谓镜像信号，是指与有用射频信号关于本振频率对称的信号，它与有用信号的频率差等于两倍中频频率），然后经低噪声放大器（LNA）进行放大，放大后的信号由镜像抑制滤波器（IR滤波器）进

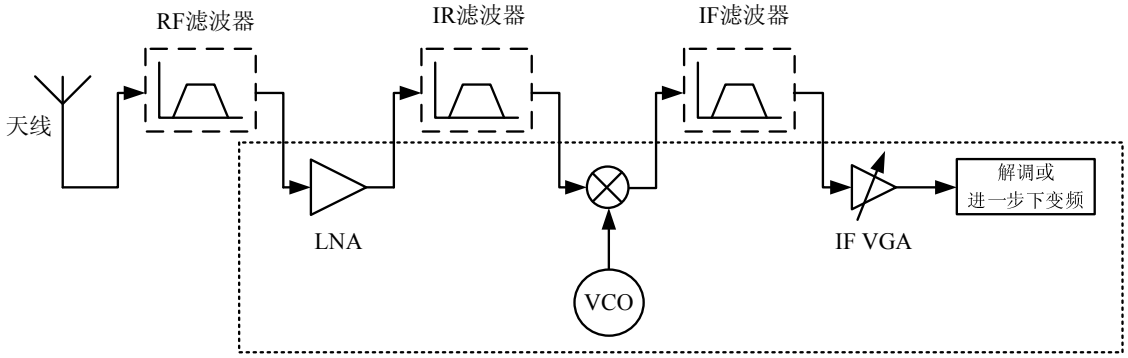


图 7-3 超外差式接收机的系统结构

一步压缩镜像信号，滤波后的信号和本地振荡信号在混频器中进行混频，有用信号被转换为一固定中频信号，经信道滤波、中频放大后提取出有用信号进行解调，也可经进一步下变频后再解调。

实现超外差式接收机遇到的一个主要问题是镜像抑制问题，该问题是由下变频器引起的，在下变频时除了有用信号被转换到中频外，镜像信号也被转换到中频，从而对有用信号造成干扰。

为了解释超外差式接收机所遇到的镜像抑制问题，有必要引入复信号的概念。复信号由两个实信号组成，这两个实信号可能是相关的，也可能不相关，即

$$x(t) \doteq x_{\mathrm{i}}(t) + \mathrm{j}x_{\mathrm{r}}(t) \tag{7-1}$$

其中，$x_{\mathrm{i}}(t)$、$x_{\mathrm{r}}(t)$都为实信号。

对于模拟电路中常用的正弦型信号，我们可以用复信号的概念表示为

$$\mathrm{e}^{\mathrm{j}\omega t} = \cos\omega t + \mathrm{j}\sin\omega t \tag{7-2}$$

$$\mathrm{e}^{-\mathrm{j}\omega t} = \cos\omega t - \mathrm{j}\sin\omega t \tag{7-3}$$

其中前者在频域表示了一个正频率成分，而后者则表示了一个负频率成分。而我们常见的正弦型信号，则既含有正频率成分，也含有负频率成分，因为

$$\cos\omega t = \frac{\mathrm{e}^{\mathrm{j}\omega t} + \mathrm{e}^{-\mathrm{j}\omega t}}{2} \tag{7-4}$$

$$\sin\omega t = \frac{\mathrm{e}^{\mathrm{j}\omega t} - \mathrm{e}^{-\mathrm{j}\omega t}}{2\mathrm{j}} \tag{7-5}$$

有了以上基础后，我们就可以利用复信号来观察超外差结构接收机的频域转换行为。

在超外差结构的接收机中，射频信号与一个正弦型本地振荡信号$\cos\omega_{\mathrm{LO}}t$在下变频器中进行混频。由于射频信号和本地振荡信号都是实信号，它们都由正频率成分和负频率成分组成。其中，本地振荡信号的正频率成分$\mathrm{e}^{\mathrm{j}\omega_{\mathrm{LO}}t}$与射频信号混频后，使得射频信号的负频率成分和正频率成分同时向正频率轴方向移动，由于位于下变频器后级的中频滤波器可以滤除中频以外的信号，故我们只考虑中频附近的信号，这样我们就可以得到一部分中频信号，如图7-4所示。

而本地振荡信号的负频率成分$\mathrm{e}^{-\mathrm{j}\omega_{\mathrm{LO}}t}$与射频信号混频后，使得射频信号的负频率成分和正频率成分同时向负频率轴方向移动，经中频滤波后，可以得到另一部分中频信号，如图7-4所示。

从图7-4中可以看出，镜像信号与本地振荡信号混频后所产生的信号经中频滤波后，也位于中频频率f_{IF}处。该信号叠加在有用中频信号上，直接对有用中频信号造成干扰，并且不可被清除。更为严重的是，由于镜像信号的能量大小是不可预知的，在比较差的接收环境中，镜像信号的能量可能比有用信号的能量高几十分贝，如果不对镜像信号进行抑制，则有用信号将受到镜像信号的极大干扰，甚至完全被镜像信号所淹没。从上面的论述可以看出，抑制这一干扰的唯一办法就是在下变频前抑制镜像信号。这一功能一般是由位于下变频器前的镜像抑制滤波器来完成的，它是一个带通滤波器，通带的中心频率与有用信号

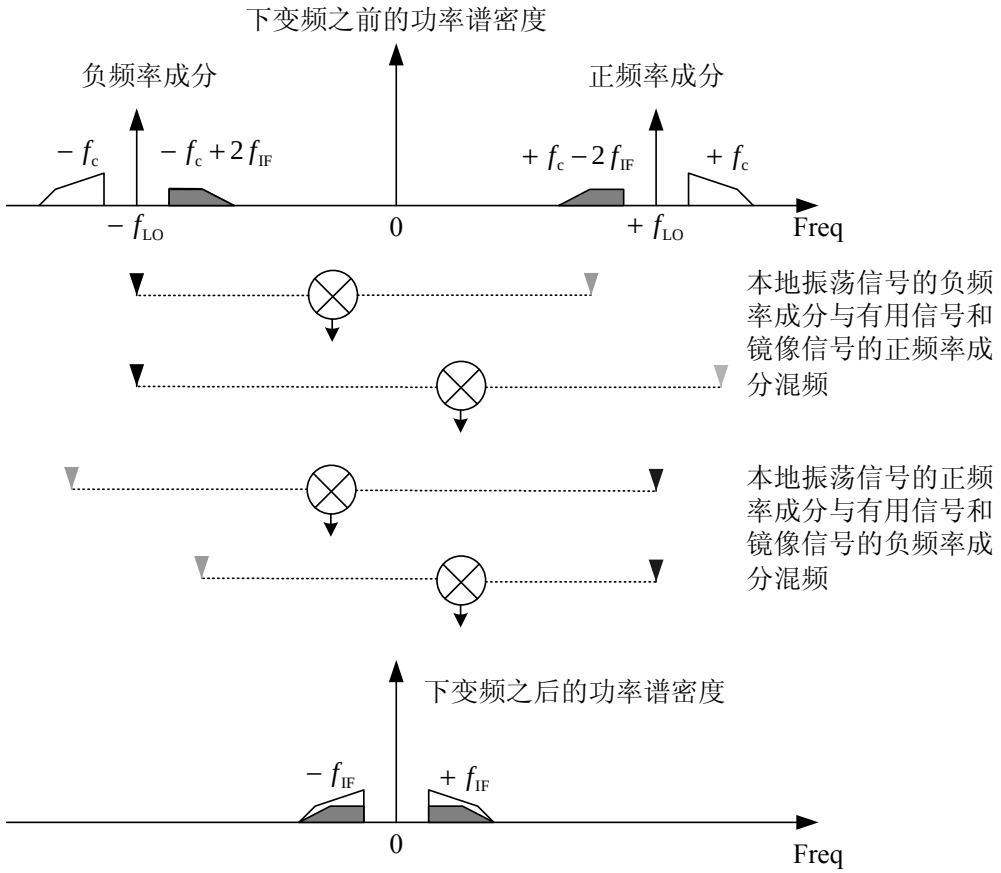


图 7-4 超外差式接收机的频域转换示意图

的频率相同，而镜像频率位于该滤波器的阻带范围内，该滤波器的阻带衰减率就是对镜像信号的抑制率。为了使接收机在很差的接收环境中依然保持较高的性能，镜像抑制滤波器必须高度压缩镜像信号，一般要求对镜像信号的抑制率达到60～70dB。在高频的情况下要达到这么高的抑制率，对滤波器的要求是很高的。它必须具有很高的品质因子（50甚至更高）、很高的阶数（甚至到6阶），而且其中心频率还应是可调的。在目前的技术条件下，这种滤波器是很难集成在硅片上的，一般采用外接的滤波器来实现。为了减轻对镜像抑制滤波器的要求，可以将固定中频频率提高，以加大镜像信号与有用信号之间的频率间隔，减缓对滤波器抑制率的要求，如图7-5所示。 但中频频率提高后，后续处理模块（如模数变换器）的工作频率就提高了，后续模块的设计将变得比较困难。虽然可以通过增加一级或者多级下变频器将信号的频率进一步降低（多级超外差式接收机），但这会增加电路规模和片外元件数目，提高系统成本。

超外差式接收机的另一个主要问题是相邻信道干扰问题，如图7-5所示。为了将下变频后的有用信号与相邻信道干扰信号分离开来，一般需要在下变频器后插入一个中频信道选择滤波器。由于信道之间的频率间隔很小，中频信道选择滤波器的转换带将很窄。为了高度抑制相邻信道干扰信号，该中频滤波器也要求有很高的品质因子（50）和大的阶数（8或者10阶），这样的滤波器也是很难集成的。尽管文献中提出了很多种模拟集成的中频滤波器，但对于大多数应用来说，它们的性能还不能满足要求，所以一般还是采用外接的滤波器来实现。

超外差式接收机的主要缺点是需要多个外接的高性能滤波器。采用外接滤波器，不仅降低了集成度，提高了产品成本，而且由于采用外接元件，使整个系统的稳定性大大降低。更为严重的是，驱动这些外部低阻抗的元件需要消耗很大的功耗，工作频率越高，功耗越大。另外，外接元件和集成芯片之间的隔离也是一个大的问题。尽管超外差式接收机存在上述问题，但由于超外差式接收机可以提供优良的性能，目前超外差结构依然是应用最广泛的一种接收机结构。在对接收机性能要求很高的应用中，超外差结构几乎是唯一的选择。

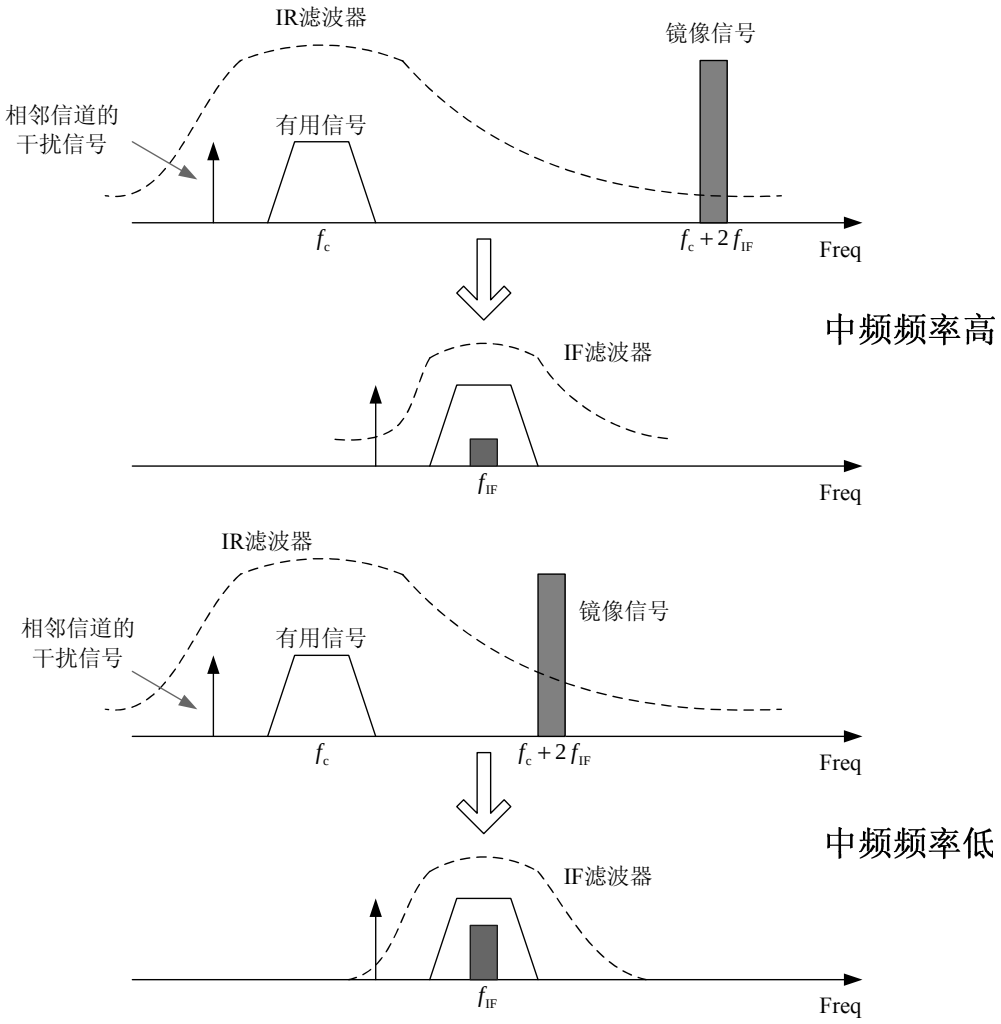


图 7-5 中频频率选择对超外差式接收机性能的影响

P.Orsatti等人采用超外差结构实现了应用于GSM环境的接收机模拟前端，在同一块芯片上集成的模块包括低噪声放大器、下变频器、中频可变增益放大器以及解调模块，镜像抑制功能和信道选择功能分别由外接的声表面波滤波器（SAW）和*LC*中频滤波器来完成。输入的射频信号频率约为915MHz，下变频后的中频频率为71MHz。该接收机已经采用0.25μmCMOS工艺实现，完整接收机模拟前端的增益可以达到101dB，单边带噪声系数约为8.1dB，输入1dB压缩点为-16dBm，输入三阶交调点约为-4dBm，功耗仅为19.5mA× 2.5V。

为了解决超外差式接收机中镜像抑制滤波器难以集成的问题，Hartley和Weaver提出了镜像抑制接收机结构，如图7-6所示。这两种结构利用正交性混频可以区分正频率成分和负频率成分的特点，对有用信号和镜像信号进行不同的处理，然后通过叠加来增强有用信号并同时抑制镜像信号。我们以Hartley结构为例来说明镜像抑制接收机的原理。

假设输入射频信号由有用信号和镜像信号组成，并表示为

$$v_{\text{in}}(t)=\text{A}_{\text{RF}}\cos\left(\omega_{\text{RF}}t+\varphi_{\text{RF}}\right)+\text{A}_{\text{Img}}\cos\left(\omega_{\text{Img}}t+\varphi_{\text{Img}}\right) \tag{7-6}$$

其中，A_{RF}和A_{Img}分别为有用信号和镜像信号的幅度，ω_{RF}和ω_{Img}分别为有用信号和镜像信号的频率，φ_{RF}和φ_{Img}分别为有用信号和镜像信号的相位。

在同相通道（I）中，输入信号首先和同相本地振荡信号$\text{A}_{\text{LO1}}\sin\left(\omega_{\text{LO1}}t+\varphi_{\text{LO1}}\right)$在混频器中进行混

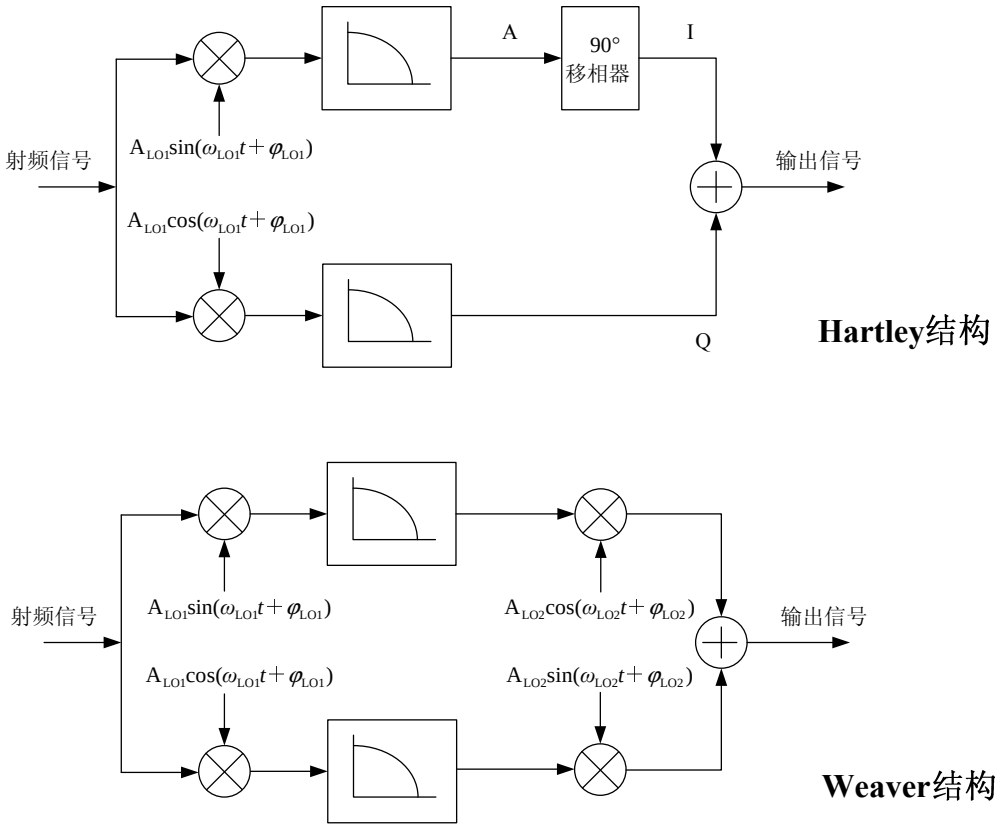


图 7-6 Hartley和Weaver镜像抑制接收机的系统结构

频，混频后的结果经低通滤波后得到中频信号

$$v_{\mathrm{A}}(t)=-\frac{\mathrm{A_{RF}A_{LO1}}}{2}\sin\left(\omega_{\mathrm{IF}}t+\varphi_{\mathrm{IF1}}\right)+\frac{\mathrm{A_{Img}A_{LO1}}}{2}\sin\left(\omega_{\mathrm{IF}}t+\varphi_{\mathrm{IF2}}\right) \tag{7-7}$$

其中，$\omega_{\mathrm{IF}}=\omega_{\mathrm{RF}}-\omega_{\mathrm{LO1}}=-(\omega_{\mathrm{Img}}-\omega_{\mathrm{LO1}})$，$\varphi_{\mathrm{IF1}}=\varphi_{\mathrm{RF}}-\varphi_{\mathrm{LO1}}$，$\varphi_{\mathrm{IF2}}=-(\varphi_{\mathrm{Img}}-\varphi_{\mathrm{LO1}})$。中频信号$v_{\mathrm{A}}(t)$经90°移相器移相后，得到下列信号

$$v_{\mathrm{I}}(t)=\frac{\mathrm{A_{RF}A_{LO1}}}{2}\cos\left(\omega_{\mathrm{IF}}t+\varphi_{\mathrm{IF1}}\right)-\frac{\mathrm{A_{Img}A_{LO1}}}{2}\cos\left(\omega_{\mathrm{IF}}t+\varphi_{\mathrm{IF2}}\right) \tag{7-8}$$

在正交通道（Q）中，输入信号首先和正交本地振荡信号$\mathrm{A_{LO1}}\cos\left(\omega_{\mathrm{LO1}}t+\varphi_{\mathrm{LO1}}\right)$在混频器中进行混频，混频后的结果经低通滤波后得到中频信号

$$v_{\mathrm{Q}}(t)=\frac{\mathrm{A_{RF}A_{LO1}}}{2}\cos\left(\omega_{\mathrm{IF}}t+\varphi_{\mathrm{IF1}}\right)+\frac{\mathrm{A_{Img}A_{LO1}}}{2}\cos\left(\omega_{\mathrm{IF}}t+\varphi_{\mathrm{IF2}}\right) \tag{7-9}$$

当$v_{\mathrm{I}}(t)$和$v_{\mathrm{Q}}(t)$两路信号叠加后，得到中频信号为

$$v_{\mathrm{IF}}(t)=\mathrm{A_{RF}A_{LO1}}\cos\left(\omega_{\mathrm{IF}}t+\varphi_{\mathrm{IF1}}\right) \tag{7-10}$$

可以看到，在理想情况下，I、Q通道的有用信号在I、Q点具有相同的极性而镜像信号则具有相反的极性，故两个支路的信号叠加后，镜像信号受到完全抑制。这说明在理想情况下，这种结构的接收机不会受到镜像信号的干扰。但是，由于在实际实现中I、Q两个支路存在幅度和相位不匹配问题，镜像信号并不能完全受到抑制。下面我们就来讨论I、Q两个支路的幅度和相位不匹配程度对镜像抑制能力的影响。

假设I、Q两个支路的幅度和相位不匹配程度分别为ε和θ，则可将同相和正交两路中频信号分别表示为

$$v_{\mathrm{I}}(t)=\frac{\mathrm{A_{RF}A_{LO1}}}{2}(1+\varepsilon)\cos\left(\omega_{\mathrm{IF}}t+\varphi_{\mathrm{IF1}}+\theta\right)-\frac{\mathrm{A_{Img}A_{LO1}}}{2}(1+\varepsilon)\cos\left(\omega_{\mathrm{IF}}t+\varphi_{\mathrm{IF2}}+\theta\right) \tag{7-11}$$

$$v_{\mathrm{Q}}(t)=\frac{\mathrm{A_{RF}A_{LO1}}}{2}\cos\left(\omega_{\mathrm{IF}}t+\varphi_{\mathrm{IF1}}\right)+\frac{\mathrm{A_{Img}A_{LO1}}}{2}\cos\left(\omega_{\mathrm{IF}}t+\varphi_{\mathrm{IF2}}\right) \tag{7-12}$$

利用三角函数公式，可以得到

$$\cos\left(\omega_{\mathrm{IF}}t+\varphi_{\mathrm{IF1}}+\theta\right)=\cos\left(\omega_{\mathrm{IF}}t+\varphi_{\mathrm{IF1}}\right)\cos\theta-\sin\left(\omega_{\mathrm{IF}}t+\varphi_{\mathrm{IF1}}\right)\sin\theta \tag{7-13}$$

$$\cos\left(\omega_{\mathrm{IF}}t+\varphi_{\mathrm{IF2}}+\theta\right)=\cos\left(\omega_{\mathrm{IF}}t+\varphi_{\mathrm{IF2}}\right)\cos\theta-\sin\left(\omega_{\mathrm{IF}}t+\varphi_{\mathrm{IF2}}\right)\sin\theta \tag{7-14}$$

则I、Q两路信号叠加后得到的有用信号为

$$v_{\mathrm{IFSig}}(t)=\frac{\mathrm{A_{RF}A_{LO1}}}{2}[1+(1+\varepsilon)\cos\theta]\cos\left(\omega_{\mathrm{IF}}t+\varphi_{\mathrm{IF1}}\right)-\frac{\mathrm{A_{RF}A_{LO1}}}{2}[(1+\varepsilon)\sin\theta]\sin\left(\omega_{\mathrm{IF}}t+\varphi_{\mathrm{IF1}}\right) \tag{7-15}$$

而镜像信号则为

$$v_{\mathrm{IFImg}}(t)=\frac{\mathrm{A_{Img}A_{LO1}}}{2}[1(1+\varepsilon)\cos\theta]\cos\left(\omega_{\mathrm{IF}}t+\varphi_{\mathrm{IF2}}\right)\frac{\mathrm{A_{Img}A_{LO1}}}{2}[(1+\varepsilon)\sin\theta]\sin\left(\omega_{\mathrm{IF}}t+\varphi_{\mathrm{IF2}}\right) \tag{7-16}$$

有用信号和镜像信号能量的比值为

$$\frac{P_{\mathrm{IFSig}}}{P_{\mathrm{IFImg}}}=\frac{\mathrm{A_{RF}^2}}{\mathrm{A_{Img}^2}}\cdot\frac{[1+(1+\varepsilon)\cos\theta]^2+[(1+\varepsilon)\sin\theta]^2}{[1-(1+\varepsilon)\cos\theta]^2+[(1+\varepsilon)\sin\theta]^2} \tag{7-17}$$

故I、Q支路存在幅度和相位不匹配时，这种结构的接收机所能达到的镜像抑制率为

$$\mathrm{IRR}=\frac{P_{\mathrm{IFSig}}}{P_{\mathrm{IFImg}}}\cdot\frac{\mathrm{A_{Img}^2}}{\mathrm{A_{RF}^2}}=\frac{[1+(1+\varepsilon)\cos\theta]^2+[(1+\varepsilon)\sin\theta]^2}{[1-(1+\varepsilon)\cos\theta]^2+[(1+\varepsilon)\sin\theta]^2} \tag{7-18}$$

考虑到ε和θ都很小，可以认为$\varepsilon\ll1$，$\cos\theta\approx1$，$\sin\theta\approx\theta$，则

$$\mathrm{IRR}\approx\frac{4}{\varepsilon^2+\theta^2} \tag{7-19}$$

若$\varepsilon=1\%$、$\theta=5°$，则由式7-19可知，镜像抑制率仅能达到27.1dB。可以看到，在Hartley结构的接收机中，由于I、Q支路幅度和相位不匹配的影响，镜像信号并不能完全受到抑制，镜像抑制率通常只能达到25～40dB，在很多应用中，这种程度的镜像抑制率是不能满足要求的。

在Hartley结构中，90°移相器是放在信号通路上的，它必须在整个信号带内（包括有用信号带和镜像信号带）都能实现90°移相，这是非常难以实现的。若能将移相器从信号通道移去，则接收机实现起来就会容易很多。Weaver结构就是从这种考虑出发而提出的一种镜像抑制接收机。它将移相器放在本地振荡信号通路上，通过采用两级变频结构来实现镜像抑制。由于本地振荡信号仅是单频信号，移相器的实现将容易很多，而且目前已经有多种方法直接产生正交两路输出的本地振荡信号（本书第11章就讨论了这方面的内容），这将大大简化实现难度。正因为Weaver结构实现起来比较简单，使得Weaver结构比Hartley结构的应用更广泛。采用与Hartley结构相同的分析方法可以证明，在理想情况下，Weaver结构中I、Q两个通道的有用信号在I、Q点具有相同的极性而镜像信号则具有相反的极性，故两个支路的信号叠加后，镜像信号的影响受到完全抑制。这说明在理想情况下，Weaver结构的接收机不会受到镜像信号的干扰。但同Hartley结构一样，由于在实际实现中I、Q两个支路存在幅度和相位不匹配问题，镜像信号并不能完全受到抑制，其镜像抑制率依然可以用式7-19来表示，同Hartley结构一样，Weaver结构通常也只能达到25～40dB的镜像信号抑制率。

J.R. Long采用Hartley结构实现了一个射频接收机模拟前端，在同一块芯片上集成的模块包括低噪声放大器和正交下变频器，而其它的模块（如90°移相器、单端-差分变换电路等）都采用片外分立元件来实现。输入射频信号频率为5.1GHz～5.8GHz，中频频率约为250MHz，该接收机已经采用双极型工艺实现，在1.8V的电源电压下，射频前端的功率增益可以达到14dB，噪声系数约为6.9dB，镜像抑制率约为36.5dB，消耗的功耗为18.5mW。

由于Hartley结构和Weaver结构的接收机仅能提供有限的镜像抑制功能，为了满足实际应用对镜像抑制率的要求，该类接收机必须加入另外的滤波器对镜像信号进行进一步抑制。由于这些滤波器仅需提供30～40dB的镜像抑制率，在目前的技术条件下，它们已经可以集成在芯片上。片上集成的这类滤波器通常与低噪声放大器或者下变频器耦合在一起，组成具有镜像抑制功能的低噪声放大器或者下变频器。它们的阻带通常很窄，阻带中心频率可以随着输入频率的变化而变化。由于阻带频率调谐的需要，这类接收机必须集成一个片上调谐网络。J.A.Macedo等人就采用硅双极型工艺实现了一个具有镜像抑制功能的低噪声放大器，它应用于1.9GHz的接收机中，可以提供大于65dB的镜像抑制率，并且镜像频率可以在2.34～2.55GHz范围内调节。将这些具有镜像抑制功能的模块与镜像抑制接收机结构相结合，可以达到很高的镜像抑制率，同时又具有很高的集成度，引起了人们的广泛关注。

除了以上提到的基本结构外，某些超外差式接收机还能够给基带处理电路提供I、Q两个支路的信号，如图7-7所示。这种结构实际上是一个两级超外差式接收机，只是第二级变频采用了正交下变频结构，从而可以给基带处理电路提供I、Q两个支路的信号。采用这种结构的好处是基带处理电路可以采用比较复杂的调制、解调方案，可以提高通信系统的数据率。将这种结构和Weaver结构相结合，可以实现一种具有镜像抑制功能、同时又能提供I、Q两个支路信号的接收机结构，如图7-8所示。同Weaver结构一样，该类接收机也受到幅度和相位不匹配的影响，镜像抑制率通常也只能达到25～40dB，不能满足实际应用的需要，需要加入其它的镜像抑制功能模块。

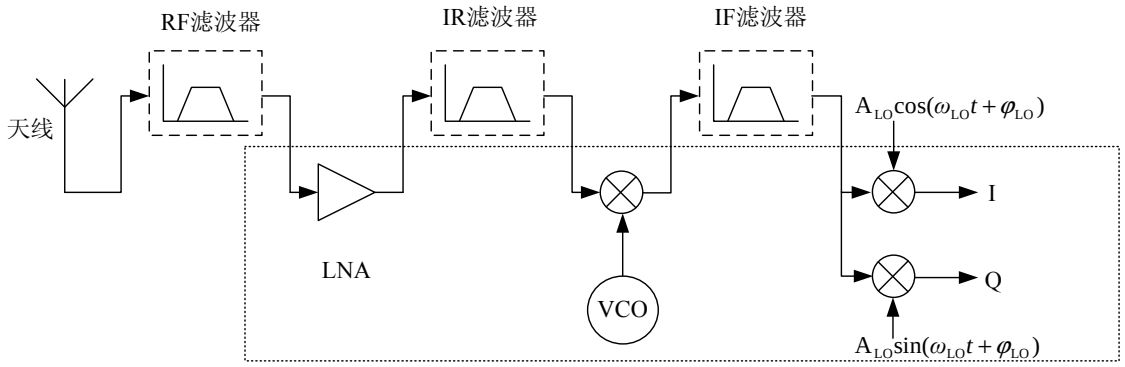


图 7-7 具有正交输出的超外差式接收机

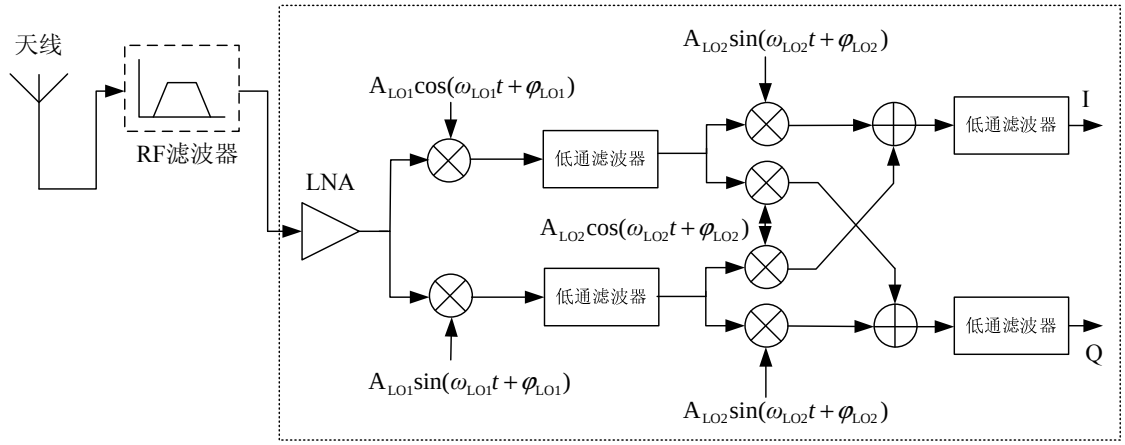


图 7-8 具有正交输出的Weaver镜像抑制接收机接收机

§7.1.2 零中频接收机

在零中频接收机中，有用信号被直接下变频到基带。这样，镜像信号是有用信号本身，可以减轻对镜像抑制的要求，但是并没有消除镜像抑制问题。若射频信号仅和一个正弦本地振荡信号进行混频，则下变

频后信号的上下边带将叠加到一起，成为不可分离的，会影响接收机的性能如图7-9所示。

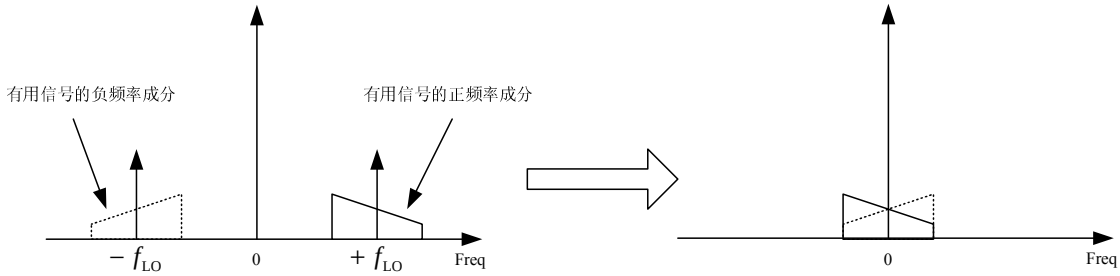


图 7-9 仅与一个正弦本地振荡信号进行混频的零中频接收机频域转换示意图

但这个问题可以采用正交下变频的方法来解决，图7-10给出了零中频接收机的系统结构。从 天线来的

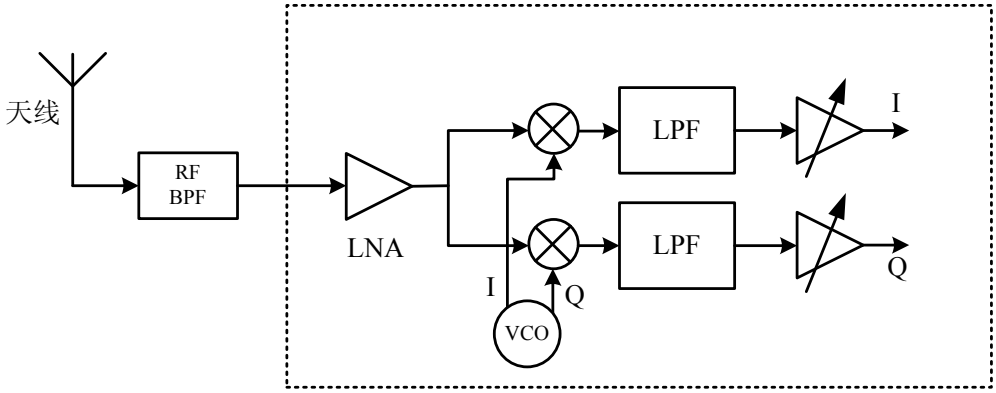


图 7-10 零中频接收机的系统结构

信号由射频带通滤波器滤除带外噪声，然后由低噪声放大器进行放大，放大后的射频信号同时与一对正交本地振荡信号相混频，这一对正交本地振荡信号组成一个只具有正频率成分的复信号，该复信号与射频信号混频后，使得射频信号的负频率成分和正频率成分同时向正频率轴方向移动，经低通滤波和放大后，可以得到I、Q两路正交的基带信号，其频率转换过程如图7-11 所示。 从图中可以看出，在理想情况下，零中频接收机没有镜像抑制问题，所以不需要难以集成的高Q值高频或者中频带通滤波器，消除了超外差式接收机的主要问题；另外，由于有用信号被直接下变频到基带，下变频后的低通滤波器和模数变换器都工作在很低的频率下，降低了集成电路实现的难度。这些优点都使零中频接收机成为一种易于集成的接收机结构。而且由于集成度很高，接收链路上的各模块不需要驱动外部低阻抗负载，零中频接收机的功耗可以做得很低。但由于I、Q两个支路可能存在幅度和相位不匹配，输入下变频器的本地振荡信号也不是理想的正交信号，零中频接收机也会受到镜像信号的干扰。低噪声放大器前的射频带通滤波器是必须的，它可以滤除带外干扰信号，避免带外强干扰信号经低噪声放大器放大后使混频器饱和，该滤波器还可以阻止天线接收到的高频信号通过，避免高频信号与本地振荡器产生的高次谐波混频而对有用信号造成干扰。

早在20世纪90年代中期，人们就开始研究零中频接收机，但到目前为止，在实际产品中采用零中频结构的接收机还比较少见。这主要是由于零中频接收机存在一系列的问题，影响了接收机的性能。下面我们就来讨论零中频结构接收机存在的主要问题。

1. I、Q支路不匹配

如前所述，零中频接收机对镜像信号的抑制是在基带处理电路中完成的，如果I、Q两个支路完全匹配，则基带处理电路能完全抑制镜像信号。但在具体实现中，由于I、Q两个支路存在幅度和相位不匹配，使得输入到基带处理电路的I、Q两路信号存在幅度和相位偏差，这时基带处理电路并不能完全抑制镜像信号，有用信号仍然会受到镜像信号的干扰，导致接收机的误码率（BER）上升，降低了接收机的性能。虽然在这种结构中，镜像信号就是有用信号本身，它们具有相同的能量，接收机对镜像抑制的要求不像超外

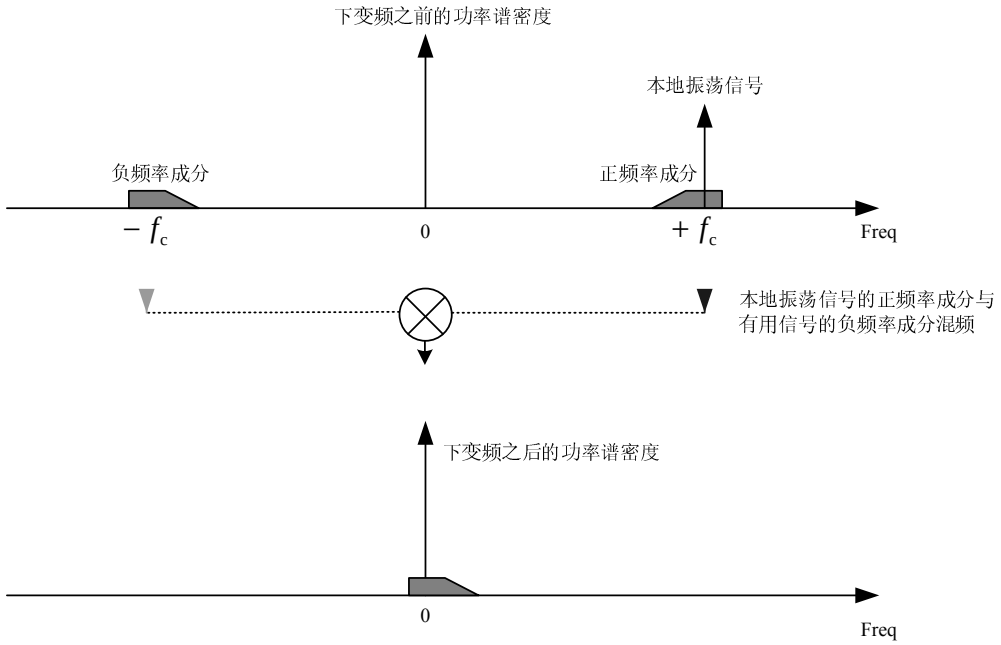


图 7-11 与正交本地振荡信号进行混频的零中频接收机频域转换示意图

差结构那么高，但高性能的零中频接收机仍然需要25dB以上的镜像抑制率，这就对I、Q支路的匹配程度提出了要求。

考虑到I、Q支路的不匹配程度随时间的变化很缓慢，可以采用数字电路或者模拟电路的方法对I、Q支路存在的不匹配程度进行校准。以降低I、Q支路不匹配程度对接收机性能的影响，具体实现方法可参看本章后面给出的参考文献。

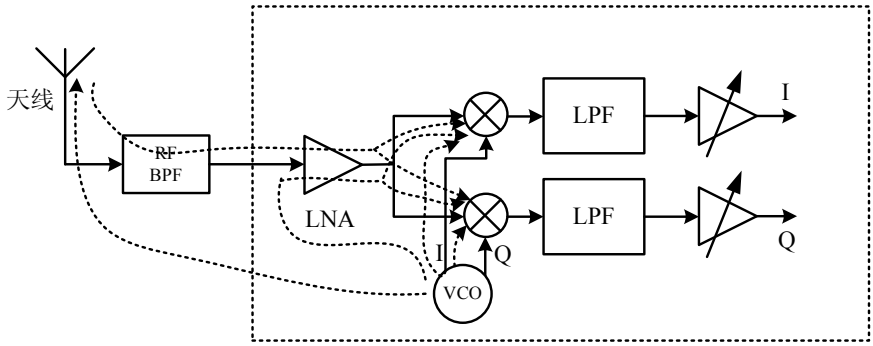
2. **直流失调**

零中频接收机将射频信号直接转换到基带，降低了对镜像抑制率的要求，但却带来了另一方面的问题。下变频器及后面各模块引入的直流失调成分将直接叠加在有用信号上，对有用信号造成干扰。这些直流失调成分的能量可能比有用信号强很多，会淹没有用信号，并使得后面的各级处理模块出现饱和。直流失调是阻碍零中频接收机广泛应用的一个主要因素。

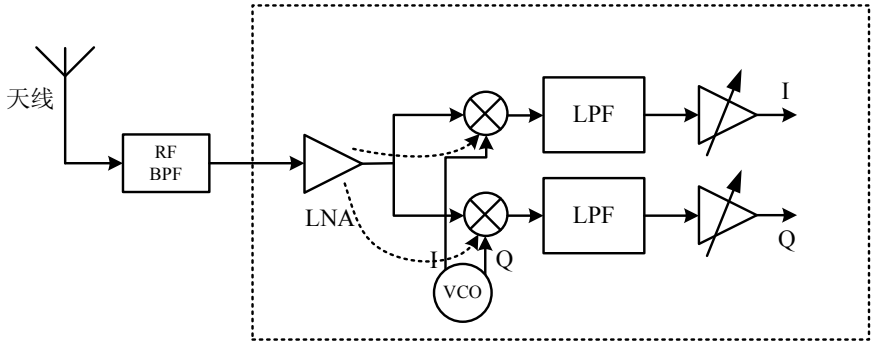
造成直流失调的因素很多，其中本地振荡信号泄漏是很重要的一种因素。由于本地振荡信号通路与射频信号通路之间可以通过寄生电容或者衬底等方式耦合，造成本地振荡信号泄漏到低噪声放大器和下变频器的输入端，如图7.12(a)所示，这些泄漏到射频信号通路的信号与本地振荡信号频率相同，它们经过下变频器混频后，转变为直流信号，叠加在有用信号上，对有用信号造成干扰，并且可能使后面的处理模块出现饱和。为了说明本地振荡信号泄漏对零中频接收机的影响，我们来看一个具体数据。假设接收机模拟前端的增益为100dB，其中前面的低噪声放大器和下变频器的增益为30dB，本地振荡信号的幅度约为0.315V（对于50Ω系统来说，相当于0dBm的信号功率）。进一步假设接收机对本地振荡信号到低噪声放大器输入端泄漏的抑制率约为60dB，则该泄漏信号与本地振荡信号混频后在混频器输出端造成的直流失调约为10mV。而混频器输出端的有用信号可能仅为$30\mu V_{rms}$，直流失调比有用信号强50dB，有用信号完全淹没在直流失调成分中。后级低频处理模块会再将基带信号放大70dB，10mV的直流失调会使得后级模块出现饱和而不能工作。

本地振荡信号还可能泄漏到天线中并通过天线辐射出去，这些辐射出去的信号会对其它信道的信号造成干扰，而且辐射信号经接收机周围的物体反射后，可能又返回到接收机天线，会在混频器输出端造成一个随时间变化的直流失调成分，这使得本地振荡信号泄漏对接收机性能的影响更加严重。

造成直流失调的另一个因素是射频信号到本地振荡信号通路的泄漏，如图7.12(b)所示。这些射频信号包括有用信号以及接收机环境中存在的各种干扰信号，由于干扰信号的能量可能很高，故泄漏信号的能量



(a) 本地振荡信号泄漏



(b) 射频信号泄漏

图 7-12 信号泄漏造成直流失调

也可能较高。这些泄漏信号与射频信号频率相同，它们经过下变频器混频后，也转变为直流信号，叠加在有用信号上，对有用信号造成干扰，并且也可能使后面的处理模块出现饱和。

造成直流失调的第三个因素是接收机射频前端的偶数阶非线性。在第四章讨论线性度问题时，我们曾经提到，射频信号通过非线性系统后，直流项会受到二阶非线性的影响，并且会出现一个低频的二阶交调项。这些直流项和低频交调项也叠加在有用信号上，形成直流失调。一般用二阶交调点来描述系统受二阶非线性影响的程度，在第四章我们已经讨论过二阶失调的问题，在此我们不再重复。低噪声放大器的二阶非线性造成的直流失调通过寄生电容耦合或者衬底耦合泄漏到基带，而下变频器的二阶非线性造成的直流失调则直接叠加到基带信号上，所以相对说来，下变频器的二阶非线性所造成的影响更大。另外，射频模块非线性所产生的谐波与本地振荡信号所产生的谐波在下变频器中混频后，也会产生直流失调，但由于谐波的频率越高，能量就越弱，一般情况下可以忽略这些谐波所造成的直流失调的影响。需要特别指出的是，二阶交调所产生的低频项可能与有用基带信号的频率相同，而且也会随时间变化，一般的消除直流失调的方法并不能消除这些低频项的影响，而只能通过提高射频模块的偶数阶线性度来抑制这些低频项。

造成直流失调的第四个因素是$\frac{1}{f}$噪声的影响。如同我们所知，MOS晶体管具有比较大的$\frac{1}{f}$噪声，这类噪声与频率成反比，频率越低，$\frac{1}{f}$越大。由于零中频接收机将射频信号转换到基带，$\frac{1}{f}$噪声对电路造成的影响是很大的。

为了消除直流失调，人们提出了多种方案。应用最广泛、也最简单的一种方案是在射频前端和后级的基带模块之间加入一个截止频率很低的高通滤波器，滤除直流失调的影响。为了不干扰有用信号，这些高通滤波器的截止频率很低（通常应低于数据率的0.1%），这将占用大量的芯片面积，而且对于某些调制方案来说，有用信号的能量就集中在0Hz附近，这时就不能采用这种消除直流失调的方案。消除直流失调的第二种方案是针对TDMA系统而提出的一种方案，在TDMA系统中，接收机在某些时隙中处于空闲转态，这时就可以利用这些空闲时隙对直流失调进行采样并存储起来，在接收机转为工作状态后，将接收到的基

带信号和存储的直流失调信号相减，就可以消除直流失调的影响。第三种方案是利用成熟的数字信号处理技术来确定直流失调的大小，并将结果反馈回模拟前端来消除直流失调，如图7-13所示。

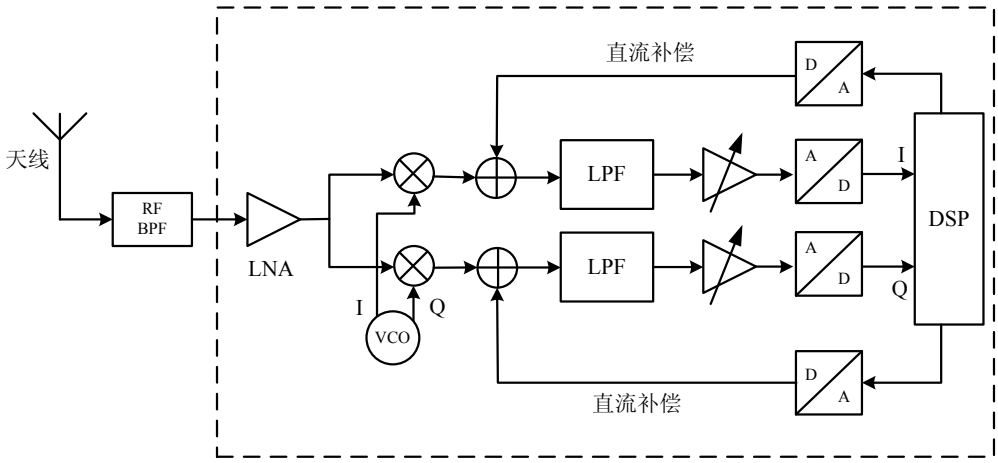


图 7-13 利用数字信号处理技术消除零中频接收机中的直流失调

由于零中频接收机具有很高的集成度，并且随着数字信号处理技术的发展，可以实现复杂的数字信号处理算法来消除直流失调和I、Q支路不匹配对接收机的影响，故采用零中频结构来实现无线接收机引起了人们的广泛关注。

B.Razavi采用零中频结构实现了一个应用于2.4GHz无线局域网环境的接收机，它在片实现了一个截止频率为10kHz的高通滤波器来消除直流失调的影响。该接收机已经采用0.6μmCMOS工艺实现。接收机模拟前端的电压增益可以达到34dB，噪声系数约为8.3dB，二阶交调点约为22dBm，信道内的三阶交调点为-9dBm，信道外的三阶交调点为-4dBm，采用3V电源，功耗约为80mW。

P.Zhang等人采用零中频结构实现了一个应用于5GHz无线局域网环境的接收机，它采用了复杂的数字信号处理技术来消除直流失调。该接收机已经采用0.18μm CMOS工艺实现。接收机模拟前端的电压增益可以达到58dB，噪声系数仅为6.8dB，信道内的三阶交调点为-25dBm，信道外的三阶交调点约为-18dBm，采用1.8V电源，消耗的功耗约为171mW。

§7.1.3 低中频接收机

从以上讨论可以看出，超外差式接收机的本地振荡信号是一个同时具有正频率成分和负频率成分的实信号，故会受到镜像信号的干扰，而零中频接收机的本地振荡信号是一个仅具有正频率成分的复信号，故理想情况下不会受到镜像信号的干扰。那么是否存在一种接收机结构既不会受到镜像信号的干扰，又不会受到直流失调的影响呢？从此思路出发，人们提出了低中频接收机的概念。低中频接收机的核心是用一个仅具有正频率成分的复本地振荡信号来将射频信号转换到一个较低的中频，如图7-14所示，它的频率转换操作示于图7-15中。

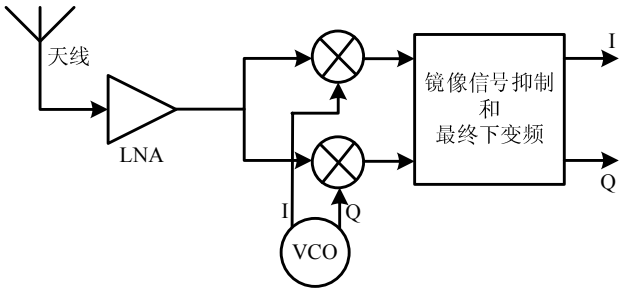


图 7-14 低中频接收机的系统结构

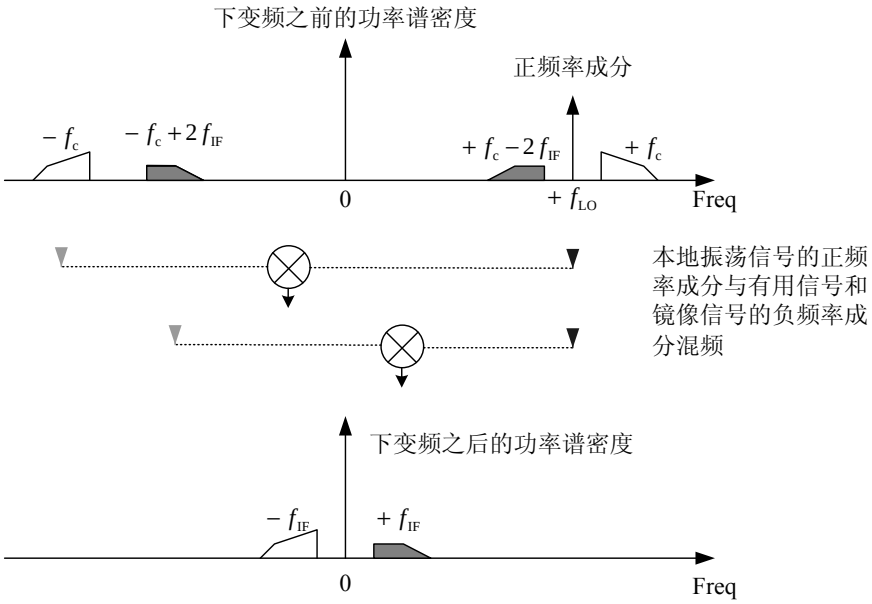


图 7-15 低中频接收机的频域转换示意图

从图7-15可以看出，下变频后有用信号位于负频率处，镜像信号位于正频率处，它们是分开的，只要低频处理模块能抑制位于正频率处的镜像信号，就可以使有用信号不受镜像信号的干扰。低中频接收机将镜像抑制问题由射频转移到比较低的中频，缓解了实现压力，使得该类接收机比较容易集成，同时下变频后的信号不位于基带，避免了零中频接收机所遇到的直流失调问题，是一种比较好的接收机结构。

但在实际实现中，由于本地振荡信号的I、Q两个支路存在幅度和相位不匹配，使得本地振荡信号不是一个纯净的、仅具有正频率成分的复信号，而可能还会存在一定的负频率成分，这时的频域转换如图7-16所示。 从图中可以看到，混频后位于负频率处的有用信号会受到镜像信号的干扰。由于中频不为

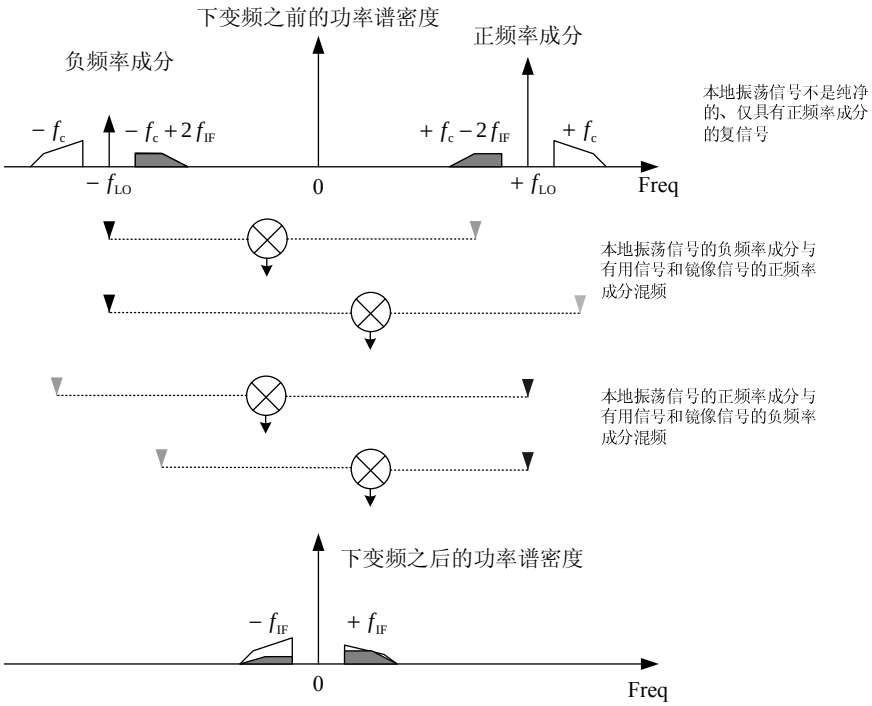
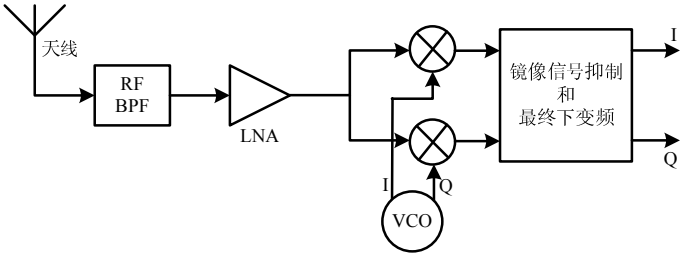


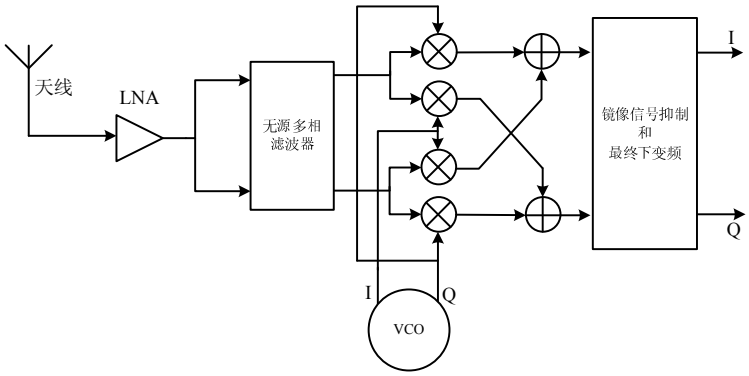
图 7-16 幅度和相位不匹配对低中频接收机的影响

零，镜像信号与有用信号不位于同一信道内，它们能量的大小是不可预知的，镜像信号的能量可能会比有用信号高50～70dB，这样有用信号会受到镜像信号的极大干扰，影响接收机性能。I、Q两个信号支路之间也可能存在幅度和相位不匹配，这些不匹配对接收机性能的影响同本地振荡信号I、Q支路不匹配的影响是一样的，这会进一步恶化接收机的性能。

为了减少I、Q两个信号支路和正交本地振荡信号通路不匹配对接收机性能的影响，低中频接收机在下变频之前也必须对镜像信号进行一定程度的抑制。这时的接收机结构如图7-17所示。



(a) 利用射频带通滤波器来抑制镜像信号



(b) 利用无源多相滤波器来抑制镜像信号

图 7-17 引入额外的镜像信号抑制模块的低中频接收机系统结构

第一种结构采用了与超外差结构一样的办法，利用一个射频带通滤波器来抑制镜像信号，它的频域转换操作如图7-18 所示。 这种结构需要一个射频带通滤波器，这种滤波器一般是很难集成的，影响了集成

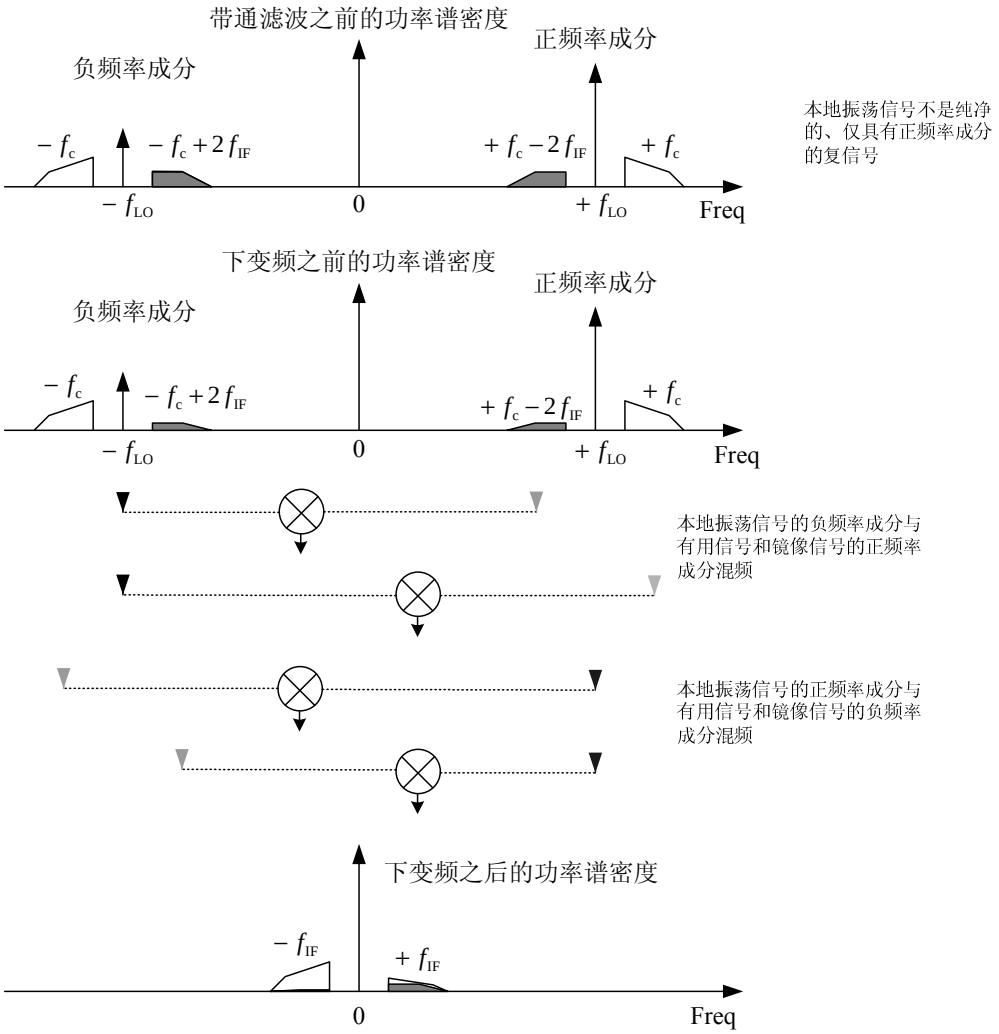


图 7-18 利用射频带通滤波器来抑制镜像信号的低中频接收机的频域转换示意图

度，但同超外差结构相比，它将很大一部分镜像抑制功能推迟到低中频部分来实现，在射频频段对镜像抑制率的要求降低了，故不需要在下变频器之前再引入镜像抑制滤波器，而可以利用低噪声放大器前的射频带通滤波器来完成镜像抑制功能。为了提高镜像抑制率，这种结构所选用的中频频率一般较高。

第二种结构利用了一个无源多相滤波器来抑制位于正频率处的射频信号，其频域转换操作如图7-19所示。无源多相滤波器仅抑制位于正频率处的射频信号，这样在下变频后，与有用信号叠加在一起的镜像信号能量减弱了，可以减小对有用信号的干扰。由于无源多相滤波器仅需抑制位于正频率处的射频信号，它不需要具有很高的品质因子，适于集成电路实现，故这种结构具有很高的集成度，而且这种结构对中频频率没有要求，可以采用比较低的中频频率。

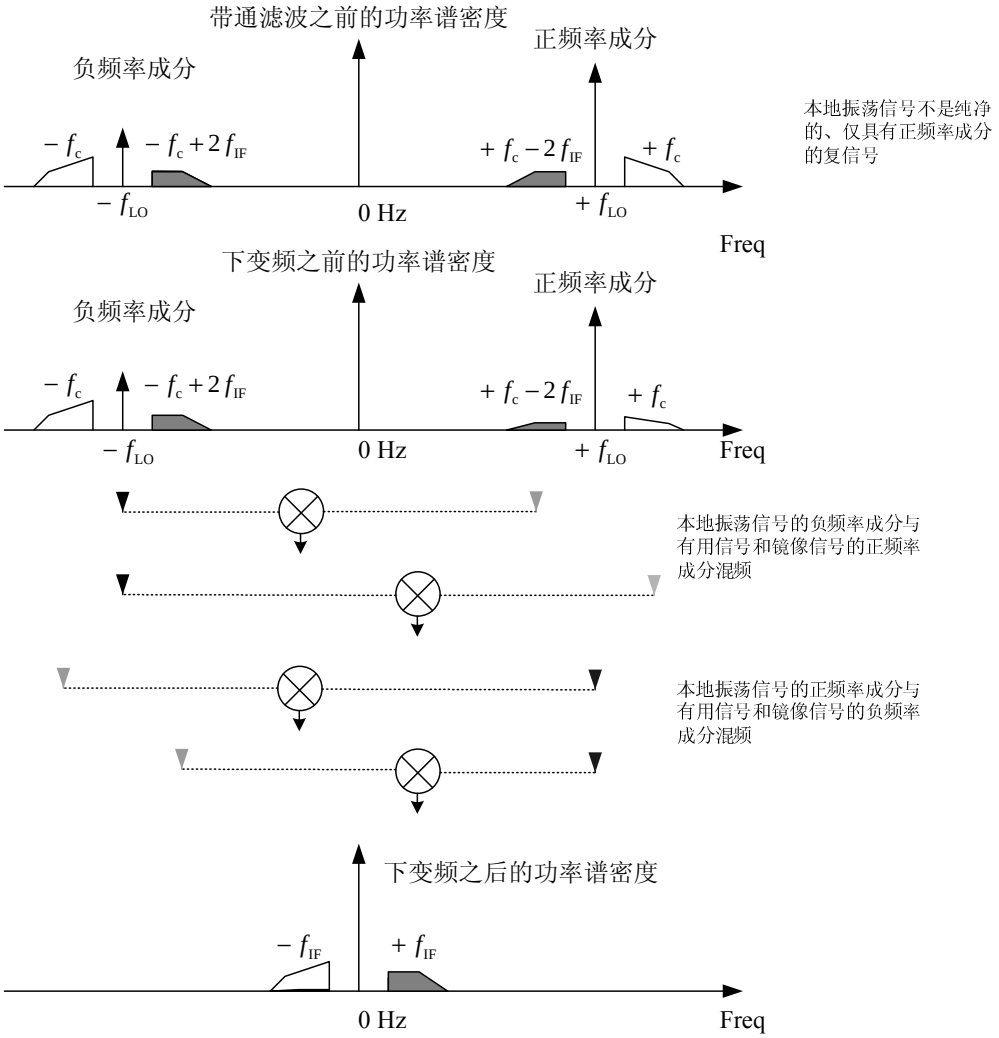
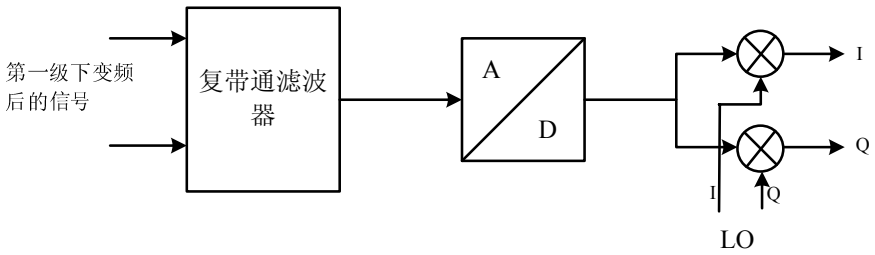
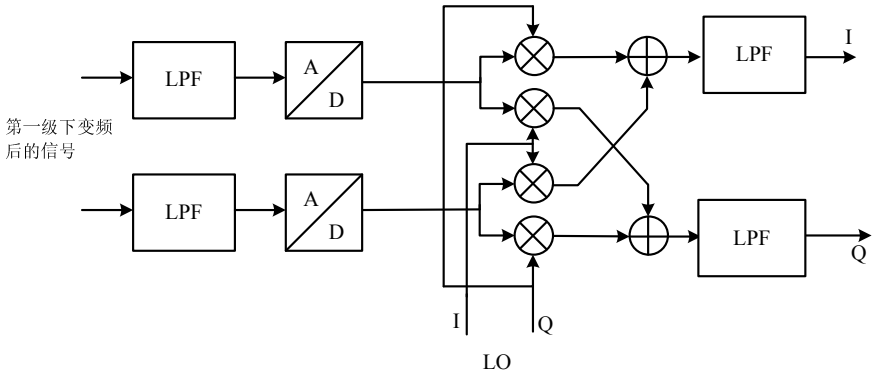


图 7-19 利用无源多相滤波器来抑制镜像信号的低中频接收机的频域转换示意图

从图7-18和7-19可以看出，下变频后的中频信号是由位于正频率处的镜像信号和位于负频率处的有用信号组成的，中频处理模块必须抑制位于正频率处的镜像信号。通常可以采用两种方法来抑制镜像信号，一种方法是采用复带通滤波器来抑制位于正频率处的镜像信号，然后经模数变换后转到数字部分进行处理，如图7.20(a)所示。在这种结构中，由于复带通滤波器能抑制镜像信号和带外的其它信号，降低了对模数变换器动态范围的要求，使得模数变换器很容易实现，但由于复带通滤波器采用模拟电路实现，实现精度不能准确控制，电路性能会受到一定程度的影响。



(a) 在模拟域抑制镜像信号



(b) 在数字域抑制镜像信号

图 7-20 低中频接收机的中频处理模块

另一种方法是先将中频信号转换到数字域，然后在数字部分将它和仅具有正频率成分的振荡信号混频，经低通滤波后，得到所需要的基带信号，如图7.20(b)所示。在这种结构中，镜像抑制是在数字域进行的，可以准确控制实现精度，但由于模数变换器之前仅有一抗混叠低通滤波器，对镜像信号和带外信号仅有少量抑制，模数变换器必须具有很宽的动态范围，会增加模数变换器的实现难度。随着模数变换器技术的发展，模数变换器的动态范围已经可以做得很宽，故相对说来，图7.20(b)所示的结构具有更大的吸引力。

§7.1.4 其它结构的接收机

除了以上几节提到的各种接收机结构外，还有几种接收机结构在实际应用中也经常遇到，本节就对这几种接收机结构进行简单的讨论。

超再生式（Super-regenerative）接收机是在1922年Armstrong提出的超再生原理的基础上发展起来的一种接收机结构，其系统结构如图7-21 所示。

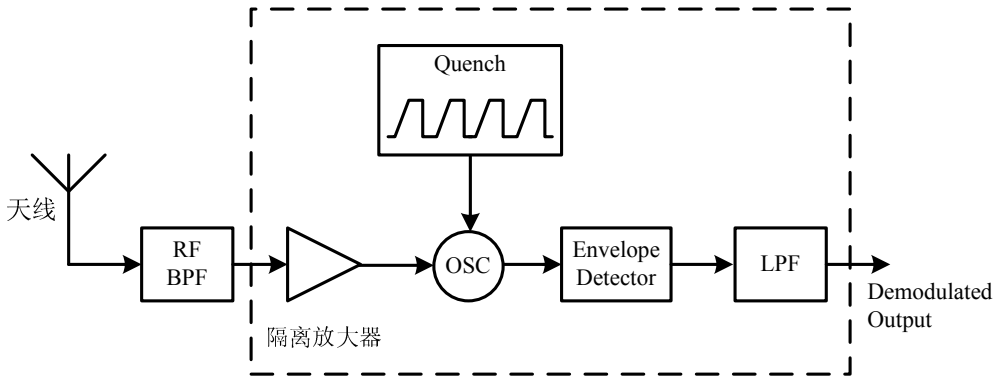


图 7-21 超再生式接收机的系统结构

从天线接收到的射频信号由射频带通滤波器滤除带外干扰信号后送往隔离放大器，隔离放大器除了对射频信号进行放大外，还起到隔离作用，防止后级振荡器的输出信号耦合到天线。振荡器是超再生式接收机中的核心模块，它受两个信号的控制（射频输入信号RFin和淬火信号Quench），如图7-22所示。

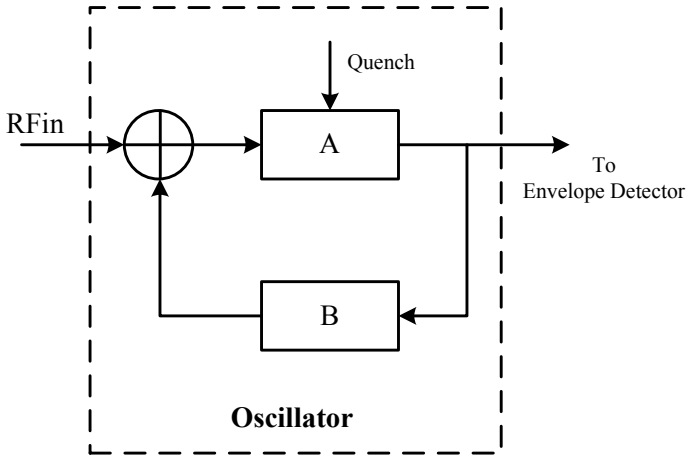


图 7-22 超再生式接收机中的振荡器结构

在“振荡器”一章我们将讲到，振荡器可表示为由放大器A和选择通带滤波器B组成的反馈环路。当反馈环路满足振荡条件时，振荡器就会开始起振。淬火序列周期性改变放大器A的增益，使得振荡器周期性的满足或者不满足振荡条件。当没有射频信号或射频信号很微弱时，振荡器的起振是由热噪声引起的，它是一个很缓慢的过程；当射频信号逐渐加强时，振荡器的起振时间就会逐渐缩短，精确的起振时间决定于输入射频信号的频率与振荡器的自由振荡频率之间的频率差以及射频信号能量的大小。后级的包络检波器检测振荡器输出信号的幅度，经低通滤波后，就可以恢复原始信息。图7-23 给出了超再生式接收机上链路各节点信号的时序图。第一行表示采用OOK（On-Off Keying）调制的射频信号RFin；第二行代表了淬火序列Quench，它的周期必须小于数据的位周期，在淬火序列为高电平时，振荡器满足起振条件，可以起振，而当淬火序列为低电平时，振荡器不满足起振条件，不会产生振荡信号；第三行代表了振荡器输出信号包络随时间的变化，当接收到的数据为低电平时，由于采用OOK调制，RFin信号很微弱，这时振荡器的起振是由热噪声引起的，它是一个很慢的过程，而当接收到的数据为高电平时，RFin信号的能量较强，它

显著地缩短了振荡器的起振时间；最后一行表示了包络检波器输出经低通滤波后得到的解调信号。超再生式接收机的结构很简单，主要适用于采用OOK调制技术的短距离（～20m）、低速率（～50kbps）、低成本、低功耗的无线通信系统。

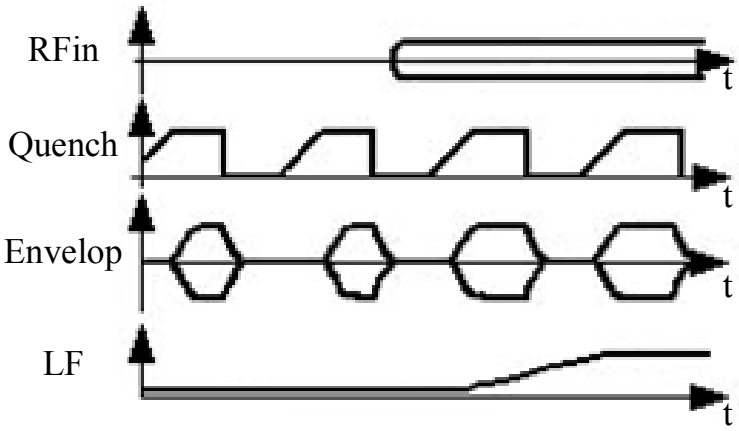


图 7-23 超再生式接收机链路各节点信号的时序图

宽带中频接收机是上世纪90年代中期提出的一种既具有高性能、同时又具有高集成度的接收机结构，它的系统结构如图7-24 所示。

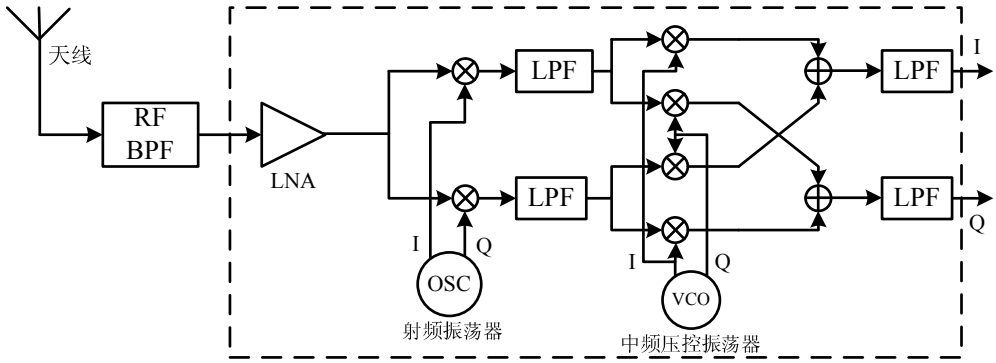


图 7-24 宽带中频接收机的系统结构

从天线来的信号经射频带通滤波器滤除带外干扰信号后（同时也滤除一部分镜像信号），由低噪声放大器进行放大，放大后的信号和固定频率的本地振荡信号进行正交混频，将整个信号带转换到中频。经低通滤波后，由中频复正交混频器将信号转移到基带，经低通滤波和模数变换后，转换到数字域进行处理。同其它接收机结构相比，宽带中频接收机的最大特点是射频本地振荡信号的频率是固定的，这有利于射频振荡器的实现，而且该振荡器可以提供比较好的相位噪声性能。在该接收机结构中，信道选择功能是在第二级下变频时完成的，该下变频器的本地振荡信号在频率上应是可调的。为了使中频本地振荡信号发生器具有合适的相对调谐范围，这种结构选用的中频频率一般较高。宽带中频接收机的最大问题在于：整个信号带都被转移到中频，这要求中频处理模块具有很高的动态范围，而且从第二级下变频器开始的各模块组成了零中频结构，也会遇到零中频接收机所遇到的直流失调等问题。另外由于镜像信号和有用信号不处于同一频带，使得该类接收机对镜像抑制的要求要高于零中频接收机，但由于第二级下变频的频率相对较低，这在一定程度上减缓了所遇到的问题。

亚采样（subsampling）接收机是基于Naquist带通采样定理而提出的一种接收机结构。Naquist带通采样定理指出，一个中心频率为f_c、带宽为Δf的带通信号，可以用一个采样率为$f_s > 2\Delta f$的采样电路进行采样，而不损失任何信息。由于射频应用的带宽通常很窄，由Naquist带通采样定理可知，只要对射频信号以高于两倍带宽的速率进行采样，就可以将射频信号所包含的信息转移到低频，即相当于完成了通常意义

上的下变频操作。图7-25 给出了亚采样接收机的系统结构。从天线来的射频信号经射频带通滤波器滤除带外干扰信号后由低噪声放大器进行放大，然后由一个抗混叠滤波器进行滤波，得到的带通信号由采样保持电路以高于两倍带宽的速率进行采样，并由模数变换器将信号转换到数字域进行信道选择和解调等后续处理。虽然亚采样接收机具有高线性度、高集成度、系统结构简单等优点，但由于采样过程会引入很大的噪声，严重影响接收机的性能，使得亚采样接收机只能应用于某些对性能要求不高的应用中。

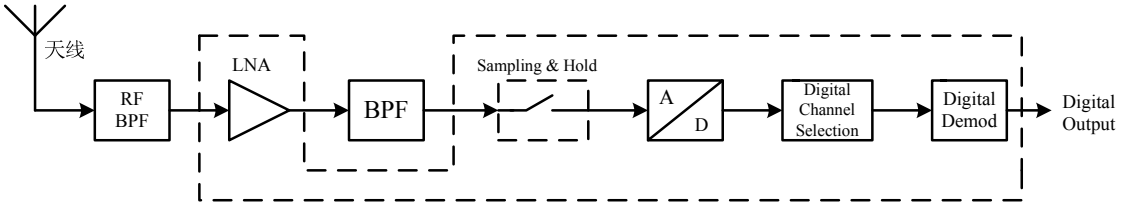


图 7-25 亚采样接收机的系统结构

超宽带（UWB）接收机是最近发展起来的一种接收机结构。与上面介绍的窄带接收机不同，超宽带接收机所处理的射频信号是一个超宽带信号（瞬时带宽大于中心频率的20%或者大于500MHz）。超宽带信号由受信息调制的短周期脉冲组成（这里的调制是指根据信息的不同，改变短周期脉冲的位置、幅度或者相位），从而形成一个很宽的频谱（目前所占用的频段可以从3.1GHz～10.6GHz），信号能量均匀分布在这个很宽的频段内，使得单位带宽内的信号能量很低，可以降低各种干扰对接收机的影响（如多径衰落，信道间干扰等）并避免对其它射频应用造成干扰。超宽带接收机的系统结构很简单，如图7-26所示。超宽带信号由天线接收后，经带通滤波器滤除带外噪声，然后由超宽带低噪声放大器和可变增益放大器进行放大，放大后的信号和一个本地相关模板在相关器中进行相关处理，恢复原始信息，然后由一个模数变换器将信息变换到数字域进行处理。虽然超宽带接收机的结构很简单，但由于它所处理的是一个频率很宽的信号，低噪声放大器和可变增益放大器的带宽都必须很宽，实现起来存在一定的困难；而且在进行相关处理时如何做到精确的时钟同步以保证信息的正确接收和解码是目前还没有解决的问题，这些都使得实现超宽带接收机面临很大的挑战。尽管设计一个高性能的超宽带接收机会面临很多困难，但由于超宽带接收机可以在短距离内（10m内）提供很高的数据率（> 100Mbps），具有很大的应用前景，故人们对超宽带接收机的研究具有浓厚的兴趣。

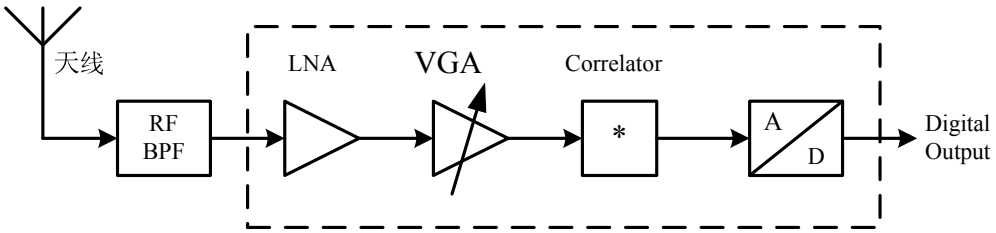


图 7-26 超宽带接收机的系统结构

§7.2 发射机射频前端的系统结构

在发射机中，由于输入的唯一信号是有用信号，因此不会面临接收机所遇到的各种干扰问题，而且有用信号的能量较高，动态范围也较小，所以相对说来，发射机比较容易实现。同接收机一样，一个完整的无线发射机也由三部分组成，如图7-27所示。 用户接口部分提供用户数据和基带处理电路之间的接口，在这一层上，可以定义各种各样的服务；基带处理部分对用户数据进行调制，这一层的实现方式是由所采用的调制技术决定的；最后一部分就是射频部分，它是本节研究的重点。一般说来，发射机射频前端必须将从基带处理电路来的信号上变频到适合于在无线信道中传播的高频频段。由于射频前端对整个发射机的影响最大，对其性能要求也最高，这一部分通常采用模拟电路来实现；而基带处理部分和用户接口部分则是在较低的频率下进行的，在现在成熟的数模变换器技术和数字信号处理技术的支持下，这两部分功能主要

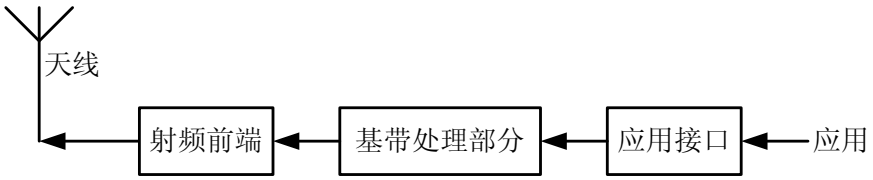


图 7-27 无线发射机系统的基本组成部分

采用数字技术来实现，这样不仅提高了集成度，还可以采用复杂的调制算法来提高整个通信系统的性能并可以提供各种各样的服务。由于射频前端部分的系统结构对发射机的性能有决定性的影响，下面将讨论射频前端的各种系统结构的优缺点并分析CMOS集成电路实现时所面临的主要问题及其解决办法。

§7.2.1 超外差式发射机

超外差式发射机是最常使用的一种发射机结构，它的系统结构如图7-28所示。 在这种发射机结构中，

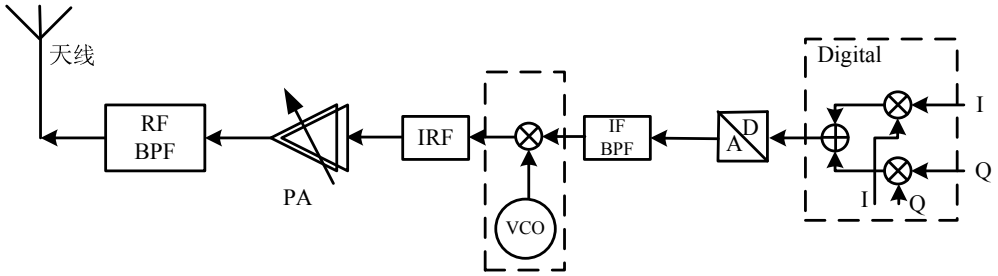


图 7-28 超外差式发射机的系统结构

第一级上变频操作是在数字域进行的（当然也可以在模拟域进行），并且通常采用正交上变频结构。在数字域实现第一级上变频可以使I、Q支路精确匹配，避免了I、Q支路不匹配对电路性能的影响。混频后的中频信号经数摸变换器转换到模拟域，由中频滤波器滤除混叠信号，然后和本地振荡信号在上变频器中进行混频，混频后的结果由镜像抑制滤波器抑制镜像信号和滤除谐波成分，最后由功率放大器进行放大并经天线辐射出去，它的频域转换示意图如图7-29所示。需要说明的是，中频滤波器不是必须的，它仅仅抑制数摸变换器产生的混叠信号，在要求不是特别高的应用中，该中频滤波器可以省略。

超外差式发射机的集成度受到镜像抑制滤波器的影响。为了不干扰其它信道的信号，发射机对镜像信号应具有足够的抑制率，故这种结构对滤波器具有很高的要求，一般不能将镜像抑制滤波器集成在芯片上，影响了集成度。另外，为了减轻对镜像抑制滤波器的压力，超外差式发射机的中频频率一般较高，这样增加了数字域处理和数模变换器的实现难度。虽然可以采用多级上变频来解决超外差式发射机中频频率较高的问题，但这样将需要很多片外带通滤波器来抑制镜像信号，进一步降低了集成度，增加了成本，系统的功耗也会相应增大。

§7.2.2 直接上变频发射机

直接上变频发射机将基带信号直接正交上变频到载波频段，在上变频过程中不会产生镜像信号，从而避免了镜像抑制问题。这种发射机的系统结构如图7-30所示。 从数字域来的基带信号经数摸变换和低通滤波后，由正交上变频器转换到射频频段，然后由功率放大器进行放大，由片外射频带通滤波器滤除谐波成分后，经天线辐射出去。这种发射机的频域转换示意图如图7-31 所示。从图中可以看出，在完全理想的情况下，这种发射机不会产生镜像信号。虽然在实际电路中，由于I、Q两支路不匹配的影响，该发射机也会产生一定大小的镜像信号，但这些镜像信号的能量很弱，功率放大器后的射频带通滤波器可以抑制这些镜像信号。

在直接上变频发射机中，本地振荡信号频率和有用信号频率完全相同，本地振荡信号和有用信号之间会互相干扰。一方面，本地振荡信号经由衬底耦合等方式会泄漏到射频信号通道，叠加在频率完全相同的

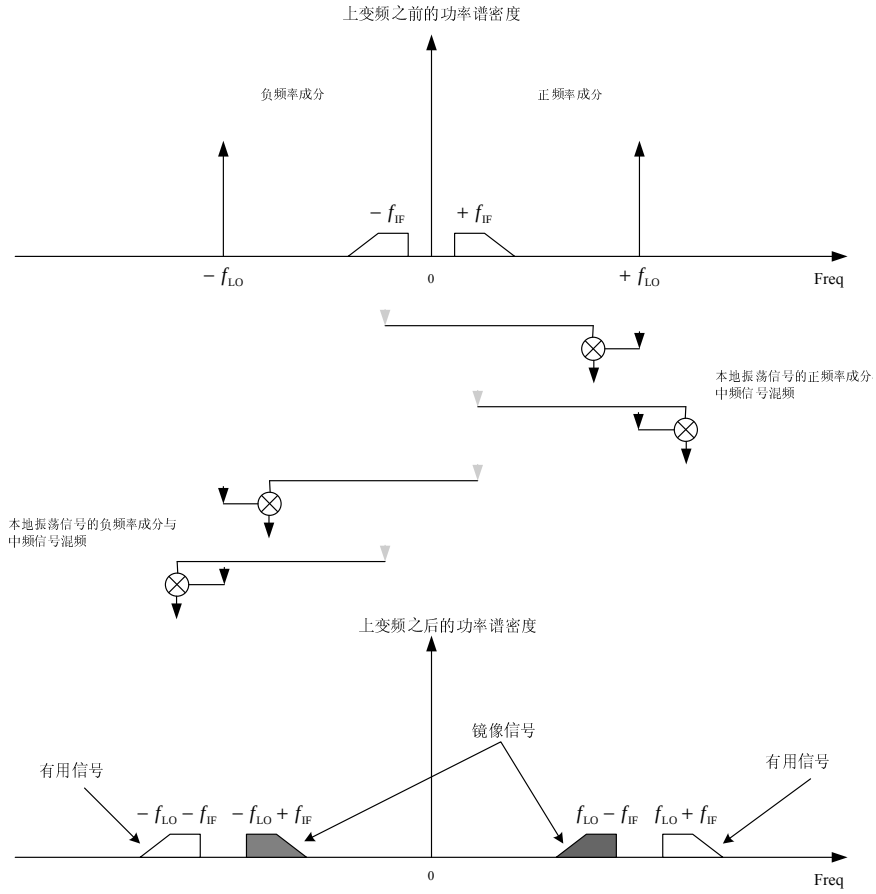


图 7-29 超外差式发射机的频域转换示意图

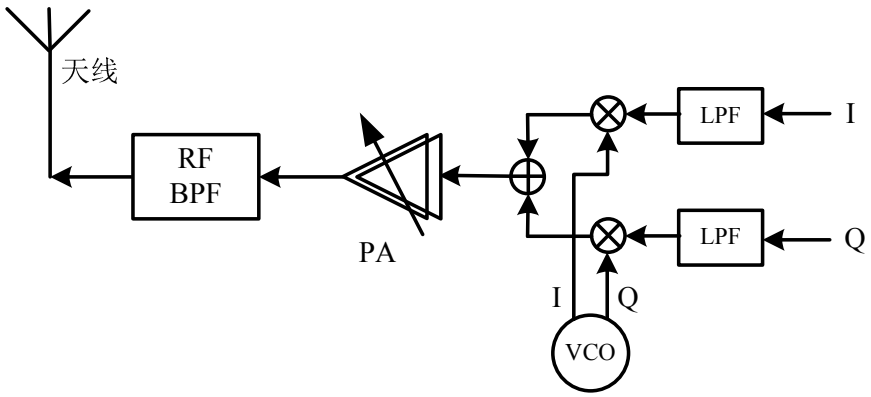


图 7-30 直接上变频发射机的系统结构

射频信号上，不可分离，直接干扰有用信号。另一方面，射频信号经功率放大器放大后，成为一个强信号，该信号也会通过衬底耦合等方式泄漏到本地振荡器中，使本地振荡器产生负载牵引效应。为了减小本地振荡信号和射频信号之间的互相干扰，可以采用两种办法，一种办法是加大提供本地振荡信号的锁相环的环路带宽，使锁相环对外来干扰具有很好的抑制作用；另一种方法是采用与载波频率不同的本地振荡信号频率，比较常见的是使本地振荡器的振荡频率仅为载波频率的一半或者两倍，然后通过倍频或者分频的方法来得到与载波频率相同的本地振荡信号。

§7.2.3 其它结构的发射机

除了以上几节提到的发射机结构外，还有几种发射机结构在实际应用中也经常遇到，本节就对这几种

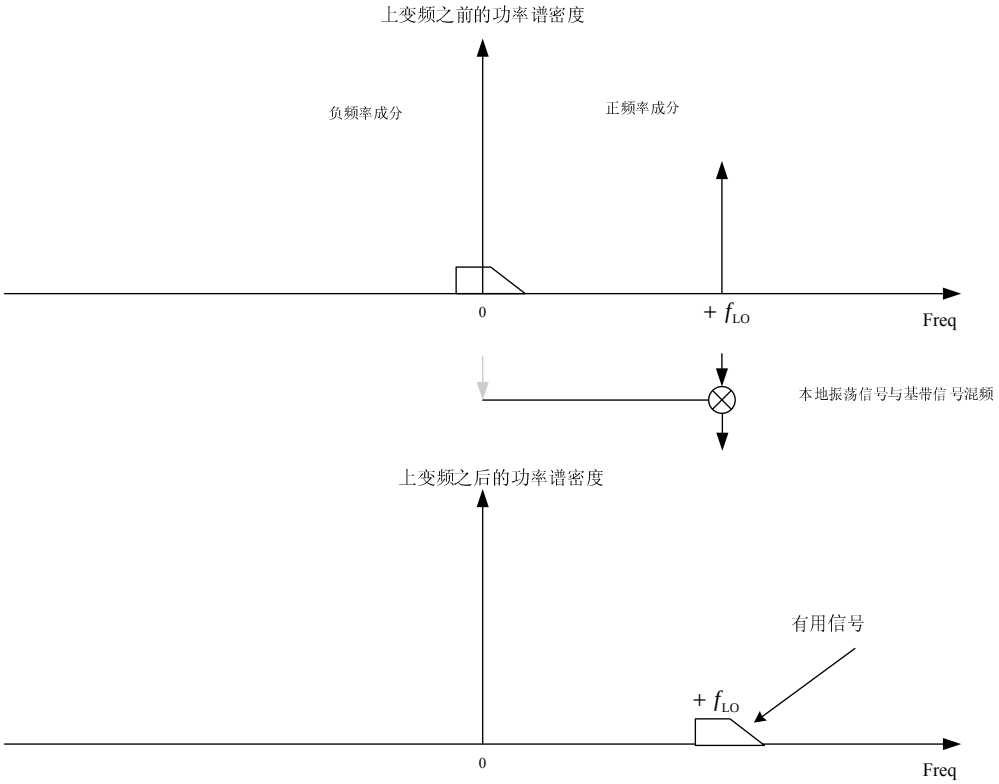


图 7-31 直接上变频发射机的频域转换示意图

发射机结构进行简单的讨论。

中频上变频结构是与宽带中频接收机相对应的一种发射机结构，它将基带信号直接正交上变频到一个较高的中频，然后由第二级上变频器上变频到载波频率，如图7-32所示。第二级上变频的本振信号频率固定，信道选择功能在第一级上变频过程中完成。这种发射机结构避免了直接上变频发射机所遇到的本地振荡信号泄漏和本地振荡器的频率牵引效应，但同超外差结构一样，这种发射机也会遇到镜像抑制问题，需要在发射链路中插入片外镜像滤纸滤波器，从而降低了集成度。

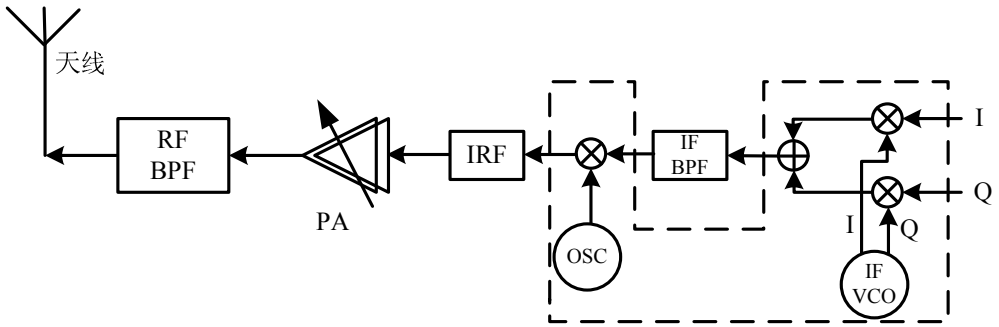


图 7-32 中频上变频发射机的系统结构

正交中频上变频结构是从中频上变频结构发展而来的一种发射机结构，其系统结构如图7-33所示。它也采用两级上变频结构，第一级上变频采用复正交上变频器来避免产生镜像信号，同时给第二级上变频提供I、Q两个支路的信号，第二级上变频同直接上变频发射机一样，采用正交上变频器来避免镜像抑制问题。这种发射机结构具有较高的集成度，同时避免了直接上变频发射机所遇到的本地振荡信号泄漏和本地振荡器的频率牵引效应，是一种较好的发射机结构。

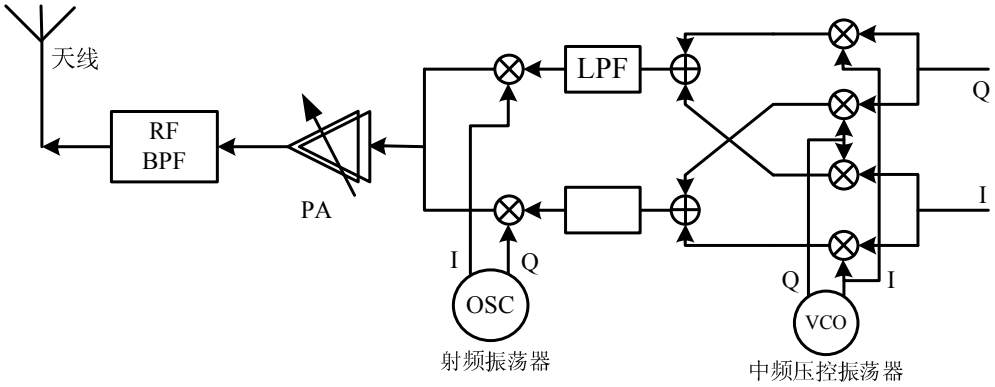


图 7-33 正交中频上变频发射机的系统结构

§7.3 总结

本章讨论了各种无线收发机的系统结构及其优缺点。可以看出，每种系统结构都具有其它结构所不具有的优点，同时也遇到了其它结构所没有遇到的问题。在实际应用中，应从无线收发机的应用环境对无线收发机性能提出的要求、以及成本和系统功耗等方面出发，在各方面进行折衷，确定一个最优的系统结构。

纵观无线收发机系统结构的发展历程，可以看出无线收发机具有以下的发展趋势：

1. 寻求新的可高度集成、性能良好的系统结构

虽然现在存在多种系统结构，但是都存在很多缺点。超外差式收发机是目前最广泛应用的系统结构，但它要求有很好抑制能力的镜像抑制滤波器和高Q值的中频信道选择滤波器，在目前的集成电路工艺下，这些滤波器是不可能集成的。零中频收发机的集成度很高，但却受到直流失调和偶数阶非线性的影响。低中频收发机不存在直流失调问题，但由于I、Q支路不可能完全匹配，镜像抑制性能会受到很大影响，只能应用于对镜像抑制率要求不高的系统中。这些表明了研究新的可高度集成、性能良好的收发机系统结构的必要性。

2. 用数字处理技术来实现部分以前由模拟或射频电路来完成的功能

随着模数、数模变换器以及数字信号处理技术的发展，部分以前由模拟或射频电路实现的功能可以转到数字域进行处理。用数字技术来实现模拟前端的功能，可以提高实现精度、加快设计过程并且减少噪声、衬底耦合等对电路性能的影响。

3. 开发适用于各种通信体制的无线收发机

在现今的通信领域中，各种各样的通信体制并存，收发机信号的传输环境也各不相同，现在的收发机一般只针对某个具体的应用。设计出适合于各种通信体制和传输环境的单片收发机一直是人们的梦想。基于此，人们提出了“软件无线电”的概念，它是利用软件的方法来控制射频前端模块和基带处理电路的功能，使之适用于各种通信体制和传输环境。虽然目前软件无线电还只是处于概念阶段，但目前出现的多模多带收发机研究热潮朝这一方向迈出了重要的一步。

参考文献

[1] Crols Jan, Steyaert M. CMOS Wireless Transceiver Design. Netherlands: Kluwer Academic Publishers, 1997

[2] 许建, 孙大有. 无线接收机RF前端研究. 东南大学学报（自然科学版）, 2000, 30(3): 1～6

[3] Crols J, Steyaert M. Low-IF Topologies for High-Performance Analog Front Ends of Fully Integrated Receivers. IEEE Trans. On Circuits and Systems II, 1998, 45(3): 269～282;

[4] Orsatti P, Qiuting Huang. A 20-mA-Receive, 55-mA-Transmit, Single-Chip GSM Transceiver in 0.25um CMOS. IEEE J. Solid-State Circuits, 1999, 34(12): 1869～1880

[5] Shaeffer D K. The Design and Implementation of Low-Power CMOS Radio Receivers. Stanford University: Ph.D. Dissertation, 1998

[6] Samavati H. A FULLY-INTEGRATED 5GHz CMOS WIRELESS-LAN RECEIVER. Stanford University: Ph.D. Dissertation, 2001

[7] Long J R. A Low-Voltage 5.1－5.8-GHz Image-Reject Downconverter RF IC. IEEE Journal of Solid-State Circuits, 2000, 35(9): 1320～1328

[8] Macedo J A, Copeland M A. A 1.9-GHz Silicon Receiver with Monolithic Image Filtering. IEEE Journal of Solid-State Circuits, 1998, 33(3): 378～386

[9] Razavi B. Design Considerations for Direct-Conversion Receivers. IEEE Transactions on Circuits and Systems-II: Analog and Digital Signal Processing, 1997, 44(6): 428～435

[10] Razavi B. A 2.4-GHz CMOS Receiver for IEEE 802.11 Wireless LAN's. IEEE Journal of Solid-State Circuits, 1999, 34(10): 1382～1385

[11] Zhang P, Nguyen T, Lam C, etc. A Direct Conversion CMOS Transceiver for IEEE 802.11a WLANs. IEEE International Solid-State Circuits Conference, 2003: 1～3

[12] Sheng W, Xia B, Emira A E, etc. A 3-V, 0.35-um CMOS Bluetooth Receiver IC. IEEE Journal of Solid-State Circuits, 2003, 38(1): 30～42

[13] Favre P, Joehl N, Vouilloz A, etc. A 2-V 600-uA 1-GHz BiCMOS Super-Regenerative Receiver for ISM Applications. IEEE J. Solid-State Circuits, 1998, 33(12)

[14] Shen D H, Hwang C M, Lusignan B, etc. A 900MHz Integrated Discrete-Time Filtering RF Front-End. ISSCC'96: 54～55

[15] Daniele N, Pezzin M, Derivaz S, etc. Principle and Motivations of UWB Technology for High Data Rate WPAN Applications

[16] Roberto G. Invited-Challenges for Ultra-wideband(UWB) CMOS Integration. IEEE MTT-S Digest'2003: 361-364

习题

1. 请总结本章所提到的各种接收机结构在用CMOS集成电路实现时的优缺点。
2. 试利用复信号的概念分析Hartley和Weaver结构接收机的频域转换关系，并说明在理想情况下这两种结构的接收机不存在镜像信号抑制问题。
3. 在Weaver结构的接收机中，当第一级下变频器I、Q两路本地振荡信号的幅度差和相位差分别为ε和$\Delta\phi$时，试分析该接收机的镜像信号抑制性能。

4. 试分析零中频接收机在用CMOS集成电路实现所遇到的问题及其解决办法。
5. 试比较超外差式接收机、零中频接收机和低中频接收机在解决镜像抑制问题所采用方法的异同点。
6. 试分析本章所提到的各种发射机结构在用CMOS集成电路实现时的优缺点。
7. 试利用复信号的概念分析正交中频上变频发射机的频域转换关系，并说明在理想情况下这种结构的发射机不会产生镜像信号。

第八章　低噪声放大器

射频接收机接收的信号是一个动态范围很大的信号。例如，对于GSM类型的接收机来说，其最小信号功率能小到−102dBm，而最大信号功率可以达到−15dBm。故接收机本身必须引入很小的噪声：仍以GSM类型的接收机为例，若假设输入信噪比为9dB时才可以满足服务质量的要求（接收机的信噪比要求与通信系统所采用的调制方式以及通信系统所要求的误码率有关），则整个接收机产生的噪声折合到输入端时不能大于−111dBm；同时接收机必须具有足够高的线性度：若仍以GSM类型的接收机为例，接收机的输入1dB压缩点应该高于−15dBm。

为了达到这样的要求，接收机的第一级通常为低噪声放大器，它的功能是在产生尽可能低噪声的前提下对射频信号进行放大以降低后面各级模块产生的噪声对信号的影响。低噪声放大器除了应该引入很少的噪声和提供足够高的增益外，还应该具有较高的线性度以避免非线性对信号质量的影响，另外，低噪声放大器的前级通常为分立的射频带通滤波器，由于滤波器的传输特性与终端所接负载有很大关系，低噪声放大器的输入阻抗必须符合滤波器的规定。在射频领域，该阻抗通常设定为一个统一的纯电阻值：50Ω。

本章我们将讨论低噪声放大器的设计问题，首先我们将介绍两端口网络的噪声分析，这是进行低噪声放大器设计的基础；然后我们讨论低噪声放大器的拓扑结构；紧接着介绍源简并电感型共源低噪声放大器的设计和优化问题，通过引入等高线设计法来系统地设计满足性能指标要求和设计限制的低噪声放大器，源简并电感型共源放大器是最常用的低噪声放大器结构，因此对它作了重点介绍；然后对目前的研究热点–宽带低噪声放大器电路–进行了简单讨论；最后通过介绍微波晶体管放大器的设计方法引入若干重要的概念，这些概念有助于我们理解集成射频放大器的设计和优化问题。

§8.1　两端口网络的噪声分析

两端口网络的噪声分析是从宏观上描述一个网络的噪声性能，而不必跟踪该网络内部各个噪声源对网络的影响。由于该分析方法不涉及网络内部复杂的信号传输关系，分析起来非常方便，故在射频电路的噪声分析中得到了广泛的应用。

该分析方法基于网络内部各个噪声源对网络的影响可以等效于一个串联的噪声电压源和一个并联的噪声电流源对网络的影响，如图8-1所示。 一个内部包含有各种噪声源的两端口网络，可以用一个无噪网络和

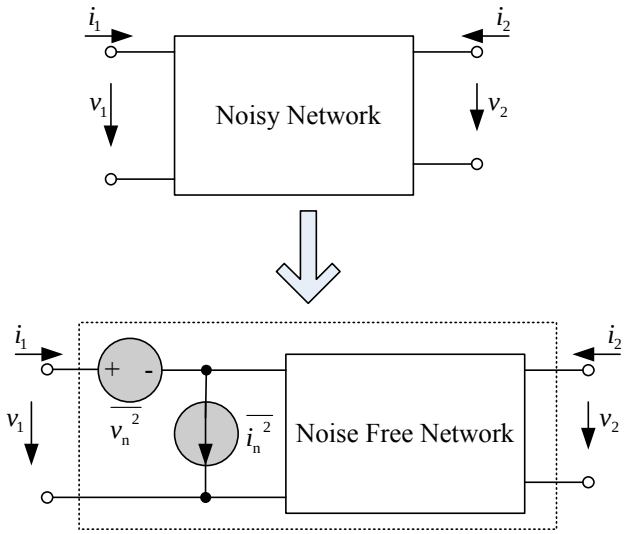


图 8-1 有噪两端口网络和它的等效表示形式

两个噪声源（噪声电压源$\overline{v_n^2}$和噪声电流源$\overline{i_n^2}$）来等效，这就是两端口网络的通用噪声模型。两端口网络的噪声分析就是建立在这个通用噪声模型基础上的。

两端口网络的噪声性能通常用噪声因子（噪声系数）来描述，在第四章，我们已经知道，噪声因子是总的输出噪声功率与由输入信号源引入的输出噪声功率之比，它表示了由于系统存在噪声而对信号信噪比的影响。为了分析两端口网络的噪声因子，需要考虑输入信号源所引入噪声和输入信号源阻抗的影响。包含有输入信号源所引入噪声和输入信号源阻抗的两端口网络通用噪声模型如图8-2所示。 其中，Z_S是

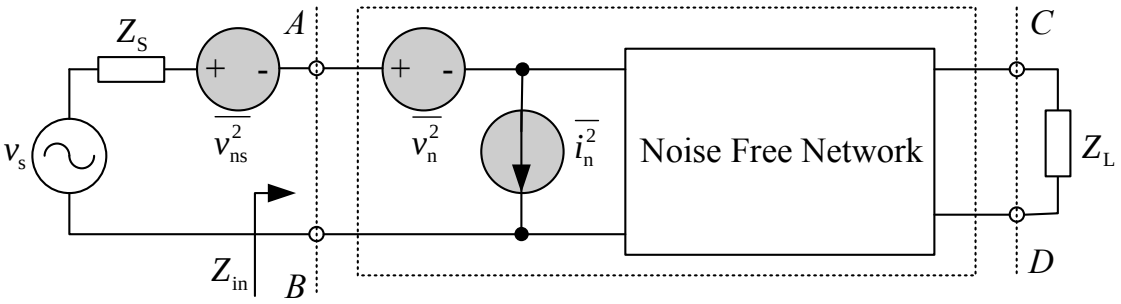


图 8-2 两端口网络的通用噪声模型

输入信号源v_s的阻抗，$\overline{v_{ns}^2}$是输入信号源所引入的噪声。考虑到无噪网络对噪声因子没有影响，计算噪声因子时，仅需考虑噪声电压源$\overline{v_n^2}$、噪声电流源$\overline{i_n^2}$和输入信号源所引入的噪声$\overline{v_{ns}^2}$三项的贡献。图中，平面$A--B$为噪声计算的输入参考平面，$C--D$为噪声计算的输出参考平面。Z_{in}为两端口网络的输入阻抗，Z_L为两端口网络的负载阻抗。$\overline{v_{ns}^2}$与噪声电压源$\overline{v_n^2}$和噪声电流源$\overline{i_n^2}$是不相关的，输出噪声功率可以直接叠加，但噪声电压源$\overline{v_n^2}$和噪声电流源$\overline{i_n^2}$之间存在一定的相关，输出噪声功率不能简单叠加。

令

$$\overline{i_n} = \overline{i_c} + \overline{i_u} \tag{8-1}$$

其中，噪声电流成分$\overline{i_c}$与噪声电压源$\overline{v_n}$完全相关，其相关系数可记为Y_c，即

$$\overline{i_c} = Y_c\overline{v_n} \tag{8-2}$$

Y_c具有导纳的量纲，称为相关导纳。而噪声电流成分$\overline{i_u}$与噪声电压源$\overline{v_n}$完全不相关。

下面我们来计算各个噪声源在输入参考平面$A--B$上产生的输出噪声功率。

由图8-2可知，在平面$A--B$上，由输入信号源引入的噪声功率为

$$\overline{P_{os}} = \overline{v_{ns}^2}\frac{|Z_{in}|}{|Z_S + Z_{in}|^2} \tag{8-3}$$

噪声电压源$\overline{v_n}$和噪声电流成分$\overline{i_c}$产生的噪声功率为

$$\overline{P_{on1}} = |Y_c + Y_S|^2\overline{v_n^2}\frac{|Z_S|^2|Z_{in}|}{|Z_S + Z_{in}|^2} \tag{8-4}$$

其中，$Y_S = \frac{1}{Z_S}$，它是信号源阻抗的导纳值。

噪声电流成分$\overline{i_u}$产生的噪声功率为

$$\overline{P_{on2}} = \overline{I_u^2}\frac{|Z_S|^2|Z_{in}|}{|Z_S + Z_{in}|^2} \tag{8-5}$$

由噪声因子的定义

$$F = \frac{\overline{v_{ns}^2} + \overline{i_u^2}|Z_S|^2 + |Y_c + Y_S|^2\overline{v_n^2}|Z_S|^2}{\overline{V_{ns}^2}} = 1 + \frac{\overline{i_u^2} + |Y_c + Y_S|^2\overline{v_n^2}}{\overline{i_s^2}} \tag{8-6}$$

其中，$\overline{i_s^2} = \frac{\overline{v_{ns}^2}}{|Z_S|^2}$，是输入信号源产生的等效噪声电流的均方值。

式8-6中包含三个独立的噪声源，可以将它们等效为三个电阻产生的热噪声。

$$R_{\mathrm{n}}=\frac{\overline{v_{\mathrm{n}}^2}}{4\mathrm{k}T\Delta f} \tag{8-7}$$

$$G_{\mathrm{u}}=\frac{\overline{i_{\mathrm{u}}^2}}{4\mathrm{k}T\Delta f} \tag{8-8}$$

$$G_{\mathrm{s}}=\frac{\overline{i_{\mathrm{s}}^2}}{4\mathrm{k}T\Delta f} \tag{8-9}$$

其中，k为波尔兹曼常数，T为绝对温度，Δf为电路带宽。

将信号源导纳Y_{S}和相关导纳Y_{c}都表示为电导和电纳之和

$$Y_{\mathrm{S}}=G_{\mathrm{s}}+\mathrm{j}B_{\mathrm{s}} \tag{8-10}$$

$$Y_{\mathrm{c}}=G_{\mathrm{c}}+\mathrm{j}B_{\mathrm{c}} \tag{8-11}$$

$$\tag{8-12}$$

将式8-7、8-8、8-9代入8-6中，可得

$$\mathrm{F}=1+\frac{G_{\mathrm{u}}+|Y_{\mathrm{c}}+Y_{\mathrm{s}}|^2R_{\mathrm{n}}}{G_{\mathrm{s}}} \tag{8-13}$$

式8-13可以进一步表示为

$$\mathrm{F}=1+\frac{G_{\mathrm{u}}+[(G_{\mathrm{s}}+G_{\mathrm{c}})^2+(B_{\mathrm{s}}+B_{\mathrm{c}})^2]R_{\mathrm{n}}}{G_{\mathrm{s}}} \tag{8-14}$$

由式8-14可知，一个两端口网络的噪声性能可以由G_{u}、G_{c}、B_{c}和R_{n}这四个噪声参数来描述，而且噪声性能与输入信号源导纳有关，通过选择合适的输入信号源导纳，可以使得一个两端口网络的噪声因子（噪声系数）达到最小。下面我们来推导两端口网络的噪声因子达到最小时信号源导纳的值。

观察式8-14可以发现，噪声因子达到最小时，必有

$$B_{\mathrm{s}}=-B_{\mathrm{c}}=B_{\mathrm{opt}} \tag{8-15}$$

在此条件下，将式8-14对G_{s}求微分，并令其为0

$$\frac{\mathrm{d}\,\mathrm{F}(B_{\mathrm{s}}=-B_{\mathrm{c}})}{\mathrm{d}\,G_{\mathrm{s}}}=\frac{1}{G_{\mathrm{s}}^2}R_{\mathrm{n}}[2G_{\mathrm{s}}(G_{\mathrm{s}}+G_{\mathrm{c}})-(G_{\mathrm{s}}+G_{\mathrm{c}})^2-\frac{G_{\mathrm{u}}}{R_{\mathrm{n}}}]=0 \tag{8-16}$$

即

$$G_{\mathrm{s}}=\sqrt{\frac{G_{\mathrm{u}}}{R_{\mathrm{n}}}+G_{\mathrm{c}}^2}=G_{\mathrm{opt}} \tag{8-17}$$

在此条件下，该两端口网络的噪声因子可以达到最小

$$\mathrm{F}_{\mathrm{min}}=1+2R_{\mathrm{n}}[G_{\mathrm{opt}}+G_{\mathrm{c}}]=1+2R_{\mathrm{n}}\left[\sqrt{\frac{G_{\mathrm{u}}}{R_{\mathrm{n}}}+G_{\mathrm{c}}^2}+G_{\mathrm{c}}\right] \tag{8-18}$$

则式8-14可以表示为

$$\mathrm{F}=\mathrm{F}_{\mathrm{min}}-2R_{\mathrm{n}}G_{\mathrm{opt}}-2R_{\mathrm{n}}G_{\mathrm{c}}+\frac{G_{\mathrm{u}}}{G_{\mathrm{s}}}+\frac{R_{\mathrm{n}}}{G_{\mathrm{s}}}[(G_{\mathrm{s}}+G_{\mathrm{c}})^2+(B_{\mathrm{s}}+B_{\mathrm{c}})^2] \tag{8-19}$$

由式8-15和8-17可知

$$B_{\mathrm{c}}=B_{\mathrm{opt}} \tag{8-20}$$

$$G_{\mathrm{u}} = R_{\mathrm{n}}G_{\mathrm{opt}}^2 - R_{\mathrm{n}}G_{\mathrm{c}}^2 \tag{8-21}$$

代入8-19

$$\mathrm{F} = \mathrm{F}_{\min} + \frac{R_{\mathrm{n}}}{G_{\mathrm{s}}}[(G_{\mathrm{s}} - G_{\mathrm{opt}})^2 + (B_{\mathrm{s}} - B_{\mathrm{opt}})^2] \tag{8-22}$$

该式说明两端口网络的噪声性能可以由$\mathrm{F}_{\min}$、R_{n}、G_{opt}和B_{opt}四个噪声参数确定。由于这四个噪声参数容易测量，噪声因子（噪声系数）的计算也简单明了，式8-22在实际中得到了广泛的应用。从式8-22还可以看出，恒噪声系数曲线（以$Y_{\mathrm{S}} = G_{\mathrm{s}} + \mathrm{j}B_{\mathrm{s}}$为变量）是一个圆，称为恒噪声系数圆。

§8.2 MOS晶体管两端口网络噪声参数的理论分析

在第六章中，我们已经介绍过MOS晶体管引入的两种主要噪声源。一种是漏端沟道电流热噪声，其值为：

$$\overline{i_{\mathrm{nd}}^2} = 4\mathrm{k}T\gamma g_{\mathrm{d0}}\Delta f \tag{8-23}$$

另一种是因晶体管非准静态效应引入的栅噪声（Induced Gate Noise，以后简称NQS噪声），其值为：

$$\overline{i_{\mathrm{ng}}^2} = 4\mathrm{k}T\delta g_{\mathrm{g}}\Delta f \tag{8-24}$$

$$g_{\mathrm{g}} = \frac{\omega^2 C_{\mathrm{gs}}^2}{5g_{\mathrm{d0}}} \tag{8-25}$$

由于这两种噪声都源于同一种物理效应（沟道电阻热噪声），它们之间存在一定的相关性，它们之间的相关系数可以定义为：

$$c = \frac{\overline{i_{\mathrm{ng}} \cdot i_{\mathrm{nd}}^*}}{\sqrt{\overline{i_{\mathrm{ng}}^2} \cdot \overline{i_{\mathrm{nd}}^2}}} \tag{8-26}$$

c是一个纯虚数，对于长沟器件，其值为j0.395；对于短沟器件，它的值介于j0.3到j0.35之间。

对于射频线性放大器来说，由于工作频率很高，MOS管$1/f$噪声的影响近似可以忽略。在下面的讨论中，我们都忽略了该噪声。

将这两个噪声源等效到晶体管的输入端（栅极），可以得到等效输入噪声电压为：

$$\overline{v_{\mathrm{n}}^2} = \frac{\overline{i_{\mathrm{nd}}^2}}{g_{\mathrm{m}}^2} = \frac{4\mathrm{k}T\gamma g_{\mathrm{d0}}\Delta f}{g_{\mathrm{m}}^2} \tag{8-27}$$

而等效输入噪声电流为：

$$\overline{i_{\mathrm{n}}^2} = \frac{\overline{i_{\mathrm{nd}}^2}(\mathrm{j}\omega C_{\mathrm{gs}})^2}{g_{\mathrm{m}}^2} + \overline{i_{\mathrm{ng}}^2} = \overline{v_{\mathrm{n}}^2}(\mathrm{j}\omega C_{\mathrm{gs}})^2 + 4\mathrm{k}T\delta g_{\mathrm{g}}\Delta f \tag{8-28}$$

等效输入噪声电压和等效输入噪声电流之间存在一定的相关性，令

$$\overline{i_{\mathrm{n}}} = \overline{i_{\mathrm{c}}} + \overline{i_{\mathrm{u}}} \tag{8-29}$$

其中，噪声电流成分$\overline{i_{\mathrm{c}}}$与噪声电压源$\overline{v_{\mathrm{n}}}$完全相关，其相关系数为$Y_{\mathrm{c}}$。而噪声电流成分$\overline{i_{\mathrm{u}}}$与噪声电压源$\overline{v_{\mathrm{n}}}$ 完全不相关。

将NQS噪声拆成两项：

$$\overline{i_{\mathrm{ng}}^2} = \overline{(i_{\mathrm{ngc}} + i_{\mathrm{ngu}})^2} = 4\mathrm{k}T\delta g_{\mathrm{g}}|c|^2\Delta f + 4\mathrm{k}T\delta g_{\mathrm{g}}(1 - |c|^2)\Delta f \tag{8-30}$$

其中，i_{ngc}与i_{nd}完全相关，相关系数为c；i_{ngu}与i_{nd}完全不相关。即

$$c = \frac{\overline{i_{\mathrm{ng}} \cdot i_{\mathrm{nd}}^*}}{\sqrt{\overline{i_{\mathrm{ng}}^2} \cdot \overline{i_{\mathrm{nd}}^2}}} = \frac{\overline{i_{\mathrm{ngc}} \cdot i_{\mathrm{nd}}^*}}{\sqrt{\overline{i_{\mathrm{ng}}^2} \cdot \overline{i_{\mathrm{nd}}^2}}} \tag{8-31}$$

$$\overline{i_{\mathrm{u}}^2} = 4\mathrm{k}T\delta g_{\mathrm{g}}(1-|c|^2)\Delta f \tag{8-32}$$

由式8-27和式8-28可知：

$$Y_{\mathrm{c}} = \frac{i_{\mathrm{c}}}{v_{\mathrm{n}}} = \mathrm{j}\omega C_{\mathrm{gs}} + \frac{g_{\mathrm{m}}}{i_{\mathrm{nd}}} \cdot i_{\mathrm{ngc}} \tag{8-33}$$

将上式中最后一项的分子、分母部分同乘以i_{nd}^*：

$$\frac{g_{\mathrm{m}}}{i_{\mathrm{nd}}} \cdot i_{\mathrm{ngc}} = g_{\mathrm{m}} \cdot \frac{\overline{i_{\mathrm{ngc}} \cdot i_{\mathrm{nd}}^*}}{\overline{i_{\mathrm{nd}} \cdot i_{\mathrm{nd}}^*}} = g_{\mathrm{m}} \cdot \frac{\overline{i_{\mathrm{ng}} \cdot i_{\mathrm{nd}}^*}}{\overline{i_{\mathrm{nd}}^2}} \tag{8-34}$$

所以

$$Y_{\mathrm{c}} = \mathrm{j}\omega C_{\mathrm{gs}} + g_{\mathrm{m}} \cdot \frac{\overline{i_{\mathrm{ng}} \cdot i_{\mathrm{nd}}^*}}{\overline{i_{\mathrm{nd}}^2}} = \mathrm{j}\omega C_{\mathrm{gs}} + g_{\mathrm{m}} \cdot \frac{\overline{i_{\mathrm{ng}} \cdot i_{\mathrm{nd}}^*}}{\sqrt{\overline{i_{\mathrm{ng}}^2} \cdot \overline{i_{\mathrm{nd}}^2}}} \cdot \sqrt{\frac{\overline{i_{\mathrm{ng}}^2}}{\overline{i_{\mathrm{nd}}^2}}} = \mathrm{j}\omega C_{\mathrm{gs}} + g_{\mathrm{m}} \cdot c \cdot \sqrt{\frac{\overline{i_{\mathrm{ng}}^2}}{\overline{i_{\mathrm{nd}}^2}}} \tag{8-35}$$

将$\overline{i_{\mathrm{ng}}^2}$和$\overline{i_{\mathrm{nd}}^2}$代入，并考虑到$c$是纯虚数，可得：

$$Y_{\mathrm{c}} = \mathrm{j}\omega C_{\mathrm{gs}}(1-\alpha|c|\sqrt{\frac{\delta}{5\gamma}}) \tag{8-36}$$

$$\alpha = \frac{g_{\mathrm{m}}}{g_{\mathrm{d0}}} \tag{8-37}$$

g_{d0}为$V_{\mathrm{DS}}=0$时的漏源导纳。对于长沟晶体管，$\alpha=1$；当沟道长度减小时，α降低，因此α表示了晶体管工作偏离长沟特性的程度。

由式8-27、8-32、8-36可知：

$$R_{\mathrm{n}} = \frac{\overline{v_{\mathrm{n}}^2}}{4\mathrm{k}T\Delta f} = \frac{\gamma g_{\mathrm{d0}}}{g_{\mathrm{m}}^2} \tag{8-38}$$

$$G_{\mathrm{c}} = \Re(Y_{\mathrm{c}}) = 0 \tag{8-39}$$

$$B_{\mathrm{c}} = -\Im(Y_{\mathrm{c}}) = -\omega C_{\mathrm{gs}}(1-\alpha|c|\sqrt{\frac{\delta}{5\gamma}}) \tag{8-40}$$

$$G_{\mathrm{u}} = \frac{\overline{i_{\mathrm{u}}^2}}{4\mathrm{k}T\Delta f} = \frac{\delta\omega^2 C_{\mathrm{gs}}^2(1-|c|^2)}{5g_{\mathrm{d0}}} \tag{8-41}$$

故MOS晶体管的两端口网络噪声参数为：

$$R_{\mathrm{n}} = \frac{\gamma}{\alpha} \cdot \frac{1}{g_{\mathrm{m}}} \tag{8-42}$$

$$G_{\mathrm{opt}} = \alpha\omega C_{\mathrm{gs}}\sqrt{\frac{\delta}{5\gamma}(1-|c|^2)} \tag{8-43}$$

$$B_{\mathrm{opt}} = -\omega C_{\mathrm{gs}}(1-\alpha|c|\sqrt{\frac{\delta}{5\gamma}}) \tag{8-44}$$

$$\mathrm{F}_{\mathrm{min}} = 1 + \frac{2}{\sqrt{5}}\frac{\omega}{\omega_{\mathrm{T}}}\sqrt{\gamma\delta(1-|c|^2)} \tag{8-45}$$

由MOS管的两端口网络噪声参数可知，为了达到最小的噪声因子，要求

$$Y_{\mathrm{S}} = 1/Z_{\mathrm{S}} = G_{\mathrm{opt}} + \mathrm{j}B_{\mathrm{opt}} \tag{8-46}$$

而为了达到最大功率传输条件，要求：

$$Z_{\mathrm{S}} = (\mathrm{j}\omega C_{\mathrm{gs}})^{*} \tag{8-47}$$

以上两个条件是不可能同时满足的，因此共源MOS管放大器不可能在达到最小噪声系数的同时传输最大功率。

随着CMOS工艺技术的发展，晶体管的特征尺寸不断缩小，ω_{T}持续提高。从式8-45可以看出，$\mathrm{F}_{\min}$会随着ω_{T}的提高而降低。所以，随着工艺的进步，$\mathrm{F}_{\min}$会减小。如假设$\gamma = 2$，$\delta = 4$，则当$\frac{\omega_{\mathrm{T}}}{\omega} = 20$时，$\mathrm{F}_{\min} = 0.5\mathrm{dB}$；而当$\frac{\omega_{\mathrm{T}}}{\omega} = 5$，$\mathrm{F}_{\min} = 1.6\mathrm{dB}$。可见当工作频率远小于晶体管的特征频率时，设计小噪声系数的放大器还是可能的。

在以上推导过程中，我们忽略了栅寄生阻抗引入的热噪声、衬底寄生阻抗引入的热噪声以及因沟道热噪声通过背栅调制而引入的衬底噪声，并且假设晶体管输入端是纯电容性的。实际上，栅寄生阻抗引入的热噪声、衬底寄生阻抗引入的热噪声以及因沟道热噪声通过背栅调制而引入的衬底噪声都是不可忽略的，它们对放大器的噪声性能具有很大的影响。下面我们来考虑这些噪声对晶体管噪声参数的影响。

图8-3给出了考虑上述两种寄生阻抗后的噪声模型。在该模型中，R_{G}为栅极寄生阻抗，$\overline{i_{\mathrm{G}}^2}$为栅极寄生阻抗产生的热噪声，$C_{\mathrm{gs}}$为栅源电容，$\overline{i_{\mathrm{g}}^2}$为因晶体管非准静态效应引入的栅噪声（NQS噪声），g_{m}为晶体管跨导，g_{mb}为体跨导，$\overline{i_{\mathrm{d}}^2}$为沟道热噪声，$r_{\mathrm{o}}$为晶体管输出阻抗，$R_{\mathrm{SUB}}$为衬底阻抗，$\overline{i_{\mathrm{SUB}}^2}$为衬底阻抗所产生的热噪声和因沟道热噪声通过背栅调制而引入的衬底噪声的总和。在整个模型中，我们仍然忽略了寄生电容C_{gd}、C_{bd}和C_{bs}，当工作频率低于$f_{\mathrm{T}}/5$时，该简化模型给出的分析结果与测试结果很接近，当工作频率更高时，由于忽略了这些寄生电容的影响，该分析结果与实测结果有较大差距。

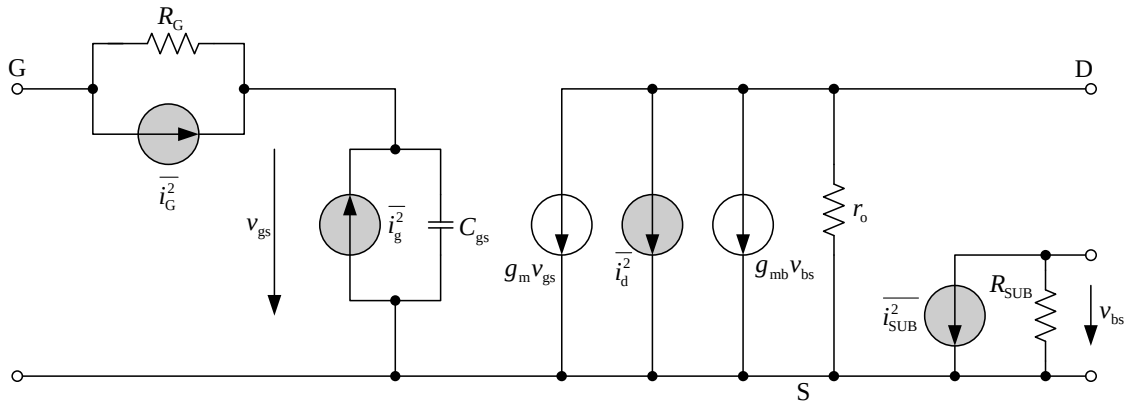


图 8-3 包含有栅阻抗噪声和衬底阻抗噪声的晶体管噪声模型

应用图8-3所示简化模型和两端口网络噪声理论，可以推导出如下的两端口网络噪声参数：

$$R_{\mathrm{n}} = \frac{\lambda_{\mathrm{sat}}}{g_{\mathrm{m}}}\vartheta \tag{8-48}$$

$$G_{\mathrm{opt}} = g_{\mathrm{m}}\theta\sqrt{\frac{\psi\vartheta - \chi^2}{\vartheta^2}} \tag{8-49}$$

$$B_{\mathrm{opt}} = -\frac{g_{\mathrm{m}}\theta\chi}{\vartheta} \tag{8-50}$$

$$\mathrm{F}_{\min} = 1 + 2\lambda_{\mathrm{sat}}R_{\mathrm{G}}g_{\mathrm{m}}\theta^2\psi + 2\lambda_{\mathrm{sat}}\theta\sqrt{\frac{\psi\vartheta - \chi^2}{\vartheta^2}} \tag{8-51}$$

其中

$$\vartheta = 1 + \alpha_{\mathrm{g}} + \alpha_{\mathrm{sub}} + (g_{\mathrm{m}}R_{\mathrm{G}}\theta)^2\psi \tag{8-52}$$

$$\theta = 2\pi f\frac{C_{\mathrm{gs}}}{g_{\mathrm{m}}} = \frac{\omega}{\omega_{\mathrm{T}}} \tag{8-53}$$

其中，λ_{sat}是一个正比于γ因子的参数，ψ和χ表征NQS噪声大小以及它与沟道电流噪声的相关程度，α_{g}是栅阻抗的噪声功率谱密度与输入等效沟道噪声的比值，α_{sub}是衬底阻抗的输出等效噪声与输出等效沟道噪声的比值。

$$\alpha_{\mathrm{g}} = \frac{g_{\mathrm{m}} R_{\mathrm{G}}}{\lambda_{\mathrm{sat}}} \tag{8-54}$$

$$\alpha_{\mathrm{sub}} = \frac{g_{\mathrm{mb}}^2 R_{\mathrm{sub}}}{g_{\mathrm{m}} \lambda_{\mathrm{sat}}} \tag{8-55}$$

而参数ψ和χ可以用下面的公式计算：

$$\psi = 1 + \alpha_{\mathrm{sub}} + \frac{\sigma_{\mathrm{sat}}}{\lambda_{\mathrm{sat}}} + 2c\sqrt{\frac{\sigma_{\mathrm{sat}}}{\lambda_{\mathrm{sat}}}} \tag{8-56}$$

$$\chi = 1 + \alpha_{\mathrm{sub}} - c\sqrt{\frac{\sigma_{\mathrm{sat}}}{\lambda_{\mathrm{sat}}}} \tag{8-57}$$

σ_{sat}是一个与晶体管偏置和尺寸有关的噪声参数，c表征了NQS噪声和沟道电流噪声的相关程度。

在以上式子中，仅有λ_{sat}和σ_{sat}是需要测量的噪声参数。它们可以表示为：

$$\lambda_{\mathrm{sat}} = \frac{\gamma}{\alpha} \tag{8-58}$$

$$\sigma_{\mathrm{sat}} = \frac{\delta\alpha}{5} \tag{8-59}$$

图8-4对一个NMOS晶体管两端口网络噪声参数的测量结果和使用图8-3所示简化模型得到的模拟结果进行了比较。 a线表示测量结果；b线表示使用复杂小信号等效模型得到的仿真结果；c线～f线都是使用图8-3所示的简化噪声模型得到的仿真结果。其中，c线表示不考虑栅阻抗引入的噪声、不考虑衬底阻抗引入的噪声和不考虑NQS噪声时得到的仿真结果；d线表示仅不考虑NQS噪声时得到的仿真结果；e线表示栅阻抗引入的噪声、衬底阻抗引入的噪声和NQS噪声都考虑，但不考虑NQS噪声与沟道噪声的相关性（$c=0$）时得到的仿真结果；f线表示栅阻抗引入的噪声、衬底阻抗引入的噪声和NQS栅噪声都考虑，同时也考虑NQS噪声与沟道噪声的相关性（$c=$ j0.395）时得到的仿真结果。从图中可以看出，栅阻抗和衬底寄生阻抗对$\mathrm{F_{min}}$、G_{opt} 和R_{n}都有很大的影响，而NQS噪声仅轻度地影响$\mathrm{F_{min}}$和G_{opt}，并且对R_{n}没有影响。所以，当工作频率远低于晶体管的特征频率时，对MOS管的噪声贡献最大的是栅阻抗、衬底阻抗引入的热噪声以及沟道热噪声，而NQS噪声对MOS噪声的影响居于次要位置。

栅寄生阻抗引入的热噪声可以通过多个晶体管并联（多指晶体管技术）从而减小栅寄生阻抗来减小，而衬底噪声可以通过多引入衬底接触孔来减小。由于这些噪声对放大器噪声性能的影响与版图设计很有关系，可以通过合理的版图设计来降低它们的影响，在后面我们仅考虑沟道热噪声和NQS噪声对放大器噪声因子（噪声系数）的影响。

对于MOS管的两端口网络噪声参数，还有一点需要说明，阻抗或导纳型参数（R_{n}、G_{opt}和B_{opt}）与晶体管沟道宽度之间满足按比例缩放定理，而无量纲参数（$\mathrm{F_{min}}$则与晶体管的沟道宽度没有关系。即对于偏置电压固定（隐含着恒定的电流密度）、沟道宽度为W的晶体管，它的两端口网络噪声参数满足：

$$R_{\mathrm{n}} = \frac{W_0}{W} R_{\mathrm{n0}} \tag{8-60}$$

$$G_{\mathrm{opt}} = \frac{W}{W_0} G_{\mathrm{opt0}} \tag{8-61}$$

$$B_{\mathrm{opt}} = \frac{W}{W_0} B_{\mathrm{opt0}} \tag{8-62}$$

$$\mathrm{F_{min}} = \mathrm{F_{min0}} \tag{8-63}$$

其中，R_{n0}、G_{opt0}、B_{opt0}和$\mathrm{F_{min0}}$是沟道宽度为W_0的晶体管的噪声参数（通常称此晶体管为一个晶体管单元）。根据按比例缩放定理，我们只需要知道一个晶体管单元在不同偏置下（不同电流密度）的噪声参

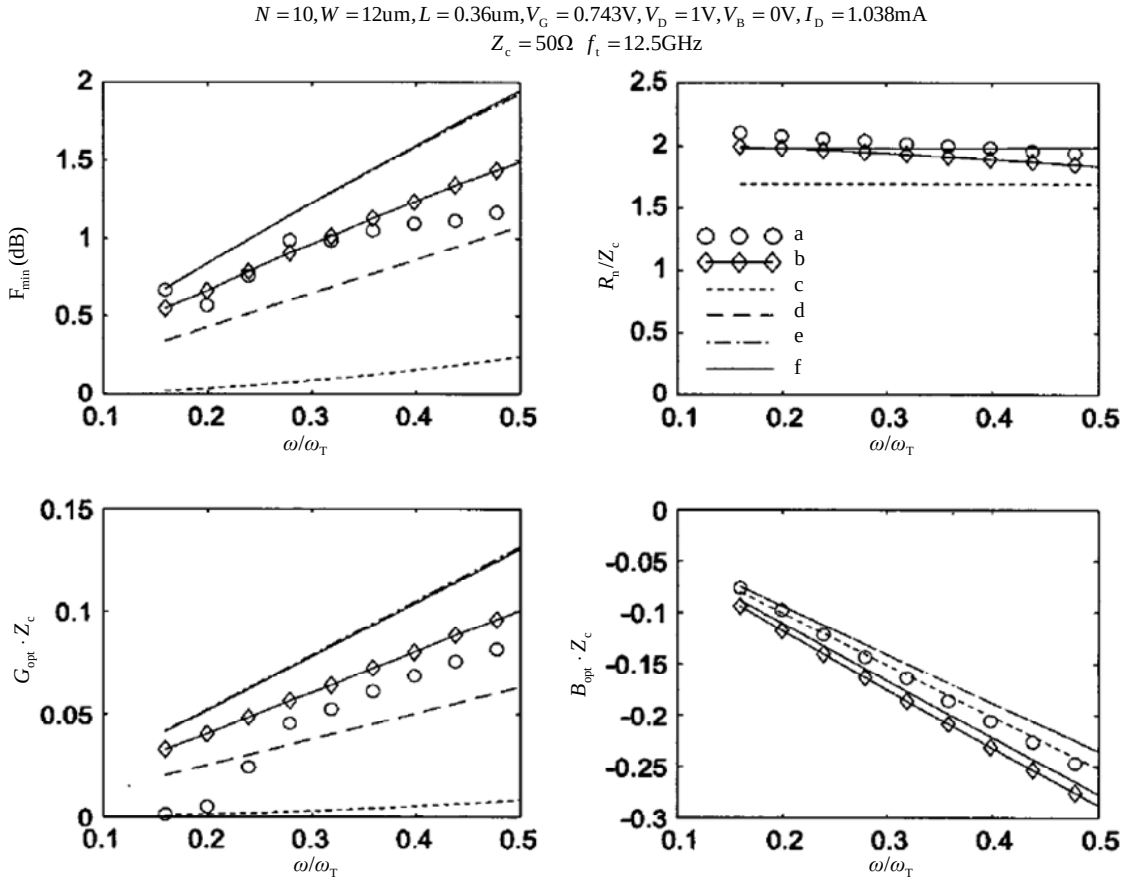


图 8-4 NMOS晶体管的两端口网络噪声参数的测量结果和模拟结果的比较

数，就可以确定由多个晶体管单元并联组成的多指晶体管的噪声参数，这大大简化了我们的设计。虽然晶体管单元的优化沟道宽度W_0与工艺特性有关，但在目前的工艺技术下，一般选用5μm作为晶体管单元的沟道宽度。

§8.3 集成CMOS低噪声放大器的电路结构

绝大多数应用都要求低噪声放大器具有50Ω的输入阻抗，从而使得低噪声放大器的输入可以直接作为片外射频滤波器的终端负载。这是低噪声放大器的设计中必须满足的一个性能指标。当阻抗不匹配时，射频滤波器到低噪声放大器的功率传输会发生反射，严重恶化系统性能。为了说明这一点，我们来看一个例子。图8-5给出了一个典型射频滤波器在不同终端负载下的传输特性。 当终端负载为匹配负载（反射系

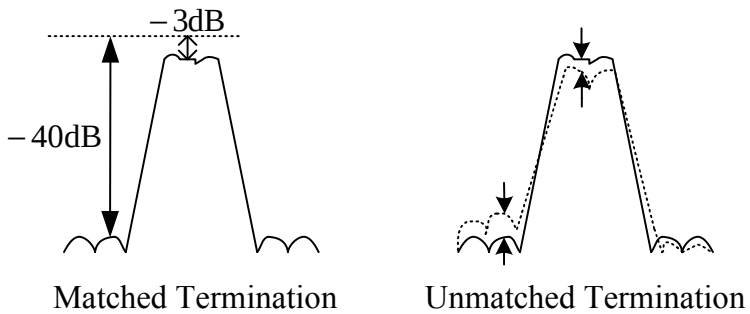


图 8-5 终端所接负载对射频滤波器的影响

数$\Gamma < -10\text{dB}$）时，该射频滤波器具有很好的传输性能：通带内衰减约为-3dB，而阻带衰减约为-40dB。

当终端负载与滤波器阻抗的不匹配程度增加时（反射系数Γ变大）时，该滤波器的传输性能持续恶化：通带内衰减增加，并可能出现一个下凹点，增加了系统的噪声系数；而对阻带内信号的抑制率下降，降低了滤除干扰信号的能力。对接收机系统来说，通带内衰减增加会降低系统的灵敏度，而对阻带内信号的抑制率下降会影响系统的线性度性能，它们都是不希望出现的效应。

目前可以提供电阻性输入阻抗的放大器电路主要有四种拓扑结构，它们分别是：输入端并联电阻的共源放大器结构、并联-串联反馈放大器结构、共栅放大器结构以及源简并电感型共源放大器结构。本节分析前三种电路结构的设计问题并比较它们所能达到的噪声性能。源简并电感型共源放大器结构是最常用的低噪声放大器结构，我们将在接下来的两节中详细介绍这种结构放大器的设计和优化问题。

§8.3.1 输入端并联电阻的共源放大器

这种结构通过在共源放大器的输入端并联一个50Ω的电阻来达到输入阻抗匹配的要求，如图8-6所示。

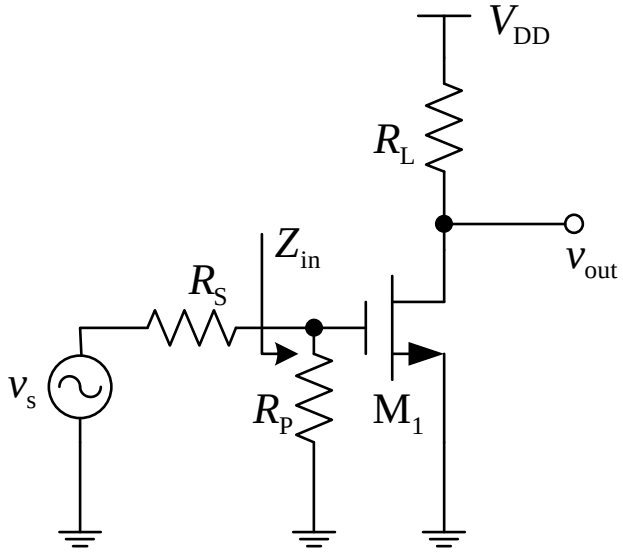


图 8-6 输入端并联电阻的共源放大器

R_P提供50Ω的实部阻抗。忽略C_{gd}的影响，这种放大器的输入阻抗为：

$$Z_{in} = R_P \| \frac{1}{sC_{gs}} \tag{8-64}$$

通过设置$R_P = R_S$，该放大器可以提供50Ω的实部阻抗，当C_{gs}不是很大时，可以达到比较好的阻抗匹配性能。

在忽略C_{gd}时，该放大器的电压增益为：

$$A_v = -\frac{1}{2} g_m R_L \frac{1}{1+\frac{s}{\omega_{in}}} \tag{8-65}$$

其中，ω_{in}为输入节点引入的主极点：

$$\omega_{in} = \frac{1}{(R_S \| R_P) C_{gs}} = \frac{2}{R_S C_{gs}} \tag{8-66}$$

与普通共源放大器相比，该放大器的低频电压增益下降了一半，而主极点频率提高了一倍。

下面来分析一下这种放大器的低频噪声性能。若仅考虑晶体管M_1的沟道热噪声，则该放大器的总输出噪声功率为

$$P_{nout} = kTR_S g_m^2 R_L^2 \Delta f + kTR_P g_m^2 R_L^2 \Delta f + 4kT\gamma g_{d0} R_L^2 \Delta f \tag{8-67}$$

而由信号源内阻所引入的输出噪声功率为：

$$P_{\mathrm{nS}} = \mathrm{k}TR_{\mathrm{S}}g_{\mathrm{m}}^2R_{\mathrm{L}}^2\Delta f \tag{8-68}$$

若$R_{\mathrm{S}} = R_{\mathrm{P}}$，则该放大器在低频下的噪声因子约为：

$$\mathrm{F} = \frac{P_{\mathrm{nout}}}{P_{\mathrm{ns}}} = 2 + \frac{4\gamma}{\alpha}\cdot\frac{1}{g_{\mathrm{m}}R_{\mathrm{S}}} \tag{8-69}$$

如果该放大器电路中没有R_{P}，其噪声因子为

$$\mathrm{F} = 1 + \frac{\gamma}{\alpha}\cdot\frac{1}{g_{\mathrm{m}}R_{\mathrm{S}}} \tag{8-70}$$

对比式8-69和8-70可知，电阻R_{P}的加入，一方面引入了一个与输入源噪声一样大小的热噪声，该热噪声使得该放大器的噪声系数至少为6dB，另一方面又使得信号在进入共源放大器之前就衰减了一半，增加了共源放大器内部产生的噪声对噪声系数的贡献。在高频下，该种结放大器结构的噪声性能将更差。由于输入端并联电阻的共源放大器的噪声性能很差，它不是一种理想的低噪声放大器结构。

§8.3.2 共栅放大器结构

这种结构利用了共栅放大器的输入阻抗来达到输入阻抗匹配的要求，如图8-7所示。 共栅晶体管的源

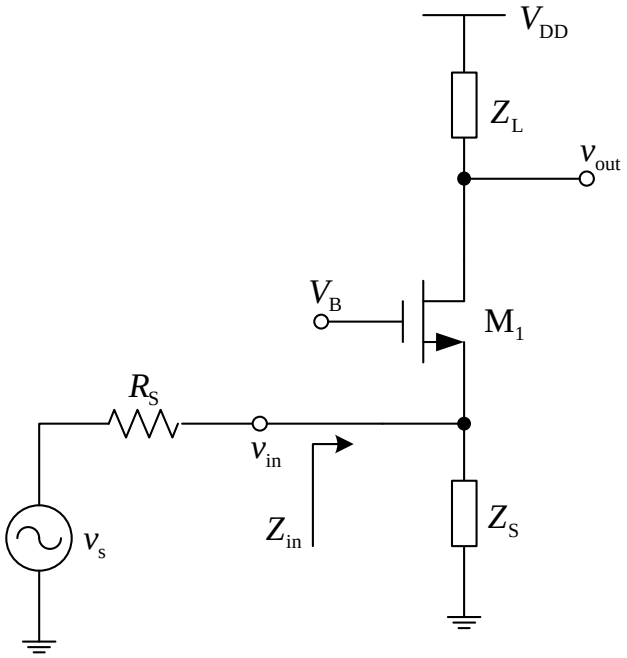


图 8-7 共栅放大器结构

极阻抗（$\approx 1/g_{\mathrm{m}}$）提供输入阻抗的实部。通过调节使$1/g_{\mathrm{m}} \approx R_{\mathrm{S}}$，可以实现输入阻抗实部匹配，当输入阻抗的虚部（由$\mathrm{M}_1$源极的寄生电容和$Z_{\mathrm{S}}$引起）不是很大时，该放大器也可以实现很好的输入阻抗匹配。

若假设晶体管栅极所引入的噪声以及源端所接偏置阻抗Z_{S}、负载阻抗Z_{L}所引入的噪声都可以忽略，则这种结构放大器在低频下的噪声因子为

$$\mathrm{F} = \frac{(4\mathrm{k}T/R_{\mathrm{S}})R_{\mathrm{L}}\Delta f + 4\mathrm{k}T\gamma g_{\mathrm{d0}}R_{\mathrm{L}}\Delta f}{(4\mathrm{k}T/R_{\mathrm{S}})R_{\mathrm{L}}\Delta f} = 1 + \gamma g_{\mathrm{d0}}R_{\mathrm{S}} = 1 + \gamma\frac{g_{\mathrm{d0}}}{g_{\mathrm{m}}} = 1 + \frac{\gamma}{\alpha} \tag{8-71}$$

其中，$4\mathrm{k}T/R_{\mathrm{S}}$为由输入源引入的输出噪声电流，$4\mathrm{k}T\gamma g_{\mathrm{d0}}$为晶体管产生的漏端电流噪声，$R_{\mathrm{L}}$为放大器输出阻抗的实部值。对于长沟道晶体管，$\gamma \approx 2/3$，$\alpha \approx 1$，该种放大器结构的噪声系数约为2.2dB；而对于短

沟道晶体管，γ要大很多，α也将小于1，若假设$\gamma/\alpha \approx 2$，则使用短沟道晶体管的共栅放大器的噪声系数约为4.8dB。在高频下，各种寄生效应和晶体管源端所接偏置阻抗引入的噪声都会降低放大器的噪声性能。在某些性能要求不高的应用中，这种结构的放大器可以作为低噪声放大器来使用。

图8-8给出了这种应用的一个实例，电感L_S与晶体管源端的寄生电容谐振，使得放大器的输入阻抗呈纯电阻性，该电感还同时给晶体管源端提供偏置。负载电感L_d与输出端的寄生电容谐振，给放大器提供谐振负载$\omega L_d Q$（Q为电感L_d的品质因子）。 谐振条件为

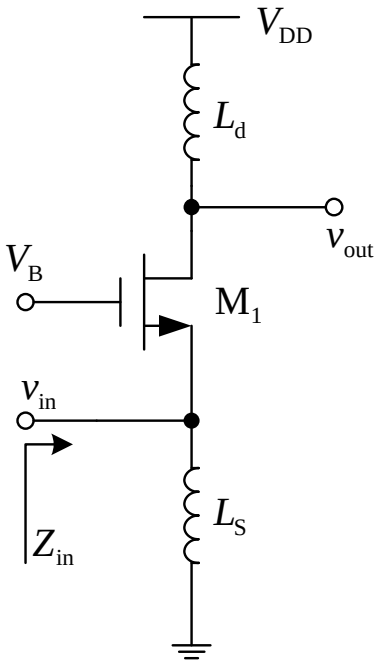


图 8-8 共栅放大器做低噪声放大器应用的实例

$$L_d = \frac{1}{\omega^2(C_{gd}+C_p)} \approx \frac{1}{\omega^2(\alpha_{gd}C_{gs}+C_p)} = \frac{1}{\omega^2(\alpha_{gd}g_m/\omega_T+C_p)} \tag{8-72}$$

C_p为输出节点的寄生电容，$\alpha_{gd}=C_{gd}/C_{gs}$。该放大器的电压增益可以表示为

$$A_v = g_m \cdot \omega L_d Q = g_m \cdot \omega \frac{1}{\omega^2(\alpha_{gd}g_m/\omega_T+C_P)} Q = \frac{\omega_T}{\alpha_{gd}+\omega_T C_P/g_m} \cdot \frac{Q}{\omega} \tag{8-73}$$

从上式可以看出，该放大器的增益与电感的品质因子成正比，为了得到较高的增益，电感L_d的品质因子应较高。电感L_S的寄生电阻产生的热噪声对放大器的噪声性能具有很大的影响，为了达到较好的噪声性能，电感L_S也必须为高质量电感。Ahmadreza Rofougaran等人采用1μmCMOS工艺实现了一个1GHz的共栅低噪声放大器，L_S采用高质量的片外电感，L_d为经过特殊工艺处理之后的片上电感，品质因子都较高，所达到的噪声系数约为3dB，电压增益约为22dB，在3V电源电压下，消耗的电流约为2.2mA。

§8.3.3 并联–串联反馈放大器结构

这种结构利用了并联－串联反馈来实现放大器的输入阻抗匹配和输出阻抗匹配，如图8-9所示。 它是一种宽带放大器，通过并联－串联反馈，可以使得该放大器的输入阻抗和输出阻抗在相当宽的频带范围内保持恒定，而且双环反馈降低了器件参数变化对放大器性能的影响，并提高了放大器的线性度。我们利用图8-10所示的小信号等效电路来分析该放大器的低频性能。

如果我们在小信号等效电路的输入端加一个测试电压v_{in}，则

$$g_m(v_{in}-v_1) = \frac{v_1}{R_E} \tag{8-74}$$

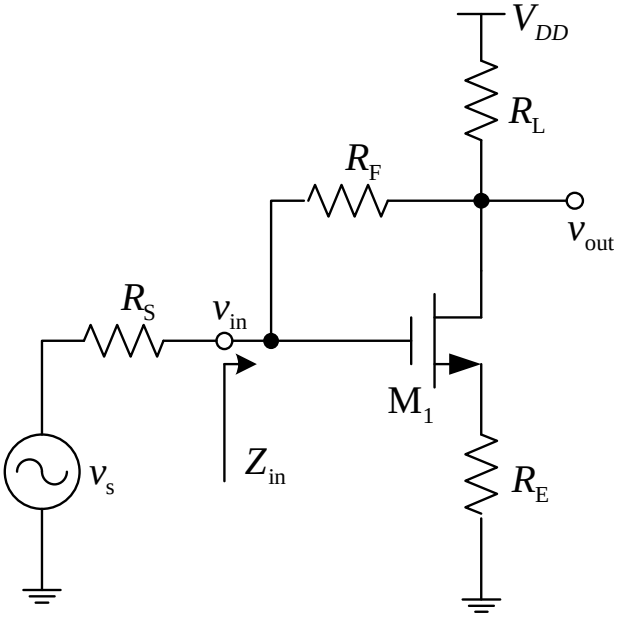


图 8-9 并联–串联反馈放大器结构

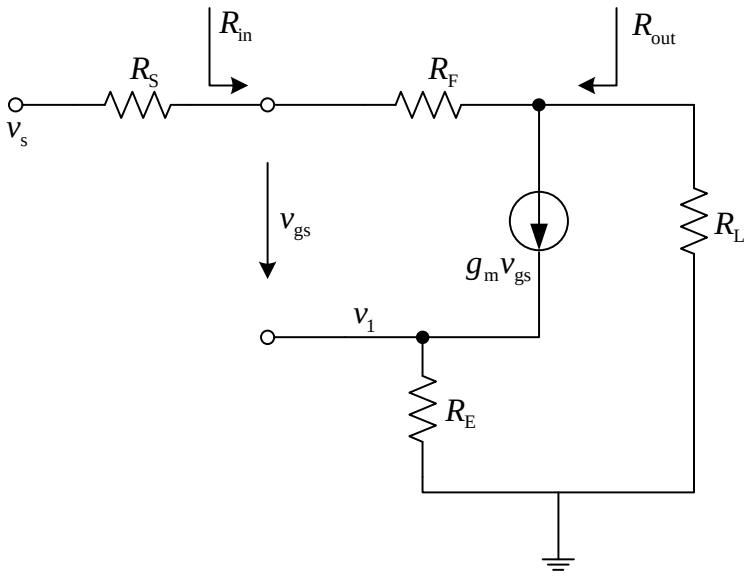


图 8-10 并–串联反馈放大器的低频小信号等效电路

其中，v_1为源简并电阻R_E上的电压。

由式8-74可知

$$v_1 = \frac{g_m R_E}{1 + g_m R_E} v_{in} \tag{8-75}$$

流过晶体管M_1的电流为

$$i_d = g_m(v_{in} - v_1) = \frac{g_m}{1 + g_m R_E} v_{in} = g_{meff} v_{in} \tag{8-76}$$

其中，$g_{meff} = \frac{g_m}{1+g_m R_E}$为带有源简并电阻$R_E$的共源放大器的等效跨导。当$g_m R_E \gg 1$时，该有效跨导近似为$1/R_E$。

下面我们来求该放大器的电压增益，由KCL定律可得

$$\frac{v_{in} - v_{out}}{R_F} - g_{meff} v_{in} = \frac{v_{out}}{R_L} \tag{8-77}$$

该放大器的电压增益为

$$A_v = \frac{v_{\text{out}}}{v_{\text{in}}} = \frac{1 - g_{\text{meff}} R_{\text{F}}}{1 + R_{\text{F}}/R_{\text{L}}} = -g_{\text{meff}} R_{\text{L}} \frac{R_{\text{F}} - 1/g_{\text{meff}}}{R_{\text{L}} + R_{\text{F}}} \tag{8-78}$$

当$R_{\text{F}} \gg R_{\text{L}}$，$g_{\text{m}} R_{\text{E}} \gg 1$，$R_{\text{F}} \gg R_{\text{E}}$时，该放大器的增益近似为$-\frac{R_{\text{L}}}{R_{\text{E}}}$。

该放大器的低频输入阻抗为

$$R_{\text{in}} = \frac{R_{\text{F}}}{1 - A_v} = \frac{R_{\text{L}} + R_{\text{F}}}{1 + g_{\text{meff}} R_{\text{L}}} \tag{8-79}$$

在晶体管漏端加一个测试电压v_{test}，由KCL定律可以求出该放大器的低频输出阻抗为

$$R_{\text{out}} = \frac{R_{\text{F}} + R_{\text{S}}}{1 + g_{\text{meff}} R_{\text{S}}} \tag{8-80}$$

对比式8-79和8-80可知，当$R_{\text{S}} = R_{\text{L}}$时，该放大器的输入阻抗和输出阻抗具有相同的数值，使得该放大器可以同时满足输入阻抗匹配条件和输出阻抗匹配条件，这也是该类放大器得到广泛应用的原因。

在实际设计中，如果给出了对该放大器电压增益的要求，则由电压增益要求、输入阻抗匹配条件或者输出阻抗匹配条件（式8-78、式8-79、式8-80）可以求出反馈电阻R_{F}和等效跨导g_{meff}的数值，然后由功耗的要求来确定源简并电阻R_{E}的数值和晶体管M_1的参数（偏置电压、宽长比），从而完成该放大器的设计过程。

如前所说，该放大器是一个宽带放大器，具有很宽的频带范围，在该频带范围内，该放大器具有近似常数的输入阻抗、输出阻抗以及电压增益。深入分析表明，当$R_{\text{S}} = R_{\text{L}} = R$时，该放大器的带宽可以用下式来近似计算

$$\text{BW} \approx [|A_v|(\frac{C_{\text{gs}}}{g_{\text{m}}} + \frac{RC_{\text{gd}}}{2})]^{-1} \tag{8-81}$$

其中，C_{gs}为晶体管M_1的栅源电容，C_{gd}为M_1的栅漏电容。

由于并联–串联反馈放大器的输入端存在晶体管M_1的栅源电容C_{gs}，该放大器的输入阻抗将包含一个电容性成分，C_{gd}引起的Miller电容也是输入阻抗中出现电容性成分的原因。若假设该放大器的带宽由输入端所引入的极点决定，则该电容性成分可以近似表示为

$$C_{\text{in}} \approx \frac{C_{\text{gs}}}{g_{\text{m}} R_{\text{E}}} + C_{\text{gd}} \frac{|A_v|}{2} \tag{8-82}$$

由于放大器的输入阻抗中存在一个电容性成分，使得该放大器并不能实现完全输入阻抗匹配。

在高频下，该放大器的输出阻抗中将包含一个电感性成分，其原因可以解释如下：如果我们加一个测试电压v_{test}到晶体管漏端，该测试电压经反馈电阻R_{F}和晶体管栅源电容C_{gs} 组成的低通滤波网络后，在晶体管栅端得到一个相位上落后于v_{test}的栅压，晶体管将该栅压转变为漏端电流，该漏端电流在相位上也落后于v_{test}，这表明测试电压产生的测试电流在相位上落后于测试电压，从而说明了该放大器的输出阻抗中包含有电感性成分。

在噪声性能方面，并联–串联反馈放大器由于受到反馈电阻R_{F}和源简并电阻R_{E}的热噪声影响，并不适于作为低噪声放大器使用。但由于它具有很宽的频带范围，在某些对噪声性能要求不是很高的宽带应用（如UWB系统）中，这类放大器得到广泛应用。

§8.4 源简并电感型共源放大器

这种结构是目前应用最广的低噪声放大器结构，它是一种窄带放大器，利用源简并电感来得到具有正实部的输入阻抗，并可在功耗受限的情况下得到较优的噪声性能。图8-11给出了这种放大器的电路图。Z_{E}为源简并阻抗（通常为电感），它在晶体管栅极引入一个实部阻抗，提供输入阻抗的实部，L_{g} 与C_{gs}谐振，使得输入阻抗的虚部为0，从而实现阻抗匹配。由于LC谐振只发生在有限的频带宽度内，因此这个放大器是一个窄带放大器。由于理想电感并不引入额外的噪声，同时通过合理的设计，可以在功耗受限的情况下做到近似的噪声匹配（$Y_{\text{S}} = G_{\text{opt}} + \text{j}B_{\text{opt}}$），取得比较好的噪声性能。

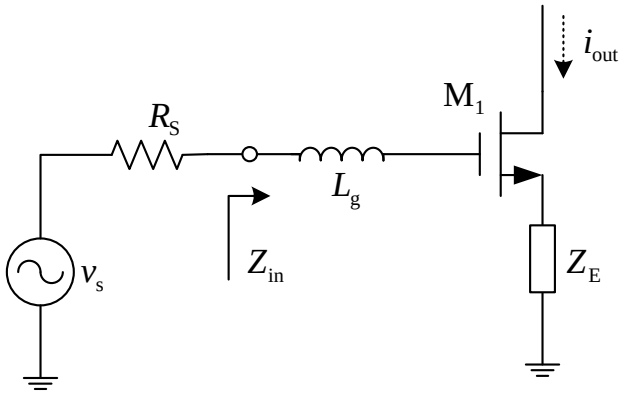


图 8-11 源简并电感型共源放大器

§8.4.1 晶体管的简单$I-V$分析方程

在分析源简并电感型共源放大器的具体特性之前，先介绍晶体管的简单$I-V$分析方程，该方程非常简单，便于手工分析，后面的分析都假设晶体管遵从该$I-V$方程。该方程的具体形式为：

$$I_{DS}=K\frac{W}{L}(V_{GS}-V_T)^2\frac{1}{1-\Lambda V_{DS}}\frac{1}{1+\Theta(V_{GS}-V_T)} \tag{8-83}$$

其中，$K=\frac{1}{2}\mu C_{ox}$。与长沟道平方律$I-V$方程相比，上述方程还包含了两个因子：$1/(1-\Lambda V_{DS})$描述了沟道长度调制效应对晶体管特性的影响；而$1/(1+\Theta(V_{GS}-V_T))$描述了短沟道条件下载流子速度饱和对晶体管特性的影响。当$\Theta(V_{GS}-V_T)$很小时，该方程与长沟道平方律$I-V$方程相同；而当$\Theta(V_{GS}-V_T)$很高时，短沟效应使I_{DS}仅与$V_{GS}-V_T$成正比。因此该方程适合于晶体管工作于饱和区和载流子速度饱和区的手工计算。Θ是一个与工艺有关的参数，反应了晶体管受到短沟效应影响的程度，它与晶体管的沟道长度成反比。因此为了降低短沟效应，可以适当增加晶体管的沟道长度，但这会降低晶体管的特征频率。射频电路一般都使用工艺允许的最短沟道长度。

由方程8-83可以求出：

$$g_m=\frac{\partial I_{DS}}{\partial V_{GS}}=2K\frac{W}{L}(V_{GS}-V_T)\frac{1}{1-\Lambda V_{DS}}\frac{1}{1+\Theta(V_{GS}-V_T)}\frac{1+\Theta(V_{GS}-V_T)/2}{1+\Theta(V_{GS}-V_T)} \tag{8-84}$$

该式的前两项是长沟道晶体管的跨导，后两项表示了因短沟效应而出现的跨导下降。为了减小短沟效应的影响，要求$V_{GS}-V_T$不能太高，但这会影响晶体管的线性度和特征频率，因此存在一个折衷考虑。

由于晶体管的特征频率$\omega_T=g_m/C_{gs}$，而对饱和区工作的晶体管，$C_{gs}\approx\frac{2}{3}WLC_{ox}$，从式8-84可以看出，当$\Theta(V_{GS}-V_T)$ 较大时，ω_T与$V_{GS}-V_T$成正比，晶体管的过驱动电压$V_{GS}-V_T$越高，晶体管的特征频率就越高。

§8.4.2 阻抗匹配

我们使用图8-12所示的小信号等效电路来分析该电路的输入阻抗，其中Z_E为源简并阻抗。图中忽略了晶体管的输出阻抗r_0和除C_{gs} 之外的其它寄生电容。

由该小信号等效电路可以看出，输入阻抗为：

$$Z_{in}=\frac{1}{sC_{gs}}+Z_E+\frac{g_m}{C_{gs}}\frac{Z_E}{s}+sL_g=\frac{1}{sC_{gs}}+Z_E+\omega_T\frac{Z_E}{s}+sL_g \tag{8-85}$$

其中，$\omega_T=\frac{g_m}{C_{gs}}$。

若源简并阻抗为纯电感，$Z_E=sL_s$（后面的讨论我们都假设$Z_E=sL_s$），则

$$Z_{in}=s(L_g+L_s)+\frac{1}{sC_{gs}}+\omega_T L_s \tag{8-86}$$

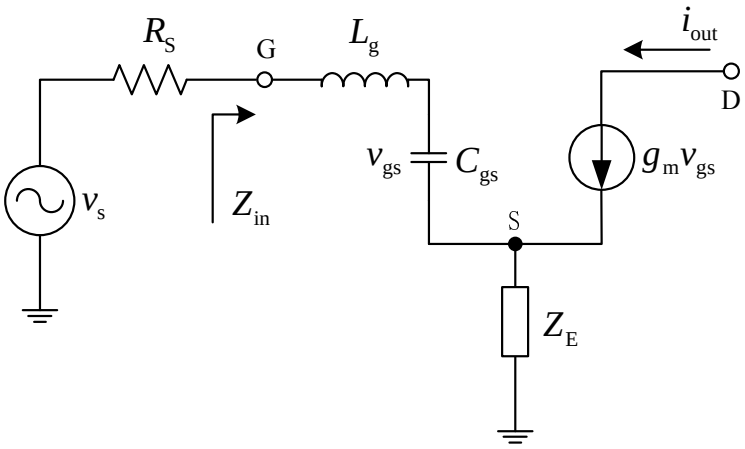


图 8-12 源简并电感型共源放大器的小信号等效电路

该输入阻抗的实部正比于源简并电感L_s的电感量，而虚部则与LC串联谐振电路的阻抗相同。通过调节各元件的数值，可以让LC串联谐振电路在工作频率附件谐振，使得输入阻抗的虚部为0，即

$$\omega_0 = \frac{1}{\sqrt{(L_g + L_s)C_{gs}}} \tag{8-87}$$

通过调节L_s的电感量，使$\omega_T L_s = R_S$。则在工作频率ω_0附件：

$$Z_{in} = \Re(Z_{in}) = \omega_T L_s \mapsto R_S \tag{8-88}$$

从而可以在工作频率附件的一个窄带范围内形成一个很好的输入阻抗匹配。

从式8-85可以看出，如果晶体管M_1的源极存在一定的寄生电容，该电容将在输入端产生一个负电阻成分，从而影响输入匹配的性能。因此，在实际设计中，必须将晶体管源极的寄生电容和源简并电感的寄生电容纳入考虑范围内。

由于工作于射频频段的晶体管存在非准静态效应，栅极存在一个串联的非准静态阻抗：

$$r_{g,NQS} = \frac{1}{\kappa g_m} \tag{8-89}$$

其中，$\kappa = 5/\alpha$是一个工艺参数，对长沟道晶体管来说，其值约为5。

考虑到$r_{g,NQS}$和晶体管栅极寄生阻抗，输入阻抗的实部为：

$$\Re(Z_{in}) = r_{g,NQS} + R_G + \omega_T L_s \tag{8-90}$$

在设计中不考虑$r_{g,NQS}$和R_G将恶化输入阻抗匹配性能。例如，不考虑$r_{g,NQS}$和R_G时输入阻抗的实部为50欧姆，考虑$r_{g,NQS}$和R_G后的结果通常能到70欧姆。可见这些阻抗在设计匹配网络时是必须考虑的。

在前面的分析中，我们仅考虑了晶体管的一阶效应，而忽略了晶体管的输出阻抗r_0和栅漏电容C_{gd}的影响。实际上，r_0和C_{gd}对电路的性能有很大的影响。首先我们来分析有限的输出阻抗r_0对阻抗匹配的影响。若考虑输出阻抗r_0，则输入阻抗为：

$$Z_{in} = \frac{1}{sC_{gs}} + sL_s + g_m \frac{L_s}{C_{gs}} \frac{r_0}{r_0 + sL_s + Z_L} \tag{8-91}$$

其中，Z_L为晶体管漏端的负载阻抗值。从式8-91可以看出，r_0仅出现在输入阻抗的第三部分。如果r_0为无穷大，则$\frac{r_0}{r_0+sL_s+Z_L} \to 1$。当$r_0$不为无穷大时，输入阻抗的实部将减小，虚部也会受到影响，改变输入匹配网络的谐振特性。特别是，如果该放大器采用LC谐振负载，在负载谐振点附件，$|sL_s + Z_L|$将可能变得很大，使得输入阻抗的实部变得很小，出现一个深沟（dip）。深沟出现的频点及幅度与输入匹配网络的谐振

频率和负载阻抗的谐振频率的相对位置有关。通常输入匹配网络的谐振频率和负载阻抗的谐振频率被设计得很接近，这使得深沟将出现在工作频带范围内，会严重恶化放大器的阻抗匹配性能。

而C_{gd}会引入Miller效应，从而降低放大器的噪声性能和输入匹配性能。可以证明，当考虑C_{gd}时，输入阻抗的实部为：

$$Re[Z_{in}] = \frac{\omega_T L_s}{1 + 2C_{gd}/C_{gs}} \tag{8-92}$$

因此考虑C_{gd}后，源简并电感的电感量要增加以进行补偿。

为了消除有限的输出阻抗r_0和栅漏电容C_{gd}的影响，可以应用Cascode技术，在M_1上再叠加一个Cascode晶体管M_2，在下一节我们将对此进行讨论。

§8.4.3 有效跨导

对于如图8-11所示的放大器，若$Z_E = sL_s$，则利用小信号等效电路8-12可以求出该放大器的有效跨导为：

$$g_{m,eff} = \frac{i_{out}}{v_s} = \frac{g_m}{sC_{gs}(sL_s + sL_g + R_s) + 1 + g_m sL_s} \tag{8-93}$$

若不考虑电感L_g、L_s的寄生效应，并且该放大器满足输入匹配条件，即：

$$sL_g + sL_s + \frac{1}{sC_{gs}} = 0 \tag{8-94}$$

$$\omega_T L_s = R_S \tag{8-95}$$

则

$$|g_{m,eff}| = g_m \cdot \frac{1}{2R_S\omega C_{gs}} = g_m \cdot Q_{in} = \frac{\omega_T}{2\omega R_S} \tag{8-96}$$

其中，$Q_{in} = \frac{1}{2R_S\omega C_{gs}}$为晶体管$M_1$的栅源电压与输入电压的比值，即输入信号到达晶体管$M_1$栅极时被放大的倍数。

由式8-96可知，该放大器的有效跨导与偏置电流及M_1的跨导都没有关系，它仅与源阻抗R_S以及工作频率与特征频率的比值有关。Q_{in}反应了输入匹配网络对增益的贡献。如果$Q_{in} > 1$，在信号到达M_1的栅极之前，Q_{in}可以提供一定的电压增益，减小了M_1的沟道热噪声和低噪声放大器输出级噪声对噪声系数的贡献，而且该增益可以减小低噪声放大器达到一定的增益要求所消耗的电流。这是因为低噪声放大器的总增益是式8-96所确定的跨导和负载阻抗的乘积，因此在增益要求和输入匹配要求一定的情况下，M_1的跨导与Q_{in}成反比，$Q_{in} > 1$，可以减小所要求的M_1跨导。对于长沟道工作的晶体管，$g_m = \sqrt{2kI_{DS}W/L}$，而Q_{in}一定时，C_{gs}一定，晶体管的尺寸就是固定的，所以增加Q_{in}可以减小放大器达到一定的增益要求所消耗的偏置电流。但Q_{in}过大，会使得C_{gs}很小，增加了匹配网络中无源元件变化对性能的影响。由于在现代CMOS工艺中，电感和电容的数值很难准确控制（Bondwire电感的误差可达20%，在片电感的误差也可达5%），因此匹配网络中电感太大，电容太小，该放大器的匹配性能对工艺偏差的灵敏度越高，会提高整个系统的噪声系数。一般说来，Q_{in}选择在2-3之间比较合理，这时即使L_g、L_s和C_{gs}存在10%～20%的误差，该放大器的S_{11}依然可以较低。

由于LNA的增益是式8-96所确定的跨导和负载阻抗的乘积（此处假设晶体管的输出阻抗远高于负载阻抗，对于我们的设计，一般都满足此要求），因此对增益来说，仅考虑i_{out}就可以了。从射频观点来看，可以引入功率–电流转换效率（PCC）来衡量该放大器的增益性能：

$$PCC = \frac{i_{out}^2}{P_{av}} \tag{8-97}$$

P_{av}是可获得的源功率。由于：

$$v_s = 2\sqrt{P_{av}R_S} \tag{8-98}$$

故：

$$PCC(\Omega^{-1}) = 4g_{m,eff}^2 R_S = (\frac{\omega_T}{\omega_0})^2 \cdot \frac{1}{R_S} \tag{8-99}$$

当源阻抗是一个固定的数值时，比较两个完全匹配的放大器的增益性能，仅比较$g_{\mathrm{m,eff}}$就可以了。但如果要考虑源阻抗或者阻抗不匹配程度对放大器增益的影响，则必须利用PCC来进行分析。

下面我们来考虑阻抗不匹配程度对放大器增益的影响，在分析过程中，假设放大器的输入阻抗实部为$R_{\mathrm{in}}=\omega_{\mathrm{T}}L_{\mathrm{s}}\neq R_{\mathrm{S}}$，输入阻抗的虚部仍然为0，即式8-94 仍然满足，则该放大器的有效跨导为：

$$|g_{\mathrm{m,eff}}|=\frac{\omega_{\mathrm{T}}}{\omega}\cdot\frac{1}{R_{\mathrm{S}}+R_{\mathrm{in}}} \tag{8-100}$$

该放大器的功率–电流转换效率为：

$$\mathrm{PCC}=4\frac{\omega_{\mathrm{T}}^2}{\omega^2}\frac{R_{\mathrm{S}}}{(R_{\mathrm{S}}+R_{\mathrm{in}})^2} \tag{8-101}$$

考虑到反射系数的定义为：

$$\Gamma=\frac{R_{\mathrm{in}}-R_{\mathrm{S}}}{R_{\mathrm{in}}+R_{\mathrm{S}}} \tag{8-102}$$

故

$$R_{\mathrm{in}}=\frac{1+\Gamma}{1-\Gamma}R_{\mathrm{S}} \tag{8-103}$$

将上式代入式8-101可得：

$$\mathrm{PCC}=(\frac{\omega_{\mathrm{T}}}{\omega})^2\frac{1}{R_{\mathrm{S}}}(1-\Gamma)^2 \tag{8-104}$$

可见，当输入阻抗存在一定的不匹配时，放大器的功率–电流转换效率可能会得到提高。图8-13给出了输入反射系数（输入阻抗的匹配程度）对PCC的影响。 从图中可以看出，当$\Gamma=-1$，即发生全反射时，转换

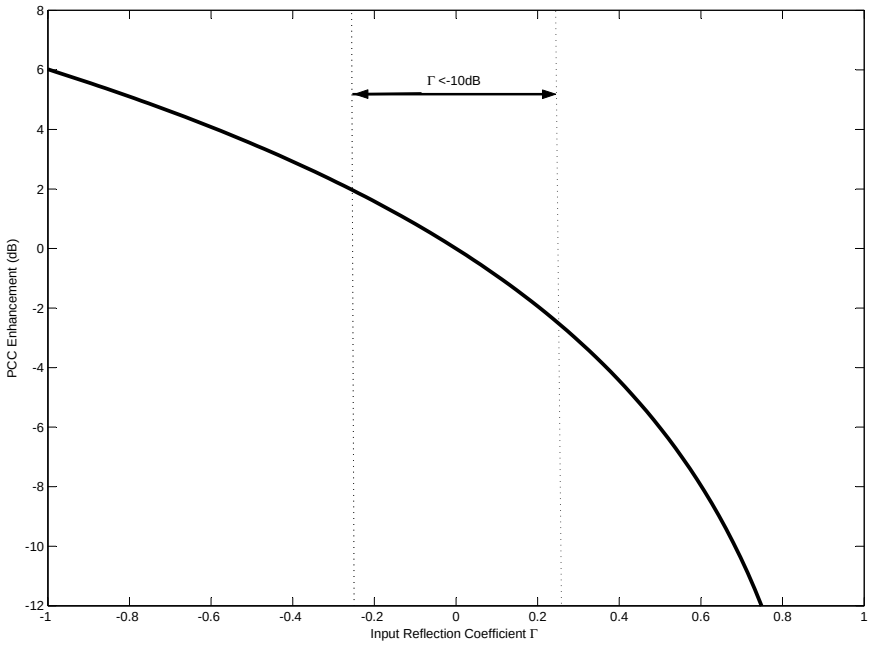


图 8-13 输入反射系数对PCC的影响

效率最高。这是由于$\Gamma=-1$相当于$R_{\mathrm{in}}=0$，即晶体管的输入端是一个理想的串联谐振电路，谐振时信号源看见的是一个短路电路，信号源将最大电流传输到放大器中。由图8-13可以看出，在满足$\Gamma<-10$dB的前提下，让放大器工作于一定的不匹配状态下，可以使放大器多获得最高达2dB的增益。

§8.4.4 噪声因子

对于如图8-11所示的放大器，假设$Z_{\mathrm{E}}=sL_{\mathrm{s}}$，放大器实现了完全阻抗匹配功能，并假设无源元件$L_{\mathrm{g}}$、$L_{\mathrm{s}}$不引入额外的噪声。在此条件下，可以推导出该放大器的两端口网络噪声参数（推导方法与§8.2相同）：

$$R_{\mathrm{n}}=\frac{1}{4}\frac{\gamma}{\alpha}(\frac{\omega}{\omega_{\mathrm{T}}})^2(R_{\mathrm{S}}+\frac{1}{\kappa g_{\mathrm{m}}})^2 \tag{8-105}$$

$$G_{\mathrm{u}}=\frac{\alpha\delta(1-|c|^2)}{\kappa g_{\mathrm{m}}R_{\mathrm{S}}^2} \tag{8-106}$$

$$Y_{\mathrm{c}}=\frac{1}{R_{\mathrm{S}}}(1-c\alpha\sqrt{\frac{\delta}{\gamma\kappa}}) \tag{8-107}$$

由8-107可以看出，与简单MOS晶体管的两端口网络噪声参数不同，Y_{c}由一个纯虚数变为一个复数。

由这些噪声参数可以求出该放大器的噪声因子为：

$$\mathrm{F}=1+R_{\mathrm{S}}\left[\frac{\alpha\delta(1-|c|^2)}{\kappa g_{\mathrm{m}}R_{\mathrm{S}}^2}+(\frac{4}{R_{\mathrm{S}}^2}+\frac{|c|^2\alpha^2}{R_{\mathrm{S}}^2}\frac{\delta}{\gamma\kappa})\frac{1}{4}\frac{\gamma}{\alpha}(\frac{\omega}{\omega_{\mathrm{T}}})^2 g_{\mathrm{m}}(R_{\mathrm{S}}+\frac{1}{\kappa g_{\mathrm{m}}})^2\right] \tag{8-108}$$

上式可以重新组织为：

$$\mathrm{F}=1+(\mathrm{F_d}-1)+(\mathrm{F_{g,u}}-1)+(\mathrm{F_{g,c}}-1) \tag{8-109}$$

$\mathrm{F_d}-1$、$\mathrm{F_{g,u}}-1$和$\mathrm{F_{g,c}}-1$分别代表了沟道热噪声、与沟道热噪声不相关的NQS栅噪声和与沟道热噪声相关的NQS栅噪声对噪声因子的贡献：

$$\mathrm{F_d}-1=\frac{\gamma}{\alpha}(\frac{\omega}{\omega_{\mathrm{T}}})^2\frac{g_{\mathrm{m}}}{R_{\mathrm{S}}}(R_{\mathrm{S}}+\frac{1}{\kappa g_{\mathrm{m}}})^2 \tag{8-110}$$

$$\mathrm{F_{g,u}}-1=\frac{\alpha\delta(1-|c|^2)}{\kappa g_{\mathrm{m}}R_{\mathrm{S}}} \tag{8-111}$$

$$\mathrm{F_{g,c}}-1=\frac{|c|^2\alpha^2}{4}\frac{\delta}{\gamma\kappa}\frac{\gamma}{\alpha}(\frac{\omega}{\omega_{\mathrm{T}}})^2\frac{g_{\mathrm{m}}}{R_{\mathrm{S}}}(R_{\mathrm{S}}+\frac{1}{\kappa g_{\mathrm{m}}})^2 \tag{8-112}$$

考虑到

$$\frac{\mathrm{F_{g,c}}-1}{\mathrm{F_d}-1}=\frac{|c|^2\alpha^2\delta}{4\gamma\kappa}\ll 1 \tag{8-113}$$

因此与$\mathrm{F_d}-1$相比，$\mathrm{F_{g,c}}-1$可以忽略，即：

$$\mathrm{F}\approx 1+(\mathrm{F_d}-1)+(\mathrm{F_{g,u}}-1)=1+\frac{\gamma}{\alpha}(\frac{\omega}{\omega_{\mathrm{T}}})^2(\sqrt{g_{\mathrm{m}}R_{\mathrm{S}}}+\frac{1}{\kappa\sqrt{g_{\mathrm{m}}R_{\mathrm{S}}}})^2+\frac{\alpha\delta(1-|c|^2)}{\kappa g_{\mathrm{m}}R_{\mathrm{S}}} \tag{8-114}$$

从上式可以看出，g_{m}和R_{S}的乘积作为一个因子影响噪声系数，它们之间可以进行折衷考虑。在维持晶体管的特征频率ω_{T}不变的条件下降低晶体管的g_{m}时，由于漏端电流噪声降低，PCC维持不变，因此$\mathrm{F_d}-1$减小，而由于$r_{\mathrm{g,NQS}}$增加，因此$\mathrm{F_{g,u}}-1$增加；在维持晶体管的特征频率ω_{T}不变的条件下降低R_{S}时，由于PCC增加，输入等效漏端电流噪声减小，源噪声功率保持$\mathrm{k}T\Delta f$不变，因此$\mathrm{F_d}-1$减小，而由于NQS栅噪声相对于源噪声功率却会增加，因此$\mathrm{F_{g,u}}-1$增加。

§8.4.5 噪声优化

在放大器的设计中，源阻抗R_{S}一般是固定不变的（50欧姆）。这时如果保持晶体管的特征频率ω_{T}不变（即保持晶体管的过驱动电压$V_{\mathrm{GS}}-V_{\mathrm{T}}$不变），由式8-114可知，$g_{\mathrm{m}}$存在一个最优值，可以使得该放大器的噪声性能最优。

让式8-114对g_{m}求微分，并令其等于0，可以得到噪声性能最优时g_{m}的取值：

$$(g_{\mathrm{m}})_{\mathrm{opt@}\omega_{\mathrm{T}}}=\frac{1}{\kappa R_{\mathrm{S}}}\sqrt{1+\frac{\alpha\delta(1-|c|^2)}{\Phi}} \tag{8-115}$$

其中，

$$\Phi=\frac{\gamma}{\alpha\kappa}(\frac{\omega}{\omega_{\mathrm{T}}})^2 \tag{8-116}$$

最优噪声因子为：

$$\mathrm{F_{opt}} = 1 + 2(\Phi + \sqrt{\Phi\alpha\delta(1-|c|^2) + \Phi^2}) \tag{8-117}$$

如果$\omega \ll \omega_\mathrm{T}$，则$\Phi \ll \alpha\delta(1-|c|^2)$，这时$\mathrm{F_{opt}}$将接近晶体管的最小噪声因子$\mathrm{F_{min}}$：

$$\mathrm{F_{opt}} \approx 1 + 2\sqrt{\Phi\alpha\delta(1-|c|^2)} = 1 + 2(\frac{\omega}{\omega_\mathrm{T}})\sqrt{\frac{\gamma\delta}{\kappa}(1-|c|^2)} = \mathrm{F_{min}} \tag{8-118}$$

因此，只要合理设计g_m，输入阻抗匹配网络并不会使放大器的噪声系数增加，放大器所能取得的最优噪声系数仅与工艺参数、工作频率与晶体管特征频率的比值有关，而与晶体管的偏置电流以及g_m无关。

在$\Phi \ll \alpha\delta(1-|c|^2)$条件下，优化跨导值为：

$$(g_\mathrm{m})_{\mathrm{opt@}\omega_\mathrm{T}} \approx \frac{1}{\kappa R_\mathrm{S}}\sqrt{\frac{\alpha\delta(1-|c|^2)}{\Phi}} = \frac{\omega_\mathrm{T}}{\omega}\sqrt{\frac{\alpha^2\delta(1-|c|)^2}{\gamma\kappa}} \tag{8-119}$$

考虑到

$$\omega_\mathrm{T} = \frac{g_\mathrm{m}}{C_\mathrm{gs}} = \frac{3g_\mathrm{m}}{2WLC_\mathrm{ox}} \tag{8-120}$$

因此，晶体管的优化宽度为：

$$W_{\mathrm{opt@}\omega_\mathrm{T}} \approx \frac{1}{\omega R_\mathrm{S}}(\frac{3}{2LC_\mathrm{ox}}\sqrt{\frac{\alpha^2\delta(1-|c|^2)}{\gamma\kappa}}) \tag{8-121}$$

$W_{\mathrm{opt@}\omega_\mathrm{T}}$与$\omega_\mathrm{T}$无关。当$\alpha = 0.85$、$\kappa = 5$、$\gamma = 4/3$、$\delta = 8/3$、$c = \mathrm{j}0.4$、$R_\mathrm{S} = 50\Omega$时，一个1.8GHz低噪声放大器晶体管的优化宽度约为700μm。如果$\omega_\mathrm{T}/\omega = 12$，则该放大器可以达到的最优噪声系数约为0.54dB，接近晶体管的最小噪声系数0.533dB。

对这种优化策略来说，首先由噪声系数的要求以及$\mathrm{F_{opt}}$的表达式求出ω_T（式8-118），从而确定晶体管偏置，晶体管的宽度由式8-121确定。该优化策略可以求出满足噪声性能要求的最低$V_\mathrm{GS} - V_\mathrm{T}$的值。当$V_\mathrm{GS} - V_\mathrm{T}$增加时，$\omega_\mathrm{T}$增加，噪声系数会进一步降低，但放大器的功耗也将进一步增加。

上述优化策略并不能保证满足噪声性能要求时放大器的功耗（I_DS）是最低的。图8-14对此情况进行了说明，图中所示曲线为满足噪声性能要求时I_DS和$V_\mathrm{GS} - V_\mathrm{T}$的设计曲线。 对于$\omega_\mathrm{T}$恒定的噪声优化策略，

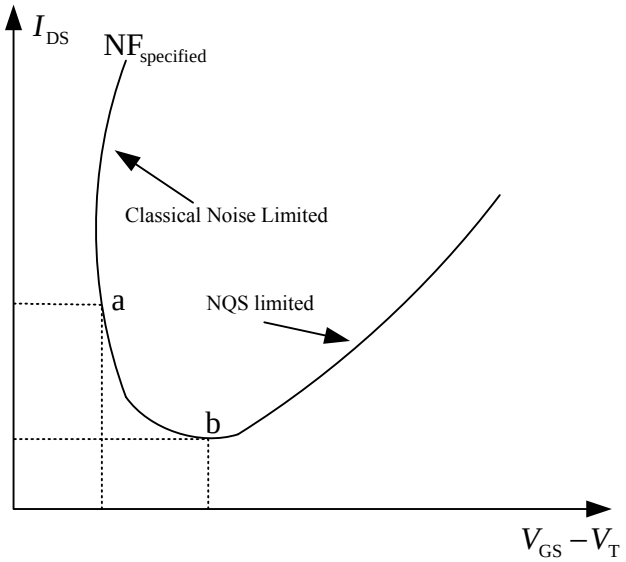


图 8-14 满足噪声系数要求时I_DS和$V_\mathrm{GS} - V_\mathrm{T}$ 的设计曲线

求出的是满足噪声性能要求的最低$V_\mathrm{GS} - V_\mathrm{T}$的值（图8-14中的a点），这时$I_\mathrm{DS}$并不一定是最小的。为了

使放大器在满足噪声性能要求时功耗最小，需要引入功耗受限的噪声优化策略，即求取图8-14中的b点。这时$V_{GS}-V_T$会有所增加，但通过减小晶体管尺寸，可以使得在噪声性能不变的情况下减小电流消耗。由于功耗受限的噪声优化策略分析起来很复杂，本书不对此进行详细介绍。如果假设晶体管的过驱动电压$V_{GS}-V_T$远小于载流子速度饱和电压$L\varepsilon_{sat}$，则功耗受限情况下放大器晶体管的优化宽度为：

$$W_{opt@I_{DS}} \approx \frac{3}{2\omega L C_{ox} R_S Q} \tag{8-122}$$

其中，

$$Q = |c|\sqrt{\frac{5\gamma}{\delta}}\left(1+\sqrt{1+\frac{3}{|c|^2}}\left(1+\frac{\delta}{5\gamma}\right)\right) \approx 4 \tag{8-123}$$

最优噪声因子为：

$$\mathrm{F}_{min} \approx 1 + 2.4\frac{\gamma}{\alpha}\frac{\omega}{\omega_T} \tag{8-124}$$

最优噪声因子F_{min}仅与晶体管的特征频率ω_T和工艺参数有关，而晶体管的优化宽度仅与工作频率和工艺参数有关，与ω_T无关。在这种优化策略下，当$\alpha=0.85$、$\kappa=5$、$\gamma=4/3$、$\delta=8/3$、$c=\mathrm{j}0.4$、$R_S=50\Omega$时，一个1.8GHz低噪声放大器晶体管的优化宽度约为350μm。如果$\omega_T/\omega_0=12$，则该放大器可以达到的最优噪声系数约为0.54dB，接近晶体管的最小噪声系数0.533dB。

在现代先进的CMOS工艺中，晶体管的过驱动电压$V_{GS}-V_T$与载流子速度饱和电压$L\varepsilon_{sat}$接近，因此这种功耗受限的噪声优化策略的性能受到限制。

上述两种优化策略都没有计入各种寄生效应（如C_{gd}；输入节点因ESD防护电路、焊盘等引入的寄生电容C_P；以及晶体管的Miller效应）对放大器噪声性能的影响，也没有考虑对放大器增益、线性度、品质因子等的要求，而且忽略了栅寄生阻抗、衬底阻抗引入的噪声，因此在实际设计过程中的应用受到限制。从设计一个实用低噪声放大器的角度来看，希望有一个系统化的设计策略，将对低噪声放大器的各种性能要求（如增益、线性度、阻抗匹配、噪声系数、品质因子、功耗等）和存在的各种寄生效应都纳入考虑范围，设计一个满足各方面性能要求的具有最低功耗的低噪声放大器，这就是下一节要介绍的等高线设计方法。

§8.4.6 三阶交调点分析

线性度是衡量低噪声放大器性能的另一个重要指标，通常用三阶交调点来衡量低噪声放大器的线性度性能。图8-11所示的低噪声放大器是一个复杂的并联–串联反馈放大器，直接分析它的线性度性能是非常复杂的。本小节将首先分析没有反馈的共源放大器的线性度性能，然后利用反馈理论来求取低噪声放大器的三阶交调点。

1. 共源放大器的线性度分析

图8-15给出了共源放大器的电路图，晶体管工作于饱和区，g_m是它的跨导，g_0是它的输出导纳，g_t是晶体管看到的负载（可能是一个电阻、Cascode晶体管的源极阻抗或者LC谐振负载）。当有一个交流信号$v(t)$注入晶体管栅极时，流过负载g_t的小信号电流为：

$$i(t) = -g_m\frac{g_t}{g_t+g_0}v(t) \tag{8-125}$$

因此，晶体管漏端的小信号电压正比于$v(t)$，即：

$$v_{ds}(t) = -\frac{g_m}{g_t+g_0}v(t) = -Mv(t) \tag{8-126}$$

其中，$M=g_m/(g_t+g_0)$是Miller效应的放大因子。

以上的分析利用了小信号分析方法，因此作了一阶线性近似。为了分析共源放大器的线性度，我们将一阶线性近似的结果代入式8-83给出的晶体管模型中，可以求出流过晶体管的总电流为：

$$I(t) = \frac{K\frac{W}{L}(V_{GS}-V_T+v(t))^2}{(1+\Theta(V_{GS}-V_T+v(t)))(1-\Lambda(V_{DS}-Mv(t)))} = \frac{c_0(c_1+v(t))^2}{c_2+c_3v(t)+c_4v^2(t)} \tag{8-127}$$

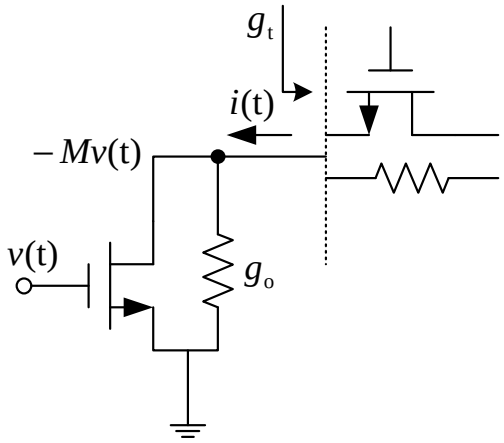


图 8-15 共源放大器的电路图

其中，

$$c_0 = K(W/L) \tag{8-128}$$
$$c_1 = V_{GS} - V_T \tag{8-129}$$
$$c_2 = (1+\Theta(V_{GS}-V_T))(1-\Lambda V_{DS}) \tag{8-130}$$
$$c_3 = (1+\Theta(V_{GS}-V_T))\Lambda M + (1-\Lambda V_{DS})\Theta \tag{8-131}$$
$$c_4 = \Theta\Lambda M \tag{8-132}$$

将式8-127在$v(t)=0$附件进行泰勒展开：

$$I(t) = a_0 + a_1 v(t) + a_2 v^2(t) + a_3 v^3(t) + O(v^4(t)) \tag{8-133}$$

其中，

$$a_0 = \frac{c_0 c_1^2}{c_2} \tag{8-134}$$
$$a_1 = -\frac{c_0 c_1(-2c_2 + c_1 c_3)}{c_2^2} \tag{8-135}$$
$$a_2 = \frac{c_0(c_2^2 - c_1^2 c_2 c_4 - 2c_1 c_2 c_3 + c_1^2 c_3^2)}{c_2^3} \tag{8-136}$$
$$a_3 = -\frac{c_0(2c_1 c_2^2 c_4 - 2c_1^2 c_2 c_3 c_4 + c_2^2 c_3 - 2c_1 c_2 c_3^2 + c_1^2 c_3^3)}{c_2^4} \tag{8-137}$$

i阶谐波失真HD_i和i阶交调失真IM_i的定义为：

$$IM_i = \frac{IMP_i}{F} \tag{8-138}$$
$$HD_i = \frac{H_i}{F} \tag{8-139}$$

其中，F为基频信号的幅度，IMP_i为i阶交调积的幅度，H_i为i阶谐波的幅度。

为了求出i阶谐波失真HD_i和i阶交调失真IM_i，可以在放大器输入端加入两个不同频率、相同幅度的信号源（two-tone test），即令

$$v(t) = A\cos(\omega_1 t) + A\cos(\omega_2 t) \tag{8-140}$$

将v(t)代入式8-133中，可以求出：

$$IM_2 = 2HD_2 = \left|\frac{(-c_2 + c_1 c_3)^2 - c_1^2 c_2 c_4}{c_1 c_2(-2c_2 + c_1 c_3)}\right| \cdot A \tag{8-141}$$

$$\mathrm{IM_3} = 3\mathrm{HD_3} = \left|\frac{3}{4}\frac{(-c_2+c_1c_3)((-c_2+c_1c_3)c_3-2c_1c_2c_4)}{c_1c_2^2(-2c_2+c_1c_3)}\right|\cdot \mathrm{A}^2 \tag{8-142}$$

直接对$\mathrm{IM_2}$和$\mathrm{IM_3}$进行分析是不可能的。我们先来考虑$V_{\mathrm{GS}}-V_{\mathrm{T}}$对线性度的影响，这时假设晶体管漏端接的是一个理想的电压源（$M=0$），后面我们将对M的影响进行单独说明。

令$M=0$，可以得到：

$$\mathrm{IM_2} = \frac{1}{(V_{\mathrm{GS}}-V_{\mathrm{T}})(2+\Theta(V_{\mathrm{GS}}-V_{\mathrm{T}}))(1+\Theta(V_{\mathrm{GS}}-V_{\mathrm{T}}))}\cdot \mathrm{A} \tag{8-143}$$

$$\mathrm{IM_3} = \frac{3}{4}\frac{\Theta}{(V_{\mathrm{GS}}-V_{\mathrm{T}})(2+\Theta(V_{\mathrm{GS}}-V_{\mathrm{T}}))(1+\Theta(V_{\mathrm{GS}}-V_{\mathrm{T}}))^2}\cdot \mathrm{A}^2 \tag{8-144}$$

考虑到i阶输入交调点对应于$\mathrm{IM_i}=1$时输入信号的幅度值，而$\mathrm{IM_i}=v^{\mathrm{i}-1}/\mathrm{IP_i^{i-1}}$，因此：

$$\mathrm{IP_2[V]} = (V_{\mathrm{GS}}-V_{\mathrm{T}})(2+\Theta(V_{\mathrm{GS}}-V_{\mathrm{T}}))(1+\Theta(V_{\mathrm{GS}}-V_{\mathrm{T}})) \tag{8-145}$$

$$\mathrm{IP_3[V]} = \sqrt{\frac{4}{3}\frac{V_{\mathrm{GS}}-V_{\mathrm{T}}}{\Theta}(2+\Theta(V_{\mathrm{GS}}-V_{\mathrm{T}}))(1+\Theta(V_{\mathrm{GS}}-V_{\mathrm{T}}))^2} \tag{8-146}$$

上面两式都以V来表示交调点，考虑到$P[\mathrm{dBm}]=10\log(\mathrm{V}^2/(2R_{\mathrm{S}})/1\mathrm{mW})$（$R_{\mathrm{S}}$为信号源内阻）可以将交调点用dBm来表示为：

$$\mathrm{IP_2[dBm]} = 20\log(\mathrm{V_{GS}}-\mathrm{V_T})(2+\Theta(\mathrm{V_{GS}}-\mathrm{V_T}))(1+\Theta(\mathrm{V_{GS}}-\mathrm{V_T}))-10\log\mathrm{R_S}+27 \tag{8-147}$$

$$\mathrm{IP_3[dBm]} = 10\log\frac{4}{3}\frac{\mathrm{V_{GS}}-\mathrm{V_T}}{\Theta}(2+\Theta(\mathrm{V_{GS}}-\mathrm{V_T}))(1+\Theta(\mathrm{V_{GS}}-\mathrm{V_T}))^2-10\log\mathrm{R_S}+27 \tag{8-148}$$

图8-16给出了当Θ取不同值时，$\mathrm{IP_2}$和$\mathrm{IP_3}$随$V_{\mathrm{GS}}-V_{\mathrm{T}}$的变化曲线。从图中可以看出，当Θ不变时，$\mathrm{IP_2}$和$\mathrm{IP_3}$都随$V_{\mathrm{GS}}-V_{\mathrm{T}}$的增加而增加，只是增加的斜率有所不同。因此，增加$V_{\mathrm{GS}}-V_{\mathrm{T}}$，可以提高线性度，但这是以降低晶体管的跨导为代价的。

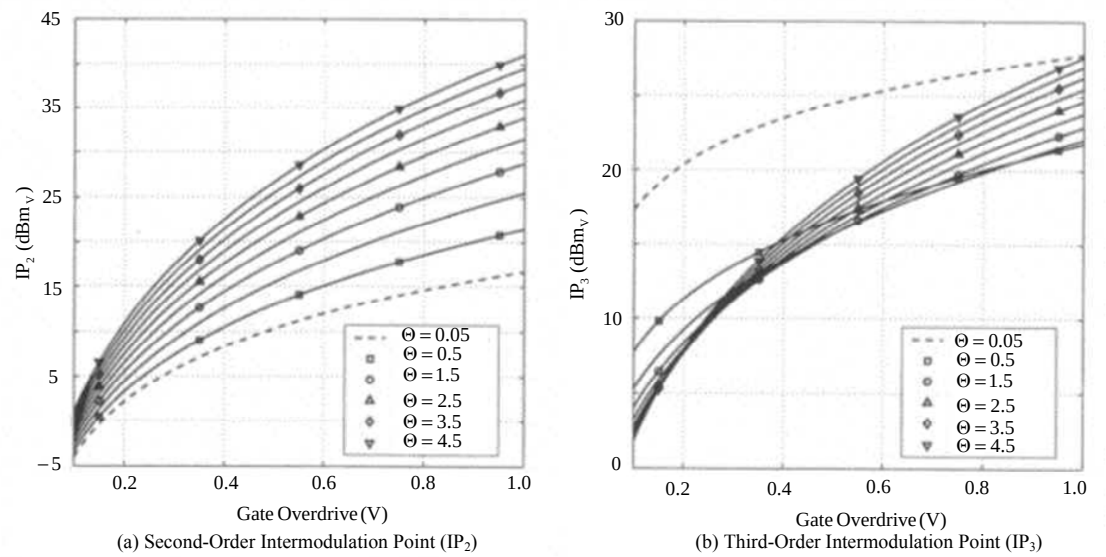


图 8-16 Θ和$V_{\mathrm{GS}}-V_{\mathrm{T}}$对$\mathrm{IP_2}$和$\mathrm{IP_3}$的影响

从图8-16还可以看出，当$V_{\mathrm{GS}}-V_{\mathrm{T}}$不变时，随着Θ的增加（对应于沟道长度减小），$\mathrm{IP_2}$是增加的，但$\mathrm{IP_3}$的变化与$V_{\mathrm{GS}}-V_{\mathrm{T}}$有关，当$V_{\mathrm{GS}}-V_{\mathrm{T}}$比较小时，短沟道晶体管的$\mathrm{IP_3}$比长沟道晶体管差；而$V_{\mathrm{GS}}-V_{\mathrm{T}}$较

大时，短沟道晶体管的$\mathrm{IP_3}$要好于长沟道晶体管。这是因为当$V_{\mathrm{GS}}-V_{\mathrm{T}}$较大时，晶体管已经工作于载流子速度饱和区了。

下面我们来分析M对线性度的影响。图8-17给出了当M取不同值时，$\mathrm{IP_2}$和$\mathrm{IP_3}$随$V_{\mathrm{GS}}-V_{\mathrm{T}}$的变化曲线。计算中，$\Theta=1.3\mathrm{V}^{-1}$、$\Lambda=0.06\mathrm{V}^{-1}$、$V_{\mathrm{DS}}=V_{\mathrm{GS}}-V_{\mathrm{T}}$，晶体管工作于饱和区边缘。

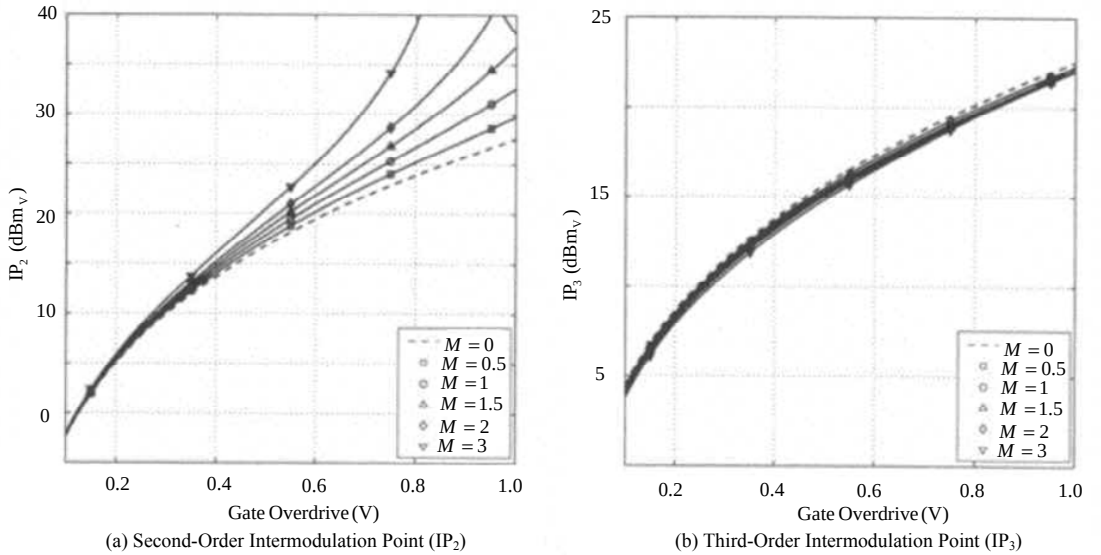


图 8-17 M和$V_{\mathrm{GS}}-V_{\mathrm{T}}$对$\mathrm{IP_2}$和$\mathrm{IP_3}$的影响

从图8-17可以看出，随着M的增加，$\mathrm{IP_2}$也增加，说明Miller效应可以在一定程度上补偿Θ引起的非线性效应。而M对$\mathrm{IP_3}$的影响很小，进一步的分析表明，M对$\mathrm{IP_3}$的影响可以用下式表示：

$$\mathrm{IP_3[dBm]}=10\log\frac{4}{3}\frac{\mathrm{V_{GS}-V_T}}{\Theta+\Lambda\mathrm{M}}(2+\Theta(\mathrm{V_{GS}-V_T}))(1+\Theta(\mathrm{V_{GS}-V_T}))^2-10\log\mathrm{R_S}+27 \tag{8-149}$$

2. 反馈对线性度的影响

在分析一个非线性系统时，若环路增益T是一个与频率无关的实数，则可以证明：

$$\mathrm{IM_{i,CL}}=\frac{\mathrm{IM_{i,OL}}}{(1+T)^{\mathrm{i}-1}} \tag{8-150}$$

其中，$\mathrm{IM_{i,OL}}$是开环系统的i阶交调失真，$\mathrm{IM_{i,CL}}$是闭环系统的i阶交调失真。该式可以解释如下：如果把该系统当成一个线性系统，则前馈模块的输入信号（误差信号）近似为闭环系统输入信号的$\frac{1}{1+T}$倍。考虑到前馈模块是唯一的非线性模块（典型情况），因此可以推导出上式。

考虑到$\mathrm{IM_i}=v^{\mathrm{i}-1}/\mathrm{IP_i}^{\mathrm{i}-1}$以及

$$\mathrm{IP_i}=v(\mathrm{IM_i}=1) \tag{8-151}$$

所以闭环系统的i阶交调点为：

$$\mathrm{IP_{i,CL}}=\mathrm{IP_{i,OL}}(1+T) \tag{8-152}$$

3. 低噪声放大器的三阶交调点

如图8-11所示的低噪声放大器也是一个反馈系统，它的小信号等效电路可以改画为图8-18。输出电流通过源简并电感L_{s}注入到输入网络中，因此形成了一个并联–串联反馈放大器。由于节点v_{in}包含有反馈信号，因此我们首先计算v_{s}作输入的$\mathrm{IP_3}$，然后通过下式来计算v_{in}节点的$\mathrm{IP_3}$（输入完全匹配）：

$$\mathrm{IP_3}@_{v_{\mathrm{in}}}[\mathrm{dBm}]=\mathrm{IP_3}@_{v_{\mathrm{s}}}[\mathrm{dBm}]-6 \tag{8-153}$$

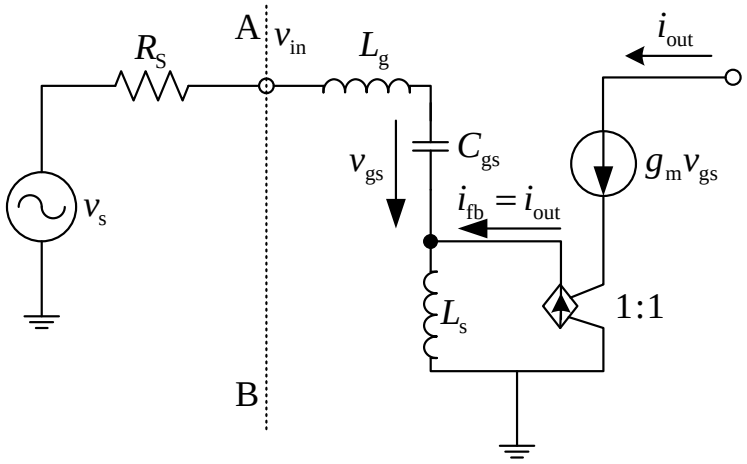


图 8-18 低噪声放大器的小信号等效电路

下面我们来分析该低噪声放大器的环路增益。假设输入端没有信号（$v_s = 0$），输出端反馈回一个电流i_{fb}，反馈回的电流信号i_{fb}在L_s上产生一个压降$i_{fb}j\omega_0 L_s$。由于在谐振频率ω_0附件，L_g、L_s和C_{gs}谐振，产生一个纯实部阻抗R_S，因此因反馈引起的R_S上的电流为：

$$i_{R_S} = i_{fb} j\omega L_s / R_S \tag{8-154}$$

该电流流过栅源电容C_{gs}，在C_{gs}上产生一个压降$v_{gs} = i_{R_S}/j\omega C_{gs}$，故因反馈引起的输出电流为：

$$i_{out} = g_m v_{gs} = g_m \cdot i_{fb} \cdot \frac{j\omega L_s}{R_S} \cdot \frac{1}{j\omega C_{gs}} \tag{8-155}$$

该放大器的环路增益为：

$$T(\omega) = \frac{i_{out}}{i_{fb}} = g_m \cdot \frac{j\omega L_s}{R_S} \cdot \frac{1}{j\omega C_{gs}} = 1 \tag{8-156}$$

由式8-152可知

$$\mathrm{IP}_3@_{v_s}[\mathrm{dBm}] \approx \mathrm{IP}_3@_{v_s,\mathrm{OL}}[\mathrm{dBm}] + 20\log(1 + T(\omega)) \tag{8-157}$$

考虑到对于开环工作的放大器来说，信号在到达晶体管的栅极时被放大了$Q = \omega C_{gs} R_S$倍，因此

$$\mathrm{IP}_3@_{v_s}[\mathrm{dBm}] \approx \mathrm{IP}_3@_{v_{in},\mathrm{OL}} + 20\log(\omega C_{gs} R_S) + 6 \tag{8-158}$$

将式8-156、式8-158、以及式8-148代入8-153中，可得低噪声放大器的三阶交调点为：

$$\mathrm{IP}_3@_{v_{in}}[\mathrm{dBm}] \approx 10\log\frac{4}{3}\frac{V_{GS} - V_T}{\Theta}(2 + \Theta(V_{GS} - V_T))(1 + \Theta(V_{GS} - V_T))^2 + 27 + 20\log(\omega C_{gs} R_S) \tag{8-159}$$

可见，低噪声放大器的三阶交调点是由晶体管的三阶交调点和输入匹配网络的增益决定的。图8-19给出了采用0.25μmCMOS工艺设计的1.8GHz LNA的三阶交调点曲线。 从图中可以看出，源简并电感型低噪声放大器的三阶交调点受$V_{GS} - V_T$的影响很小，这与晶体管的三阶交调点仅依赖于$V_{GS} - V_T$是完全不同的。其原因在于$V_{GS} - V_T$对晶体管三阶交调点和输入匹配网络增益的影响相互折衷，导致$V_{GS} - V_T$对三阶交调点的影响减弱。

§8.5 CMOS低噪声放大器的设计策略

上一节我们介绍了源简并电感型共源放大器的各种设计方程，包括增益、噪声系数和线性度。那么该如何利用这些设计方程来设计满足系统要求的低噪声放大器呢？本节将介绍等高线设计法，它是一种系统化的设计策略，兼顾了低噪声放大器的各种性能要求（增益、噪声系数、线性度、阻抗匹配、功耗等）和元器件的限制，因此是一种非常实用的设计方法。

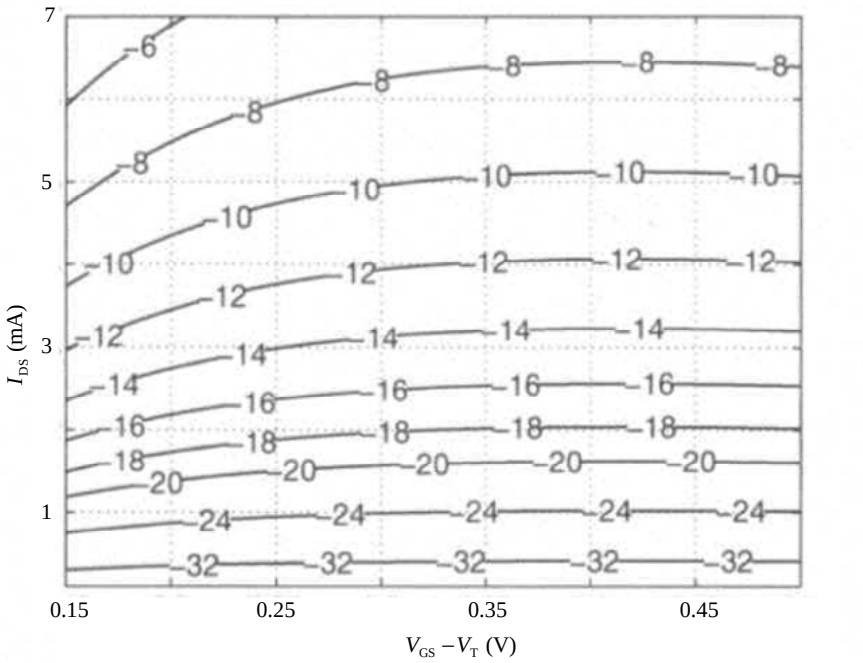


图 8-19 I_{DS}和$V_{GS}-V_T$对低噪声放大器三阶交调点的影响

§8.5.1 低噪声放大器的拓扑结构

由于源简并电感型共源放大器具有噪声系数低、增益高、线性度好并可以实现输入阻抗匹配等优点，因此在无线收发机系统中得到广泛应用。在上一节已经介绍过这种放大器电路。为了减小晶体管的Miller效应和有限输出阻抗对放大器性能的影响，并提供良好的反向隔离性能，低噪声放大器通常都采用Cascode结构，如图8-20所示。 在图中，M_1是放大管，L_g、L_s与放大管提供匹配的输入阻抗，并将输入功率信号转化

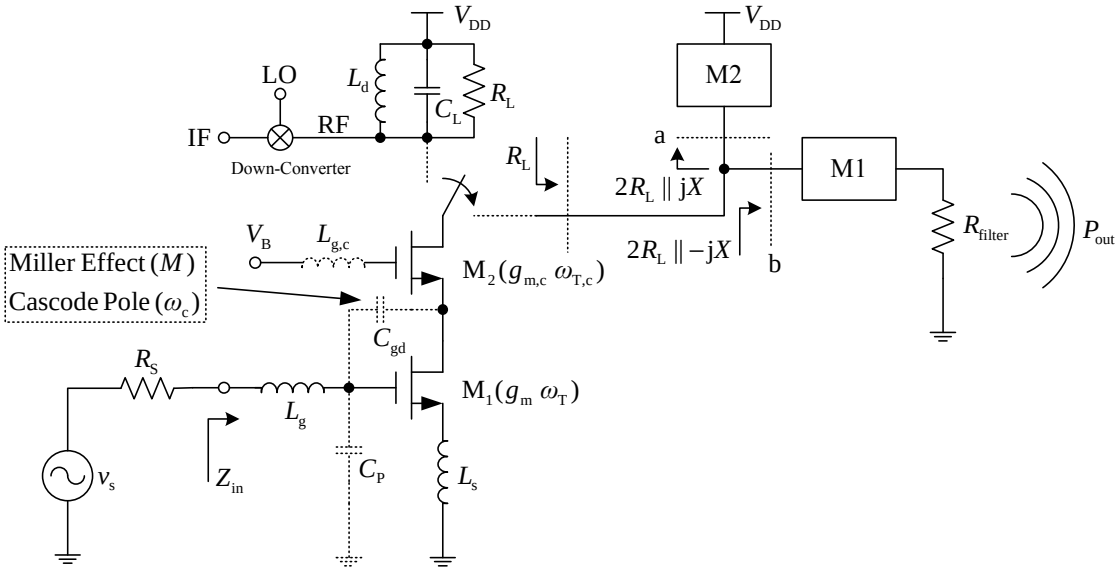


图 8-20 源简并电感型Cascode共源放大器

为电流信号；M_2是Cascode管，它可以提高放大器的输出阻抗，使得放大器的负载阻抗完全由负载网络来决定；Cascode晶体管给放大管提供了一个低阻抗负载，使得放大管的增益比较低，降低了放大管Miller效应对放大器性能的影响；Cascode晶体管还提高了反向隔离性能，减弱了本地振荡信号的泄漏，同时使放大器成为一个单向化放大器，这会使得设计方程大大简化，并避免稳定性问题；Cascode晶体管还使得放大管

漏端电压降低，减弱了载流子速度饱和对放大管的影响。C_{p}是输入节点的寄生电容（ESD防护电路的寄生电容、焊盘寄生电容等），它对放大器性能的影响我们将在后面进行专门的分析。

放大管和Cascode管以及输入匹配网络将输入功率信号转化为一个电流信号，依据应用的不同，放大器的输出信号可能是一个电压信号（驱动下一级电容性负载）或者是一个功率信号（驱动电阻性负载）。图8-20对此进行了说明：对于全集成的CMOS接收机来说，低噪声放大器驱动后级的混频器，而CMOS混频器的输入阻抗通常是电容性的，因此低噪声放大器应提供电压驱动能力，这时低噪声放大器可以采用LC谐振网络作负载（左边负载）。它可以使得电感L_{d}和混频器的输入容抗以及输出节点的寄生电容在工作频率ω_0附近谐振，提供一个谐振负载$R_{\mathrm{L}}=\omega_0 L_{\mathrm{d}}Q$（$Q$为电感$L_{\mathrm{d}}$的品质因子），因此采用这种负载的放大器的电压增益与电感L_{d}品质因子成正比。

在某些应用中，低噪声放大器要驱动电阻型负载（如驱动片外的镜像抑制滤波器等），因此希望放大器的输出是一个功率信号，它必须具有输出匹配网络，使得输出阻抗与片外要驱动元件的输入阻抗匹配，达到最大功率传输。图8-20右上边的负载网络给出了一种常用的输出匹配电路。元件M2通常是在片电感，它是输出匹配电路的一部分，同时给放大器提供偏置电流。由于在片电感的品质因子较低，元件M2存在一个并联阻抗$\omega_0 LQ$，因此从参考平面a看过去的阻抗为$Z_{\mathrm{a}}=\mathrm{j}\omega_0 L\|\omega_0 LQ$。为了满足输出匹配条件，要求$Z_{\mathrm{b}}=-\mathrm{j}\omega_0 L\|\omega_0 LQ$，M1就是将片外元件的输入阻抗变换为$Z_{\mathrm{b}}$的无源变换网络，它通常是由在片的高质量电容组成的，这时放大器的负载阻抗为：$R_{\mathrm{L}}=\omega_0 LQ/2$。

§8.5.2 增益

由图8-20可知，低噪声放大器首先将输入功率转换为电流（效率以PCC衡量），然后输出网络再将电流转换为希望的电压信号或者功率信号。如果输出信号是电压信号，那么可以用功率－电压转换效率（PVC）来衡量该放大器将输入功率转换为电压的能力，其定义为：

$$\mathrm{PVC}=\frac{v_{\mathrm{out}}^2}{P_{\mathrm{av}}} \tag{8-160}$$

它具有欧姆的量纲。对于采用LC谐振网络作负载的放大器，其功率-电压转换效率为：

$$\mathrm{PVC}(\Omega)=\mathrm{PCC}R_{\mathrm{L}}^2=(\frac{\omega_{\mathrm{T}}}{\omega_0})\frac{R_{\mathrm{L}}^2}{R_{\mathrm{S}}} \tag{8-161}$$

如果输出信号为功率信号，那么可以用功率增益来衡量放大器的增益：

$$G_{\mathrm{t}}=\frac{P_{\mathrm{out}}}{P_{\mathrm{av}}} \tag{8-162}$$

其中，P_{out}是负载得到的功率。G_{t}没有量纲，对于如图8-20右上边所示驱动电阻型负载的情况，负载上所得到的功率为：

$$P_{\mathrm{out}}=i_{\mathrm{out}}^2\cdot\frac{R_{\mathrm{L}}}{2*2}=i_{\mathrm{out}}^2\cdot\frac{\omega_0 LQ}{8} \tag{8-163}$$

输出功率除以2是由于输出匹配网络也消耗了一半的功率，放大器提供的输出功率仅有一半传输到负载上。故采用电阻型负载的放大器的功率增益与PCC之间的关系为：

$$G_{\mathrm{t}}=\mathrm{PCC}\cdot\frac{R_{\mathrm{L}}}{2*2}=\mathrm{PCC}\cdot\frac{\omega_0 LQ}{8} \tag{8-164}$$

§8.5.3 噪声系数

图8-20所示放大器的噪声因子由四部分组成：

$$\mathrm{F}=1+(\mathrm{F_d}-1)+(\mathrm{F_{g,u}}-1)+(\mathrm{F_c}-1)+(\mathrm{F_L}-1) \tag{8-165}$$

其中，$\mathrm{F_d}-1$和$\mathrm{F_{g,u}}-1$是放大晶体管的漏端电流噪声和NQS栅噪声的贡献，而$\mathrm{F_c}-1$是Cascode晶体管对噪声因子的贡献，$\mathrm{F_L}-1$是负载对噪声因子的贡献。

如果$\omega_0 \ll \omega_T$，则：

$$F_d - 1 \approx \frac{\gamma}{\alpha}(\frac{\omega_0}{\omega_T})^2(g_m R_S + \frac{2}{\kappa}) \tag{8-166}$$

$$F_{g,u} - 1 = \frac{\alpha\delta(1-|c|^2)}{\kappa g_m R_S} \tag{8-167}$$

如果Cascode晶体管引入的极点频率ω_c远大于ω_0，则：

$$F_c - 1 = 4\gamma(\frac{\omega_0}{\omega_c})^2\frac{g_m}{M\cdot PCC} = 4\gamma(\frac{\omega_0}{\omega_T})^2(\frac{\omega_0}{\omega_c})^2\frac{g_m R_S}{M} \tag{8-168}$$

其中，M是放大管的放大倍数：

$$M = \frac{\alpha g_m}{g_{m,c}} \tag{8-169}$$

因此，Cascode管对噪声系数的贡献与M和ω_c都有关系，后面我们还会对此进行说明。

如果放大器采用LC并联谐振负载，谐振频率处的等效负载阻抗为R_L，则：

$$F_L - 1 = \frac{4}{R_L \cot PCC} = \frac{4R_L}{PVC} = 4(\frac{\omega_0}{\omega_T})^2\frac{R_S}{R_L} \tag{8-170}$$

从上式可以看出，负载网络对噪声系数的贡献与R_L的值有关。R_L值的选取要考虑以下因素：R_L增加，在电流消耗一定的情况下，可以增加输出电压，降低后级混频器的噪声，同时降低负载网络对噪声因子的影响，但低噪声放大器的输出电压摆幅、混频器的输入电压范围及线性度会限制R_L的最大取值；如果在PVC一定的情况下，降低R_L，可以降低负载网络对噪声因子的影响，但这会要求增加PCC，增加了放大管的$V_{GS}-V_T$，使得$F_{g,u}$项的影响变大。另外，R_L的取值还受到工艺和所驱动负载电容大小的影响（$R_L = \omega_0 LQ$），因此当驱动的负载电容很大（电感量很小）或者电感品质因子不高时，R_L的取值就会受到限制。

如果放大器采用电阻型负载，则：

$$F_L - 1 = \frac{1}{G_t} \tag{8-171}$$

因此当功率增益一定时，电阻型负载对噪声因子的贡献也是确定的。

§8.5.4 输入节点寄生电容对放大器性能的影响

以上的推导都假设输入节点的寄生电容为0，实际上，放大管的栅极通常接到片外，需要一个焊盘，为了对栅极进行保护，还需要一个ESD防护电路。焊盘和ESD防护电路都会在输入节点引入寄生电容，放大管的栅漏$C_{gd} = \alpha_{gd}C_{gs}$（$\alpha_{gd}$是一个工艺参数，描述了$C_{gd}$与$C_{gs}$的比值）通过Miller 效应也会在输入节点引入到地的电容。在图8-21中，焊盘、ESD防护电路以及C_{gd}引入的输入电容都用电容C_p来表示。C_p对放大器的输入阻抗匹配、增益和噪声系数都有很大的影响，本节就对此进行讨论。

1. 对输入阻抗匹配的影响

假设图8-21所示的放大器与信号源内阻匹配。从参考平面b向信号源方向看过去的阻抗为$Z_{S,eq} = R_{S,eq} + j\omega_0 Lg,eq$，其中：

$$R_{S,eq} = \frac{R_S}{\omega_0^2 C_p^2 R_S^2 + (1-\omega_0^2 C_p L_g)^2} \tag{8-172}$$

$$L_{g,eq} = \frac{L_g - C_p(\omega_0^2 L_g^2 + R_S^2)}{\omega_0^2 C_p^2 R_S^2 + (1-\omega_0^2 C_p L_g)^2} \tag{8-173}$$

在阻抗匹配条件下，阻抗$Z_{S,eq}$必须与从参考平面b向放大管看过去的阻抗$Z_{in} = r_{g,NQS} + j\omega_0 L_s + \frac{1}{j\omega_0 C_{gs}} + \omega_T L_s$匹配，即：

$$R_{S,eq} = r_{g,NQS} + \omega_T L_s = \frac{1}{\kappa g_m} + \omega_T L_s \tag{8-174}$$

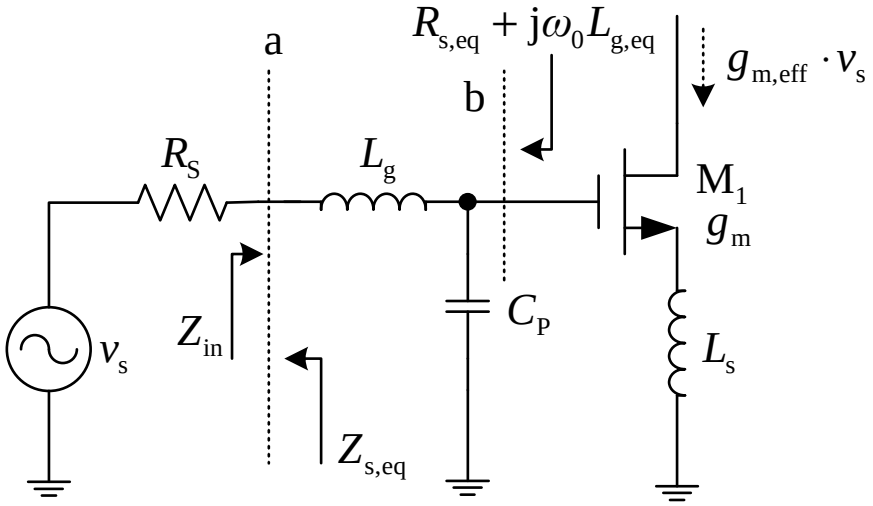


图 8-21 考虑输入节点寄生电容的低噪声放大器电路图

$$j\omega_0 L_{S,eq} = -j\omega_0 L_s - \frac{1}{j\omega_0 C_{gs}} \tag{8-175}$$

在已知放大管参数的情况下，从以上两式可以推导出L_s、L_g。如果$(\omega_0/\omega_T)^2 \ll 1$，则$R_{S,eq}$与放大管参数、信号源阻抗之间的关系为：

$$R_{S,eq} \approx \frac{2R_S(1+\frac{C_p\omega_T}{g_m})^2}{\Psi+\sqrt{\Psi^2-(\Psi-1)^2(\frac{\omega_T}{\omega_0})^2}} \tag{8-176}$$

其中，

$$\Psi = 1+\frac{2C_p R_S\omega_0^2}{\omega_T}(1+\frac{C_p\omega_T}{g_m}) \tag{8-177}$$

为了保证$L_s>0$，要求$R_{S,eq}\geq r_{g,NQS}$，同时$R_{S,eq}$必须为正实数，即$\Psi^2-(\Psi-1)^2(\frac{\omega_T}{\omega_0})^2\geq 0$，这就对达到完全输入阻抗匹配条件时信号源内阻$R_S$的数值提出了要求：

$$R_S \leq \frac{\omega_T}{2C_p\omega_0^2(\frac{\omega_T}{\omega_0}-1)(1+\frac{C_p\omega_T}{g_m})} = R_{S,max} \tag{8-178}$$

当工作频率提高或者C_p增加时，上式中右边项$R_{S,max}$将持续减小。当减小到一定程度时（如小于要求的50Ω），则图8-21所示的电路是无法达到完全阻抗匹配的，这时就需要在L_g前插入额外的匹配网络，将较大的信号源阻抗R_S变换到较低的数值。但如果不加额外的匹配网络仍能满足$\Gamma<-10$dB，这时匹配网络就不需要了。图8-22给出了一个1.8GHz低噪声放大器的$R_{S,max}$随C_{gs}和$C_{p,fixed}$的变化曲线。 其中，

$$C_p \approx C_{p,fixed}+\alpha_{gd}C_{gs} = C_{p,fixed}+0.4\cdot C_{gs} \tag{8-179}$$

从图中可以看出，增加放大管的尺寸并不能提高$R_{S,max}$，其原因在于：增加放大管的尺寸，C_{gd}也会相应增加，导致C_p随之增加。当$C_{p,fixed}\geq 0.27$pF时，不加额外的匹配网络是不可能将该放大器匹配到50Ω的。但当$0.27\text{pF}\leq C_{p,fixed}\leq 0.45$pF时，不加额外的匹配网络仍然可以保证$\Gamma<-10$dB，满足常用的输入阻抗匹配的要求，因此实际上并不需要加入额外的匹配网络。

2. **对PCC和噪声系数的影响**

对图8-21所示电路进行分析，可以求出：

$$\text{PCC} = (\frac{\omega_T}{\omega_0})^2\frac{1}{R_{S,eq}} \tag{8-180}$$

由于L_g和C_p组成了一个阻抗上变换的L匹配网络，$R_{S,eq}>R_S$，因此与不考虑C_p相比，PCC是下降的，C_p会减小放大器的增益。

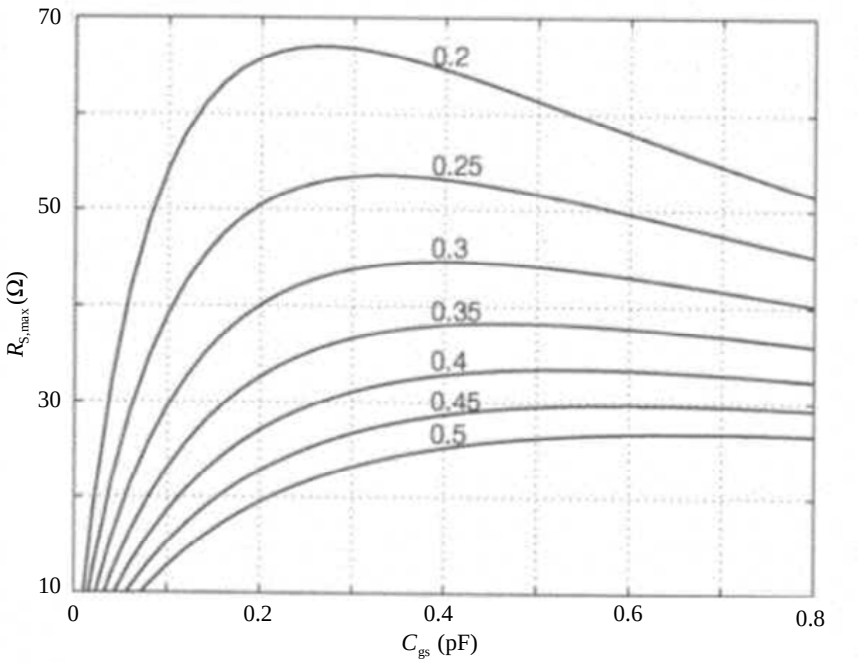


图 8-22 输入节点寄生电容对低噪声放大器$R_{S,max}$的影响

考虑了输入节点的寄生电容C_p之后，可以证明，噪声系数仍然可以用式8-114来表示，只是R_S要用$R_{S,eq}$来代替。由于$R_{S,eq}$大于R_S，因此NQS栅噪声对噪声系数的贡献减弱，而热噪声则成为影响噪声系数的主要因素。由于C_p会降低输入阻抗匹配网络对信号的放大倍数，因此会恶化放大器的噪声性能。

3. **减小C_p影响的措施**

C_p会限制放大器的最大输入阻抗，降低PCC和恶化噪声性能，因此有必要减小它的数值。ESD防护电路的寄生电容与所选定的ESD电路结构有关，为了减小它的寄生电容，要采用寄生电容小的结构（如二极管防护结构或者SCR结构等），但要避免降低寄生电容对ESD防护级别造成影响。由于ESD设计的复杂性，减小ESD防护电路的寄生电容不是一个容易控制的设计过程。

减小C_p的另一个办法是减小焊盘的寄生电容，这可以通过减小焊盘的面积（在封装工艺允许的情况下）、改变焊盘的形状（如采用八角型焊盘）或者减小单位面积焊盘的寄生电容（仅采用最上面一层或者两层金属来做焊盘以增加焊盘与衬底的距离等）。

减小C_p还可以通过降低放大管的Miller效应来实现，如适当增加Cascode管的尺寸，降低放大管的放大倍数，但这会影响放大器的其它性能，因此需要折衷考虑。

对于焊盘，还有一点需要说明。在射频情况下，由于衬底损耗，焊盘会引起信号能量损失，即焊盘的等效电路是电阻和电容的串联，这会增加放大器的噪声系数。为了消除焊盘因衬底损耗所引起的能量损失，可以在焊盘下面放一个接地的最底层金属层，或者接地的多晶硅层/有源区（金属层数不够时）来将焊盘和衬底进行有效的隔离。

§8.5.5 C_{gd}和M对放大器性能的影响

放大管的C_{gd}对电路的匹配性能、PCC和噪声系数都有很大的影响。图8-23给出了含有C_{gd}的LNA小信号模型。 它对电路有以下四点影响：C_{gd} 给放大管的栅极和漏极都贡献电容；C_{gd}形成一条前馈通路，注入电流$sC_{gd}v_1$到放大管的漏极，但由于$\omega_0 \ll \omega_T < g_m/C_{gd}$，该前向电流是可以忽略的；$C_{gd}$也形成了一条反馈通路，反馈回电流$-sC_{gd}v_2$到放大管的栅极。

由于

$$v_2 \approx -Mv_1 \cdot \frac{1}{1+sC_{gs}R_{total}-\omega_0^2 L_s C_{gs}} \tag{8-181}$$

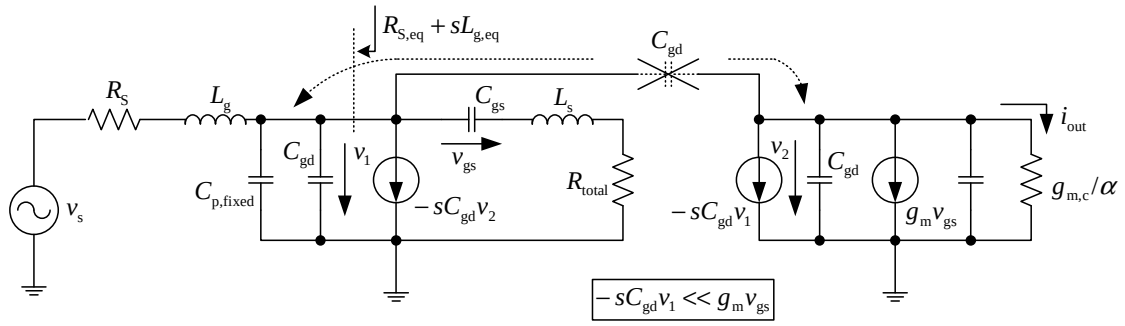


图 8-23 C_{gd}对放大器小信号等效模型的影响

其中，M是放大管的Miller效应放大倍数，$M=\frac{\alpha g_m}{g_{m,c}}$，而$R_{total}$是放大管栅极阻抗的实部：

$$R_{total}=\omega_T L_s+r_{g,NQS} \tag{8-182}$$

根据放大管栅极总电流之和为0可以推出从放大管漏极反馈回的电流$-sC_{gd}v_2$与v_1的关系，因此C_{gd}形成的反馈通路相当于在晶体管栅极并联了一个额外的阻抗Z_p：

$$Z_p=\frac{1+sC_{gs}R_{total}-\omega_0^2 L_s C_{gs}}{sC_{gs}M}=\frac{1}{M\alpha_{gd}}\left(\frac{1}{sC_{gs}}+R_{total}+sL_s\right) \tag{8-183}$$

从上式可以看出，Z_p与不考虑C_{gd}时放大管栅极输入阻抗成比例，因此考虑C_{gd}后放大管栅极的输入阻抗仍可以看成是由原来的元件组成的网络阻抗，其中：

$$C_{gs,eff}=(1+M\alpha_{gd})C_{gs} \tag{8-184}$$

$$L_{s,eff}=\frac{L_s}{1+M\alpha_{gd}} \tag{8-185}$$

$$R_{S,eq}=\omega_T L_{s,eff}+\frac{r_{g,NQS}}{1+M\alpha_{gd}} \tag{8-186}$$

考虑到以上等效以及C_p对输入阻抗的影响，可以得到：

$$R_{S,eq}\approx\frac{2R_S\left(1+\frac{C_{p,fixed}+C_{gd}}{C_{gs}(1+M\alpha_{gd})}\right)^2}{\Psi+\sqrt{\Psi^2-(\Psi-1)^2\left(\frac{\omega_T}{\omega_0}\right)^2}} \tag{8-187}$$

其中，

$$\Psi=1+\frac{2(C_{p,fixed}+C_{gd})R_S\omega_0^2}{\omega_T}\left(1+\frac{C_{p,fixed}+C_{gd}}{C_{gs}(1+M\alpha_{gd})}\right) \tag{8-188}$$

考虑C_{gd}后L_g和L_s的值仍可以按照谐振条件以及放大管栅极阻抗匹配的要求求出。C_{gd}一方面增加了C_p，使得$R_{S,eq}$增加；另一方面，它又通过Miller效应使$C_{gs,eff}$增加了$1+M\alpha_{gd}$倍，C_{gd}对$R_{S,eq}$的最终影响与下式的比值有关：$\frac{1+\alpha_{gd}\frac{C_{gs}}{C_{p,fixed}}}{1+M\alpha_{gd}}$ 在大多数情况下，该值靠近于1，因此C_{gd}对$R_{S,eq}$的影响较小。

考虑到$C_{gs,eff}$增加了$1+M\alpha_{gd}$倍，因此：

$$PCC=\left(\frac{\omega_T}{\omega_0}\right)^2\frac{1}{(1+M\alpha_{gd})^2 R_{S,eq}} \tag{8-189}$$

因此PCC降低了$(1+M\alpha_{gd})^2$倍。为了达到相同的电压增益，负载阻抗必须增大相同的倍数，这会增加负载阻抗、Cascode晶体管的噪声以及放大管的漏端电流噪声。而放大管的NQS栅噪声近似保持不变。

§8.5.6 LNA设计方程

以上各节讨论了LNA的设计方程，本节对此进行总结，给出设计中要用到的设计方程

有效源阻抗：C_{p}、C_{gd}和M将信号源阻抗变换为有效源阻抗，$R_{\mathrm{S,eq}}$：

$$R_{\mathrm{S,eq}} \approx \frac{2R_{\mathrm{S}}(1+\frac{C_{\mathrm{p,fixed}}+C_{\mathrm{gd}}}{C_{\mathrm{gs}}(1+M\alpha_{\mathrm{gd}})})^2}{\Psi+\sqrt{\Psi^2-(\Psi-1)^2(\frac{\omega_{\mathrm{T}}}{\omega_0})^2}} \tag{8-190}$$

其中，

$$\Psi = 1+\frac{2(C_{\mathrm{p,fixed}}+C_{\mathrm{gd}})R_{\mathrm{S}}\omega_0^2}{\omega_{\mathrm{T}}}(1+\frac{C_{\mathrm{p,fixed}}+C_{\mathrm{gd}}}{C_{\mathrm{gs}}(1+M\alpha_{\mathrm{gd}})}) \tag{8-191}$$

同时，达到完全阻抗匹配时信号源阻抗必须满足以下条件：

$$R_{\mathrm{S}} < \frac{1}{2\omega_0(C_{\mathrm{p,fixed}}+C_{\mathrm{gd}})(1+\frac{C_{\mathrm{p,fixed}}+C_{\mathrm{gd}}}{C_{\mathrm{gs}}(1+M\alpha_{\mathrm{gd}})})} = R_{\mathrm{S,max}} \tag{8-192}$$

负载网络要求：为了达到一定的电压增益，对于一个采用LC谐振网络作负载的放大器来说，谐振网络的负载阻抗必须满足：

$$R_{\mathrm{p}}(=R_{\mathrm{L}}) = \frac{\omega_0}{\omega_{\mathrm{T}}}\sqrt{\mathrm{PVC}\cdot R_{\mathrm{S,eq}}}(1+M\alpha_{\mathrm{gd}})\sqrt{1+(\frac{\omega_0}{\omega_{\mathrm{c}}})^2} \tag{8-193}$$

而为了达到一定的功率增益，对于一个采用电阻型负载的低噪声放大器来说，负载阻抗的数值必须满足：

$$R_{\mathrm{p}}(=2R_{\mathrm{L}}) = 4G_{\mathrm{t}}R_{\mathrm{S,eq}}(\frac{\omega_0}{\omega_{\mathrm{T}}})^2(1+M\alpha_{\mathrm{gd}})^2(1+(\frac{\omega_0}{\omega_{\mathrm{c}}})^2) \tag{8-194}$$

噪声因子：采用两种不同负载类型的低噪声放大器的噪声因子可以统一表示为：

$$\begin{aligned}\mathrm{F} \approx\ & 1+\frac{\gamma}{\alpha}(\frac{\omega_0}{\omega_{\mathrm{T}}})^2(g_{\mathrm{m}}R_{\mathrm{S,eq}}+\frac{2}{\kappa})(1+M\alpha_{\mathrm{gd}})^2 \\ & +\frac{\alpha\delta(1-|c|^2)}{\kappa g_{\mathrm{m}}R_{\mathrm{S,eq}}} \\ & +4\gamma(\frac{\omega_0}{\omega_{\mathrm{c}}})^2(\frac{\omega_0}{\omega_{\mathrm{T}}})^2 g_{\mathrm{m}}R_{\mathrm{S,eq}}\frac{(1+M\alpha_{\mathrm{gd}})^2}{M}(1+(\frac{\omega_0}{\omega_{\mathrm{c}}})^2) \\ & +\{4\frac{\omega_0}{\omega_{\mathrm{T}}}\sqrt{\frac{R_{\mathrm{S,eq}}}{\mathrm{PVC}}}(1+M\alpha_{\mathrm{gd}})\sqrt{1+(\frac{\omega_0}{\omega_{\mathrm{c}}})^2}\}\cdot|\{\frac{1}{G_{\mathrm{t}}}\}\end{aligned} \tag{8-195}$$

对采用两种不同负载类型的低噪声放大器来说，噪声因子的前三项（$\mathrm{F_d}-1$、$\mathrm{F_{g,u}}-1$、$\mathrm{F_c}-1$）都是相同的，而第四项（负载网络对噪声因子的影响）却是不同的。

三阶交调点：采用两种不同负载类型的低噪声放大器的三阶交调点可以统一表示为：

$$\begin{aligned}\mathrm{IP_3(dBm)} \approx\ & 11.25+10\log\left((V_{\mathrm{GS}}-V_{\mathrm{T}})\frac{1}{\Theta+\lambda M}(2+\Theta(V_{\mathrm{GS}}-V_{\mathrm{T}}))(1+\Theta(V_{\mathrm{GS}}-V_{\mathrm{T}}))^2\right) \\ & +20\log\left(\omega_0 C_{\mathrm{gs}}(1+M\alpha_{\mathrm{gd}})\sqrt{50R_{\mathrm{S,eq}}}\right)\end{aligned} \tag{8-196}$$

品质因子：对于采用LC谐振负载的低噪声放大器来说，放大器的品质因子反应了它的带宽和对元件值变化的灵敏度，因此也是一个很重要的参数：

$$Q_{\mathrm{LNA}} = \frac{\omega_0}{\mathrm{BW_{3dB}}} \approx \frac{1}{2\omega_0 R_{\mathrm{S,eq}}C_{\mathrm{gs}}(1+M\alpha_{\mathrm{gd}})} + \omega_0 R_{\mathrm{L}}C_{\mathrm{L}} \tag{8-197}$$

前一项是输入匹配网络的品质因子Q_{in}，而后一项是输出匹配网络的品质因子Q_{out}，放大器的品质因子是Q_{in}和Q_{out}之和。

§8.5.7 Cascode器件的设计

上一小节提到的各种设计方程中都包含有ω_{c}和M，表明Cascode晶体管对低噪声放大器的性能也有很重要的影响。下面我们来讨论如何优化Cascode晶体管的尺寸以达到最优的性能。

1. **优化ω_c**

ω_c是因Cascode晶体管而在放大管漏极引入的一个极点，它可以表示为：

$$\omega_c = \frac{g_{m,c}}{\alpha((\alpha_{db}+\alpha_{gd})C_{gs}+(1+\alpha_{sb})C_{gs,c})} \tag{8-198}$$

其中，$g_{m,c}$是Cascode晶体管的跨导，α_{xy}是寄生电容C_{xy}与C_{gs}的比值。考虑到：

$$g_{m,c} \propto \sqrt{(\frac{W}{L})_c I_{DS}} \propto \sqrt{C_{gs,c} I_{DS}} \tag{8-199}$$

因此通过合理优化Cascode晶体管的尺寸（优化$C_{gs,c}$），可以使得ω_c达到最大：

$$(\omega_c)_{opt} = \frac{\omega_T}{2\alpha\sqrt{1+\alpha_{sb}}\sqrt{\alpha_{db}+\alpha_{gd}}} \tag{8-200}$$

这时Cascode晶体管的尺寸与放大管尺寸之间的关系可以由下式确定：

$$(C_{gs,c})_{opt} = \frac{\alpha_{db}+\alpha_{gd}}{1+\alpha_{sb}} C_{gs} \tag{8-201}$$

或

$$(M)_{opt} = \alpha\sqrt{\frac{1+\alpha_{sb}}{\alpha_{db}+\alpha_{gd}}} \tag{8-202}$$

因此，当Cascode晶体管源极的寄生容抗与放大管漏极的寄生容抗匹配时，ω_c达到最大。

2. **优化低噪声放大器的噪声因子**

从式8-195可以看出，使ω_c达到最大会有效地减小F_c-1的值，但放大器的噪声因子并不是最优的。这是由于其它几项噪声贡献（F_d-1和F_L-1）都会随着M的增加（Cascode晶体管尺寸减小）而增加，随着M的减小（增加Cascode晶体管的尺寸）而减小，而$F_{g,u}-1$则与Cascode晶体管的尺寸无关。为了优化放大器的噪声系数，要增加Cascode晶体管的尺寸。但Cascode晶体管的尺寸增加到一定程度时，F_c-1会增加，抵消F_d-1和F_L-1减小所带来的好处。因此，Cascode晶体管存在一个最优的尺寸。合理的增加Cascode晶体管的尺寸可以将噪声减小20%，但增加Cascode晶体管的尺寸会增加负载网络的寄生电容，影响放大器的品质因子，如何选定Cascode晶体管的尺寸，还需要根据系统性能合理选定。

3. **Cascode晶体管的寄生边缘效应**

当Cascode晶体管栅极连接到片外时，在栅极会因封装引入一个寄生电感，如图8-24(a)所示（$L_{g,c}$）。如果不采取特殊措施，$L_{g,c}$可能会与Cascode晶体管的C_{gd}谐振，降低放大器的负载阻抗和增益。而且，由于在Cascode晶体管的源极存在寄生电容（$C_{d,tot}$），因此从Cascode晶体管栅极看过去的阻抗包含有一个负实部，可能引起整个放大器不稳定。

$L_{g,c}$与Cascode晶体管的C_{gd}谐振问题可以在Cascode晶体管栅极加入一个接地的电容来消除，如图8-24(b)所示（C_{dec}）。C_{dec} 使得$L_{g,c}$并联到地，减弱了对放大器输出端负载阻抗的影响。同时，C_{dec}可以减小Cascode晶体管栅极看到的负阻，提高了放大器的稳定性。由于键合线寄生电感的品质因子很高，$L_{g,c}$与C_{dec}可能在比较低的频率下发生并联谐振，使得放大管看到的阻抗减小，放大器的增益在该频率点将出现一个凹沟。为了避免发生并联谐振，可以在Cascode晶体管栅极串联一个电阻R降低键合线寄生电感的品质因子，如图8-24(c)所示。

§8.5.8 等高线设计方法

设计一个满足各方面性能指标（输入阻抗匹配、噪声系数、增益、线性度、功耗）的低噪声放大器并不是对低噪声放大器设计的唯一限制，考虑到实现的可能性，对外部元件的取值以及放大器的品质因子可能都会有所限制，这是一个非常复杂的多目标优化问题。等高线设计法可以给设计者展示每一个设计描述

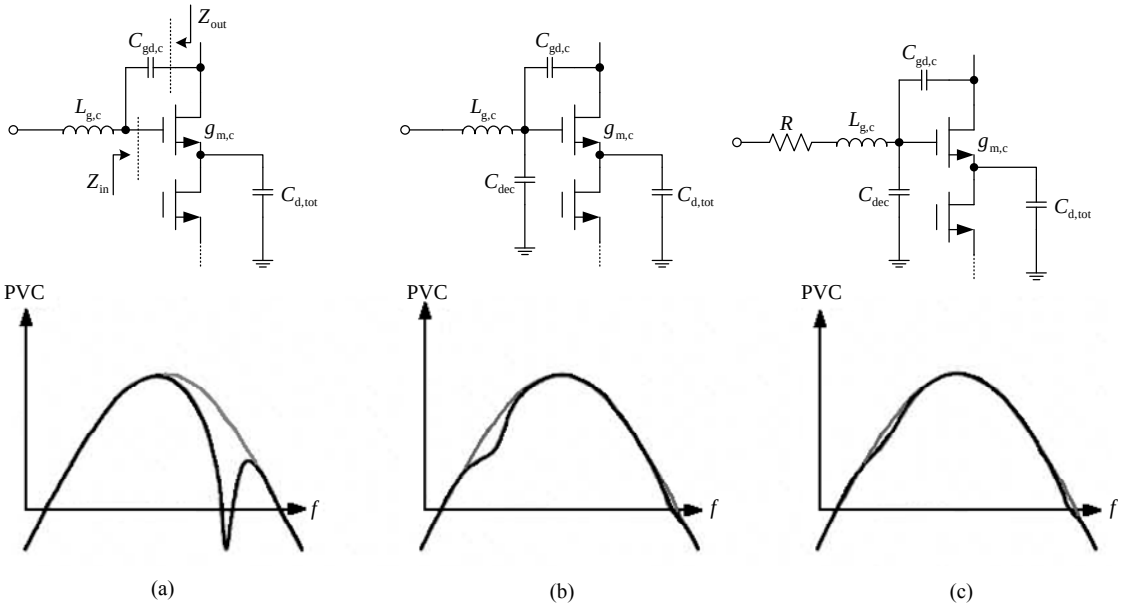


图 8-24 Cascode晶体管的寄生边缘效应

所允许的设计空间，从而使设计者理解哪些设计描述是限制放大器实现的主要因素，而且该方法还可以分析放大器功耗对放大器性能的影响，从而使设计者可以确定满足性能要求所必须的最小功耗。下面我们通过一个设计例子来对该设计方法进行说明。

我们要采用0.25μm CMOS工艺实现一个应用于DCS-1800系统的低噪声放大器，它所驱动的是一个片上混频器，因此采用LC谐振负载。表8-1给出了对该低噪声放大器的设计描述、设计限制以及晶体管参数。 放大器的品质因子限制在2.4之内，保证放大器具有足够的带宽；而$L_g \leq 8$nH是考虑到L_g是由键合线

表 8-1 低噪声放大器设计描述及晶体管参数

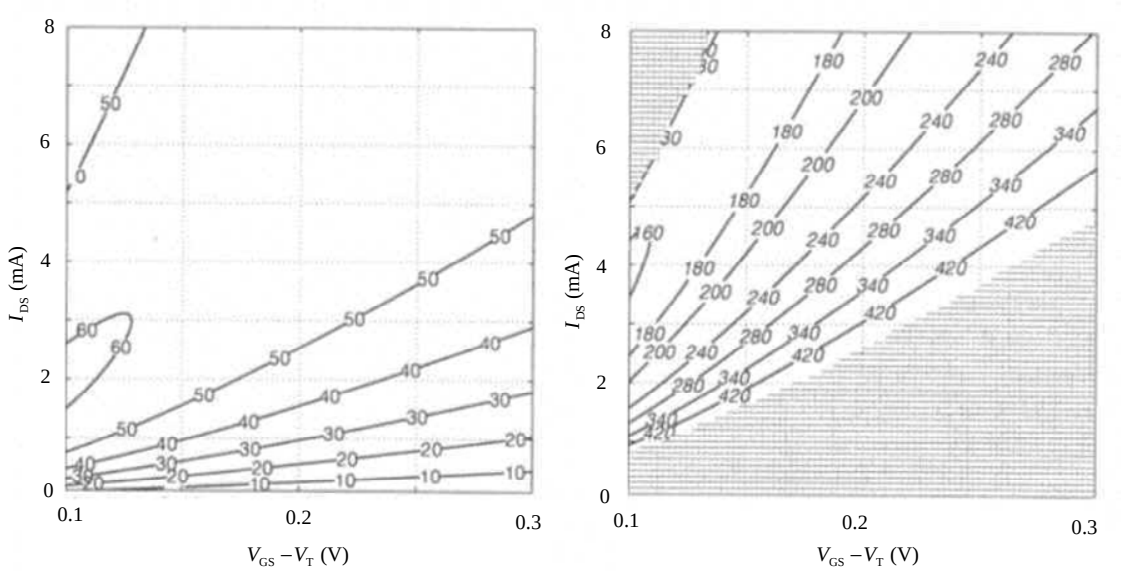
性能参数	设计指标	MOS管参数	数值
工艺	0.25μm CMOS	α	0.85
工作频率	$\omega_0 = 2\pi \cdot 1.84$GHz	κ	5
带宽	$\omega_b = 2\pi \cdot 75$MHz	α_{gd}	0.4
信号源阻抗	$R_S = 50\Omega$	α_{db}	0.4
输入阻抗	$R_{in} = 50\Omega$	α_{sb}	0.6
输入节点寄生电容	$C_{p,fixed} \approx 300$fF	γ	$2 \cdot \frac{2}{3}$
负载电容	$C_L \approx 1$pF	δ	$2 \cdot \frac{4}{3}$
增益	PVC ≈ 20dB	c	j0.4
噪声系数	NF ≤ 1.8dB		
交调性能	$IP_3 \geq -4$dBm		
品质因子	$Q \leq 2.4$		
栅极串联电感	$L_g \leq 8$nH		
电流消耗	I_{DS} Minimize		

来提供的，此限制可以避免键合线过长（键合线电感的电感量约为1nH/mm）。

等高线设计法是将每一个设计描述表示为放大管的I_{DS}和$V_{GS} - V_T$的函数，并以图的形式表示出来，设计者可以清楚的看到哪些设计描述是可以实现的，从而可以分析放大器功耗对放大器性

能的影响。由于Cascode晶体管对放大器性能也有一定的影响，Cascode晶体管的尺寸可以按照上一小节的内容进行优化。在本节中，Cascode晶体管的尺寸选择为$W_{\mathrm{casc}} = 0.57W_{\mathrm{amp}}$，这时$M = 1$。由于$g_{\mathrm{m}}$、$\omega_{\mathrm{T}}$、$W/L$、$C_{\mathrm{xy}}$、$M$、$\omega_{\mathrm{c}}$、$R_{\mathrm{S,eq}}$、$L_{\mathrm{g}}$、$L_{\mathrm{s}}$、$R_{\mathrm{L}}$（通过PVC设计描述计算）、NF、$\mathrm{IP}_3$和$Q_{\mathrm{LNA}}$都可以表示为$I_{\mathrm{DS}}$和$V_{\mathrm{GS}} - V_{\mathrm{T}}$的函数，因此可以在$I_{\mathrm{DS}}$、$V_{\mathrm{GS}} - V_{\mathrm{T}}$平面上画出满足各设计描述的设计空间，它们之间的交集是设计者可以自由选择的设计空间，如果没有交集，则说明设计描述太苛刻，需要修改设计描述。

图8-25(a)给出了$R_{\mathrm{S,max}}$（式8-192）与I_{DS}和$V_{\mathrm{GS}} - V_{\mathrm{T}}$的变化曲线。对于本设计来说，信号源阻抗



(a) Max. Feasible Source Resistance (Ohm)　　(b) Equivalent Source Resistance (Ohm)

图 8-25 $R_{\mathrm{S,max}}$及有效源阻抗与I_{DS}和$V_{\mathrm{GS}} - V_{\mathrm{T}}$的变化曲线

为50Ω，因此曲线上$R_{\mathrm{S,max}}$必须大于50Ω，这就对I_{DS}、$V_{\mathrm{GS}} - V_{\mathrm{T}}$的取值限制了一个区间。在右下角区域，放大管的尺寸很小，C_{gs}与$C_{\mathrm{p,fixed}}$相比值很小，$C_{\mathrm{p,fixed}}$对$R_{\mathrm{S,max}}$作出了限制；而在左上角区域，放大管的尺寸很大，C_{gd}本身贡献给C_{p}，限制了$R_{\mathrm{S,max}}$。

考虑到以上限制和阻抗匹配条件后，有效源阻抗$R_{\mathrm{S,eq}}$的取值范围也就确定了，如图8-25(b)所示。由于L_{g}和C_{p}的阻抗上变换作用，$R_{\mathrm{S,eq}}$远大于R_{S}，而且晶体管尺寸越小（右下角），$R_{\mathrm{S,eq}}$就越大。阴影区域为$R_{\mathrm{S,max}}$小于50Ω的区域，因此不是设计允许的范围。

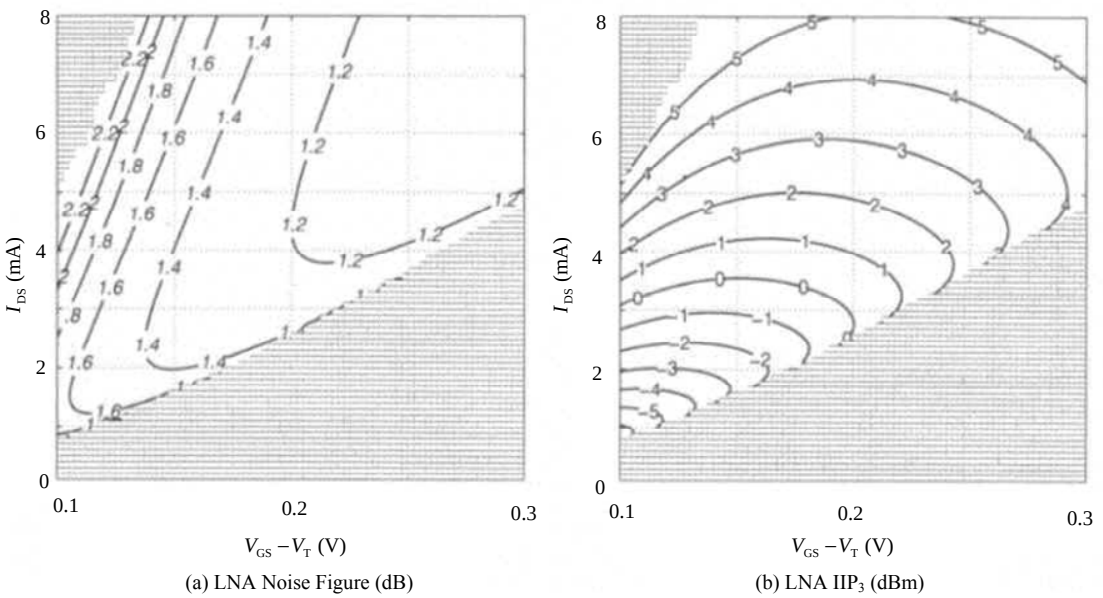
图8-26给出了放大器的噪声系数和线性度与I_{DS}和$V_{\mathrm{GS}} - V_{\mathrm{T}}$的变化曲线。从图中可以看出，噪声系数不是$I_{\mathrm{DS}}$和$V_{\mathrm{GS}} - V_{\mathrm{T}}$的单调曲线，因此存在一个优化的晶体管尺寸，可以使得满足噪声系数要求时功耗最低。当$V_{\mathrm{GS}} - V_{\mathrm{T}}$比较小时，降低$V_{\mathrm{GS}} - V_{\mathrm{T}}$可以提高线性度提高，而当$V_{\mathrm{GS}} - V_{\mathrm{T}}$比较大时，降低$V_{\mathrm{GS}} - V_{\mathrm{T}}$会降低线性度。

图8-27给出了满足PVC要求时负载阻抗R_{p}以及放大器的品质因子与I_{DS}和$V_{\mathrm{GS}} - V_{\mathrm{T}}$的变化曲线。放大器的品质因子由输入品质因子和输出品质因子两部分组成，由于本设计中，C_{p}的值较大，因此输入品质因子较低，使得放大器的品质因子主要由输出品质因子决定。因此这两条曲线很相像。

图8-28给出了达到输入阻抗匹配条件时L_{g}、L_{s}与I_{DS}和$V_{\mathrm{GS}} - V_{\mathrm{T}}$的变化曲线。从图中可以看出，由于对$L_{\mathrm{g}}$的限制，要求的电流$I_{\mathrm{DS}}$将增加很多。

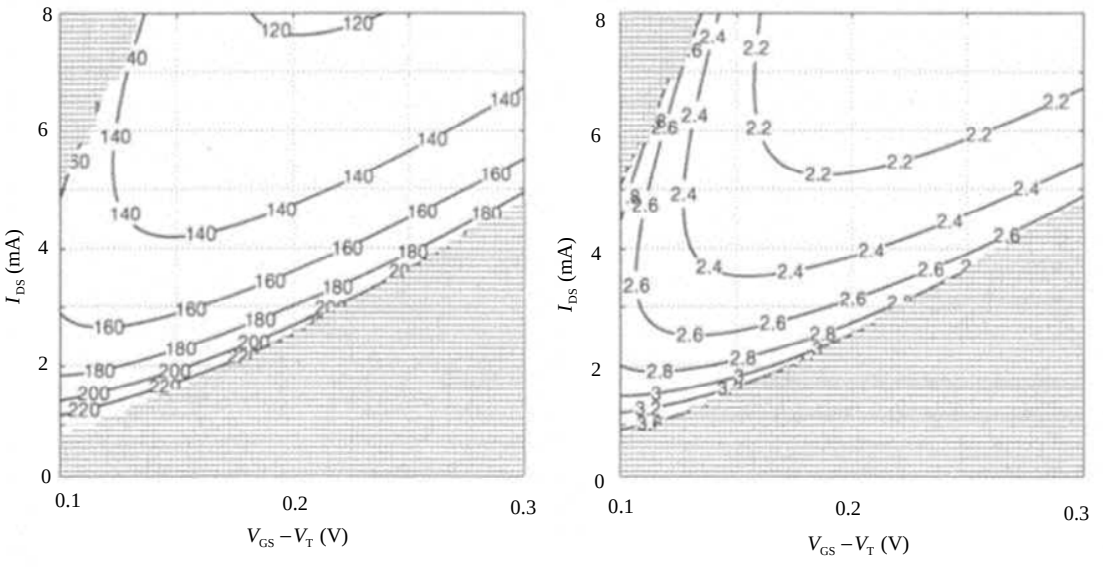
根据图8-26、图8-27和图8-28，以及表8-1列出的设计目标和设计限制条件，可以得到如图8-29所示的设计空间。-4那条曲线以上的区域是满足$\mathrm{IP}_3 > -4\mathrm{dBm}$要求的区域；1.8曲线右下的区域是满足$\mathrm{NF} < 1.8$要求的区域；2.4曲线右上的区域是满足$Q \leq 2.4$的区域；而8曲线左上的区域是满足$L_{\mathrm{g}} \geq 8\mathrm{nH}$的区域。

如果对Q值和L_{g}都没有限制，则-4曲线上方区域和1.8曲线右下区域的交集都可以满足设计要求。图中的（a）点对应于功耗最低的方案，这时$I_{\mathrm{DS}} = 1.3\mathrm{mA}$、$V_{\mathrm{GS}} - V_{\mathrm{T}} = 0.13\mathrm{V}$，线性度是限制电流进一步



(a) LNA Noise Figure (dB)　　(b) LNA IIP_3 (dBm)

图 8-26 放大器的噪声系数和输入三阶交调点与I_{DS}和$V_{GS} - V_T$的变化曲线



(a) Required Load Resistance R_L (Ohm)　　(b) LNA Quality Factor

图 8-27 满足PVC要求时负载阻抗R_p以及放大器的品质因子与I_{DS}和$V_{GS} - V_T$的变化曲线

降低的主要因素，噪声系数小于设计目标NF = 1.6dB < 1.8dB，线性度刚好达到要求$IP_3 = -4$dBm，而$Q = 3.4$、$L_g = 16$nH都已经超出了设计限制条件。

如果允许晶体管工作于非强反型区，则图中的(b)点也是一个可以考虑的方案，这时$I_{DS} = 1.5$mA、$V_{GS} - V_T < 0.13$V，线性度和噪声系数同时成为限制电流进一步降低的因素，噪声系数和线性度刚好达到设计目标，NF = 1.8dB，$IP_3 = -4$dBm，而$Q = 3.2$、$L_g = 11$nH仍然超出了设计限制条件。

如果仅对Q值作出限制$Q \leq 2.4$，则−4曲线上方区域、1.8曲线右下区域和2.4曲线右上区域的交集才可以满足设计要求。图中的(c)点对应于功耗最低的方案，这时$I_{DS} = 3.5$mA、$V_{GS} - V_T = 0.15$V，品质因子是限制电流进一步降低的主要因素，噪声系数小于设计目标NF = 1.4dB < 1.8dB，线性度大于设计目标$IP_3 = 0$dBm > −4dBm，品质因子$Q = 2.4$刚好达到设计目标，而$L_g = 11$nH超出了设计限制条件。

如果要求$Q \leq 2.4$、$L_g \leq 8nH$，则−4曲线上方区域、1.8曲线右下区域、2.4曲线右上区域和8曲线左上区域的交集才可以满足设计要求。图中的(d)点对应于功耗最低的方案，这时$I_{DS} = 4.8$mA、$V_{GS} - V_T =$

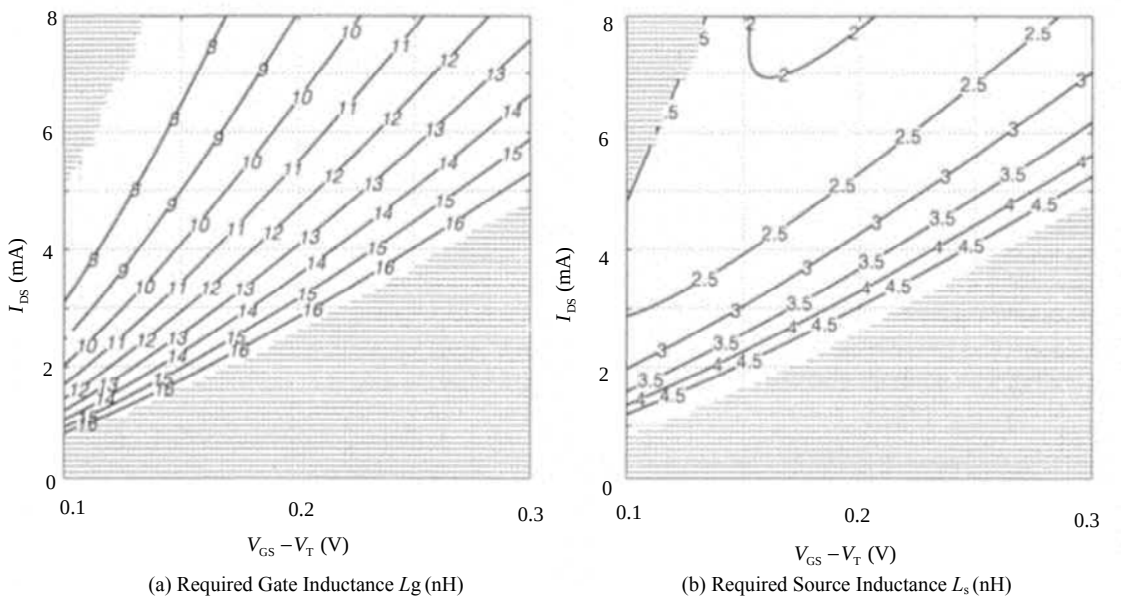


图 8-28 达到输入匹配条件时L_g、L_s与I_{DS}和$V_{GS}-V_T$的变化曲线

0.125V，品质因子和对L_g的要求是限制电流进一步降低的因素，噪声系数小于设计目标NF $=$ 1.75dB $<$ 1.8dB，线性度大于设计目标IP$_3$ $=$ 3dBm $>$ $-$4dBm，品质因子$Q = 2.4$，$L_g = 8$nH，它们都刚好达到设计限制条件。

表8-2对以上分析结果进行了总结。从表中可以看出，该低噪声放大器的功耗受到Q值和L_g取值的限制，而噪声系数和线性度并不是限制功耗进一步降低的主要因素。

§8.5.9 不完全阻抗匹配对低噪声放大器性能的影响

以上的分析都假设低噪声放大器的输入阻抗同50Ω系统是完全匹配的，即$\Gamma \to -\infty$。但对于系统描述来说，$\Gamma < -10$dB就足够了。当低噪声放大器的输入阻抗同50Ω系统不完全匹配时，放大器的性能会受到什么影响呢？由于讨论的复杂性，本节不对此进行详细讨论，仅定性说明一些结论，有兴趣地读者可以参考本章后面的文献。

如果放大器的输入阻抗实部R_{in}与信号源阻抗R_S不相等，并假设放大器输入阻抗的虚部为0，那么当$R_{in} < R_S$时，PCC会得到提高（式8-101）。R_{in}越小，PCC提高越大，可取的R_{in}受到$\Gamma < -10$dB的限制：

$$\Gamma = \frac{R_{in} - R_S}{R_{in} + R_S} \leq 0.316 \tag{8-203}$$

而阻抗不匹配对放大器的噪声系数则没有影响，放大器的噪声系数同完全阻抗匹配时的噪声系数相同。阻抗不匹配时IP$_3$为：

$$\text{IP}_3(\text{dBm}) \approx \text{IP}_3|_{R_{in}} + 10\log\left(\frac{1}{1-|\Gamma|^2}\right) \tag{8-204}$$

表 8-2 低噪声放大器设计总结

	NF $\leq$ 1.8dB	IP$_3$ $\geq -$4dBm	$Q \leq 2.4$	$L_g \leq$ 8nH	I_{DS}	$V_{GS}-V_T$	W/L
(a)	√1.6dB	√ $-$ 4dBm	×3.4	×16nH	1.3mA	0.13V	100/0.25
(b)	√1.8dB	√ $-$ 4dBm	×3.2	×11nH	1.5mA	$<$ 0.1V	190/0.25
(c)	√1.4dB	√0dBm	√2.4	×11nH	3.5mA	0.155V	210/0.25
(d)	√1.75dB	√3dBm	√2.4	√8nH	4.8mA	0.125V	390/0.25

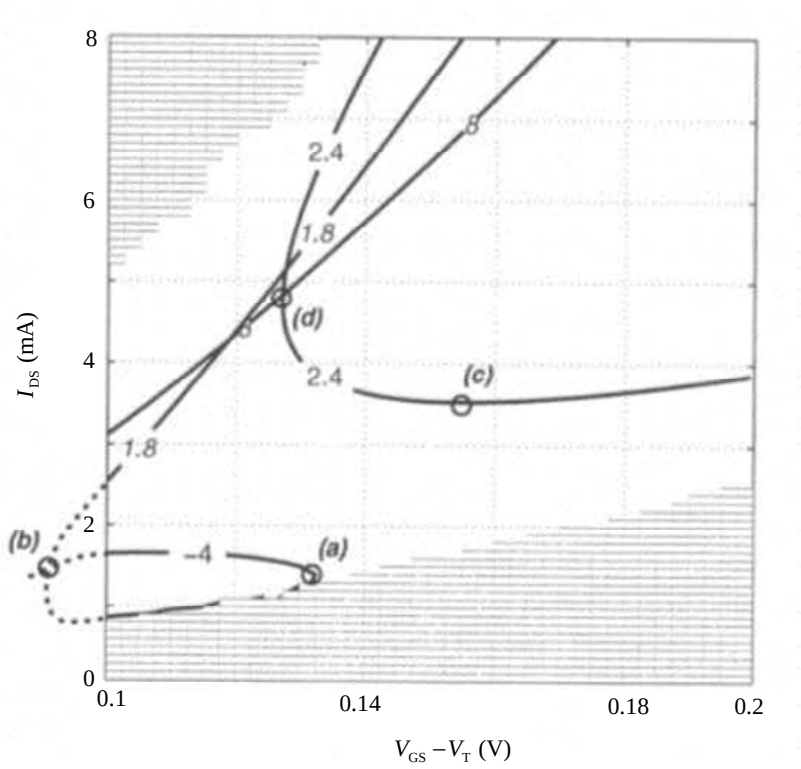


图 8-29 在I_{DS}和$V_{GS}-V_T$平面上设计目标和限制条件所允许的设计空间

$IP_3|_{R_{in}}$为信号源内阻与R_{in}相等时（即完全阻抗匹配）放大器的IP_3。因此当阻抗不匹配程度增加时，IP_3会增加。

放大器的输入品质因子为：

$$Q_{in} \approx Q_{in}|_{R_{in}}(1+\Gamma) \tag{8-205}$$

$Q_{in}|_{R_{in}}$为信号源内阻与R_{in}相等时（即完全阻抗匹配）放大器的Q_{in}。当$R_{in} < R_S$，可以减小输入端的品质因子。由于整个放大器的品质因子是输入品质因子和输出品质因子之和，因此也可以减小放大器的品质因子。

综上，当$R_{in} < R_S$，低噪声放大器的输入端并没有完全匹配到50Ω系统时，PCC、IP_3和Q都会得到改善，而不匹配程度对放大器的噪声性能则没有影响。

§8.5.10 其它设计考虑

1. 单端放大器与差分放大器

以上我们讨论的都是单端低噪声放大器，单端低噪声放大器的性能对源简并电感L_s的电感量变化很敏感。L_s通常由键合线电感或者在片电感和键合线电感组合来实现。由于键合线电感的电感量不容易控制，因此源简并电感的电感量会存在误差，影响放大器的性能。虽然可以通过多放几个地焊盘或者采用先进的封装工艺来减小L_s的变化，但这会增加成本。而且随着集成度的提高，单片上集成的电路模块越来越多，衬底耦合也变得很严重，单端放大器对衬底耦合没有抑制能力，衬底耦合会极大影响低噪声放大器的性能。

为了消除L_s变化对放大器性能的影响，可以采用差分结构，如图8-30所示。 两个源简并电感的连接点形成一个虚地点，避免了键合线对L_s电感量的影响，而且由于差分放大器自身固有的对共模噪声的抑制能力，这种放大器可以很好的抑制衬底噪声耦合干扰。但在同样的晶体管尺寸和偏置下，差分放大器的版图面积将是单端放大器的两倍，功耗也是单端放大器的两倍，噪声系数和增益则保持不变，而线性度则提高3dB。另外，由于放大器的输入一般是一个单端信号，因此还需要一个射频平衡-非平衡阻抗转换器

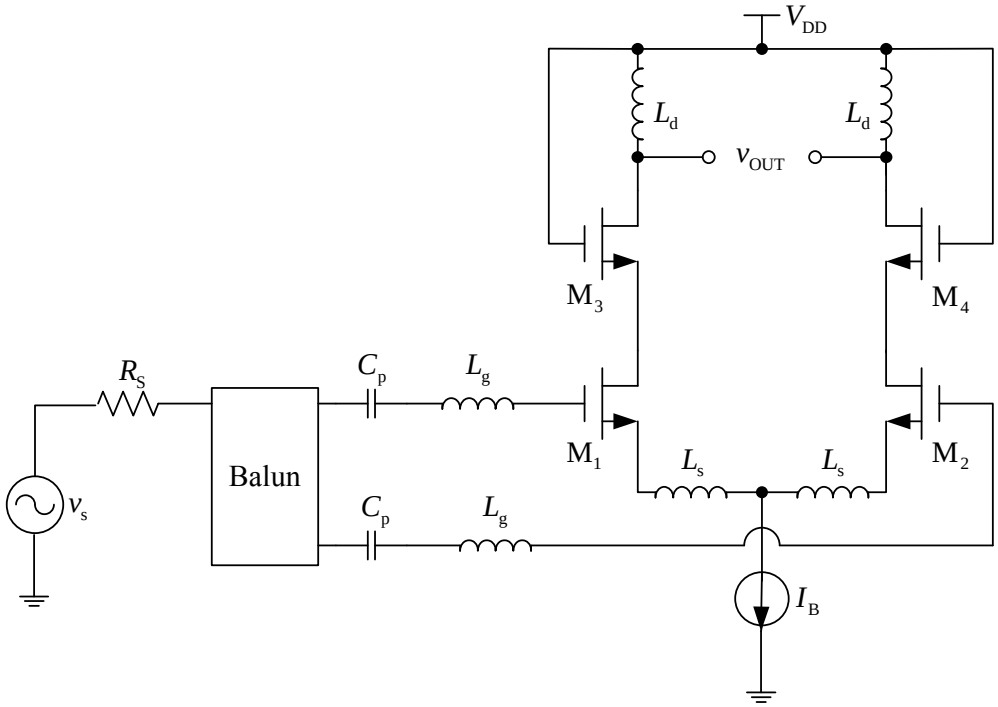


图 8-30 差分放大器电路结构

（Balun）来将单端信号转换为差分信号，平衡-非平衡阻抗转换器很难集成，而且会引入0.5dB～2dB的损耗，增加了放大器的噪声系数，并减小了它的增益。

选择单端还是差分放大器结构，要根据系统应用背景、功耗限制、衬底耦合严重程度以及代价等因素进行考虑，但随着集成度的提高，衬底耦合问题越来越严重，具有共模抑制能力的差分结构是更适宜大规模集成的一种电路结构。

2. 其它噪声考虑

在前面的讨论中，都只考虑了晶体管漏端电流噪声以及NQS栅噪声，而对栅寄生阻抗产生的热噪声以及衬底热噪声则都没有考虑，这两种噪声与版图设计很有关系。为了减小栅寄生阻抗引入的热噪声，可以将多个晶体管单元并联（多指晶体管技术）并将多晶硅栅的两头连接起来，这样可以减小栅寄生阻抗。而为了减小衬底热噪声，可以多引入衬底接触孔以减小衬底寄生阻抗。在某些情况下，可以将晶体管分成几个部分，每一部分都用衬底接触孔包围起来，如图8-31(b)所示。研究表明，在相同的条件下，图8-31(a)所示版图比(b)所示版图噪声系数要高0.26dB。

3. 偏置电路

低噪声放大器的偏置可以采用恒跨导源（晶体管的跨导不随工艺、温度、电源电压的变化而变化）或者恒电流源（流过晶体管的电流不随工艺、温度、电源电压的变化而变化），恒跨导源和恒电流源电路我们在第十三章中会进行介绍，下面仅介绍它们与低噪声放大器的接口电路。图8-32给出了一种接口形式。 电流I_B是恒跨导源或者恒电流源产生的电流（简单情况下可以用电阻来代替），晶体管M_3与M_1构成电流镜结构，使得流过放大管M_1的偏置电流与I_B成比例镜像关系。为了保证电流镜像关系近似成立，晶体管M_3应与M_1一样，采用最小沟道长度的晶体管。在版图设计上，M_3可作为一个晶体管单元，M_1由多个这样的晶体管单元并联构成。电阻R_B阻止交流信号通过偏置电路，避免低噪声放大器的信号通路受到偏置电路的影响，它的值通常可在2kΩ～10kΩ之间取值，电阻R_B 产生的热噪声对电路的影响近似可以忽略，但在片实现时，会在放大器输入节点引入寄生电容。电容C_B滤除偏置电路产生的噪声，消除偏置电路的噪声对低噪声放大器噪声性能的影响，C_B还可以稳定流过晶体管M_1、M_3的电流，提高抗干扰能力。

低噪声放大器中，Cascode晶体管M_2的栅极通常接电源电压，这会增加晶体管M_1漏端电压，使M_1更

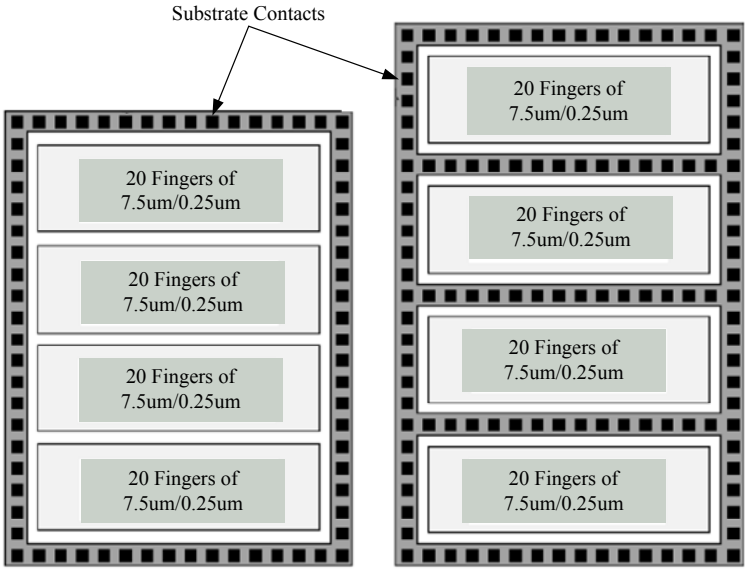


图 8-31 两种不同的版图方案

易受到短沟道效应的影响，引起噪声增加、跨导下降等效应。为了降低M_1漏端电压，M_2的栅极电压可以适当降低，但必须考虑M_1漏端电压降低对放大器线性度的影响。

§8.6 宽带低噪声放大器

超宽带收发机系统（UWB）是最近刚发展起来的一种无线系统，它通过一个很宽的频带来传输信号，具有数据率高、抗干扰能力强等特点。尽管目前国际上还没有还没有统一的UWB标准，但人们已经对该系统进行了多方面的研究，相信在不久的将来该系统会在图像传输系统、车载雷达等高数据率系统中得到广泛应用。UWB系统的频带范围为：3.1GHz～10.6GHz，分为上、下两个边带，下边带频率范围为3.1GHz～5GHz，上边带频率范围为6GHz～10.6GHz。正在制定中的UWB标准IEEE 802.15.3a规定UWB系统可以仅利用低边带实现400Mbps～480Mbps的传输数据率。

在UWB无线接收机系统中，宽带低噪声放大器是一个非常关键的模块，它必须在很宽的频带范围内实现输入阻抗匹配、提供平坦的增益、引入尽可能低的噪声，并保证有足够的线性范围容纳可能出现的信号能量变化。目前常用的宽带低噪声放大器包括以下几种：分布式放大器利用抽头式延迟传输线和分布式放大器结构来实现宽带宽，但由于它采用多级结构，功耗极大，不适宜低功耗应用，而且它需要的传输线并不适于集成，因此分布式放大器在实际应用中并不常见；并联–串联反馈放大器结构利用并联–串联反馈来实现宽带阻抗匹配并提供较平坦的增益，但如同前面分析的一样，它的噪声性能较差，并不适宜于作低噪声放大器使用。

一种可以实现宽带阻抗匹配并具有较低噪声性能的放大器如图8-33所示。无源元件L_1、C_1、L_2、C_2和$Z_{\rm in}$构成一个宽带宽Chebychev 带通滤波器，其中$Z_{\rm in}$是源简并电感型窄带共源放大器的输入阻抗，在M_1的栅源之间插入$C_{\rm p}$可以增加设计的灵活性，方便无源元件的取值。插入$C_{\rm p}$后，$Z_{\rm in}$的实部和虚部阻抗分别为

$$\Re(Z_{\rm in}) = \frac{g_{\rm m}L_{\rm s}}{C_{\rm gs}+C_{\rm p}} \tag{8-206}$$

$$\Im(Z_{\rm in}) = sL_{\rm g} + \frac{1}{sC_{\rm gs}+sC_{\rm p}} + sL_{\rm s} \tag{8-207}$$

$Z_{\rm in}$可以等效为电阻和谐振元件（电容或者电感）的串联网络，并作为Chebychev带通滤波器的一部分，通过合理设计各无源元件的数值，可以使得该放大器在很宽的频带范围内实现阻抗匹配。

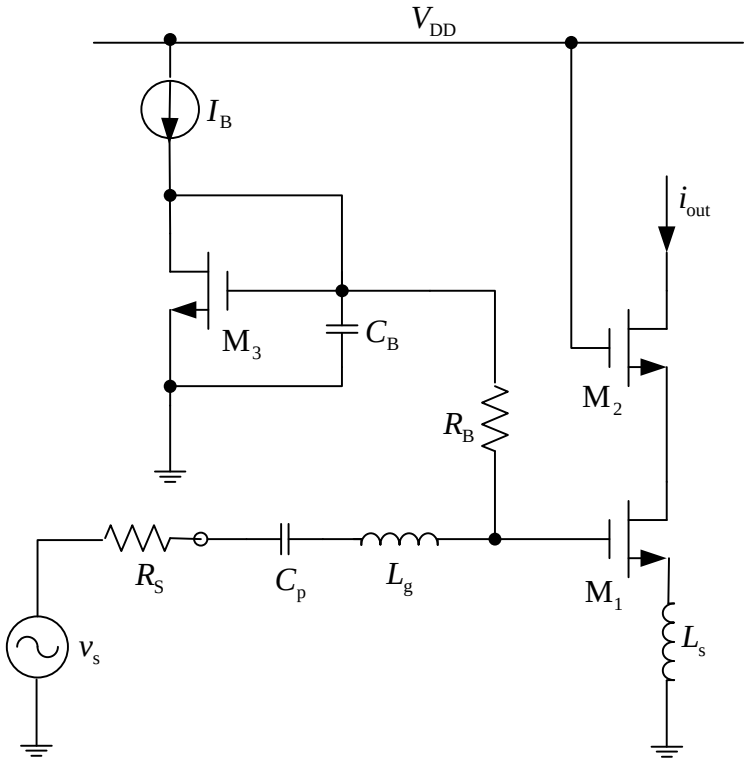


图 8-32 低噪声放大器的偏置电路

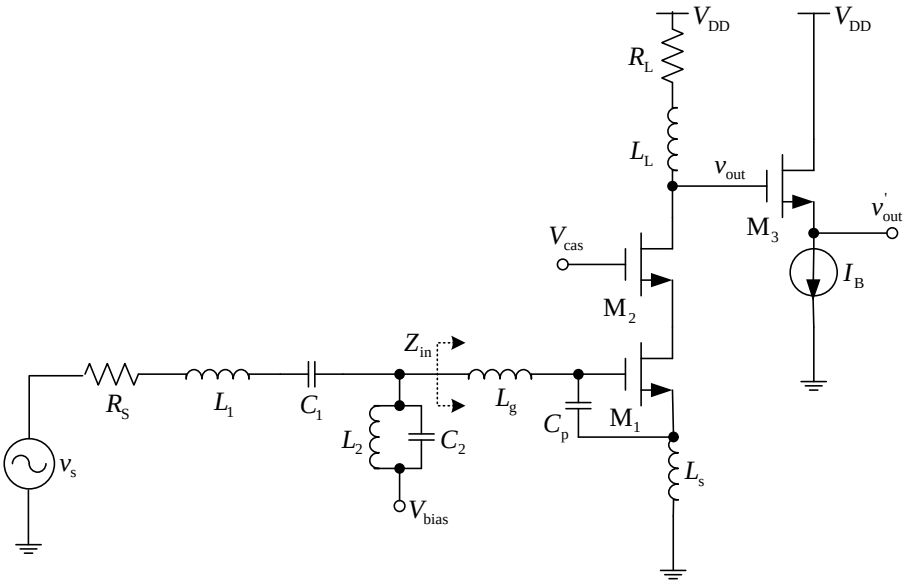


图 8-33 利用带通滤波器技术的宽带低噪声放大器

有源器件M_1仍然可以采用窄带放大器的设计方法进行设计，其偏置和尺寸可以兼顾噪声系数、增益和线性度进行合理选取。晶体管M_1漏端的寄生电容会使得放大器的高频增益出现下降，为了使放大器在足够宽的带宽范围内具有平坦的增益，晶体管漏端的寄生电容应尽可能小。所以Cascode晶体管在噪声允许的情况下应取尽可能小的尺寸，减小M_2对寄生电容的贡献；对M_1来说，就是要降低它的C_{db}，这可以通过合理的版图设计来达到。

该放大器的负载采用了由R_L、L_L和输入级输出节点寄生电容、输入级负载电容（两者的总电容记为C_L）构成的并联峰值结构（Shunt-Peaking），该结构通过一个电感L_L引入零点来补偿因电容C_L引起的

增益下降。其负载阻抗为：

$$Z(s)=(sL_{\mathrm{L}}+R_{\mathrm{L}})\|\frac{1}{sC_{\mathrm{L}}}=\frac{R_{\mathrm{L}}[s(L_{\mathrm{L}}/R_{\mathrm{L}})+1]}{s^2L_{\mathrm{L}}C_{\mathrm{L}}+sR_{\mathrm{L}}C_{\mathrm{L}}+1} \tag{8-208}$$

负载阻抗的幅度为：

$$|Z(\mathrm{j}\omega)|=R_{\mathrm{L}}\sqrt{\frac{(\omega L_{\mathrm{L}}/R_{\mathrm{L}})^2+1}{(1-\omega^2L_{\mathrm{L}}C_{\mathrm{L}})^2+(\omega R_{\mathrm{L}}C_{\mathrm{L}})^2}} \tag{8-209}$$

负载阻抗包含有一个零点和两个极点，使得负载阻抗的幅度中出现随频率增加的成分，扩展了增益带宽。

元件值R_{L}和L_{L}的选取与对该放大器的要求相关，为了分析的方便，我们引入一个因子m：

$$m=\frac{R_{\mathrm{L}}C_{\mathrm{L}}}{L_{\mathrm{L}}/R_{\mathrm{L}}} \tag{8-210}$$

则负载阻抗为：

$$Z(s)=\frac{R_{\mathrm{L}}(\tau s+1)}{s^2\tau^2m+s\tau m+1} \tag{8-211}$$

其中，$\tau=L_{\mathrm{L}}/R_{\mathrm{L}}$。

负载阻抗的幅度为：

$$|Z(\mathrm{j}\omega)=R_{\mathrm{L}}\sqrt{\frac{(\omega\tau)^2+1}{(1-\omega^2\tau^2m)^2+(\omega\tau m)^2}} \tag{8-212}$$

3dB带宽为：

$$\omega_{3\mathrm{dB}}=\omega_1\sqrt{(-\frac{m^2}{2}+m+1)+\sqrt{(-\frac{m^2}{2}+m+1)^2+m^2}} \tag{8-213}$$

其中$\omega_1=1/R_{\mathrm{L}}C_{\mathrm{L}}$是没有引入电感$L_{\mathrm{L}}$时放大器的3dB带宽。

由于放大器的增益为$g_{\mathrm{m,eff}}$与$|Z(\mathrm{j}\omega)|$的乘积，因此要使得放大器的增益带宽达到最大，就要对式8-213求极值，得到最大带宽时m的取值为：

$$m=\sqrt{2} \tag{8-214}$$

这时，$\omega_{3\mathrm{dB}}=1.85\omega_1$。因此通过加入电感$L_{\mathrm{L}}$，3dB带宽增加了0.85倍。但这种优化会使得放大器的频率响应出现近20%的过冲。为了减小过冲，可以增加m 的数值。比较合理的选择是使得在ω_1处的负载阻抗幅度与R_{L}的值相等，这时$m=2$，$\omega_{3\mathrm{dB}}\approx1.8\omega_1$，与最优带宽相比降低了约$0.05\omega_1$，但过冲减小到3%。如果希望放大器的频率响应没有过冲，则应取$m=2.41$，这时带宽约为$\omega_{3\mathrm{dB}}\approx1.72\omega_1$。

在图8-33中，M_3构成的源极跟随器作放大器的输出级，驱动50Ω的片外负载。源极跟随器具有很宽的带宽和近似为1的电压增益，适宜于作为宽带放大器的输出级。放大器的偏置V_{bias}通过宽带滤波器的交流接地点注入，避免了隔离电阻引入的热噪声对放大器噪声性能的影响。

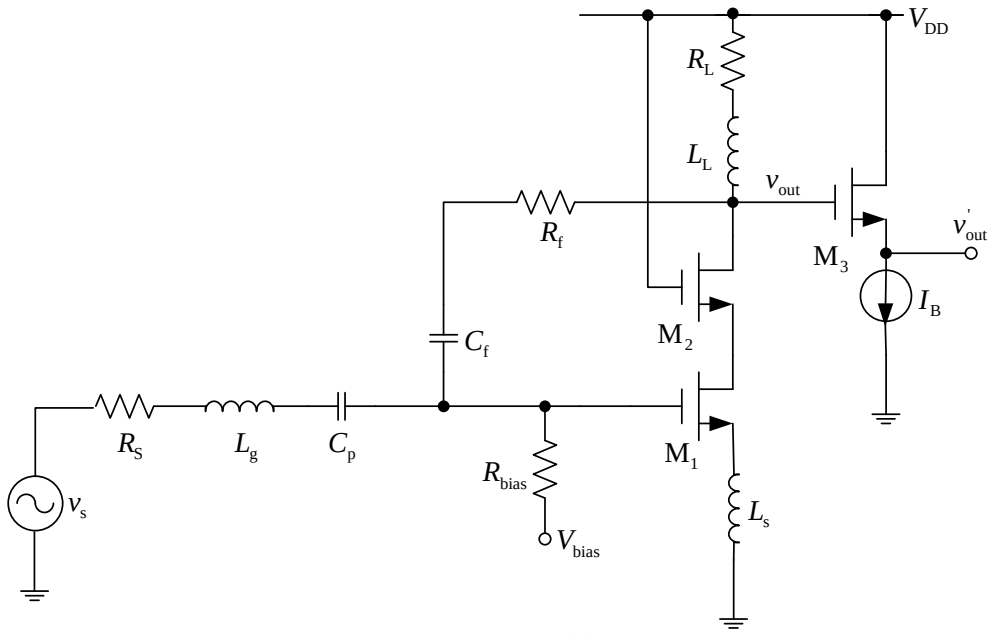
利用带通滤波器技术实现的宽带放大器可以达到很宽的带宽、平坦的增益，并具有很优的噪声性能，但它需要很多无源元件，这些无源元件在片实现会消耗大量的芯片面积，而且由于在片实现的无源元件的品质因子较差，会恶化放大器的噪声性能，如果采用片外元件，则会增加成本。

图8-34(a)给出了另一种结构的宽带低噪声放大器。 它在源简并电感型窄带放大器基础上引入了并联反馈回路，以降低输入端的品质因子，从而提高输入阻抗匹配网络的带宽。R_{f}是反馈电阻，C_{f}是交流耦合电容。图8-34(b)给出了该放大器输入端的小信号等效电路，其中$R_{\mathrm{fM}}=R_{\mathrm{f}}/(1-A_v)$ （A_v是放大器的开环电压增益）是R_{f}的Miller等效阻抗。由该图可以求出放大器输入端的品质因子为：

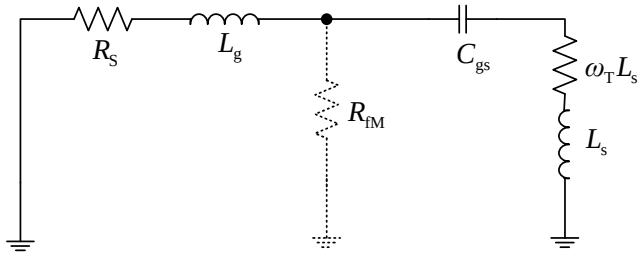
$$Q_{\mathrm{in}}\approx\frac{1}{[R_{\mathrm{S}}+\omega_{\mathrm{T}}L_{\mathrm{s}}+\frac{(\omega L_{\mathrm{g}})^2}{R_{\mathrm{fM}}}]\cdot\omega\cdot C_{\mathrm{gs}}} \tag{8-215}$$

因此通过并联反馈电阻R_{f}的作用，输入端的品质因子可以降低，从而扩展了系统带宽。

该放大器的设计可以先在带宽范围内的中心频点设计窄带放大器，然后选择R_{f}的数值来扩展系统带宽。该放大器的负载也采用了并联峰值结构，并使用源极跟随器作输出级来驱动片外的50Ω负载。



(a)



(b)

图 8-34 利用并联反馈技术的宽带低噪声放大器

§8.7 微波晶体管放大器设计方法

微波晶体管放大器是由晶体管和无源元件构成的单极微波放大器。由于微波晶体管放大器工作在微波频段，工作频率很高，具有一系列不同于低频放大器的特性，通过实践，人们总结了一套微波晶体管放大器的设计方法。该套设计方法将“波”的概念引入放大器的设计过程中，将微波晶体管放大器的稳定性、增益、噪声和阻抗匹配等性能参数用波的概念来表述，具有设计简单、直观等特点，在实际中得到了广泛的应用。虽然该套设计方法主要用来设计分立放大器，但其中引入的许多概念对我们设计射频集成放大器也具有重要的意义。在本节，我们将简要讲述微波晶体管放大器的设计方法，并引入恒增益圆、恒噪声系数圆、恒驻波系数圆和稳定性圆等概念。

微波晶体管放大器的电路结构一般如图8-35所示。 图中，用$[S]$矩阵来表示处于某一直流偏置下晶体管的S参数，Γ_{in} 是晶体管输入端的输入反射系数，Γ_{S}是从晶体管向信号源方向看过去的反射系数，Γ_{out}是晶体管输出端的输出反射系数，Γ_{L}是向负载端看过去的反射系数。在某一直流偏置条件下，微波晶体管放大器的性能仅与Γ_{S}和Γ_{L}有关。一旦Γ_{S}和Γ_{L}确定，就可以根据第三章讲述的阻抗匹配方法来设计输入阻抗匹配网络和输出阻抗匹配网络，所以微波晶体管放大器的设计实际上就是要确定Γ_{S}和Γ_{L}两个参数。为了分析的方便，一般将输入匹配电路归入到信号源的内阻中，输出匹配电路归入到负载阻抗中，并忽略直流偏置项，如图8-36所示。

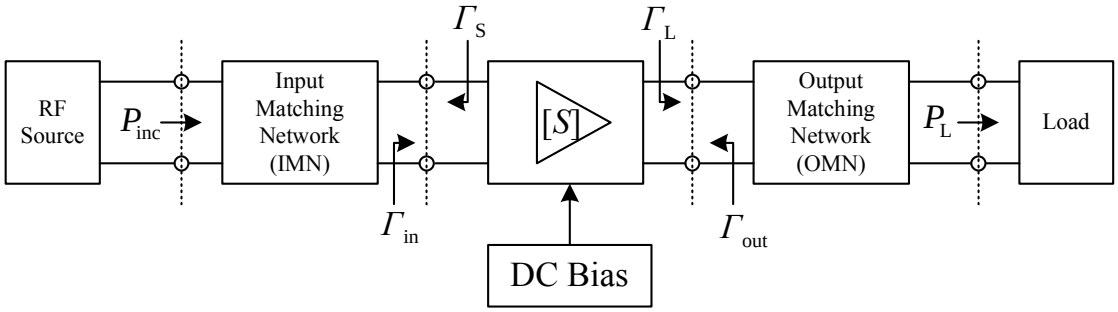


图 8-35 微波晶体管放大器的电路结构

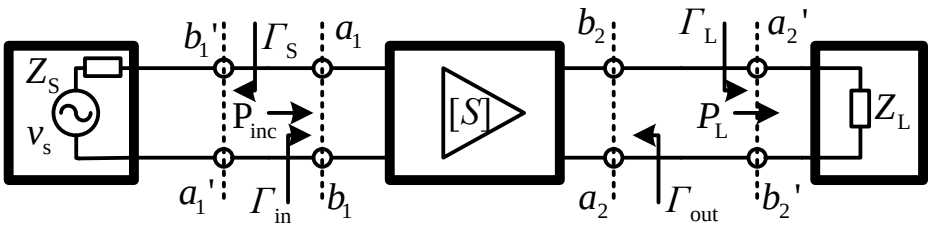


图 8-36 简化后的微波晶体管放大器的电路图

§8.7.1 功率增益关系

功率增益是衡量微波晶体管放大器的一个重要指标，由于定义条件的不同，功率增益的含义也不相同。在第四章中，我们已经引入了可获得功率增益G_a、工作功率增益G_P和传输功率增益G_t的概念。正确理解这些概念，对设计微波和射频放大器具有非常重要的意义。下面我们就来讨论这些功率增益和晶体管S参数、Γ_S和Γ_L之间的关系。

对于如图8-36所示的放大器，利用第二章介绍的信号流图分析法，可以画出如图8-37所示的信号流图。 其中

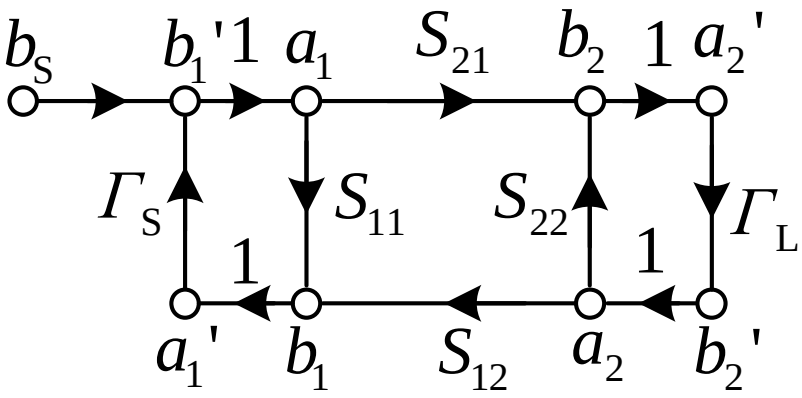


图 8-37 微波晶体管放大器的信号流图

$$b_S = \frac{\sqrt{Z_C}}{Z_S + Z_C} \tag{8-216}$$

由信号流图可知

$$b_S = b_1' - a_1'\Gamma_S \tag{8-217}$$

注意到$a_1' = b_1 = a_1\Gamma_{in} = b_1'\Gamma_{in}$

$$b_S = b_1'(1 - \Gamma_{in}\Gamma_S) \tag{8-218}$$

信号源输入到晶体管网络的功率为

$$P_{\text{inc}}=\frac{|a_1|^2}{2}=\frac{|b_1'|^2}{2}=\frac{1}{2}\frac{|b_{\text{S}}|^2}{|1-\Gamma_{\text{in}}\Gamma_{\text{S}}|^2} \tag{8-219}$$

该功率一部分为晶体管网络所吸收，另一部分则反射回信号源。晶体管网络所吸收的功率为

$$P_{\text{in}}=P_{\text{inc}}(1-|\Gamma_{\text{in}}|^2)=\frac{1}{2}\frac{|b_{\text{S}}|^2}{|1-\Gamma_{\text{in}}\Gamma_{\text{S}}|^2}(1-|\Gamma_{\text{in}}|^2) \tag{8-220}$$

当晶体管输入端达到共轭匹配时（$Z_{\text{in}}=Z_{\text{S}}^*$或$\Gamma_{\text{in}}=\Gamma_{\text{S}}^*$），晶体管网络所吸收的功率达到最大，称为晶体管网络的可获得功率P_{A}

$$P_{\text{A}}=P_{\text{in}}|_{\Gamma_{\text{in}}=\Gamma_{\text{S}}^*}=\frac{1}{2}\frac{|b_{\text{S}}|^2}{1-|\Gamma_{\text{S}}|^2} \tag{8-221}$$

负载所吸收的功率为

$$P_{\text{L}}=\frac{1}{2}|a_2'|^2(1-|\Gamma_{\text{L}}|^2)=\frac{1}{2}|b_2|^2(1-|\Gamma_{\text{L}}|^2) \tag{8-222}$$

对信号流图8-37进行化简，可建立b_2与b_{S}之间的关系

$$b_2=b_{\text{S}}\frac{S_{21}}{(1-S_{11}\Gamma_{\text{S}})(1-S_{22}\Gamma_{\text{L}})-S_{21}S_{12}\Gamma_{\text{L}}\Gamma_{\text{S}}} \tag{8-223}$$

则

$$P_{\text{L}}=\frac{1}{2}|b_{\text{S}}|^2\frac{|S_{21}|^2}{|(1-S_{11}\Gamma_{\text{S}})(1-S_{22}\Gamma_{\text{L}})-S_{21}S_{12}\Gamma_{\text{L}}\Gamma_{\text{S}}|^2}(1-|\Gamma_{\text{L}}|^2) \tag{8-224}$$

传输功率增益定义为负载所吸收的实际功率和晶体管网络从信号源所能吸收的最大功率之比，即

$$G_{\text{t}}=\frac{P_{\text{L}}}{P_{\text{A}}}=\frac{(1-|\Gamma_{\text{L}}|^2)|S_{21}|^2(1-|\Gamma_{\text{S}}|^2)}{|(1-S_{11}\Gamma_{\text{S}})(1-S_{22}\Gamma_{\text{L}})-S_{21}S_{12}\Gamma_{\text{L}}\Gamma_{\text{S}}|^2} \tag{8-225}$$

若晶体管网络的反向传输增益很小（$S_{12}\approx 0$），则传输功率增益可以简化为

$$G_{\text{tU}}=\frac{(1-|\Gamma_{\text{L}}|^2)|S_{21}|^2(1-|\Gamma_{\text{S}}|^2)}{|(1-S_{11}\Gamma_{\text{S}})(1-S_{22}\Gamma_{\text{L}})} \tag{8-226}$$

这时的传输功率增益称为单向传输功率增益。在很多电路中，都满足$S_{12}\approx 0$的条件，简化后的单向传输功率增益在实际中得到广泛应用。

由信号流图8-37可以推出Γ_{in}和Γ_{out}与晶体管网络的S参数、Γ_{L}、Γ_{S}之间的关系

$$\Gamma_{\text{in}}=\frac{b_1}{a_1}=S_{11}+\frac{S_{21}S_{12}\Gamma_{\text{L}}}{1-S_{22}\Gamma_{\text{L}}} \tag{8-227}$$

$$\Gamma_{\text{out}}=\frac{b_2}{a_2}=S_{22}+\frac{S_{12}S_{21}\Gamma_{\text{S}}}{1-S_{11}\Gamma_{\text{S}}} \tag{8-228}$$

Γ_{in}除了与S_{11}参数相关外，还是Γ_{L}的函数，而Γ_{out}除了与S_{22}参数相关外，还是Γ_{S}的函数。当$S_{12}=0$时，$\Gamma_{\text{in}}=S_{11}$，$\Gamma_{\text{out}}=S_{22}$，即$\Gamma_{\text{in}}$与负载阻抗无关，$\Gamma_{\text{out}}$与源端阻抗无关。

将式8-228代入式8-224

$$P_{\text{L}}=\frac{1}{2}|b_{\text{S}}|^2\frac{|S_{21}|^2}{|(1-\Gamma_{\text{L}}\Gamma_{\text{out}})(1-S_{11}\Gamma_{\text{S}})|^2}(1-|\Gamma_{\text{L}}|^2) \tag{8-229}$$

当晶体管输出端达到共轭匹配时（$Z_{\text{out}}=Z_{\text{L}}^*$或者$\Gamma_{\text{out}}=\Gamma_{\text{L}}^*$），负载所吸收的功率达到最大，称为负载的可获得功率P_{LA}

$$P_{\text{LA}}=P_{\text{L}}|_{\Gamma_{\text{out}}=\Gamma_{\text{L}}^*}=\frac{1}{2}|b_{\text{S}}|^2\frac{|S_{21}|^2}{(1-|\Gamma_{\text{L}}|^2)|1-S_{11}\Gamma_{\text{S}}|^2} \tag{8-230}$$

可获得功率增益定义为负载的可获得功率与晶体管网络的可获得功率之比

$$G_{\mathrm{a}}=\frac{P_{\mathrm{LA}}}{P_{\mathrm{A}}}=\frac{|S_{21}|^2(1-|\Gamma_{\mathrm{S}}|^2)}{(1-|\Gamma_{\mathrm{L}}|^2)|1-S_{11}\Gamma_{\mathrm{S}}|^2} \tag{8-231}$$

工作功率增益定义为负载所吸收的功率与晶体管网络从信号源所吸收的功率之比

$$G_{\mathrm{P}}=\frac{P_{\mathrm{L}}}{P_{\mathrm{in}}}=\frac{(1-|\Gamma_{\mathrm{L}}|^2)|S_{21}|^2}{(1-|\Gamma_{\mathrm{in}}|^2)|1-S_{22}\Gamma_{\mathrm{L}}|^2} \tag{8-232}$$

§8.7.2 恒增益圆

在微波晶体管放大器的设计方法中，有一种很重要的设计方法是单向化设计方法，这种设计方法假设晶体管网络的S_{12}很小，从而使得设计方程大大简化，便于电路的初始设计和分析，而且在很多实际电路中，S_{12}与S_{21}相比，是可以忽略的。本节我们仅介绍这种设计方法，更复杂的设计方法请参考本章后面给出的参考文献。

由式8-226可知，单向传输功率增益可以分解为三个因子之积

$$G_{\mathrm{tU}}=\frac{1-|\Gamma_{\mathrm{S}}|^2)}{|1-S_{11}\Gamma_{\mathrm{S}}|^2}\times|S_{21}|^2\times\frac{1-|\Gamma_{\mathrm{L}}|^2}{|1-\Gamma_{\mathrm{L}}S_{22}|^2}=G_{\mathrm{S}}\times|S_{21}|^2\times G_{\mathrm{L}} \tag{8-233}$$

其中

$$G_{\mathrm{S}}=\frac{1-|\Gamma_{\mathrm{S}}|^2)}{|1-S_{11}\Gamma_{\mathrm{S}}|^2} \tag{8-234}$$

$$G_{\mathrm{L}}=\frac{1-|\Gamma_{\mathrm{L}}|^2}{|1-\Gamma_{\mathrm{L}}S_{22}|^2} \tag{8-235}$$

G_{S}仅与晶体管网络输入端的参数Γ_{S}和S_{11}有关，是输入阻抗匹配网络对功率增益的贡献；G_{L}仅与晶体管网络输出端的参数Γ_{L}和S_{22}有关，是输出匹配网络对功率增益的贡献；而$|S_{21}|^2$是晶体管网络对功率增益的贡献。

如果晶体管网络的S参数和Γ_{S}、Γ_{L}已知，则可由式8-233来计算放大器的单向传输功率增益。但在设计放大器时，我们需要知道在已知晶体管网络的S参数情况下，如何确定Γ_{S}和Γ_{L}的数值，使得放大器的单向传输功率增益达到某一个特定值。因为晶体管网络的S_{21}参数已知，该问题等效于如何确定Γ_{S}和Γ_{L}的数值，使得G_{S}与G_{L}之积达到某一特定值。为了避免迭代过程，一般将输入阻抗匹配网络和输出阻抗匹配网络分开设计，这时上述问题简化为如何确定Γ_{S}和Γ_{L}，使得输入阻抗匹配网络的增益G_{S}和输出匹配网络的增益G_{L}都为某一个特定的数值，即求解方程

$$G_{\mathrm{I}}=\frac{1-|\Gamma_{\mathrm{I}}|^2}{|1-S_{\mathrm{ii}}\Gamma_{\mathrm{I}}|^2} \tag{8-236}$$

其中，$\mathrm{I}=\mathrm{S},\mathrm{L}$，$\mathrm{i}=1,2$。

可以证明，上述方程的解Γ_{I}是一个以d_{I}为圆心、r_{I}为半径的圆，称为恒增益圆

$$(\Gamma_{\mathrm{I}}^{\mathrm{R}}-d_{\mathrm{I}}^{\mathrm{R}})^2+(\Gamma_{\mathrm{I}}^{\mathrm{I}}-d_{\mathrm{I}}^{\mathrm{I}})^2=r_{\mathrm{I}}^2 \tag{8-237}$$

其中，$\Gamma_{\mathrm{I}}=\Gamma_{\mathrm{I}}^{\mathrm{R}}+\mathrm{j}\Gamma_{\mathrm{I}}^{\mathrm{I}}$，$d_{\mathrm{I}}=d_{\mathrm{I}}^{\mathrm{R}}+\mathrm{j}d_{\mathrm{I}}^{\mathrm{I}}$，

$$d_{\mathrm{I}}=\frac{G_{\mathrm{I}}S_{\mathrm{ii}}^*}{G_{\mathrm{I}}|S_{\mathrm{ii}}|^2+1} \tag{8-238}$$

$$r_{\mathrm{I}}=\frac{\sqrt{1-G_{\mathrm{I}}+G_{\mathrm{I}}|S_{\mathrm{ii}}|^2}}{G_{\mathrm{I}}|S_{\mathrm{ii}}|^2+1} \tag{8-239}$$

从式8-234可以看出，当$\Gamma_{\mathrm{I}}=S_{\mathrm{ii}}^*$时，$G_{\mathrm{I}}$达到最大值

$$G_{\mathrm{Imax}}=\frac{1}{1-|S_{\mathrm{ii}}|^2} \tag{8-240}$$

由式8-238可知，当G_{I}取最大值时，$d_{\mathrm{I}}=S_{\mathrm{ii}}^{*}$，$r_{\mathrm{I}}=0$，即$G_{\mathrm{I}}$取最大值时，恒增益圆缩小为一点。当$G_{\mathrm{I}}$减小时，恒增益圆的圆心向$\Gamma_{\mathrm{I}}$ 平面的原点方向移动，半径增大；当$G_{\mathrm{I}}\to 0$时，$d_{\mathrm{I}}\to 0$，$r_{\mathrm{I}}\to 1$，方程8-237对应于Γ_{I}平面上的单位圆。若给出一系列的G_{I}值，则有一系列的d_{I}和r_{I}，方程8-237对应于Γ_{I}平面上的一系列恒增益圆，且圆心都在Γ_{I}平面的原点到S_{ii}^{*}的连线上，如图8-38所示。

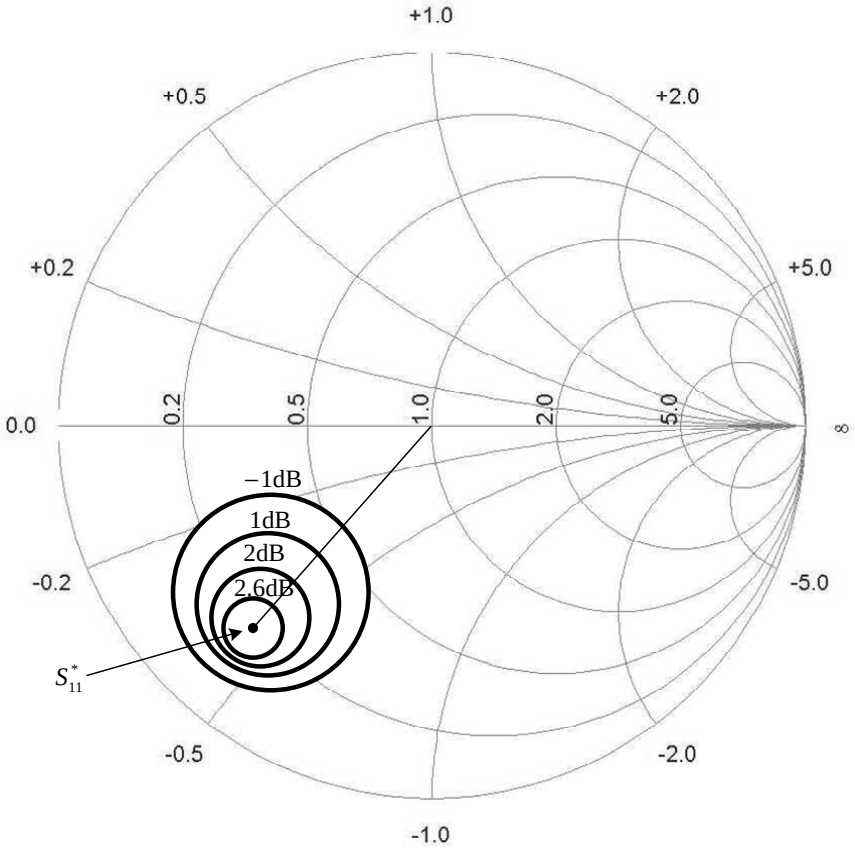


图 8-38 Smith圆图上的恒增益圆

下面我们来讨论假设$S_{12}=0$所带来的误差。由式8-225和8-226可知，单向传输功率增益和传输功率增益之比为

$$\frac{G_{\mathrm{t}}}{G_{\mathrm{tU}}}=\frac{1}{\left|1-\frac{S_{12}S_{21}\Gamma_{\mathrm{L}}\Gamma_{\mathrm{S}}}{(1-S_{11}\Gamma_{\mathrm{S}})(1-S_{22}\Gamma_{\mathrm{L}})}\right|^{2}} \tag{8-241}$$

当$\Gamma_{\mathrm{S}}=S_{11}^{*}$、$\Gamma_{\mathrm{L}}=S_{22}^{*}$时，式8-241取最大值

$$\left(\frac{G_{\mathrm{t}}}{G_{\mathrm{tU}}}\right)_{\max}=\frac{1}{\left|1-\frac{S_{12}S_{21}S_{22}^{*}S_{11}^{*}}{(1-|S_{11}|^{2})(1-|S_{22}^{2}|)}\right|^{2}} \tag{8-242}$$

令

$$\mathrm{U}=\frac{|S_{12}||S_{21}||S_{22}||S_{11}|}{(1-|S_{11}|^{2})(1-|S_{22}|^{2})} \tag{8-243}$$

U称为单向化判别因子，则

$$\frac{1}{(1+\mathrm{U})^{2}}\le\frac{G_{\mathrm{t}}}{G_{\mathrm{tU}}}\le\frac{1}{(1-\mathrm{U})^{2}} \tag{8-244}$$

可利用上式来估算假设$S_{12}=0$所带来的增益误差。

【例8.1】当工作频率为2.4GHz时，测得一个MOS晶体管在某一直流偏置下的S参数为$S_{11}=0.5\angle -60°$，$S_{12}=0.02\angle 0°$，$S_{21}=6.5\angle 115°$，$S_{22}=0.6\angle -35°$。

（1）试计算该晶体管组成的单级放大器的最大单向传输功率增益；

（2）若假设该晶体管组成的单级放大器的输入端实现了阻抗匹配，试调节输出反射系数，使得放大器的单向传输增益为18dB。

（3）估计采用单向化设计方法所引入的误差。

解：（1）当$\Gamma_{\mathrm{S}}=S_{11}^{*}$时，$G_{\mathrm{S}}$达到最大值

$$G_{\mathrm{Smax}}=\frac{1}{1-0.5^{2}}=1.33 \tag{8-245}$$

当$\Gamma_{\mathrm{L}}=S_{22}^{*}$时，$G_{\mathrm{L}}$达到最大值

$$G_{\mathrm{Lmax}}=\frac{1}{1-0.6^{2}}=1.56 \tag{8-246}$$

由式8-233可知，由该晶体管组成的单级放大器的最大单向传输功率增益为

$$G_{\mathrm{tUmax}}=G_{\mathrm{Smax}}*|S_{21}|^{2}*G_{\mathrm{Lmax}}=1.33*6.5^{2}*1.56=88.02 \tag{8-247}$$

若以分贝表示，则

$$G_{\mathrm{tUmax}}=19.45\mathrm{dB} \tag{8-248}$$

(2)当该晶体管组成的单级放大器的输入端实现了阻抗匹配时，$G_{\mathrm{S}}=1.33$，为了保证整个放大器的单向传输功率增益达到18dB，G_{L}应该为0.49dB。由式8-238可知

$$d_{\mathrm{L}}=\frac{G_{\mathrm{I}}S_{\mathrm{ii}}^{*}}{G_{\mathrm{I}}|S_{\mathrm{ii}}|^{2}+1}=0.39+\mathrm{j}0.28 \tag{8-249}$$

$$r_{\mathrm{L}}=\frac{\sqrt{1-G_{\mathrm{I}}+G_{\mathrm{I}}|S_{\mathrm{ii}}|^{2}}}{G_{\mathrm{I}}|S_{\mathrm{ii}}|^{2}+1}=0.38 \tag{8-250}$$

则使得放大器的单向传输功率增益达到18dB的输出反射系数位于一个圆上，如图8-39所示。

$$(\Gamma_{\mathrm{L}}^{\mathrm{R}}-0.39)^{2}+(\Gamma_{\mathrm{L}}^{\mathrm{I}}-0.28)^{2}=0.14 \tag{8-251}$$

(3)单向化判别因子

$$\mathrm{U}=\frac{0.02*6.5*0.6*0.5}{(1-0.5^{2})(1-0.6^{2})}=0.081 \tag{8-252}$$

则单向化设计所能引入的误差范围为

$$0.86\leq\frac{G_{\mathrm{t}}}{G_{\mathrm{tU}}}\leq 1.18 \tag{8-253}$$

这说明单向化设计所引入的误差最大可以达到18%，但这个误差估计被放大了，在实际实现中，单向化设计所引入的误差要小得多。例如，在图8-39所示的恒增益圆上取一点，如$\Gamma_{\mathrm{L}}=0.03+\mathrm{j}0.17$，则$G_{\mathrm{tU}}=18\mathrm{dB}$，而由式8-225可知，$G_{\mathrm{t}}=17.98\mathrm{dB}$，即误差小于1%。

§8.7.3 恒噪声系数圆

在低噪声放大器的设计过程中，除了增益外，另一个特别重要的参数是噪声系数，它反映了放大器的噪声性能。同恒增益圆一样，可以通过引入恒噪声系数圆来简化设计过程。恒噪声系数圆表示了在保持放大器的噪声系数不变的情况下源输入反射系数Γ_{S}的取值范围。

在§8.1一节中，我们已知道放大器的噪声因子可以用下式来表示

$$\mathrm{F}=\mathrm{F}_{\mathrm{min}}+\frac{R_{\mathrm{n}}}{G_{\mathrm{s}}}[(G_{\mathrm{s}}-G_{\mathrm{opt}})^{2}+(B_{\mathrm{s}}-B_{\mathrm{opt}})^{2}] \tag{8-254}$$

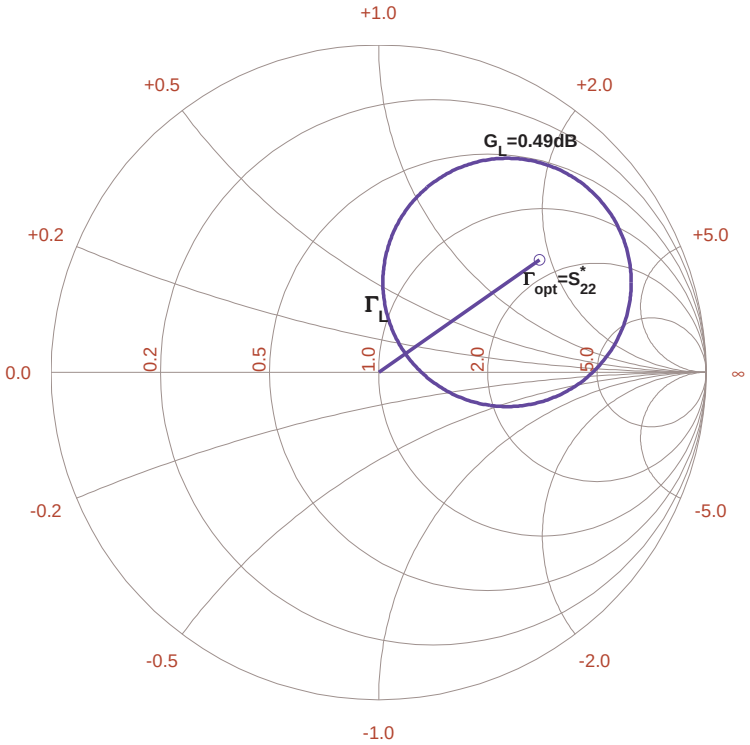


图 8-39 Smith圆图上的恒增益圆

其中，$\mathrm{F}_{\min}$为最小噪声因子，R_{n}为等效噪声阻抗，$Y_{\mathrm{opt}}=G_{\mathrm{opt}}+\mathrm{j}B_{\mathrm{opt}}$为优化源导纳，这四个参数是晶体管的噪声参数，表示了晶体管的噪声性能。

为了推导出Γ_{S}与噪声因子之间的关系，需要将源导纳用反射系数来表示

$$Y_{\mathrm{S}}=Y_0\frac{1-\Gamma_{\mathrm{S}}}{1+\Gamma_{\mathrm{S}}} \tag{8-255}$$

$$Y_{\mathrm{opt}}=Y_0\frac{1-\Gamma_{\mathrm{opt}}}{1+\Gamma_{\mathrm{opt}}} \tag{8-256}$$

其中，Y_0为特征导纳，Γ_{S}为源反射系数，Γ_{opt}为噪声因子取最小值时的源反射系数。

注意到$G_{\mathrm{S}}=Y_0(1-|\Gamma_{\mathrm{S}}|^2)/(|1+\Gamma_{\mathrm{S}}|^2)$，则式8-254可以表示为

$$\mathrm{F}=\mathrm{F}_{\min}+\frac{4R_{\mathrm{n}}Y_0}{|1+\Gamma_{\mathrm{opt}}|^2}\frac{|\Gamma_{\mathrm{S}}-\Gamma_{\mathrm{opt}}|^2}{1-|\Gamma_{\mathrm{S}}|^2} \tag{8-257}$$

即

$$\frac{|\Gamma_{\mathrm{S}}-\Gamma_{\mathrm{opt}}|^2}{1-|\Gamma_{\mathrm{S}}|^2}=|1+\Gamma_{\mathrm{opt}}|^2\frac{\mathrm{F}-\mathrm{F}_{\min}}{4R_{\mathrm{n}}Y_0} \tag{8-258}$$

可以证明，当F为常数时，Γ_{S}的曲线是一个圆，称为恒噪声系数圆

$$(\Gamma_{\mathrm{S}}^{\mathrm{R}}-d_{\mathrm{F}}^{\mathrm{R}})^2+(\Gamma_{\mathrm{S}}^{\mathrm{I}}-d_{\mathrm{F}}^{\mathrm{I}})^2=r_{\mathrm{F}}^2 \tag{8-259}$$

其圆心为

$$d_{\mathrm{F}}=d_{\mathrm{F}}^{\mathrm{R}}+\mathrm{j}d_{\mathrm{F}}^{\mathrm{I}}=\frac{\Gamma_{\mathrm{opt}}}{1+Q_{\mathrm{F}}} \tag{8-260}$$

半径为

$$r_{\mathrm{F}}=\frac{\sqrt{(1-|\Gamma_{\mathrm{opt}}|^2)Q_{\mathrm{F}}+Q_{\mathrm{F}}^2}}{1+Q_{\mathrm{F}}} \tag{8-261}$$

其中

$$Q_{\mathrm{F}}=|1+\Gamma_{\mathrm{opt}}|^2\frac{\mathrm{F}-\mathrm{F}_{\mathrm{min}}}{4R_{\mathrm{n}}Y_0} \tag{8-262}$$

当F取最小值$\mathrm{F}_{\mathrm{min}}$时，$d_{\mathrm{F}}=\Gamma_{\mathrm{opt}}$，$r_{\mathrm{F}}=0$，即F取最小值时，恒噪声系数圆缩小为一点。当F增大时，恒噪声系数圆的圆心向Γ_{S}平面的原点方向移动，半径增大；当$\mathrm{F}\to\infty$时，$d_{\mathrm{F}}\to 0$，$r_{\mathrm{F}}\to 1$，方程8-259对应于Γ_{S}平面上的单位圆。若给出一系列的F值，则有一系列的d_{F}和r_{F}，方程8-259对应于Γ_{S}平面上的一系列恒噪声系数圆，且圆心都在Γ_{S}平面的原点到Γ_{opt}的连线上，如图8-40所示。

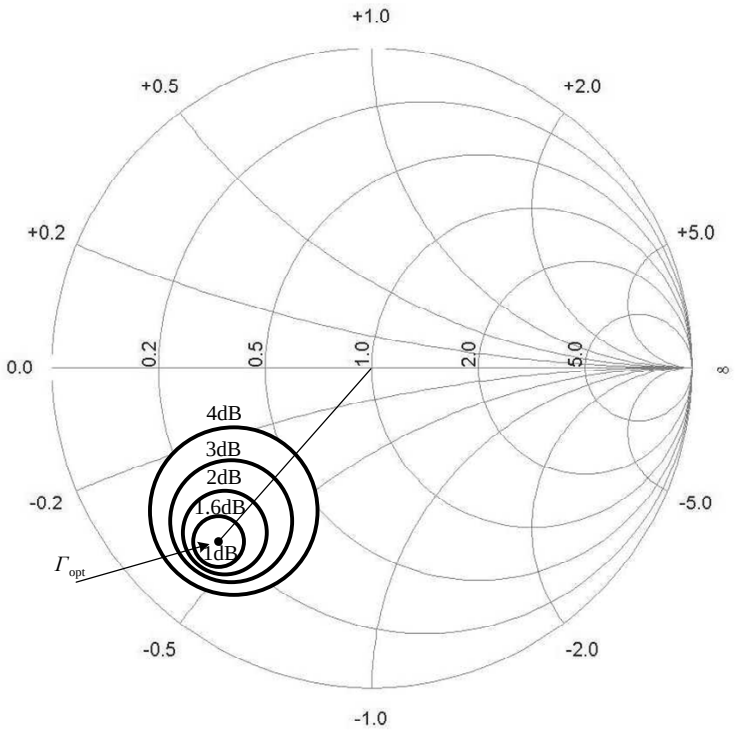


图 8-40 Smith圆图上的恒噪声系数圆

§8.7.4 恒驻波系数圆

在晶体管放大器中，一般都有输入阻抗匹配网络和输出阻抗匹配网络，如图8-41所示。 它们的作

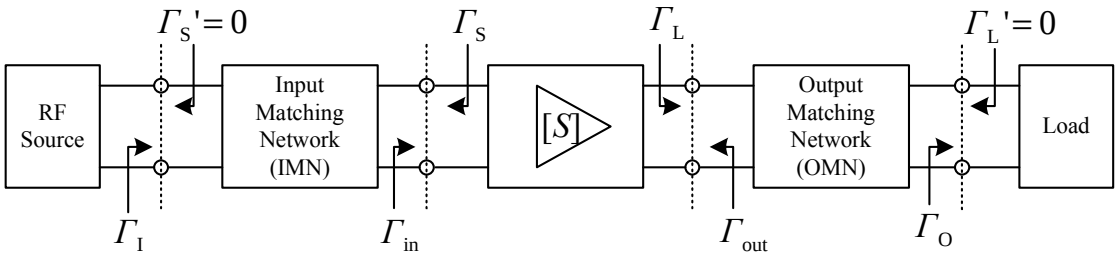


图 8-41 输入阻抗匹配网络和输出阻抗匹配网络在微波晶体管放大器中的作用

用是调节放大器的输入阻抗和输出阻抗，以满足阻抗匹配的要求。在微波电路中，一般用输入驻波系数$\mathrm{VSWR}_{\mathrm{I}}$和输出驻波系数$\mathrm{VSWR}_{\mathrm{O}}$来表示放大器的输入阻抗匹配性能和输出阻抗匹配性能，它们和输入反射系数Γ_{I}、输出反射系数Γ_{O}之间的关系为

$$\mathrm{VSWR}_{\mathrm{I}}=\frac{1+|\Gamma_{\mathrm{I}}|}{1-|\Gamma_{\mathrm{I}}|} \tag{8-263}$$

$$\mathrm{VSWR_O}=\frac{1+|\Gamma_\mathrm{O}|}{1-|\Gamma_\mathrm{O}|} \tag{8-264}$$

此处的输入反射系数Γ_I是放大器输入端的反射系数，可以证明，当输入阻抗匹配网络是无损网络时，Γ_I同晶体管输入端的输入反射系数Γ_in和源反射系数Γ_S之间的关系为

$$|\Gamma_\mathrm{I}|=\left|\frac{\Gamma_\mathrm{in}^*-\Gamma_\mathrm{S}}{1-\Gamma_\mathrm{S}\Gamma_\mathrm{in}}\right| \tag{8-265}$$

即

$$\frac{\mathrm{VSWR_I}-1}{\mathrm{VSWR_I}+1}=\left|\frac{\Gamma_\mathrm{in}^*-\Gamma_\mathrm{S}}{1-\Gamma_\mathrm{S}\Gamma_\mathrm{in}}\right| \tag{8-266}$$

同恒增益圆和恒噪声系数圆一样，可以通过引入恒驻波系数圆来简化设计过程，恒驻波系数圆表示了当输入或者输出驻波系数为某一常数时，晶体管输入端的源反射系数Γ_S 或者晶体管输出端的负载反射系数Γ_L可以取值的范围。将式8-266进行一系列的代数操作后，可转变为一个圆方程，即为恒输入驻波系数圆方程

$$(\Gamma_\mathrm{S}^\mathrm{R}-d_\mathrm{VI}^\mathrm{R})^2+(\Gamma_\mathrm{S}^\mathrm{I}-d_\mathrm{VI}^\mathrm{I})^2=r_\mathrm{VI}^2 \tag{8-267}$$

其中

$$d_\mathrm{VI}=d_\mathrm{VI}^\mathrm{R}+\mathrm{j}d_\mathrm{VI}^\mathrm{I}=\frac{[(\mathrm{VSWR_I}+1)^2-(\mathrm{VSWR_I}-1)^2]\Gamma_\mathrm{in}^*}{(\mathrm{VSWR_I}+1)^2-(\mathrm{VSWR_I}-1)^2|\Gamma_\mathrm{in}|^2} \tag{8-268}$$

$$r_\mathrm{VI}=\frac{(\mathrm{VSWR_I}^2-1)(1-|\Gamma_\mathrm{in}|^2)}{(\mathrm{VSWR_I}+1)^2-(\mathrm{VSWR_I}-1)^2|\Gamma_\mathrm{in}|^2} \tag{8-269}$$

当晶体管的$|S_{12}|$很小时，由该晶体管组成的放大器是一个单向化放大器，晶体管输出端所接负载对Γ_in没有影响。由式8-227可知

$$\Gamma_\mathrm{in}\approx S_{11} \tag{8-270}$$

这时恒输入驻波系数圆的圆心和半径简化为

$$d_\mathrm{VI}=\frac{[(\mathrm{VSWR_I}+1)^2-(\mathrm{VSWR_I}-1)^2]S_{11}^*}{(\mathrm{VSWR_I}+1)^2-(\mathrm{VSWR_I}-1)^2|S_{11}|^2} \tag{8-271}$$

$$r_\mathrm{VI}=\frac{(\mathrm{VSWR_I}^2-1)(1-|S_{11}|^2)}{(\mathrm{VSWR_I}+1)^2-(\mathrm{VSWR_I}-1)^2|S_{11}|^2} \tag{8-272}$$

当$\mathrm{VSWR_I}=1$时，$d_\mathrm{VI}=S_{11}^*$，$r_\mathrm{VI}=0$，即$\mathrm{VSWR_I}$取最小值1时，恒驻波系数圆缩小为一点。当$\mathrm{VSWR_I}$增大时，恒驻波系数圆的圆心向Γ_S平面的原点方向移动，半径增大；当$\mathrm{VSWR_I}\to\infty$时，$d_\mathrm{VI}\to 0$，$r_\mathrm{VI}\to 1$，方程8-267对应于Γ_S平面上的单位圆。若给出一系列的$\mathrm{VSWR_I}$值，则有一系列的d_VI和r_VI，方程8-267对应于Γ_S平面上的一系列恒驻波系数圆，且圆心都在Γ_S平面的原点到S_{11}^*的连线上。

同理，当输出驻波系数为某一常数时，晶体管输出端的负载反射系数Γ_L曲线也是一个圆

$$(\Gamma_\mathrm{L}^\mathrm{R}-d_\mathrm{VO}^\mathrm{R})^2+(\Gamma_\mathrm{L}^\mathrm{I}-d_\mathrm{VO}^\mathrm{I})^2=r_\mathrm{VO}^2 \tag{8-273}$$

其中

$$d_\mathrm{VO}=d_\mathrm{VO}^\mathrm{R}+\mathrm{j}d_\mathrm{VO}^\mathrm{I}=\frac{[(\mathrm{VSWR_O}+1)^2-(\mathrm{VSWR_O}-1)^2]\Gamma_\mathrm{out}^*}{(\mathrm{VSWR_O}+1)^2-(\mathrm{VSWR_O}-1)^2|\Gamma_\mathrm{out}|^2} \tag{8-274}$$

$$r_\mathrm{VO}=\frac{(\mathrm{VSWR_O}^2-1)(1-|\Gamma_\mathrm{out}|^2)}{(\mathrm{VSWR_O}+1)^2-(\mathrm{VSWR_O}-1)^2|\Gamma_\mathrm{out}|^2} \tag{8-275}$$

在单向化设计中，其圆心和半径简化为

$$d_\mathrm{VO}=\frac{[(\mathrm{VSWR_O}+1)^2-(\mathrm{VSWR_O}-1)^2]S_{22}^*}{(\mathrm{VSWR_O}+1)^2-(\mathrm{VSWR_O}-1)^2|S_{22}|^2} \tag{8-276}$$

$$r_{VO}=\frac{(VSWR_O{}^2-1)(1-|S_{22}|^2)}{(VSWR_O+1)^2-(VSWR_O-1)^2|S_{22}|^2} \tag{8-277}$$

当$VSWR_O=1$时，$d_{VO}=S_{22}^*$，$r_{VO}=0$，即$VSWR_O$取最小值1时，等驻波系数圆缩小为一点。当$VSWR_O$增大时，恒驻波系数圆的圆心向Γ_L平面的原点方向移动，半径增大；当$VSWR_O\to\infty$时，$d_{VO}\to 0$，$r_{VO}\to 1$，方程8-273对应于Γ_L平面上的单位圆。若给出一系列的$VSWR_O$值，则有一系列的d_{VO}和r_{VO}，方程8-273 对应于Γ_L平面上的一系列恒驻波系数圆，且圆心都在Γ_L平面的原点到S_{22}^*的连线上。

§8.7.5 稳定性圆

稳定性是设计任何类型的放大器都必须考虑的问题，对于高频放大器也不例外。但不同于低频下用相位裕度来衡量一个放大器的稳定性，微波放大器有一套不同的判别稳定性的方法，该方法将放大器的稳定性考虑同晶体管输入端的源反射系数Γ_S和晶体管输出端的负载反射系数Γ_L结合起来，使得在应用各种圆方程（如恒增益圆、恒噪声系数圆、恒驻波系数圆等）设计放大器时就可以将稳定性考虑在内，非常简洁、直观。本小节就简要的介绍这种方法。

对于一个微波晶体管放大器来说，稳定性隐含着晶体管输入端和输出端的各种反射系数的幅度都必须小于1，否则说明反射波的幅度要大于入射波，晶体管网络或者匹配网络本身在提供能量，即发生了振荡。故一个微波晶体管放大器的稳定性条件为

$$|\Gamma_S|<1\quad |\Gamma_L|<1 \tag{8-278}$$

$$|\Gamma_{in}|<1\quad |\Gamma_{out}|<1 \tag{8-279}$$

式8-278说明，为了保证放大器的稳定性，Γ_S和Γ_L必须在单位圆内取值。

而式8-279则比较复杂，若S_{12}很小，微波放大器为一个单向化放大器，则由式8-227和8-228可知8-279等同于

$$|S_{11}|<1\quad |S_{22}|<1 \tag{8-280}$$

对于这种单向化微波晶体管放大器，稳定性判别很简单，只要晶体管网络的S_{11}和S_{22}的幅度小于1，并且Γ_S和Γ_L在单位圆内取值，则放大器就是稳定的。

但当$|S_{12}|$的值比较大时，稳定性判别就要复杂得多，由式8-227和8-228可知这时的稳定性条件8-279为

$$|\Gamma_{in}|=\left|S_{11}+\frac{S_{21}S_{12}\Gamma_L}{1-S_{22}\Gamma_L}\right|<1 \tag{8-281}$$

$$|\Gamma_{out}|=\left|S_{22}+\frac{S_{21}S_{12}\Gamma_S}{1-S_{11}\Gamma_S}\right|<1 \tag{8-282}$$

对于临界情况

$$|\Gamma_{in}|=\left|S_{11}+\frac{S_{21}S_{12}\Gamma_L}{1-S_{22}\Gamma_L}\right|=1 \tag{8-283}$$

$$|\Gamma_{out}|=\left|S_{22}+\frac{S_{21}S_{12}\Gamma_S}{1-S_{11}\Gamma_S}\right|=1 \tag{8-284}$$

可以证明，它们表示了两条圆曲线，分别是$|\Gamma_{in}|=1$和$|\Gamma_{out}|=1$在Γ_L和Γ_S平面上的映射圆，称为输出稳定性圆和输入稳定性圆

$$|\Gamma_L-C_{out}|^2=(\Gamma_L^R-C_{out}^R)^2+(\Gamma_L^I-C_{out}^I)^2=r_{out}^2 \tag{8-285}$$

$$|\Gamma_S-C_{in}|^2=(\Gamma_S^R-C_{in}^R)^2+(\Gamma_S^I-C_{in}^I)^2=r_{in}^2 \tag{8-286}$$

其中，$\Gamma_{\mathrm{L}}=\Gamma_{\mathrm{L}}^{\mathrm{R}}+\mathrm{j}\Gamma_{\mathrm{L}}^{\mathrm{I}}$，$\Gamma_{\mathrm{S}}=\Gamma_{\mathrm{S}}^{\mathrm{R}}+\mathrm{j}\Gamma_{\mathrm{S}}^{\mathrm{I}}$

输出稳定性圆的圆心为

$$C_{\mathrm{out}}=C_{\mathrm{out}}^{\mathrm{R}}+\mathrm{j}C_{\mathrm{out}}^{\mathrm{I}}=\frac{(S_{22}-S_{11}^{*}\Delta)^{*}}{|S_{22}|^{2}-|\Delta|^{2}} \tag{8-287}$$

半径为

$$r_{\mathrm{out}}=\frac{|S_{12}S_{21}|}{||S_{22}^{2}-|\Delta|^{2}|} \tag{8-288}$$

输入稳定性圆的圆心为

$$C_{\mathrm{in}}=C_{\mathrm{in}}^{\mathrm{R}}+\mathrm{j}C_{\mathrm{in}}^{\mathrm{I}}=\frac{(S_{11}-S_{22}^{*}\Delta)^{*}}{|S_{11}|^{2}-|\Delta|^{2}} \tag{8-289}$$

半径为

$$r_{\mathrm{in}}=\frac{|S_{12}S_{21}|}{||S_{11}^{2}-|\Delta|^{2}|} \tag{8-290}$$

其中，$\Delta=S_{11}S_{22}-S_{12}S_{21}$。

输出稳定性圆（输入稳定性圆）将Γ_{L}（Γ_{S}）平面分为圆内部分和圆外部分。Γ_{L}（Γ_{S}）平面的原点，即$\Gamma_{\mathrm{L}}=0$（$\Gamma_{\mathrm{S}}=0$）点，$\Gamma_{\mathrm{in}}=S_{11}$（$\Gamma_{\mathrm{out}}=S_{22}$）。若$|S_{11}|<1$（$|S_{22}|<1$），说明$\Gamma_{\mathrm{L}}$（$\Gamma_{\mathrm{S}}$）平面的原点是稳定点。如果输出稳定性圆（输入稳定性圆）包含Γ_{L}（Γ_{S}）平面的原点，则Γ_{L}（Γ_{S}）平面的单位圆与稳定性圆的圆内部分相交的区域为稳定性区域，单位圆的其它区域为不稳定性区域；如果输出稳定性圆（输入稳定性圆）不包含Γ_{L}（Γ_{S}）平面的原点，则Γ_{L}（Γ_{S}）平面的单位圆与稳定性圆的圆内部分不相交的区域为稳定性区域，单位圆的其它区域为不稳定性区域。图8-42～图8-43对输入稳定性区域和输出稳定性区域进行了说明。若$|S_{11}|>1$（$|S_{22}|>1$），稳定性的判别方法与以上情况正好相反，但晶体管的$|S_{11}|$和$|S_{22}|$ 通常都是小于1的，故这种情况在实际中一般不会遇到。

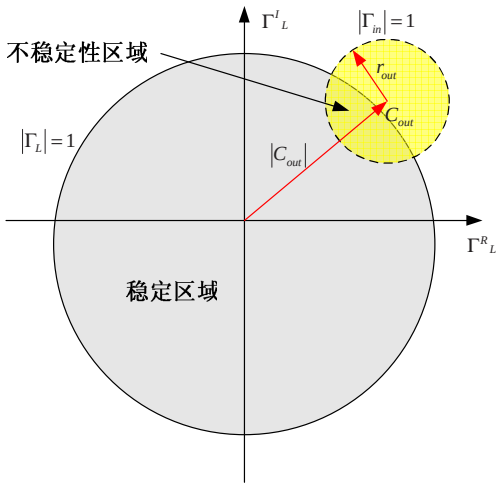


图 8-42 输出稳定性圆

若输出稳定性圆（输入稳定性圆）与Γ_{L}（Γ_{S}）平面的单位圆没有重叠区域，并且$|S_{11}|<1$（$|S_{22}|<1$），则Γ_{L}（Γ_{S}）平面的单位圆上的所有取值都满足稳定性条件，这时放大器称为输入无条件稳定（输出无条件稳定）。图8-44～图8-45 所示的就是输出和输入无条件稳定情况。 输入、输出同时无条件稳定的充分必要条件为

$$|S_{11}|<1 \tag{8-291}$$

$$|S_{22}|<1 \tag{8-292}$$

$$|\Delta|=|S_{11}S_{22}-S_{12}S_{21}|<1 \tag{8-293}$$

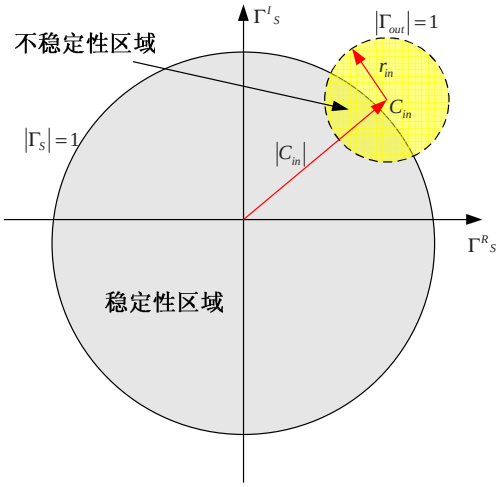


图 8-43 输入稳定性圆

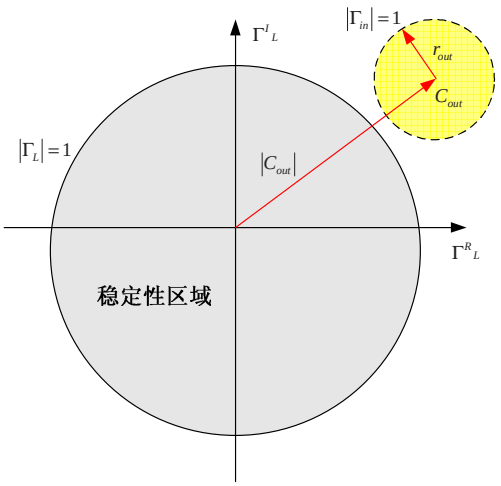


图 8-44 输出无条件稳定

$$\mathrm{K}=\frac{1-|S_{11}|^2-|S_{22}|^2+|\Delta|^2}{2|S_{12}||S_{21}|}>1 \tag{8-294}$$

K一般称为稳定性判别因子。

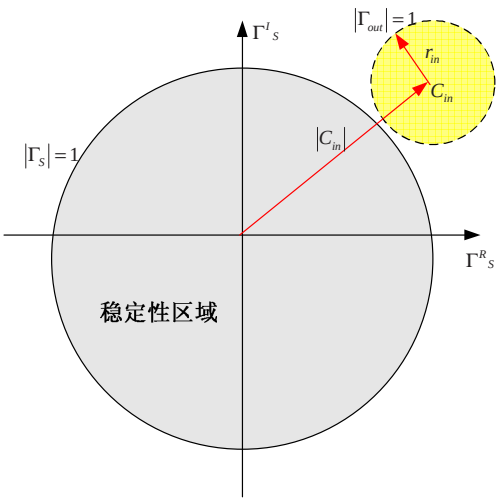


图 8-45 输入无条件稳定

§8.8 总结

本章集中讨论了集成射频低噪声放大器设计过程中所遇到的各种问题。首先介绍两端口网络的噪声理论，并讨论了MOS晶体管的两端口网络参数，它们是分析低噪声放大器的噪声特性的基础；然后介绍了低噪声放大器的拓扑结构，并针对最常用的源简并电感型共源放大器结构，详细介绍了设计中要考虑的各种因素，在此基础上，引入了等高线设计法，这一部分是本章的重点。然后简单的讨论了两种宽带低噪声放大器电路，最后为了引入有关概念，介绍了以S参数为基础的微波晶体管放大器的设计方法。

参考文献

1 Ludwig R, Bretchko P. RF Circuit Design—Theory and Applications. New Jersey: Prentice-Hall, Inc., 2000

2 Lee T H. The Design of CMOS Radio-Frequency Integrated Circuits(Second Edition). U.S.A.: Cambridge University Press, 2004

3 Janssens J, Steyaert M. CMOS Cellular Receiver Front-ends: From Specification to Realization. Boston/Dordrecht/London: KLUWER Academic Publishers, 2002

4 Ytterdal T, Cheng Y, Fjeldly T A. Device Modeling for Analog and RF CMOS Circuit Design. England: John Wiley & Sons Ltd, 2003

5 Bevilacqua A, Niknejad A M. An Ultra-Wideband CMOS LNA for 3.1 to 10.6GHz Wireless Receiver. 2004 IEEE International Solid-State Circuits Conference, 2004

6 Kim Chang-Wan, Kang Min-Suk, Anh Phan Tuan, etc. An Ultra-Wideband CMOS Low Noise Amplifier for 3-5GHz UWB System. IEEE Journal of Solid-State Circuits, 2005, 40(2): 544-547

7 Rogers John, Plett Calvin. Radio Frequency Integrated Circuit Design. Bosto.London: Artech House, 2003

8 Shaeffer D K. The Design and Implementation of Low-Power CMOS Radio Receivers. Ph.D Thesis of Stanford University, 1998

9 Rofougaran A, Chang James Y C, Rofougaran M, etc. A 1 GHz CMOS RF Front-End IC for a Direct-Conversion Wireless Receiver. IEEE Journal of Solid-State Circuits, 1996, 31(7): 880-889

10 Huang Qiuting, Orsatti P, Piazza F. GSM Transceiver Front-End Circuits in 0.25-μm CMOS, IEEE Journal of Solid-State Circuits, 1999, 34(3): 292-303

习题

1. 利用第六章介绍的双极型晶体管噪声模型，推导双极型晶体管的两端口网络噪声参数。在推导过程中忽略晶体管的$1/f$噪声和电容C_μ，但计入晶体管的基极阻抗；
2. 证明：在MOS晶体管（偏置电压和沟道长度均一定）的两端口网络噪声参数中，$R_{\rm n}$、$G_{\rm opt}$和$B_{\rm opt}$与晶体管沟道宽度之间满足按比例缩放定理，而$\rm F_{min}$则与晶体管的沟道宽度没有关系；
3. 对于如图8-9所示的并联-串联反馈放大器电路，忽略晶体管的栅漏电容和漏体电容以及衬底寄生阻抗产生的热噪声，推导放大器的噪声因子。考虑两种情况：忽略NQS栅噪声和计入NQS栅噪声；
4. 对于如图8-32所示的低噪声放大器电路，试求解如下问题：
(1)忽略$C_{\rm gd}$和各种结电容，并假设电容$C_{\rm b}$足够大，晶体管$\rm M_3$的栅极可被认为短路到地，推导电阻$R_{\rm b}$对放大器噪声因子的贡献；
(2)忽略$C_{\rm gd}$，并假设$\rm M_1$和$\rm M_2$的尺寸相同，如果$\rm M_1$漏极的寄生电容$C_{\rm db}=\alpha C_{\rm gs}$，推导$\rm M_2$对输出噪声的贡献；

5. 证明式8-91，并说明有限的r_o对放大器输入阻抗的影响；
6. 证明式8-105、式8-106及式8-107；
7. 说明不完全阻抗匹配对源简并电感型共源放大器增益、噪声系数和线性度的影响；
8. 在源简并电感型共源放大器中，试说明放大管的Miller效应对放大器的输入阻抗匹配、增益、噪声系数和线性度的影响，如何减弱它的影响？
9. 证明式8-165；
10. 证明式8-172和式8-173;
11. 推导串联峰值电路（图8-46）的设计方程，定量分析在什么条件下该电路可以获得最大带宽，以及在什么条件下该电路可以产生最平坦响应曲线，并给出相应可以获得的带宽；

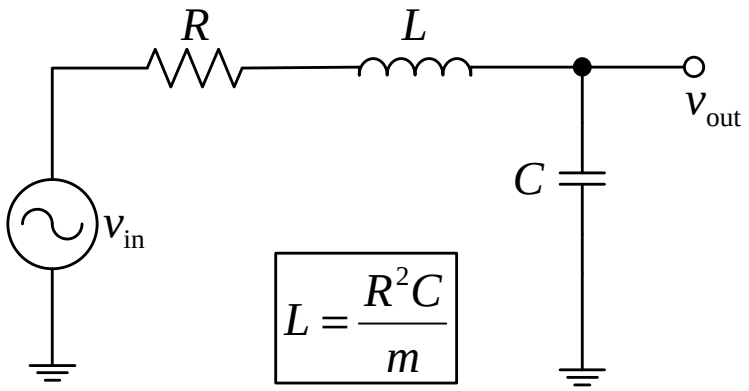


图 8-46 题11图

12. 画出并联峰值网络（图8-47）的幅频响应曲线和相频响应曲线，m在1～5之间取值，步长为0.2；

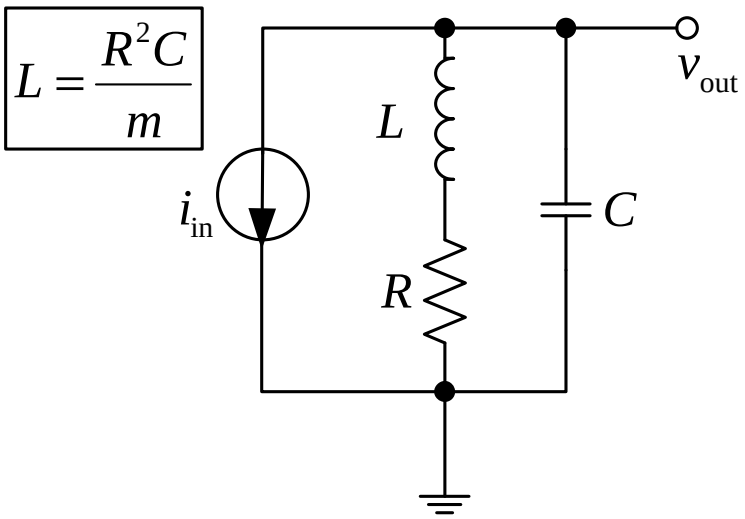


图 8-47 题12图

13. 假设放大器的传输特性可以用下式来表示：

$$i(V_{DC}+v) \approx k_0 + k_1 v + k_2 v^2 + k_3 v^3$$

并考虑到

$$\mathrm{IIP}_3 = \frac{2}{3}|\frac{k_1}{k_3}|\frac{1}{R_\mathrm{S}}$$

试证明

$$\mathrm{IIP}_3 = \frac{4V^2}{R_\mathrm{S}} \cdot |\frac{g(0)}{g(V)+g(-V)-2g(0)}|$$

其中，V、0、$-V$是选取的三点电压值，$g(v)$是放大器的跨导

$$g(v) \approx k_1 + 2k_2 v + 3k_3 v^2$$

可以利用这种办法来快速仿真低噪声放大器的输入三阶交调点；

14. 已知一个晶体管在$f = 10\mathrm{GHz}$时的S参数如下：$S_{11} = 0.79\angle 100°$、$S_{12} = 0.20\angle -21°$、$S_{21} = 6.5\angle -73°$、$S_{22} = 0.74\angle 152°$，试利用这个晶体管来设计一个微波放大器，分析在稳定性、增益和阻抗匹配等方面的折衷考虑；

15. 已知一个晶体管具有如下的S参数：$S_{11} = 0.61\angle 152°$、$S_{12} = 0.10\angle 79°$、$S_{21} = 1.89\angle 55°$、$S_{22} = 0.47\angle -30°$，噪声参数为$\mathrm{F_{min}} = 3\mathrm{dB}$、$\Gamma_\mathrm{opt} = 0.52\angle -153°$、$R_\mathrm{n} = 9\Omega$，试利用这个晶体管来设计一个具有最小噪声系数的微波放大器。

第九章　混频器

无线收发机模拟前端在本质上主要完成频率变换的功能，接收机模拟前端将接收到的射频信号转换成低频信号，而发射机模拟前端将要发射的低频信号转换成射频信号，频率转换功能就是由混频器完成的。混频器是一种非线性时变电路，依靠电路本身的非线性来完成频率转换功能，因此它具有与其它电路不同的特点。由于非线性操作本身所引入的复杂性，使得混频器分析起来非常复杂，只能进行近似分析和定性说明。

本章介绍集成混频器的设计和优化问题，首先介绍混频器的基本工作原理；然后介绍描述混频器性能的参数；仅接着讨论电流换向CMOS有源混频器的设计和优化问题以及改善线性度及阻抗匹配性能的措施，这类混频器是集成无线收发机中最常用的混频器结构；最后讨论三种其它类型的混频器：电位混频器、无源混频器和亚采样混频器。通过本章的介绍，读者可以掌握如何设计和优化一个频率转换电路，并对分析非线性时变电路具有初步的认识。

§9.1　混频器的基本工作原理

混频是利用两个信号在时域上相乘来实现的。假设两个正弦型信号输入到一个乘法器中，则在乘法器的输出可以得到一个和频成分和一个差频成分，在数学上可以表示为：

$$(\mathrm{A}\cos\omega_1 t)(\mathrm{B}\cos\omega_2 t)=\frac{\mathrm{AB}}{2}[\cos(\omega_1-\omega_2)t+\cos(\omega_1+\omega_2)t] \tag{9-1}$$

两个正弦型输入信号中，一个是固定幅度的本地振荡信号（LO），由本地振荡器提供，另一个是接收到的射频信号或者要发射的低频信号。通过这两个信号的混频，可以得到一个差频成分（频率为$\omega_1-\omega_2$）和一个和频成分（频率为$\omega_1-\omega_2$），在LO信号幅度一定的情况下，差频成分和和频成分的幅度都正比于输入信号的幅度。该操作仅完成了频率转换，而幅度上不会引入失真。在下变频器中，需要的信号为差频信号，通过一个带通滤波器可取出需要的差频成分，而滤除和频成分和其它干扰成分；而在上变频器中，需要的信号为和频信号，这时也可以通过一个带通滤波器取出和频成分，滤除差频成分和其它干扰成分。

任何一个非线性或者时变元器件都可以完成混频功能，其中有一部分元器件是通过元器件本身的非线性来完成混频功能的。图9-1给出了一个简单的例子。 晶体管M_1是一个长沟器件，它的$I-V$方程满足平方

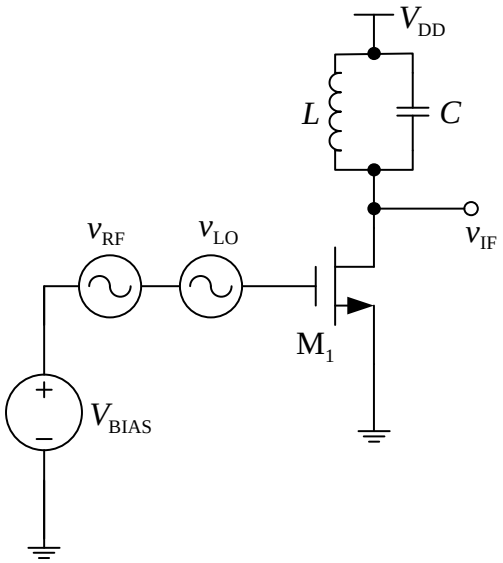


图 9-1 由单个MOS晶体管构成的混频器

律方程：

$$I_{\mathrm{d}}=\frac{1}{2}k_{\mathrm{n}}\frac{W}{L}(V_{\mathrm{gs}}-V_{\mathrm{T}})^2 \tag{9-2}$$

其中，$k_{\mathrm{n}}=\mu C_{\mathrm{ox}}$。射频信号和本振信号都加到晶体管栅极，则

$$V_{\mathrm{gs}}=V_{\mathrm{BIAS}}+v_{\mathrm{RF}}+v_{\mathrm{LO}} \tag{9-3}$$

将上式代入式9-2中，可以得到

$$I_{\mathrm{d}}=\frac{1}{2}k_{\mathrm{n}}\frac{W}{L}[(V_{\mathrm{BIAS}}-V_{\mathrm{T}})^2+2(V_{\mathrm{BIAS}}-V_{\mathrm{T}})(v_{\mathrm{RF}}+v_{\mathrm{LO}})+v_{\mathrm{RF}}^2+v_{\mathrm{LO}}^2+2v_{\mathrm{RF}}v_{\mathrm{LO}}] \tag{9-4}$$

如果v_{RF}和v_{LO}都是正弦型信号，从上式可以看出，I_{d}成分中包含有直流成分、基频成分、和频和差频成分以及二次谐波成分。该电流通过晶体管漏端所接的谐振负载转换为电压信号。直流成分可以通过交流耦合的办法消除，而基频成分、和频成分以及二次谐波成分与所需要的差频成分在频域上相距很远，可以通过谐振负载进行滤除，得到比较纯净的中频输出信号v_{IF}。

从以上的说明可以看出，一个具有二阶非线性的晶体管就可以完成混频功能。实际上，具有n阶（$\mathrm{n}\geq 2$）非线性的元器件都可以完成混频功能。但当$\mathrm{n}>2$时，输出成分中除包含有直流成分、基频成分、n阶谐波成分外，还包含有交调成分$\mathrm{m}\omega_{\mathrm{RF}}\pm\mathrm{k}\omega_{\mathrm{LO}}$（m、k均为大于0的整数）。通常所需要的交调成分为$\omega_{\mathrm{RF}}\pm\omega_{\mathrm{LO}}$，其它的交调成分都是干扰信号，需要滤除。而这些交调成分可能与需要的和频成分或者差频成分在频域上相距很近，增加了混频器后后级滤波器的设计难度。在这个意义上，二阶非线性元器件是最适宜的混频器元器件，它产生的交调成分最少，而且不需要的频率成分与需要的频率成分在频域上相距较远，降低了对混频器后的滤波器的要求。

图9-1所示的混频器虽然可以完成混频功能，但由于射频信号和本振信号直接相加，因此本振信号会馈通到射频信号通路上，射频信号和本振信号的隔离度不是很好。为了改善射频信号与本振信号之间的隔离度，可以将射频信号和本振信号加在不同的节点上，如图9-2所示。 射频信号通过隔直电容后加在晶体管栅

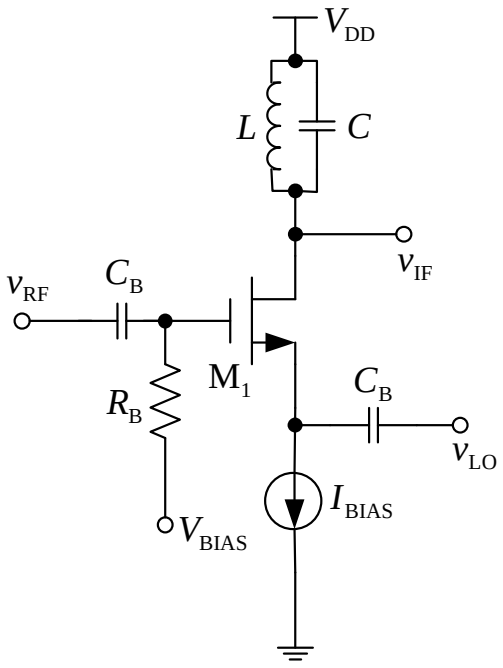


图 9-2 由单个MOS晶体管构成的高隔离度混频器

极，而本振信号隔直后加在晶体管的源极。晶体管M_1的栅源电压包含有$v_{\mathrm{RF}}-v_{\mathrm{LO}}$成分，如果晶体管是长沟道器件，它的$I-V$方程满足平方律关系，则流过晶体管的电流中仍然将只包含有和频和差频成分，而没有其它的交调成分。该电路的射频信号和本振信号加在不同的节点上，改善了射频信号与本振信号之间的隔离度。

另外一些非线性元器件本身就具有乘法功能，因此可以直接实现频率转换功能。图9-3给出了一个简单的例子。 射频信号加在晶体管M_1的栅极，而本振信号加在Cascode晶体管M_2的栅极，本振信号v_{LO}周期性

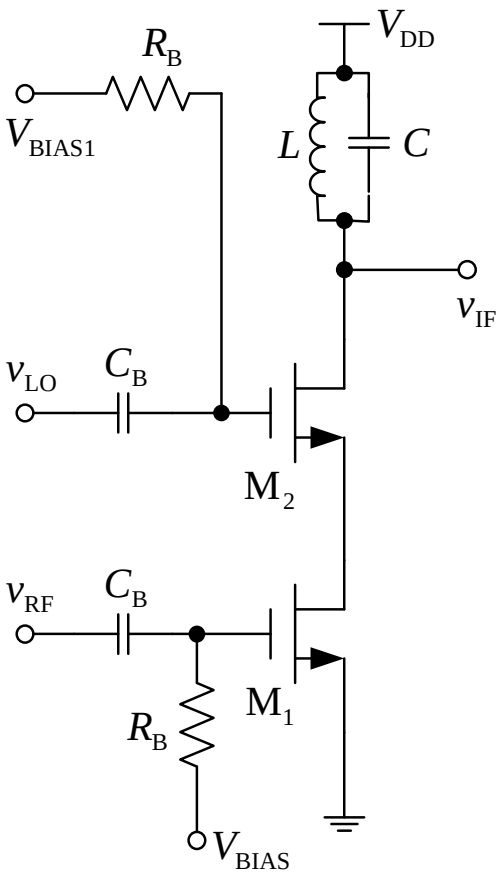


图 9-3 双栅晶体管混频器

地调制M_1的漏端电压。考虑到沟道长度调制效应，晶体管的$I-V$方程为：

$$I_d = \frac{1}{2}k_n\frac{W}{L}(V_{gs}-V_T)^2(1+\lambda V_{ds}) \tag{9-5}$$

M_1的V_{gs}中包含有射频信号成分，而它的V_{ds}中包含有本振信号成分，因此实现了两个信号相乘。输出电流成分中仅存在直流成分、基频成分、差频成分和和频成分，而不存在二次谐波成分。频率转换后信号的大小与晶体管的调制系数λ成正比，因此M_1应选用短沟器件，但这会引入其它的非线性。该混频器的本振信号和射频信号通过不同晶体管的栅极加入，因此射频信号与本振信号之间的隔离度较高。

本节所提到的三种混频器结构都属于非平衡混频器，仅由少量的晶体管构成，结构简单，与后面介绍的其它混频器相比，具有较优的噪声性能，但存在RF-IF、LO-IF、RF-LO 馈通，隔离度不是很好，实际应用价值受到限制。

§9.2 描述混频器性能的参数

混频器是无线收发机中的核心模块，它的性能对整个无线系统的性能具有很大的影响。本节讨论描述混频器性能的主要参数。

§9.2.1 噪声因子（噪声系数）

噪声因子描述了一个电路引入噪声的大小，它的值是输入信噪比与输出信噪比的比值。通常可以表示为：

$$F = \frac{N_s+N_i}{N_s} = 1+\frac{N_i}{N_s} \tag{9-6}$$

其中，N_s是信号源在输出端引入的噪声，N_i是电路本身产生的噪声。

在接收机里，混频器作为下变频器来使用，它通常位于低噪声放大器后面。由于低噪声放大器提供了一定的增益，因此对下变频器的噪声要求不像对低噪声放大器那么苛刻，但考虑到射频低噪声放大器的增益有限，而混频过程通常会引入很大的噪声，因此为了降低对低噪声放大器增益的要求，下变频器也需要具有较低的噪声系数。

在发射机里，混频器作为上变频器来使用。由于发射机中有用信号是最强的信号，因此对上变频器噪声系数的要求不像下变频器那么严格。

对于下变频器来说，存在两种类型的噪声系数：单边带噪声系数和双边带噪声系数。这是由于下变频后产生的中频信号的频率仅与射频信号、本振信号频率之差的幅度有关，因此射频信号和它的镜像信号都会被变换到相同的中频频带上。如果镜像信号频带位置不存在有用信号，这时测量出的噪声系数称为单边带噪声系数；如果有用信号同时出现在射频信号频带和镜像信号频带上，这时测量出的噪声系数称为双边带噪声系数。在大多数接收机系统中（如超外差、低中频接收机等），镜像信号频带位置是不存在有用信号的，因此单边带噪声系数反应了混频器真实的噪声性能；而在零中频接收机中，有用信号同时出现在射频信号频带和镜像信号频带上，因此双边带噪声系数反应了混频器真实的噪声性能。

由于在双边带噪声系数测量中，射频信号频带和镜像信号频带都存在有用信号，而在单边带噪声系数测量中，仅射频信号频带存在有用信号，因此前者的信号功率是后者信号功率的两倍。对同一个混频器来说，前者的输入信噪比比后者高3dB，因此通常来说，单边带噪声系数比双边带噪声系数大3dB。

混频器的噪声系数通常是很大的，因为混频过程会将其它频带内的噪声也转移到中频，如图9-4所示。

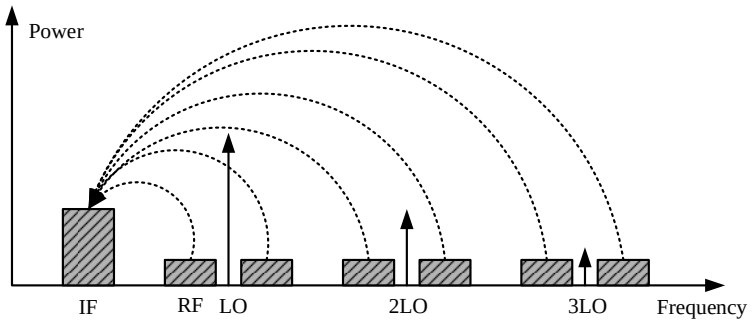


图 9-4 混频过程中的噪声转换

这是由于混频电路存在非线性，因此本振信号会产生高阶谐波成分，这些谐波成分与其它频带内的噪声混频，混频后的结果也位于中频频带，极大地增加了混频器的噪声系数。混频器单边带噪声系数的典型值约为10～15dB。

§9.2.2 转换增益

转换增益是衡量混频器的一个重要指标，它定义为输出差频信号或者和频信号与输入信号的比值。对于如式9-1所示的混频过程，其转换增益为本振信号幅度的一半，B/2。

转换增益可以用功率增益、电压增益或者电流增益来描述，它们之间的联系为：

$$G_{\mathrm{p}} = G_v^2 \frac{R_{\mathrm{S}}}{R_{\mathrm{L}}} = G_i^2 \frac{R_{\mathrm{L}}}{R_{\mathrm{S}}} \tag{9-7}$$

其中，G_{p}是功率增益，G_v是电压增益，G_i是电流增益，R_{L}是负载阻抗，R_{S}是源阻抗。因此将负载阻抗提高一倍，电压增益可以提高6dB，而功率增益仅增加3dB。

通常希望混频器具有一定的转换增益。这是由于在接收机中，下变频器具有一定的转换增益可以降低混频器后面各级模块对系统噪声性能的影响。而在发射机中，上变频器具有一定的转换增益可以减轻对后级功率放大模块增益的压力。但混频器的转换增益也不能太大，否则可能使得混频器后面的各级模块出现饱和而无法工作。

§9.2.3 线性度：1dB压缩点和三阶交调点

线性度决定了混频器能处理的最大信号强度。无论是应用于接收机系统还是应用于发射机系统中的混频器，其输入信号能量都较高，因此混频器必须具有较高的线性度。线性度通常用1dB压缩点和三阶交调点来描述。

输入1dB压缩点是指当混频器的输出信号功率偏离它的线性响应输出功率1dB时的输入信号功率，该点所对应的输出信号功率称为输出1dB压缩点。图9-5给出了一个混频器的输出信号功率随输入信号功率的变化曲线。 从图中可以看出，当输入信号能量较弱时，混频器的输出信号功率与输入信号功率之间是线性

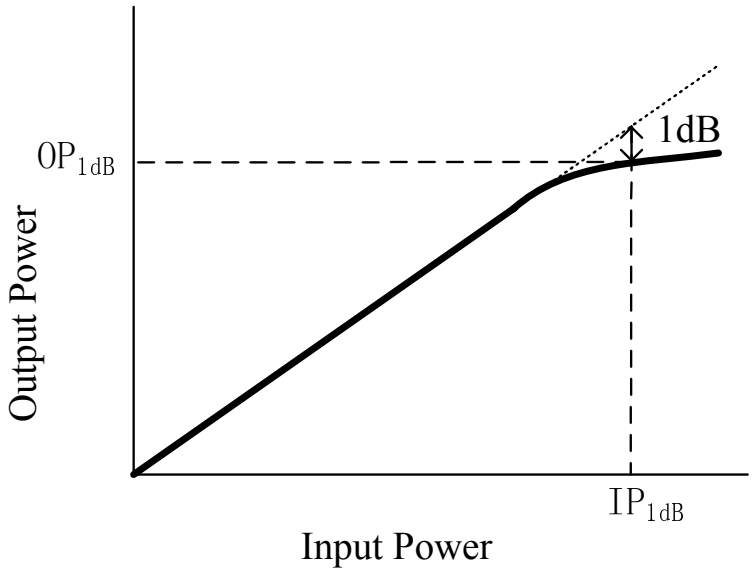


图 9-5 混频器的1dB压缩点

关系，转换增益是一个常数；当信号能量增强到一定程度时，由于混频器存在奇数阶非线性或者电压、电流受限，它的转换增益开始降低，输出信号功率开始偏离线性增长关系（虚线所示）。如果混频器的增益压缩是由于电流或者电压受限引起的，当输入信号功率大于1dB压缩点时，转换增益将突然降低，而输出信号功率将保持恒定；如果混频器的增益压缩是由于奇数阶非线性引起的，当输入信号功率大于1dB压缩点时，转换增益将随着输入信号功率的增加逐渐降低，输出信号功率也会有缓慢的增长。

如果有用信号的输入信号功率大于1dB压缩点，混频器的输出将产生失真，引起AM-PM（幅度调制到相位调制）转换。当有用信号采用频率调制时，传输信息将不会有损失；当有用信号采用幅度调制或者相位调制时，由于增益压缩或者AM-PM转换，检测器误判的概率增加，增加了系统的误码率。如果干扰信号的输入功率超过了混频器的1dB压缩点，干扰信号将发生失真，只要干扰信号不使混频器发生过载，使小功率有用信号不发生增益压缩，干扰信号失真并不会影响混频器性能。但通常强干扰信号会使得小功率有用信号发生增益压缩。如果混频器的增益压缩仅是由三阶非线性引起的，使小功率有用信号发生1dB增益压缩时干扰信号的能量比混频器的1dB压缩点要低3.1dB。因此，对许多接收机系统来说，输入1dB压缩点并不能作为一个判定混频器增益压缩性能的指标。相反，可以定义一个阻塞1dB压缩点来描述使得小功率有用信号发生1dB增益压缩时干扰信号的能量。

三阶交调点是衡量混频器线性度性能的另一个参数。如果混频器存在奇数阶非线性，那么当相邻信道存在两个干扰信号（其频率分别为ω_a和ω_b）。这两个干扰信号经混频器的奇数阶非线性作用，会产生两个三阶交调积成分（其频率分别为$2\omega_a-\omega_b$和$2\omega_b-\omega_a$），它们叠加在有用信号上，造成干扰。当输入信号功率较低时，三阶交调积主要是由电路的三阶非线性引起的。三阶交调点就是用来测量系统的三阶非线性性能的。图9-6给出了混频器有用输出和三阶交调积随输入信号功率的变化曲线。 当输入信号功率较小时，混频器的增益是一个常数，因此有用输出信号功率随输入信号功率的增加而线性增加，而三阶交调积以输入信号功率的三次方速率增加（三阶非线性）；当输入信号功率较大时，有用信号因增益压缩而开始

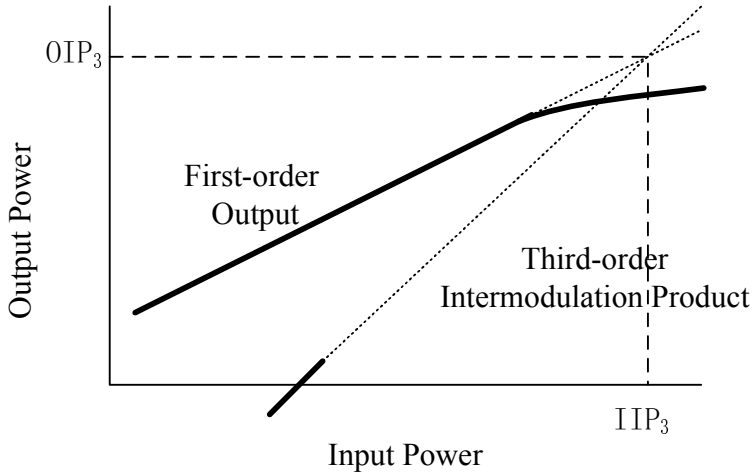


图 9-6 混频器的三阶交调点

减缓上升速率，而三阶交调积的大小也不再主要由三阶非线性所决定，因此不再以以输入信号功率的三次方速率增加。图中所示虚线为有用信号和三阶交调积的小信号幅度响应的外插曲线，两条外插曲线相交处所对应的输入信号功率称为输入三阶交调点（IIP3），交点所对应的输出信号功率称为输出三阶交调点（OIP3）。由输入信号功率和三阶交调点可以推算出三阶交调积的大小，但该值仅能应用于三阶非线性起主要作用的小信号场合。

输入三阶交调点描述了混频器的小信号三阶非线性，而输入1dB压缩点则测量混频器的大信号非线性（包括所有的奇数阶非线性和电压、电流受限），而且三阶交调点只关心三阶非线性的幅度响应，而1dB压缩点考虑了奇数阶非线性的幅度和相位响应，因此它们之间没有直接联系。但如果两者都主要是由三阶非线性引起的，那么输入三阶交调点比输入1dB压缩点要高约9.6dB。通常输入三阶交调点要比输入1dB压缩点高10～15dB。

§9.2.4 端口隔离度

对于混频器来说，考虑到本振信号是一个非常强的信号，射频、本振和中频之间必须具有很好的隔离度。如果隔离度不好，强本振信号会泄漏到混频器输入端，使混频器发生过载或饱和，而且如果低噪声放大器的反向隔离性能也不高，泄漏到混频器射频端的本振信号可能会泄漏到天线，并通过天线辐射出去，干扰其它无线系统的工作。而本振到中频泄漏可能会使后级中频模块发生饱和或过载，影响后级模块的正常工作。

§9.2.5 其它性能参数

混频器的功耗也是描述混频器性能的重要参数。混频器的功耗与它的性能直接相关，在优化混频器的功耗时，要避免增加其它射频模块的功耗。举例说明如下，如果一个下变频器以增加噪声系数为代价降低了功耗，为了保持整个系统的噪声性能不变，必须增加低噪声放大器的增益，这会增加低噪声放大器的功耗，从整个接收机系统来说，功耗并不一定会降低。再如，一个混频器以增加本振信号强度为代价降低了功耗，要求本振缓冲电路提供更强的本振信号，这会极大地增加本振缓冲电路的功耗，整个系统的功耗也不一定会降低。

阻抗匹配性能是混频器（特别是单片集成的混频器模块）实现中必须要考虑的因素，射频输入端阻抗不匹配会使信号发生反射，降低信号幅度，而且会使滤波器通带内的频率响应出现纹波。对于本振输入端来说，反射回的信号能量太强还可能使振荡器发生频率牵引（LO-Pulling）效应。

混频器是利用电路的非线性来完成混频过程的，混频器输出可能包含大量的毛刺成分（Spur），毛刺也是衡量混频器性能的一个参数。如果混频器的输入信号频率为f_{RF}，本振信号频率为f_{LO}，那么混频器的

输出可能包含有以下的频率成分：

$$f_{\text{spur}} = \text{m}f_{\text{RF}} + \text{n}f_{\text{LO}} \tag{9-8}$$

其中，m和n均为整数。本振信号可能存在多次谐波，因此很宽频带范围内的干扰信号都可能与本振信号的谐波成分发生混频，从而在输出端产生与有用中频信号频率相隔很近的毛刺成分。在信号输入混频器之前进行滤波可以有效减小毛刺。提高本振信号的频谱纯度，减少本振信号谐波成分的幅度也是降低毛刺的一个有效办法。

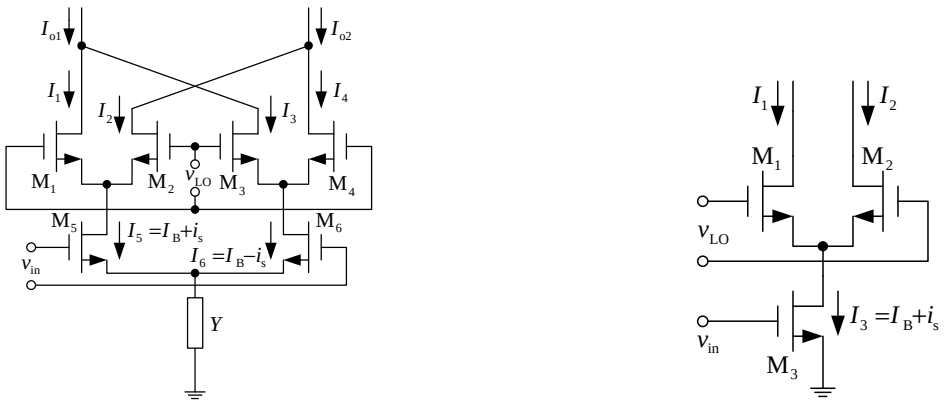
§9.3 电流换向有源混频器

按照混频器是否提供转换增益，可以将混频器分为有源混频器和无源混频器，无源混频器不提供转换增益，如MOS或者二极管无源混频器；有源混频器提供一定的转换增益，可以减小后级模块对噪声系数的贡献。在有源混频器中，又可以根据输入信号和本振信号是否采取差分形式来分为三类：如果输入信号和本振信号都采取差分形式，这类混频器称为双平衡混频器；如果输入信号采取单端形式，而本振信号采取差分形式，这类混频器称为单平衡混频器；如果输入信号和本振信号都采取单端形式，这类混频器称为非平衡混频器。

本节将介绍无线收发机模拟前端中最常用的一种混频器结构：电流换向有源混频器（Current Commutated Mixer），它利用乘法操作来实现混频功能，混频器输出将只包含有用交调成分，抑制了干扰信号成分；该类混频器可以提供一定的转换增益，而且具有比较好的隔离度，在无线收发机中得到广泛应用。

§9.3.1 电路结构

电流换向有源混频器由一个跨导输入级和换向开关对构成，跨导输入级将输入的射频电压信号转换为电流信号，然后由本振信号控制的开关对对电流信号进行周期性换向，完成频率变换的功能。电流换向有源混频器可分为双平衡有源混频器和单平衡有源混频器，如图9-7所示。 双平衡有源混频器也被



(a) 双平衡有源混频器：Gilbert混频器　　(b) 单平衡有源混频器

图 9-7 有源混频器的电路结构

称为Gilbert单元，当两个输入信号都较弱时，它可以完成模拟信号相乘的功能，这也是该结构提出时的初衷。但在图9-7中，本振信号一般都足够强，使得上面的晶体管（图（a）中的M_1～M_4或者图（b）中的M_1～M_2）都近似为理想开关对。这些开关对在本振信号控制下，将跨导级产生的电流周期性地由一边转换到另一边。差分对M_5～M_6（双平衡混频器）和元件Y或者晶体管M_3（单平衡混频器）构成混频器的跨导级，将输入射频电压信号转换为电流，送入开关对的共源节点。对于双平衡混频器来说，Y可以为一个电流源、直接接地或者为LC谐振电路，该跨导级分别被称为全差分跨导级、伪差分跨导级和LC简并跨导级。伪差分跨导级可以增加混频器的输出摆幅，但跨导级没有共模抑制能力，全差分跨导级可以提供很好的共模抑制能力，但混频器的输出摆幅受到一定的限制；而LC简并跨导级中的LC谐振电路在输入射频

信号频率处谐振，对差分射频信号提供低阻抗，而对共模信号，LC谐振电路却提供一个很高的阻抗，因此它也具有一定的共模抑制能力，而且电感本身不消耗电压摆幅，因此混频器的输出摆幅也不会受到影响。

如果本振信号足够强，晶体管M_1～M_4可以近似为理想开关，则双平衡混频器的输出电流为：

$$I_{\mathrm{o}} = I_{\mathrm{o1}} - I_{\mathrm{o2}} = (I_1 - I_2) - (I_4 - I_3) \tag{9-9}$$

$$= \mathrm{sgn}[\cos\omega_{\mathrm{LO}}t](I_{\mathrm{B}} + i_{\mathrm{s}}) - \mathrm{sgn}[\cos\omega_{\mathrm{LO}}t](I_{\mathrm{B}} - i_{\mathrm{s}}) \tag{9-10}$$

$$= 2\mathrm{sgn}[\cos\omega_{\mathrm{LO}}t]i_{\mathrm{s}} \tag{9-11}$$

其中，$\mathrm{sgn}[\cos\omega_{\mathrm{LO}}t]$是一个幅度为1、频率为$\omega_{\mathrm{LO}}$的方波信号：

$$\mathrm{sgn}[\cos\omega_{\mathrm{LO}}t] = \begin{cases} -1 & : \quad \cos\omega_{\mathrm{LO}}t < 0 \\ 1 & : \quad \cos\omega_{\mathrm{LO}}t > 0 \end{cases} \tag{9-12}$$

将方波信号$\mathrm{sgn}[\cos\omega_{\mathrm{LO}}t]$进行傅立叶变换，可以得到：

$$\mathrm{sgn}[\cos\omega_{\mathrm{LO}}t] = \sum_{\mathrm{n}=1}^{\infty} \mathrm{A_n}\cos\mathrm{n}\omega_{\mathrm{LO}}t \qquad \mathrm{A_n} = \frac{\sin(\mathrm{n}\pi/2)}{\mathrm{n}\pi/4} \tag{9-13}$$

方波信号是由本振信号的各奇次谐波组成的。

对于跨导器来说，它的输出为:

$$2i_{\mathrm{s}} = g_{\mathrm{m}}v_{\mathrm{RF}}\cos\omega_{\mathrm{RF}}t \tag{9-14}$$

g_{m}为差分对M_5、M_6的跨导，$g_{\mathrm{m}} = g_{\mathrm{m5}} = g_{\mathrm{m6}}$。

因此双平衡混频器的输出电流为：

$$I_{\mathrm{o}} = g_{\mathrm{m}}v_{\mathrm{RF}}\sum_{\mathrm{n}=1}^{\infty}\frac{\sin\mathrm{n}\pi/2}{\mathrm{n}\pi/2}[\cos(\mathrm{n}\omega_{\mathrm{LO}} + \omega_{\mathrm{RF}})t + \cos(\mathrm{n}\omega_{\mathrm{LO}} - \omega_{\mathrm{RF}})t] \tag{9-15}$$

该输出电流经负载转换为电压信号或者功率信号，由于负载一般采用线性负载，因此双平衡混频器的输出仅由ω_{LO}的各奇次谐波与输入射频信号的和频和差频成分组成，如图9-8所示。 与其它混频器相比，双平衡

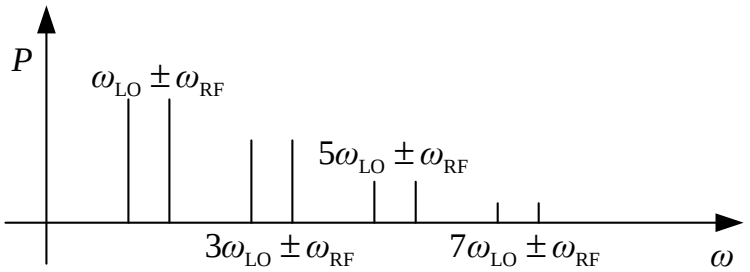


图 9-8 双平衡混频器的输出频谱成分

混频器的输出频谱中包含有较少的毛刺成分。通常ω_{LO} 的基频与输入射频信号的和频（上变频器）或者差频成分（下变频器）是需要的中频信号，其它频谱成分都是毛刺干扰信号。双平衡混频器的输出中不包含本振信号成分，也不包含有射频信号成分，而且由于开关对采用差分对形式，本振输入端与射频输入端之间也有很好的隔离，因此双平衡混频器提供了很高的LO、RF、IF之间的隔离度，这是双平衡混频器的主要优点。实际的双平衡混频器由于受到开关对不匹配的影响，存在一定的LO-IF泄漏，不匹配程度与版图设计存在很大的关系，可以通过合理的版图设计（如共心型版图结构）来减小。

由式9-15可知，当本振信号足够强时，双平衡混频器的转换电压增益为：

$$G_v = g_{\mathrm{m}}\frac{2}{\pi}\cdot R_{\mathrm{L}} \tag{9-16}$$

其中，R_{L}为负载的阻抗值。可见，即使开关对为理想开关，混频过程还是会引入$\frac{2}{\pi}$的损耗。

对于单平衡混频器，同样，如果本振信号足够强，晶体管M_1、M_2可以近似为理想开关，则单平衡混频器的输出电流为：

$$I_{\mathrm{o1}} = I_1 - I_2 \tag{9-17}$$

$$= \mathrm{sgn}[\cos\omega_{\mathrm{LO}}t](I_{\mathrm{B}} + i_{\mathrm{s}}) \tag{9-18}$$

考虑晶体管M_3，电流i_{s}为：

$$i_{\mathrm{s}} = g_{\mathrm{m}}v_{\mathrm{RF}}\cos\omega_{\mathrm{RF}}t \tag{9-19}$$

g_{m}为晶体管M_3的跨导。

将方波信号$\mathrm{sgn}[\cos\omega_{\mathrm{LO}}t]$的傅立叶变换代入，可以得到单平衡混频器的输出电流为：

$$I_{\mathrm{o1}} = g_{\mathrm{m}}v_{\mathrm{RF}}\sum_{\mathrm{n}=1}^{\infty}\frac{\sin \mathrm{n}\pi/2}{\mathrm{n}\pi/2}[2I_{\mathrm{B}}\cos(\mathrm{n}\omega_{\mathrm{LO}}t) + \cos(\mathrm{n}\omega_{\mathrm{LO}} + \omega_{\mathrm{RF}})t + \cos(\mathrm{n}\omega_{\mathrm{LO}} - \omega_{\mathrm{RF}})t] \tag{9-20}$$

该输出电流经负载转换为电压信号或者功率信号，由于负载一般采用线性负载，因此单平衡混频器的输出不仅包含有ω_{LO}的各奇次谐波与输入射频信号的和频和差频成分，而且还包含有本振信号成分，如图9-9所示。 通常ω_{LO} 的基频与输入射频信号的和频（上变频器）或者差频成分（下变频器）是需要的中频信

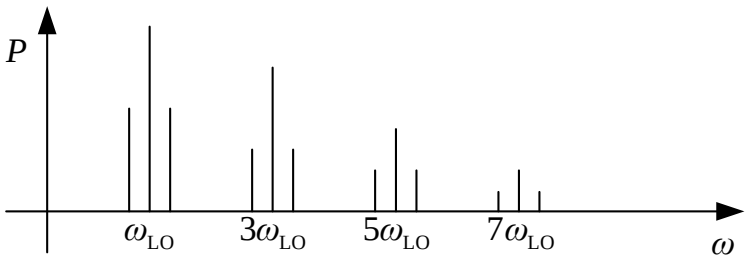


图 9-9 单平衡混频器的输出频谱成分

号，其它频谱成分都是毛刺干扰信号。由于单平衡混频器的输出中包含本振信号成分，因此存在很严重的LO-IF泄漏。极强的本振馈通信号会增加混频器输出电压的摆幅，使得混频器输出端出现饱和，降低了混频器的1dB压缩点，因此这种混频器的输出端通常要引入滤波电路，衰减馈通过来的本振信号。

由式9-20可知，当本振信号足够强时，单平衡混频器的转换电压增益仍为：

$$G_v = g_{\mathrm{m}}\frac{2}{\pi}\cdot R_{\mathrm{L}} \tag{9-21}$$

其中，R_{L}为负载的阻抗值。同双平衡混频器一样，混频过程会引入$\frac{2}{\pi}$的电压损耗。

§9.3.2 转换增益

在上节中假设开关对为理想开关，分析了双平衡和单平衡混频器的转换增益。下面我们来分析开关对的非理想效应对转换增益的影响，并说明本振信号必须具有足够强的驱动能力的必要性。我们以单平衡混频器为例进行分析，所得到的结论也适用于双平衡混频器。

由于驱动开关对的本振信号具有比较大的幅度，因此M_1、M_2的偏置是随时间变化的周期信号。当本振信号大于一定值时，开关对中的一个晶体管将导通跨导级产生的所有电流，而另一个晶体管将截止；而当本振信号小于该值时，开关对中的两个晶体管将同时导通，M_1、M_2按一定比例导通跨导级产生的电流。这时如果忽略晶体管的输出阻抗，则晶体管M_3相当于一个理想的电流源，分析中也假设当两个晶体管同时导通时，它们都工作于饱和区（这会对负载阻抗作出限制）。

考虑到饱和区工作的晶体管的$I-V$方程可以表示为：

$$I = K\frac{W}{L}\frac{(V_{\mathrm{GS}} - V_{\mathrm{T}})^2}{1 + \Theta(V_{\mathrm{GS}} - V_{\mathrm{T}})} \tag{9-22}$$

该模型在上一章中已经介绍过，这里不再进行解释。由于我们忽略了晶体管的输出阻抗，因此沟道长度调制效应也被忽略。

当流过晶体管M_3的电流为I_B时，开关对的大信号特性可以用以下两式表示：

$$K\frac{W}{L}\frac{(V_{\mathrm{GS1}}-V_\mathrm{T})^2}{1+\Theta(V_{\mathrm{GS1}}-V_\mathrm{T})}+K\frac{W}{L}\frac{(V_{\mathrm{GS2}}-V_\mathrm{T})^2}{1+\Theta(V_{\mathrm{GS2}}-V_\mathrm{T})}=I_\mathrm{B} \tag{9-23}$$

$$V_{\mathrm{GS1}}-V_{\mathrm{GS2}}=V_{\mathrm{LO}} \tag{9-24}$$

对电流和电压进行归一化：

$$J_\mathrm{B}=\frac{\Theta^2}{K\frac{W}{L}}I_\mathrm{B} \tag{9-25}$$

$$U_{\mathrm{LO}}=\Theta V_{\mathrm{LO}} \tag{9-26}$$

$$U_1=\Theta(V_{\mathrm{GS1}}-V_\mathrm{T}) \tag{9-27}$$

$$U_2=\Theta(V_{\mathrm{GS2}}-V_\mathrm{T}) \tag{9-28}$$

则式9-23和式9-24可以表示为：

$$\frac{U_1^2}{1+U_1}+\frac{U_2^2}{1+U_2}=J_\mathrm{B} \tag{9-29}$$

$$U_1-U_2=U_{\mathrm{LO}} \tag{9-30}$$

上述方程可以采用数值迭代的办法来求解。如果$V_{\mathrm{LO}}>0$，则U_1位于U_{LO}和ΘV_x之间，其中ΘV_x对应于I_B全部流过M_1时的情景：

$$\Theta V_\mathrm{x}=\frac{J_\mathrm{B}}{2}+\sqrt{\frac{J_\mathrm{B}^2}{4}+J_\mathrm{B}} \tag{9-31}$$

知道了U_1、U_2后，流过M_1、M_2的电流为：

$$J_\mathrm{i}=\frac{\Theta^2}{K}I_\mathrm{i}=\frac{U_\mathrm{i}^2}{1+U_\mathrm{i}}\qquad(\mathrm{i}=1,2) \tag{9-32}$$

流过晶体管的电流与阈值电压V_T无关，因此开关对的行为与衬底调制效应以及本振信号的共模电平没有关系。

当跨导级产生的电流中包含有射频信号成分时，流过M_3的电流为$I_3=I_\mathrm{B}+i_\mathrm{s}$，则单平衡混频器的输出电流为本振信号的瞬时幅度及电流I_3的函数：

$$I_{\mathrm{o1}}=I_1-I_2=F(V_{\mathrm{LO}}(t),I_\mathrm{B}+i_\mathrm{s}) \tag{9-33}$$

由于i_s是一个小信号，因此可以对上式在$i_\mathrm{s}=0$处应用泰勒展开：

$$I_{\mathrm{o1}}=F(V_{\mathrm{LO}}(t),I_\mathrm{B})+\frac{\partial}{\partial I_\mathrm{B}}F(V_{\mathrm{LO}}(t),I_\mathrm{B})\cdot i_\mathrm{s} \tag{9-34}$$

$$=p_0(t)+p_1(t)\cdot i_\mathrm{s} \tag{9-35}$$

$p_0(t)$、$p_1(t)$都是周期函数，如图9-10所示。 当M_1、M_2中有一个晶体管截止时，另一个晶体管导通所有的电流，因此这时$p_0(t)$等于I_B或者$-I_\mathrm{B}$，而$p_1(t)$等于1或者-1。而当两个晶体管都导通时，$p_0(t)$、$p_1(t)$依赖于V_{LO}和I_B的值。

如果$i_\mathrm{s}(t)$中包含有信号成分$x(t)$，单平衡混频器的输出频谱为：

$$Y_x(f)=\sum_{\mathrm{n}=-\infty}^{\infty}p_{1,\mathrm{n}}\cdot X(f-\mathrm{n}f_{\mathrm{LO}}) \tag{9-36}$$

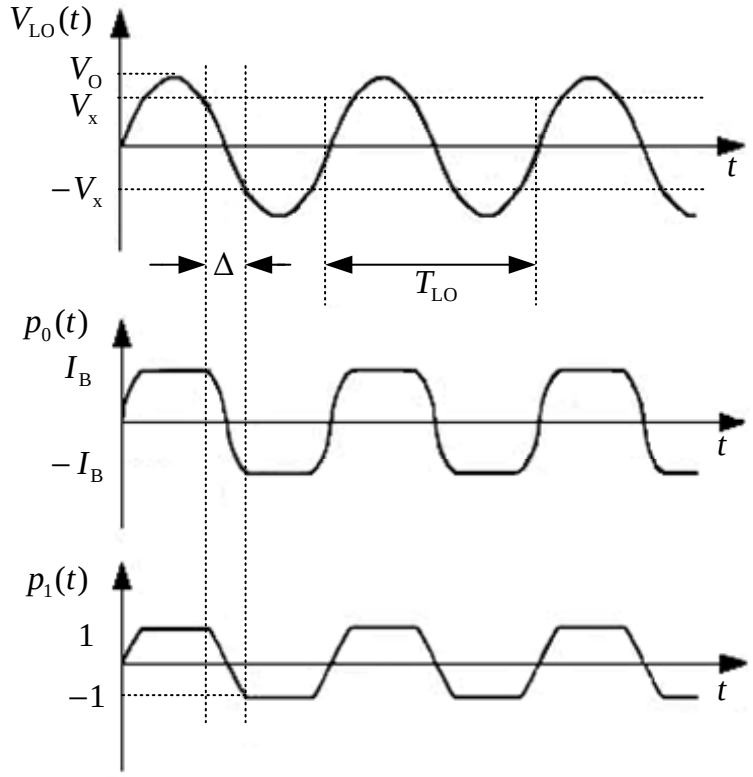


图 9-10 $p_0(t)$和$p_1(t)$的波形

f_{LO}是本振频率，$p_{1,n}$是$p_{1,n}$是$p_1(t)$的傅立叶系数，$X(f)$是信号成分$x(t)$的频谱。

如果开关对中的器件是完全匹配的，则$p_1(t) = -p_1(t = T_{LO}/2)$，它是一个奇函数，仅包含有奇次谐波成分，$p_0(t)$也仅包含有奇次谐波成分，因此单平衡混频器的输出中仅包含有本振信号的奇次谐波成分（$p_0(t)$）和射频信号与本振信号奇次谐波的和频或者差频成分。n = 1或n = −1对应于混频器的有用输出频谱，分别相应于下变频或者上变频操作。在这种情况下，$c = |p_{1,1}| = |p_{1,-1}|$是开关对的转换增益，因此单平衡混频器的转换增益约为：

$$G_v = c \cdot g_{m3} R_L \tag{9-37}$$

当本振信号幅度足够强时，$p_1(t)$近似为一个方波，$c \to 2/\pi$。图9-11给出了c随归一化偏置电流J_B和归一化本振信号幅度$U_O = \Theta V_O$的变化曲线。 其中，V_O为本振信号的幅度。从图中可以看出，当偏置电流增加时，开关对的转换增益是降低的，而本振信号幅度增加时，开关对的转换增益是增加的，并逐渐趋近于$2/\pi$。

对于混频器来说，一般要求$V_{LO} > V_x$（当此条件不满足时，M_1、M_2总是同时导通，相当于一个差分对，会引入很大的损耗和噪声），如果本振信号是一个正弦型波形，则在$p_1(t)$发生转换的时间间隔Δ内，$p_1(t)$可近似用一条直线来代替，这时可以得到：

$$c \approx \frac{2}{\pi}\left(\frac{\sin(\pi \Delta f_{LO})}{\pi \Delta f_{LO}}\right) \tag{9-38}$$

其中，$\pi \Delta f_{LO} = \arcsin\left(\frac{V_x}{V_O}\right)$。可以用式9-38来估计当本振信号幅度不高时混频器的转换增益。当$U_O < 0.7$时，该式仅引入1dB误差；当$U_O < 1.6$时，该式引入2dB误差；而当$U_O < 3.2$时，该式引入3.5dB误差。

对于双平衡混频器来说，$p_0(t) = 0$，因此混频器的输出频谱中没有本振信号的奇次谐波成分。这是双平衡混频器与单平衡混频器的主要差别。而$p_1(t)$也是一个奇函数，因此双平衡混频器的输出频谱中仅包含有射频信号与本振信号奇次谐波的和频或者差频成分，而它的转换增益与单平衡混频器的转换增益相同。

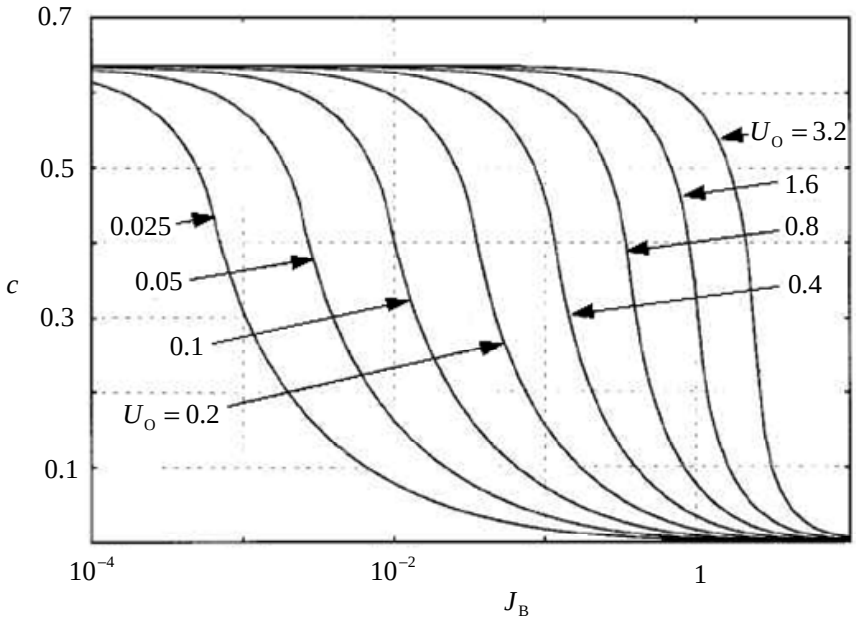


图 9-11 开关对的转换增益c随归一化偏置电流J_B和归一化本振信号幅度$U_O = \Theta V_O$的变化曲线

§9.3.3 噪声因子（噪声系数）

由于开关管的工作点是周期性变化的，信号的处理过程是一个周期性时变过程，因此混频器产生的噪声具有周期性时变特性，称为周期性稳态过程。周期性稳态过程一般用时变功率谱密度$S(f,t)$来描述。这是分析混频器的噪声与分析其它线性时不变电路的噪声的主要区别。下面我们来分析混频器在混频过程中所产生的各种噪声，并计算其噪声因子。下面的计算都以单平衡混频器为例推导出结果，然后将结果推广到双平衡混频器。

1. 驱动级的白噪声

假设驱动级的输出电流i_s中包含有噪声电流成分$n_3(t)$（如M_3产生的沟道电流噪声或者射频输入端引入的噪声），其噪声功率谱密度为$S_{n3}(f)$。$n_3(t)$对混频器输出噪声的贡献为：

$$y_{n3}(t) = n_3(t) \cdot p_1(t) \tag{9-39}$$

尽管$n_3(t)$是一个稳态过程，但由于$p_1(t)$的作用，y_{n3}却具有周期性时变特性，是一个周期性稳态过程，它的时变功率谱密度为：

$$S_{n3}^{o}(f) = \sum_{n=-\infty}^{\infty} |p_{1,n}|^2 S_{n3}(f - nf_{LO}) \tag{9-40}$$

如果$n_3(t)$是白噪声，$S_{n3}(f) = N_{n3}$，那么：

$$S_{n3}^{o}(f) = N_{n3} \cdot \sum_{n=-\infty}^{\infty} |p_{1,n}|^2 = \alpha N_{n3} \tag{9-41}$$

其中，α是$p_1(t)$的平均功率：

$$\alpha = \sum_{n=-\infty}^{\infty} |p_{1,n}|^2 = \frac{1}{T_{LO}} \int_0^{T_{LO}} (p_1(t))^2 dt \tag{9-42}$$

从式9-41可以看出，本振信号的各奇次谐波都将相应边带处（$nf_{LO} \pm f_{out}$）的噪声成分转换到中频f_{out}，对混频器输出的噪声产生贡献，如图9-12所示。

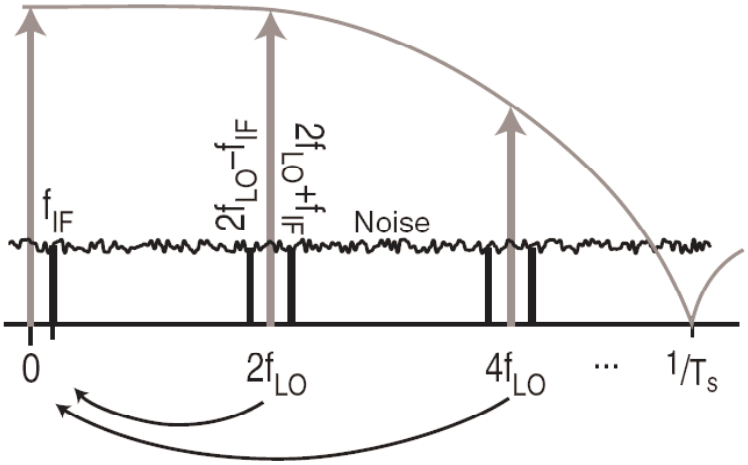


图 9-12 混频过程中白噪声的频域搬移过程

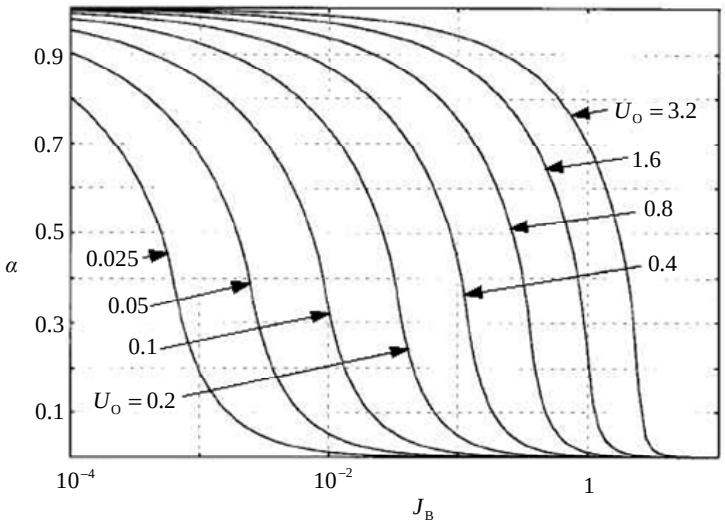


图 9-13 α随归一化偏置电流J_{B}和归一化本振信号幅度$U_{\mathrm{O}}=\Theta V_{\mathrm{O}}$的变化曲线

当本振信号幅度足够大时，$p_1(t)$近似为一个方波，$\alpha \to 1$，其中，$f_{\mathrm{LO}} \pm f_{\mathrm{out}}$边带处的噪声贡献了81%，$3f_{\mathrm{LO}} \pm f_{\mathrm{out}}$边带处的噪声贡献了9%，更高阶边带处的噪声贡献了其余的10%。

图9-13给出了α随归一化本振信号幅度U_{O}和归一化偏置电流J_{B}的变化曲线。 从图中可以看出，α随着偏置电流的增加而减小，随着本振信号幅度的增加而增加，并逐渐趋近于1。如果将$p_1(t)$在转换时间间隔Δ内的转换曲线近似为一条直线，则当$V_{\mathrm{LO}} > V_{\mathrm{x}}$，有：

$$\alpha \approx 1 - \frac{4}{3}(\Delta f_{\mathrm{LO}}) \tag{9-43}$$

当$U_{\mathrm{O}} < 0.8$，该式引入的误差小于25%；当$U_{\mathrm{O}} < 1.6$时，该式引入的误差小于50%；当$U_{\mathrm{O}} < 3.2$时，该式引入的误差小于85%。

对于单平衡混频器来说，N_{n3}包含晶体管M_3的热噪声、信号源阻抗R_{S}引入的噪声和晶体管栅极寄生阻抗r_{g3}的热噪声，因此

$$S_{n3}^{\mathrm{o}}(f) = \alpha \cdot 4\mathrm{k}T(R_{\mathrm{S}} + r_{\mathrm{g3}} + \frac{\gamma}{g_{\mathrm{m3}}})g_{\mathrm{m3}}^2 \tag{9-44}$$

对于双平衡混频器，则有：

$$S_{n,56}^{\mathrm{o}}(f) = \alpha \cdot 4\mathrm{k}T(R_{\mathrm{S}} + 2r_{\mathrm{g3}} + \gamma\frac{2}{g_{\mathrm{m5}}})g_{\mathrm{m5}}^2 \tag{9-45}$$

因此当双平衡混频器驱动级晶体管的偏置和尺寸与单平衡混频器驱动级晶体管保持相同时，双平衡混频器驱动级引入的噪声是单平衡混频器的两倍。

2. **开关对的热噪声**

如果忽略电容效应和晶体管的输出阻抗，当开关对中的一个晶体管截止时，混频器的输出电流将仅由I_3决定，因此开关对不产生热噪声。仅当开关对中的两个晶体管同时导通时，开关对才会产生热噪声。假设Δ间隔内M_1、M_2都工作于饱和区，则利用与计算差分对的输出噪声相同的方法，可以计算出开关对在输出端产生的瞬时噪声功率谱密度为：

$$4\cdot 4kT\gamma\left(\frac{1}{g_{m1}}\left(\frac{g_{m1}}{1+g_{m1}/g_{m2}}\right)^2+\frac{1}{g_{m2}}\left(\frac{g_{m2}}{1+g_{m2}/g_{m1}}\right)^2\right)=16kT\gamma\left(\frac{g_{m1}\cdot g_{m2}}{g_{m1}+g_{m2}}\right) \tag{9-46}$$

其中，g_{m1}、g_{m2}是晶体管M_1、M_2的瞬时跨导。

开关对引入的输出噪声功率谱密度为

$$S_{n12}^{o}(f,t)=16kT\gamma\left(\frac{g_{m1}\cdot g_{m2}}{g_{m1}+g_{m2}}\right)=8kT\gamma G(t) \tag{9-47}$$

其中，$G(t)$为开关对从本振输入端到混频器输出端的等效跨导：

$$G(t)=2\frac{g_{m1}\cdot g_{m2}}{g_{m1}+g_{m2}} \tag{9-48}$$

图9-14给出了$G(t)$和$S_{n12}^{o}(f,t)$的时域波形。 从图中可以看出，当$V_{LO}=0$时，开关对引入的热噪声达到最

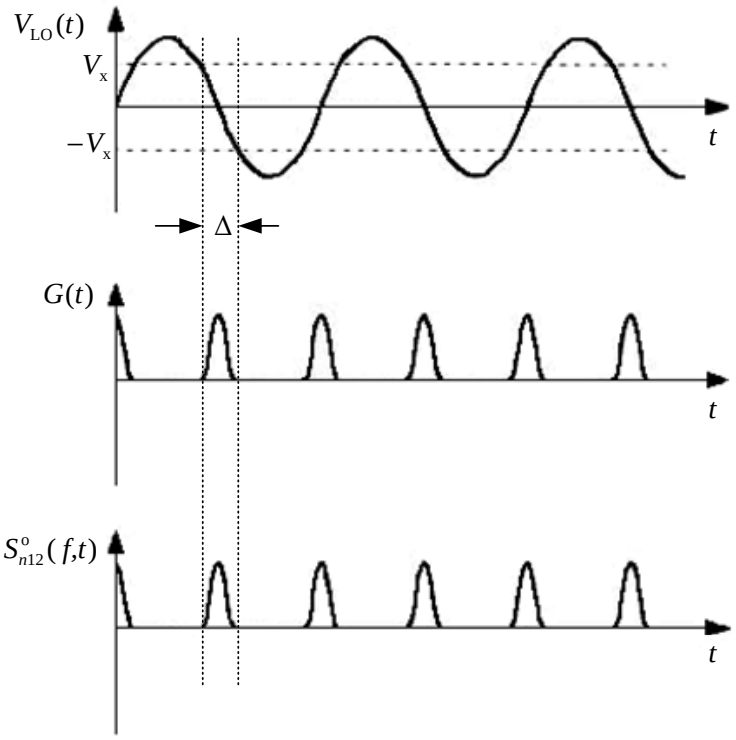


图 9-14 $G(t)$和$S_{n12}^{o}(f,t)$的时域波形

大。本振信号幅度越大，两个晶体管同时导通的间隔Δ越小，开关对引入的热噪声会越小。

对$S_{n12}^{o}(f,t)$在一个周期内取平均，可以得到开关对引入的热噪声的平均功率谱密度：

$$S_{n12}^{o}(f,t)=8kT\gamma\left(\frac{1}{T_{LO}}\int_0^{T_{LO}}G(t)dt\right)=8kT\gamma\overline{G} \tag{9-49}$$

其中，$\overline{G}$是$G(t)$在一个周期内的平均值。图9-15给出了$\overline{G}$随归一化偏置电流J_B和归一化本振信号幅度U_O的变化曲线。

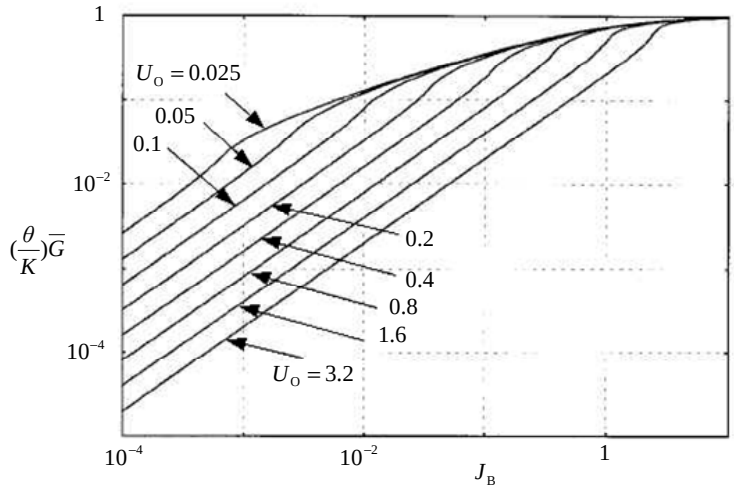


图 9-15 $\overline{G}$随归一化电流J_B和归一化本振信号幅度U_O的变化曲线

如果本振信号是幅度足够大的正弦型信号，则作一些简化后，$\overline{G}$可以以简单的公式表示。将$\overline{G}$中的积分变量以V_{LO}表示，则：

$$\overline{G} = \frac{1}{\pi V_O}\int_{-V_x}^{V_x} G(V_{LO})\frac{1}{\sqrt{1-(V_{LO}/V_O)^2}}\mathrm{d}V_{LO} \tag{9-50}$$

如果本振信号幅度足够高，则在时间间隔Δ内，$V_{LO} \ll V_O$，因此$\frac{1}{\sqrt{1-(V_{LO}/V_O)^2}} \approx 1$。考虑到$G(V_{LO}) = \mathrm{d}I_{o1}/\mathrm{d}V_{LO}$，因此：

$$\overline{G} = \frac{1}{\pi V_O}\int_{-V_x}^{V_x}(\frac{\mathrm{d}I_{o1}}{\mathrm{d}V_{LO}})\mathrm{d}V_{LO} = \frac{2I_B}{\pi V_O} \tag{9-51}$$

考虑到对于正弦型本振信号来说，过零（Zero Crosssing）处的斜率为$\varsigma = 2\pi V_O/T_{LO}$，因此

$$\overline{G} = \frac{4}{T_{LO}}\cdot\frac{I_B}{\varsigma} \tag{9-52}$$

开关对在混频器输出端引入的热噪声可以表示为；

$$S_{n12}^{o}(f) = \frac{16kT\gamma}{\pi}\cdot\frac{I_B}{V_O} \tag{9-53}$$

开关对在混频器输出端引入的热噪声与偏置电流成正比，而与本振信号过零处的斜率成反比。当$V_O > V_x$时，在图9-15所示的U_O范围内，利用式9-53计算开关对引入的热噪声最多产生25%的误差。

开关对的偏置是周期性变化的，而γ是晶体管偏置的函数，因此γ也是一个随时间变化的参数。考虑到当$V_{LO} = 0$时，开关对引入的热噪声最大，因此可以$V_{LO} = 0$时晶体管的γ值来计算开关对引入的热噪声。

双平衡混频器有两对开关对组成，当流过每一对开关对的偏置电流和本振信号与单平衡混频器一样时，开关对在输出端所引入的热噪声是单平衡混频器的两倍。

3. 本振端的噪声

本振信号是由时变电路产生的，该时变电路会在混频器本振输入端引入周期性稳态噪声（如相位噪声）。由于混频过程也是一个时变过程，因此不能像前面一样通过对噪声功率谱密度进行时间平均来得到本振端噪声对混频器输出端的噪声贡献，分析该噪声是非常复杂的，本处不进行介绍。但当本振输入端的噪声是一个稳态噪声时，前面介绍的对噪声功率谱密度进行时间平均的方法就可以使用。本振输入端的稳态噪声包括本振信号本身带有的稳态噪声，M_1、M_2栅寄生阻抗的热噪声以及它们的$\frac{1}{f}$噪声。

假设本振信号含有一个噪声成分$n_{LO}(t)$，它对混频器输出端噪声的贡献为

$$y_{nLO}(t) = G(t)n_{LO}(t) \tag{9-54}$$

如果$n_{\mathrm{LO}}(t)$是稳态噪声，它的功率谱密度为$S_{n\mathrm{LO}}(f)$，则$y_{n\mathrm{LO}}(t)$是一个周期性稳态过程，它的时间平均功率谱密度为：

$$S_{n\mathrm{LO}}^{\mathrm{o}}(f)=\sum_{\mathrm{n}=-\infty}^{\infty}|G_{\mathrm{n}}|^2 S_{n\mathrm{LO}}(f-\mathrm{n}f_{\mathrm{LO}}) \tag{9-55}$$

其中，G_{n}是开关对跨导随时间变化波形的傅立叶系数。

如果$n_{\mathrm{LO}}(t)$是白噪声，其功率谱密度为$S_{n\mathrm{LO}}(f)=N_{\mathrm{LO}}$，则

$$S_{n\mathrm{LO}}^{\mathrm{o}}(f)=N_{\mathrm{LO}}\cdot\sum_{\mathrm{n}=-\infty}^{\infty}|G_{\mathrm{n}}|^2=\overline{G^2}\cdot N_{\mathrm{LO}} \tag{9-56}$$

其中，

$$\overline{G^2}=\frac{1}{T_{\mathrm{LO}}}\int_0^{T_{\mathrm{LO}}}G(t)^2\mathrm{d}t \tag{9-57}$$

图9-16给出了$\overline{G^2}$与归一化偏置电流J_{B}及归一化本振信号幅度U_{O}的关系曲线。

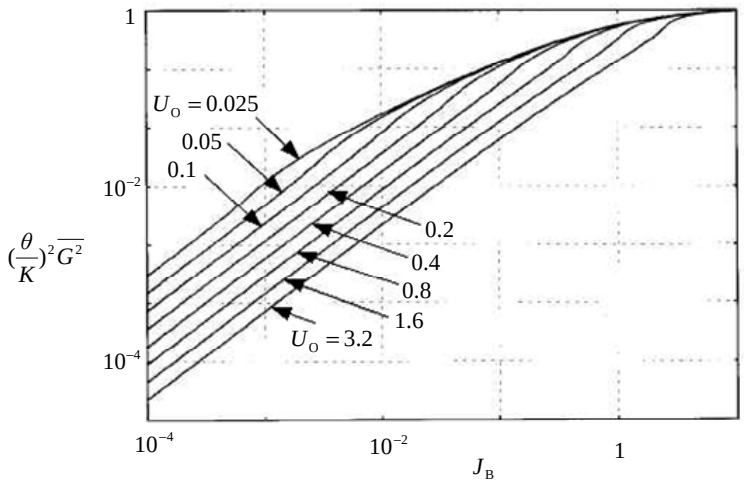


图 9-16 $\overline{G^2}$与归一化偏置电流J_{B}及归一化本振信号幅度U_{O}的关系曲线

如果假设晶体管满足平方律$I-V$方程（$\Theta=0$），并且本振信号幅度足够强，则：

$$\overline{G^2}\approx 16\left(\frac{\ln(\sqrt{2}+1)}{\sqrt{2}}-\frac{1}{3}\right)\cdot\frac{K^{1/2}I_{\mathrm{B}}^{3/2}}{\varsigma T_{\mathrm{LO}}}=4.64\cdot\frac{K^{1/2}I_{\mathrm{B}}^{3/2}}{\varsigma T_{\mathrm{LO}}} \tag{9-58}$$

当$V_{\mathrm{O}}>V_{\mathrm{x}}$时，如果$U_{\mathrm{O}}<0.8$，该式引入的误差小于25%；如果$U_{\mathrm{O}}<1.6$，该式引入的误差小于50%；如果$U_{\mathrm{O}}<3.2$，该式引入的误差小于90%。从式中可以看出，$\overline{G^2}$与本振信号过零处的斜率成反比，而与偏置电流的3/2方成正比。

对于单平衡混频器来说，N_{LO}包括本振信号的噪声基底（Noise Floor，以等效热电阻R_{LO}表示）和晶体管M_1、M_2的栅寄生阻抗r_{g1}产生的热噪声，因此：

$$S_{n\mathrm{LO}}^{\mathrm{o}}(f)=4\mathrm{k}T(R_{\mathrm{LO}}+2r_{\mathrm{g1}})\overline{G^2} \tag{9-59}$$

本振信号的噪声基底对混频器的噪声系数具有很大的影响，可以在本振信号输入端插入滤波器来减弱它的影响。

匹配的双平衡混频器对本振信号具有完全抑制能力，因此本振信号的噪声基底对双平衡混频器没有影响，即对于双平衡混频器来说

$$S_{n\mathrm{LO}}^{\mathrm{o}}(f)=4\mathrm{k}T(4r_{\mathrm{g1}})\overline{G^2} \tag{9-60}$$

4. **混频器的噪声因子**

如果负载引入的噪声用一个等效热电阻R_{L}来表示，则单平衡混频器的单边带噪声因子为：

$$\mathrm{F_{SSB}}=\frac{\alpha}{c^2}+\frac{(\gamma_3+r_{\mathrm{g3}}g_{\mathrm{m3}})g_{\mathrm{m3}}\alpha+2\gamma_1\overline{G}+(R_{\mathrm{LO}}+2r_{\mathrm{g1}})\overline{G^2}+\frac{1}{R_{\mathrm{L}}}}{c^2g_{\mathrm{m3}}^2R_{\mathrm{S}}} \tag{9-61}$$

而双平衡混频器的单边带噪声因子为：

$$\mathrm{F_{SSB}}=\frac{\alpha}{c^2}+\frac{2(\gamma_3+r_{\mathrm{g3}}g_{\mathrm{m3}})g_{\mathrm{m3}}\alpha+4\gamma_1\overline{G}+4r_{\mathrm{g1}}\overline{G^2}+\frac{1}{R_{\mathrm{L}}}}{c^2g_{\mathrm{m3}}^2R_{\mathrm{S}}} \tag{9-62}$$

如果在混频器输入端插入一个带通滤波器来滤除输入信号带之外的噪声，则上述两式中的α/c^2项将变为1。

对比单平衡混频器和双平衡混频器的噪声因子，可以发现：如果忽略本振信号噪声基底的贡献，则双平衡混频器的功耗是单平衡混频器的两倍，而噪声因子比单平衡混频器还高。

如果把开关对看成是理想开关，则$\alpha=1$、$c=2/\pi$、$\overline{G}\to 0$、$\overline{G^2}\to 0$，则这时单平衡和双平衡混频器的单边带噪声因子近似为；

$$\mathrm{F_{SSB}}=\frac{\pi^2}{4}[1+\frac{(\gamma_3+r_{\mathrm{g3}}g_{\mathrm{m3}})g_{\mathrm{m3}}+\frac{1}{R_{\mathrm{L}}}}{g_{\mathrm{m3}}^2R_{\mathrm{S}}}] \tag{9-63}$$

$$\mathrm{F_{SSB}}=\frac{\pi^2}{4}[1+\frac{2(\gamma_3+r_{\mathrm{g3}}g_{\mathrm{m3}})g_{\mathrm{m3}}+\frac{1}{R_{\mathrm{L}}}}{g_{\mathrm{m3}}^2R_{\mathrm{S}}}] \tag{9-64}$$

在混频器的初步设计阶段，可以用以上两式初步估计混频器的噪声因子（噪声系数）。

5. **$\frac{1}{f}$噪声**

以上的分析都忽略了$\frac{1}{f}$噪声的贡献，当混频器的中频频率较高时，$\frac{1}{f}$噪声的影响通常可以忽略。但在零中频接收机中，混频器的输出有用信号频率较低，因此$\frac{1}{f}$噪声对零中频接收机性能具有很重要的影响。

驱动级产生的$\frac{1}{f}$噪声与本振信号混频，输出噪声成分位于本振信号的奇次谐波处，因此在低频处不会产生噪声贡献。但当混频器开关对中的晶体管存在不匹配时，驱动级产生的$\frac{1}{f}$噪声还是会泄漏到输出，产生低频噪声成分。因此设计一个应用于零中频接收机的混频器时，匹配是版图设计时非常重要的考虑因素。

开关对也会产生$\frac{1}{f}$噪声，如果将开关对中的晶体管产生的$\frac{1}{f}$噪声等效为串联在开关管栅极的时不变噪声电压源，它对混频器输出噪声的贡献可以用式9-54来计算。由于$G(t)$是周期为$T_{\mathrm{LO}}/2$的周期函数，因此开关对的$\frac{1}{f}$噪声对输出端的贡献仅存在于本振信号的偶次谐波处（直流、$2f_{\mathrm{LO}}$、$4f_{\mathrm{LO}}$等），开关对的$\frac{1}{f}$噪声在输出端产生的噪声功率谱密度可以用式9-55来计算。

6. **噪声分析的高频考虑**

在上面的分析中，我们都忽略了各节点寄生电容的影响，实际上，节点寄生电容（特别是开关对共源节点的寄生电容）对混频器性能具有很大的影响。为了说明这一点，我们来考虑本振输入端噪声在混频器输出端产生噪声贡献的另一种机制。在前面，只有当开关对是非理想开关，开关对中的晶体管存在同时导通间隔时（$\Delta>0$），本振输入端噪声才会对混频器输出端产生噪声贡献。当开关对是理想开关时，本振输入端噪声都不会对混频器输出端产生噪声贡献。

但实际上，即使开关对是理想开关，本振输入端噪声也会对混频器输出端产生噪声贡献，这是通过一种非直接噪声机制来实现的。图9-17给出了单平衡混频器的电路图。 其中，驱动级产生电流I，开关对$\mathrm{M_1}$、$\mathrm{M_2}$的共源节点存在一个寄生电容C_{P}，驱动开关管$\mathrm{M_1}$、$\mathrm{M_2}$的本振信号是理想方波信号。本振输入端的噪声用串联在开关对栅极的电压源$\overline{V_n^2}$来表示，V_{S}是开关对共源节点的电压。

如果$\overline{V_n^2}=0$，由于开关是理想的，晶体管的导通和截止是瞬间发生的，因此开关对共源节点的电压是一个不随时间变化的恒电压。当$\overline{V_n^2}\neq 0$时，在某一个半周期内，晶体管$\mathrm{M_1}$导通，$\mathrm{M_1}$相当于一个源极跟随器，对电容C_{P}充电，使得共源节点电压升高，充电时间常数为$C_{\mathrm{P}}/g_{\mathrm{m1}}$，$g_{\mathrm{m1}}$是$\mathrm{M_1}$的跨导。该时间常数

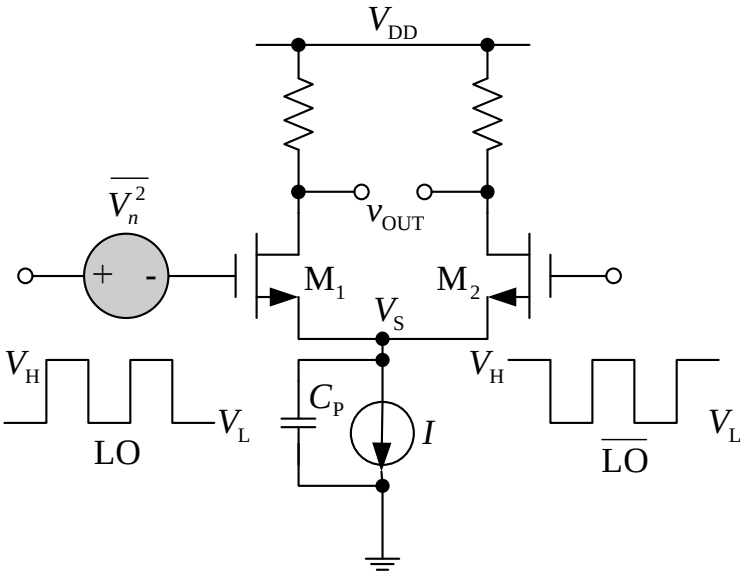


图 9-17 考虑开关对共源节点寄生电容的单平衡混频器电路图

一般远小于本振信号周期，如图9-18中交流信号V_S波形所示。 当充电结束时，$V_S = V_n$。在另一个半周期内，晶体管M_1截止，M_2导通，M_2相当于源极跟随器，由于M_2栅极仅接了方波信号，它将对共源节点电压进行放电，使共源节点电压下降。充电和放电过程会在共源节点引入噪声电流成分i_{CP}，如图9-18中的波形i_{CP}所示。由图中可以看出，该电流成分以f_{LO}为周期，并且直流值为0。在频域上，它将在本振信号的偶次谐波处（包括直流）产生噪声。当混频器的输出频率很低（如应用于零中频接收机的混频器），该机制引入的噪声将对接收机性能产生很大影响。

如果混频器的本振信号为正弦型信号，非直接噪声机制仍然会起作用，只是这时开关对的栅极信号为全波整流的正弦波与噪声电压$\overline{V_n^2}$的叠加，如图9-19所示。 这时共源节点的电压波形将为这两个电压源所引起的充放电过程的叠加，如图9-20所示。由于共源节点波动幅度增加，因此噪声电流成分i_{CP}也增加，这种机制引入的噪声也会增加。

共源节点波动的幅度与本振信号的幅度有关，当本振信号幅度很大时，共源节点波动幅度很大，对节点寄生电容充放电的瞬时电流也会很大，从而在混频器输出端产生很多强度很高的毛刺；另外，如前面所述，当本振信号V_{LO}接近零时，开关对中的晶体管同时导通，但由于共源节点电压波动，开关对中的晶体管可能会临时离开饱和区，影响混频器的性能。考虑到这一点，本振信号的幅度也并不是越大越好。

考虑到节点寄生电容后，仅当本振信号的最高频率小于如下的值时，忽略节点寄生电容的分析方法引入的误差才可以忽略：

$$f_{LOmax} = \varepsilon_1 \frac{I_B}{2\pi C_P[\frac{V_O}{2} - (V_{gs1} - V_{gs0})]} \tag{9-65}$$

其中，ε是一个常数，约为0.2～0.3；V_{gs1}、V_{gs0}是V_{LO}最高和等于0时M_1的低频栅源电压。

7. 噪声优化

混频器输出端的噪声主要是由驱动级产生的热噪声、开关对产生的热噪声和$\frac{1}{f}$噪声、负载噪声引起的。驱动级是一个共源放大器，因此可以采用与低噪声放大器相同的噪声优化方法来优化驱动级中晶体管的尺寸和偏置，使得驱动级产生的热噪声尽可能低。

在开关对的设计上，由图9-13、9-14和图9-16可以看出，增加偏置电流会增加开关对的热噪声和$\frac{1}{f}$噪声的贡献，但却可以减小驱动级热噪声的贡献，而且会降低混频器的转换增益；而增加本振信号幅度（如果本振缓冲器的功耗一定，相当于降低开关管的尺寸）会降低开关对的热噪声和$\frac{1}{f}$噪声的贡献，但却会增加驱动级热噪声的贡献，同时会使混频器的转换增益增加。在混频器的设计中必须进行折衷考虑。

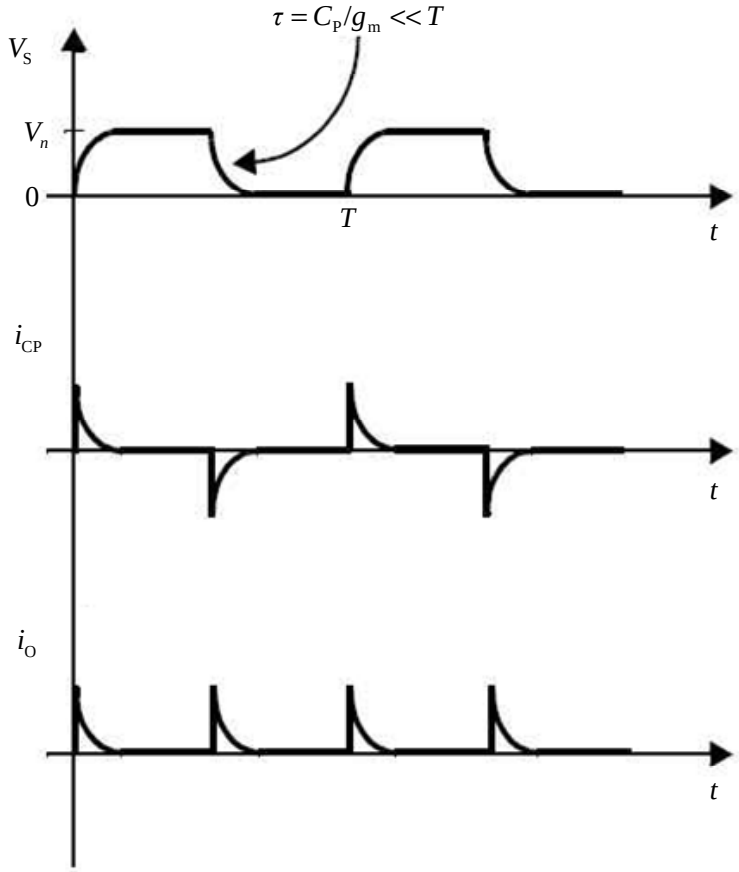


图 9-18 开关对共源节点电压V_S和寄生电容充放电电流i_{CP}和输出电流i_O的波形

如果开关对噪声（包括热噪声和$\frac{1}{f}$噪声）是限制混频器噪声性能的主要因素，那么可以在不影响驱动级偏置电流的情况下减小流过开关对的偏置电流来减小混频器的噪声因子（噪声系数）。这可以通过在开关对的源极注入一个固定的偏置电流来实现，如图9-21所示。 如同前面所说，这样还可以增加混频器的转换增益，但会增加驱动级热噪声的贡献，而且偏置电流I_P本身会引入噪声，这些反过来增加了混频器的噪声因子（噪声系数）。

§9.3.4 线性度

当混频器的负载是线性负载时，混频器的线性度与驱动级和开关对有关。由于开关对的状态是一个周期性稳态过程，因此分析它的线性度是非常复杂的。本小节将仅针对三阶交调点和二阶交调点进行定性说明。由于双平衡混频器是由两个单平衡混频器以差分结构构成的，双平衡混频器的输入功率在两个单平衡混频器之间平分，因此双平衡混频器的线性度性能比单平衡混频器高3dB。下面仅针对单平衡混频器进行说明。

对于单平衡混频器来说，驱动级是一个共源放大器，因此可以直接引用“低噪声放大器”一章中的结果来得到驱动级的三阶交调积和二阶交调积。驱动级的线性度限制了混频器最高能达到的线性度性能。

当驱动级是一个理想的电压-电流线性变换器时，混频器的线性度也会受到开关对引入的交调的限制。研究发现，当本振信号频率较低，可以忽略电路中的节点寄生电容时，开关对引入的三阶交调积与本振信号过零处的斜率成反比，随本振信号幅度的增加而减小，因此当开关对可近似作为理想开关时，可以忽略开关对引入的三阶交调积的贡献；而当本振信号频率较高时，开关对共源节点的寄生电容会严重恶化混频器的三阶交调性能，共源节点的寄生电容越大，三阶交调积越高，而且与低频情况下不同，高频下开关对引入的三阶交调积与本振信号幅度之间不是单调关系，本振信号幅度较小时，本振信号幅度增加，开关对引入的三阶交调积会减小；而当本振信号幅度增加到一定程度后，开关对引入的三阶交调积反而会随着本

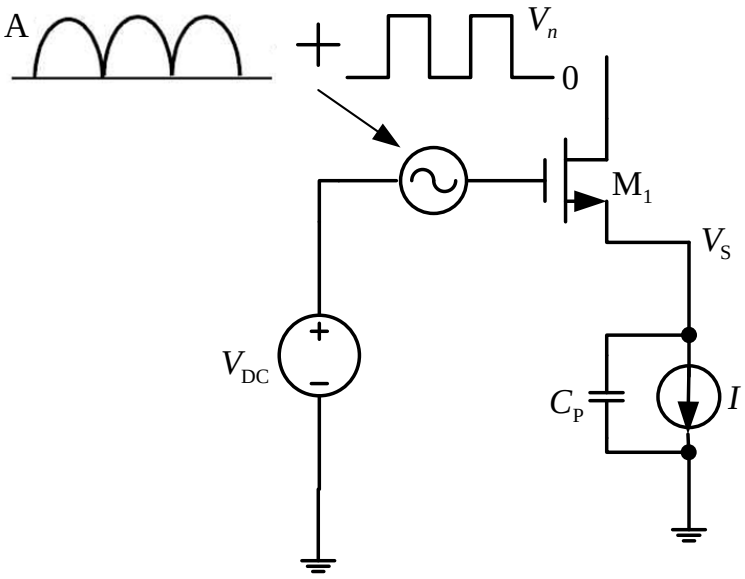


图 9-19 本振信号为正弦型信号时开关对的输入端电压为整流波形和噪声电压的叠加

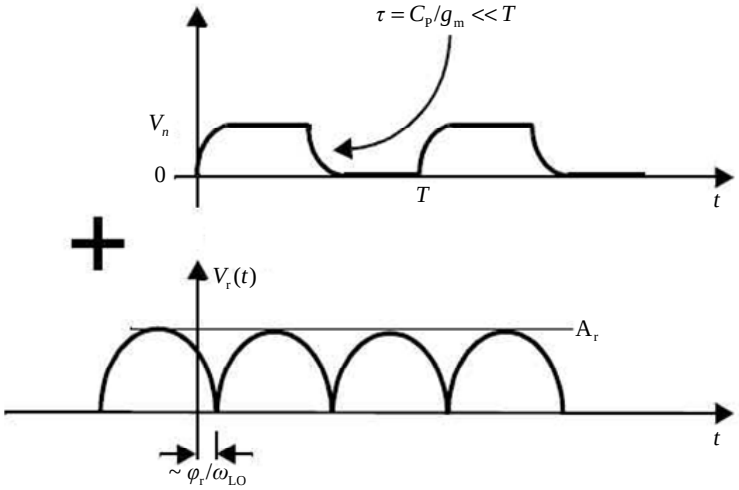


图 9-20 开关对共源节点的电压波形

振信号幅度的增加而增加，因此存在一个优化的本振信号幅度，可以最大程度地减小开关对引入的三阶交调积。

无论是高频下还是低频下，混频器的三阶交调积近似是驱动级的三阶交调积和开关对引入的三阶交调积之和。因此为了提高混频器的三阶交调点，就要提高驱动级的线性度，这可以采用源简并技术、AB类工作的驱动级技术、分段线性近似技术等，相关的内容我们将在下一小节进行介绍；为了减小开关对引入的三阶交调积，应对本振信号幅度和开关对尺寸进行优化，选择使三阶交调积最小的本振信号幅度和开关对尺寸。

在零中频接收机中，混频器的二阶交调点也是一个很重要的参数。在混频器中，存在多种机制产生二阶交调积，由于分析的复杂性，我们仅对它们进行定性描述，对定量描述感兴趣的读者请参考本章后面的文献。自混频是混频器中产生二阶交调积成分的一种机制，它是由于在射频信号输入端和本振信号输入端之间存在寄生耦合通道，射频信号可以耦合到本振信号输入端。如果开关对是非理想开关，在一定的时间间隔内（Δ），开关对中的两个晶体管同时导通，混频器相当于一个乘法器，耦合到本振信号输入端的射频信号与从驱动级来的射频信号相乘，产生二阶交调成分，使得混频器的输出中包含有一个基带电流成分。这种机制与本振信号幅度和射频输入端与本振输入端之间的隔离度有关，可以通过增加本振信号幅

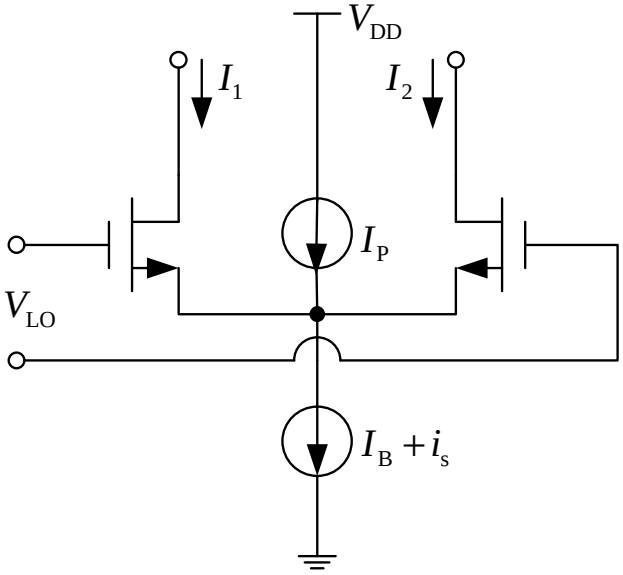


图 9-21 通过减小流过开关对的电流来减小混频器的噪声系数

度、提高射频输入端与本振输入端之间的隔离度来减弱自混频产生的二阶交调成分。

混频器产生二阶交调积的第二种机制是由两个因素引起的：驱动级的二阶非线性和开关对中晶体管的不匹配。在单平衡混频器中，由于驱动级存在二阶非线性，驱动级的输出电流中将包含有低频二阶交调成分，如果本振信号的两个半周期是不对称的，开关对将产生占空比失真（Duty-Cycle Distortion），使得驱动级输出电流中的二阶交调成分不经过混频过程而直接泄漏到混频器输出，产生二阶交调积。双平衡混频器虽然在理论上可以消除由于占空比失真产生的泄漏，但开关对中晶体管的不匹配仍然会使得驱动级产生的低频二阶交调成分泄漏到混频器输出。因此提高驱动级的二阶非线性和改善开关对中晶体管的匹配程度可以减小这种机制产生的二阶交调积，也可以将驱动级产生的信号电流通过交流耦合的办法送到开关对来减小二阶交调积的泄漏

混频器产生二阶交调积的第三种机制是开关对的非线性，这种机制与开关对共源节点的寄生电容有直接关系。对该电流充放电会在共源节点引入二阶交调积，然后由于开关对中晶体管的不匹配，二阶交调积泄漏到输出。因此减小共源节点的寄生电容可以减小这种机制引入的二阶交调积（实际上，它也可以减小第二种机制引入的二阶交调积，因为高频下开关对中晶体管不匹配造成的泄漏增益也与共源节点的寄生电容有关）。第三种机制是混频器混频过程中引入的，因此是混频器的本征效应，理论上没有办法完全消除，而前两种机制不是混频器的本征效应引入的，理论上可以完全消除这两种机制引入的二阶非线性。

§9.3.5 提高线性度的技术

由于混频器的线性度主要与驱动级和开关对有关，因此改善混频器的线性度应从提高驱动级的线性度和提高开关对的线性度两方面着手进行考虑。驱动级实际上是一个高频V–I变换电路，可以通过以下技术来提高驱动级的线性度：源简并技术、AB类工作的驱动级技术、分段线性近似技术。而提高开关对的线性度除了对本振信号幅度和开关对中的晶体管尺寸进行优化外，还可以采用在开关对共源节点并联一个电感的方法来降低共源节点寄生电容充放电所引入的非线性。最近还提出了一种通过三阶交调积补偿来提高线性度的技术。

1. 源简并技术

这种技术通过在驱动级晶体管的源极串联一个无源元件形成串联反馈来提高驱动级的线性度，图9-22给出了单平衡混频器和双平衡混频器的驱动级引入源简并元件Z_E之后的电路图。 源简并元件Z_E可以是电感、电容或者电阻。电阻作源简并元件会引入热噪声，而且电阻本身会产生压降；电容和电感作源简并元件并不会引入额外的噪声，而且对高频谐波成分和交调成分具有一定的抑制作用。考虑到电容作源简并

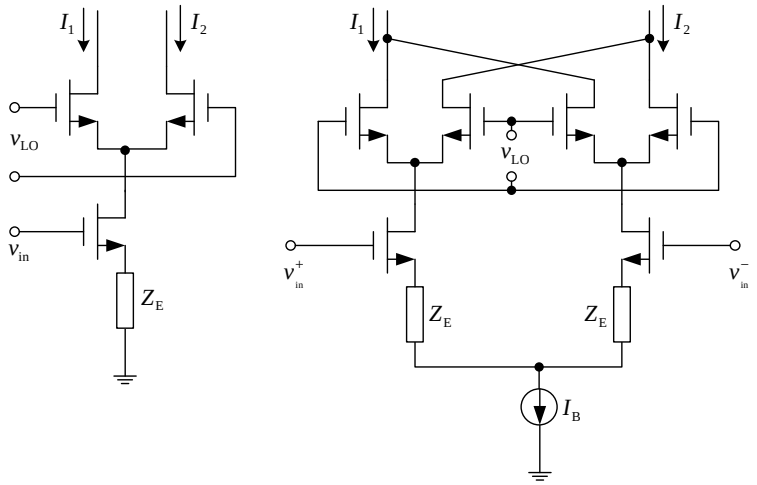


图 9-22 采用源简并技术提高混频器的线性度

元件还需要在驱动级中插入额外的直流通路，而且会在晶体管栅极产生一个负阻，使得驱动级不稳定，因此通常用电感作源简并元件。同低噪声放大器一样，源简并技术会降低驱动级的跨导和混频器的转换增益。由于电感的阻抗随频率的升高而增大，因此使用电感作源简并元件的驱动级的跨导是随着频率的升高而减小的，如果混频器采用高边带混频（本振信号频率高于射频信号频率），射频信号比镜像带的噪声具有更大的转换增益，而且源简并电感可以衰减高频噪声，因此可以改善混频器的噪声性能。而如果混频器采用低边带混频（本振信号频率低于射频信号频率），镜像带的噪声具有比射频信号更大的转换增益，因此会恶化混频器的噪声性能。所以，对于采用源简并电感的混频器来说，采用高边带混频可以得到更好的噪声性能，这是进行系统设计时要考虑的一个因素。

2. AB类工作的驱动级

AB类工作的驱动级偏置于AB类工作模式，驱动级的偏置电流小于平均输出电流，因此在一个周期的一部分时间内，驱动级的晶体管处于截止状态，如图9-23 所示。 在高输入功率时使晶体管工作于AB类模

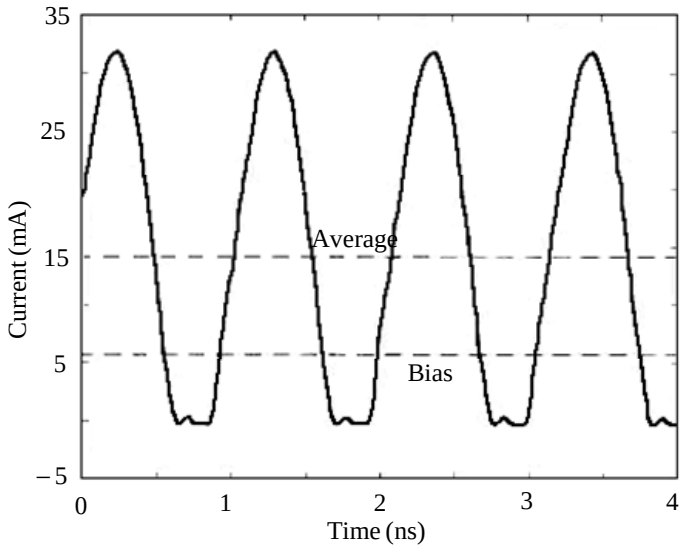


图 9-23 AB类工作的驱动级的输出电流波形

式，可以减小偏置电流，减小负载上的直流压降，避免混频器过早因电压受限而使增益受到压缩，因此可以提高混频器的1dB压缩点。但该技术不能改善混频器的三阶交调性能（三阶交调性能是由电路的弱非线性决定的），而且驱动器中的晶体管截止会产生大量的谐波，使得混频器输出信号中包含有大量的毛刺成

分，因此该类混频器输出端必须有滤波网络来滤除毛刺成分。

3. 分段线性近似技术

分段线性近似利用了以下原理来提高线性度：任何一个系统在一个足够小的范围内都是线性的，因此可以用几个子系统来组成一个完整的系统，每一个子系统在一段范围内是线性的，而且在每一段范围内，整个系统中仅有一个子系统在工作，其它的子系统都不工作，这样的子系统组合起来后就具有较大的线性范围。

图9-24给出了应用这种技术的混频器驱动级。 三个跨导器在以V_B、0、$-V_B$为中心的输入电压范围内

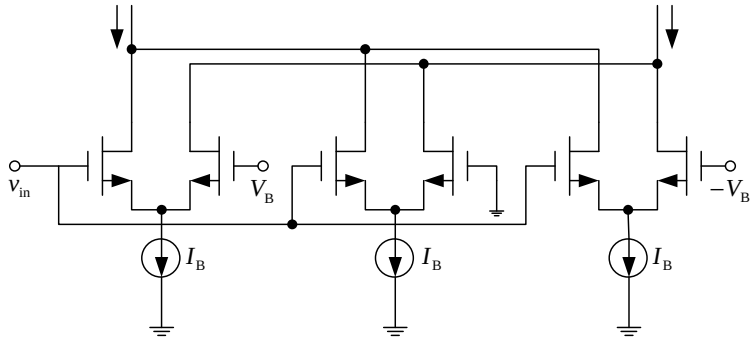


图 9-24 采用分段线性近似技术的驱动级电路图

具有常数跨导。如果输入电压接近0，则中心的跨导器提供绝大多数电流，总跨导近似为一个常数；当输入电压增加到一定程度时，左边的跨导器开始起主要作用，在以V_B为中心的一小段输入电压范围内，左边的跨导也近似是一个常数；当输入电压减小到一定程度时，右边的跨导器提供绝大多数电流，在以$-V_B$为中心的一小段输入电压范围内，右边的跨导近似为常数。因此，通过合理设计偏置电压V_B，可以使得每一个跨导器仅在一小段输入电压范围内提供绝大多数电流。该驱动级的总跨导是三个跨导之和，如图9-25所示。 通过合理设计，可以使得总跨导在很大的输入电压范围内保持为常数，提高了驱动级的线性度。如果

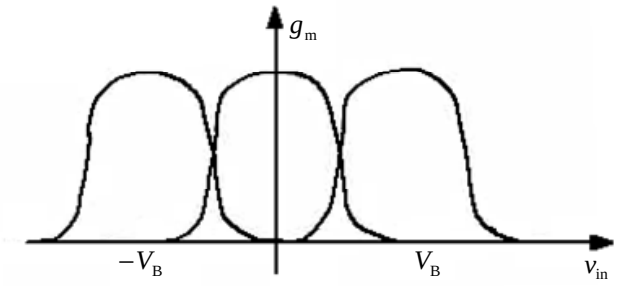


图 9-25 采用分段线性近似的驱动级跨导

还需要扩大线性范围或进一步提高线性度，可以采用更多的跨导级并联，但功耗也会成倍增加。这是采用这种技术来提高线性度的一个缺点。

4. 开关对共源节点谐振

开关对引入的三阶交调积和二阶交调积与开关对共源节点的寄生电容有很大关系。为了减小开关对共源节点处寄生电容对三阶交调点的影响，可以在共源节点并联一个电感到地（如图9-26所示）。 该电感与共源节点寄生电容在$2f_{LO}$处谐振，使得开关对的共源节点在$2f_{LO}$频率处呈现为一个低阻抗，补充共源节点寄生电容充放电所需要的电流，减小开关对引入的三阶交调积和二阶交调积。

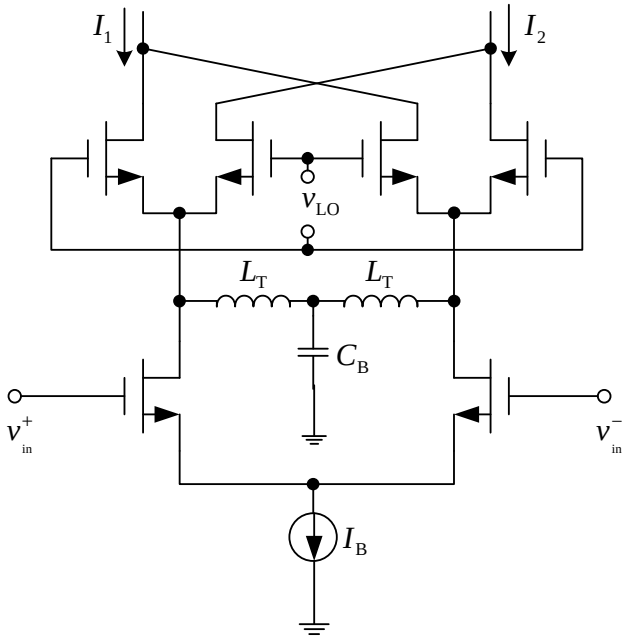


图 9-26 开关对共源节点加入谐振电路来消除寄生电容的影响

5. **三阶交调积消除技术**

这种技术能提高混频器的三阶交调性能，同时对输入1dB压缩点有少量影响。它的基本思想是在主混频器的基础上再增加一个子混频器，它们的三阶交调积具有相同的幅度和180度的相位差，叠加后可以互相抵消，因此可以提高混频器的三阶交调性能。下面我们用双极型电路来说明该技术的实现过程。对于采用电阻发射极简并的双极型驱动级来说，输出电流中的三阶交调积成分与基频成分的比值近似具有下面的关系：

$$\frac{i_{\mathrm{IM3}}}{i_{\mathrm{F}}} \propto \frac{v_{\mathrm{i}}^2}{(I_0 R_{\mathrm{E}})^3} \tag{9-66}$$

其中，v_{i}为输入电压幅度，I_0是差分对的尾电流源，R_{E}是发射极简并电阻。因此只要尾电流源与发射极简并电阻的乘积保持不变，三阶交调成分与基频成分的比值就不会改变。考虑到这一点后就可以实现如图9-27所示的采用三阶交调积消除技术的混频器。 它由主、从两个双平衡混频器构成，驱动级都采用了电阻发射极简并技术。为了减小电阻上的压降，将发射极简并电阻并联在差分对的发射极节点之间，而尾电流源分为两半，分别连接在发射极简并电阻的两边。通过将从混频器的发射极简并电阻设置为主混频器发射极简并电阻的n倍（$n>1$），可以使得从混频器产生的基频成分降为主混频器的$1/n$，当n比较大时（如$n=10$），整个混频器的基频成分近似等于主混频器的基频成分，这样从混频器的加入就不会影响整个混频器的转换增益。而对于三阶交调积来说，如果将从混频器的偏置电流设置为主混频器偏置电流的$n^{-4/3}$倍，两个驱动级的输出电流中就将具有幅度相同的三阶交调成分。再通过将送入开关对的电流交换方向，主混频器输出电流中的三阶交调成分与从混频器输出电流中的三阶交调成分就具有相同的幅度和180°的相位差，它们互相抵消，降低了整个混频器的三阶交调积成分。

这种技术可以极大地提高混频器的三阶交调性能，但从混频器的加入会增加混频器的功耗和噪声。

§9.3.6 输出负载

混频器可以采取三种负载形式：电阻作负载、晶体管作负载和LC并联谐振电路作负载，如图9-28所示。 电阻作负载比较简单，它不会引入非线性，而且具有很宽的带宽，是混频器中最常用的负载形式，但电阻上会引入直流压降，为了不使开关对和驱动级中的晶体管离开饱和区，电阻的阻值不能太大，这会限制混频器的转换增益，而且这种负载不具有滤波特性，因此不能衰减混频过程中产生的毛刺以及LO-IF、RF-IF馈通成分。在下变频器中，为了衰减除中频外的其它频率成分，可以用一个电容与电阻并

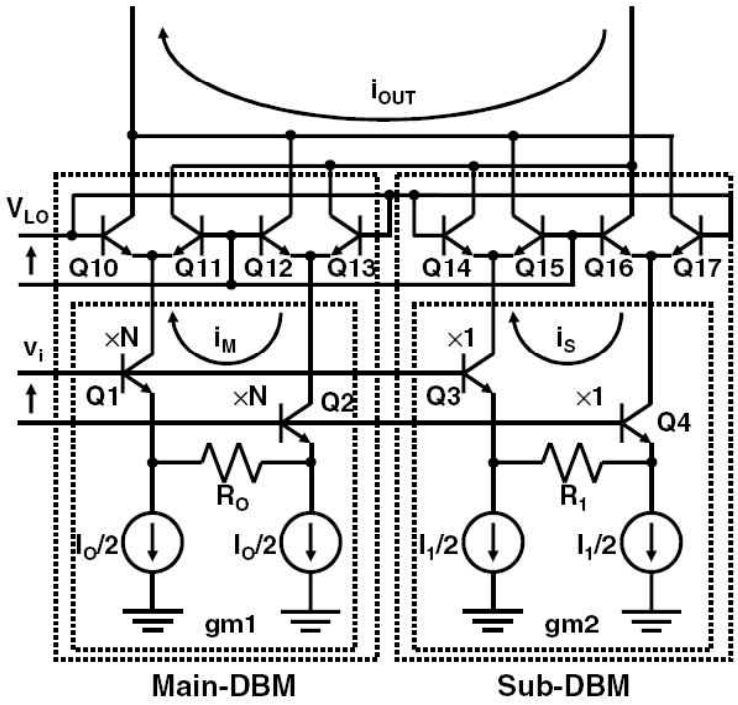


图 9-27 三阶交调积消除技术

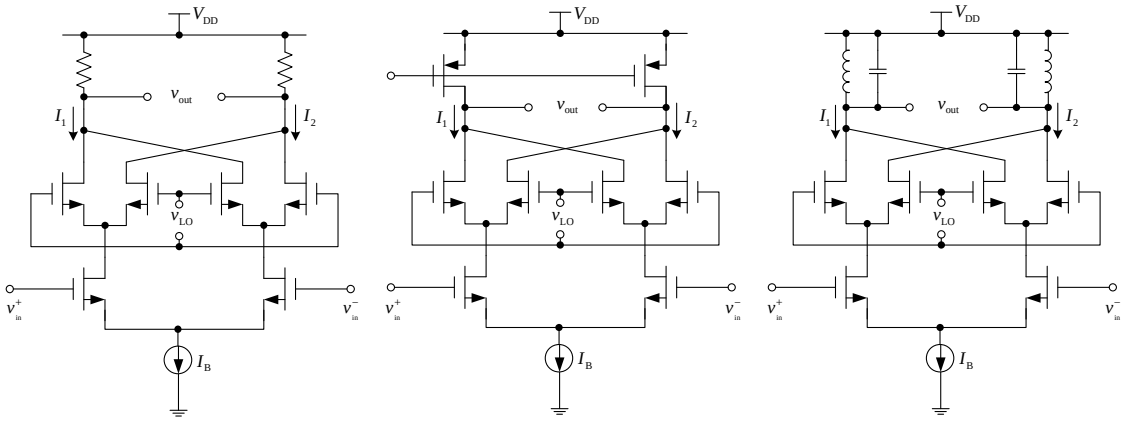


图 9-28 采用三种不同输出负载的混频器

联组成一个低通滤波网络来滤除高频成分，如图9-29(a)所示。 在下变频器或者上变频器中，还可以在混频器的两输出端之间加入LC串联电路来衰减泄漏到输出端的本振信号、输入信号以及混频过程中产生的另外一个边带，LC电路的谐振频率应调节到本振频率或者输入信号频率或另一个边带频率，如图9-29(b) 所示。

MOS晶体管也可以用作混频器的负载。工作于线性区的MOS管本身就是一个非线性电阻，因此可用工作于线性区的PMOS管作混频器的负载。为了避免MOS晶体管因短沟道效应而引入额外的非线性，这种晶体管的沟道长度一般较长，但即便如此，沟道长度调制效应仍然会引入较大的非线性，影响混频器的线性度。MOS晶体管还可以以电流源的形式作混频器的负载，为了稳定输出共模电平，保证开关对和驱动级中的晶体管工作于饱和区，这种电路还需要一个输出共模控制电路，常用的输出共模控制电路如图9-30所示。 混频器的负载阻抗为PMOS晶体管的输出阻抗和共模反馈电阻R_P的并联。同样为了避免短沟道效应和降低沟道长度调制效应，负载晶体管的沟道长度都较长。两种结构相比，（a）结构比较简单，它通过局部共模反馈来控制输出共模电平，但PMOS晶体管的漏源电压之间存在较大压降（$V_{GSp}=V_{Tp}+V_{ovp}$），可能会影响混频器的1dB压缩点；（b）结构中PMOS晶体管的漏源电压可以仅等于过驱动电压（V_{ov}），压

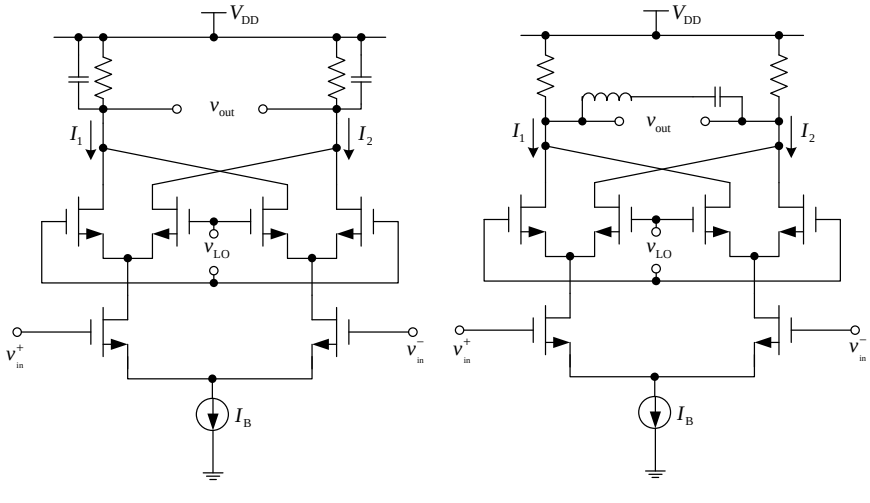


图 9-29 具有滤波功能的电阻负载型混频器

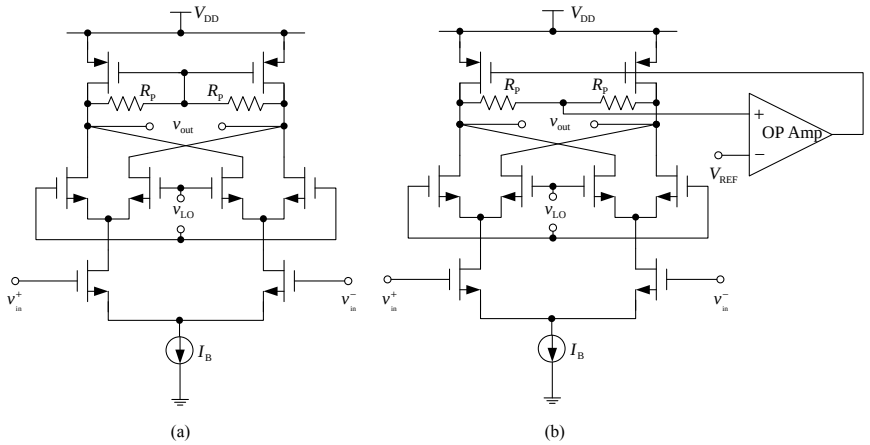


图 9-30 晶体管作负载时混频器的输出共模控制电路

降较小，但共模反馈环路中需要一个运算放大器。

采用MOS晶体管作负载，可以在保证开关对和驱动级中的晶体管工作于饱和区的情况下提供较大的转换增益。为了抑制输出频谱中不需要的频率成分，仍然可以采取上面提到的并联电容构成低通滤波网络或者输出端之间串联*LC*谐振电路的办法。

同低噪声放大器一样，*LC*并联谐振电路也可以作为混频器的负载。谐振网络本身是线性的，不消耗直流压降，而谐振时可以提供较高的阻抗，因此可以提供较高的转换增益，混频器的线性度也不会受到输出负载的影响。由于谐振网络本身具有滤波特性，这种混频器可以滤除输出频谱中的毛刺成分以及本振和射频馈通信号。但在下变频器中，输出中频频率较低，需要的电感量较大，片上很难集成，因此只能采用片外电感元件（即开漏极输出），增加了系统成本。在上变频器中，输出射频频率较高，采用*LC*谐振负载所需的电感量小，很易集成，因此上变频器适宜于采用*LC*并联谐振电路作负载。

§9.3.7 射频输入端接口电路

对于下变频器来说，同本振信号进行混频的是射频信号，因此需要考虑射频输入端的阻抗匹配问题。如果混频器同接收机中的其它模块集成在同一个芯片上，那么阻抗匹配问题就比较简单，混频器射频输入端仅给低噪声放大器引入电容性负载，在设计低噪声放大器时将该电容性负载考虑在内就可以了。但对于单片实现的混频器来说，射频输入端必须匹配到某一个特定的阻抗（一般为50Ω）。下面介绍几种常用的阻抗匹配技术。

同低噪声放大器一样，混频器的驱动级也可以采用电感源简并和在栅极串联电感谐振的办法来达到阻抗匹配的要求，如图9-31所示。 该驱动级可以采用与低噪声放大器相同的设计方法来进行优化。由于串联

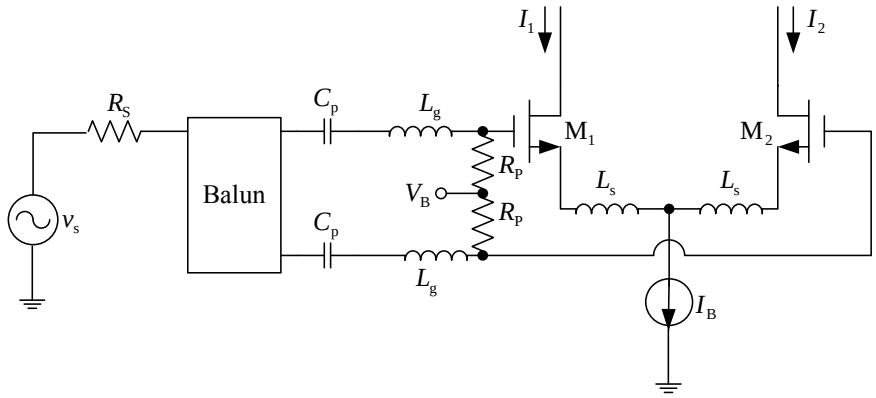


图 9-31 采用电感源简并技术的混频器驱动级

谐振可以提供电压增益，因此这种驱动级可以提供较大的跨导和较低的噪声系数。但由于它需要多个电感元件，占用的芯片面积会较大。

混频器的驱动级还可以采用共栅结构来实现阻抗匹配，如图9-32所示。 通过设置共栅晶体管的跨导等

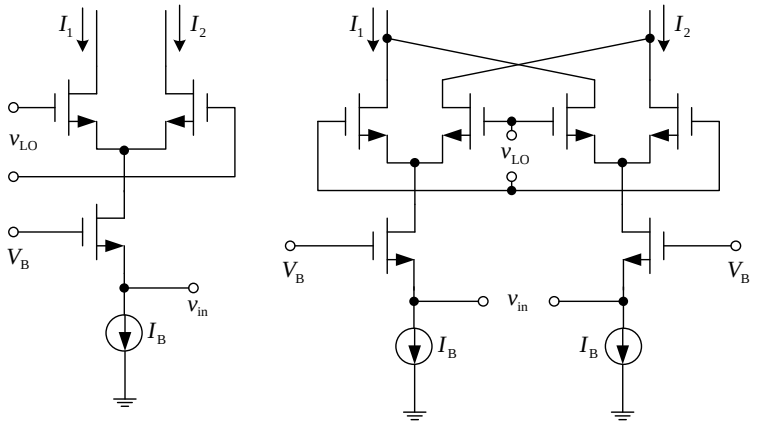


图 9-32 采用共栅结构的混频器驱动级

于20mS（单平衡混频器）或40mS（双平衡混频器），就可以实现50Ω的宽带输入阻抗。考虑到信号源内阻，这种驱动级的有效转换跨导为10mS（单平衡混频器）或20mS（双平衡混频器）。这种驱动级会引入较大的噪声电流，但考虑到混频器的输出噪声主要是由开关对在混频过程中贡献的，驱动级的噪声较大对混频器的整体噪声性能影响并不大；再加之这种结构不需要无源元件就实现了阻抗匹配，因此在单片集成的混频器中，共栅结构的驱动级得到了广泛的应用。

在射频接口上，单平衡混频器采用单端输入，而双平衡混频器采用差分输入，因此当驱动混频器的信号（低噪声放大器输出或者射频信号源）是单端形式时，双平衡混频器还需要一个单端-差分转换电路。当对对称性要求不高时，将双平衡混频器的一个输入端通过电容接地，也可以实现单端输入操作。另一种办法是采用单端输入的双平衡混频器。这种混频器如图9-33所示。 共栅晶体管M_1和共源晶体管M_3的跨导都设计为相同值，因此当信号以电压形式加到A端时，驱动级的输出信号电流i_1和i_2具有相同的幅度和180度的相位差，这样就完成了单端-差分转换功能。共栅晶体管M_1还提供输入阻抗匹配功能。因此该驱动级完成了阻抗匹配、单端电压- 差分电流转换等功能。为了保证两个支路的混频器特性也一致，流过两个支路的直流电流也应该相同，这可以通过调节偏置电流I_B和共栅晶体管的偏置电压V_B来实现。

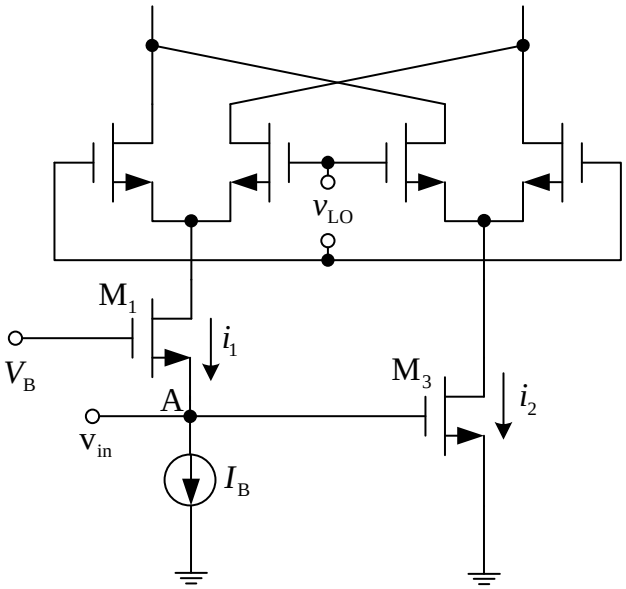


图 9-33 单端输入的双平衡混频器

§9.3.8 本振输入端接口电路

本振信号幅度对混频器的转换增益、线性度和噪声系数等性能都有很大的影响，驱动混频器开关对的本振信号应具有足够的电压摆幅，使得开关对可以近似作为一个理想开关。但本振信号幅度过大，由于对开关对共源节点的寄生电容充放电，充放电电流可能出现尖峰脉冲，而且开关对中的晶体管可能还会瞬间离开饱和区，反而降低了混频器的性能。对于MOS开关对来说，本振信号电压幅度在100mV～300mV之间是比较合适的范围。考虑到射频信号的50Ω匹配要求，当片上没有集成本振缓冲电路时，外部驱动电路需要消耗10mA的电流才能提供这么强的信号。即使是片上集成了本地振荡器，本振信号幅度也足够大，消除本地振荡器和混频器之间的交互式耦合影响也需要一个缓冲器进行隔离。因此，混频器一般同时集成了本振缓冲电路。图9-34给出了一种常用的本振信号缓冲电路，它是采用*LC*并联谐振电路作负载的共源放大器，开关对的栅电容已经被吸收到*LC*谐振负载中了，开关对的尺寸和对本振信号幅度的要求决定了本振缓冲器的功耗。

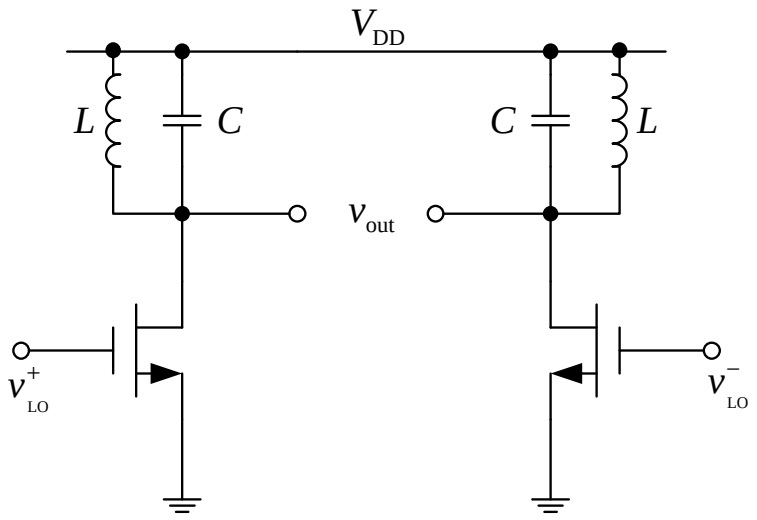


图 9-34 本振缓冲器

为了避免反射信号对本地振荡器造成干扰，本振缓冲器的输入也需要提供50Ω阻抗，一般采用简单的

栅极与地之间并联50Ω电阻的办法来实现。如果本振信号源是单端信号，本振缓冲器输入端还需要一个单端–差分转换电路。

§9.3.9 设计考虑

设计一个混频器时，可以先假设开关对是理想开关，开关对的转换增益为$2/\pi$，根据混频器对转换增益、噪声系数和线性度的要求换算出对驱动级的噪声系数、跨导以及线性度的要求，然后可以采用等高线设计法来设计混频器的驱动级和混频器的负载。在驱动级和负载都确定的情况下，通过仿真来确定最优的开关对晶体管尺寸、偏置以及本振信号幅度。在这个过程中，开关对晶体管的偏置电压要设置合适，避免驱动级中的晶体管工作时离开饱和区。混频器偏置电流和负载阻抗也不能太大，避免开关对中的晶体管导通时离开饱和区。

§9.3.10 应用于零中频接收机的混频器设计

零中频接收机的性能对直流失调很敏感，因此在设计应用于零中频接收机的混频器时，$\frac{1}{f}$噪声和二阶交调是需要特别考虑的因素。前面已经分析过$\frac{1}{f}$ 噪声和二阶交调在混频器输出产生低频成分的机制。可以看出，它们都与开关对与理想开关的近似程度、开关对中晶体管的匹配程度以及开关对共源节点的寄生电容大小有关。设计时可以通过本振信号幅度和开关管尺寸优化、对称性版图设计（共心型设计）和优化寄生电容的版图设计等措施来减小$\frac{1}{f}$噪声和二阶交调引入的低频失调。另外，目前还提出了一些技术来改进混频器的$\frac{1}{f}$噪声和二阶交调性能。

在前面的噪声分析中我们注意到，当开关对中的晶体管同时导通时，开关对晶体管的$\frac{1}{f}$噪声会在输出产生低频成分。虽然通过提高本振信号幅度可以减小该低频成分。但由于开关对共源节点寄生电容的影响，开关对晶体管的$\frac{1}{f}$噪声又会通过非直接机制在输出产生低频成分。减小该低频成分的另一种办法是注意到$|G|^2$与偏置电流成反比关系（图9-16），因此减小开关对流过的偏置电流也可以减小该噪声成分。实现这种方案的一个办法是在开关对的源极注入一个固定大小的偏置电流（图9-21），但偏置电流源会引入额外的白噪声，而且开关对中晶体管的偏置电流减小会增加驱动级看到的开关对源阻抗，增强共源节点寄生电容的影响。另一种办法也是在共源节点注入一个电流，但该电流是动态的，仅当开关对中的晶体管接近同时导通时，该电流才开始注入共源节点，这样就避免了在共源节点注入固定偏置电流所遇到的问题。实现这种方案的电路如图9-35所示。 晶体管$\mathrm{M_{p1}}$、$\mathrm{M_{p2}}$ 控制着偏置电流I_D何时注入共源节点。当开关对中的晶体管接近同时导通时，共源节点的电压达到最低值（图9-20），晶体管$\mathrm{M_{p1}}$、$\mathrm{M_{p2}}$导通，I_D电流注入共源节点；而当开关对中的晶体管没有同时导通时，共源节点电压升高，晶体管$\mathrm{M_{p1}}$、$\mathrm{M_{p2}}$截止，没有电流注入共源节点。实验表明，这种技术可以极大降低混频器的$\frac{1}{f}$噪声，而对白噪声性能却近似没有影响。

注意到混频器的二阶交调性能与开关对共源节点的寄生电容有很大关系，对该寄生电容充放电的瞬态电流调制偏置电流，使共源节点电压在信号频率处产生边带，该信号与本振频率混频后转移到基带，对混频器输出贡献直流失调。为了减小直流失调的影响，可以在共源节点串联一个电感，它可以吸收对寄生电容进行充放电的电流，减小寄生电容充放电电流对混频过程的干扰。图9-36给出了一个具有很高二阶交调性能的混频器的电路图。 电感L_sw吸收对寄生电容充放电的电流，而电容C_FAT是考虑到混频器中的两组开关对可能存在不相关的随机性失调电压而引入的，它可以使得两组开关对之间没有耦合。引入电容后，通过电感的电流可以流过电容，避免了失调电压进入开关对而产生二阶交调积成分。基于同样的原理，该LC滤波器还可以减小开关对因高频效应而引入的白噪声和$\frac{1}{f}$噪声，降低混频器的噪声系数。该混频器的驱动级采用了伪差分对结构，与全差分对结构相比，伪差分对结构具有较高的三阶交调性能，但二阶交调性能较差。为了同时使该混频器有较高的三阶交调性能和二阶交调性能，可以使得驱动级的源简并阻抗在低频下具有较高的阻抗而高频下具有较低的阻抗。这是通过晶体管$\mathrm{M_{deg}}$和电容C_deg并联来实现的。低频下，源简并阻抗为晶体管$\mathrm{M_{deg}}$的输出阻抗，具有较高的值；而在高频下，源简并阻抗为电容阻抗，具有较低的值。

该混频器的输出采用长沟PMOS电流源作负载，它具有较低的$\frac{1}{f}$噪声，运算放大器控制着PMOS晶体管的栅极，稳定混频器的输出共模电平，混频器的输出共模电平通过两个电阻R_load取出。混频器的负载为PMOS晶体管的输出阻抗与R_load的并联。电容C_load与混频器的负载组成低通滤波网络，滤除除中频外的

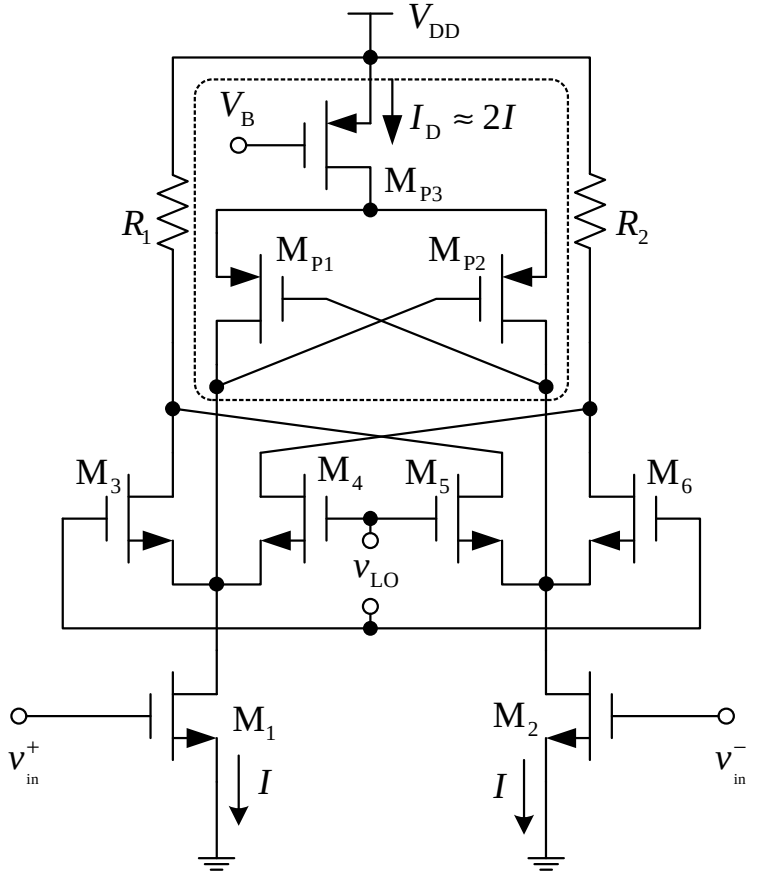


图 9-35 噪声消除技术

其它频率成分。该混频器采用1.8V的电源电压，消耗了4mA电流。采用3dBm的本振输入信号进行测试，结果表明该混频器的转换增益为16dB，输入二阶交调点大于78dBm，带内三阶交调点约为9dBm，带外三阶交调点约为10dBm，输入噪声电压约为$4\text{nV}/\sqrt{\text{Hz}}$。

§9.4 其它类型的混频器

上面介绍的有源混频器是无线收发机模拟前端中最常采用的混频器结构，但还有一些其它的混频器结构在实际中也常用到，下面对它们进行介绍。

电位混频器采用线性区工作的MOS晶体管作为混频元件，射频信号加到晶体管的栅极，通过选择合适的偏置电压，可以使得晶体管工作于线性区。线性区工作的MOS管等效于一个电阻，流过它的电流与加在栅极的射频信号近似成正比。如果本振信号从晶体管源极加入，则可以实现本振信号和射频信号的乘积，实现混频功能。图9-37给出了采用这种思想实现的混频器。

§9.4.1 电位混频器

[ht] 晶体管M_1～M_4工作于线性区，差分射频信号加到四个晶体管的栅极，而差分本振信号从晶体管的源极注入。采用长沟道晶体管工作于线性区的$I-V$方程，可以推导出：

$$I^+ - I^- = (I_1 - I_4) - (I_2 - I_3) = k_n \frac{W}{L}(V_{RF}^+ - V_{RF}^-)(V_{LO}^+ - V_{LO}^-) \tag{9-67}$$

四晶体管组合结构的输出电流是射频信号和本振信号的乘积，该输出电流中的低频成分（有用的差频成分）经反馈电阻后转换为电压信号，而高频成分则被接地的电容C_{FAT} 衰减掉了，因此运算放大器仅需具有足够的带宽处理低频信号。

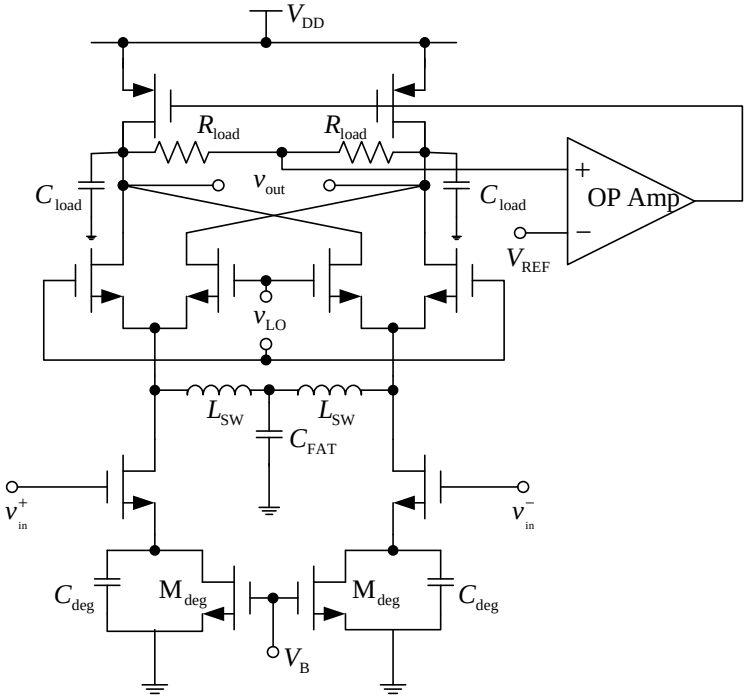


图 9-36 改善二阶线性度性能的混频器

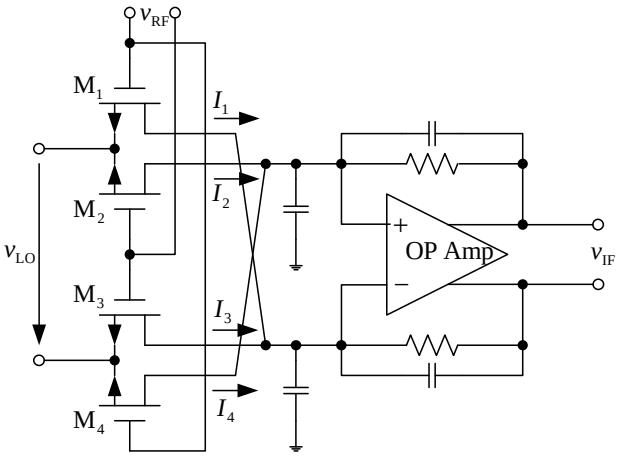


图 9-37 电位混频器

混频晶体管的栅极瞬时电压为直流偏置电压$V_{\mathrm{RF,DC}}$和射频信号电压$V_{\mathrm{RF,AC}}m(t)$之和，而源极的瞬时电压为本振偏置电压$V_{\mathrm{LO,DC}}$和本振信号$V_{\mathrm{LO,AC}}m(t)$ 之和，输出端电压因电容C_{FAT}的衰减作用，不含有高频成分，仅为本振偏置电压$V_{\mathrm{LO,DC}}$，$m(t)$为正弦型函数。为了使晶体管工作于线性区，必须满足MOS晶体管的导通条件和线性区工作条件：

$$V_{\mathrm{RF,DC}} - V_{\mathrm{RF,AC}} - V_{\mathrm{T}} > V_{\mathrm{LO,DC}} \tag{9-68}$$

$$V_{\mathrm{LO,AC}} < V_{\mathrm{RF,DC}} - V_{\mathrm{RF,AC}} - V_{\mathrm{LO,DC}} - V_{\mathrm{T}} \tag{9-69}$$

即射频输入端偏置电压和本振输入端偏置电压需要满足如下条件才能保证晶体管工作于线性区：

$$V_{\mathrm{RF,DC}} - V_{\mathrm{LO,DC}} > V_{\mathrm{LO,AC}} + V_{\mathrm{RF,AC}} + V_{\mathrm{T}} \tag{9-70}$$

电位混频器因采用线性区工作的MOS晶体管作混频元件，具有很高的线性度（～40dBm IIP3）。但由于线性区工作的MOS晶体管会产生很大的电阻性热噪声，噪声系数也很大（～30dB）。因此这种混频器的动态范围同上面介绍的有源混频器的动态范围近似相同。

§9.4.2 无源混频器

前面介绍的混频器都先将输入电压信号转换为电流信号，然后再与本振信号进行混频。而无源混频器避免了$V-I$转换，直接将输入电压信号与本振信号在电压域进行混频。常用的无源混频器的电路如图9-38所示，它也是一种双平衡混频器。 输入电压信号v_{RF}直接加到混频开关管M_1～M_4的源漏极中

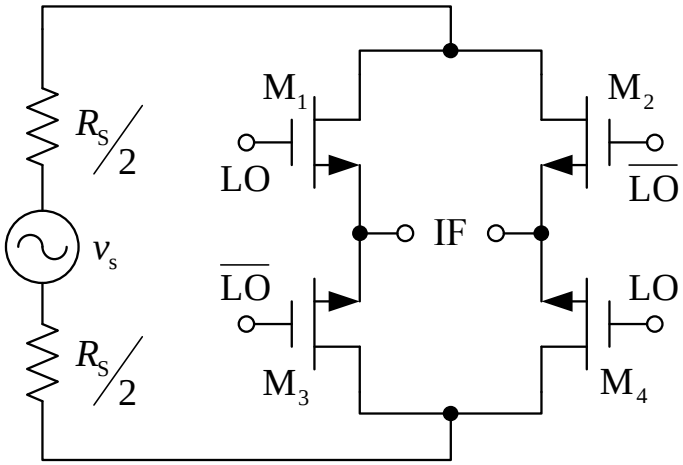


图 9-38 无源混频器

的一端，而输出信号v_{IF}从开关管的另一端取出。如果M_1～M_4可以作为理想开关，在本振信号的某半个周期内，M_1、M_4导通，M_2、M_3截止，$v_{\mathrm{IF}}=v_{\mathrm{RF}}$；而在另一个半周期内，$\mathrm{M}_2$、$\mathrm{M}_3$导通，$\mathrm{M}_1$、$\mathrm{M}_4$截止，$v_{\mathrm{IF}}=-v_{\mathrm{RF}}$。因此无源混频器的混频过程相当于输入信号$v_{\mathrm{RF}}$与被本振信号$v_{\mathrm{LO}}$控制的单位幅度方波信号的乘积，这一点同有源混频器的混频过程是相同的，输出频谱中包含着输入信号与本振信号奇次谐波的混频成分，无源混频器的理想转换增益为$2/\pi$。

但实际上，同有源混频器一样，开关的非理想效应会引入额外的损失。假设无源混频器的输入阻抗为Z_{in}，输出阻抗为Z_{out}，当开关是近似理想开关时，输入阻抗和输出阻抗是近似相等的。那么无源混频器的混频过程可以换一种方式解释：射频电压信号加入到混频器的输入端，因输入阻抗的存在，它先转换为一个电流信号，然后与本振信号控制的开关管混频，得到输出电流成分，再由于输出阻抗的存在，输出电流成分再转换为电压信号，由于输入阻抗和输出阻抗近似相等，因此无源混频器的转换增益仅为开关对引入的损耗。这种混频过程同直流偏置电流$I_{\mathrm{B}}=0$时双平衡有源混频器的混频过程完全相同，因此可以借助有源混频器的分析过程来加深对无源混频器混频性能的理解。

无源混频器不需要直流偏置，它的线性度仅由开关对引入的非线性决定，因此可以在较低的功耗下得到很高的线性度。为了使得开关对近似为理想开关，本振信号应具有足够的幅度，本振信号的偏置应使晶体管工作于导通与截止的临界点上，开关管的尺寸应根据功耗和混频性能进行优化。无源混频器的输入阻抗和输出阻抗不易控制，很难实现输入阻抗匹配和输出阻抗匹配，因此这种混频器较少以单片的形式实现，它一般都应用于集成无线收发机中，简化了阻抗匹配问题。在这种应用中，混频器的输出一般为电容性负载，它与开关对的输出阻抗构成了一个一阶低通滤波网络，可以衰减输出频谱中的高频成分。

§9.4.3 亚采样混频器

除了利用元件的非线性特性来实现混频外，还可以利用采样过程来完成下变频操作。根据Nyquist带通采样定理，只要采样频率大于信号带宽的两倍，那么采样过程不会造成信息损失。由于射频信号的带宽通常较窄，因此可以用一个远低于射频载波频率的低频采样脉冲（采样率大于信号带宽的两倍）对射频信号进行采样，重建后就可以无失真地恢复出低频信息，从而实现下变频操作。图9-39对此进行了说明。 通过在黑点所示时刻进行采样，信号频谱可以无失真的搬移采样频率的整数倍，需要的中频信号频率为射频频率与采样频率某一整数倍的差值，通过重建（带通滤波取出中频频带）就可以得到下变频后的信息。实现这一过程的采样-保持电路就是一个亚采样混频器。

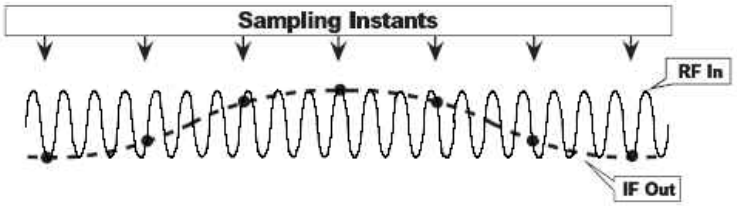


图 9-39 亚采样混频过程

图9-40给出了一个亚采样混频器的电路图。在采样阶段，晶体管M_1～M_5导通，晶体管M_6、M_7截止，射频输入信号被采样，运算放大器的输入端电压为共模电压V_{CM}和输入信号之和。由于M_6、M_7截止，运算放大器工作于开环模式，采样带宽由采样开关的寄生阻抗和寄生容抗所形成的RC时间常数决定，可以得到很宽的采样带宽。

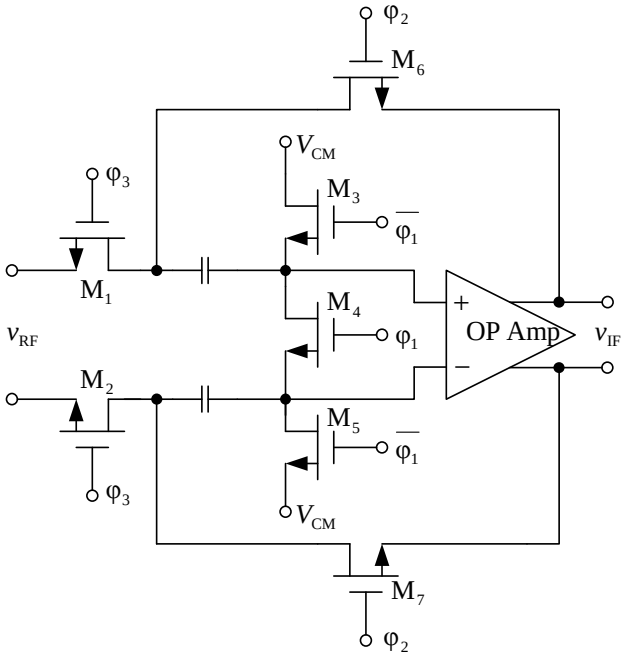


图 9-40 亚采样混频器

在保持阶段，晶体管M_1～M_5截止，M_6、M_7导通，形成一个反馈放大器，它的稳定时间只需要相对于采样周期来说很快就可以了，运算放大器的带宽需要保证在下一次采样时，该系统已经达到稳定状态。

亚采样混频器的采样频率虽然较低，但要求它具有很高的时间精度，绝对时间抖动要远小于射频载波信号周期。这就对采样时钟的相位噪声性能提出了很高的要求。亚采样混频器遇到的另一个问题是采样过程会将很宽频带内的噪声折叠进中频带内，导致输出噪声大大增加，如图9-41所示。 增加的比例约为宽带噪声的截止频率与采样频率的比值的两倍。因此，亚采样混频器尽管具有很高的线性度，但由于它的噪声性能很差，其动态范围与其它类型的混频器近似相同。

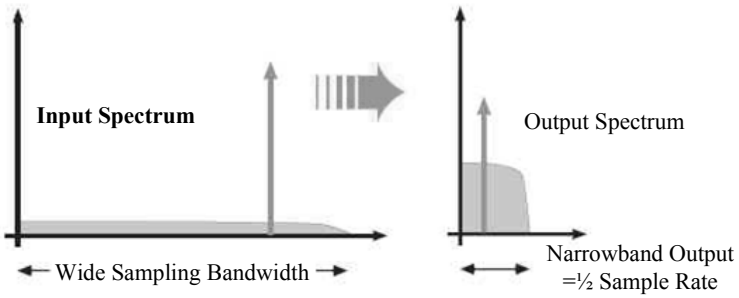


图 9-41 亚采样混频器的噪声转移过程

§9.5 总结

本章集中讨论了集成射频混频器设计过程中所遇到的各种问题。首先介绍了混频过程的基本原理，说明任何非线性元件都可以作为混频器来使用，但从输出频谱的纯净度上考虑，二阶非线性元件是最合适的混频元件；接着介绍了衡量混频器性能的主要指标；然后对无线收发机中最常使用的有源混频器结构进行了详细讨论，分析了它的转换增益、噪声性能和线性度性能，给出了设计混频器时要考虑的各种设计因素，并介绍了几种改进混频器性能的技术；最后讨论了其它常用的混频器结构，包括电位混频器、无源混频器和亚采样混频器，它们都具有较高的线性度，但其它方面的性能限制了它们的广泛应用。

混频器是一个非线性时变电路，混频过程是一个以本振信号控制的周期性稳态过程，具有与线性电路完全不同的特点。基于此，本章还引入了周期性稳态电路的分析方法，该分析方法也可以应用于分析其它的周期性稳态电路中（如振荡器电路等）。

参考文献

1 Fong K L, Meyer R G. Monolithic RF Active Mixer Design. IEEE Transactions on Circuits and Systems–II: Analog and Digital Signal Processing, 1999, 46(3): 231-239

2 Lee T H, The Design of CMOS Radio-Frequency Integrated Circuits(Second Edition). U.S.A.: Cambridge University Press, 2004

3 Terrovitis M T, Meyer R G. Noise in Current-Commutating CMOS Mixers. IEEE Journal of Solid-State Circuits, 1999, 34(6): 772-783

4 Darabi H, Abidi A A. Noise in RF-CMOS Mixers: A Simple Physical Model. IEEE Transactions on Solid-State Circuits, 2000, 35(1):15-25

5 Terrovitis M T, Meyer R G. Intermodulation Distortion in Current-Commutating CMOS Mixers. IEEE Journal of Solid-State Circuits, 2000, 35(10): 1461-1473

6 Huang Qiuting, Orsatti P, Piazza F. GSM Transceiver Front-End Circuits in 0.25-μm CMOS. IEEE Journal of Solid-State Circuits, 1999, 34(3): 292-303

7 Orsatti P, Piazza F, Huang Qiuting. A 20-mA-Receive, 55-mA-Transmit, Single-Chip GSM Transceiver in 0.25-μm CMOS. IEEE Journal of Solid-State Circuits, 1999, 34(12): 1869-1880

8 Rogers J, Plett C. Radio Frequency Integrated Circuit Design. Bosto.London: Artech House, 2003

9 Otaka S, Ashida M, Ishii M, etc. A +10dBm IIP3 SiGe Mixer with IM3 Cancellation Technique. 2003 IEEE International Solid-State Circuits Conference(ISSCC'2003)

10 Fong K L, Hull C D, Meyer R G. A Class AB Monolithic Mixer for 900-MHz Applications. IEEE Journal of Solid-State Circuits, 1997, 32(8): 1166-1172

11 Shaeffer D K. The Design and Impelmentation of Low-Power CMOS Radio Receivers. Ph.D Thesis of Stanford University, 1998

12 Darabi H, Chiu J. A Noise Cancellation Technique in Active RF-CMOS Mixers. 2005 IEEE International Solid-State Circuits Conference(ISSCC'2005): 544-546

13 Manstretta D, Brandolini M, Svelto F. Second-Order Intermodulation Mechanisms in CMOS Downconverters. IEEE Journal of Solid-State Circuits, 2003, 38(3): 394-406

14 Brandolini M, Rossi P, Sanzogni D, etc. A CMOS Direct Down-Converter with +78dBm Minimum IIP2 for 3G Cell-Phones. 2005 IEEE International Solid-State Circuits Conference(ISSCC'2005): 320-321

15 Chan P Y, Rofougaran A, Ahmed K A, etc. A Highly Linear 1-GHz CMOS Downconversion Mixer. IEEE Journal of Solid-State Circuits, 1993

习题

1. 比较平衡混频器与非平衡混频器、单平衡混频器与双平衡混频器、有源混频器与无源混频器在转换增益、噪声因子、线性度、频谱纯度、端口隔离性能等方面的差异，并说明选择混频器类型的依据；

2. 说明在电流换向有源混频器中，开关对共源节点寄生电容对混频器噪声因子、线性度的影响，并解释其原因；

3. 假设采用一个理想乘法器作为混频器，射频输入信号为$A\sin(\omega_{RF}t)$，而本振信号为方波信号或者正弦型信号，试回答如下问题：
(1)如果本振信号具有相同幅度，本振信号采用哪种信号波形可以使混频器具有更大的转换增益？
(2)比较本振信号采用方波波形或者正弦型波形对混频器后级的滤波器的要求；

4. 考虑如图9-38所示的无源混频器：
(1)如果中频负载为阻值等于R_S的电阻，推导该混频器的转换增益，在推导过程中假设MOS管是理想开关；
(2)如果射频输入信号是一个正弦型信号，本振信号是一个方波信号，试画出中频输出信号的频谱，并讨论对混频器后级的滤波器要求；
(3)如果本振信号不是一个理想方波信号，而是一个占空比为D的方波信号（理想方波信号的占空比为50%），试推导中频输出信号的频谱成分。从该答案出发，总结该无源混频器对开关管之间对称性的要求；

5. 在上一题中，我们忽略了MOS管的开关时间以及MOS管的导通电阻，现在我们仍然忽略MOS管的开关时间，试回答如下问题：
(1)如果要求考虑MOS管导通电阻后转换增益下降不超过1dB，推导对MOS管导通电阻的限制条件：
(2)假设MOS管满足理想平方律$I-V$方程，试推导MOS管的尺寸；
(3)如果MOS管采用(2)求出的尺寸，试推导驱动MOS管的本振信号所消耗的功耗；

6. 当本振信号幅度小于一定值V_x时，单平衡混频器中的两个开关管将总处于同时导通状态，试推导出V_x的表达式。并定量说明本振信号幅度小于V_x时对混频器转换增益、噪声因子和线性度的影响；

7. 应用于零中频接收机的混频器有何特殊要求？如何增强混频器的性能，使得它更适合于零中频应用？

8. 图9-31所示的驱动级电路同第八章介绍的低噪声放大器具有相同的电路结构，若假设混频开关管是理想的，所引入的损耗为$2/\pi$，试利用第八章所给出的0.25μm CMOS工艺参数和介绍的等高线设计方法，设计一个满足如下要求的双平衡混频器：转换增益大于10dB，噪声系数小于14dB，输入三阶交调点大于+6dBm。并总结利用等高线设计法设计混频器的步骤。

第十章　射频功率放大器

射频功率放大器是无线发射机中的核心模块之一，要求输出大功率给外部负载。功率放大器通常是无线收发机中功耗最大的模块，为了降低功耗，延长电池寿命，要求它具有较高的效率。前面介绍的小信号放大器输出功率和效率都不能满足无线通信的要求，必须研究其它的大功率放大器技术。另外，随着通信技术的发展，信道容量急剧增加，许多无线通信系统都采用了幅度/相位组合调制技术，功率放大器在输出大功率时要防止发生幅度失真，这就对功率放大器的线性度提出了很高的要求。

本章就介绍功率放大器的分析和设计技术，首先介绍晶体管的非线性模型，然后引入负载线匹配概念、衡量功率放大器性能的指标、负载线理论以及Loadpull技术；之后，将详细讨论两类不同的功率放大器：传统功率放大器（A、AB、B、C类功放）和开关模式功率放大器（D、E、F类功放），分析它们的工作原理和设计技术；接着讨论采用CMOS工艺来实现集成PA所面对的挑战以及解决方案；最后介绍了功率放大器的线性化技术。

§10.1　晶体管非线性模型

晶体管的非线性可以分为弱非线性和强非线性两种类型，弱非线性是由晶体管的高阶非线性效应引起的，所产生的交调失真很小（$< 30\text{dBc}$），可以用如下的功率序列进行分析：

$$v_{\mathrm{o}} = a_1 v_{\mathrm{i}} + a_2 v_{\mathrm{i}}^2 + a_3 v_{\mathrm{i}}^3 + a_4 v_{\mathrm{i}}^4 + \cdots \tag{10-1}$$

a_{i}（$\mathrm{i} = 1, 2, 3, \cdots$）是晶体管的高阶非线性系数，它与晶体管的偏置电压以及输入信号和输出信号的功率有关。当输入信号功率很小时，可以用截断后的功率序列（如只考虑到三阶）来分析直流工作点附件小信号范围内晶体管的非线性特性。该功率序列只考虑了信号传输的幅度特性，而没有考虑信号传输的相位特性，如要考虑相位特性，可以使用Volterra序列。

但用功率序列和Volterra序列分析功率放大器会受到一定的限制，这是由于功率放大器处理的都是大信号，放大器通常工作于压缩点附近，晶体管会发生截止或者饱和等强非线性行为，而且，考虑到处理的是大信号，仅考虑低阶非线性（如仅考虑二、三阶非线性）而忽略更高阶的非线性会引入极大的误差。在大信号情况下，五阶甚至更高阶非线性对功率放大器的饱和或者压缩点效应都有很大的影响。

强非线性效应是指由于晶体管发生截止或者饱和等限幅行为所引起的波形失真。图10-1给出了一个MOS晶体管的$I-V$传输特性（实线）。 当栅源电压小于一定值时，晶体管截止，漏端电流为0；而当栅

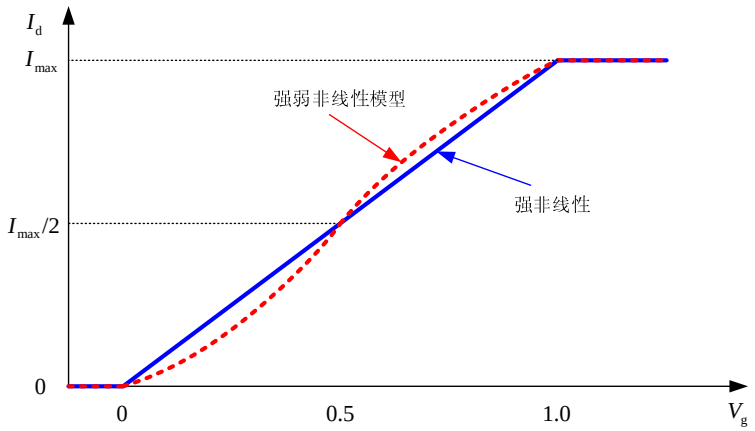


图 10-1 晶体管的非线性模型

源电压大于一定值时，晶体管漏端电流达到最大值，进一步增加栅源电压并不会引起晶体管漏端电流的进一步增加；在这两个区间之间，晶体管的$I-V$特性是理想线性的。这是一种理想强非线性模型，在下面分析功率放大器时还会经常遇到。

另一种更接近现实情况的模型是将弱非线性模型和强非线性模型结合起来来表示晶体管的非线性行为，如图10-1的虚线所示。它不同于理想强非线性行为的地方在于，在晶体管的饱和和截止之间的区间，晶体管的$I-V$曲线不是理想线性的（直线），而是用三阶功率序列表示的弱非线性行为，这种模型称为晶体管的强弱非线性模型。

§10.2 功率匹配与负载线匹配

在小信号电路中，最大功率传输的条件为负载阻抗与源阻抗共轭，称为功率匹配，这时负载上得到的功率达到最大。但功率匹配时源阻抗上消耗了同负载阻抗上一样的功率，所以效率仅为50%。但功率放大器不能应用功率匹配原理，一方面它处理的是大信号，怎么样来定义大信号阻抗目前还没有研究清楚，另一方面功率放大器的输出功率很大，当放大器的效率最大仅能达到50%时，放大器会消耗很大的功耗，这不仅会缩短电池的使用寿命，而且会产生大量的热量，带来散热问题。

功率放大器的设计一般都采用负载线匹配，为了说明功率匹配和负载线匹配的区别，我们来考虑一个简单情况。信号源为理想电流源I_s和内阻R_s的并联，负载阻抗为R_L，为了满足功率匹配条件，要求$R_L=R_s$，负载上得到的功率为$\frac{1}{4}I_s^2R_L$，而理想电流源消耗的功耗为$\frac{1}{2}I_s^2R_L$，因此效率仅为50%，另一半功耗被信号源内阻消耗了。满足功率匹配条件时，信号源上的电压为$\frac{1}{2}I_sR_L$。如果不考虑信号源的物理限制，功率匹配时负载上确实可以得到最大的功率。但信号源通常受到最大承受电压V_{max}和最大输出电流I_{max}的限制。假设信号源是一个晶体管，它的最大输出电流为1安培，而输出阻抗为100欧姆，当满足功率匹配条件时，晶体管要承受约50伏特的电压，这么高的电压会使晶体管发生击穿。

当信号源的输出电压受限时，信号源可能仅能输出很小的电流，负载上能得到的功率将很小，如图10-2 (a)线所示。 在另一种极端情况下，信号源可能会遇到最大输出电流的限制，这时信号源上的电压

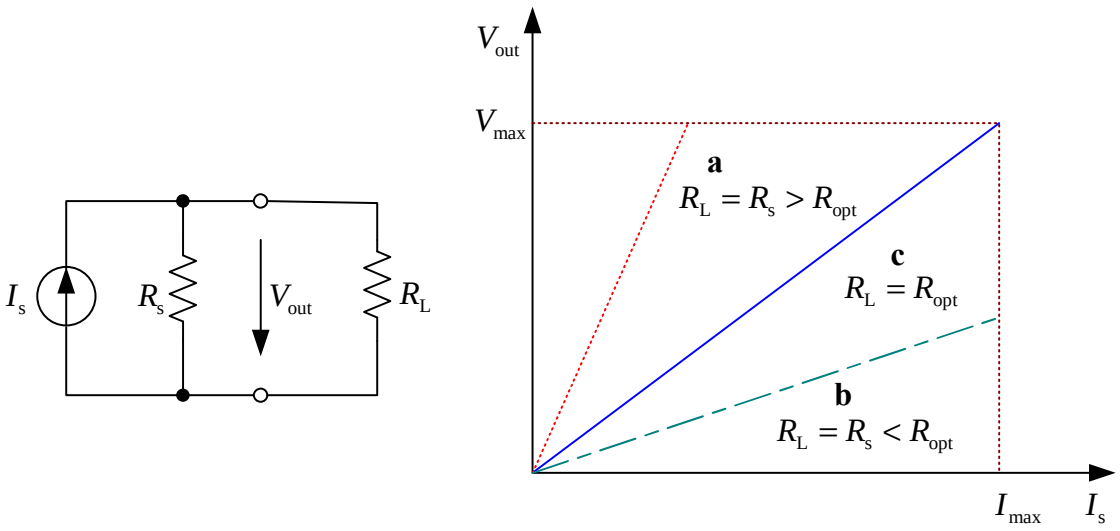


图 10-2 功率匹配和负载线匹配

会很小，负载上得到的功率也会很小，如图10-2 (b)线所示。。为了充分利用信号源提供功率的能力，优化负载是使信号源同时达到最大承受电压和最大输出电流的限制条件，如图10-2(c)线所示，这时

$$R_{opt}=R_s\|R_L=\frac{V_{max}}{I_{max}} \tag{10-2}$$

称为负载线匹配条件。在信号源受到最大承受电压和最大输出电流的限制时，负载线匹配可以使负载上得到最大功率。在功率放大器中，晶体管的输出电流和承受电压都受到器件特性的限制，因此负载线匹配在功率放大器的设计中得到广泛的应用。

图10-3给出了一个A类放大器采用功率匹配（A-B线）和采用负载线匹配（C-D线）所得到的输入–输出功率传输曲线。 A、C分别是采用功率匹配和采用负载线匹配时输入、输出功率的最大线性范围，

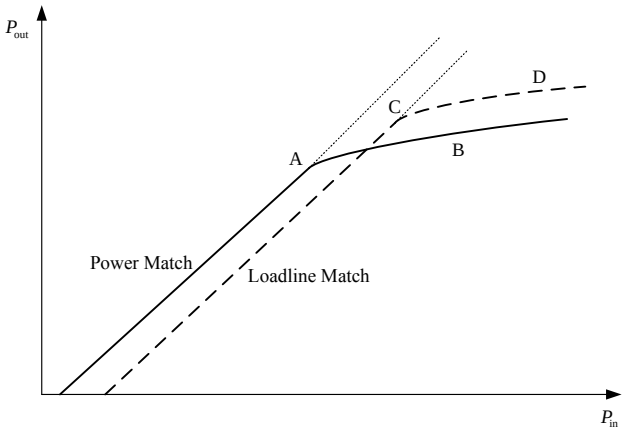


图 10-3 采用功率匹配和负载线匹配时A类放大器的输入-输出功率传输特性

而B、D分别是这两种匹配条件下的1dB压缩点。从图中可以看出，采用负载线匹配可以比采用功率匹配多得到约2dB的输出功率。研究表明，即使在不同的工艺条件下，采用负载线匹配比采用功率匹配的最大输出功率都会有所提高，提高幅度大概在0.5dB～4dB之间。

§10.3 性能参数

衡量功率放大器的性能参数可以分为两类，一类是由无线通信系统标准规定的性能参数，具有明确的数值要求，如最大输出功率以及带外辐射（Extraneous Emission）等参数，另一类是无线通信系统标准没有规定的参数，但通常用来比较不同功率放大器的相对性能，如效率等。本节就对衡量功率放大器的性能参数进行简单介绍。

§10.3.1 输出功率

射频功率放大器的输出功率定义为功率放大器驱动给负载的带内射频信号的总功率，它不包括谐波成分以及杂散成分的功率。射频功率放大器的负载通常为天线，射频天线的等效阻抗一般为50Ω。

如果功率放大器的输出是一个包络为常数的正弦型信号，则它的输出功率为：

$$P_{\text{out}} = \frac{V_{\text{out}}^2}{2R_{\text{L}}} \tag{10-3}$$

其中，V_{out}是输出射频信号的幅度，R_{L}是负载阻抗值。

在发射机中，功率放大器处理的信号是经过调制后的信号，它的包络可能随着信源（随机二进制序列）的变化而变化，因此式10-3计算的是功率放大器的瞬时输出功率。但无线通信系统标准通常仅规定了发射机的平均输出功率，因此需要知道输出功率的统计特性，而平均输出功率$\overline{P_{\text{out}}}$是瞬时输出功率的统计平均：

$$\overline{P_{\text{out}}} = \int_0^{\infty} P\varphi(P)\mathrm{d}P \tag{10-4}$$

其中，$\varphi(P)$为功率放大器的瞬时输出功率位于P和$P+\mathrm{d}P$之间的概率。如果功率放大器是理想线性的，那么$\varphi(P)$由信号的调制方式和信源的概率分布函数惟一决定，但功率放大器的非线性会改变输出功率的统计特性，这时$\varphi(P)$的计算就会比较复杂。计算平均输出功率的另一种办法是对瞬时输出功率在时间上平均，它可以将功率放大器的非线性效应对输出功率的影响考虑在内，这种计算办法需要较长的观察时间，通常用在计算机仿真中。

功率放大器的输出功率是由无线通信系统标准规定的一个性能参数，但标准通常仅规定系统允许的最大输出功率。为了降低功耗，功率放大器的实际输出功率通常会根据通信距离以及通信信道质量进行自动调节。在绝大多数通信时段内，功率放大器的输出功率会远小于最大输出功率。为了保证在最坏情况下，

通信系统依然有较好的通信质量，功率放大器必须按最大输出功率进行设计和优化，但在实际工作的绝大部分时间内，功率放大器的实际输出功率远小于最大输出功率，这样功率放大器不是以最优的性能工作，会引起效率降低。

§10.3.2 效率

功率放大器的效率用来衡量放大器将电源消耗的功耗转化为射频输出功率的能力。无线通信系统标准没有对效率作出规定，但它是衡量功率放大器性能的一个主要参数。

效率有两种不同的定义方式，一种是功率增加效率（Power-Added Efficiency），其定义式为：

$$\mathrm{PAE} = \frac{P_{\mathrm{out}} - P_{\mathrm{in}}}{P_{\mathrm{supply}}} \tag{10-5}$$

其中，P_{out}是放大器输出到负载上的射频输出功率，P_{in}是放大器的驱动信号功率，而P_{supply}是电源上消耗的功耗。

另一种是漏端效率，它可以用来衡量功率增益级的效率，其定义式为：

$$\eta_{\mathrm{drain}} = \frac{P_{\mathrm{delivered}}}{P_{\mathrm{supply}}} \tag{10-6}$$

其中，$P_{\mathrm{delivered}}$是功率增益级输出到下一级电路（不是负载，通常为阻抗匹配电路）的射频信号功率。漏端效率反应了有源器件所消耗的功耗与电源消耗的功耗的比值。

漏端效率仅考虑了电源上的直流功耗转化为射频输出功率的能力，而功率增加效率将功率放大器的驱动信号功率也考虑在内，因此功率增加效率能更准确的反应功率放大器的效率性能。

§10.3.3 功率利用因子

功率利用因子（Power Utilization Factor: PUF）是用来衡量功率放大器是否充分发挥了晶体管输出功率潜能的一个性能参数，它定义为功率放大器的实际输出功率与利用同一晶体管构成的理想A类功率放大器输出功率的比值。在选择功率放大器的工作类别时，功率利用因子是要考虑的一个重要因素。某些类型的功率放大器具有很高的效率，但它的功率利用因子很低，这会限制它们的实际应用。如C类功放在导通角为0时，效率达到100%，但输出功率也降为0，很明显，这种功放是没有任何用处的。

§10.3.4 功率增益

放大器的功率增益定义为放大器的输出信号功率与驱动信号功率的比值：

$$G = \frac{P_{\mathrm{out}}}{P_{\mathrm{in}}} \tag{10-7}$$

无线通信系统标准也没有对功率增益作出规定，但考虑到功率放大器的驱动级一般仅能输出几毫瓦的功率，功率放大器的功率增益必须满足一定的要求。例如，如果要求功率放大器能输出20～30dBm的功率，该功率放大器必须具有20～30dB的功率增益。

§10.3.5 线性度

现代无线通信系统采用了各种各样的调制方式，而调制方式不同，对功率放大器的线性度就有不同的要求。从射频设计的角度看，调制方式可以分为两种不同的类型：恒包络调制方式和非恒包络调制方式。非恒包络调制方式包括π/4-DQPSK、OQPSK等，它们的包络是变化的，包络中携带有信息，因此功率放大器必须具有足够的线性度，保证射频信号仅被线性放大；而恒包络调制方式包括GFSK、GMSK等，它们的包络是恒定的，信息仅包含在信号的相位上，这种调制方式可以使用高效率的非线性功率放大器。在数据率一定时，恒包络调制方式会占用更宽的带宽。因此在选择系统的调制方式时，要在功放的线性度、效率和信道容量之间进行折衷考虑。

功率放大器的线性度可以根据应用的不同，采用不同的衡量参数，下面对这些常用的线性度参数进行介绍。

1dB压缩点和三阶交调点：同小信号放大器一样，功率放大器也可以用1dB压缩点和三阶交调点来描述它的线性度性能，它们的定义方式同小信号电路是一样的，此处不再重复。1dB压缩点是衡量功率放大器最大输出功率的一个参数，但实际上在1dB压缩点附件，放大器的增益受到压缩，会产生AM-AM失真，而且输入信号与输出信号之间的相移也会随着输入信号功率的变化而发生变化，产生AM-PM失真。为了满足一定的线性度要求，放大器工作时的输出功率要小于它的最大设计输出功率（输出1dB压缩点），两者之间的差别称为功率回退(Back-off)。

ACPR：在测量电路的三阶交调点时，常采用two-tone测试方案，但这种测试方案不能衡量采用复杂数字调制方式的发射机的非线性，因此需要引入一个新线性度参数，它就是相邻信道功率比ACPR（Adjacent Channel Power Ratio），它是发射机在相邻信道某一频率的一定带宽范围内引入的信号功率与发射机本身信道内的总信号功率的比值，它可以衡量发射机因非线性对相邻信道所产生的干扰。如何测试ACPR，目前还没有统一的标准，在IS-95 CDMA通信系统标准中，ACPR定义为：

$$\text{ACPR} = \frac{\text{Total in-band power in a 1.23MHz bandwidth}}{\text{Total power in a 30-kHz bandwidth @ 1.25MHz from the center}} \tag{10-8}$$

图10-4给出了IS-95 CDMA通信系统的ACPR描述，该系统要求在偏移载波885kHz频率处的ACPR为−42dBc，即要求在偏移载波频率885kHz频率处30kHz带宽范围内的信号功率比信道内（1.23MHz带宽）的总信号功率最少低42dB。

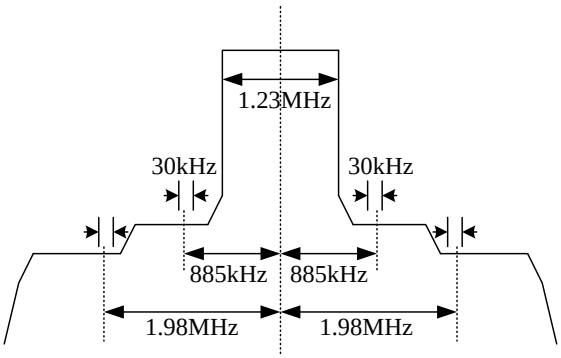


图 10-4 IS-95 CDMA通信系统的ACPR描述

频谱掩模板：发射机输出信号的功率谱密度称为谱辐射（Spectral Emission）。当信号被非线性放大时，信号可能在频域上扩展到相邻信道里，产生带外辐射。每一种通信系统标准都会对带外辐射作出规定，避免通信系统之间的相互干扰。发射机的输出功率谱密度随频率的变化，是由信号的调制方式以及信源的统计特性决定的。当发射机中存在非线性时，非线性会扩展发射信号的带宽，提高相邻信道内的功率谱密度，这种现象称为频谱扩展（Spectral Regrowth）。无线通信系统标准常用频谱掩模板（Spectral Mask）给发射机的功率谱密度扩展和带外辐射设置下限值，发射机的输出功率谱密度必须在掩模板设定的范围内。图10-5给出了几种标准的频谱掩模板，该图揭示了对信号带内的功率谱密度进行归一化后发射机最大允许的功率谱密度与频率偏移之间的关系。 与ACPR不同，频谱掩模板规定的是在所有频率处对发射机功率谱密度的要求，而ACPR仅规定了在某一些离散频率点对发射机功率谱密度的要求。

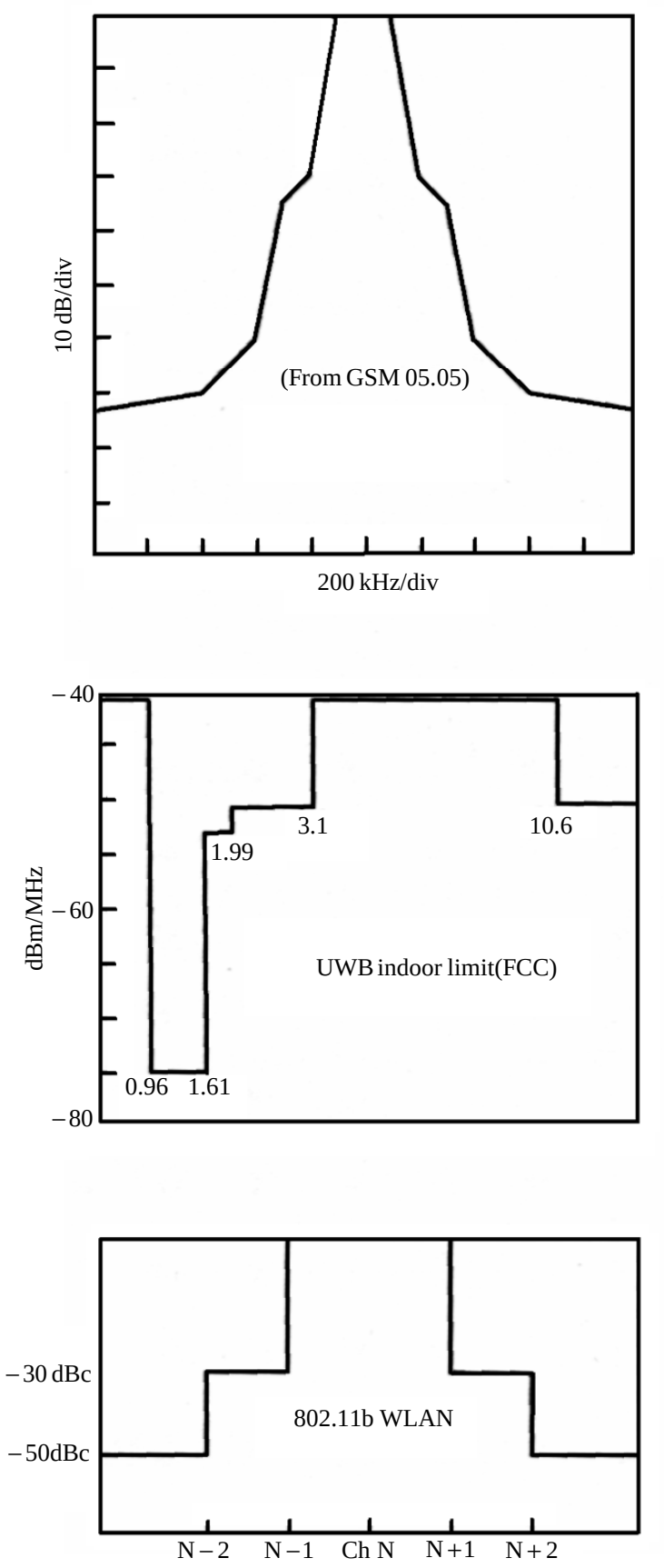


图 10-5 几种无线通信系统标准的频谱掩模板

错误向量幅度：发射机发射的信号除了不在相邻信道内产生干扰外，对它的本质要求是信道内的信号具有很高的质量，能被接收机准确解调。错误向量幅度（error-vector magnitude：EVM）就是为了衡量发射机的信号质量而引入的参数。EVM就是发射机发射信号错误向量的长度，如图10-6所示。 对于数字

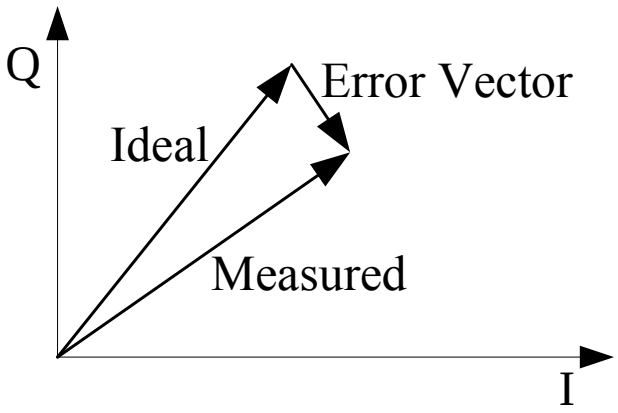


图 10-6 错误向量定义

调制系统来说，每一个符号都会产生随机的错误向量，但无线通信系统标准仅对一定数量的符号所产生的错误向量幅度的平均值做出规定。如802.11b 无线局域网标准规定，当数据率为11Mbps时，1000个符号的EVM的平均值要小于35%。测量EVM时，要用设备打印出星图。图10-7给出了一个星图的例子，理想情况下，星点应位于4×4的格点上，信号质量不好时，这些星点会偏离格点，出现扩展后的点，归一化后的平均扩展距离就是EVM的值。

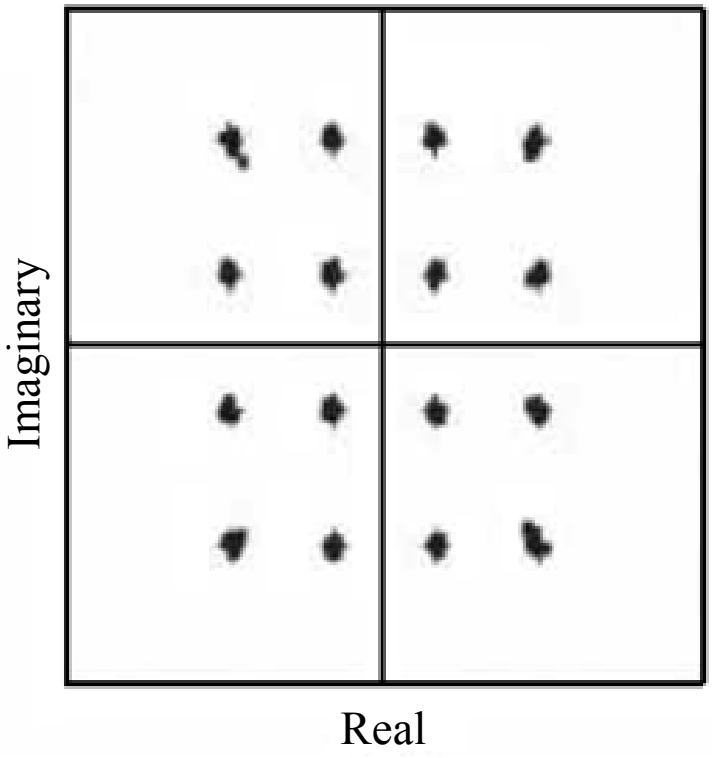


图 10-7 利用星图来测量EVM

§10.4 负载线理论和Loadpull技术

负载线理论是功率放大器设计中的一个基本理论，也是设计PA的基础。为了介绍这种理论，假设晶体管是一个理想的电压控制电流源，它的输出导纳为0，而且过驱动电压V_{knee}远小于晶体管所能承受的最大电压V_{max}，可以认为$V_{knee}=0$。晶体管跨导具有强非线性特性，即当晶体管处于饱和和截止（pinchoff）之间时，跨导是理想线性的，如图10-8所示。 晶体管工作于A类模式，即晶体管的偏置点位于线性区域的中

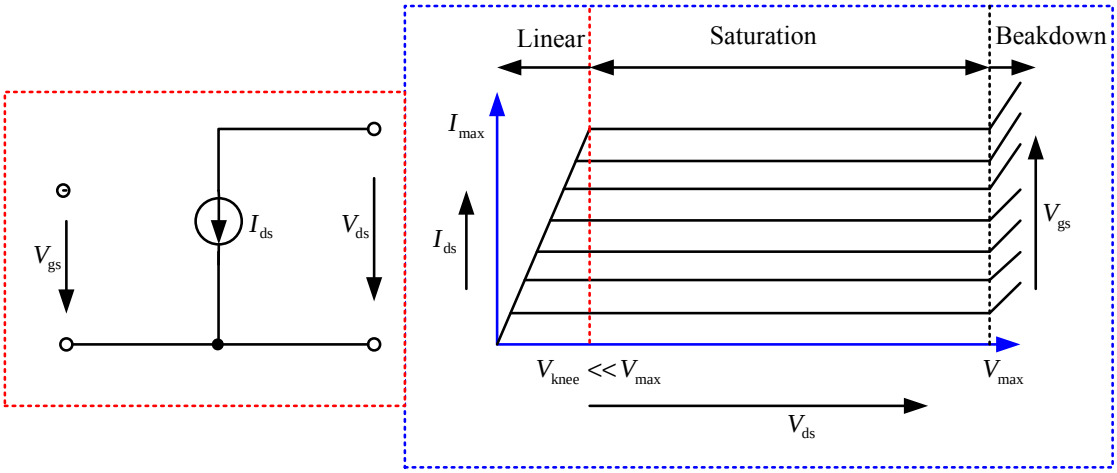


图 10-8 理想晶体管模型

点，如图10-9 所示。因此只要输入射频信号幅度小于$V_{max}/2$，该放大器就具有理想线性特性。

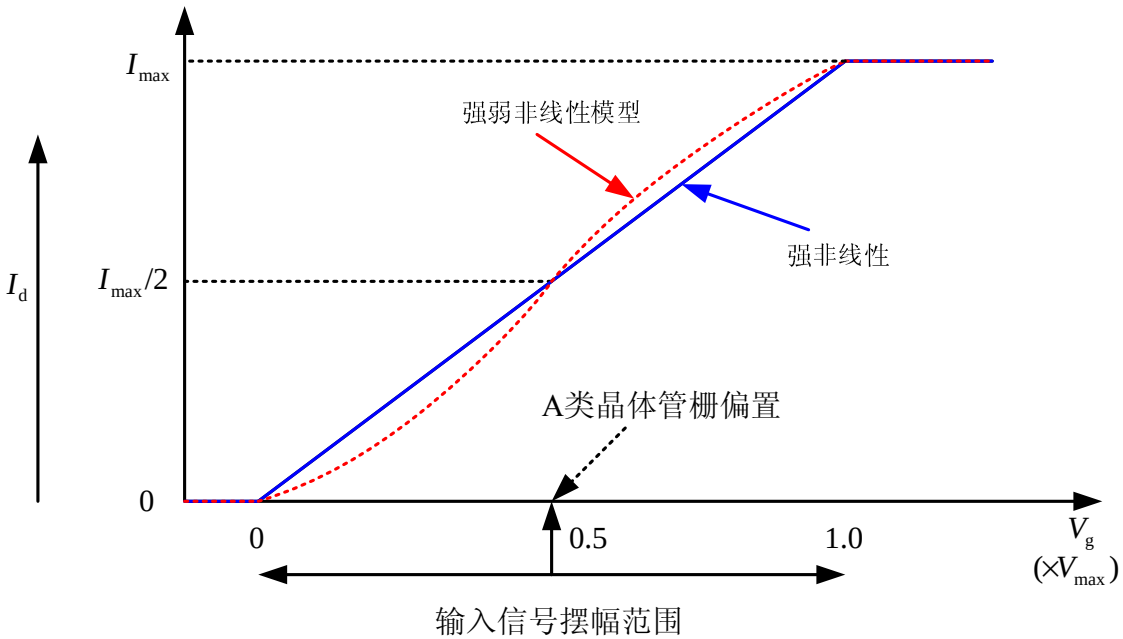


图 10-9 晶体管工作于A类模式时的偏置点

用该晶体管构成的A类放大器的电路图如图10-10所示，晶体管漏端交流耦合到负载R_{L}，而Choke电感给晶体管提供偏置电流。 图中还给出了该放大器满足负载线匹配条件时，晶体管漏端的电压波形和流过

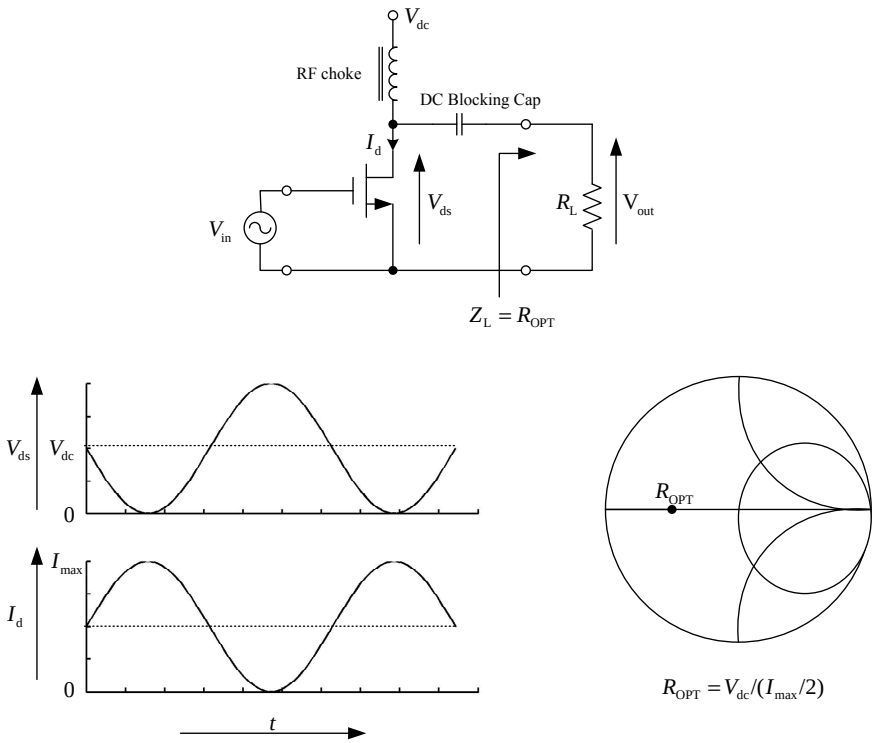


图 10-10 A类功率放大器的电路图及电流、电压波形

晶体管漏端的电流波形。电流幅度为$I_{\mathrm{max}}/2 = I_{\mathrm{dc}}$，最大值正好达到晶体管允许的最大电流；而电压幅度为V_{dc}，最大值也正好达到晶体管所能承受的最高电压$2V_{\mathrm{dc}}$，优化负载阻抗为：

$$R_{\mathrm{opt}} = \frac{V_{\mathrm{dc}}}{I_{\mathrm{max}}/2} = \frac{V_{\mathrm{dc}}}{I_{\mathrm{dc}}} \tag{10-9}$$

这时负载上得到的功率为：

$$P_{\mathrm{opt}} = \frac{1}{2} V_{\mathrm{dc}} I_{\mathrm{dc}} \tag{10-10}$$

这是一个简单的A类放大器，漏端效率为50%。

下面我们来讨论当负载阻抗值变化时，功率放大器的输出功率变化情况。在Smith圆图上，功率放大器的输出功率随负载阻抗的变化曲线称为Loadpull曲线，通过这组曲线，可以知道功率放大器的负载变化对功率放大器输出功率的影响。

为了构筑Loadpull曲线，首先来看当负载阻抗变化到何值时，功率放大器的输出功率下降为P_{opt}/p。从图10-11可以看出，有两个纯电阻型负载，pR_{opt}和R_{opt}/p，可以使得放大器的输出功率降为P_{opt}/p。 当负载阻抗为R_{opt}/p时，流过晶体管的电流最大能达到I_{max}，但晶体管漏端的电压摆幅只能达到$2V_{\mathrm{dc}}/p$，负载上得到的功率仅为P_{opt}/p；而当负载阻抗为pR_{opt}时，驱动晶体管的信号幅度必须减小，保证晶体管漏端的电压摆幅仅为$2V_{\mathrm{dc}}$，这时流过晶体管的电流摆幅为I_{max}/p，负载上得到的功率也仅为P_{opt}/p。这样就确定了Loadpull曲线上的两个点，它们都使得放大器的输出功率为P_{opt}/p。

图10-12说明了用一个电抗元件与负载电阻R_{opt}/p串联仍可以得到常数输出功率P_{opt}/p。 这时流过晶体管漏端的电流幅度保持不变，负载电阻上得到的功率保持不变，但通过增加串联电抗元件，晶体管漏端的电压幅度增加。当电压幅度增加到$2V_{\mathrm{dc}}$时，串联电抗值达到最大允许值$\pm X_{\mathrm{M}}$，这时晶体管漏端看到的阻抗Z_{L}的幅度应与R_{opt}相同，即X_{M}的数值由下式确定：

$$\sqrt{X_{\mathrm{M}}^2 + (R_{\mathrm{opt}}/p)^2} = R_{\mathrm{opt}} \tag{10-11}$$

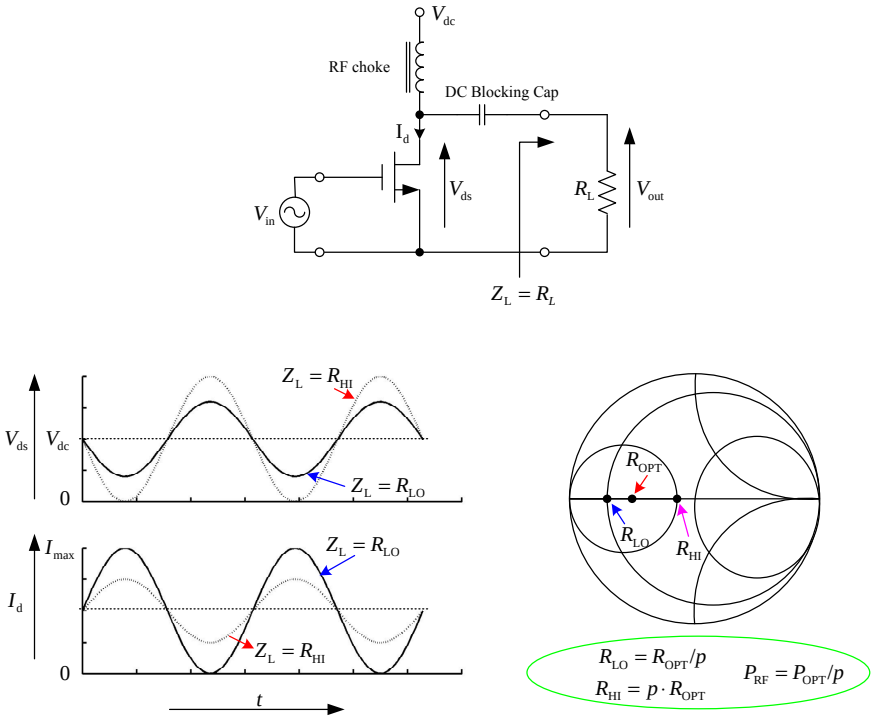


图 10-11 A类功率放大器的电流、电压波形与电阻负载阻抗值的关系

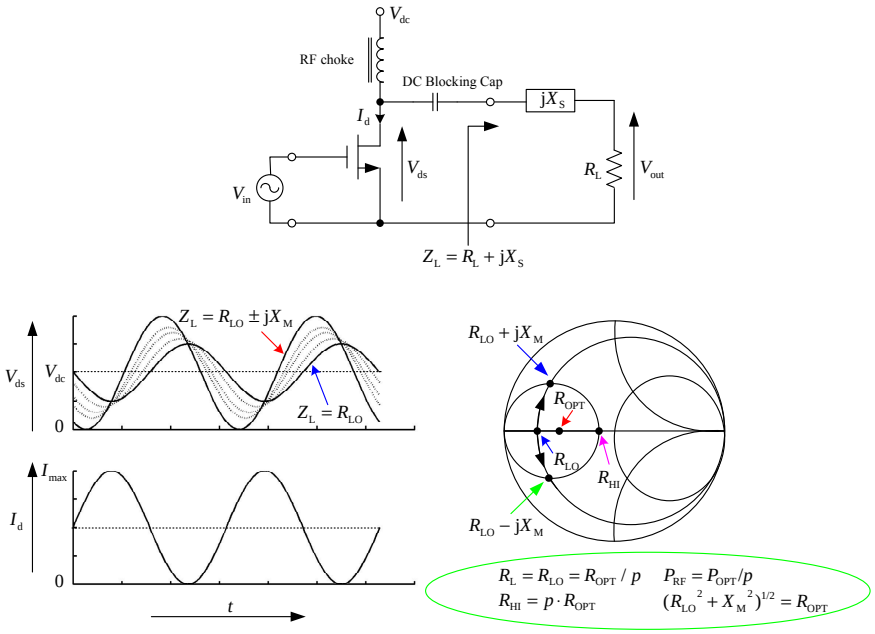


图 10-12 串联电抗元件可提高晶体管漏端的电压幅度（输出功率保持不变）

该段曲线在Smith圆图上是经过R_{opt}/p点的等阻抗圆上的一小段圆弧，圆弧的端点阻抗值为$R_{\mathrm{opt}}/p \pm \mathrm{j}X_{\mathrm{M}}$。

图10-13说明了用一个电纳元件与负载电阻$pR_{\rm opt}$并联也仍然可以得到常数输出功率$P_{\rm opt}/p$。 这时晶体

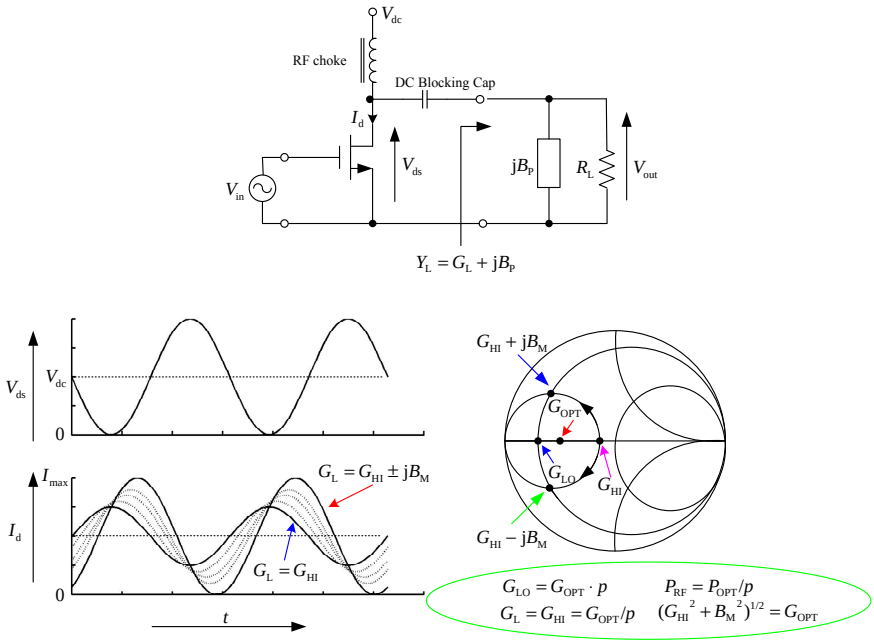


图 10-13 并联电纳元件可提高流过晶体管的电流幅度（输出功率保持不变）

管漏端的电压幅度保持不变，负载电阻上得到的功率也保持不变，但通过增加并联电纳元件，流过晶体管漏端的电流幅度增加。当电流幅度增加到$I_{\rm max}$时，并联电纳值增加到最大值$\pm B_{\rm M}$，这时晶体管漏端看到的阻抗$Z_{\rm L}$的幅度应与$R_{\rm opt}$相同，即$B_{\rm M}$的数值由下式确定：

$$\frac{\sqrt{G_{\rm L}^2 + B_{\rm M}^2}}{G_{\rm L}^2 - B_{\rm M}^2} = R_{\rm opt} \tag{10-12}$$

其中，$G_{\rm opt} = 1/(pR_{\rm opt})$。这段曲线在Smith圆图上是经过$pR_{\rm opt}$的等导纳圆上的一小段圆弧，圆弧的端点导纳值为$1/(pR_{\rm opt}) + {\rm j}B_{\rm M}$。

由式10-11和式10-12可知，两端圆弧的端点是重合的，因此输出功率相同时晶体管漏端看到的负载阻抗值构成了一条封闭曲线。令p为不同的数值，可以得到不同输出功率下的负载阻抗曲线，如图10-14所示。

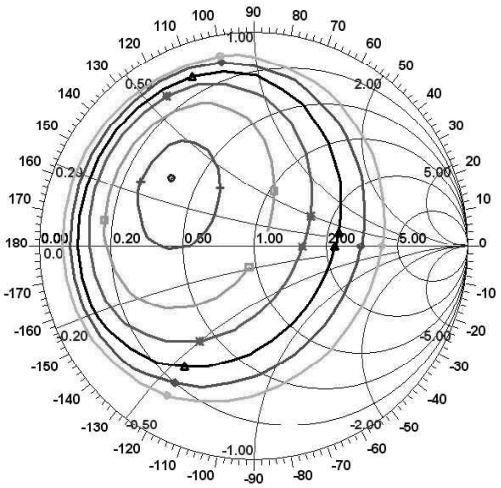


图 10-14 Smith圆图上的Loadpull曲线

利用负载线理论来设计A类微波功率放大器时，先要选定合适的微波晶体管，它的最大输出功率能满足性能要求；从微波晶体管的最大电流描述和最高承受电压描述，可以确定满足负载线匹配时优化负载的阻抗值；然后设计输出匹配网络，将实际负载阻抗值（通常为50Ω）变换到优化负载阻抗值；最后设计输入匹配网络并进行整体仿真。

需要注意的是，微波晶体管通常是封装好的，晶体管漏端看到的阻抗是外部电路的阻抗和封装引入的寄生阻抗的串联，而应用负载线理论时，是要使晶体管漏端看到的阻抗等于优化负载阻抗，因此在计算输出阻抗和设计输出匹配网络时，要考虑封装寄生效应的影响。由于封装寄生效应的存在，晶体管漏端看到的阻抗与频率有关，可以通过Loadpull曲线来观察工作频率改变时，功率放大器输出功率的变化情况，从而确定功率放大器的带宽是否满足要求。

§10.5 传统功率放大器（Classical PA）

传统功率放大器是最早出现的功率放大器结构，依据导通角的不同，可以分为A类、AB类、B类和C类四种类型。它们具有较高的线性度，在实际中得到广泛应用。由于这四种类型的放大器仅仅是导通角有所不同，而电路结构、设计思想等都是一样的，因此本节将这四种功率放大器作为一个整体进行介绍。在得到结果后，令导通角取不同的数值，就可以得到各种功率放大器自己的特性。

§10.5.1 波形分析

图10-15给出了传统功率放大器的驱动电压波形和输出电流波形。 V_{q}、I_{q}是输出晶体管的静态偏置电

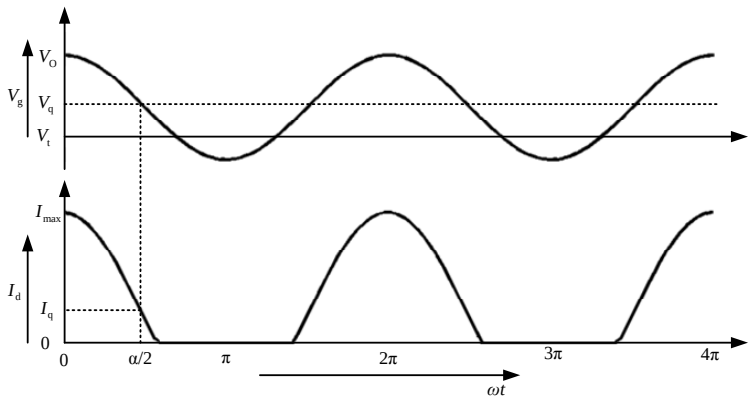


图 10-15 传统功率放大器的驱动电压波形和输出电流波形

压和静态偏置电流。当偏置电压较A类功放低时，只要驱动电压幅度足够高，在信号周期的某一部分时间内，晶体管的驱动电压将小于晶体管的阈值电压，晶体管将进入截止区，输出电流为0，即晶体管不是整个周期内都导通的。在分析中，假设当静态工作点变化时，驱动电压的幅度也跟着变化，使得输出电流的最大值保持$I_{\max}$不变。为了分析的方便，将所有的电压针对$V_{\mathrm{O}}-V_{\mathrm{t}}$进行归一化，即$V_{\mathrm{t}}=0$、$V_{\mathrm{O}}=1$，则驱动电压的幅度为：

$$V_{\mathrm{s}}=1-V_{\mathrm{q}} \tag{10-13}$$

由上式可知，当V_{q}减小时，驱动电压的幅度必须增加，以保持流过晶体管的最大电流$I_{\max}$不变。

在一个周期内，晶体管导通部分所占的比重，称为导通角α。依据导通角的不同，可以将传统功率放大器划分为四种不同的类型，即A类、AB类、B类和C类功放，如表10-1 所示。

输出电流可以用数学表达式表示为：

$$I_{\mathrm{d}}(\theta)=\begin{cases} I_{\mathrm{q}}+I_{\mathrm{pk}}\cos\theta & -\alpha/2<\theta<\alpha/2 \\ 0 & -\pi<\theta<-\alpha/2 \quad \text{or} \quad -\alpha/2<\theta<\pi \end{cases} \tag{10-14}$$

其中，

$$\theta=\omega t \qquad \text{and} \qquad \cos\alpha/2=-\frac{I_{\mathrm{q}}}{I_{\mathrm{pk}}} \qquad \text{and} \qquad I_{\mathrm{pk}}=I_{\max}-I_{\mathrm{q}} \tag{10-15}$$

表 10-1 传统功率放大器分类

Mode	Bias Point (V_q)	Quiescent Current	Conduction Angle
A	0.5	0.5	2π
AB	0～0.5	0～0.5	π～2π
B	0	0	π
C	<0	0	0～π

故

$$I_{\mathrm{d}}(\theta)=\begin{cases}\frac{I_{\max}}{1-\cos(\alpha/2)}[\cos\theta-\cos(\alpha/2)] & -\alpha/2<\theta<\alpha/2\\ 0 \quad -\pi<\theta<-\alpha/2 \quad \text{or} & -\alpha/2<\theta<\pi\end{cases} \tag{10-16}$$

对该式进行傅立叶变换，可以得到输出电流的平均值为

$$I_{\mathrm{dc}}=\frac{1}{2\pi}\int_{-\alpha/2}^{\alpha/2}\frac{I_{\max}}{1-\cos(\alpha/2)}[\cos\theta-\cos(\alpha/2)]\mathrm{d}\theta \tag{10-17}$$

考虑到图10-15给出的电流波形为偶函数，因此电流$I_{\mathrm{d}}(\theta)$的n阶谐波成分幅度为

$$I_{\mathrm{n}}=\frac{1}{\pi}\int_{-\alpha/2}^{\alpha/2}\frac{I_{\max}}{1-\cos(\alpha/2)}[\cos\theta-\cos(\alpha/2)]\cos(\mathrm{n}\theta)\mathrm{d}\theta \tag{10-18}$$

其中，直流成分和一阶谐波成分是需要特别关注的量，它们决定了放大器的效率和输出功率（其它谐波成分都短路到地，见后面内容）。

$$I_{\mathrm{dc}}=\frac{I_{\max}}{2\pi}\frac{2\sin(\alpha/2)-\alpha\cos(\alpha/2)}{1-\cos(\alpha/2)} \tag{10-19}$$

$$I_1=\frac{I_{\max}}{2\pi}\frac{\alpha-\sin\alpha}{1-\cos(\alpha/2)} \tag{10-20}$$

图10-16给出了输出电流中直流成分以及1阶到5阶谐波成分幅度随导通角α的变化曲线。 从图中可以看

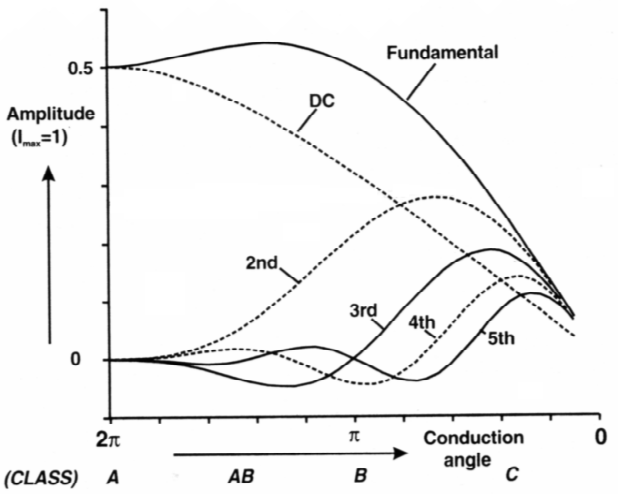


图 10-16 输出电流中直流成分以及1阶到5阶谐波成分幅度随导通角α的变化曲线

出，当导通角减小时，输出电流中直流成分是单调减小的；而当导通角位于2π和π之间时，基频成分随导通角的减小而单调增加，仅当导通角小于π（C类功放）时，基频成分才转为随导通角的减小而单调下降。当$\pi<\alpha<2\pi$时，高阶谐波成分中仅有二阶谐波成分比较高，其它的谐波成分都很小，而且随着导通角的

减小，高阶谐波成分逐渐增加。另外，当$\alpha = \pi$时（B类功放），奇数阶谐波成分都等于0。图10-16表明随着导通角的减小，功率放大器的非线性是逐渐增加的，这是提高功率放大器的效率所付出的代价。

在图10-16中，当$\alpha = 2\pi$（A类功放）时，输出电流中除了基频外，没有其它的谐波成分，因此A类功放是一个理想线性放大器。但在以上的分析中，都假设晶体管满足强非线性条件，而忽略了晶体管的弱非线性。实际上，当输出电流中高阶谐波成分很小时，弱非线性将成为限制功率放大器线性度的主要因素。因此实际的A类功放也不是理想的线性放大器。

§10.5.2 输出终端

上一小节的分析表明，功率放大器的输出电流中包含有大量的谐波成分，对于传统功率放大器来说，二阶以上的谐波成分应该被短路到地，使得晶体管输出端的电压仅由输出电流的基频成分和负载阻抗决定。图10-17给出了实现该思想的一个简单电路图。 高品质因子的并联LC谐振网络在工作频率处谐振，将

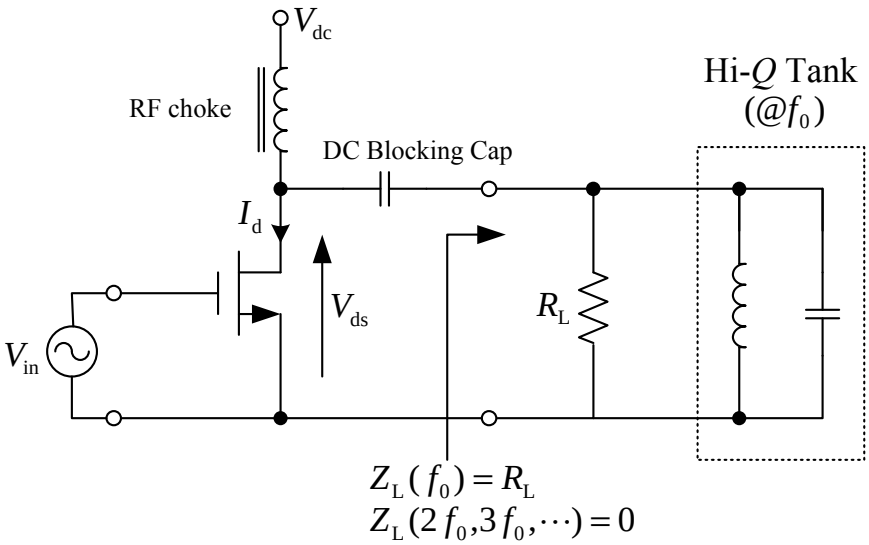


图 10-17 传统功率放大器的电路图

二阶以上的谐波都短路到地，Choke电感给晶体管提供偏置电流，R_L为负载阻抗。由于高阶谐波都短路到地，输出电压是一个理想的正弦型波形，其幅度为$I_1 R_L$，如图10-18所示。

考虑到这一点，功率放大器的输出功率为：

$$P_{out} = \frac{1}{2} I_1^2 R_L \tag{10-21}$$

而电源上消耗的功耗为：

$$P_{supply} = I_{dc} V_{dc} \tag{10-22}$$

功率放大器的漏端效率为：

$$\eta = \frac{1/2 I_1^2 R_L}{I_{dc} V_{dc}} \tag{10-23}$$

因此功率放大器的输出功率及漏端效率都与R_L值成正比，而电源上消耗的功耗则与R_L值无关。通过增加R_L，可以提高功率放大器的输出功率和漏端效率。但R_L的取值受到晶体管漏端最高电压的限制。晶体管漏端的最高电压为$2V_{dc}$，因此R_L的最大值由负载线匹配条件决定：

$$R_{opt} = \frac{V_{dc}}{I_1} \tag{10-24}$$

将上式代入式10-21和10-23，可得功率放大器的最大输出功率为：

$$P_{out}|_{max} = \frac{1}{2} I_1 V_{dc} = \frac{1}{2} \frac{I_{max}}{2\pi} \frac{\alpha - \sin\alpha}{1 - \cos(\alpha/2)} V_{dc} \tag{10-25}$$

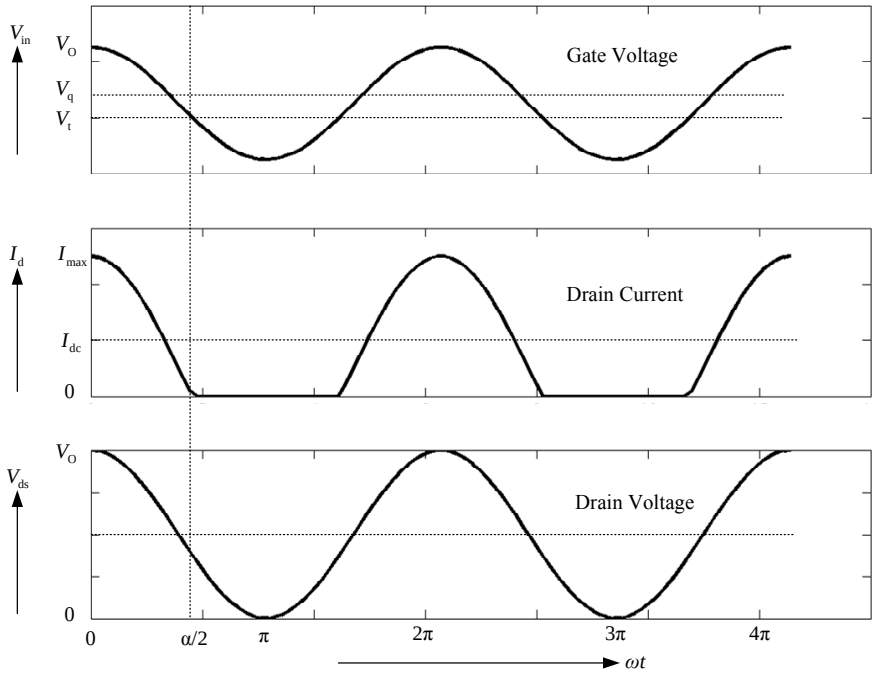


图 10-18 传统功率放大器的各种波形

功率放大器的最高效率为：

$$\eta|_{\max} = \frac{I_1}{2I_{\mathrm{dc}}} = \frac{\alpha - \sin\alpha}{2[2\sin(\alpha/2) - \alpha\cos(\alpha/2)]} \tag{10-26}$$

图10-19给出了功率放大器的相对输出功率和漏端效率随导通角的变化曲线。 从图中可以看出，B类

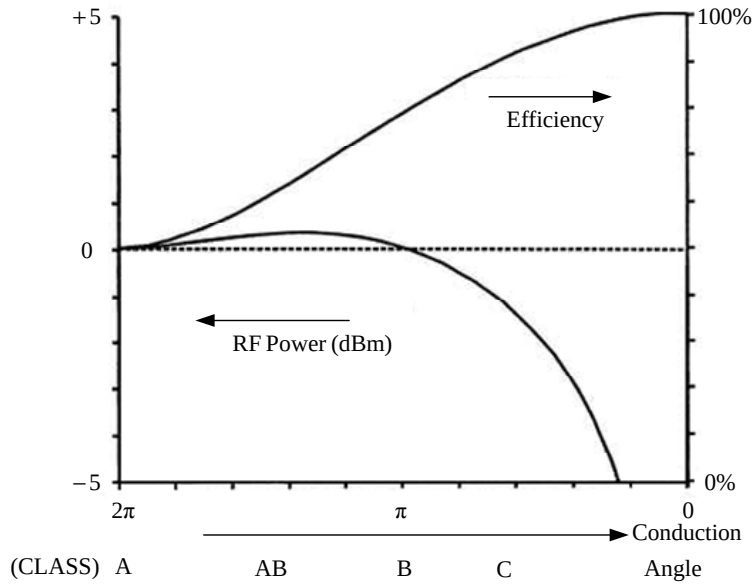


图 10-19 传统功率放大器的输出功率和效率随导通角的变化曲线

功放具有与A类功放相同的输出功率，但B类功放的效率最高可以达到78.5%，而A类功放的效率最高仅为50%，AB类功放的输出功率比A类功放稍高一些，可以近似认为A类、AB类和B类功率放大器具有相同的输出功率能力。而C类功放具有最高的效率，而且随着导通角的减小，效率也逐步提高。在极限情况下，当导通角趋近于0时，C类功放的效率趋近于100%，但导通角减小，功率放大器的最大输出功率也急

剧减小，当导通角趋近于0时，功放的输出功率也趋近于0，这时功率放大器不消耗功耗，也不输出功率给负载，效率达到100%，但很明显，这种高效率的功率放大器是没有任何用处的。

对于A类功放，$\alpha = 2\pi$，它的最高输出功率为$1/4 I_{\max} V_{\mathrm{dc}}$，因此传统功率放大器的功率利用因子为：

$$\mathrm{PUF} = \frac{\alpha - \sin\alpha}{\pi(1 - \cos(\alpha/2))} \tag{10-27}$$

当$\alpha = 2\pi$或者$\alpha = \pi$时，$\mathrm{PUF} = 1$；而当$\alpha = 0$时，$\mathrm{PUF} = 0$，表明功率放大器的输出功率降为0。

由式10-21和10-23可知，当负载阻抗$R_{\mathrm{L}} < R_{\mathrm{opt}}$时，功率放大器的输出功率和效率都小于它所能达到的最大输出功率和效率。因此在设计功率放大器时，利用负载线匹配条件来合理设计负载阻抗的值是非常重要的。

§10.5.3 Knee电压的影响

在前面的分析中，都假设晶体管的Knee电压为0，但实际上，Knee电压占可获得的输出电压摆幅的很大一部分，尤其是对于深亚微米工艺下的晶体管更是如此，高Knee电压对功率放大器的性能具有很大的影响，本小节就来分析它的影响。

图10-20给出了晶体管的典型$I-V$曲线。 当晶体管输出电压小于Knee电压时，输出电流不仅与输入电

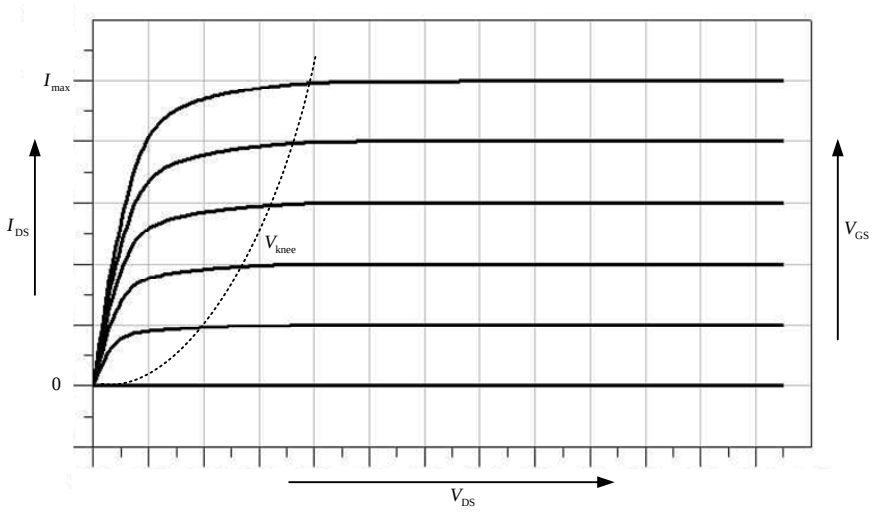


图 10-20 晶体管的典型$I-V$曲线

压有关，而且与输出电压也有关，它随输出电压的增加而增加；而当输出电压大于Knee电压时，输出电流仅与输入电压有关，而与输出电压无关。Knee电压一般定义为输入电压一定时，输出电流达到最大电流值的95%时输出电压的数值。

考虑到Knee电压后，输出电流波形中将出现一个双峰，图10-21给出了B类功率放大器的输出电压和输出电流波形。 当输入电压增加时，输出电压减小，而输出电流增加；当输出电压减小到小于Knee电压时，晶体管进入线性区工作，输出电流急剧减小，仅当输出电压恢复到Knee电压之上时，输出电流才恢复原来的大小，导致输出电流中出现一个双峰。电流波形中双峰的出现，使得直流成分和基频成分都下降，输出功率减小，而且效率也会有所降低。为了减小Knee电压的影响，可以通过适当减小负载阻抗R_{L}来减小输出电压的摆幅，如图10-22所示。 减小输出电压的摆幅可以提高输出电压的最小值，减小晶体管进入线性区工作的时间，可以部分恢复功率放大器的输出功率，当输出电压摆幅减小到一定程度，使得输出电压最小值大于Knee电压时，输出电流波形将是理想的电流波形，不再受到Knee电压的影响。但这时效率将有所降低。考虑到Knee 电压后，负载阻抗的选择，应综合考虑输出功率、效率等因素后进行优化。

§10.5.4 功率传输关系和线性度

在前面的讨论中，我们都假设驱动电压的幅度足够高，使得输出电流最大值可以达到$I_{\max}$。当驱动

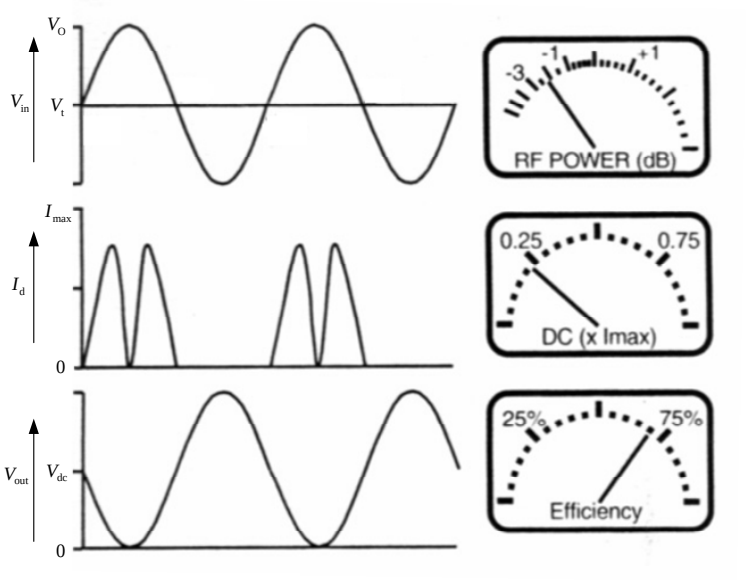


图 10-21 Knee电压使得功率放大器输出电流波形中出现双峰

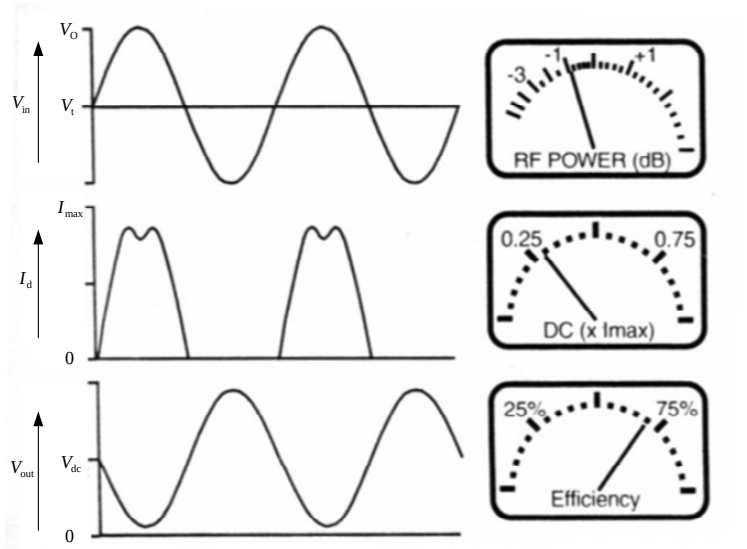


图 10-22 输出电压幅度减小可降低Knee电压的影响

电压幅度变化时，在负载阻抗保持不变（通常取R_{opt}）的情况下，输出电流和输出电压的幅度都会发生变化，功率放大器的输出功率和效率也会跟着发生改变。

对于A类放大器来说，晶体管在整个周期都内都导通。当驱动电压幅度减小时，晶体管输出电流中基频成分的幅度成比例减小，直流成分保持不变，在负载阻抗保持不变时，输出电压的幅度也会成比例减小，导致输出功率下降，效率降低。由于输出电流和输出电压的幅度都与驱动电压的幅度成正比，因此A类功放的输入-输出功率之间满足线性关系，输出功率跟输入功率之间会成比例的增加或者减小，如图10-23所示。 图中实线是输入功率正好使得输出电流最大值达到I_{max}的情况，而虚线是输入功率回退3dB的情况，当输入功率回退3dB时，输出电流的直流成分保持不变，输出功率减小3dB，效率由50%下降到25%，这是一个线性功率放大器。

对于AB类放大器来说，晶体管在大半个周期内处于导通状态。当驱动电压幅度减小时，晶体管导通角增加，使得输出电流的直流成分、基频成分都会减小，在负载阻抗保持不变时，输出电压的幅度也会成比例减小，导致输出功率下降。由于导通角是驱动电压幅度的函数，因此AB类功放的输入-输出功率之间不

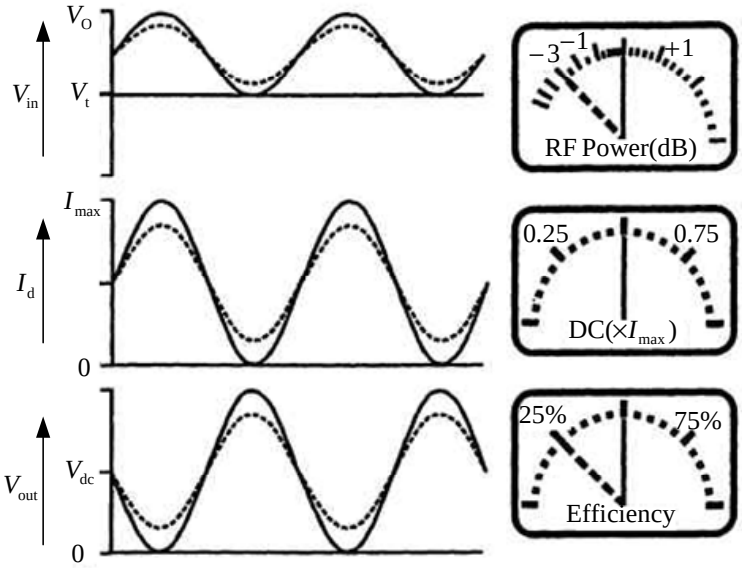


图 10-23 A类放大器的功率传输关系

满足线性关系，如图10-24所示。 图中实线是输入功率正好使得输出电流最大值达到I_{max}的情况，而虚线是

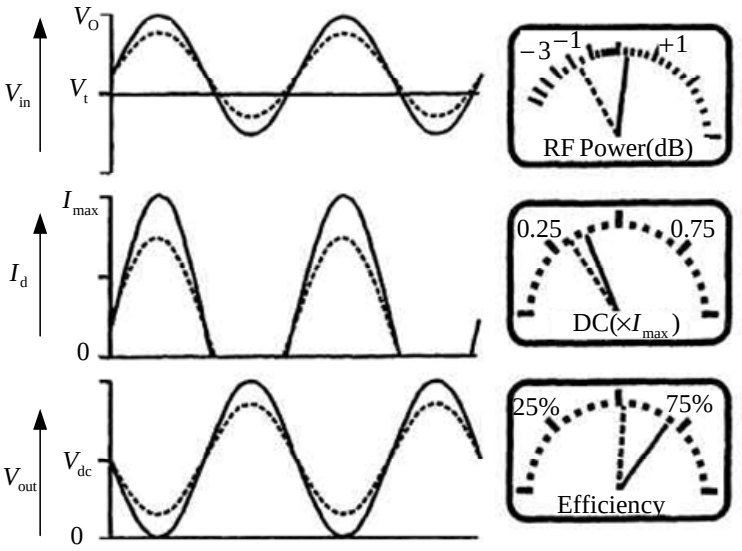


图 10-24 AB类放大器的功率传输关系

输入功率回退3dB的情况，当输入功率回退3dB时，输出电流的直流成分减小，输出功率减小约2dB，效率由约70%下降到约50%。

对于B类放大器来说，晶体管在半个周期内处于导通状态。当驱动电压幅度减小时，晶体管导通角保持不变，输出电流中基频成分的幅度成比例减小，直流成分也有所减小，在负载阻抗保持不变时，输出电压的幅度也会成比例减小，导致输出功率下降。由于输出电流与输出电压的幅度都与驱动电压的幅度成正比，因此B类功放的输入-输出功率之间满足线性关系，输出功率跟输入功率之间会成比例的增加或者减小，如图10-25所示。 图中实线是输入功率正好使得输出电流最大值达到I_{max}的情况，而虚线是输入功率回退3dB的情况，当输入功率回退3dB时，输出电流的直流成分减小，输出功率减小3dB，效率由78.5%下降到55%。因此尽管B类放大器内部涉及高度非线性操作，但从输入-输出功率关系上来说，B类放大器也是一个线性放大器。

对于C类放大器，晶体管仅在小半个周期内处于导通状态。当驱动电压幅度减小时，晶体管导通角会

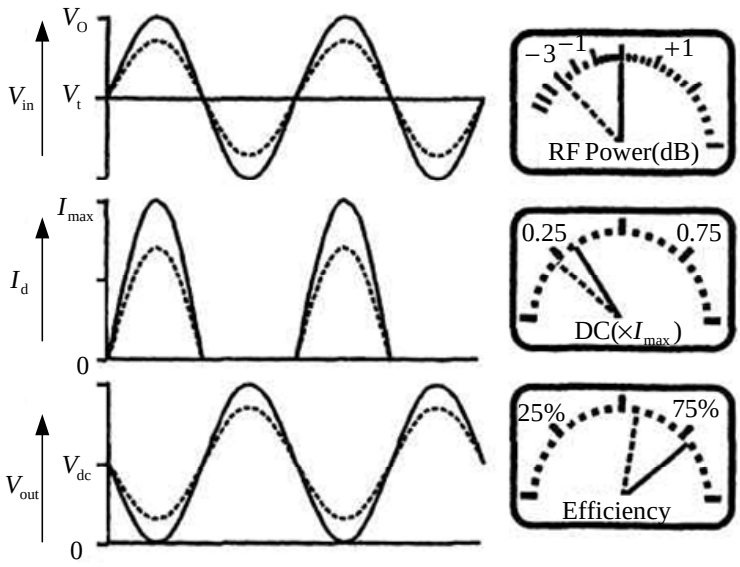


图 10-25 B类放大器的功率传输关系

减小，使得输出电流的直流成分、基频成分都会减小，在负载阻抗保持不变时，输出电压的幅度也会成比例减小，导致输出功率下降。由于导通角是驱动电压幅度的函数，因此C类功放的输入-输出功率之间不满足线性关系，如图10-26所示。 图中实线是输入功率正好使得输出电流最大值达到I_{max}的情况，而虚线是输

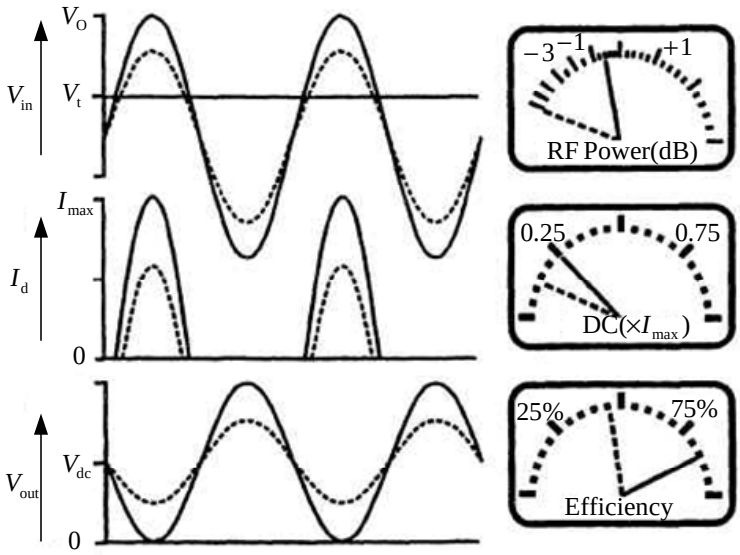


图 10-26 C类放大器的功率传输关系

入功率回退3dB的情况，当输入功率回退3dB时，输出电流的直流成分减小，输出功率急剧减小，效率也下降很多。从图中也可以看出，C类功放的输入电压可以达到很低的负值，考虑到MOS晶体管是一种反相型器件，C类功放的输入电压达到最低负值时晶体管漏端电压达到最大值，这会使晶体管栅漏之间承受很高的电压，再加之C类功放的功率利用因子很低，C类功放是射频发射机中很少用到的一种功率放大器结构。

图10-27给出了当负载阻抗保持不变时，传统功率放大器的输出功率随输入功率的变化曲线。 从图中可以看出，仅有A类功放和B类功放的功率传输关系是线性的，AB类功放在一定程度上偏离了线性关系。从这种意义上来说，仅有A类和B类功放适合于应用在采用非恒包络调制方式的发射机系统中。

但实际上，以上的结论都假设晶体管符合强非线性模型，在截止和饱和之间，晶体管的输出电流与输入电压之间满足理想线性关系。但这是不符合实际情况的，更合理的假设是采用强弱非线性模型，

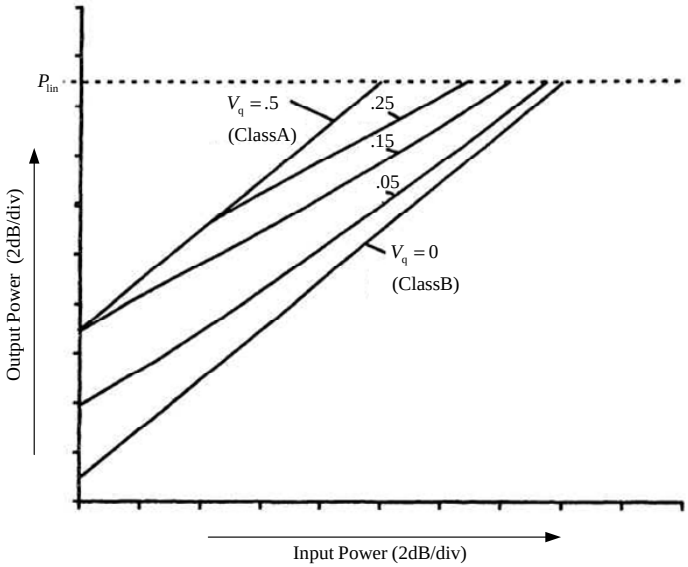


图 10-27 传统功率放大器的功率传输关系

如图10-1中的虚线所示，在截止和饱和之间，晶体管的输出电流与输入电压之间可以用功率序列表示。图10-28 给出了采用强弱非线性模型后传统功率放大器的输出功率随输入功率的变化曲线。 从图中可以看

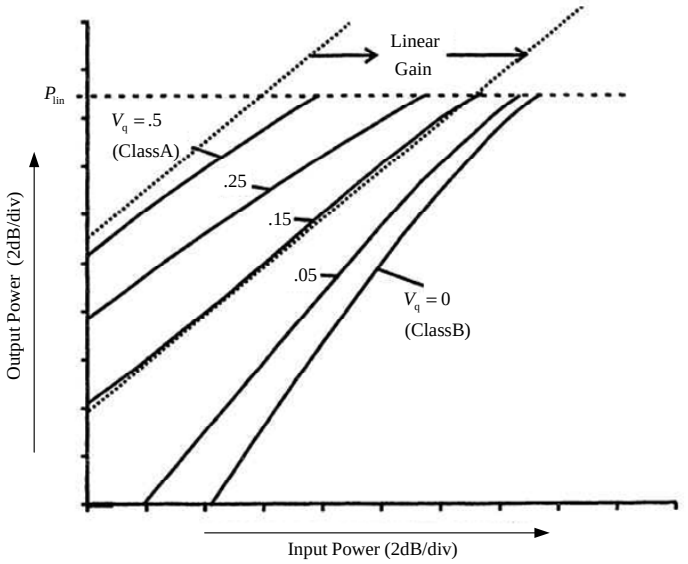


图 10-28 采用强弱非线性模型后传统功率放大器的功率传输关系

出，由于弱非线性的出现，A类功放和B类功放的功率传输关系都不再是理想线性的，相反，通过合理选择AB类功率放大器的偏置点，AB类功放可以达到很高的线性度。

§10.5.5 驱动强度

如同前面所说，随着导通角的减小，功率放大器的效率逐渐提高，但对驱动信号强度（输入信号功率）的要求也逐渐增大。前面的分析都假设驱动信号强度足够强，使得输出电流最大值达到$I_{\max}$，驱动信号幅度为：

$$V_s = 1 - V_q \tag{10-28}$$

因此，当导通角减小时，偏置电压V_q降低，驱动电压幅度增加，导致输入功率增加，功率放大器的功率增益下降。如B类功放的驱动信号幅度要增加为A类功放的两倍，输入功率增加6dB，才能保持输出电流最大

值为I_{max}不变，而B类功放的最大输出功率与A类功放的最大输出功率一样，因此B类功放的功率增益下降了6dB。考虑到驱动级的功耗对输出功率是没有贡献的，随着导通角的减小，整个发射机系统的效率并不一定会提高。图10-29给出了考虑驱动级的功耗后一个两级功率放大器的效率与输出级功率增益之间的关系曲线，图中假设驱动级的效率为50%。 由图中可知，随着输出级功率增益的下降，驱动级对效率的影响

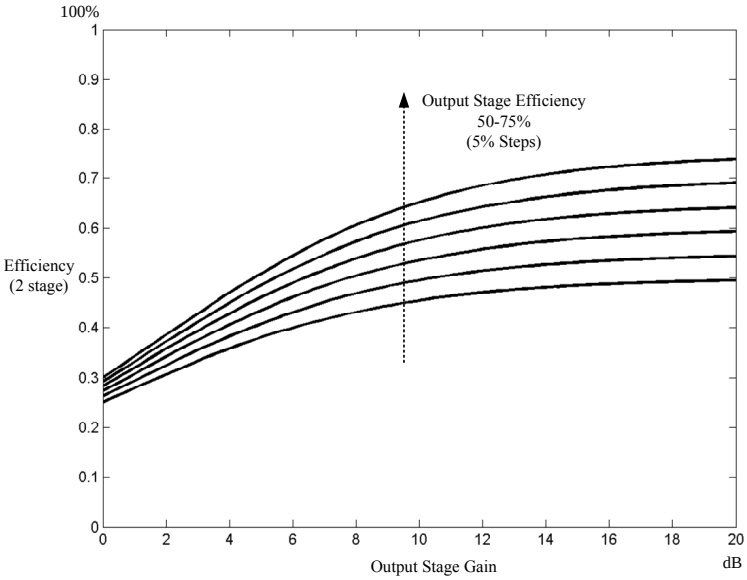


图 10-29 两级功率放大器的效率与输出级功率增益之间的关系曲线

越来越大。在射频频段，功率放大器获得大于10dB的功率增益是很困难的，因此在选择输出级的工作模式时，必须考虑该模式功放对驱动信号强度的要求，只有效率高、功率增益也高的工作模式才能提供较高的整体效率。

§10.5.6 匹配网络和谐波短路终端的设计

按照负载线匹配理论，输出晶体管的负载应为R_{opt}，而功率放大器的实际负载R_L（通常为50Ω的天线或者带通滤波器）与R_{opt}并不相同，因此功率放大器的输出端需要一个负载匹配网络，将阻抗R_L变换为R_{opt}。第三章介绍过各种匹配网络的拓扑结构和设计方法，它们都可以用来设计功率放大器的输出匹配电路。但在射频电路中常用的匹配网络为L型低通网络、Pi型网络和T型网络，如图10-30所示。 元件值的选取，可以利用Smith圆图或者简单的计算方法确定（见第三章）。在设计中需要考虑元件值的实际可能取值和匹配网络对放大器带宽的限制。由于功率放大器一般采用负载线匹配，因此确定输出匹配网络的带宽不能利用常用的VSWR方法，而应利用Loadpull技术来确定输出功率下降一定值（如0.5dB）范围内的频带宽度，Loadpull技术可以更准确的预测频率变化对输出功率的影响。

如果输出匹配网络需要实现宽带宽，可以利用两个L节匹配网络级联来实现，如图10-31所示。 阻抗R_L先由第一个L节匹配网络变换到一个中间阻抗R_{int}，然后再由第二个L节匹配网络变换到最终阻抗R_{opt}。因此只要选定中间阻抗R_{int}的值，就可以按照常用的L型低通匹配网络的设计方法来确定各元件值。R_{int}的选取具有一定的任意性，但常用的一种选取办法是使得R_{int}满足如下方程，这时匹配网络中各元件的取值会比较合理。

$$\frac{1}{R_L}:\frac{1}{R_{int}}=\frac{1}{R_{int}}:\frac{1}{R_{opt}} \tag{10-29}$$

即

$$R_{int}=\sqrt{R_{opt}R_L} \tag{10-30}$$

考虑到输出晶体管存在输出寄生电容，因此，Pi型匹配是更适合的一种匹配结构。它可以将输出晶体管的寄生电容吸收进匹配网络，而且它还可以实现一定的谐波短路终端。

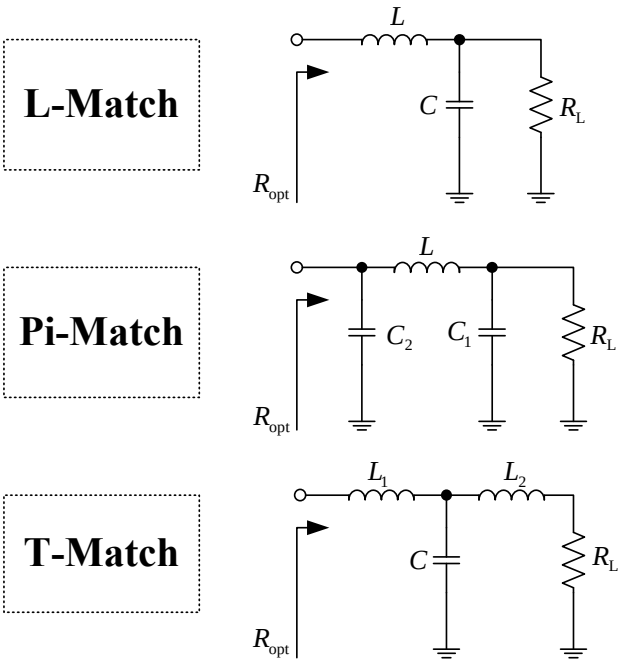


图 10-30 匹配网络结构

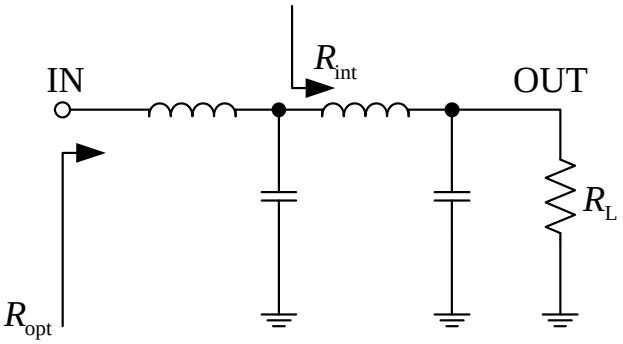


图 10-31 宽带匹配网络

传统功率放大器的输出电流中包含有各次谐波成分，而其中最重要的是二阶谐波成分，功率放大器的输出应提供一个高阶（最主要的是二阶）谐波短路终端。谐波短路终端可以用一个高Q值的LC并联谐振网络来实现，如图10-17所示。该LC并联谐振网络在基频处谐振，阻抗为无穷大，而在各高阶谐波处的阻抗远小于负载阻抗R_{opt}。满足要求的电容将具有较大的电容量，而电感量将相对较小，实现起来可能会比较困难，尤其是在高输出功率的功率放大器中。例如，假设一个1.9GHz、25W的功率放大器的R_{opt}约为12.5Ω，LC并联谐振网络在二阶谐波频率处的阻抗小于R_{opt}的十分之一就认为实现了谐波短路，那么并联网络中的电容约为67pF，而电感约为0.1nH，这些值实现起来是非常困难的。但对于输出功率不是特别大的功率放大器，采用LC并联谐振网络来实现谐波短路功能是非常合适的。

实现谐波短路终端的第二种办法是利用四分之一波长短路传输线（Quarterwave short-circuit stub, SCSS），在基频和高阶奇次谐波频率处，该传输线呈现开路特性；而在偶次谐波频率处，该传输线呈现短路。因此采用这种终端可将偶次谐波短路到地，而对高阶的奇次谐波则没有作用。考虑到传统功率放大器的输出电流中二阶谐波成分是最主要的，其它高阶谐波成分幅度都很小，因此这种传输线可以用作谐波短路终端。传输线可以提供直流馈通功能，利用四分之一波长短路传输线来完成谐波短路的功率放大器如图10-32所示。 这种终端虽然没有提供高阶奇次阶谐波短路功能，但研究表明，高阶奇次谐波的存在可能有助于提高功率放大器的输出功率和效率，这是因为高阶奇次谐波会使得输出电压波形趋近于一个方波形状，提高了输出电压的最小值，有助于消除因Knee电压引入的输出电流双峰对输出功率和效率的影响。这

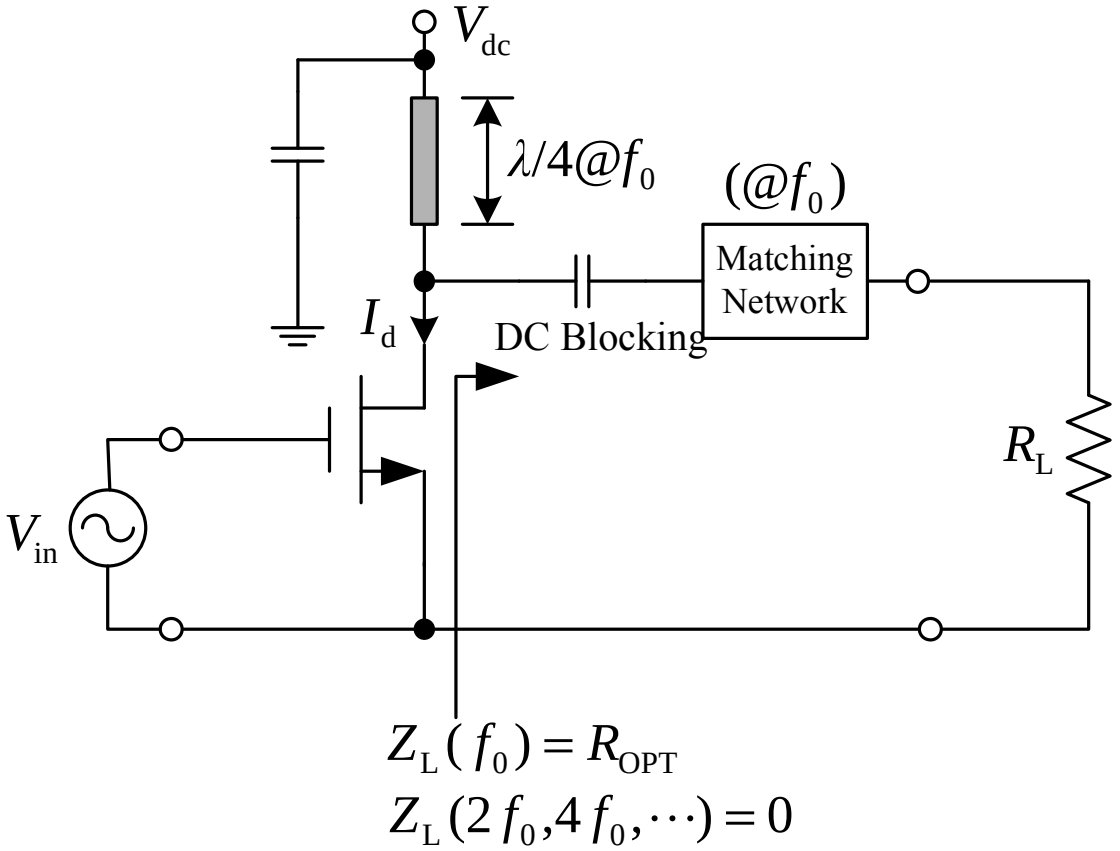


图 10-32 四分之一波长短路传输线作谐波短路终端

种谐波短路终端在实际中得到广泛的应用，但由于它很难集成，即使是PCB板实现，也会占用很大的空间，因此它的应用受到一定的限制。

Pi型匹配网络也可以用来完成准谐波短路功能。图10-30所示的Pi型网络中，电容C_1的阻抗与频率成反比，因此在高阶谐波处，它可以提供准谐波短路功能。C_1的值越大，谐波短路功能实现得越好。但由于实际元件值的限制，C_1太大会阻碍阻抗匹配的可实现性。因此在设计Pi型匹配网络时，应兼顾谐波短路和阻抗匹配功能，通过仿真选择合适的元件值。

§10.5.7 推挽B类功率放大器

推挽结构是B类放大器常采用的一种结构，它的基本思想如图10-33所示。 两个晶体管都偏置于B类工作模式，单端驱动信号由一个变压器或者Balun（单平衡–双平衡阻抗变换器）变换为差分信号，分别驱动两个晶体管。由于晶体管工作于B类模式，每一个晶体管仅在半个周期内导通，而在另半个周期内截止，它们的输出电流经变压器或者Balun后，组合为一个完整的周期信号，输出功率是单个晶体管输出功率的两倍。理论上，推挽B类功率放大器的效率仍然可以达到78%。

由图10-16可知，对于B类放大器来说，晶体管输出电流中除基频外的各奇次阶谐波均为0，而推挽放大器结构可以消除输出电流中的直流成分和偶次阶谐波成分，因此，推挽B类放大器的输出电流中仅包含有基频成分，而不存在谐波成分，它不需要谐波短路终端，可以直接采用电阻作负载，实现宽频带功率放大。

但实际上，由于晶体管存在Knee电压，推挽B类放大器会遇到交越失真（Crossover distortion）问题，引入波形失真。交越失真可以通过使晶体管工作于AB类模式来加以消除，此处不再详述。

§10.5.8 传统功率放大器的设计过程

上面各小节分析了传统功率放大器的特点及相关的设计问题，本小节对传统功率放大器的设计过程进

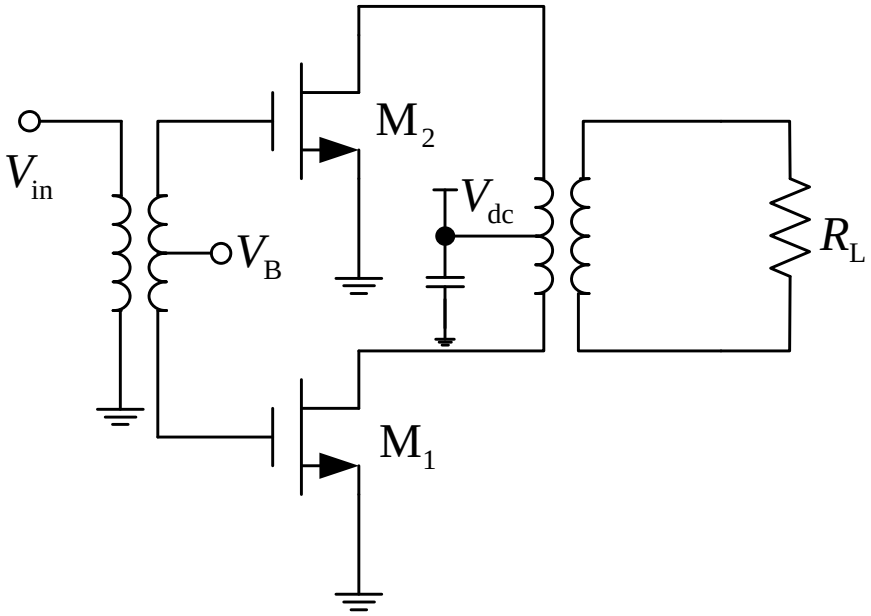


图 10-33 推挽B类功率放大器

行总结。

要设计一个具有一定输出功率P_{out}的传统功率放大器，大致可以分为以下各步：(1)对晶体管的$I-V$曲线进行扫描，确定它的Knee电压V_{knee}和不同宽度晶体管的最大输出电流$I_{\max}$；(2)根据晶体管的耐压能力，确定电源电压值V_{dc}，晶体管漏端的最高电压可达到$2V_{\text{dc}}$，而栅极驱动电压可能小于0，考虑到MOS晶体管为反相型器件，晶体管栅氧化层应能承受漏端可能达到的最高电压与同时出现的栅极最低电压之差的压力；(3)根据输出功率的要求，确定优化负载阻抗值：$R_{\text{opt}}=(V_{\text{dc}}-V_{\text{knee}})^2/(2P_{\text{out}})$；（4）根据选定的工作模式确定导通角$\alpha$，并由输出电流的一阶谐波成分$I_1$与输出功率之间的关系$P_{\text{out}}=1/2I_1^2R_{\text{out}}$，确定晶体管应能提供的最大电流$I_{\max}$，由输出电流与晶体管宽度之间的关系，确定晶体管的尺寸；(5)根据图10-17搭建初步电路，Choke电感的电感量应足够大，以阻止交流信号流过Choke电感，一般它在工作频率处的阻抗大于$10R_{\text{opt}}$就可以了，电感量太大，电感的谐振频率将下降而且寄生阻抗会引入很大损耗。交流耦合电容在工作频率处的阻抗应远小于R_{opt}（$\sim 0.1R_{\text{opt}}$），而高Q值的并联谐振电路应在工作频率处谐振，其中的电容要足够大使得并联谐振电路在二阶谐波处的阻抗远小于R_{opt}（$\sim 0.1R_{\text{opt}}$），使高阶谐波短路，输出晶体管的偏置根据导通角确定，偏置电压可通过另一个Choke电感或者大电阻加到输出晶体管的栅极；(6)对上一步搭建的电路进行仿真，验证功率和效率是否满足要求，为了进一步优化电路，可以对R_{opt}和晶体管的尺寸在一定范围内扫描，确定最优方案；(7)设计匹配网络，将功率放大器的负载阻抗变换为R_{opt}；(8)调节谐波短路电路或者采用新的谐波短路方案（如SCSS），需要注意的是在设计谐波短路终端时，需要将晶体管的寄生电容纳入并联电容中；(8)采用小信号设计方法设计输入匹配网络；(9)重新模拟，对整个电路进行频率扫描，确定电路带宽是否满足要求。

§10.6 开关模式功率放大器

开关模式功率放大器是一种高效率的功率放大器，在理想情况下，它可以达到100%的效率。在这种功率放大器中，驱动电压幅度足够强（过驱动），使得输出晶体管相当于受控的开关，在完全导通（晶体管工作于线性区）和完全截止（晶体管工作于截止区）之间瞬时切换。由于流过理想开关的电流波形和开关上的电压波形没有重叠，理想开关不消耗功耗，电源提供的直流功耗都转换为输出功率，达到100%的效率。依据实现思想的不同，可以将开关模式功率放大器分为D类、E类和F类放大器，本节将分别介绍这三种模式的放大器。

开关模式功率放大器涉及高度非线性过程，因此它们都是非线性放大器，只能应用于采用恒包络调制

方式的发射机系统中，但由于它们能提供相对较高的效率，通过采用各种线性化技术后它们也被大量应用于各种非恒包络调制方式的发射机系统中。开关模式功率放大器的驱动电压必须具有足够的强度使得输出晶体管近似作为一个开关，因此与传统功率放大器相比，它们的功率增益相对较低。

需要说明的是，本节的讨论都假设晶体管是理想开关，而实际上，晶体管导通时存在一个导通电阻，而且晶体管在导通和截止之间切换时不是瞬时就能完成的，需要一段延时时间，这段时间内电流和电压波形会发生重叠，这些都会带来额外的损耗，使得开关模式功率放大器的实际效率并不能达到理想的100%。

§10.6.1 D类功率放大器

D类功率放大器如图10-34所示。 它的结构与推挽B类放大器的结构很接近，但它的输出端不是一个

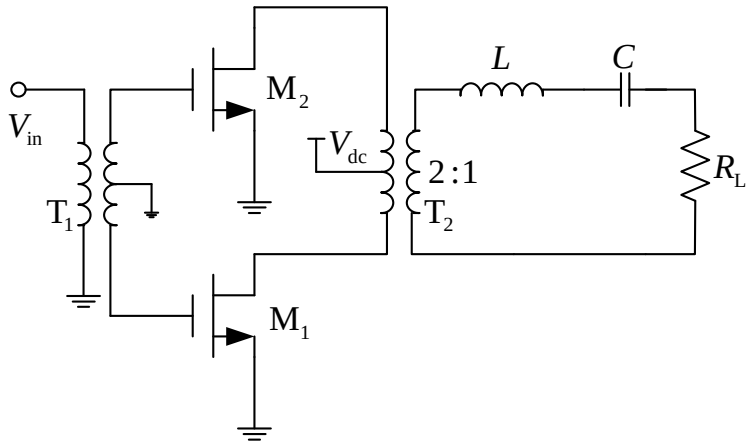


图 10-34 D类功率放大器的电路图

宽带的电阻负载，而是RLC串联谐振电路。它在工作频率处谐振，使得流过它的电流仅含有基频成分，是一个理想的正弦型信号。驱动信号V_{in}通过输入变压器T_1变换为差分信号，使得两个晶体管各导通半个周期，而在另半个周期内截止。与B类推挽放大器不同的是，驱动信号是过驱动的，使得晶体管可近似作为一个理想开关。在某半个周期内，晶体管M_1导通、M_2截止，输出变压器T_2的首级线圈的一端接电源电压V_{dc}，变压器特性使得该线圈的另一端电压摆到$2V_{\text{dc}}$，变压器首级线圈上的电压差为$2V_{\text{dc}}$，晶体管M_2需要承受$2V_{\text{dc}}$的电压；在另半个周期内，晶体管M_2导通、M_1截止，输出变压器T_2首级线圈上的电压改变方向，为$-2V_{\text{dc}}$，晶体管M_1需要承受$2V_{\text{dc}}$的电压。因此，T_2首级线圈上的电压是一个幅度为$4V_{\text{dc}}$的理想方波。输出变压器为$2:1$的理想变压器，T_2次级线圈上的电压信号为幅度等于V_{dc}的方波。

RLC串联谐振电路使得流过T_2的次级线圈的电流为理想正弦型信号，变压器特性使得流过T_2首级线圈的电流也为相同幅度的正弦型信号，因此在每个开关导通的半个周期内，流过它的电流为半个周期的正弦型信号，而在另半个周期内流过该开关的电流为0，如图10-35所示，而电源V_{dc}提供的电流为一个完整的基频正弦型信号。

理想D类放大器的输出电流I_{o}是理想正弦型信号，流过负载的电流中没有高阶谐波成分，因此不存在高阶谐波损耗，而开关上的电压波形和流过开关的电流波形没有重叠，开关不会引入损耗，再加之无源元件都是理想的，也不会引入损耗，因此理想D类放大器的效率为100%，电源所消耗的功耗都转化为了有用的基频输出功率。

T_2次级线圈上的电压为V_{dc}的方波信号，其基频成分的幅度为：

$$V_1 = \frac{2}{\pi} V_{\text{dc}} \tag{10-31}$$

假设流过RLC谐振电路的电流幅度为I_{pk}，基频电流成分的幅度为$I_1 = I_{\text{pk}}$，基频信号功率（放大器的输出功率）为：

$$P_1 = \frac{1}{2} V_1 I_1 = \frac{1}{\pi} V_{\text{dc}} I_{\text{pk}} \tag{10-32}$$

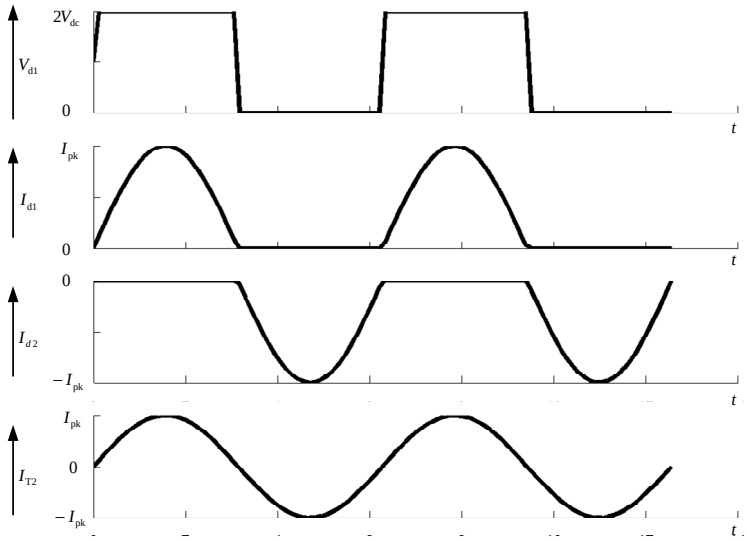


图 10-35 D类功率放大器的波形图

下面来计算该放大器的直流功耗。电源V_{dc}提供的直流电流成分为：

$$I_{\mathrm{dc}} = \frac{1}{\pi} I_{\mathrm{pk}} \tag{10-33}$$

因此该放大器的直流功耗为：

$$P_{\mathrm{dc}} = V_{\mathrm{dc}} I_{\mathrm{dc}} = \frac{1}{\pi} V_{\mathrm{dc}} I_{\mathrm{pk}} \tag{10-34}$$

因此理想D类放大器将消耗的直流功耗都转化为了基频输出功率，效率为100%，它的输出功率与I_{pk}成正比。

I_{pk}和V_1满足简单的$V-I$方程：

$$I_{\mathrm{pk}} = \frac{V_1}{R_{\mathrm{L}}} = \frac{2}{\pi} \frac{V_{\mathrm{dc}}}{R_{\mathrm{L}}} \tag{10-35}$$

通过减小R_{L}，可以提高I_{pk}，增加D类放大器的输出功率。受到晶体管最大输出电流能力的限制，$I_{\mathrm{pk}} \leq I_{\max}$。D类功率放大器的功率利用因子为：

$$\mathrm{PUF} = \frac{4}{\pi} \tag{10-36}$$

它的最大输出功率比A类放大器要高约1dB。

以上的分析都假设晶体管是理想开关，串联谐振电感L和电容C都为理想元件，没有损耗。当工作频率远小于晶体管的特征频率时，晶体管的开关延时可以忽略，晶体管可近似作为一个理想开关，流过晶体管的电流波形和电压波形没有重叠，不会产生损耗，因此，D类放大器主要适用于频率较低的应用中（如音频），这时，虽然它的导通电阻和串联谐振元件的损耗会降低效率，但D类放大器仍然可以达到近似100%的效率。在高频下，晶体管的开关延时不可忽略，流过晶体管的电流波形和电压波形将出现很大的重叠区，而且在晶体管没有完全导通或完全截止时，晶体管上的电压很高（近似为$2V_{\mathrm{dc}}$），$I-V$积很大，引入的损耗也高，极大地降低了D类放大器的效率，再考虑到晶体管导通电阻的损耗以及串联谐振元件的损耗，D类功率放大器并不适合于射频领域的应用。

§10.6.2 E类功率放大器

如同前面所说，D类放大器受到非理想开关的影响，并不适合于高频应用。在高频下，输出晶体管在不完全导通和不完全截止过程中会引入很大的损耗，使放大器的效率急剧下降。如果能在开关导通瞬间，使开关上的电压近似保持为0，那么就可以减小开关损耗，提高效率。E类功率放大器就是基于这种思想提出来的，它通过对开关上的电压进行整形，使得在开关导通瞬间，开关上的电压和电压变化的斜率都近似

为0（软开关），减小了开关在不完全导通过程中的损耗。但E类放大器没有对开关截止时开关上的电压波形进行控制，因此，晶体管在不完全截止过程中的损耗仍然会降低放大器的效率。

图10-36给出了E类功率放大器的电路图。驱动电压过驱动使得晶体管可近似作为开关来使

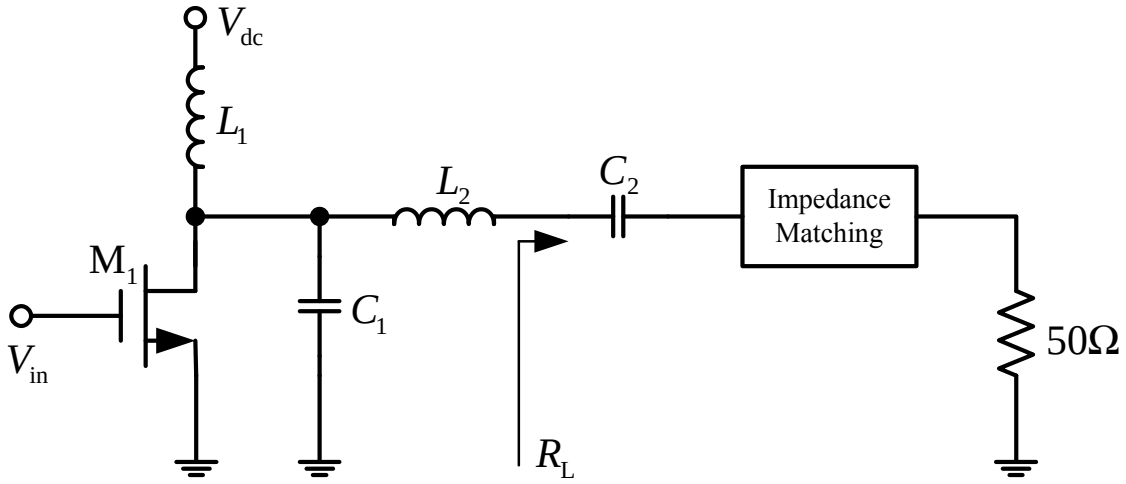


图 10-36 E类功率放大器的电路图

用，Choke电感L_1阻止交流信号通过，并给晶体管提供直流电流I_{dc}，L_2、C_2组成一个串联谐振网络，当该谐振网络的品质因子足够高时，流过该网络的电流为理想的正弦型信号（同D类放大器输出端一样），所有的谐波成分都被滤除。并联电容C_1由两部分组成，一部分是晶体管的寄生电容，另一部分是实际引入的电容。在分析E类放大器时，通常将晶体管作为理想开关，当它导通时，晶体管上的压降为0；而当它截止时，流过晶体管的电流为0。并且晶体管的寄生电容以及实际引入的电容（C_1）都是理想线性电容，电容量与电容上的电压无关。

图10-37给出了E类放大器的各种电流波形。流过负载R_L上的电流为一个理想的正弦型信号$I_{rf}\sin\theta$，流进开关和电容C_1的总电流为：

$$I(\theta) = I_{rf}\sin\theta + I_{dc} \qquad (\theta = \omega t) \tag{10-37}$$

当开关闭合时，开关上的电压$V_c(\theta) = 0$，电流I_θ都流过开关，流过开关的电流的最大值为$I_{pk} = I_{rf} + I_{dc}$，而流过电容上的电流为0；当开关打开时，流过开关的电流为0，I_θ都流过电容，对电容进行充放电。开始时$I_c(\theta) > 0$，电容上的电压$V_c(\theta)$持续上升，当$I_c(\theta) = 0$时，$V_c(\theta)$达到最大值，这是晶体管漏端所承受的最高电压V_{pk}，此后，$I_c(\theta) < 0$，对电容进行放电，$V_c(\theta)$持续下降，在下一次开关刚要导通的瞬间，$V_c(\theta)$下降到0。这是E类功率放大器区别于其它开关放大器的一个特点。E类放大器的另一个特点是在开关导通瞬间，开关上电压$V_c(\theta)$ 的斜率也必须为0，即所谓的“软开关”，这是为了减小开关在不完全导通过程中所引入的额外损耗，如图10-38所示。

从E类放大器的特点出发，可以推导出E类放大器的设计方程，但该过程是很复杂的，本处不进行详细的推导，仅给出结果，对推导感兴趣的读者请参考本章后面的文献。此处给出的设计方程假设驱动信号是一个占空比为50%的方波，并考虑了晶体管的Knee电压和驱动信号的上升时间所带来的非理想效应。

假定我们要设计一个输出功率为P_{out}，工作频率为$\omega = 2\pi f$的E类放大器，晶体管导通时的最小漏源电压(Knee电压)为V_{knee}，驱动信号是一个上升时间为t_r的理想方波信号。则达到输出功率要求的负载值应为：

$$R_L = \frac{0.577(V_{dc} - V_{knee})^2}{P_{out}} \tag{10-38}$$

电路中三个无源元件的数值分别为：

$$C_1 = \frac{1}{5.447\omega R_L} \tag{10-39}$$

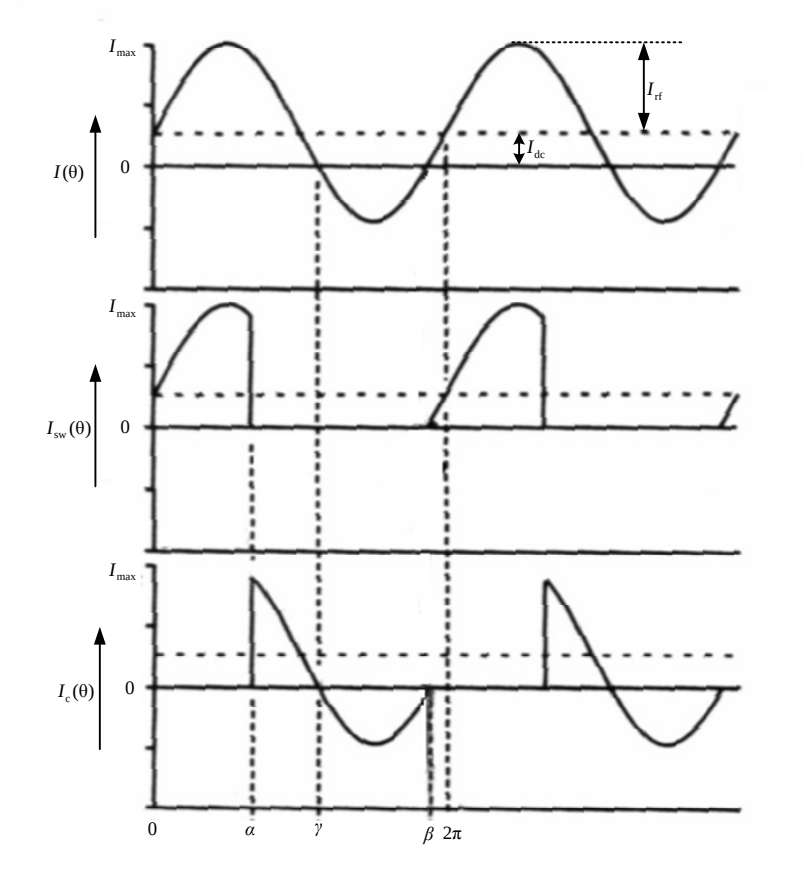


图 10-37 E类功率放大器的各种电流波形图

$$L_2 = \frac{QR_{\mathrm{L}}}{\omega} \tag{10-40}$$

$$C_2 = C_1 \cdot \frac{5.447}{Q}(1 + \frac{1.42}{Q - 2.08}) \tag{10-41}$$

其中，Q是LC谐振网络的品质因子，Q值高，应用带宽窄，而且工艺变化会很敏感，Q值低会降低放大器的效率，常取的值是7～10。

在确定了以上元件值后，就可以设计阻抗匹配网络，将功率放大器的负载（50Ω）变换为R_{L}。阻抗变换网络可以根据情况选用不同的匹配结构，此处不再详述。

晶体管漏端的最高电压为

$$V_{\mathrm{pk}} = 3.562V_{\mathrm{dc}} - 2.562V_{\mathrm{knee}} \tag{10-42}$$

晶体管必须能承受该电压而不发生击穿。E类放大器的漏端最高电压可能升高到$3.562V_{\mathrm{dc}}$，而其它类型放大器漏端的最高电压仅为$2V_{\mathrm{dc}}$，这使得E类放大器所能承受的最高电源电压要低于其它类型的放大器，这是E类放大器的一个缺点。

令

$$A = (1 + \frac{0.82}{Q})^{f \cdot t_{\mathrm{r}}} \tag{10-43}$$

则电源电压提供的直流电流为：

$$I_{\mathrm{dc}} = \frac{P_{\mathrm{out}}}{V_{\mathrm{dc}}} \frac{1 - \frac{(2\pi A)^2}{12}}{1 - \frac{(2\pi A)^2}{6} - (\frac{V_{\mathrm{knee}}}{V_{\mathrm{dc}}})[1 + A - \frac{(2\pi A)^2}{6}]} \tag{10-44}$$

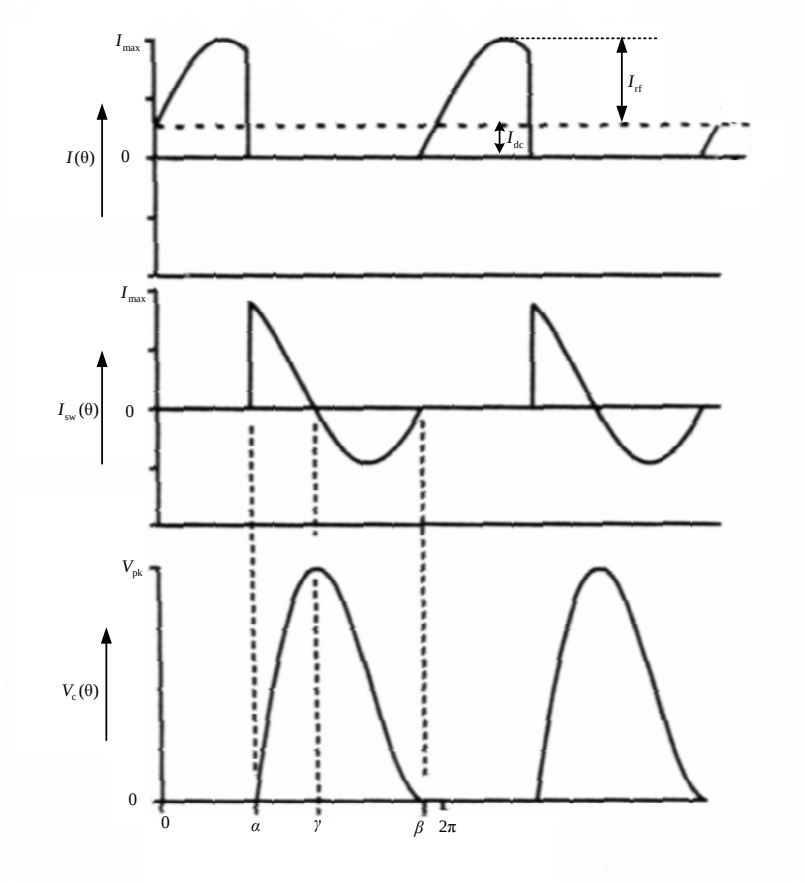


图 10-38 E类功率放大器开关上的电压波形

流过晶体管的最大电流为：

$$I_{\rm pk} = I_{\rm dc}[1 + 1.862(1 - \frac{0.5}{Q})] \tag{10-45}$$

$I_{\rm pk}$决定了晶体管的最小宽度，流过晶体管的最大电流$I_{\rm max}$必须不小于$I_{\rm pk}$。

电源提供的直流功耗为：

$$P_{\rm dc} = V_{\rm dc} \cdot I_{\rm dc} \tag{10-46}$$

而效率为

$$\eta = \frac{P_{\rm out}}{P_{\rm dc}} \cdot 100\% \tag{10-47}$$

E类放大器的功率利用因子为：

$$\text{PUF} = \frac{P_{\rm out}}{\frac{1}{4} I_{\rm pk} V_{\rm dc}} \tag{10-48}$$

假定要设计一个输出功率为1.25W、900MHz的E类放大器，晶体管的击穿电压限制了电源电压为$V_{\rm dc} = 2$V，晶体管的Knee电压约为$V_{\rm knee} = 0.2$V，驱动方波信号的上升时间约为$t_{\rm r} = 0.1$ns，Q值取为7。则应用以上方程可以求出各元件的数值为：$R_{\rm L} = 1.496\Omega$；$L_2 = 1.851$nH；$C_1 = 21.707$pF（含晶体管的寄生电容）；$C_2 = 21.767$pF。而晶体管所承受的最高漏端电压约为$V_{\rm pk} = 6.612\text{V} = 3.306V_{\rm dc}$，流过晶体管的最大电流为$I_{\rm pk} = 1.986$A，电源电压提供的直流功耗约为$P_{\rm dc} = 1.456$W，效率约为85.864%，而功率利用因子约为PUF $= 1.26$，它的最大输出功率比使用相同电源电压的A类放大器高约1dB。但实际上，使用同一种晶体管的A类放大器的电源电压可以提高到3.306V，这时A类放大器的最大输出功率约为$P_{\rm LIN} = \frac{1}{4} \cdot 3.306 \cdot I_{\rm pk} = 1.641$W，它比E类放大器的最大输出功率要高约1.18dB。

从以上讨论可以看出，由于驱动信号有限的上升时间和晶体管的Knee电压，E类放大器的效率并不能达到100%，而晶体管承受的电压要远高于其它类型的功率放大器，在相同晶体管击穿电压的限制下，E类放大器的功率利用因子要小于1。

以上的讨论仅考虑了驱动方波信号有限的上升时间和晶体管的Knee电压对E类放大器的影响，实际上，晶体管的导通电阻R_{on}、Choke电感有限的电感量L_1以及晶体管输出寄生电容的电压非线线都会对E类放大器的输出功率和效率产生影响，将它们的影响考虑在内时可以得到一套不同的设计方程。图10-39比较了采用不同设计方程完成的E类放大器的输出功率和效率，该图仅比较了考虑和不考虑晶体管的导通电阻、Choke电感有限的电感量所带来的不同影响。 图中的四种组合对应于：1（考虑导通电阻的影

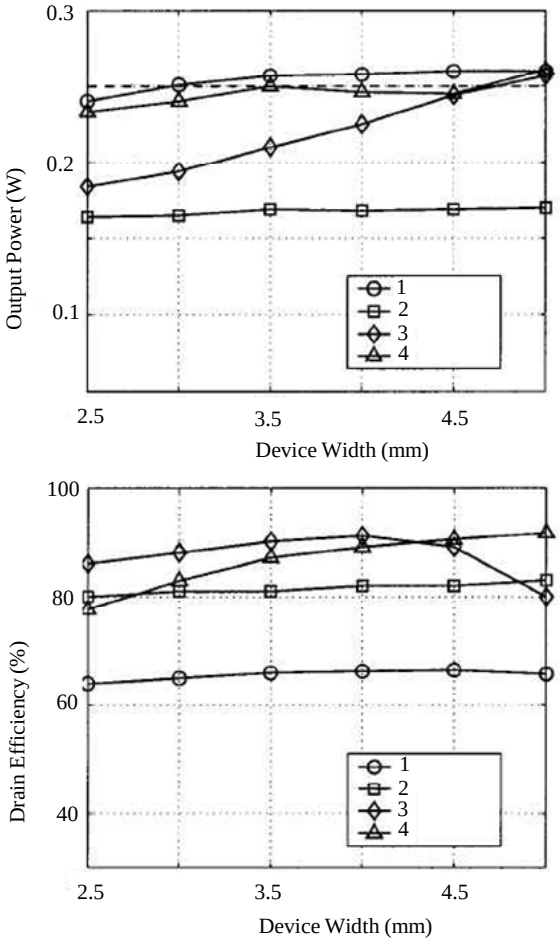


图 10-39 采用不同设计方程完成的E类放大器的输出功率和效率比较

响，Choke电感的电感量为无穷大）；2（不考虑导通电阻和Choke电感的影响）；3（不考虑导通电阻的影响，Choke电感的电感量为有限值）；4（考虑导通电阻的影响，Choke电感的电感量为有限值）。从图中可以看出，考虑导通电阻和Choke电感有限的电感量后推导出的设计方程可以得到更准确控制的输出功率和更高的效率。

同D类放大器一样，E类放大器通过高品质因子的串联谐振电路使得输出电流中仅包含有基频成分，负载上不会产生高阶谐波损耗，而开关上的电压波形和流过开关的电流波形没有重叠，开关不会引入损耗，再加之无源元件都是理想的，也不会引入损耗，因此理想E类放大器的效率为100%，电源所消耗的功耗都转化为了有用的基频输出功率。同D类放大器不同的是，E类放大器对开关导通时的电压波形进行了整形，开关导通时开关上的电压值为0而且其上升斜率也为0，减小了开关在不完全导通过程中的损耗，但E类放大器没有对开关截止时开关上的电压波形进行控制，在开关不完全截止过程中，流过开关的电流波形和开关上的电压波形会存在一部分重叠，如图10-40所示，电流和电压波形重叠会引入很大的损耗，严重影

响E类放大器的效率。

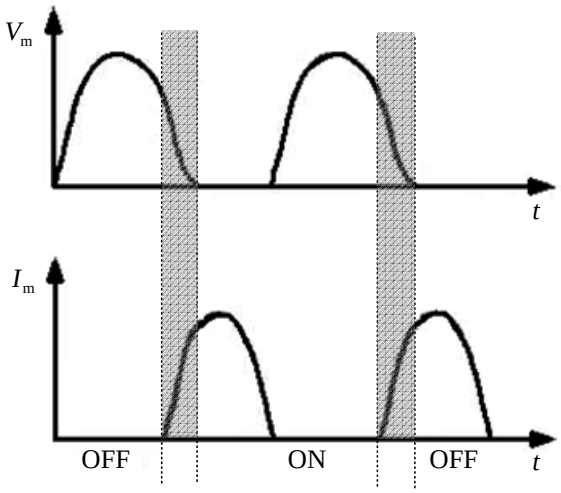


图 10-40 开关不完全截止时，电流和电压波形存在重叠区

§10.6.3 F类功率放大器

E类放大器通过对开关导通时的电压波形进行整形，减小了开关在不完全导通过程中的损耗，提高了效率，但如同前面所述，E类放大器的输出晶体管要承受很高的电压压力，这是与现代集成电路工艺技术的发展趋势（晶体管耐压能力逐渐下降）不兼容的，而且E类放大器要求驱动信号必须有很快的上升时间，否则会引入额外的损耗，这些都限制了集成E类放大器的应用。因为这些原因，人们开始研究另一种开关模式功率放大器，这就是F类功率放大器。

F类功率放大器使用输出滤波器对晶体管漏端电压或者电流中的谐波成分进行控制，归整晶体管漏端的电压波形或者电流波形，使得它们没有重叠区，减小开关的损耗，提高功率放大器的效率。图10-41给出了一个F类功率放大器的电路图。 高品质因子的并联谐振网络在工作频率处谐振，在基频处提高一个无穷

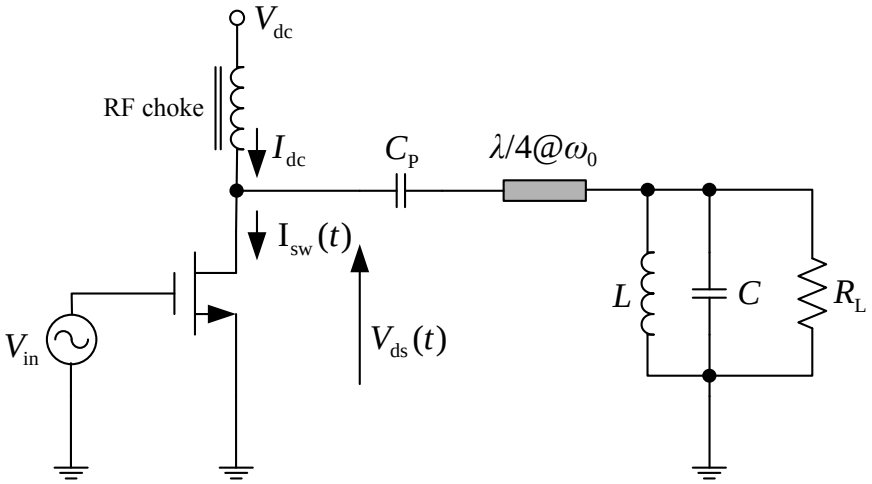


图 10-41 F类功率放大器的电路图

大的阻抗，而在其它谐波频率处，该并联谐振网络的阻抗为0，即实现了传统功率放大器中的短路终端功能。在基频频率处，传输线的长度正好为四分之一波长，它的特性阻抗为Z_c。考虑到四分之一波长传输线的特殊性质，传输线输入端（晶体管漏端）看到的阻抗为：

$$Z_{in} = \frac{Z_c^2}{Z_L} \tag{10-49}$$

其中，Z_L为传输线的终端阻抗。

在工作频率处，$Z_L = R_L = Z_c$，因此晶体管漏端看到的基频阻抗为纯电阻性阻抗R_L。在高阶奇次谐波频率处（阶次$n \geq 3$），传输线的长度为$\frac{n\lambda}{4}(n = 3, 5, 7, \cdots)$，是半波长的整数倍和四分之一波长之和。由于传输线以$\frac{\lambda}{2}$为周期，在高阶奇次谐波频率处，传输线的输入阻抗和终端阻抗也满足式10-49，但这时传输线的终端阻抗短路到地，因此晶体管漏端看到的高阶奇次谐波阻抗为无穷大，即开路。而在高阶偶次谐波频率处（阶次$n \geq 2$），传输线的长度为$\frac{n\lambda}{4}(n = 2, 4, 6, \cdots)$，是半波长的整数倍。由于半波长传输线的输入阻抗和终端阻抗是一样的，在高阶偶次谐波频率处，传输线的输入阻抗等于终端阻抗，但这时传输线的终端阻抗短路到地，因此晶体管漏端看到的高阶偶次谐波阻抗为0，即短路。

如果驱动信号是一个占空比为50%的方波信号，晶体管可近似作为一个理想开关，漏端看到的基频阻抗为R_L，高阶奇次谐波阻抗为无穷大，而高阶偶次谐波阻抗为0。因此晶体管漏端的电压波形中将包含有各奇次谐波成分，它是一个理想的方波，如图10-42所示。

由于晶体管漏端看到的各高阶奇次谐波阻抗为无穷大，而各高阶偶次谐波阻抗为0，因此流过开关的电流中仅包含有基频频率成分和各高阶偶次谐波成分。在传统功率放大器分析中，我们已经知道B类放大器中流过输出晶体管的电流就仅具有这些成分，因此F类放大器流过开关的电流波形与B类放大器的电流波形一样，也是半个周期的正弦波，如图10-42所示。流过开关的电流中的基频成分在负载R_L上产生输出功

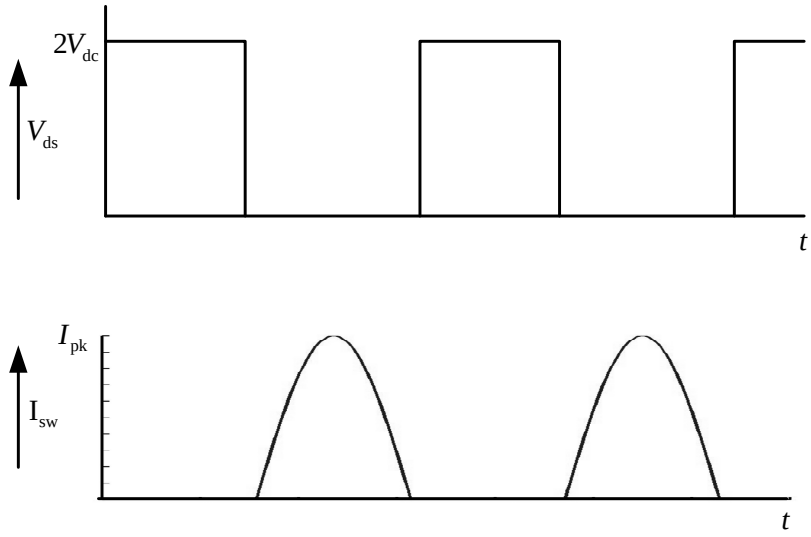


图 10-42 F类功率放大器的波形图

率，而其它高阶偶次谐波成分则由LC并联谐振网络短路到地，因此负载上的电压波形和电流波形都是理想的正弦波，没有谐波损耗。

从图10-42可以看出，开关上的电压波形和流过开关的电流波形没有重叠，因此理想开关不会引入损耗，而LC谐振网络保证了负载上不会存在高阶谐波损耗，因此理想F类放大器的效率为100%。另外，晶体管导通和截止时，流过开关的电流都为0，因此可以降低开关晶体管在不完全导通和不完全截止过程中引入的损耗，提高功率放大器的效率。

晶体管漏端电压的峰峰值为$2V_{\mathrm{dc}}$，基频成分的幅度为：

$$V_1 = \frac{4}{\pi} V_{\mathrm{dc}} \tag{10-50}$$

如果流过开关的电流峰值为I_{pk}，则这个电流中的基频成分和直流成分分别为：

$$I_1 = \frac{I_{\mathrm{pk}}}{2} \tag{10-51}$$

$$I_{\mathrm{dc}} = \frac{I_{\mathrm{pk}}}{\pi} \tag{10-52}$$

晶体管的宽度应根据最大电流要求I_{pk}来确定。而优化负载阻抗值为：

$$R_{\mathrm{opt}} = \frac{V_1}{I_1} = \frac{8}{\pi} \frac{V_{\mathrm{dc}}}{I_{\mathrm{pk}}} \tag{10-53}$$

F类放大器的输出功率为：

$$P_{\mathrm{out}} = \frac{1}{\pi} V_{\mathrm{dc}} I_{\mathrm{pk}} \tag{10-54}$$

电源提供的直流功耗为：

$$P_{\mathrm{dc}} = V_{\mathrm{dc}} I_{\mathrm{dc}} = \frac{1}{\pi} V_{\mathrm{dc}} I_{\mathrm{pk}} = P_{\mathrm{out}} \tag{10-55}$$

因此理想F类放大器的效率为100%。

F类放大器的功率利用因子为：

$$\mathrm{PUF} = \frac{1/\pi V_{\mathrm{dc}} I_{\mathrm{pk}}}{1/4 V_{\mathrm{dc}} I_{\mathrm{pk}}} = \frac{4}{\pi} \tag{10-56}$$

它的最大输出功率比A类放大器高约1.05dB。

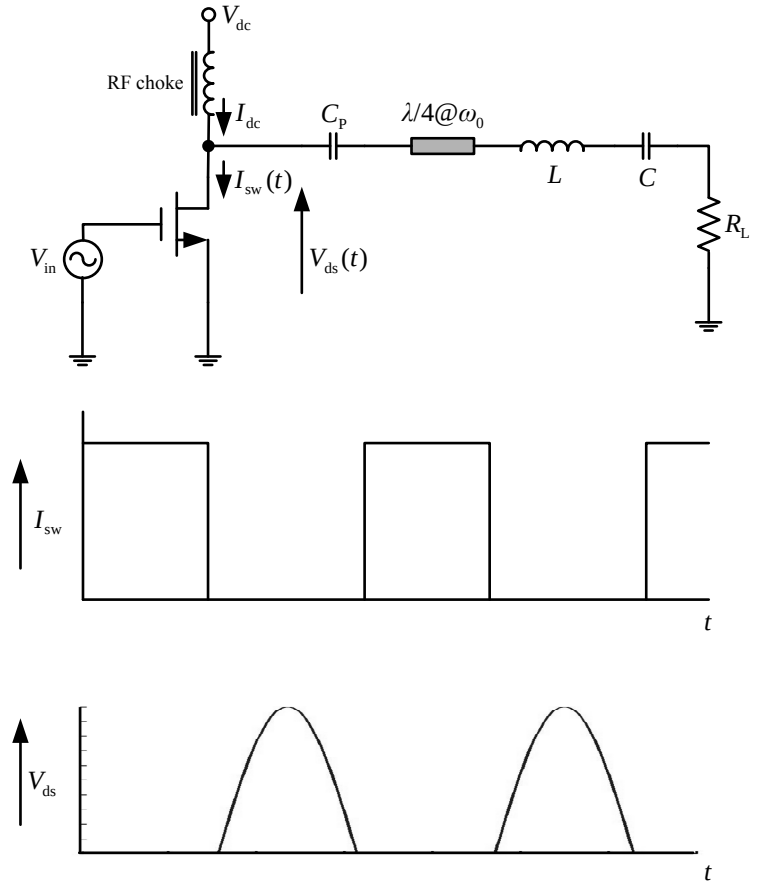


图 10-43 F^{-1}类功率放大器的电路、波形图

F类放大器还存在一个孪生配置，这就是F^{-1}类功率放大器，它的电路图如图10-43所示。 采用与F类放大器相同的分析方法，可得到晶体管漏端看到的基频阻抗为R_L，高阶奇次谐波阻抗为0（即短路），而高阶偶次谐波阻抗为无穷大（即开路），因此晶体管漏端的电压波形是半个周期的正弦波，流过晶体管的电流波形是一个理想的方波，如图10-43所示。F^{-1}类功率放大器与F类功率放大器的各种特性是相同的，此处不再重复。

在射频频率范围内，传输线不便于集成，因此要寻找替代传输线的技术。考虑到四分之一波长传输线可以用调谐到不同高阶奇次谐波频率处的并联谐振网络串联来等效，因此采用集中式元件实现的F类放大器的电路如图10-44所示（图中仅采用三阶并联谐振网络和五阶并联谐振网络串联来等效传输线）。 由于开始

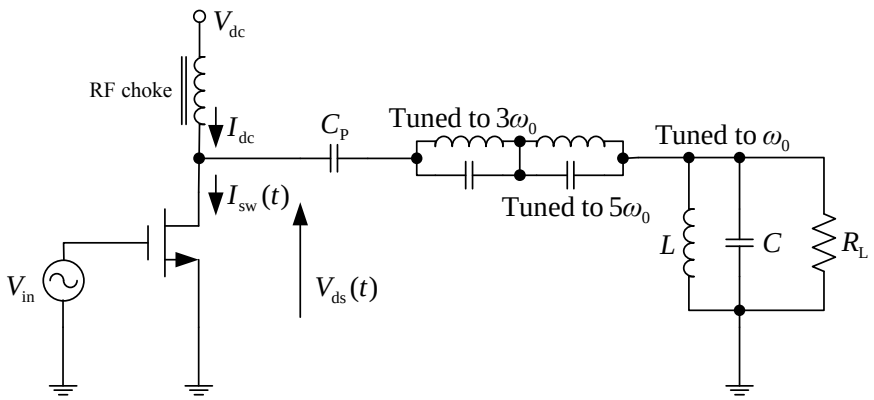


图 10-44 采用集中式元件实现的F类功率放大器的电路图

的几个高阶奇次谐波成分对电压波形的影响最大，随着阶次的升高，奇次谐波成分对电压波形的影响越来越小，图10-45给出了基频成分和三阶谐波成分合成后的电压波形，它已经很近似于方波。因此为了减小电路的复杂性，通常可以只用少数几个并联谐振电路串联来等效传输线。 图10-46给出了只使用三阶LC并联

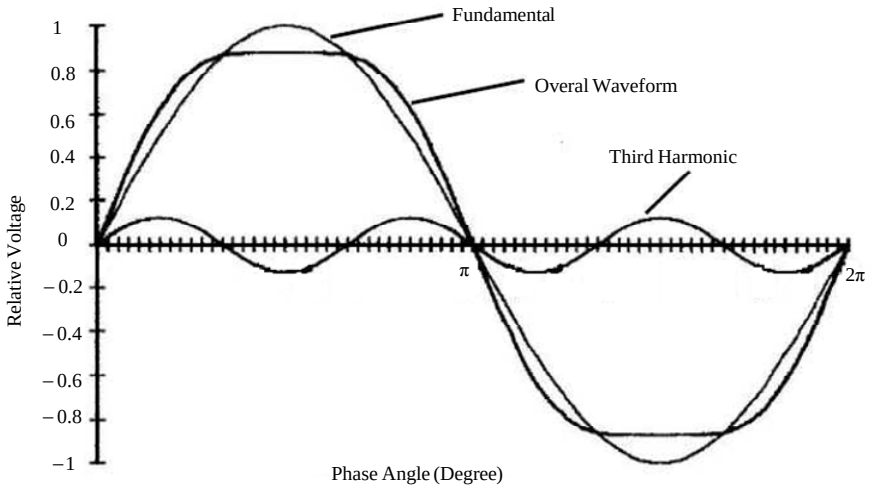


图 10-45 基频和三阶谐波成分的合成电压波形

谐振网络等效传输线时晶体管漏端的电压波形和电流波形，电压波形近似于理想方波，而由于晶体管漏端看到的偶次阶谐波阻抗仍为0，电流波形还是理想的半个周期正弦波。 从图中可以看出，电压波形和电流

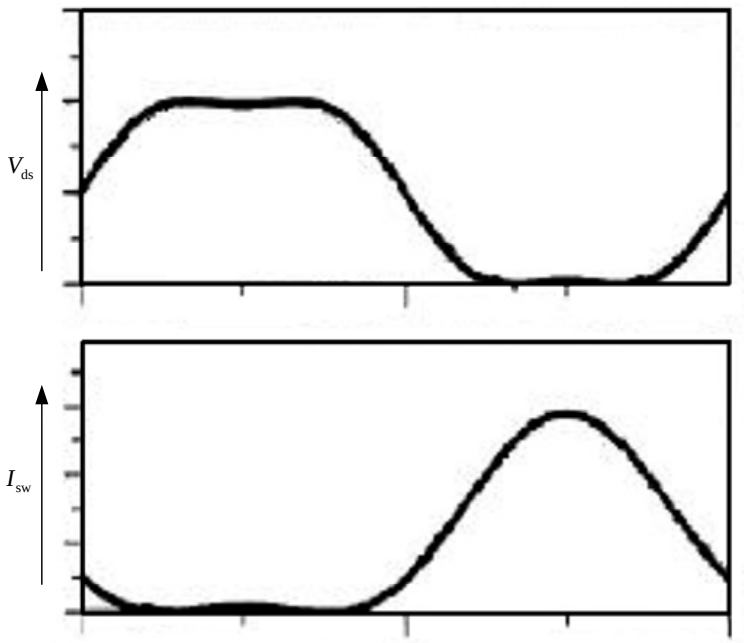


图 10-46 采用集中式元件实现的F类功率放大器的波形图

波形有一部分重叠，因此开关存在损耗，降低了效率。

增加额外的高阶并联谐振网络可以提高放大器的效率，表10-2列出了使用不同阶次的并联谐振网络时F类放大器的最大输出功率和最高效率，n代表并联谐振网络的最高阶次，P_{out}是使用传输线的理想F类放大器的输出功率。从表中可以看出，当只使用一个三阶并联谐振网络来等效传输线时，F类放大器的效率最高可以达到90.69%，而最大输出功率可以达到理想F类放大器的90.75%。若再增加一个五阶并联谐振网络时，F类放大器的最高效率仅提高到94.77%，而最大输出功率仅提高到理想F类放大器的94.84%，性能

提高并不是很明显。考虑到并联谐振网络中无源元件的损耗，因此实际设计中常只利用三阶并联谐振网络来等效传输线。

表 10-2 不同阶次的并联谐振网络对F类放大器的最大输出功率和效率的影响

n	最高效率η	最大输出功率
1	78.5%	$0.786P_{\text{out}}$
3	90.69%	$0.9075P_{\text{out}}$
5	94.77%	$0.9484P_{\text{out}}$
∞	100%	P_{out}

§10.7 不同类型功率放大器性能比较

前面我们介绍了各种类型的功率放大器，包括传统功率放大器（A、AB、B、C类放大器）和开关模式功率放大器（D、E、F类放大器），它们具有不同的性能，表10-3对各种类型功率放大器的性能进行了总结。传统功率放大器具有相对较高的增益和线性度，但效率低，而开关模式功率放大器具有很高的效率和高输出功率，但线性度很差。功率放大器的线性度和效率是一对互相折衷的参数，后面我们还会看到这种折衷关系。

表 10-3 各种类型功率放大器的性能总结

类型	A	AB	B	C	D	E	F
晶体管工作模式	电流源	电流源	电流源	电流源	开关	开关	开关
晶体管导通角	2π	π～2π	π	0～π	π	π	π
输出功率	中	中	中	小	大	大	大
理论效率	50%	50～78.5%	78.5%	78.5～100%	100%	100%	100%
典型效率	35%	35～60%	60%	70%	75%	80%	75%
增益	高	中	中	低	低	低	低
线性度	极好	好	好	差	差	差	差
晶体管漏端电压峰值	$2V_{\text{dc}}$	$2V_{\text{dc}}$	$2V_{\text{dc}}$	$2V_{\text{dc}}$	$2V_{\text{dc}}$	$3.6V_{\text{dc}}$	$2V_{\text{dc}}$

§10.8 采用CMOS工艺实现集成功率放大器面对的挑战

为了采用CMOS工艺来实现集成化的功率放大器，必须研究CMOS工艺实现功率放大器所面对的挑战。功率放大器要在消耗尽可能低直流功耗的前提下给负载提供大功率信号，同时，为了降低驱动级的功耗，功率放大器还应该具有足够高的功率增益。考虑到功率放大器输出的是大功率信号，放大器中存在大电流流动，当电路中存在寄生阻抗时，流过寄生阻抗的大电流会消耗很大的功耗，降低了放大器的效率。由于寄生阻抗的大小一般是不可控的，因此减小它们影响的办法只能是减小放大器中的电流。但CMOS工艺并不能满足以上的要求，下面将介绍采用CMOS工艺（尤其是深亚微米工艺）来实现高输出功率射频功率放大器所面对的挑战。

§10.8.1 耐压能力

随着CMOS工艺技术的发展，晶体管的特征尺寸越来越小，特征频率越来越高，晶体管可以提高更高的增益和更好的噪声性能，使得大多数射频电路的性能逐步提高，因此，CMOS工艺正成为实现大多数射频电路模块的主流工艺。但对于射频功率放大器来说，特征尺寸的减小，虽然可以提供更高的增益，但同

时也使得晶体管的耐压能力急剧下降，使得采用先进CMOS工艺实现集成化功率放大器面临更大的压力和挑战。

根据机理的不同，MOS晶体管的耐压能力受到以下三种机制的限制，它们是：漏源二极管齐纳（Zener）击穿；漏源穿通、栅氧化层击穿。前两种效应是可以恢复的，当引起击穿的因素消失后，晶体管能恢复正常的工作状态，而第三种机制是不可恢复的，晶体管已经损坏。

为了减小MOS晶体管漏端和源端的寄生电阻，晶体管的漏端和源端通常是高掺杂的，它们与衬底形成的PN结具有很低的击穿电压。例如在0.5微米的CMOS工艺中，漏端/源端与衬底形成的PN结击穿电压约为10～12V。这会限制功率放大器漏端的电压摆幅。

MOS晶体管的漏源穿通与双极型晶体管的基极穿通发生的机理是相同的，晶体管漏端电压增加时，晶体管漏端的耗尽区宽度会增加，当晶体管漏端电压增加到一定程度时，漏端的耗尽区可能扩展到与晶体管源端的耗尽区接上，使得晶体管的导电沟道消失，栅端电压也就不再对漏端电流具有控制作用，这也对功率放大器晶体管漏端的电压摆幅作出了限制。

栅氧化层击穿是由于MOS晶体管中的栅氧化层只能承受一定的电场强度，当栅氧化层上的电压增加到一定程度时，氧化层中的电场超过了氧化层所允许的最大电场强度，导致栅氧化层发生击穿。栅氧化层击穿可分为两种模式，第一种模式是突然击穿模式，栅氧化层在承受某一电压后，突然发生击穿，造成栅和沟道短路，对于这种击穿模式来说，栅氧化层能承受的电场强度相对较高，约为8～12MV/cm；第二种模式是缓变击穿模式，它是一种累积击穿模式，栅氧化层在承受一定的电场后，晶体管的特性（如阈值电压）会随着时间的增加而逐渐发生变化，晶体管工作长时间后就丧失了晶体管的基本特性而不能再用，因此限制了晶体管的最长使用寿命，对于这种击穿模式来说，栅氧化层能承受的电场强度相对较低，约为2～6MV/cm。栅氧化层发生击穿的机理目前还没有研究清楚，广泛接受的解释是基于空穴产生和捕获模型。沟道中具有较高能量的电子会通过Fowler-Nordheim隧穿机制以一定的几率注入氧化层的导带内，当栅氧化层承受的电场达到一定强度时，注入导带内的电子会得到加速，通过碰撞后以一定的几率产生电子-空穴对，产生的空穴中会有一部分被栅氧化层所捕获，由于空穴带有正电荷，它会改变晶体管的阈值电压，缓慢改变晶体管的特性。当栅氧化层承受的电场进一步增加时，注入导带内的电子可以获得更大的能量，有更大的几率产生电子-空穴对，因此被氧化层捕获的空穴也会增加，被捕获的空穴会使得局部电场增加，增加了隧穿电子的几率，这是一个正反馈过程，当被捕获的带有正电荷的空穴达到一定程度时，氧化层发生隧穿，导致击穿的发生。最近的研究工作表明，随着栅氧化层的不断减薄，被捕获的空穴离栅电极越来越近，因此当栅氧化层足够薄时（小于5nm），被捕获的空穴将不再能改变晶体管的特性，因此，栅氧化层的缓变击穿模式最终将不成为问题。

在以上三种击穿机制中，栅氧化层击穿对功率放大器的设计具有最大的影响，由于栅氧化层中的电场强度与栅氧化层上的电压之间的关系为：

$$E_{\mathrm{OX}}=\frac{V_{\mathrm{OX}}}{t_{\mathrm{OX}}} \tag{10-57}$$

因此，栅氧化层击穿限制了栅源电压和栅漏电压不能超过栅氧化层击穿电压。考虑到MOS晶体管是反相型器件，当栅极电压达到最高时，漏端电压达到最低值，而栅极电压达到最低值时，漏端电压达到最高值，这进一步限制了功率放大器输出晶体管漏端的电压幅度。当电压幅度降低时，为了输出一定量的功率，流过晶体管的电流必须增加，寄生阻抗上的消耗会更大，降低了功率放大器的效率。

§10.8.2 MOS晶体管跨导

随着晶体管特征尺寸的减小，晶体管的耐压能力也逐步降低，功率放大器输出晶体管漏端的电压幅度也必须随着降低，为了输出一定量的功率，流过晶体管的电流必须增加。一方面由于寄生阻抗的存在，增加电流会降低功率放大器的效率，减小电池的使用寿命；另外一方面，考虑到MOS晶体管的跨导较小，为了在漏端产生大电流，要么增加驱动级输出电压的幅度，要么增加输出级晶体管的尺寸。这两种办法都会增加功率放大器输出级前级放大电路的功耗，从而降低功率放大器的效率。

而且，增加输出晶体管的尺寸会受到可实现电感的电感量的限制。为了提供足够的功率增益，功率放大器的各级一般都采用LC谐振网络作负载，电感与各级输出节点的寄生电容以及后级晶体管的栅源电容谐

振，当后级晶体管尺寸很大时，与这些电容谐振的电感的电感量将很小。而实际上，能够实现的电感的电感量都存在一个下限值，因为电感量太小时，寄生效应（如连线寄生阻抗）或者工艺偏差将严重影响电感的性能。这限制了输出级晶体管的尺寸不能任意增加。

以上所提到的这些限制，都是由于在一定的电流消耗下，MOS晶体管的跨导太小引起的，而双极型晶体管或者GaAs晶体管可以提供相对来说大得多的跨导，这是采用双极型工艺或者GaAs工艺可以制作更优性能的功率放大器的主要原因之一。

在集成电路实现中，版图考虑也会限制输出晶体管的最大电流。流过金属连线的电流密度都有一个最大值，超过该值会引起电子牵引效率，因此当输出晶体管的电流很高时，需要很宽的金属走线，这会消耗大量的芯片面积并引入重要的连线寄生效应。特别地，片上集成电感的金属条宽度一般约为10～20μm，因此片上集成电感只能通过20～40mA的直流电流，约80mA的交流电流，在设计集成功率放大器时，片上集成电感处理电流的能力是必须考虑的一个因素，采用多金属层并联和厚金属是唯一的解决办法。晶体管的版图设计也要考虑最大电流密度要求，特别是晶体管与金属线的连接，要考虑接触孔、通孔以及金属线处理电流的能力，采用多指晶体管是缓解晶体管电流密度压力的一种很好的办法。

§10.8.3 衬底问题

采用CMOS工艺来实现功率放大器所遇到的另一个问题是衬底耦合和衬底损耗问题。功率放大器的输出功率很大，通过衬底耦合，功率放大器产生的强信号很容易耦合到其它的电路模块中。对于低噪声放大器、混频器来说，这些耦合过来的强信号会对电路操作带来干扰，严重的还会使得这些电路模块出现饱和；而对于振荡器来说，强信号耦合会引起频率牵引效应，振荡器的频率会受到耦合过来的强信号的牵引而发生偏移。为了降低衬底耦合，除了不将功率放大器和其它易受干扰电路集成在同一芯片上之外，另外的办法是采用有效的隔离措施并减小功率放大器耦合到衬底的信号强度。

衬底损耗是限制所有射频电路性能的一个主要因素。由于衬底损耗的存在，片上集成电感的品质因子都较差。由于射频电路中大量使用电感元件，低品质因子的电感会严重影响射频电路的性能。对于功率放大器来说，低品质因子的片上电感会限制放大器的增益，增加放大器消耗的电流，降低放大器效率，而且当输出功率很大时，电感的寄生损耗也直接降低了功率放大器的输出功率能力和效率。

与其它工艺技术相比，CMOS工艺的衬底具有更低的电阻率，因此衬底耦合和衬底损耗问题更严重，这是采用双极型工艺或者GaAs工艺可以制作更优性能的功率放大器的另一主要原因。

§10.8.4 Knee电压

在设计PA时，常使用负载线匹配方法，如图10-47所示。 晶体管所能承受的最高电压$V_{\max}$受到晶体管击穿电压的限制，而最小电压则受到Knee电压的限制。Knee电压将晶体管的工作划分为线性区和饱和区，常定义为晶体管漏端电流达到晶体管允许的最大电流$I_{\max}$的某一比例（如95%）时的V_{DS}值。对于传输功率放大器来说，优化的负载值为：

$$R_{\mathrm{opt}}=\frac{V_{\max}-V_{\mathrm{Knee}}}{I_{\max}} \tag{10-58}$$

图10-48 给出了功率晶体管和普通的深亚微米晶体管的$I-V$曲线。 从图中可以看出，功率晶体管的Knee电压相比于功率晶体管可以承受的最高电压来说是很小的一个值，因此可以将它的Knee电压近似认为为0；而对于深亚微米晶体管来说，它能承受的最高电压随着特征尺寸的减小而逐渐下降，但由于短沟道效应的影响，Knee电压则越来越高，因此导致晶体管的工作区间大大缩小，如果仍然不让晶体管进入线性区工作，优化的负载阻抗值将减小，为了维持相同的输出功率，输出级的电流必须增加，引起输出晶体管电流太大可导致的所有设计问题。解决这一问题的办法是允许晶体管进入线性区工作，关于这一方面的设计和优化问题，在后面我们还会提到。

§10.9 CMOS功率放大器电路设计技术

在上一节我们讨论了采用CMOS工艺来实现集成功率放大器时所面对的挑战。虽然存在这些实现难题，但经过多年的研究探索，人们已经总结出一套有效的电路设计技术来克服这些难题，使集成功率放大

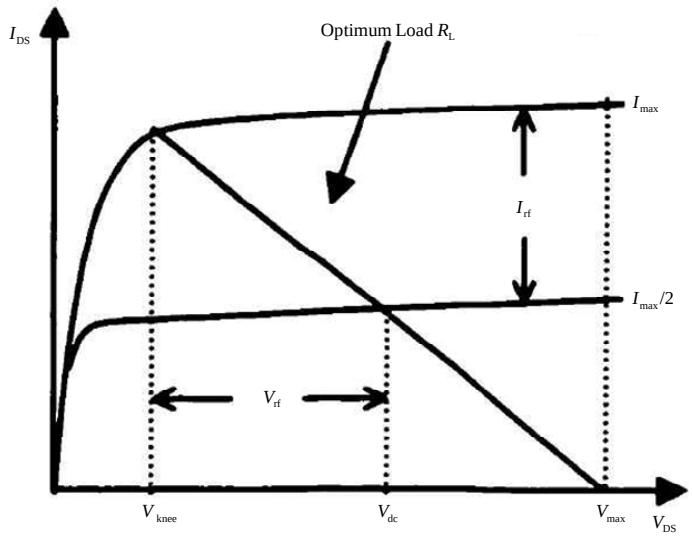


图 10-47 负载线匹配法

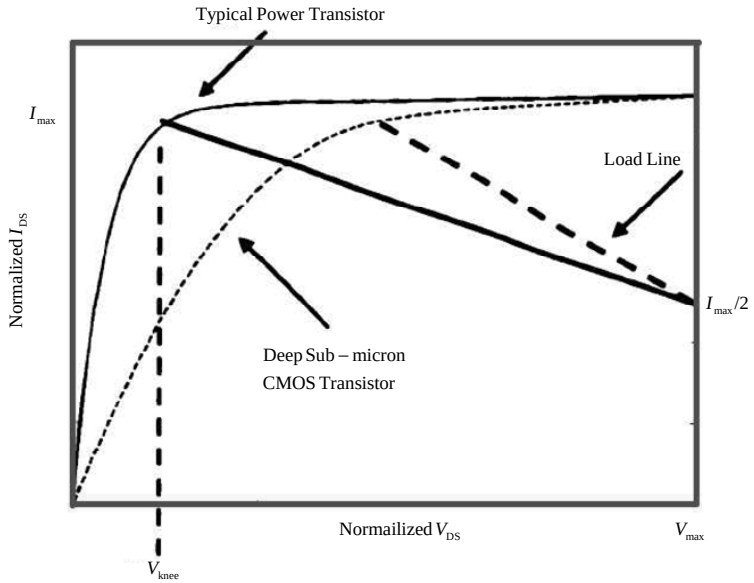


图 10-48 功率晶体管和深亚微米晶体管的$I-V$曲线

器的性能得到很大提高。本节就介绍这些电路设计技术。这些技术都是针对传统功率放大器的设计提出来的，但通过修改后，也可以应用于开关模式的功率放大器中。

§10.9.1 差分结构

差分结构是模拟电路中最常采用的一种电路设计技术，它对差模信号具有放大作用，而对共模噪声却具有抑制作用。使用差分结构，可以有效抑制电源上存在的噪声和从衬底或连线耦合过来的噪声，这一点对与数字电路或者功率放大器集成在同一块芯片上的小信号电路或者振荡器来说是很重要的。虽然射频功率放大器处理的信号能量很强，各种共模噪声或者干扰对功率放大器的影响很小，但采用差分结构，可以提高放大器的输出电压摆幅，降低功率放大器对封装寄生效应的灵敏度，采用差分结构还可以降低功率放大器对其它电路的干扰。

图10-49给出了差分放大器的电路图和单端输出电压波形以及差分输出电压波形。 对于功率放大器来说，击穿电压限制了输出晶体管漏端的电压摆幅，采用差分结构时，每一个支路的输出电压都受到击穿电

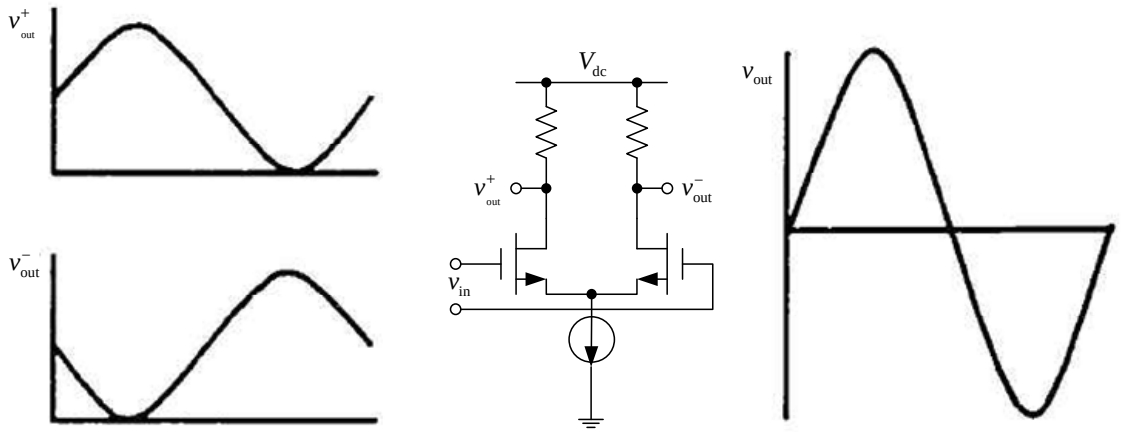


图 10-49 差分放大器的电路图和单端输出、差分输出电压波形

压的限制，具有与单端放大器相同的电压摆幅，但差分输出电压摆幅增加为单端输出电压摆幅的两倍。这是采用差分结构的最大好处。在输出功率一定的情况下，采用差分结构可以使得每一个支路的晶体管都输出一半的功率，在单端输出电压摆幅不变的情况下，流过每一个支路晶体管的最大电流可降低一半，晶体管宽度可降低为原来的一半，便于驱动级电路的实现。需要注意的是，采用差分结构并不能提高功率放大器的效率，电源仍需提供与单端电路相同的电流，但这些电流分为两半，分别流过每个支路，降低了对输出晶体管最大电流的要求。

图10-49所示的差分结构并不能应用于功率放大器中，这是由于尾电流源引入了额外的限制。当有信号存在时，差分结构中一个支路的电流增加，而另一个支路的电流减小，输出差分电流增加，但两个支路的总电流等于尾电流源提供的电流，当信号强度逐渐增加时，一个支路的电流持续增加，而另一个支路的电流相应减小，差分输出电流进一步增加，到一定程度时，一个支路导通尾电流源的所有电流，而另一个支路截止，输出差分电流达到最大值，它等于尾电流源提供的电流；此后信号进一步增加时，输出差分电流将不会再增加，增益受到压缩。因此尾电流源限制了差分输出电流的最大值。在功率放大器中，为了保证信号不被压缩，尾电流源必须提供流过负载的最大电流，它是一个恒定的直流电流，与信号强度无关，这使得放大器只能以A类模式工作，降低了放大器的效率。而且，尾电流源上需要维持一定的电压幅度，使尾电流源晶体管工作于饱和区，因此降低了输出电压摆幅。

由于尾电流源有这些不利影响，可以考虑将尾电流源删去，如图10-50所示。 每一个晶体管的源极都直接接地，形成一个伪差分结构，这种结构没有共模噪声抑制能力，但考虑到共模噪声对功率放大器的影响近似可以忽略，因此采用伪差分结构并不会影响功率放大器的性能。在伪差分结构中，每一个晶体管的直流偏置可通过偏置电压来控制，与负载上的最大电流没有关系。只要晶体管工作于饱和区，流过晶体管的电流会随着输入信号强度的增加而增加，避免了尾电流源的影响。

采用差分结构的第二个好处是可以降低功率放大器对封装寄生效应的灵敏度。在系统中，功率放大器的地线和电源线都必须通过键合线连接到PCB板上，在射频情况下，这些键合线等效为一个高品质因子的电感。采用单端结构时，电源线和地线的键合线电感会严重影响功率放大器的性能，甚至会引入严重的不稳定性问题，键合线长度的不可控制性会导致键合线电感量发生变化，使问题更加严重。虽然采用多键合线技术可以在一定程度上降低它们的影响，但多键合线技术需要多个焊盘，占用大量的芯片面积，而且由于互感等原因并不能完全消除所引入的问题。但采用差分结构时，两晶体管的源极和电源端都是共模点，键合线引入的寄生电感并不会影响差分结构的性能。采用差分结构的这个好处对功率放大器和小信号电路来说都是一样的。不同的是，由于功率放大器的电流很大，虽然采用差分结构，电源和地端键合线的长度仍需很短，否则键合线寄生电感会引入高幅度的交流共模电压，影响晶体管的工作状态。例如，如果地线的键合线电感为1nH，则当工作频率为1.75GHz时，键合线电感的阻抗约为11Ω。如果流过地线的电流为100mA，则地线上的交流电压幅度约为1.1V。这会极大地限制输出电压摆幅和输出晶体管的V_{GS}电压（减小晶体管的输出电流）。很明显，如果地和电源键合线很长，大寄生电感将使得功率放大器不可能输出大功率给负载。除了采用多键合线技术外，另一种办法是采用Downbond技术，如图10-51所示，芯片粘

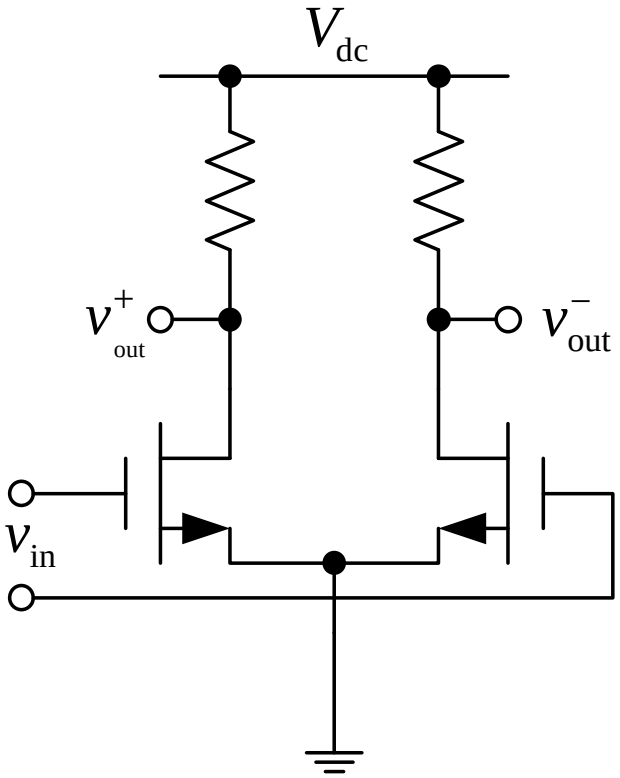


图 10-50 共源端直接接地的差分放大器

贴在一个导体层上，封装时地线可以直接键合到靠近芯片边缘的区域，有效地减小了地线键合线的长度。

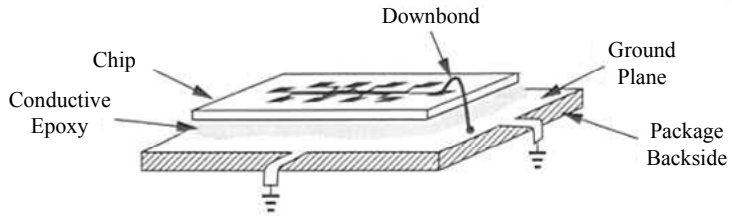


图 10-51 Downbond封装技术

采用差分结构的第三个好处是可以降低功率放大器对其它电路的干扰。在功率放大器中，差分结构的每一个支路都会注入能量到衬底中，但由于采用差分操作，两个支路注入衬底的能量会互相抵消，降低了整个功率放大器注入到衬底的能量，从而有效降低了功率放大器通过衬底耦合对其它电路的干扰。而且，在一个周期内，差分结构的每一个支路都向衬底注入一次能量，因此采用差分结构的功率放大器向衬底注入能量是以两倍工作频率进行的，这避开了其它电路的工作频率范围，也可以有效降低功率放大器的干扰。特别地，对于振荡器来说，当功率放大器与振荡器频率相近时，功率放大器通过衬底耦合到振荡器的能量会使振荡器发生频率牵引效率，改变振荡器的输出频率，但采用差分操作时，功率放大器向衬底注入能量的频率是工作频率的两倍，这个频率与振荡器的输出频率相隔很远，不会引起频率牵引效应。

虽然采用差分结构有很多优点，但它也存在一个很明显的缺点，它的输出是差分信号。由于功率放大器的负载一般都是单端形式的，因此采用差分结构功率放大器的输出端必须额外增加一个差分到单端的变换电路（功率合成器），功率合成器很难集成，而且会引入额外的损耗（0.5dB～1dB），降低了放大器的效率。

§10.9.2 Cascode技术

Cascode技术是模拟电路中常采用的另一种电路设计技术，它可以增加低频放大器的输出阻抗和增益，降低Miller电容的影响，提高输入–输出之间的隔离度。Cascode技术也可以应用于功率放大器中，采用Cascode技术的差分功率放大器的电路图如图10-52所示。 驱动信号加到共源晶体管的栅

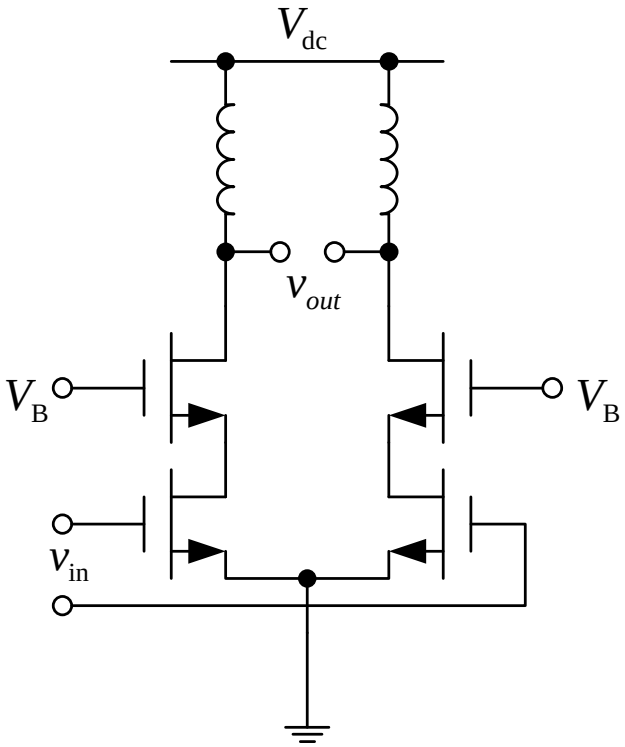


图 10-52 Cascode差分电路

极，而Cascode晶体管的栅极接一个固定的电平（一般为V_{dc}）。与其它电路不同的是，功率放大器采用Cascode技术的目的是减轻晶体管击穿电压的压力，提高功率放大器输出电压的摆幅，从而降低对晶体管最大电流能力的要求，提高功率放大器的效率，并减小输出晶体管的尺寸。

在图10-52中，Cascode晶体管栅漏之间承受的最高电压为：

$$V_{\mathrm{DGC(MAX)}} = V_{\mathrm{OUT(MAX)}} - V_{\mathrm{B}} \tag{10-59}$$

其中，$V_{\mathrm{OUT(MAX)}}$是功率放大器输出电压的最大值，V_{B}是Cascode晶体管栅极所加偏置。

而下面的共源晶体管栅漏之间所承受的电压为：

$$V_{\mathrm{DGS}} = V_{\mathrm{CASC}} - V_{\mathrm{IN}} \tag{10-60}$$

其中，V_{CASC}为Cascode晶体管源极电压，V_{IN}为输入电压。当V_{IN}减小时，V_{CASC}增加，当V_{CASC}增加到$V_{\mathrm{B}} - V_{\mathrm{T}}$时，Cascode晶体管截止，因此共源晶体管栅漏之间所承受的最高电压为：

$$V_{\mathrm{DGS(MAX)}} = V_{\mathrm{B}} - V_{\mathrm{T}} - V_{\mathrm{IN(MIN)}} \tag{10-61}$$

在通常情况下，$V_{\mathrm{DGS(MAX)}}$小于晶体管的栅氧化层击穿电压($> 2V_{\mathrm{dc}}$)，因此Cascode晶体管的击穿电压是限制输出电压摆幅的主要因素。为了使晶体管不发生击穿：

$$V_{\mathrm{OUT(MAX)}} = V_{\mathrm{B}} + V_{\mathrm{OX(MAX)}} \tag{10-62}$$

其中，$V_{\mathrm{OX(MAX)}}$是晶体管栅氧化层不击穿时所能承受的最高电压。提高Cascode晶体管栅极电压可以提高输出电压摆幅，通常情况下，$V_{\mathrm{B}} = V_{\mathrm{dc}}$，假设$V_{\mathrm{OX(MAX)}} = 2V_{\mathrm{dc}}$，那么采用Cascode技术后功率放大器的输

出电压最高值为$3V_{\mathrm{dc}}$，而不采用Cascode技术时，输出电压最高值仅为$2V_{\mathrm{dc}}+V_{\mathrm{IN(MIN)}}$，$V_{\mathrm{IN(MIN)}}$通常接近于0甚至为负值，因此采用Cascode技术可以将输出电压峰值最少提高约1.5倍，有效地减小了对晶体管最大电流能力的要求。

某些工艺同时提供了薄栅和厚栅两种类型的晶体管，薄栅晶体管的特征尺寸小，特征频率高，可以提供较高的增益，但击穿电压小；而厚栅晶体管特征尺寸大，特征频率低，提供的增益小，但击穿电压高。为了充分利用工艺的潜力，一种技术是将共源晶体管采用薄栅晶体管，提供相对较高的增益，而Cascode晶体管采用厚栅晶体管，它承受的电压可以较高，这样既保证了功率放大器的增益不下降，又可以提高输出电压摆幅，进一步减轻了对晶体管最大电流能力的要求。

采用Cascode技术的缺点是Cascode晶体管导通时相当于一个开关，存在导通电阻，会引入损耗，降低了功率放大器的效率，但通过增大Cascode晶体管的尺寸，可以使导通电阻减小到很低的数值。采用Cascode技术的另一个缺点是在所有端点电压都保持不变时，Cascode结构提供的电流要小于共源晶体管所提供的电流，因此对驱动电压幅度的要求会有所增加。Cascode技术的另一个问题是功率放大器的Knee电压会增加。但这些缺点相对采用Cascode技术所获得的好处来说是微不足道的，因此Cascode技术在功率放大器、特别是低压功率放大器中得到广泛应用。图10-53将Cascode结构的$I-V$曲线和共源结构的$I-V$曲线进行对比。 从图中可以看出，在同样条件下，Cascode结构的输出电流要小于共源结构的输出

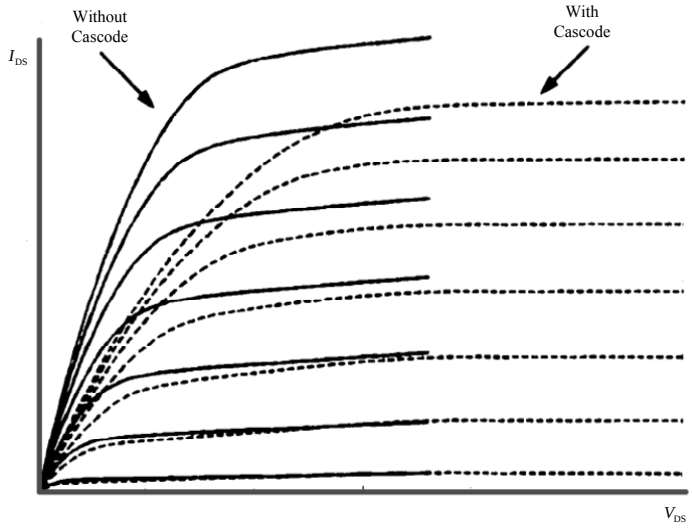


图 10-53 Cascode结构和共源结构的$I-V$曲线比较

电流，Knee电压要高于共源结构，但Cascode结构可以提供更高的输出电压摆幅。

§10.9.3 有效利用键合线电感

射频电路与低频模拟电路最大的不同在于它广泛使用了电感元件，这是由于在频率升高时，晶体管的寄生电容使得输出阻抗很小，不使用电感元件会使得射频电路很难获得高增益。尤其是对于功率放大器来说，输出晶体管会引入很大的寄生电容，不使用电感元件，会使得输出阻抗很低，功率放大器根本得不到功率增益。而通过电感和晶体管寄生电容在应用频带内谐振，可以提供高输出阻抗，从而提高功率放大器的增益。

但采用标准CMOS工艺实现的片上集成电感的品质因子通常都很低，这是限制功率放大器性能的很重要因素。对于功率放大器来说，应用低品质因子的在片电感会带来两个问题，一个问题是低品质因子的电感会降低功率放大器的增益。品质因子为Q的电感可以等效为电感和一个阻值为$R_{\mathrm{P}}=\omega LQ$的电阻的并联，当电感与寄生电容谐振时，该谐振网络提供的阻抗为R_{P}。如果放大器的输出采用LC谐振负载，则放大器的增益与R_{P}成正比。当品质因子很低时，放大器的增益也将很低。因此电感的品质因子是限制功率放大器增益的一个主要因素。

应用低品质因子的片上电感所引入的第二个问题是电感的寄生损耗，它会降低功率放大器的最大输出功率和效率，尤其是对于输出级来说，低品质因子的片上电感的影响更大。可以借助于图10-54来说明这一问题。 该图给出了功率放大器的输出网络，片上电感用理想电感和寄生电阻串联来等效。电感L_1与晶体管

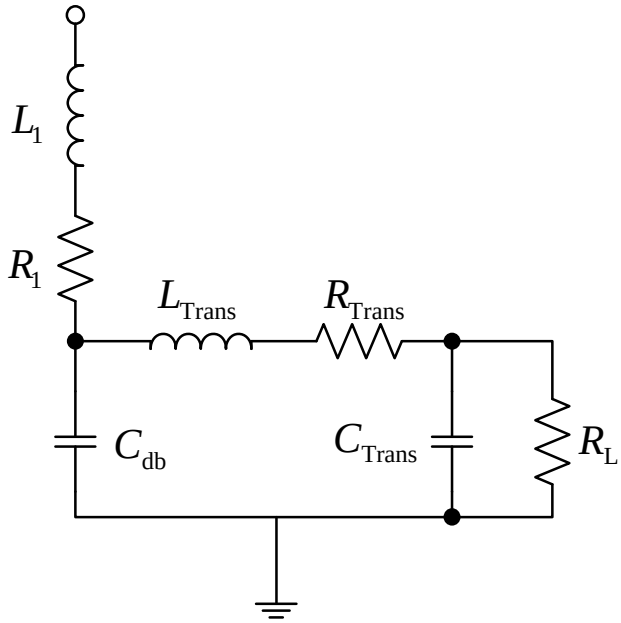


图 10-54 功率放大器的输出网络

的寄生电容C_{db}在基频处谐振，提供谐波短路功能；而电感L_{Trans}和电容C_{Trans}组成LC匹配网络，将功率放大器的负载R_{L}变换为优化的负载阻抗R_{opt}；R_1和R_{Trans}是电感L_1和L_{Trans}的寄生串联电阻，它们与电感的品质因子之间的关系为：

$$Q = \frac{\omega L}{R} \tag{10-63}$$

在基频频率处，R_{Trans}与R_{opt}串联，因此放大器的输出功率将在R_{Trans}和R_{opt}之间按照阻值的大小进行分配。考虑到大功率放大器的R_{opt}很小，R_{Trans}引入的损耗是很大的，极大地降低了功率放大器的输出功率和效率。而电源提供的电流都会流过电阻R_1，因此R_1上也会产生很大的热损耗，另外，L_1的低品质因子使得谐波短路功能并不能完全实现，输出到负载的信号中将包含有高阶谐波成分，这些谐波成分是无用的信号，会引入额外的谐波损耗，进一步降低了功率放大器的效率。

因此，除非采用特殊工艺技术来提高电感的品质因子，在功率放大器的输出级采用片上集成电感是不现实的，一种办法是采用高品质因子的片外电感元件。但由于功率放大器所用到的电感的电感量都很小，而目前低电感量的电感元件很稀少，另一方面采用片外电感元件时，封装所引入的键合线电感会对功率放大器的性能产生很大的影响。因此比较可行的办法是利用键合线本身所提供的电感。键合线可以提供从1nH以下到几个nH的高质量电感，品质因子约在20～50之间，可以满足功率放大器的要求。但采用键合线电感的缺点是电感量不易控制，键合线的长度、高度、角度以及与其它键合线的耦合程度都会影响电感量的大小，这给产品的初始设计带来了挑战，但一旦产品设计定型后，通过采用先进的封装技术（如自动封装技术），利用键合线电感的产品还是能实现批量生产的。

§10.9.4 输出级的输入调谐

由于MOS晶体管的跨导有限，大功率放大器的输出晶体管通常都具有很大的尺寸，给驱动级引入很大的电容负载，这会带来两方面的设计问题。我们借助于图10-55 来进行说明。 为了使得输出级能按照预定的模式工作，驱动级和输出级之间一般都采用交流耦合，驱动级和输出级之间需要一个交流耦合电容C_{C}。在集成电路实现中，电容的底板和衬底之间存在寄生电容，当采用双层多晶电容时，底板寄生电容约占设计电容量的20%。要使得信号从驱动级输出传输到输出晶体管栅极不发生信号损失，交流耦合电容要远大

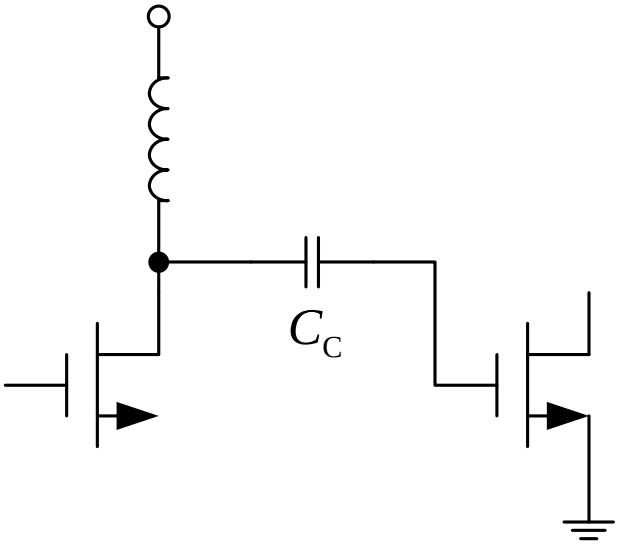


图 10-55 驱动级和输出级之间的接口电路

于栅电容，如果输出晶体管栅电容很大（通常都是这样的），交流耦合电容的电容量将会达到无法实现的地步。例如，如果要将信号从驱动级输出传输到输出晶体管栅极的损失限制在20%以内，那么

$$\frac{C_C}{C_G + 0.2C_C + C_C} = 0.8 \Rightarrow C_C = 25C_G \tag{10-64}$$

因此，要使得信号传输效率达到80%，交流耦合电容必须为输出晶体管栅电容的25倍；即使要使信号传输效率仅达到70%，交流耦合电容也必须为输出晶体管栅电容的6倍。如果输出晶体管尺寸很大，栅电容也很大时，达到一定传输效率的交流耦合电容是无法集成的。

而且，驱动级的输出所驱动的电容负载为：

$$C_p = \frac{(C_G + 0.2C_C)C_C}{C_G + 1.2C_C} + C_{Ddb} \tag{10-65}$$

其中，C_{Ddb}是驱动级输出晶体管的寄生电容。当信号传输效率达到80%时，驱动级输出端的电容负载约为4.8倍的输出级栅电容和驱动级晶体管寄生电容之和，驱动级的漏端电感要与这么大的电容在工作频率处谐振，所要求的电感量可能小于0.1nH，这是无法实现的。

图10-55通过在驱动级输出端引入LC谐振网络来给驱动级提供一个高输出阻抗。 提高驱动级输出端的电压幅度，但这种方法没有考虑信号从驱动级输出传输到输出晶体管栅极的信号损失，因此造成了交流耦合电容过大和谐振电感太小的集成电路实现问题。如果同时在输出晶体管栅极引入一个电感元件，该电感元件与输出晶体管栅电容部分谐振，减小输出晶体管栅电容所引入的容抗，那么就可以解决以上所遇到的实现问题。实现这一思想的电路如图10-56所示，输出晶体管栅极并联了一个LC串联网络，串联电容阻断直流通路，使得输出晶体管的直流偏置可以独立设置，而串联电感提供一个感抗，部分抵消输出晶体管栅电容引入的容抗，这样LC串联网络和输出晶体管栅电容组合结构可以等效为一个小电容量的电容，减小了对交流耦合电容C_C的要求，并且使得驱动级漏端的电感可以取到一个可以实现的数值。

§10.9.5 Cascode电感

功率放大器电路的信号通路上存在几个大电容，当信号通过这些电容时，节点电压的波动会对电容充放电。通常每一级的输出都采用电感元件来与输出晶体管的寄生电容和下一级的输入电容谐振，在输出节点提供高阻抗。我们可以换一种思路来看谐振过程，电感和电容都是储能元件，谐振时电感和电容储存的能量互相交换，不用从电源吸取电流就可以在输出节点维持大信号摆幅，相当于在输出节点提供了一个高阻抗。

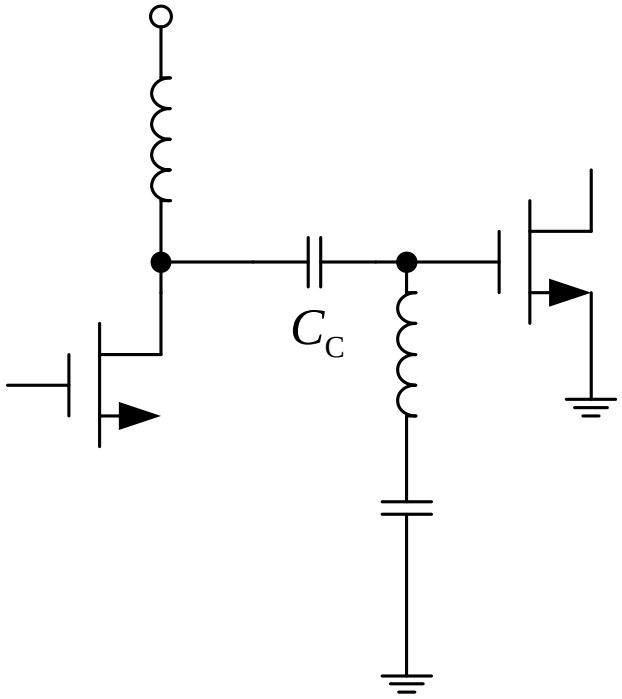


图 10-56 修改后的接口电路

但是，在采用Cascode技术的功率放大器电路中，Cascode晶体管源极也存在很大的寄生电容。当这些节点存在电压波动时，节点寄生电容充放电需要从电源吸取额外的电流，降低了功率放大器的效率。考虑到这些节点寄生电容都很大，如果能为它们提供一个交换能量的机制，而不用靠从电源吸取电流来对寄生电容充放电，那么可以极大地提高功率放大器的效率。很明显，在这些节点增加一个并联到地的电感就可以实现上述的想法，电感和寄生电容谐振，使得电感和电容之间互相交换能量，对节点寄生电容充放电不用从电源吸取额外的电流。但电感是直流短路的，为了不影响放大器的直流工作点，电感上还必须串联一个大电容来隔直。但对于差分结构来说，两个支路的直流工作点是一样的，因此电感可以直流并联在两个支路的Cascode晶体管的源极，如图10-57所示。 两个电感的中间节点是共模点，相当于交流地，每一个电

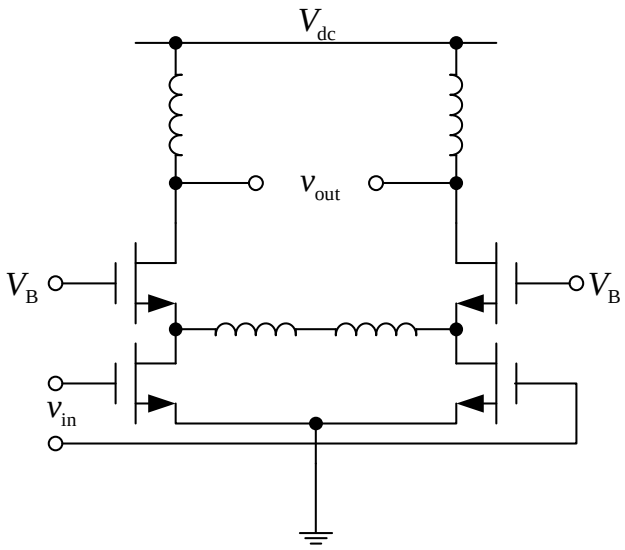


图 10-57 差分结构中的Cascode电感

感与Cascode晶体管源极的寄生电容谐振。实际上，这两个电感可以用一个对称型电感来代替，它的电感量

是单个电感的两倍。

在Cascode晶体管源极引入并联到地的电感后，这些节点的寄生电容充放电的电流由电感来提供，不用从电源吸取电流，提高了放大器的效率。但采用这种技术后，共源晶体管的栅漏之间承受的电压会增加，有可能导致共源晶体管发生击穿。如前所述，当没有引入电感时，共源晶体管的漏极最高电压为$V_{\mathrm{BIAS}}-V_{\mathrm{T}}$，在这一点时，Cascode晶体管截止，使该节点的电压不能继续升高。但在该节点引入电感后，即使Cascode晶体管截止，电感仍然可以为节点寄生电容提供充电电流，使节点电压继续升高，共源晶体管的栅漏之间承受的电压也会增加，使共源晶体管有可能发生击穿，这是在共源晶体管漏极引入电感后出现的新问题，在设计中必须考虑共源晶体管击穿电压对共源晶体管漏极电压摆幅的限制。

§10.9.6 深亚微米工艺下的负载阻抗优化

在设计功率放大器时，负载线匹配方法是最常使用的方法，它可以确定负载阻抗的最优值，通常确定优化负载时都假设晶体管工作于饱和区。但如前所述，在深亚微米工艺中，Knee电压在放大器的电压摆幅中占了很大的一部分，如果仍按照让晶体管仅工作于饱和区来设计优化负载阻抗值，那么优化的负载电阻值将减小，为了维持相同的输出功率，输出级的电流就要增加，引起输出晶体管电流太大可导致的设计问题。解决这一问题的办法是允许晶体管进入线性区工作。但当晶体管工作于线性区时，晶体管的输出电流与漏端电压有关，而在负载阻抗值一定时，功率放大器的漏端电压又是由输出电流来决定的，因此允许晶体管工作于线性区后，晶体管的输出电流与漏端电压之间存在一个复杂的交互耦合关系，这使得决定优化负载阻抗值变得很困难。而当晶体管仅被允许工作于饱和区时，晶体管的输出电流与漏端电压无关，负载阻抗一定时，漏端电压由输出电流决定，晶体管的输出电流与漏端电压之间是一个简单的欧姆定律关系。考虑到以上情况，需要开发出针对深亚微米工艺的负载阻抗优化方法。

在介绍这个方法之前，先要引入晶体管工作于线性区和饱和区都适用的$I-V$方程（Tsividis方程）：

$$I_{\mathrm{D}}=\frac{1}{2}k\frac{W}{L}\frac{1}{n}\left[(V_{\mathrm{GS}}-V_{\mathrm{T}})^2-(2n\Phi_{\mathrm{t}})^2\ln^2\left(1+\mathrm{e}^{\frac{V_{\mathrm{GS}}-V_{\mathrm{T}}-nV_{\mathrm{DS}}}{2n\Phi_{\mathrm{t}}}}\right)\right] \tag{10-66}$$

其中，n、Φ_{t}都是工艺参数。在饱和区，$V_{\mathrm{GS}}-V_{\mathrm{T}}<V_{\mathrm{DS}}$，$\mathrm{e}^{\frac{V_{\mathrm{GS}}-V_{\mathrm{T}}-nV_{\mathrm{DS}}}{2n\Phi_{\mathrm{t}}}}\ll 1$，因此

$$I_{\mathrm{D}}=\frac{1}{2}k\frac{W}{L}\frac{1}{n}(V_{\mathrm{GS}}-V_{\mathrm{t}})^2 \tag{10-67}$$

该方程化简为简单的平方律方程。

在线性区，指数项要远大于1，式10-66可以化简为常见的线性区$I-V$方程：

$$I_{\mathrm{D}}=\frac{1}{2}k\frac{W}{L}[2(V_{\mathrm{GS}}-V_{\mathrm{T}})V_{\mathrm{DS}}-nV_{\mathrm{DS}}^2] \tag{10-68}$$

在引入Tsividis方程后，决定深亚微米工艺下优化负载阻抗值的流程图如图10-58所示。 Tsividis方程将晶体管栅电压V_{GS}和漏端电压V_{DS} 连接起来，我们需要发现这两个电压波形。在传统功率放大器中，输出晶体管的栅极偏置电压和驱动电压幅度都是预先决定的（也就可以求出导通角ϕ），因此晶体管栅电压波形可表示为；

$$V_{\mathrm{g}}=V_{\mathrm{BIAS}}+V_{\mathrm{AC}}\cos\omega t \tag{10-69}$$

如果采用合适的谐波短路终端，晶体管漏端电压波形V_{d}与V_{g}是同步的，可以表示为；

$$V_{\mathrm{d}}=V_{\mathrm{dc}}-V_{\mathrm{O}}\cos\omega t \tag{10-70}$$

那么可以利用式10-66来决定晶体管的输出电流I_{d}，获得输出电流后，利用傅立叶变换可以求出输出电流中的基频成分为：

$$I_{\mathrm{fund}}=\frac{2}{T}\int_{-T/2}^{T/2}I_{\mathrm{d}}\cos\omega t\mathrm{d}t \tag{10-71}$$

而直流成分为：

$$I_{\mathrm{DC}}=\frac{1}{T}\int_{-T/2}^{T/2}I_{\mathrm{d}}\mathrm{d}t \tag{10-72}$$

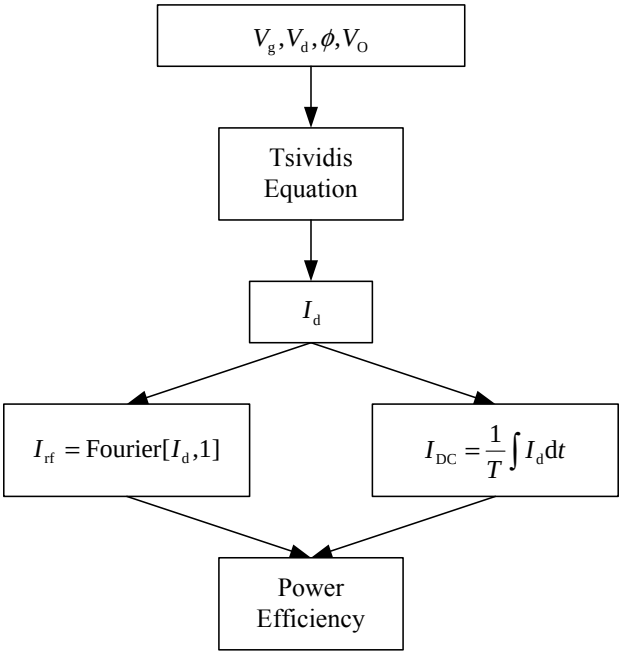


图 10-58 深亚微米工艺下优化负载阻抗值的流程图

那么功率放大器的输出功率和效率分别为：

$$P_{\mathrm{rf}} = \frac{1}{2} I_{\mathrm{fund}} V_{\mathrm{O}} \tag{10-73}$$

$$P_{\mathrm{DC}} = I_{\mathrm{DC}} V_{\mathrm{dc}} \tag{10-74}$$

$$\eta = \frac{P_{\mathrm{rf}}}{P_{\mathrm{DC}}} = f(W, V_{\mathrm{O}}) \tag{10-75}$$

功率放大器的输出功率和效率是输出电压幅度V_{O}和晶体管宽度W的函数，因此可以对这两个参数进行扫描，得到功率放大器的输出功率和效率随输出电压幅度V_{O}和晶体管宽度W变化的曲线，根据曲线来确定满足应用要求并且性能最优时输出电压幅度V_{O}和晶体管宽度W，那么优化负载阻抗值为

$$R_{\mathrm{opt}} = \frac{V_{\mathrm{Oopt}}^2}{2P_{\mathrm{rf}}} \tag{10-76}$$

实际上，以上优化过程还可以将导通角纳入参数扫描范围，从而可以根据应用背景来选定优化的工作模式。

§10.9.7 功率合成

随着CMOS工艺技术的发展，晶体管的击穿电压和漏端电压摆幅越来越低，达到一定的输出功率时功率放大器的优化负载阻抗值也越来越小。例如晶体管漏端电压允许的峰峰值为2V时，输出功率为2W的功率放大器的优化负载阻抗值约为0.5Ω。如此低的阻抗值要匹配到50Ω是非常困难的，而且若输出网络中各元件稍有损耗，那么输出功率和效率的严重降低是不可避免的。解决这个问题的办法中，一个是提高功率放大器的输出电压摆幅（如换一种工艺技术、采用Cascode结构等），另一种办法就是采用功率合成技术。功率合成技术将所要求的输出功率分为几个相等的部分，每一部分由一个单独的功率放大器来提供，然后采用功率合成器将各功率放大器的输出功率合成在一起，给外界负载提供一个大输出功率。图10-59给出了最常采用的、基于Wilkinson技术的功率合成原理图。 单端输入信号先由Wilkinson合成器（功分器），分为两路，每一路的功率为输入功率的一半，分别驱动两个功率放大器，两个功率放大器的

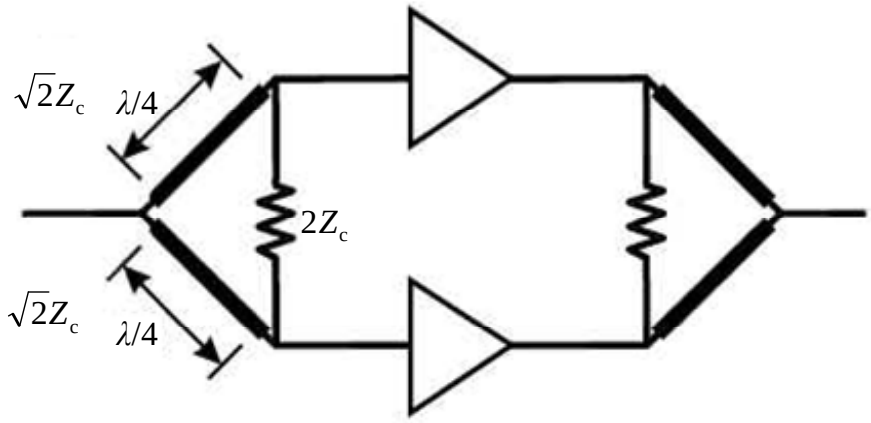


图 10-59 Wilkinson功率合成技术

输出又由Wilkinson合成器合为一路，提供给外部的负载。Wilkinson合成器由两个特性阻抗为$\sqrt{2}Z_c$的四分之一波长传输线组成，两个传输线之间以$2Z_c$的桥式电阻连接，合成器的每一个端口看到的阻抗均为Z_c，端口上不会发生反射，因此是一种很好的功率组合技术。但这种功率合成技术并不适宜于采用集成电路实现，射频四分之一波长传输线目前还很难集成（占用的芯片面积过大），而且传输线的损耗会严重降低功率放大器的输出功率和效率，另外，当传输线没有接合适的终端时，传输线端口将发生反射，反射能量被桥式电阻吸收，会降低放大器的输出功率和效率。

最近提出的一种便于集成电路实现的功率合成技术是分布式有源变压器技术（Distributed Active Transformer，DAT）。这种技术采用了多个变压器，这些变压器的输入端是并联的，输入端电压的摆幅受到晶体管击穿电压的限制，但变压器的输出端是串联的，因此功率放大器负载上的电压可以成倍增加。图10-60和图10-61给出了将输出电压摆幅提高四倍的DAT电路图及集成电路实现方案。 它由四个差分对组

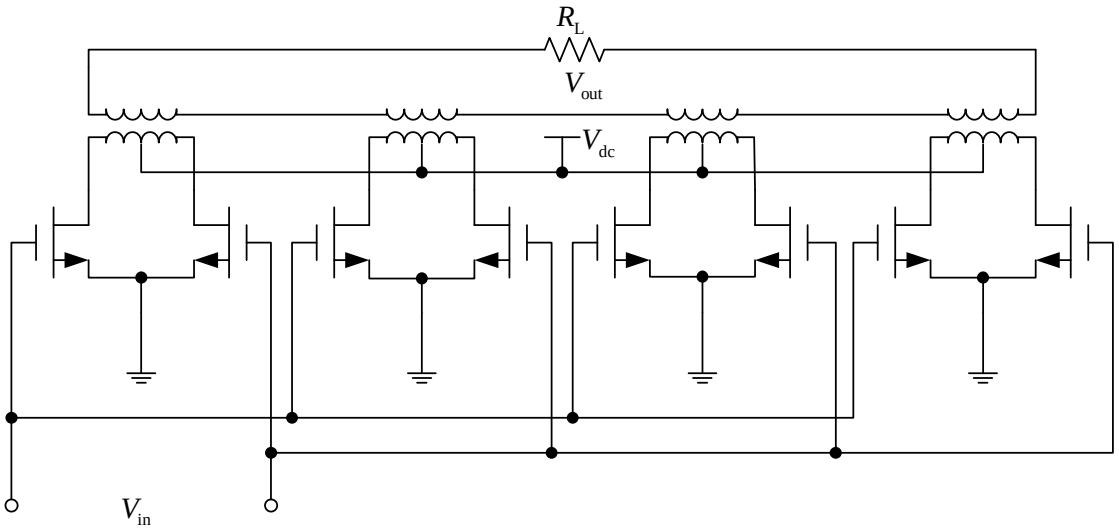


图 10-60 分布式有源变压器技术的电路图

成，每一个差分对的输出连接到一个变压器的首级线圈上，而变压器的次级线圈则串联起来，负载上的电压摆幅为每个变压器次级线圈上的电压摆幅之和。电源电压从变压器首级线圈的中心点接入，首级线圈上的电压摆幅为$4V_{DD}$，假设变压器采用1：1的变换比，负载上的电压摆幅为$16V_{DD}$，将负载上的电压摆幅提高了4倍。在这种方案实现中，流过首级线圈的电流是次级线圈的四倍，首级线圈必须能承受这么高的电流，而且为了保证次级线圈上的电压是同相相加的，各支路的延时必须精确一致。在集成电路实现方案中，变压器是以耦合线的方式来实现的，次级线圈是一个圈数为1的电感，它耦合到中心抽头的首级传输线

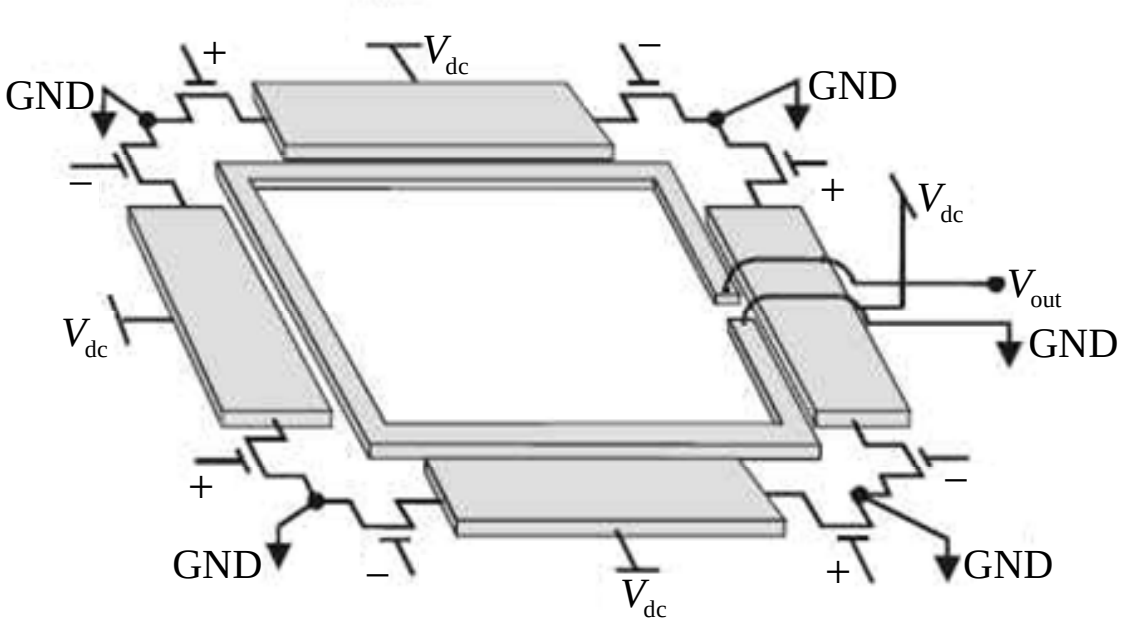


图 10-61 分布式有源变压器技术的实现版图（简化）

上，形成变换比为1 : 1的变压器，该实现方案中各支路是对称的，保证了各支路延时的一致性。最近已经有研究人员采用0.35μm CMOS工艺实现了一个2.4GHz的功率放大器，它可以输出2.2W的功率，漏端效率约为35%，功率增益约为8.5dB。该方案可以很容易的推广到有N个差分对和N个变压器的情况，输出电压可以提高2N倍，而输出功率可以提高4N^{2}倍。

§10.9.8 稳定性问题

功率放大器的不稳定性问题可以分为两类，一类是由于偏置电路、解耦大电容等引起的低频振荡，这类不稳定与功率放大器的匹配电路没有关系；另一类不稳定发生在应用频带周围，与功率放大器的匹配电路有关，消除这类不稳定通常需要修改匹配电路结构或者元件值。

这两种类型的不稳定都可以使用稳定性圆来分析。但较常用的方法是判断放大器是否是无条件稳定的，即将功率放大器当成一个线性放大器，判断它是否满足$|\Delta| < 1$和$k > 1$条件。其中，Δ和k与晶体管的S参数之间的关系为：

$$\Delta = S_{11}S_{22} - S_{12}S_{21} \tag{10-77}$$

$$k = \frac{1 - |S_{11}|^2 - |S_{22}|^2 + |\Delta|^2}{2|S_{12}||S_{21}|} \tag{10-78}$$

如果放大器不满足无条件稳定条件，可以在晶体管输入端串联一个电阻来增强它的稳定性，但电阻会引入额外的损耗，而且会降低放大器的增益。因此在设计功率放大器时，稳定性和增益、效率是一个需要折衷考虑的问题。

采用以上的判断方法，要求对功率放大器的各级以及整个功率放大器从直流到单位增益频率的频率范围内进行频率扫描，只有在所有情况下都满足无条件稳定时，该放大器才是稳定的。在实际设计中，稳定性判断是一个非常繁琐的过程。

§10.10 线性化技术

采用不同调制方式的系统对功率放大器的线性度有不同的要求，随着通信技术的发展，为了充分利用频谱效率，现代通信系统利用了越来越复杂的调制方式，使得对功率放大器的线性度要求越来越高。线性功率放大器的效率很低，而非线性（如开关模式）功率放大器虽然线性度很差，但效率很高。为了充分利

用高效率放大器的优点，人们提出了各种线性化技术来对采用高效率放大器的发射机系统进行线性化，使得整个发射机系统既具有较高的线性度，又具有较高的效率。

本节就介绍与功率放大器线性化相关的内容，首先讨论功率放大器非线性的影响，然后介绍不同调制方式与功率放大器线性度要求之间的关系，最后介绍常用的线性化技术。

§10.10.1 功率放大器非线性的影响

功率放大器的非线性对发射机性能的影响可以分为以下五个方面：产生高阶交调积和谐波，引起发射机频谱增生（Spectral Regrowth），降低信道内的信噪比，引起AM–AM效应和AM–PM效应，以及引起发射机的星图变形。

功率放大器的非线性会使得放大器的输出产生各阶交调积和谐波成分，如图10-62所示。 频带范围内

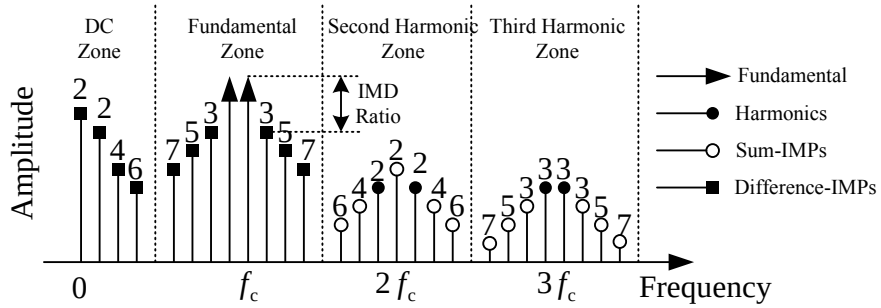


图 10-62 非线性功率放大器的输出包含各阶交调积和谐波成分

的两个频率稍有不同的基频成分通过非线性放大器后，会产生各阶谐波成分和各阶交调成分。其中，谐波成分离应用频带很远，对发射机性能的影响有限，而某些交调成分则靠近应用频带，特别是三阶交调积，就位于应用频带范围内，而且它主要由三阶非线性引起，能量相对较高，对发射机性能的影响最大。因此，三阶交调积与基频成分之比是考察功率放大器线性度的很重要指标。

通常信道频带范围内会存在各种频率成分的信号，那么各阶交调积就会组成一个连续的扩展频谱，如图10-63所示。 图中较窄的频谱是理想的发射机频谱，它的信号能量主要集中于信道带宽范围内，泄漏到相

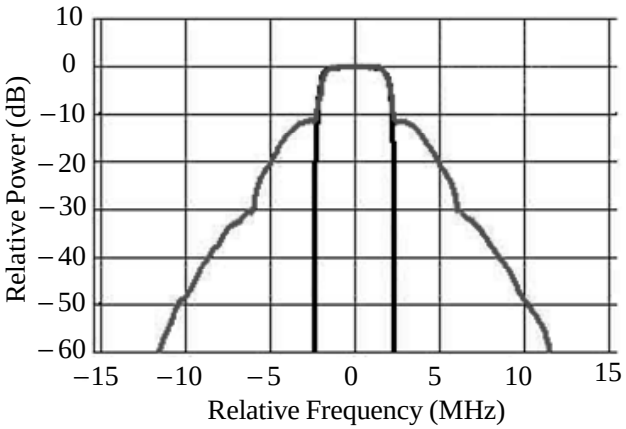


图 10-63 功率放大器的非线性引起频谱增生

邻信道的能量很小，从而有效地避免了各个信道之间的互相干扰，ACPR很小。图中较宽的频谱是经非线性功率放大器放大之后的发射机频谱，由于各阶交调积的影响，信号频谱扩展（称为频谱增生），能量泄漏到相邻信道内，对其它信道的信号产生干扰，ACPR降低。

功率放大器的非线性效应还会降低信道内的信噪比，这是由于位于信道频带范围内的各阶交调积对有用信号来说都相当于噪声，噪声能量增加，使得信道内的信噪比下降，会恶化接收机的解调性能（增加误码率）。

功率放大器的非线性除了产生各阶交调积和谐波成分外，还会引起AM–AM效应和AM–PM效应。图10-64给出了非线性功率放大器的增益和相移随输入功率的变化曲线。 当输入功率增加到一定程度时，

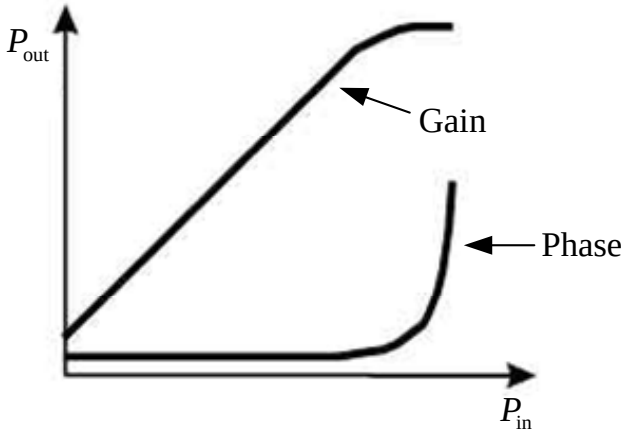


图 10-64 非线性功率放大器的AM–AM效应和AM–PM效应

放大器的增益发生压缩，引起AM–AM效应，而且，放大器的相移也不再是一个常数，它随着输入功率的变化而变化，引起AM–PM 转换效应。这些效应会使得调制信号的幅度和相位之间互相耦合，改变了它们之间的正交关系，会恶化接收机的解调性能，增加误码率。图10-65给出了因AM–AM和AM–PM效应而引起的星图变形。左边是理想的16-QAM星图，该星图表示的信号输入到非线性功率放大器后得到右边的星图，星图已经发生严重的变形，EVM大大增加，增加了接收机的误码率。

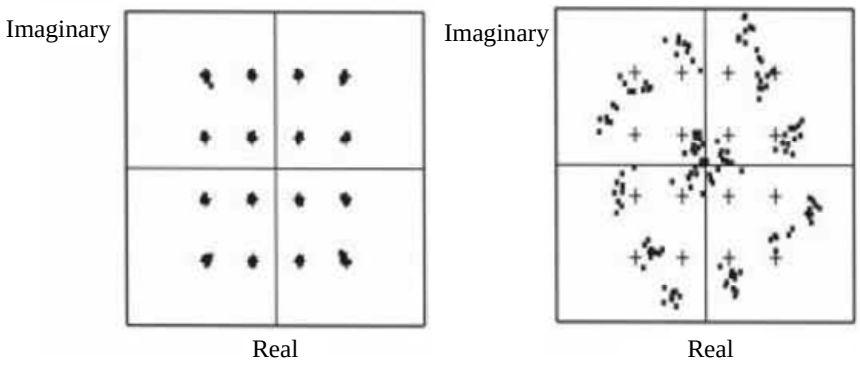


图 10-65 功率放大器的非线性引起星图变形

§10.10.2 调制方式

目前各通信系统采用的调制方式可以分为两种不同的调制类型：恒包络调制和非恒包络调制。在恒包络调制中，信息仅调制载波的相位，而不改变载波的幅度，调制后信号波形的包络是一个常数，如图10-66所示。 这类调制方式包括模拟频率和相位调制、数字相位和频率调制（PSK、FSK、GMSK）等；非恒包络调制又可以分为两个子类：一类是信息仅调制载波的幅度（如模拟幅度调制和ASK调制），另一类是信息同时调制载波的幅度和相位（线性调制方式），如QAM调制等，这两类调制方式都会改变载波的幅度，调制后信号波形的包络会随着时间而变化，如图10-67所示。 线形调制方式具有最高的频谱利用效率（单位带宽所能达到的最高数据率），是现代通信系统最常采用的调制方式之一，但这种调制方式对发射机的线性度要求也最高。

但即使是采用恒包络调制方案的系统，当信号在不同符号之间转换时，信号的幅度也会发生变化。图10-68 给出了QPSK调制系统的星图，每一个点对应于一个可能的符号，图中各条线代表了符号转换的可能路径。 在各个符号处，载波的包络是一样的，但在符号转换过程中，载波的幅度会发生变化。为了减小

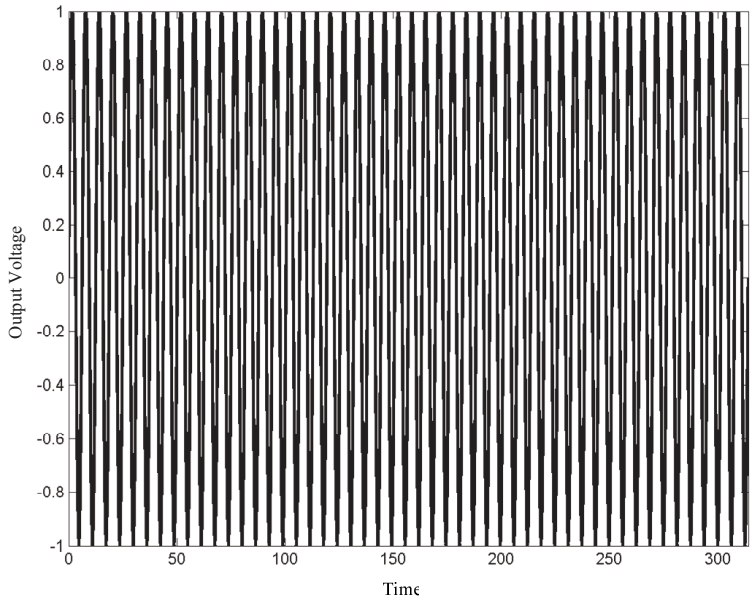


图 10-66 恒包络调制信号

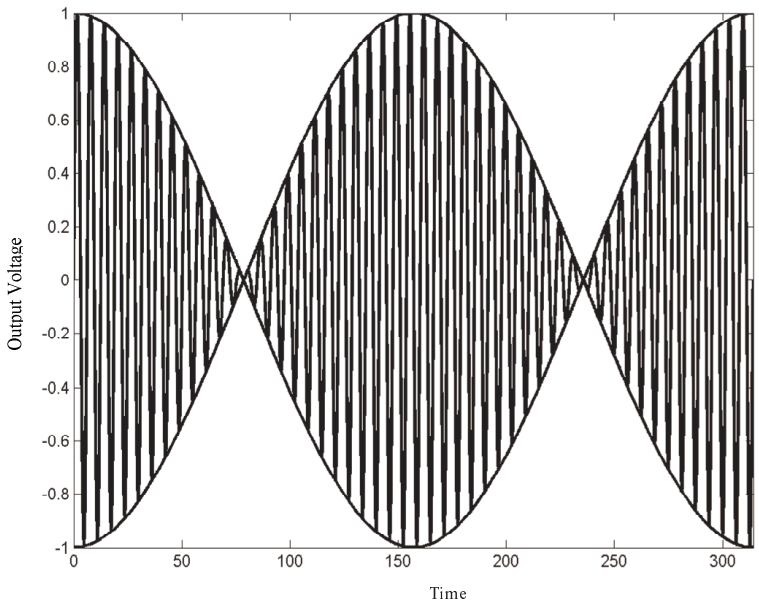


图 10-67 非恒包络调制信号

包络的变化，可以采用OQPSK调制方式，如图10-69 所示。 在这种调制方式中，符号转换只能在相邻符号间进行，符号转换路径不会经过原点，极大地减小了包络的变化，但并不能完全消除包络的变化。在符号转换过程中能完全消除包络变化的调制方式是GMSK调制，它的星图如图10-70所示，符号转换是沿着一个圆周进行的，因此在符号转换过程中载波的包络也不会发生变化，是一个理想的恒包络调制方式。

采用恒包络调制方式的发射机可以采用高效率的非线性功率放大器，而采用非恒包络调制方式的发射机必须采用线性化的功率放大器，否则信号的幅度会发生失真，恶化接收机的解调性能。因此功率放大器的线性度要求与系统采用的调制方式密切相关。

在非恒包络调制方式中，信号的能量会发生变化，信号的峰值能量与平均能量的比值定义为峰值–平均能量比（peak-to-average ratio, or peak-to-mean ratio）。峰值–平均能量比对于衡量功率放大器的线性度要求来说是非常重要的一个参数。如果信号的峰值能量高于功率放大器的最大输出功率，信号将发生失真，引起交调失真和频谱增生等非线性效应。通常放大器的最大输出功率设计为不低于信号的峰值能量，

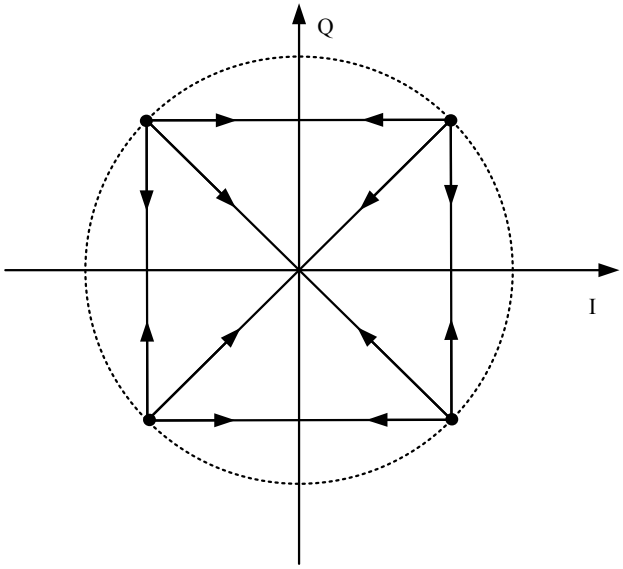


图 10-68 QPSK调制系统的星图

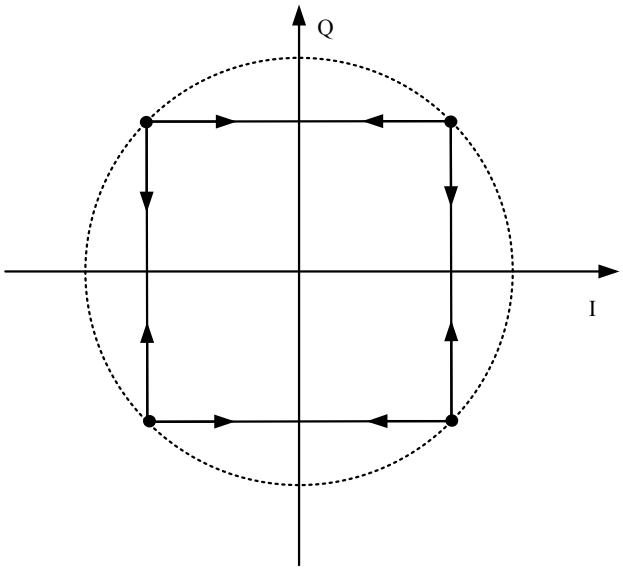


图 10-69 OQPSK调制系统的星图

但对于采用数字调制方案的发射机来说，由于信源是随机的，信号的峰值–平均能量比与信源的概率密度有关。例如对于采用$\pi/4$-DQPSK调制方案的发射机来说，信号的峰值–平均能量比可能达到3.5dB，但信号能量出现这个峰值的概率很小，在绝大部分时间内，信号能量仅比平均能量高3dB，如图10-71所示。 它是采用随机数发生器来产生I、Q两路随机数据流，经DQPSK调制后生成的星图。对于这种发射机系统来说，由于峰值信号仅仅是偶然出现的，将功率放大器的最大输出功率设计为比信号平均能量高3dB是比较合理的，当信号能量达到峰值时，功率放大器会发生失真，但由于信号出现峰值的概率很低，因此对系统性能的影响有限，但却可以大大降低对功率放大器的要求。

在现代通信系统中，还有一种调制方式得到广泛的应用，这就是多载波调制方式。它采用多个在频域上均匀分布的载波来调制信息。对于采用恒包络调制的多载波系统来说，如果载波数目为N，频率间隔为$\Delta\omega$，各载波之间是同相的，则调制后的信号可以表示为：

$$V = \sum_{\mathrm{n}=0}^{\mathrm{N}-1} V_0 \cos\left(\omega t + \mathrm{n}\Delta\omega t\right) \tag{10-79}$$

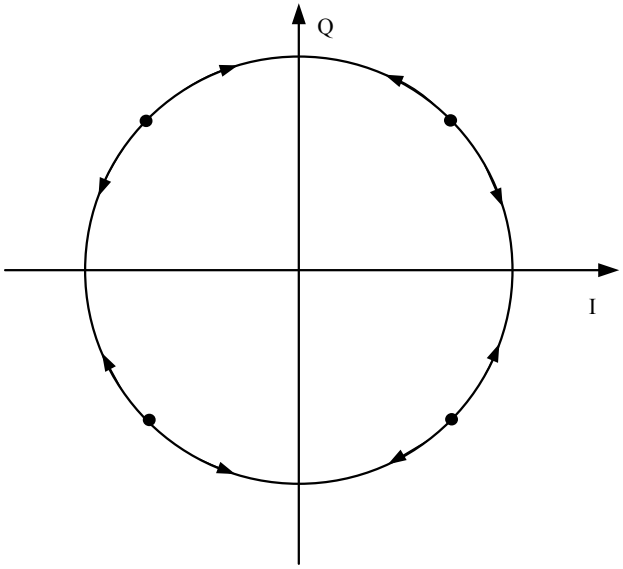


图 10-70 GMSK调制系统的星图

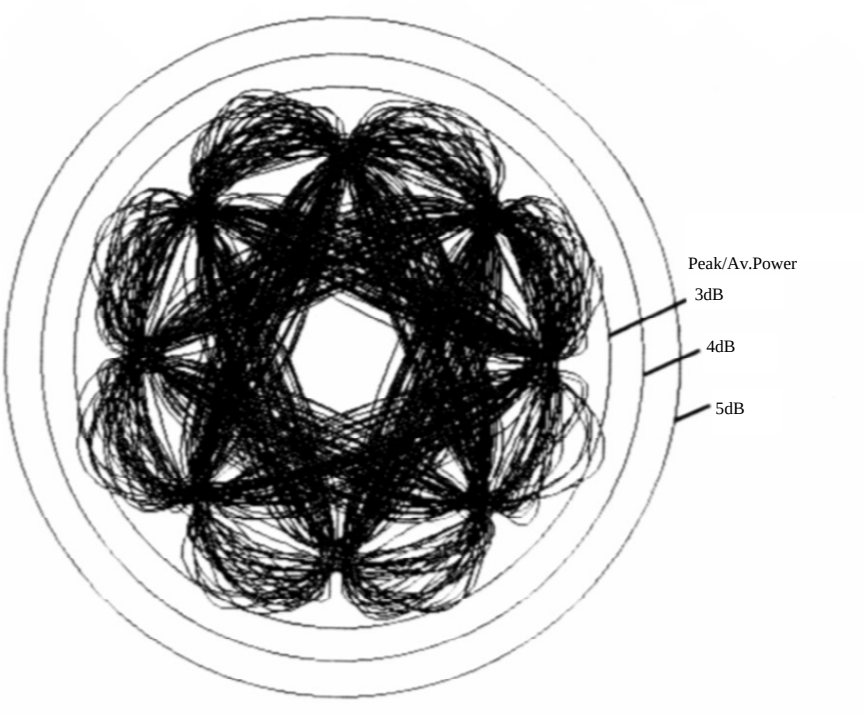


图 10-71 $\pi/4$DQPSK调制系统的星图

或

$$V = V_0 \frac{\sin \frac{(\mathrm{N}\Delta\omega t)}{2}}{\sin \frac{(\Delta\omega t)}{2}} \cos\left[\omega t + \frac{(\mathrm{N}-1)\Delta\omega t}{2}\right] \tag{10-80}$$

很明显，这是一个包络调制信号，前一项表示它的包络。当$\Delta\omega t = 0$时，信号出现峰值，信号峰值能量和包络峰值能量均为

$$P_{\text{peak}} = \frac{(\sum_{\mathrm{N}} V_0)^2}{R} = \frac{\mathrm{N}^2 \cdot V_0^2}{R} \tag{10-81}$$

信号平均能量为各个载波信号的平均能量之和：

$$P_{\text{signal\_av}} = \sum_{\text{N}} \frac{V_0^2}{2R} = \frac{\text{N}V_0^2}{2R} \tag{10-82}$$

因此，信号峰值能量–平均能量之比为：

$$\frac{P_{\text{peak}}}{P_{\text{signal\_av}}} = 2\text{N} \tag{10-83}$$

而信号包络的平均能量为信号在一个周期内的积分：

$$P_{\text{env\_av}} = \frac{1}{T}\int_0^T \frac{V_{\text{env}}^2(t)}{R}\text{d}t = \frac{\text{N}V_0^2}{R} \tag{10-84}$$

包络峰值–平均能量之比为：

$$\frac{P_{\text{peak}}}{P_{\text{env\_av}}} = \text{N} \tag{10-85}$$

因此，信号峰值–平均能量之比比包络峰值–平均能量之比高3dB。

图10-72给出了多载波系统的信号峰值–平均能量之比随载波数N的变化曲线。从图中可以看出，当载波数目为N=32时，信号峰值–平均能量之比可以达到18dB，这给功率放大器的设计带来了很大挑战。

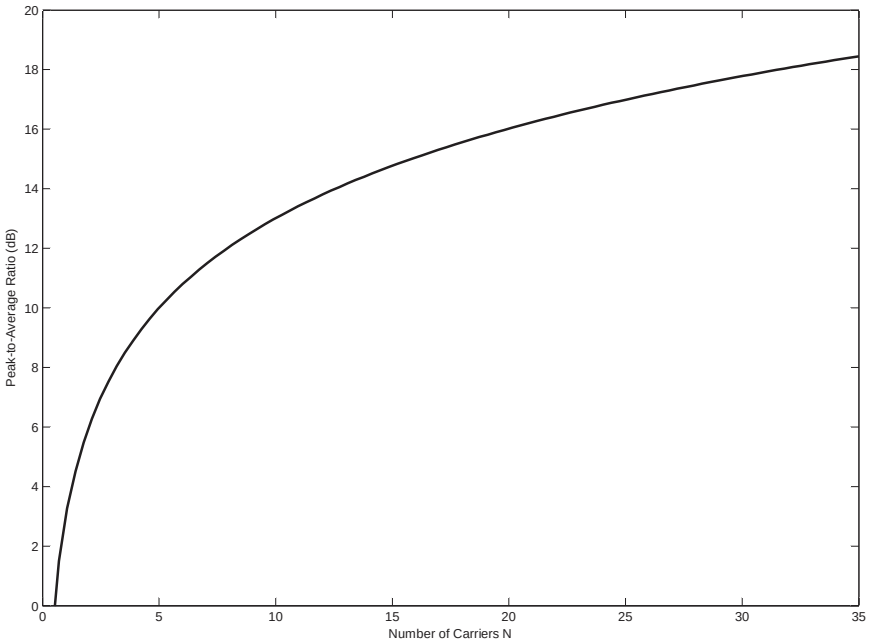


图 10-72 载波系统的信号峰值–平均能量之比随载波数N的变化曲线

实际上，由于各个载波之间的相位是随机的，因此多载波信号出现峰值能量的概率也是很小的，对功率放大器的最大输出功率的要求可以在系统性能和功率放大器实现难度之间取得一个平衡。

当多载波系统采用非恒包络调制时，由于信源的随机性，各个载波之间的相位也是随机的，因此大大减小了信号峰值能量出现的概率，同样，对功率放大器的最大输出功率的要求可以在系统性能和功率放大器实现难度之间取得一个平衡。

§10.10.3 线性化技术和提高效率的技术

对非线性功率放大器进行线性化，使得它们满足发射机系统对线性度的要求，可以充分利用非线性功率放大器的高效率特性，是目前人们研究较多的内容之一。本小节将介绍常用的线性化技术。如前所述，对非线性功率放大器进行线性化是为了充分利用非线性功率放大器的高效率特性，因此线性化技术和提高效率的技术并不能明显区分，本小节将线性化技术和提高效率的技术放在一起进行介绍。

1. 功率回退技术

当放大器的输出功率接近1dB压缩点时，输出信号中将出现严重的失真。为了提高线性度，功率放大器的输出功率通常被限制于1dB压缩点以下的能量范围内，这种技术被称为功率回退技术（power back-off），如图10-73所示。 功率回退技术是最简单、最常用的线性化技术，它的基本原理是：当输入功

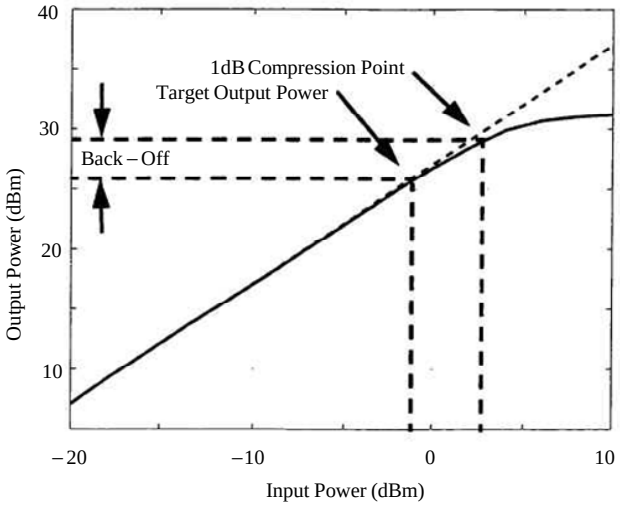


图 10-73 功率回退技术

率减小时，各阶交调积成分和谐波成分都会以指数率减小，而输出功率仅线性减小，因此可以提高线性度。

典型的功率回退值约在6～8dB之间，在某些极端情况下，回退值甚至可能高达10～20dB。应用要求的功率回退值与系统采用的调制方式以及功率放大器的AM–AM、AM–PM失真有关，特别是当系统对相位失真很敏感时，功率回退值会要求更高。在利用功率回退技术时，功率放大器的最大输出功率必须设计为比应用实际需要的输出功率高一个功率回退值，这会增加功率放大器的设计难度，而实际工作时，并没有充分利用功率放大器输出功率的能力；而且功率回退技术会降低放大器的效率，因为功率放大器通常设计为在1dB压缩点附近具有最高的效率。

2. 漏端调制技术

为了利用非线性功率放大器来获得线性幅度调制，可以考虑利用功率放大器的电源端作为一个输入端，通过改变电源电压来改变功率放大器的输出功率，得到比直接在功率放大器输入端引入幅度调制信号更高的线性度。图10-74给出了实现这一技术的C类功率放大器的电路图。 输入信号分解为幅度调制信号V_{mod}和恒包络相位调制信号V_{rf}两部分，V_{mod}输入到线性调制放大器M_2的栅极，而V_{rf}输入到非线性主放大器（此处为C类放大器）的栅极。调制放大器M_2的负载是一个Choke电感，它应在很低的幅度调制频率下也具有很大的感抗，只允许直流信号通过。节点V_{x}的电压是电源电压V_{dc}和调制放大器的输出电压之和，它与输入信号幅度成线性关系，该电压作为由晶体管M_1构成的普通C类放大器的有效电源电压，使得放大器的输出功率与输入信号功率之间是一个线性关系，但同时保留了主放大器高效率的特点。

在图10-74所示的结构中，由于晶体管M_2存在Knee电压，V_{x}不能达到0电平，因此这种放大器通常只能达到60%～80%的调制深度，而不能达到100%的调制深度。如果需要达到100%的调制深度，可以在RF Choke电感上串联一个电阻，电阻上的直流压降可以使得主放大器的有效电源电压比调制放大器的电源电压低，使主放大器的有效电源电压能达到0电平，从而实现100%的调制深度。采用这种方案的缺点是电阻上存在热损耗，因此会降低放大器的效率。

更好的办法是利用如图10-75所示的放大器结构。 调制放大器的输出电压通过变压器耦合的形式耦合到V_{x}节点，调制放大器的电源电压和主放大器的电源电压可以取不同的值，变压器的阻抗变换比也是一个可以设计的参数。因此这种方案可以在电源电压组合、变压器阻抗变换比和达到100%调制深度时驱动

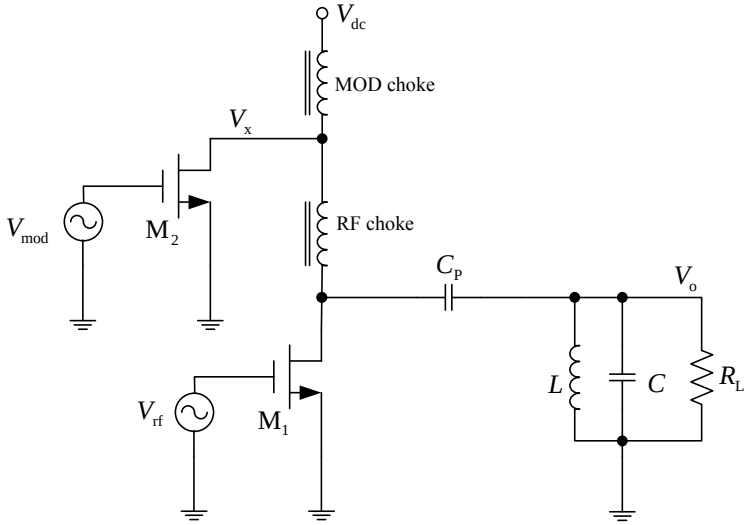


图 10-74 漏端调制技术（Heising调制器）

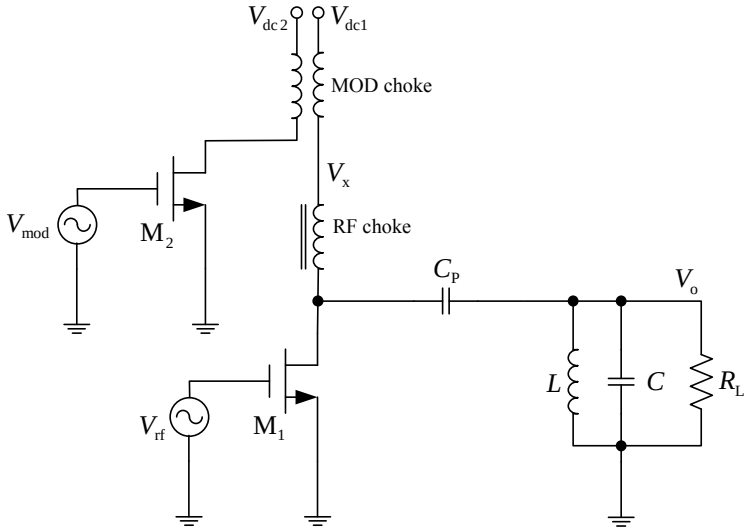


图 10-75 改进的漏端调制技术

信号强度要求之间进行折衷考虑，选择合适的参数值。只要保证节点V_x的电压可以达到0电平，就可以实现100%的调制深度。

但是，漏端调制技术需要一个线性调制放大器，它本身就是一个低频功率放大器，它也会遇到效率和线性度之间的折衷考虑问题。当调制放大器的功耗很大时，主放大器的效率会变得很差，而且，采用该技术实现的功率放大器的线性度依赖于放大器的开环特性，线性度性能并不在设计者的直流控制之下。

3. 包络反馈技术

负反馈技术是提高模拟电路线性度常用的一种技术，它也可以用作射频功率放大器的线性化技术之一。但直接对射频信号进行负反馈处理在技术上并不容易实现，考虑到线性化处理仅需在调制带宽范围内有效，反馈信号可以只是调制信号的包络，称之为包络反馈技术，它的原理图如图10-76所示。 功率放大器的输出经解调器解调后，恢复出调制信号，反馈到系统的输入，与原始调制信号进行比较，比较后的误差量经放大和上变频后，送入功率放大器进行放大。这是一个负反馈系统，当环路传输增益大于1时，只要反馈回路是线性的，系统的线性度就可以得到改善。线性度改善的程度与环路传输增益成正比，当环路传输增益达到无穷大时，该系统可以实现一个理想的线性发射机。

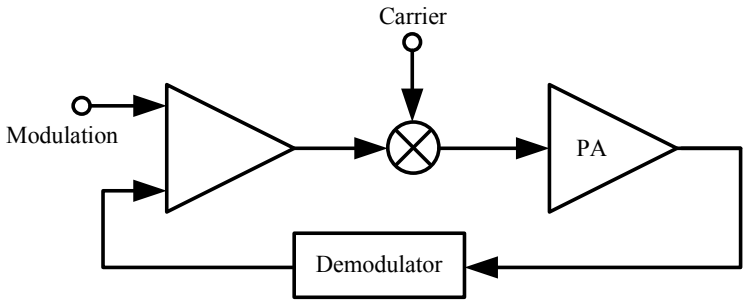


图 10-76 包络反馈技术

包络反馈技术虽然在理论上可以实现一个近似理想的线性发射机，但它在实际实现中会遇到以下的问题，这些实现问题限制了包络反馈技术在线性发射机系统中的应用：（1）同所有负反馈系统一样，包络反馈系统也会遇到稳定性问题；（2）整个系统的闭环增益与环路增益是成反比的，当增加环路增益来提高线性度时，系统的闭环增益也成比例下降，因此环路增益并不能无限高；（3）环路的增益带宽积也是限制线性度提高程度的一个因素；（4）包络反馈技术要求反馈回路是完全线性的，解调器引入的非线性和相移会严重影响线性度性能。

4. **前馈技术**

前馈技术也是一个古老的线性化技术，它的基本原理如图10-77所示。 信号从输入传输到输出，中间

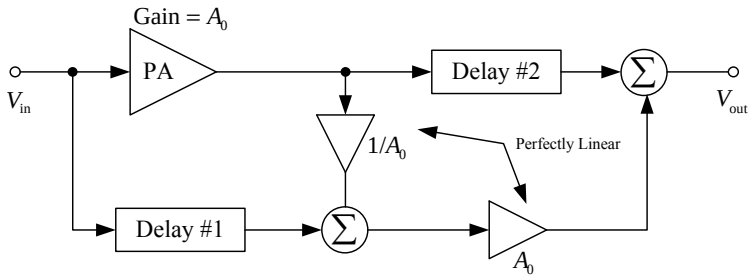


图 10-77 前馈技术

没有任何反馈。它由两个完全相同的放大器组成，放大器的增益为A_0，可能存在一定的非线性，因此主放大器的输出为$AV_{\text{in}}+\epsilon$，ϵ是放大器非线性引入的失真。两个延时模块可以补偿放大器的延时，使得进行减法操作时，两个支路的信号是完全同相的。主放大器的输出经过一个理想线性的衰减器，它的增益为$1/A_0$，衰减器的输出与延时后的输入信号相减，得到一个仅与放大器失真成正比的信号，该信号幅度很小，送入辅助放大器进行放大，输出为$\epsilon+\delta$，δ是辅助放大器引入的失真。由于辅助放大器的输入信号幅度很小，可以认为它是一个线性放大器，因此$\delta \ll \epsilon$。两个支路的信号最后相减后，得到的信号为$AV_{\text{in}}+\delta$，信号失真大大减小。

在前馈技术的实现过程中，主放大器的电压增益应与辅助放大器的电压增益以及衰减器的损耗精确匹配，考虑到时间、温度、电源电压和工艺的变化，实现精确匹配是非常困难的。前馈技术的另一个问题是两个放大器都会引入延时，因此需要使用延时元件进行补偿，延时元件可以采用传输线或者无源集总网络来实现，但放大器的延时会随着输入信号功率、放大器的偏置条件、温度、电源电压和工艺的变化而变化，因此，实现延时元件与放大器的延时匹配也是很困难的。另外，延时元件和实现信号相减功能的功率合成器都会引入额外的损耗，降低了放大器的效率。目前的前馈技术能将功率放大器的线性度提高大约30～40dB，如果能采用自动校准技术进行精确匹配，功率放大器的线性度还能得到更大地提高。由于前馈技术需要两个完全一样的放大器，放大器的效率至少下降一半，这是前馈技术的另一个缺点。

5. **预失真技术**

预失真技术也是一种开环线性化技术，它通过一个预失真模块给功率放大器的输入引入一定的失真，预失真模块的设计要使得功率放大器引入的失真完全补偿预失真模块引入的失真，得到一个理想线性化的传输函数。预失真补偿可以在射频或者基带完成，但由于在基带处理时，工作频率较低，而且可以采用数字或者模拟技术来实现，因此在基带进行预失真补偿是一种常用的技术。在基带进行预失真补偿还可以补偿上变频过程引入的非线性，这是在基带处理的另一个优点。

如果功率放大器传输函数的幅度和相位能够确定，那么可以通过在基带补偿的办法纠正功率放大器的任何失真，如图10-78所示。 预失真模块的幅度和相位随输入功率的变化曲线与功率放大器完全相反，级联

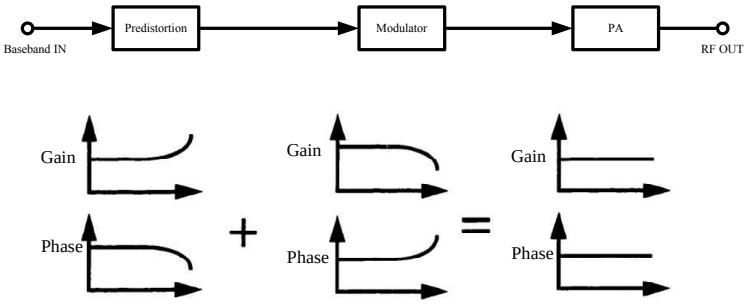


图 10-78 预失真技术

后就可以得到一个与输入信号功率无关的常数增益和恒定相移。采用模拟电路来实现预失真模块的功能是非常困难的，常用的办法是建立一个数字查找表，它存储了不同输入功率下通过测量功率放大器的传输函数得到的增益和相位校准值，以输入信号功率作为索引，查找相对应的增益和相位校准量，控制预失真模块来补偿功率放大器的失真。

但为了建立查找表，必须知道功率放大器的传输函数，但通常功率放大器的传输函数是温度、电源电压、偏置条件和工艺条件的函数，一个预先建立的查找表并不能包含这些因素的影响，降低了预失真补偿所能达到的性能。虽然可以采用自适应预失真技术来补偿这些漂移因素的影响（这种技术通过周期性的计算功率放大器的传输函数的反函数来更新查找表），但这种技术需要建立功率放大器的系统模型，这是一个非常困难的任务。正是因为这些缺点，预失真技术在设计实现中并不能使功率放大器的线性度得到大幅度地提高。

6. **包络恢复和消除技术**

如果能将调制的射频信号分解为一个携带有幅度信息的包络调制信号和一个携带有相位信息的恒包络信号，那么就可以用不同的放大器分别对它们进行放大，然后在输出端重新组合为非恒包络信号，这样主放大器可以采用高效率的非线性放大器，因此可以在保持非线性放大器的高效率特性基础上得到比较高的线性度。这种技术称之为包络恢复和消除技术（EER技术），如图10-79所示。 输入信号通过一个限幅器

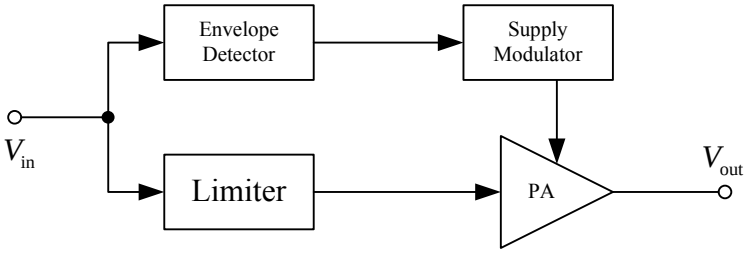


图 10-79 包络恢复和消除技术

来获得一个携带有相位信息的恒包络信号，这个信号由高效率的非线性放大器进行放大，输出的高功率信

号中仅携带有相位信息。同时，输入信号由一个包络检波器进行检波，得到的低频包络信号调制非线性放大器的电源端（漏端调制），使得信号的幅度信息和相位信息在功率放大器的输出组合在一起。

同漏端调制技术一样，EER放大器中电源调制电路可能会消耗大量的功耗，降低了使用高效率非线性放大器所获得的好处。为了减小功耗，电源调制电路可以使用开关模式的调制器（如DC-DC变换器），但即便如此，电源调制电路的功耗仍然是很大的。包络恢复和消除技术的另一个问题是两个支路信号的延时匹配问题，这两个支路一个工作于射频频率，一个工作于低频频率，要使得这两个支路的延时在考虑到输入信号功率、温度、电源电压和工艺变化等因素时都能保证精确匹配是非常困难的，而任何不匹配都会在放大器输出造成信号的幅度和相位不同步，引入信号失真。这是限制包络恢复和消除技术性能的主要障碍。

7. LINC技术

为了充分利用非线性功率放大器的高效率特性，非恒包络信号可以分解为两个恒包络信号之和，信号包络所携带的幅度信息被编码为这两个恒包络信号的相位差。每一个恒包络信号都可以用高效率的非线性功率放大器进行放大，两个放大器的输出组合在一起构成一个与输入信号成线性关系的输出功率信号。这种技术常称之为LINC技术（Linear Amplification with Nonlinear Components）。

如果放大器的输入信号为：

$$V_{\text{in}}(t) = a(t)\cos\left[\omega_{\text{c}}t + \phi(t)\right] \tag{10-86}$$

它是一个非恒包络信号，ω_{c}是它的载波频率。该信号可以分解为如下两个恒包络信号：

$$V_1(t) = \frac{1}{2}V_0\sin\left[\omega_{\text{c}}t + \phi(t) + \theta(t)\right] \tag{10-87}$$

$$V_2(t) = -\frac{1}{2}V_0\sin\left[\omega_{\text{c}}t + \phi(t) - \theta(t)\right] \tag{10-88}$$

即：

$$V_{\text{in}}(t) = V_1(t) + V_2(t) \tag{10-89}$$

其中，

$$\theta(t) = \sin^{-1}\left[\frac{a(t)}{V_0}\right] \tag{10-90}$$

$V_1(t)$和$V_2(t)$都是恒包络信号，输入信号包络携带的幅度信息转换为一个可变的相位成分$\theta(t)$。

图10-80给出了LINC系统的原理图。信号分离器将输入信号$V_{\text{in}}(t)$分解为两个恒包络信号$V_1(t)$和$V_2(t)$，这两个信号分别由高效率非线性放大器进行放大，输出的功率信号由一个功率合成器合为一路输出信号，它与原始输入信号之间成线性关系。

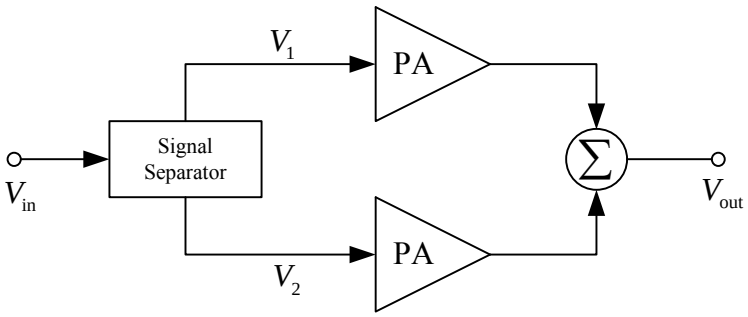


图 10-80 LINC技术

尽管LINC系统的原理很简单，但实现起来却面临很多困难。首先，实现信号分离就是一个非常具有挑战性的任务，为了克服这个问题，信号分离可以在中频进行，分离后的信号经上变频后再转换到射频进行放大。其次，输出端的功率合成器也是一个很困难的问题，不同于普通的功率合成，这里合成的两个信号

不是同相的，因此常用的功率合成技术并不能应用于LINC系统，否则其中的功率放大器会干扰另一个功率放大器的工作。随着工作频率的提高，LINC系统的这些困难会随之增加，导致LINC技术的实际应用越来越少。

8. **极坐标反馈技术**

调制信号可以以极坐标形式分解为幅度成分和相位成分，如同包络恢复和消除技术所采用的那样。为了同时纠正幅度非线性和相位非线性，可以采用两个反馈环分别提高功率放大器的幅度线性度和相位线性度，这就是极坐标反馈技术，如图10-81 所示。

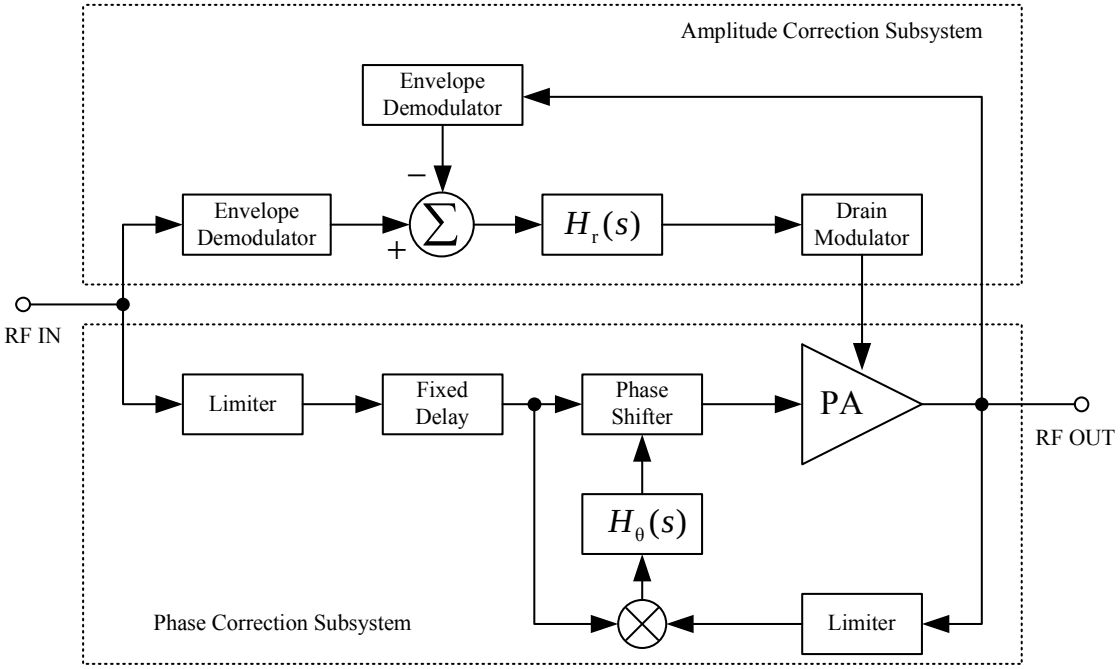


图 10-81 极坐标反馈技术

幅度反馈环路将功率放大器的输出包络和输入信号的包络进行比较，误差信号驱动功率放大器的漏端调制器，$H_r(s)$是一个滤波器，对反馈环路的动态行为进行控制。由于包络信号的频率相对较低，幅度反馈环路的环路增益可以做得很高，可以极大地压缩功率放大器的幅度非线性。

相位反馈环路将功率放大器的输出信号的相位同输入信号的相位进行比较，误差信号控制与功率放大器输入串联的相移器，改变功率放大器输入的相位。$H_\theta(s)$也是一个滤波器，用来对相位反馈环路的动态行为进行控制。为了避免AM–PM效应，相位反馈环路还利用了限幅器来限制进行相位比较前信号的幅度。

由于相位反馈环路的带宽一般大于幅度反馈环路的带宽，相位反馈环路的延时要小于幅度反馈环路，在相位反馈环路中通常要插入一个延时元件对信号进行延时，使得送到功率放大器的幅度信号和相位信号同步。由于极坐标反馈技术采用两个不同的环路分别控制信号的幅度和相位，这两个环路的延时之间的匹配是非常困难的，同EER技术一样，两个环路之间延时的不匹配会恶化系统的线性度性能。这是极坐标反馈系统遇到的最大障碍。

极坐标反馈系统的另一个问题来自于功率放大器非线性引起的AM–PM转换，而且这种转换与输入信号功率有关，这使得幅度反馈环路和相位反馈环路之间产生一定的相关性，降低了系统的稳定性。

实现两个反馈环路之间延时的匹配精确（在各种温度、电源电压和工艺条件下）和在整个带宽及输入信号动态范围内确保系统的稳定性，是极坐标反馈系统面临的两个挑战，阻碍了该系统的商业化进程。

9. **笛卡儿反馈技术**

调制信号也可以以笛卡儿坐标形式分解为同相成分（I）和正交成分（Q），同极坐标一样，每一个成分也可以形成一个单独的反馈环路，这就是笛卡儿坐标反馈技术，如图10-82所示。 功率放大器的输出经正

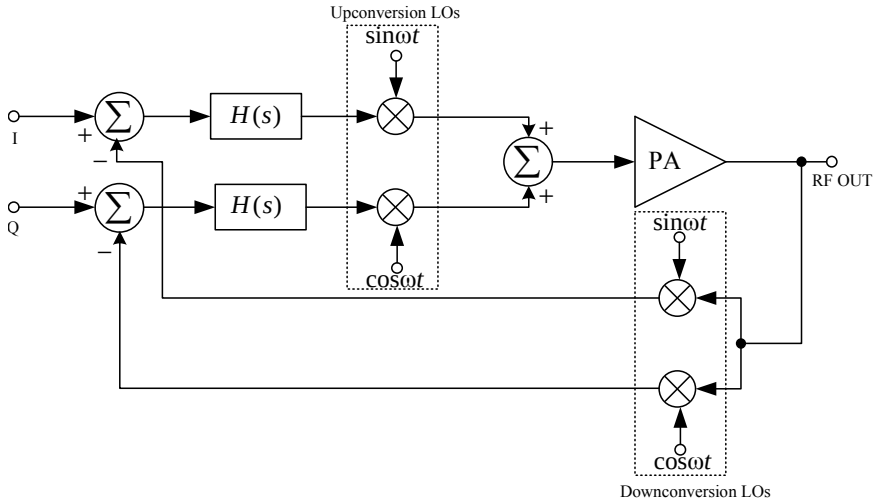


图 10-82 笛卡儿坐标反馈技术

交下变频后，解调出I、Q两路基带信号，这两路信号同输入的两路基带信号独立进行比较，误差信号经放大、上变频后在功率放大器的输入合并为一个信号。$H(s)$是一个基带滤波器，对反馈环路的动态行为进行控制，由于它的工作频率很低，可以提供大的增益，因此便利了环路的设计。

笛卡儿坐标反馈技术的两个反馈环路是完全对称的，因此不会遇到极坐标反馈系统中两环路之间的匹配问题，这是笛卡儿坐标反馈技术相对于极坐标反馈技术的优点。笛卡儿坐标反馈系统的最大问题是两个环路之间的不完全正交所导致的系统不稳定问题，引起两个反馈环路之间不完全正交的主要原因包括上变频器和下变频器本振信号的相位不匹配以及进行频率变换的本振信号的非正交性。解决这个问题的方法是采用自动相位校准技术，对I、Q两路本振信号的相位以及上变频器和下变频器的本振信号相位进行校准。

10. 偏置自适应技术

如果功率放大器的直流偏置电流不为0，那么当输入信号功率降低时，放大器的效率也会降低，A类放大器就是一个最好的例子。但是，许多功率放大器在实际应用中，绝大部分时间内都不需要输出最大功率，如手机中的功率放大器，当信道质量很好或者手机与基站很近时，通过功率管理模块的控制，发射机的输出功率可以很低，这样可以根据通信质量自动调节功率放大器的输出功率，节省功耗，提高电池的使用寿命。如果功率放大器的直流偏置电流仍按照最大输出功率来设计，并保持固定不变，那么功率放大器的平均效率将是很低的。为了提高功率放大器的平均效率，人们提出了偏置自适应技术，它根据输入信号功率自适应的调整功率放大器的偏置电流和电源电压。图10-83 给出了自适应偏置电路的愿理图。 包络检

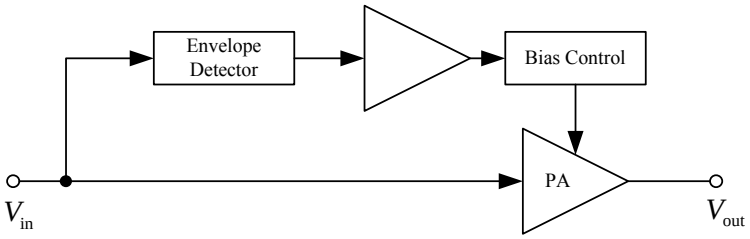


图 10-83 偏置自适应技术

测器检测输入信号的包络，经放大后控制偏置控制模块，自适应地调节功率放大器的电源电压或者直流偏置。当输入信号功率较低时，偏置控制模块降低放大器的电源电压或者偏置电流（通过降低偏置电压），功率放大器的输出功率减小，但功率放大器的直流功耗也同样减小，放大器的效率不会下降很多；当输入信号功率较高时，偏置控制模块提高放大器的电源电压或者偏置电流（通过提高偏置电压），功率放大器的输出功率增加，但功率放大器的直流功耗也同样增加。这样功率放大器的平均效率可以保持一个相对较

高的数值。

偏置电压和电源电压对功率放大器来说是极度重要的设计参数，在工作过程中自适应地调整它们，不可避免地会对放大器的线形度性能产生很大影响，这是采用偏置自适应技术需要考虑的问题。但是，偏置自适应技术提供了一种在效率和线性度之间进行折衷考虑的自由度。

11. Doherty技术

Doherty技术被看成是一种提高功率放大器效率的技术，它的工作原理如图10-84所示。 主功率放大器

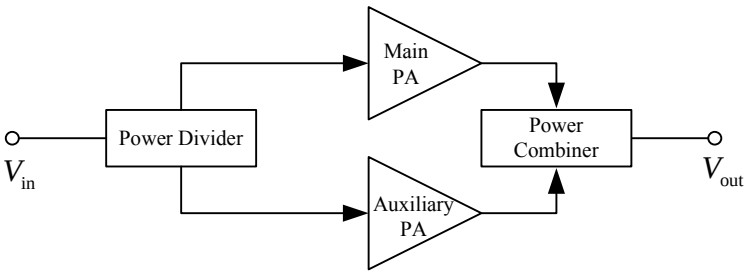


图 10-84 Doherty技术

的输出功率较大，而辅助功率放大器的输出功率相对较小，这两个放大器被设计为当输入信号功率很低时，主功率放大器工作，辅助功率放大器不工作；当输入信号功率增加到一定程度时，辅助功率放大器输出一定的功率，用来补偿主功率放大器的增益压缩，而且随着输入功率的提高，辅助放大器的输出功率也逐渐增加，如图10-85所示。两个功率放大器的输出功率合成后，得到一个近似线性化的输出功率。采用Doherty技术可以提高功率放大器的平均效率，并且在一定程度上可以提高功率放大器的线性度。

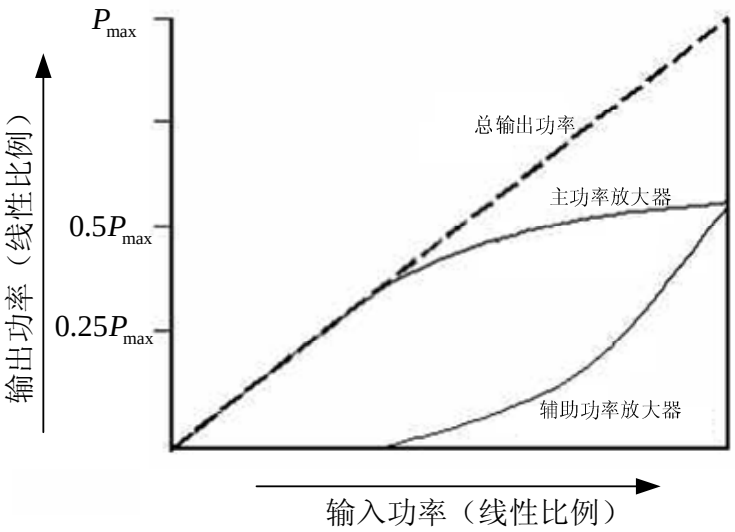


图 10-85 Doherty放大器的功率传输特性

Doherty技术存在的主要问题是如何划分主功率放大器和辅助功率放大器分别起作用的阈值，该阈值与系统采用的调制方式以及信源的概率分布有关，需要根据系统应用选定；它的另一个问题是如何避免两个放大器之间的耦合。Doherty功率放大器一般要用到四分之一波长传输线，并不适合于集成电路实现，本处不再详述。

§10.11 总结

本章集中讨论了射频功率放大器的分析和设计问题。首先介绍了晶体管的非线性模型，它是分析功率放大器非线性的基础；然后介绍了负载线设计技术和Loadpull理论，并引入衡量功率放大器性能的参数；

以此为基础，分析了传统功率放大器和开关模式功率放大器的工作原理和设计技术，前者效率较低，但线性度相对较好，而后者是一个高效率的非线性放大器；然后介绍了采用CMOS工艺来实现集成功率放大器所面对的挑战及解决方案，最后简单介绍了功率放大器的各种线性化技术。

功率放大器是一个大信号电路，具有与小信号电路不一样的分析和设计方法。通过本章的介绍，读者可以了解设计功率放大器的基本思路以及提高性能的基本措施，可以指导读者进行简单的功率放大器设计。功率放大器的集成化是目前射频电路领域还没有解决的问题，有待于科研人员的继续努力。

参考文献

1 Cripps S C. RF Power Amplifiers for Wireless Communications. Boston.London: Artech House, 1999

2 Lee T H. The Design of CMOS Radio-Frequency Integrated Circuits(Second Edition). U.S.A.: Cambridge University Press, 2004

3 Pothecary N. Feedforward Linear Power Amplifiers. Boston.London: Artech House, 1999

4 Rogers J, Plett C. Radio Frequency Integrated Circuit Design. Bosto.London: Artech House, 2003

5 Hella M M. CMOS Radio Frequency Power Amplifiers for Short-Range Wireless Standards. Ph.D Thesis of The Ohio State University, 2001

6 Kuo Chun-Yi. RF Power Amplifier Using Deep Sub-Micro CMOS Technology. Ph.D Thesis of Stanford University, 2002

7 Narayanaswami R S. RF CMOS Class C Power Amplifiers for Wireless Communictions. Ph.D Thesis of University of California, Berkeley, 2001

8 Mahdavi A S. Design and Control of CMOS Radio-Frequency Power Amplifiers. Ph.D Thesis of Stanford University, 2003

9 Wang Chengzhou. CMOS Power Amplifiers for Wireless Communications. Ph.D Thesis of University of California, San Diego, 2003

10 Aoki I, etc. Distributed Active Transformer-A New Power-Combining and Impedance-Transformation Technique. IEEE Trans. Microwave Theory and Tech., 2002, 50: 316

11 Raab F H. Class-F Power Amplifiers with Maximally Flat Waveforms. IEEE Trans. Microwave Theory and Techniques, 1997, 45: 2007-2012

12 Raab F H. Maximum Efficiency and Output of Class-F Power Amplifiers. IEEE Trans. on Microwave Theory and Techniques, 2001, 49(6): 1162-1166

13 Yoo C, Huang Qiuting. A Common-Gate Switched 0.9-W Class-E Power Amplifier with 41% PAE in 0.25-μm CMOS. IEEE Journal of Solid-State Circuits, 2001, 36(5): 823-830

习题

1. 本章在讨论负载线和Loadpull技术时，忽略了器件和封装的寄生效应，因此Loadpull曲线上的阻抗是芯片外部负载与这些寄生阻抗的组合。如果考虑这些寄生效应，Loadpull 曲线将具有不同的形状。
(1)如果器件和封装的寄生效应可以用一个并联导纳$Y = G + \mathrm{j}B$来等效，试重新推导Loadpull曲线的构建规则；
(2)一个1GHz、A类功率放大器输出晶体管的漏端峰值电压为6.6V，流过晶体管的峰值电流为1.65A，若忽略晶体管和封装的寄生效应，试画出该功率放大器的1dB Loadpull曲线；
(3)若输出晶体管的漏端寄生电容为2pF，晶体管漏端直接接到片外，封装时的键合线电感为2nH。忽略其它的寄生效应，试重新画出该功率放大器的1dB Loadpull曲线；

2. 设计一个导通角为$\alpha = 120°$、工作频率为1GHz、输出功率为1W（负载阻抗为50欧姆）的AB类功率放大器，已知晶体管的栅氧化层击穿电压为$2V_{\mathrm{dc}} = 6.6\mathrm{V}$，$LC$网络的品质因子均定为10，晶体管的最小漏源电压$V_{\mathrm{knee}} = 0$，要求确定晶体管的最大导通电流以及负载网络的各元件值，并计算该功率放大器的漏端效率；

3. 设计一个工作频率为1GHz、输出功率为1W（负载阻抗为50欧姆）的E类功率放大器，并计算其漏端效率。已知晶体管的栅氧化层击穿电压为6.6V，晶体管的最小漏源电压$V_{\mathrm{knee}} = 0.3\mathrm{V}$，驱动信号是一个上升时间为1ns的方波信号。

4. 本章讨论过，若晶体管的最小漏源电压V_{knee}不为0，流过晶体管的电流波形将出现双峰，引起功率放大器的输出功率和效率的降低。本处我们来定量讨论V_{knee}对功率放大器输出功率和效率的影响。假设晶体管的行为可用图10-8所示的模型来描述，$V_{\text{knee}} \neq 0$，忽略晶体管的线性工作区，即晶体管的漏端电压一旦大于V_{knee}时，晶体管就工作于饱和区，而晶体管的漏端电压一旦小于V_{knee}，流过晶体管的电流就下降为0。假设晶体管的负载网络可以保证晶体管的漏端电压波形是理想的正弦波，而且晶体管工作于B类模式
   (1)推导流过晶体管的电流波形；
   (2)推导功率放大器的输出功率和效率；
   (3)画出功率放大器的输出功率和效率随V_{knee}变化的曲线；
   (4)若将晶体管漏端的电压幅度减小$a(a < 1)$，重新推导流过晶体管的电流波形、功率放大器的输出功率和效率，并画出功率放大器的输出功率和效率随a变化的曲线；
5. 证明表10-2中的结论；
6. 交越失真是推挽放大器遇到的主要问题。假设推挽放大器的行为可以用一个黑盒子来描述：对于正弦型输入信号，黑盒子的输出为$v_{\text{out}} = v_{\text{in}} - \epsilon(v_{\text{in}} > \epsilon)$；$v_{\text{out}} = 0(|v_{\text{in}}| < \epsilon)$；$v_{\text{out}} = v_{\text{in}} + \epsilon(v_{\text{in}} < -\epsilon)$。假设$0 < \epsilon < 1$，试计算$\epsilon$取何值时，该推挽放大器的三阶谐波成分的幅度是基频成分幅度的0.1%、1%和10%；
7. 功率放大器的非线性对发射机的性能有何影响？改善功率放大器线性度性能的方法有哪些，它们各有什么特点，实现起来又会遇到什么问题？
8. 采用CMOS工艺来实现集成功率放大器会遇到哪些困难？如何改善？
9. 全集成功率放大器的效率一般都不高，试解释全集成功率放大器效率不高的原因，如何提高全集成功率放大器的效率？

第十一章　射频振荡器

振荡器是无线通信系统中的另一个核心模块，通常应用于锁相环系统中，给收发机提供稳定的本地载波信号。相位噪声和功耗是衡量振荡器性能的主要参数，在某些应用中，频率调谐范围也是很重要的一个参数。

振荡器是一个大信号非线性电路，具有不同于其它电路的分析和设计方法，本章就介绍与射频振荡器相关的知识。首先介绍振荡器的振荡条件，然后讨论三种不同类型的射频振荡器，接着引入相位噪声和时钟抖动的概念和分析模型，在此基础上，提出改进振荡器相位噪声性能的方法，最后介绍正交信号产生方法，这些方法在正交变频结构收发机中得到了广泛应用。

§11.1　振荡条件

振荡器是不需要外信号激励，自身能将直流电能转换为周期性交流输出信号（通常为电压信号）的电路。振荡器的核心是一个在振荡频率处呈正反馈的环路。图11-1 给出了一个反馈系统的通用模型。 其

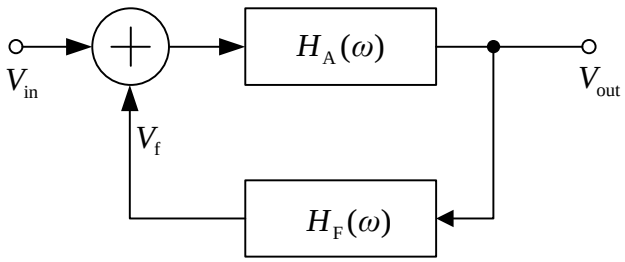


图 11-1 振荡器的反馈模型

中$H_A(\omega)$为前向电路的传输函数，而$H_F(\omega)$是反馈网络的传输函数。该反馈系统的闭环传输函数为：

$$\frac{V_{out}}{V_{in}} = H_{CL}(\omega) = \frac{H_A(\omega)}{1 - H_F(\omega)H_A(\omega)} = \frac{H_A(\omega)}{1 - T(\omega)} \tag{11-1}$$

其中，$T(\omega) = H_F(\omega)H_A(\omega)$是该反馈系统的环路增益。如果在所有的频率上$T(\omega) < 1$，该系统是一个稳定的负反馈系统，在各种低频模拟电路中，这种系统得到了广泛的应用。如果在某频率上$T(\omega) = 1$，该系统在频率为ω处的闭环传输函数为无穷大，因此只要该系统的输入引入一点噪声，该噪声就会被无限放大，产生无穷大的输出，即产生了振荡。而如果在某频率上$T(\omega) > 1$，该系统在频率为ω处的环路增益大于1，因此只要环路中引入一点噪声，该噪声就会被无限放大，产生无穷大的输出，亦即产生了振荡。因此振荡器的振荡条件为：

$$T(\omega) = H_F(\omega)H_A(\omega) \geq 1 \tag{11-2}$$

该判据可分解为幅度判据和相位判据：

$$|T(\omega)| \geq 1 \tag{11-3}$$

$$\angle T(\omega) = 360^\circ \tag{11-4}$$

即在闭环传输函数的相移为360°处，闭环传输函数的增益必须不小于1，该反馈系统才能产生振荡，这是振荡器能够产生振荡的基本条件，称为Barkhausen判据。

对于实用的振荡器来说，它的振荡频率（振荡周期）和振荡幅度都必须是稳定的，因此振荡器在稳定工作时（达到平衡状态），需要满足如下稳定性条件：

$$|T(\omega)| = 1 \tag{11-5}$$

$$\angle T(\omega) = 360^\circ \tag{11-6}$$

它们分别称为振荡器的振幅稳定性条件和相位稳定性条件。

但是在振荡器的起振阶段，环路增益$T(\omega)$要大于1（振荡器的起振条件），保证振荡器能将微小的噪声放大为稳定的周期性输出信号。考虑到温度和工艺的变化，在振荡频率处的环路增益通常设计为必须值的2～3倍。当环路中的信号振幅增加到一定程度后，振荡器中有源器件存在的非线性会限制振幅的继续增加，使得振荡器的输出达到稳定，这是一个非线性过程。

要使满足Barkhausen判据的反馈系统成为一个实用的振荡器，反馈系统必须包含有某种频率选择功能，使得该振荡器仅在我们所需要的频率处谐振。这种频率选择功能通常可以采用两种方式实现：一种方式是反馈网络采用*LC*谐振电路，这种振荡器称为*LC*振荡器，它是射频振荡器最常采用的拓扑结构；另一种方式是使得反馈系统的闭环传输函数仅在一个频率点上满足Barkhausen判据，这种方式以环型振荡器（Ring Oscillator）最为常见。后面我们将对它们进行仔细的分析。

需要指出的是，Barkhausen判据仅是实现振荡器的必要条件，而不是充分条件。例如，如果一个反馈系统在频率为0时的环路增益不小于1，而且相移等于360°，那么该系统仅处于锁定状态，而不是振荡状态。

如前所说，实用振荡器的输出信号应是稳定的周期性信号，因此振荡器需要满足稳定性条件。所谓稳定性条件是指在外因作用下，振荡器的平衡条件受到破坏时，振荡器本身能重新建立起平衡点的条件。它又可以分为振幅稳定性条件和相位稳定性条件。

振幅稳定性条件是指振幅平衡条件受到破坏时，振荡器本身能重新建立起振幅平衡点的条件，若能建立，则振荡器仍能保持稳定的振荡。振幅稳定性条件的关键是在平衡点附件，环路增益幅度随振幅的变化特性具有负的斜率，即：

$$\frac{\partial T}{\partial |V_{\text{out}}|}\Big|_{|V_{\text{out}}|=V_{\text{Q}}} < 0 \tag{11-7}$$

其中，V_{Q}是振荡器稳定工作时的振荡幅度。可以借助于图11-2来说明振荡器的振幅稳定性条件。 该图表

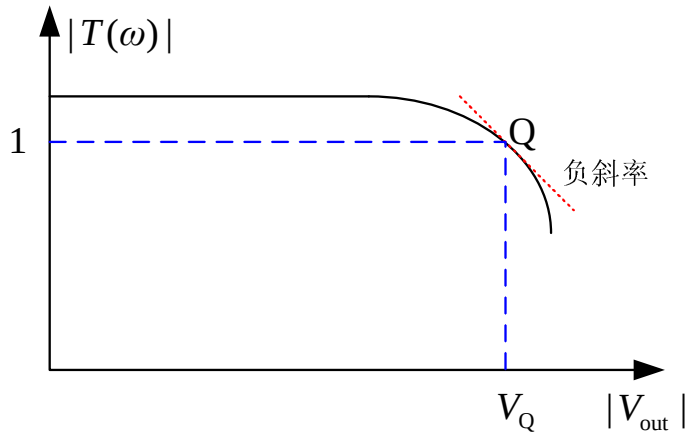


图 11-2 稳定振荡器的闭环传输函数与振荡幅度之间的关系曲线

示，环路增益的幅度随着振荡幅度的增强而下降。当在某种外因作用下，振荡器的振荡幅度减小时，环路增益的幅度将大于1，使得振荡幅度逐渐增加，只有当振荡幅度重新达到V_{Q}，环路增益才下降为1，振荡器达到稳定；而在外因作用下，振荡幅度增加时，环路增益的幅度将小于1，使得振荡幅度逐渐减弱，只有当振荡幅度重新达到V_{Q}，环路增益才上升为1，振荡器重新达到稳定。因此，振荡器的振荡幅度达到稳定的条件是环路增益幅度随振幅的变化特性具有负斜率。由于前向网络一般是由有源器件构成的放大器，而有源器件存在的非线性正好使得环路增益的幅度具有这一特性，因此有源器件具有稳定振荡幅度的作用。

一般只要偏置电路和反馈网络设计正确，则$|T(\omega)|$作为振荡幅度的函数是一条单调下降曲线，仅在一个振荡幅度下，$|T(\omega)| = 1$，因此振荡器仅存在一个平衡状态Q，如图11-2所示。在开始起振

时，$|T(\omega)|>1$，振荡器处于增幅振荡状态，振荡幅度逐渐增强，直到达到平衡点Q为止，达到平衡点后，环路增益幅度下降为1，使得振荡器维持稳定振荡。这种振荡方式通常称为软自激，它的特点是不需要外加激励，依靠振荡器内部电路的噪声便可自激。

但在某些情况下，$|T(\omega)|$作为振荡幅度的函数不是一条单调下降曲线，而是先随着振荡幅度的增加而增加，达到最大值后，又开始随着振荡幅度的下降而下降，如图11-3所示。 在两个不同的振荡幅度

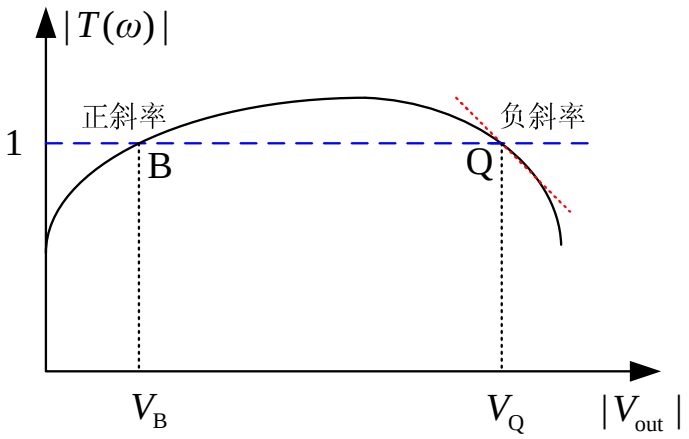


图 11-3 硬自激的振荡特性

处，$|T(\omega)|=1$，因此振荡器存在两个平衡状态B与Q，其中平衡点Q满足$\frac{\partial T}{\partial|V_{\text{out}}|}\big|_{|V_{\text{out}}|=V_{\text{Q}}}<0$的条件，是稳定平衡点，而平衡点B不满足振幅稳定性条件，在该点$\frac{\partial T}{\partial|V_{\text{out}}|}\big|_{|V_{\text{out}}|=V_{\text{B}}}>0$，当振荡幅度稍大于$V_{\text{B}}$时，环路增益将大于1，成为增幅振荡，振幅越来越大，最后稳定于Q点，反之，当振荡幅度稍小于V_{B}时，环路增益将小于1，成为减幅振荡，振幅越来越小，最后停止振荡，因此B点是不稳定平衡点。由于在振荡幅度小于V_{B}时，环路增益幅度小于1，振荡始终是衰减的，因此这种振荡器不能依靠内部电路的噪声自行起振，除非在起振时外加一个冲击信号，使振荡幅度冲过B点，才有可能激起稳定于Q点的平衡状态。这种需要外加一个冲击信号才能起振的现象，称为硬自激。通常都应使振荡器工作于软自激状态，而应避免硬自激，在后面我们仅讨论软自激的振荡器。

对于振荡幅度稳定要求特别高的振荡器，还可以采用自动幅度控制环路，如图11-4所示。 峰值检测器

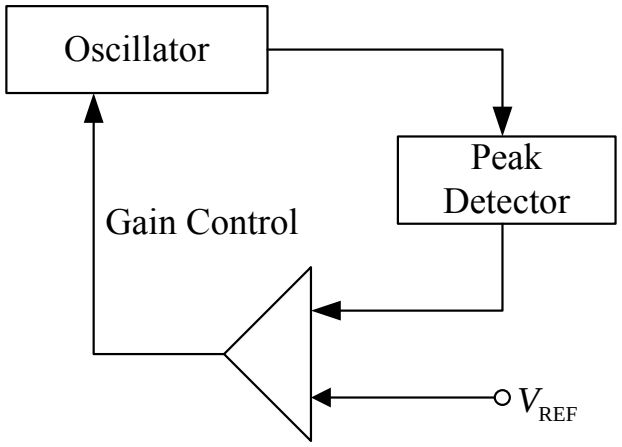


图 11-4 振荡器的自动幅度控制

测量振荡器的振荡幅度，然后和一个参考电压进行比较，根据比较结果自动调节振荡器的环路增益。在振荡器起振时，振荡幅度很小，振荡器的环路增益很高，有利于振荡器快速起振；而当振荡器达到稳态时，自动幅度控制环路可以将振荡幅度稳定在参考电压附近。如果参考电压选择合适，该振荡器可以提供一个低失真的正弦型输出。这种技术会引入一个额外的反馈环路，增加了电路的复杂性，而且该反馈环路会恶

化振荡器的噪声性能，这些因素使得该技术没有在射频电路中得到广泛应用。

相位稳定性条件是指相位平衡条件受到破坏时，振荡器本身能重新建立起相位平衡点的条件，若能建立，则振荡器仍能保持稳定的振荡。必须强调指出：由于振荡器的角频率是相位的变化率（$\omega = \frac{\mathrm{d}\varphi}{\mathrm{d}t}$），当振荡器的相位变化时，频率也必然发生变化，因此相位稳定条件和频率稳定条件实质上是一回事。

如果由于某种原因，相位平衡遭到破坏，产生了一个很小的相位增量$\Delta\varphi$。如果$\Delta\varphi > 0$，这就意味着反馈电压超前于原输入电压（前一次反馈电压）一个相角。相位超前就意味着周期缩短。如果振荡电压不断地放大、反馈、再放大，如此循环下去，输入电压的相位将一次比一次超前，周期不断缩短，相当于每秒钟内循环的次数在增加，这就意味着振荡频率在不断地提高。反之，如果$\Delta\varphi < 0$，反馈电压将滞后于原输入电压，同理将导致振荡频率的不断降低。因此，外因引起的相位变化与频率的关系是：相位超前导致频率升高，相位滞后导致频率降低，振荡频率与相位的变化关系可表示为：

$$\frac{\Delta\omega}{\Delta\varphi} > 0 \tag{11-8}$$

为了维持振荡器的相位稳定，振荡器本身应该具有恢复相位平衡的能力。换句话说，就是在振荡频率发生变化的同时，振荡电路能够产生一个新的相位变化，以抵消由外因引起的$\Delta\varphi$变化，因而这二者的符号应该相反，亦即相位稳定条件为振荡电路的相移与频率之间的关系应该满足：

$$\frac{\partial\varphi}{\partial\omega} < 0 \tag{11-9}$$

如果振荡器采用LC谐振负载来决定振荡频率（LC反馈振荡器，后面我们会讲到），则环路增益的相移由放大器的相移、谐振回路的相移以及反馈回路的相移三部分组成。由于放大器的相移和反馈回路的相移对于频率的敏感度远小于谐振回路的相移对频率的敏感度，因此环路增益的相移对频率的敏感度主要由谐振回路决定，振荡器的相位稳定条件要求谐振回路的相频特性曲线在工作频率附件具有负的斜率。而并联谐振回路的相频特性恰好具有负的斜率，如图11-5（a）所示，其中ϕ为振荡器的总相移。 我们利用图11-5（b）来解释振荡频率的稳定原理。假定放大器的相移和反馈回路的相移之和为φ_{YF}，则只有工作频率为ω_{c}时，谐振回路的相移$\varphi_{\mathrm{Z}} = -\varphi_{\mathrm{YF}}$，相位平衡条件方被满足。若由于外因使振荡器相位发生了变化，φ_{YF}变化到φ'_{YF}，即产生了一个增量$\Delta\varphi_{\mathrm{YF}}$，从而破坏了$\omega_{\mathrm{c}}$频率的平衡条件。这种不平衡促使频率$\omega_{\mathrm{c}}$升高。由于频率升高使谐振回路产生负的相移增量$-\Delta\varphi_{\mathrm{Z}}$。当$-\Delta\varphi_{\mathrm{Z}} = \Delta\varphi_{\mathrm{YF}}$时，环路增益的相位重新满足等于0的条件，振荡器在$\omega'_{\mathrm{c}}$频率上再一次达到平衡。但是新的稳定平衡点$\omega'_{\mathrm{c}} = \omega_{\mathrm{c}} + \Delta\omega_{\mathrm{c}}$毕竟还是偏离原来稳定平衡点一个$\Delta\omega_{\mathrm{c}}$。显而易见，这是为了抵消$\Delta\varphi_{\mathrm{YF}}$的存在必然出现的现象。为了减小振荡频率的变化，一方面要尽可能减小放大器的相移和反馈回路的相移对外因影响的敏感度，另一方面要提高谐振回路相频特性曲线斜率的绝对值$|\frac{\partial\varphi}{\partial\omega}|$，这可由提高谐振回路的品质因子来实现。另外，尽可能使$\varphi_{\mathrm{YF}} \to 0$（即使$LC$谐振回路工作于谐振状态），也有利于振荡频率的稳定。振荡频率的稳定性问题是一个非常重要的问题，在后面我们将借助于相位噪声和时钟抖动的概念来对这一问题进行深入讨论。

§11.2 描述函数

由于振荡器的振荡幅度一般都很高（后面我们会讲到，振荡幅度高有利于减小相位噪声），在一个振荡周期内，晶体管可能会经历各种工作状态（饱和区、线性区和截止区），是一个高度非线性的过程，因此不能用小信号电路分析方法来推导它的各种性能。为了分析振荡器，需要引入描述函数（Describing Function）的概念。

通常的小信号电路分析方法是在电路的直流工作点对电路进行线性化处理，只要处理的信号幅度足够小，那么该分析方法是近似准确的，它是在时域内对系统的输入–输出传输特性进行线性化。另一种可考虑的线性化技术是在频域内对系统的输入–输出传输特性进行线性化处理。例如，用一个具有一定频率和幅度的正弦波激励一个非线性系统，该非线性系统的输出中将包含有各种谐波成分和子谐波成分，它们具有不同的幅度。如果仅考虑基频成分，那么在不同频率和不同幅度下基频传输函数（相移和幅度变换）构成了该非线性系统的线性化描述，这就是系统的描述函数。当系统的输出以基频成分为主，而其它谐波或者子谐波成分都被滤除或者衰减时，使用描述函数来分析非线性系统可以得到很准确的结果。

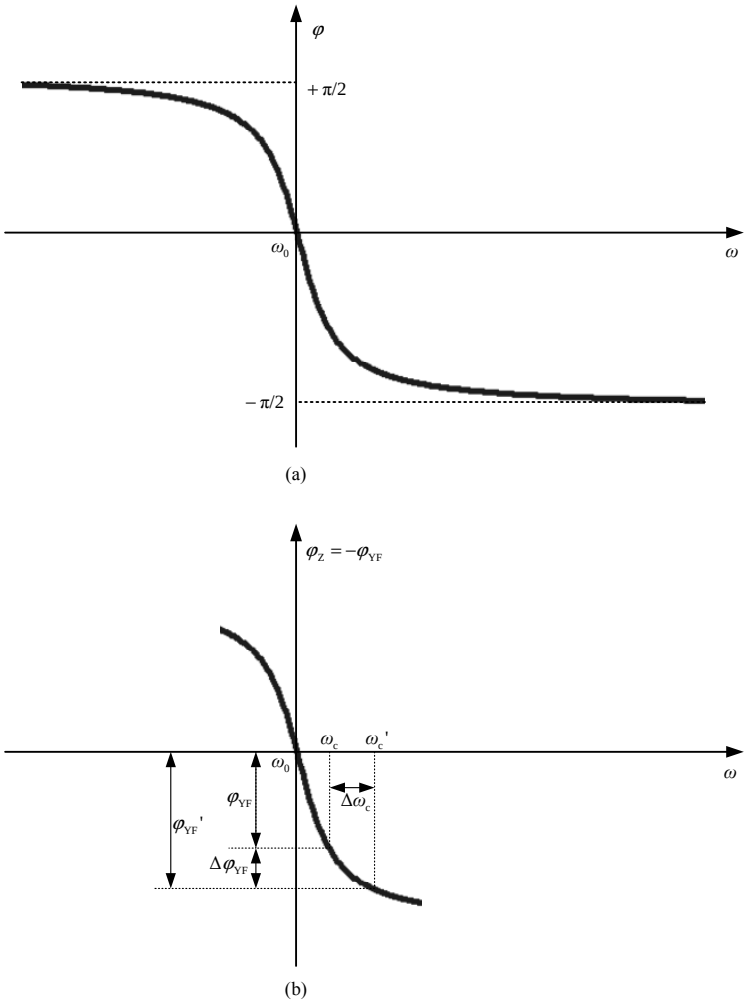


图 11-5 并联谐振回路的相频特性

作为一个简单的例子，我们来推导理想比较器的描述函数。理想比较器的传输特性为：

$$V_{\text{out}} = BsgnV_{\text{in}} \tag{11-10}$$

它是一个高度非线性的系统。如果我们用一个幅度为E、频率为ω的正弦波去激励该比较器，该比较器的输出是一个频率为ω、幅度为B的方波信号，输出信号的幅度与输入信号的幅度没有关系，而且输入信号和输出信号经过零点的时刻是相同的，因此输入信号传输到输出没有引入相移。将输出用下面的傅立叶级数来展开：

$$V_{\text{out}} = \frac{4\text{B}}{\pi}\sum_{n=1}^{\infty}\frac{\sin(\text{n}\omega t)}{\text{n}} \qquad \text{n is odd} \tag{11-11}$$

如果仅考虑基频成分（n = 1），则可以得到基频输入–输出传输函数为：

$$G_{\text{D}}(\text{E}) = \frac{4\text{B}}{\pi\text{E}} \tag{11-12}$$

这就是该比较器的描述函数，它仅与输入信号的幅度有关，与输入信号的频率没有关系，而且没有引入额外的相移。

下面我们来推导晶体管的描述函数，分析的电路如图11-6所示。 假设电容足够大，在频率ω处可作为短路，而且晶体管是理想的跨导器。振荡器中一般都存在带通滤波网络，因此使用描述函数来分析应用于振荡器电路中的晶体管行为并不会引入很大的误差。

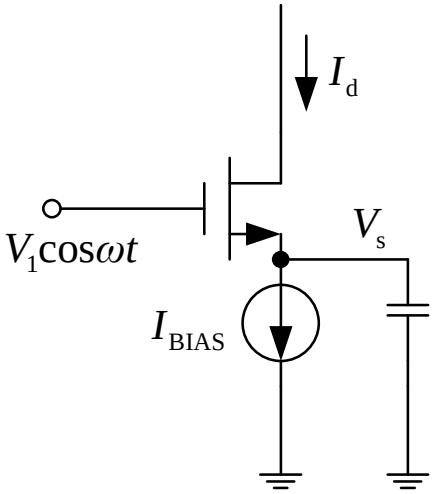


图 11-6 大信号跨导器

为了得到该晶体管的大信号跨导，我们在晶体管栅极引入一个正弦型信号$V_1\cos(\omega t)$，当该输入信号增加时，晶体管源极电压V_s也随着增加，输入信号增加到峰值电压V_1时，晶体管源极电压也增加到峰值。此后，输入信号开始回落，它回落的速度要快于偏置电流对大电容放电的速度，晶体管将进入截止区。只有当输入信号重新增加到峰值电压附近时，晶体管才又重新导通，对电容进行充电。这是一个周期性的过程，导致流过晶体管的电流是一个周期性的尖脉冲，如图11-7所示。

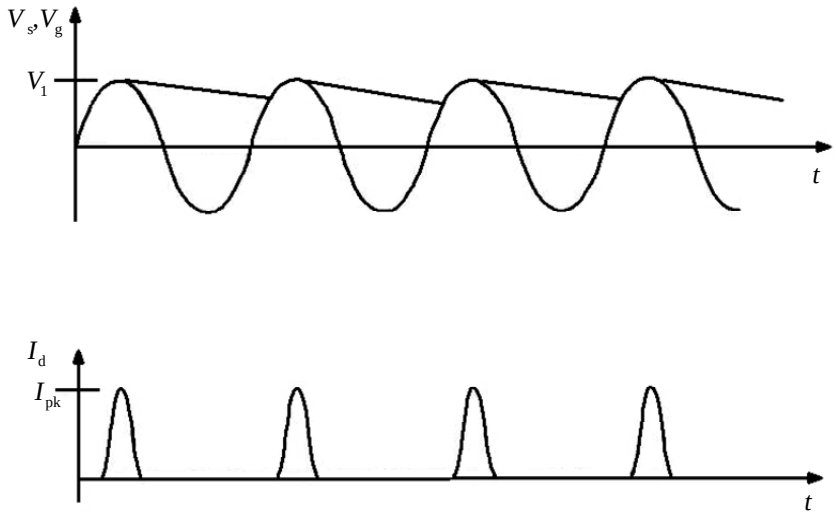


图 11-7 输入信号幅度很高时晶体管栅极、源极的电压波形和流过晶体管的电流波形

考虑到基尔霍夫电流定律（KCL定律），流过晶体管的电流中的直流成分应等于偏置电流：

$$\overline{I_d}=\frac{1}{T}\int_0^T I_d(t)\mathrm{d}t=I_{BIAS} \tag{11-13}$$

考虑到输入信号达到最大时，流过晶体管的电流也达到最大，输入–输出之间没有相移，因此流过晶体管的电流中的基频成分为：

$$I_1=\frac{2}{T}\int_0^T I_d(t)\cos(\omega t)\mathrm{d}t \tag{11-14}$$

在没有其它信息的情况下，我们不知道$I_d(t)$的具体表达式，但当输入信号幅度很大时，它是一个很窄的周期性脉冲，而且这些脉冲出现在输入信号达到峰值电压附近，因此可以近似认为在脉冲持续时间

内，$\cos(\omega t) \approx 1$。因此：

$$I_1 = \frac{2}{T}\int_0^T I_{\mathrm{d}}(t)\cos(\omega t)\mathrm{d}t \approx \frac{2}{T}\int_0^T I_{\mathrm{d}}(t)\mathrm{d}t = 2I_{\mathrm{BIAS}} \tag{11-15}$$

在输入信号幅度很高时，基频成分的幅度近似等于两倍的偏置电流值。因此晶体管的描述函数（大信号跨导）为：

$$G_{\mathrm{m}} = \frac{I_1}{V_1} \approx \frac{2I_{\mathrm{BIAS}}}{V_1} \tag{11-16}$$

从上式可以看出，晶体管的行为可以用一个跨导为G_{m}的电压控制电流源来描述。需要说明的是，以上的推导过程不依赖于任何晶体管特性，因此得到的结果可以应用于任何类型的晶体管，包括MOS晶体管、双极型晶体管、结型场效应管（JFET）、GaAs MESFET等。

在推导过程中，假设输入信号幅度很高，为了说明高幅度输入信号的意义，我们来计算MOS晶体管的大信号跨导与小信号跨导的比值。若晶体管是一个长沟器件，则它的小信号跨导为：

$$g_{\mathrm{m}} = \frac{2}{V_{\mathrm{gs}} - V_{\mathrm{t}}} I_{\mathrm{BIAS}} \tag{11-17}$$

因此

$$\frac{G_{\mathrm{m}}}{g_{\mathrm{m}}} = \frac{V_{\mathrm{gs}} - V_{\mathrm{t}}}{V_1} \tag{11-18}$$

从上式可以看出，输入信号的高幅度是相对于晶体管的过驱动电压$V_{\mathrm{gs}} - V_{\mathrm{t}}$来说的。

当晶体管是一个短沟器件时，则它的小信号跨导为：

$$g_{\mathrm{m}} = \left(\frac{2}{V_{\mathrm{gs}} - V_{\mathrm{t}}} - \frac{1}{E_{\mathrm{sat}}L + (V_{\mathrm{gs}} - V_{\mathrm{t}})}\right) I_{\mathrm{BIAS}} \geq \frac{2}{V_{\mathrm{gs}} - V_{\mathrm{t}}} \tag{11-19}$$

右边的不等式是在$E_{\mathrm{sat}}L \gg V_{\mathrm{gs}} - V_{\mathrm{t}}$时取得的。因此

$$\frac{V_{\mathrm{gs}} - V_{\mathrm{t}}}{V_1} \leq \frac{G_{\mathrm{m}}}{g_{\mathrm{m}}} \leq \frac{2(V_{\mathrm{gs}} - V_{\mathrm{t}})}{V_1} \tag{11-20}$$

由于以上结果适用的条件为V_1远大于晶体管过驱动电压$V_{\mathrm{gs}} - V_{\mathrm{t}}$，因此，MOS管的大信号跨导$G_{\mathrm{m}}$永远不可能超过小信号跨导$g_{\mathrm{m}}$，如图11-8所示，当输入信号幅度很小时，上述推导结果不再适用，大信号跨导开始接近于小信号跨导。

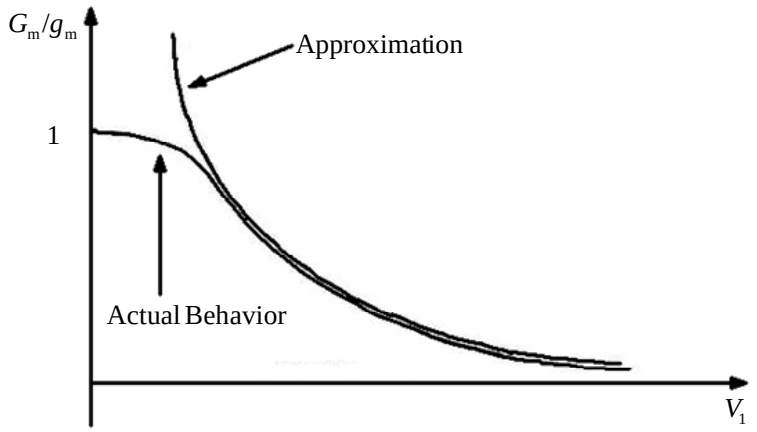


图 11-8 大信号跨导与小信号跨导比值与信号幅度之间的关系曲线

对于振荡器来说，通常它的振荡幅度远高于$V_{\mathrm{gs}} - V_{\mathrm{t}}$，因此以上推导条件都是满足的，所得到的结果可以直接适用。

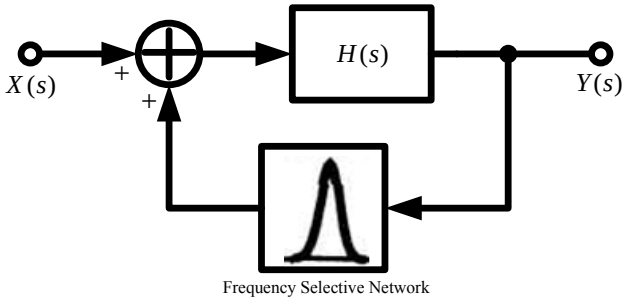


图 11-9 LC振荡器的振荡原理

§11.3 反馈型LC振荡器

如前所述，LC振荡器是反馈网络采用带通LC谐振电路来实现频率选择功能的，如图11-9所示。 在这种应用中，前馈网络$H(s)$是无条件稳定的，在增益下降到1之前，它的相移小于180^o，它没有频率选择功能，而且前馈网络的单位增益带宽要大于振荡频率，使得在振荡频率处，前馈网络的相移近似为0。反馈网络是一个LC谐振电路，它在振荡频率处谐振，谐振时所引入的相移为0，使得整个环路的总相移为0，环路满足Barkhausen判据，电路开始起振，而在其它频率处，反馈网络贡献的相移不为0，环路不满足Barkhausen判据，这些频率成分会受到衰减，衰减的程度与LC谐振电路的品质因子有关，而靠近谐振频率处的频率成分会对振荡器的输出频谱产生贡献，形成一个扩展的频谱，它反应了振荡器的噪声性能。在后面讨论相位噪声时，我们还会对此进行讨论。因此LC振荡器采用带通LC谐振电路来衰减振荡频率以外的其它频率成分，从而实现了频率选择功能。根据实现思想的不同，LC振荡器又可以分为反馈型LC振荡器和负阻型LC振荡器。

反馈型LC振荡器包含有多种类型，但它们的基本思想是相同的：有源器件提供振荡要求的正反馈，而谐振电路提供频率选择功能，它们之间的不同仅在于谐振电路的构成方式上。由于反馈型LC振荡器中仅有一个有源器件，因此它们可以产生很高的振荡频率，并具有优良的噪声性能，这些优点本可以使得反馈型LC振荡器在射频电路领域得到广泛地应用，但同下面要介绍的负阻LC振荡器相比，它对有源器件的跨导要求要高很多，导致功耗很大，因此应用受到限制。

图11-10给出了反馈型LC振荡器的三种典型拓扑结构，它们都以它们的发明者命名，分别为Colpitts振荡器、Hartley振荡器和Clapp振荡器。 它们都由一个LC谐振网络和一个晶体管构成，它们之间的区别在

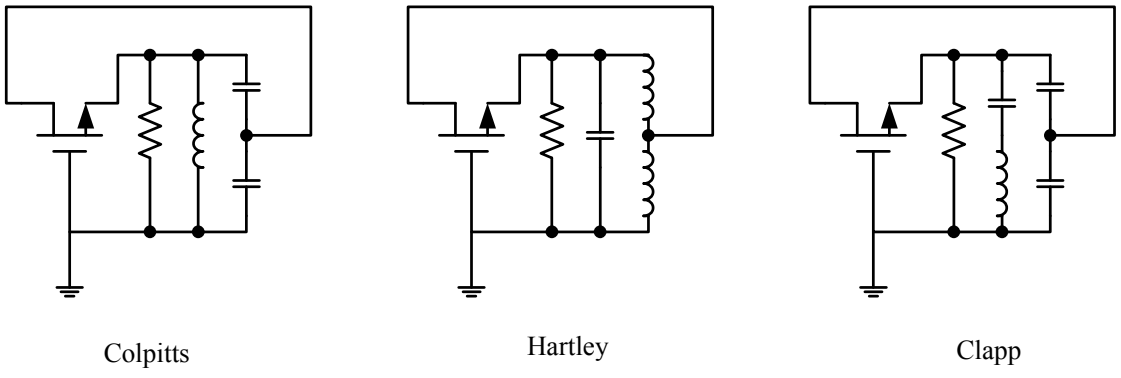


图 11-10 反馈型LC振荡器的三种典型拓扑结构

于谐振电路的构成方式上。在Colpitts振荡器中，反馈信号由晶体管漏端输出信号经电容分压后得到，并反馈到晶体管源极；在Hartley振荡器中，反馈信号由晶体管漏端输出信号经电感分压后得到；Clapp振荡器是用串联LC电路代替了在Colpitts振荡器中单独的电感，因此它本质上仍是一个Colpitts 振荡器，但该振荡器的电感上电压幅度不会受到电源电压和晶体管击穿电压的限制，因此可以提供更高的振荡幅度，从而提高振荡器的噪声性能和频谱纯度。

图11-10给出的三种振荡器都采用共栅晶体管结构，实际上，晶体管也可以采取共源结构或者共漏结构，这时反馈信号从晶体管漏端反馈到晶体管栅极或者从晶体管源极反馈到晶体管栅极，它们具有与图11-10所示的振荡器相同的特性，本处不再详述。

在这三种类型的振荡器中，Colpitts振荡器是最常应用的结构，因为它便于集成电路实现，而且具有很优越的噪声性能。下面我们就以Colpitts振荡器为例，来分析反馈型LC振荡器的振荡频率、振荡幅度以及起振条件等，Hartley振荡器和Clapp振荡器的分析方法类似，读者可以自行推导。图11-10中忽略了晶体管的偏置，图11-11给出了完整的Colpitts振荡器的电路图。 阻抗R_P代表谐振电路的损耗，与无源元件的

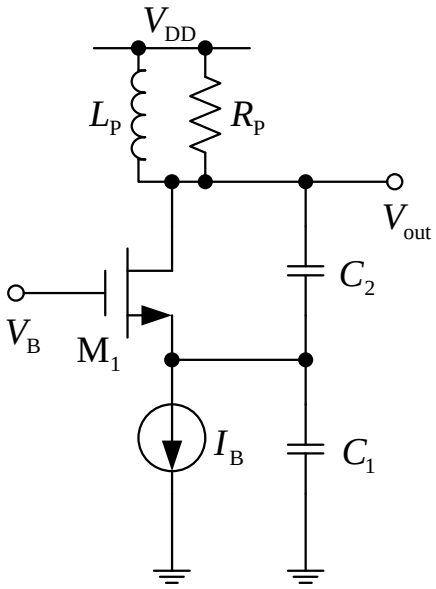


图 11-11 Colpitts振荡器的完整电路图

品质因子有关，电流源给晶体管提供偏置电流，实际实现时可以用一个电阻代替，晶体管栅极由偏置电压V_B控制。由于该振荡器采用了LC谐振电路来选择振荡频率，因此它的理想输出（幅度为V_{tank}）应是一个正弦波，该正弦波经电容分压后，得到幅度为V_1的正弦波，反馈到晶体管源极。

在Colpitts振荡器中，将晶体管用描述函数表示为电压控制电流源，可以得到如图11-12所示的等效电路图。 为了求出该振荡器的振荡条件，我们在晶体管源极（正反馈环路的输入端）加入一个电流源I_{in}，然

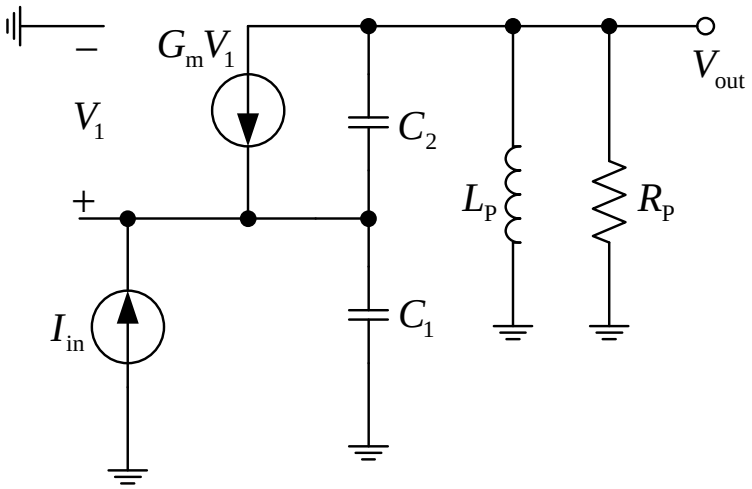


图 11-12 Colpitts振荡器的大信号等效电路(I_{in}为输入激励源)

后求该电路的闭环传输函数V_{out}/I_{in}，令该闭环传输函数的分母部分为0，可以求出该振荡器产生稳定振荡

输出所应满足的条件。

从图11-12可以看出，流过晶体管的电流$G_{\mathrm{m}}V_1$和流过电容C_2的电流之和等于流过电感L_{P}和电阻R_{P}的电流，因此流过电容C_1的电流为$I_{\mathrm{in}}-V_{\mathrm{out}}/(sL_{\mathrm{P}})-V_{\mathrm{out}}/R_{\mathrm{P}}$，因此

$$V_1=(I_{\mathrm{in}}-\frac{V_{\mathrm{out}}}{sL_{\mathrm{P}}}-\frac{V_{\mathrm{out}}}{R_{\mathrm{P}}})\frac{1}{sC_1} \tag{11-21}$$

流过电容C_2的电流为$(V_{\mathrm{out}}-V_1)sC_2$，在输出端应用KCL定律：

$$-G_{\mathrm{m}}(I_{\mathrm{in}}-\frac{V_{\mathrm{out}}}{sL_{\mathrm{P}}}-\frac{V_{\mathrm{out}}}{R_{\mathrm{P}}})\frac{1}{sC_1}+[V_{\mathrm{out}}-(I_{\mathrm{in}}-\frac{V_{\mathrm{out}}}{sL_{\mathrm{P}}}-\frac{V_{\mathrm{out}}}{R_{\mathrm{P}}})\frac{1}{sC_1}]sC_2+\frac{V_{\mathrm{out}}}{sL_{\mathrm{P}}}+\frac{V_{\mathrm{out}}}{R_{\mathrm{P}}}=0 \tag{11-22}$$

由上式可以求出该振荡器的闭环传输函数

$$\frac{V_{\mathrm{out}}}{I_{\mathrm{in}}}=\frac{sR_{\mathrm{P}}L_{\mathrm{P}}(G_{\mathrm{m}}+sC_2)}{R_{\mathrm{P}}C_1C_2L_{\mathrm{P}}s^3+(C_1+C_2)L_{\mathrm{P}}s^2+[G_{\mathrm{m}}L_{\mathrm{P}}+R_{\mathrm{P}}(C_1+C_2)]s+G_{\mathrm{m}}R_{\mathrm{P}}} \tag{11-23}$$

振荡器产生稳定振荡的条件为闭环传输函数的分母部分为0，令$s=\mathrm{j}\omega$，则振荡条件为：

$$-R_{\mathrm{P}}C_1C_2L_{\mathrm{P}}\omega^3+[G_{\mathrm{m}}L_{\mathrm{P}}+R_{\mathrm{P}}(C_1+C_2)]\omega=0 \tag{11-24}$$

$$-(C_1+C_2)L_{\mathrm{P}}\omega^2+G_{\mathrm{m}}R_{\mathrm{P}}=0 \tag{11-25}$$

在典型情况下，$G_{\mathrm{m}}L_{\mathrm{P}}\ll R_{\mathrm{P}}(C_1+C_2)$，因此

$$\omega=\frac{1}{\sqrt{L_{\mathrm{P}}\frac{C_1C_2}{C_1+C_2}}} \tag{11-26}$$

由上式可以求出该振荡器的振荡频率。

将式11-26代入式11-25，可以得到：

$$G_{\mathrm{m}}=\frac{(C_1+C_2)^2}{C_1C_2R_{\mathrm{P}}}=\frac{C_1}{C_2R_{\mathrm{P}}}(1+\frac{C_2}{C_1})^2 \tag{11-27}$$

上式给出了振荡器维持稳定振荡所应满足的条件，它决定了晶体管的大信号跨导值。为了确定晶体管尺寸，我们需要知道晶体管的小信号跨导g_{m}。虽然到此为止，小信号跨导与大信号跨导之间还没有确定的关系，但考虑仅在振荡幅度很高时，大信号跨导G_{m}才小于小信号跨导g_{m}，而随着振荡幅度的减小，大信号跨导开始接近小信号跨导，再考虑到一定的设计余量，晶体管的小信号跨导g_{m}通常被设计为上式确定值的5倍左右。在确定了晶体管的小信号跨导后，由偏置电流和MOS管的$I-V$方程就可以确定晶体管的尺寸和过驱动电压。

由式11-27可知，当$C_1/C_2=1$时，$G_{\mathrm{m}}R_{\mathrm{P}}$达到最小值：

$$G_{\mathrm{m}}R_{\mathrm{P}}\geq 4 \tag{11-28}$$

在后面我们会看到，负阻LC振荡器维持稳定振荡仅要求$G_{\mathrm{m}}R_{\mathrm{P}}\geq 1$，因此Colpitts振荡器要求晶体管提供更大的跨导值，需要消耗更大的电流和更宽的晶体管尺寸，噪声性能也会更差，这是反馈型LC振荡器的缺点。特别是对于CMOS集成电路实现来说，电感的品质因子都不高，因此R_{P}都较小，对晶体管的跨导要求就会更高，因此反馈型LC振荡器与负阻振荡器相比，更不适合射频电路应用。

将晶体管的描述函数代入式11-27中，可以得到振荡器稳定振荡时：

$$V_1=2I_{\mathrm{BIAS}}R_{\mathrm{P}}\frac{C_1C_2}{(C_1+C_2)^2} \tag{11-29}$$

由于$V_1=V_{\mathrm{out}}\frac{C_2}{C_1+C_2}$，因此Colpitts振荡器的振荡幅度为：

$$V_{\mathrm{out}}=2I_{\mathrm{BIAS}}R_{\mathrm{P}}\frac{C_1}{C_1+C_2} \tag{11-30}$$

Colpitts振荡器的振荡幅度与偏置电流I_{BIAS}和负载阻抗R_{P}成正比，并与两个电容的比值有关。通常，R_{P}由电感的品质因子决定，因此调节I_{BIAS}是调节Colpitts 振荡器振荡幅度的主要办法。

上面的分析忽略了晶体管的各种寄生电容和输出阻抗的影响。晶体管的栅漏电容和漏体电容与电感并联，只要将原电感阻抗由sL_{P}改由$sL_{\mathrm{P}}\|(1/sC_{\mathrm{P}})$就可以了，其中$C_{\mathrm{P}}$是晶体管的栅漏电容和漏体电容之和，这两个寄生电容会改变振荡器的振荡频率。而栅源电容和源体电容与电容C_1并联，可以直接计入C_1的大小中。这是一种简化的处理。实际上，晶体管的寄生电容大小与晶体管的工作状态有关，是高度非线性的电容，会给振荡波形引入失真。至于晶体管输出阻抗，可以将输出阻抗和R_{P}并联来计入它的影响，考虑到短沟道器件的Early电压很低，输出阻抗比较小，晶体管的输出阻抗对振荡器的性能可能产生很大影响。

§11.4 负阻*LC*振荡器

负阻*LC*振荡器是把一个呈现负阻特性的有源器件（或电路）直接与*LC*谐振回路相接，以产生等幅振荡。本节我们首先介绍负阻的概念，然后讨论负阻振荡原理，接着介绍负阻振荡器电路，最后介绍*LC*负阻振荡器的频率调谐。

§11.4.1 负阻的概念

参阅图11-13（a），设流过电阻R的电流I与端电压V的关系如（b）所示，即当电流I增加ΔI时，端电压V亦随之增加ΔV，则这$I-V$曲线的斜率倒数$\Delta V/\Delta I$为正，亦即R呈正电阻性，该电阻从外界吸收能量，并转化为热损耗。

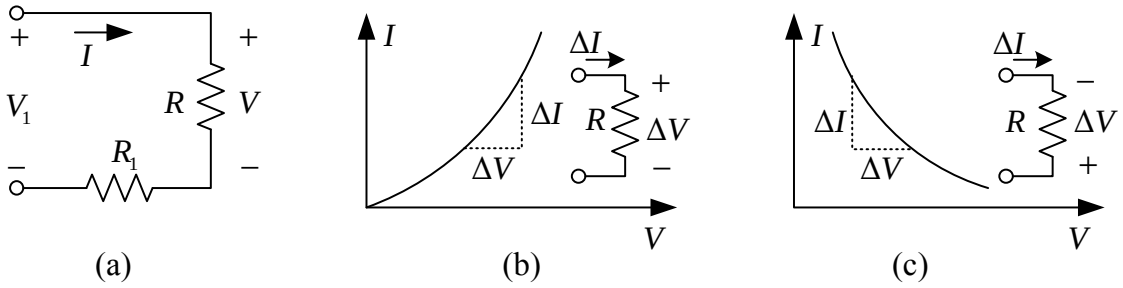


图 11-13 正、负电阻的概念

如果电流I与电压V的关系曲线如图（c）所示。则当电压减小ΔV时，流过R的电流反而增大ΔI，亦即这曲线的斜率倒数$\Delta V/\Delta I$为负，R呈负电阻性，该电阻不但不消耗能量，反而向外界输出能量，相当于一个功率源作用。

由此可见，正电阻消耗功率，负电阻产生功率。但应注意，以上所说的正电阻与负电阻都必须是对交流来说，才有意义。同时应说明，负电阻所提供的能量是从某种能量转换而来的，负电阻本身并不能产生能量。在图11-13（c）所示的器件特性曲线中，其直流静态电阻V/I永远为正值，所以它从直流电源中吸取直流能量，该直流能量为进行能量转换的负阻提供了能量来源。

§11.4.2 负阻振荡原理

参阅图11-14，$-r_{\mathrm{n}}$是一个负阻，*LRC*为谐振回路，R是电感的串联寄生阻抗。由图可知：

$$i_1 = i_2 + i_3 \tag{11-31}$$

$$L\frac{\mathrm{d}i_2}{\mathrm{d}t} + Ri_2 - i_1 r_{\mathrm{n}} = 0 \tag{11-32}$$

$$L\frac{\mathrm{d}i_2}{\mathrm{d}t} + Ri_2 - \frac{1}{C}\int i_3 \mathrm{d}t = 0 \tag{11-33}$$

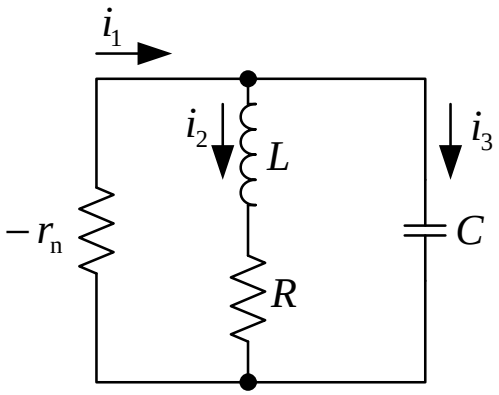


图 11-14 负阻振荡电路

将式11-33微分，然后代入式11-32，并利用式11-31的关系，可以得到：

$$\frac{\mathrm{d}^2 i_2}{\mathrm{d}t^2}+(\frac{L-RCr_n}{-RCr_n})\frac{\mathrm{d}i_2}{\mathrm{d}t}+(\frac{R-r_n}{-r_nLC})i_2=0 \tag{11-34}$$

令$\frac{RCr_n-L}{RCr_n}=2\delta$、$\frac{r_n-R}{r_nLC}=\omega_0^2$，则方程11-34化简为：

$$\frac{\mathrm{d}^2 i_2}{\mathrm{d}t^2}+2\delta\frac{\mathrm{d}i_2}{\mathrm{d}t}+\omega_0^2 i_2=0 \tag{11-35}$$

它是一个线性微分方程，解此方程，并代入初始条件：$t=0$时，$i_2=0$、$L(\frac{\mathrm{d}i_2}{\mathrm{d}t})_{t=0}=V$，得到它的解为：

$$i_2=\frac{-V}{2L\sqrt{\delta^2-\omega_0^2}}\mathrm{e}^{-\delta t}(\mathrm{e}^{\sqrt{\delta^2-\omega^2}t}-\mathrm{e}^{-\sqrt{\delta^2-\omega^2}t}) \tag{11-36}$$

式11-36可以分为以下三种情况：

1）$\delta^2>\omega_0^2$（$r_n+R_P>\frac{2r_n}{\sqrt{LC}}$，其中$R_P=\frac{L}{RC}$是$LRC$回路的等效并联阻抗），式11-36可以写成

$$i_2=\frac{-V}{L\sqrt{\delta^2-\omega^2}}\mathrm{e}^{-\delta t}\mathrm{sh}(\sqrt{\delta^2-\omega_0^2}t) \tag{11-37}$$

其中，sh表示双曲正弦函数。

由此可以得到电流随时间变化的曲线如图11-15所示。由图可知，此时不能产生振荡。此种情形称为过阻尼。也就是说，R_P太小，无法产生振荡。

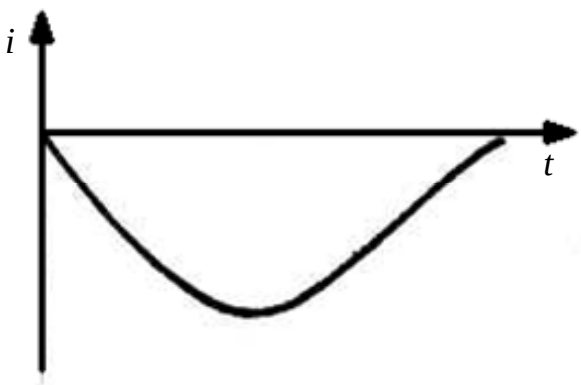


图 11-15 $\delta^2>\omega_0^2$时的电流变化曲线

2）$\delta^2=\omega_0^2$（$r_\mathrm{n}+R_\mathrm{P}=\frac{2r_\mathrm{n}}{\sqrt{LC}}$），式11-36可以写成

$$i_2=\frac{-V}{L}t\mathrm{e}^{-\delta t} \tag{11-38}$$

由此可以得到电流随时间变化的曲线如图11-16所示。由图可知，此时仍然不能产生振荡。此种情形称为临界阻尼，只要R_P再增加一点，即产生下面所讨论的振荡情形。

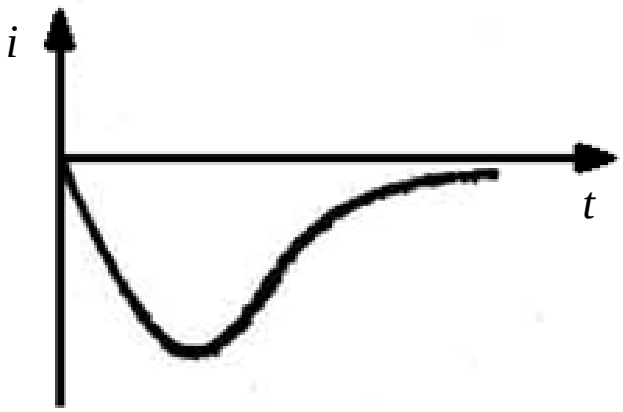


图 11-16 $\delta^2=\omega_0^2$时的电流变化曲线

3）$\delta^2<\omega_0^2$（$r_\mathrm{n}+R_\mathrm{P}<\frac{2r_\mathrm{n}}{\sqrt{LC}}$），此时$\sqrt{\delta^2-\omega_0^2}$成为虚数，令

$$\mathrm{j}\omega=\sqrt{\delta^2-\omega_0^2} \tag{11-39}$$

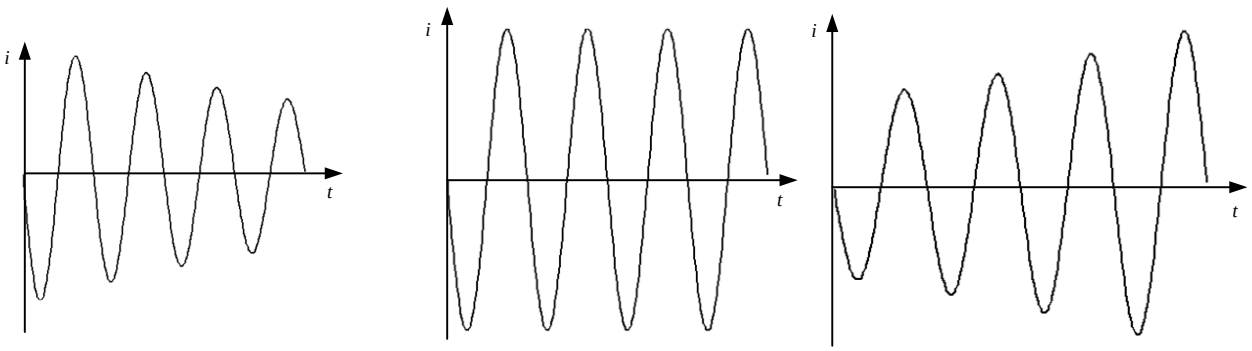
则式11-36可以写成

$$i_2=\frac{-V}{\omega L}\mathrm{e}^{-\delta t}\sin(\omega t) \tag{11-40}$$

此时回路中的电流作周期性变化，亦即产生了自由振荡，它的振荡频率为：

$$f=\frac{\omega}{2\pi}=\frac{1}{2\pi}\sqrt{\delta^2-\omega_0^2}=\frac{1}{2\pi}\sqrt{\frac{1}{LC}-\frac{(r_\mathrm{n}+R_\mathrm{P})^2}{4r_\mathrm{n}^2}} \tag{11-41}$$

当$\delta=\frac{RCr_\mathrm{n}-L}{2RCr_\mathrm{n}}>0$，即$r_\mathrm{n}>\frac{L}{RC}=R_\mathrm{P}$时，式11-40是一个衰减振荡信号，如图11-17(a)所示。



(a) $\delta>0(R>0,R<2\sqrt{\frac{L}{C}})$ 衰减振荡　　(b) $\delta=0(R=0)$ 等幅振荡　　(c) $\delta<0(R<0)$ 增幅振荡

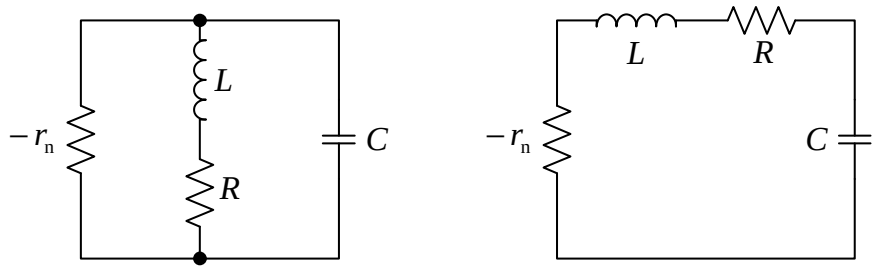
图 11-17 $\delta^2<\omega_0^2$时的电流变化曲线

当$\delta=\frac{RCr_\mathrm{n}-L}{2RCr_\mathrm{n}}=0$，即$r_\mathrm{n}=\frac{L}{RC}=R_\mathrm{P}$时，式11-40是一个等幅振荡信号，如图11-17(b)所示。

当$\delta=\frac{RCr_{\mathrm{n}}-L}{2RCr_{\mathrm{n}}}<0$，即$r_{\mathrm{n}}<\frac{L}{RC}=R_{\mathrm{P}}$时，式11-40是一个增长振荡信号，如图11-17(c)所示。

因此为了产生振荡，负阻r_{n}的阻值必须小于等于LRC回路的等效并联阻抗R_{P}。当它们阻值相等时，电路产生等幅的振荡信号，能量在电感和电容之间互相转换，而回路损耗所消耗的能量由负阻提供。当r_{n}的阻值小于R_{P}时，负阻提供的能量大于LRC回路消耗的能量，振荡信号幅度逐渐增加。当负阻由有源器件（电路）来实现时，有源器件（电路）本身固有的非线性会限制振荡信号幅度不能无限制增长，最终振荡信号会稳定在某一个固定的振荡幅度上。

负阻振荡电路有两种基本类型，即串联型负阻振荡器电路和并联型负阻振荡器电路，如图11-18所示。



并联型负阻振荡器电路　　串联型负阻振荡器电路

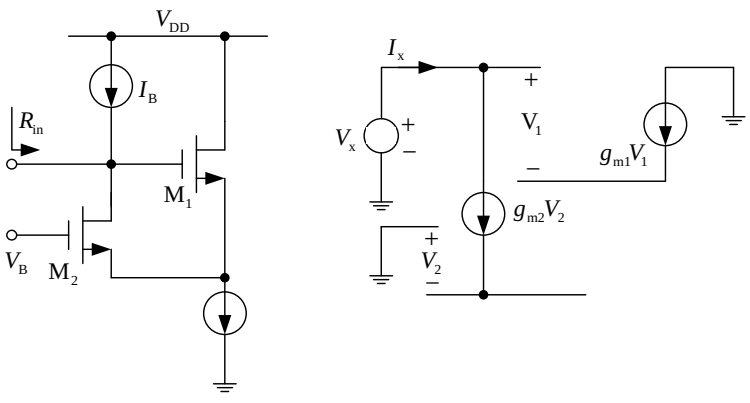
图 11-18 负阻振荡器原理电路

在CMOS集成电路实现中，一般的负阻振荡器都是并联型负阻振荡器，但采用双基极二极管（单结晶体管）、工作于雪崩击穿区的双极型晶体管作为负阻器件的负阻振荡器都是串联型负阻振荡器电路。

§11.4.3 负阻振荡器电路

虽然某一些特殊的器件具有负阻特性（如隧道二极管、上面提到的双基极二极管（单结晶体管）、工作于雪崩击穿区的双极型晶体管等），但它们都与标准CMOS工艺不兼容。为了采用标准CMOS工艺来实现负阻振荡器，首先要实现一个具有负阻特性的电路，这种电路通常是利用正反馈来实现的。我们知道，反馈环路会改变输入、输出阻抗值，根据反馈方式的不同，整个反馈系统的输入、输出阻抗等于原开环系统的输入、输出阻抗乘以或除以$1-T(\omega)$，其中，$T(\omega)$是环路增益。因此，只要环路增益大于1（即电路提供足够的正反馈），就可以实现负的输入或者输出阻抗。

图11-19(a)给出了一个单端负阻电路。 它在源极跟随器的基础上增加了一个正反馈电路（由共栅晶



(a)　　(b)

图 11-19 单端负阻电路

体管M_2和偏置电流I_{B}构成），它的小信号等效电路如图(b)所示。如果忽略沟道长度调制效应和体效应，则：

$$I_{\mathrm{x}}=g_{\mathrm{m2}}V_2=-g_{\mathrm{m1}}V_1 \tag{11-42}$$

$$V_{\mathrm{x}} = V_1 - V_2 = -\frac{I_{\mathrm{x}}}{g_{\mathrm{m1}}} - \frac{I_{\mathrm{x}}}{g_{\mathrm{m2}}} \tag{11-43}$$

因此

$$\frac{V_{\mathrm{x}}}{I_{\mathrm{x}}} = -(\frac{1}{g_{\mathrm{m1}}} + \frac{1}{g_{\mathrm{m2}}}) \tag{11-44}$$

如果$g_{\mathrm{m1}} = g_{\mathrm{m2}} = g_{\mathrm{m}}$，那么：

$$\frac{V_{\mathrm{x}}}{I_{\mathrm{x}}} = \frac{-2}{g_{\mathrm{m}}} \tag{11-45}$$

上式说明，当输入电压增加的时候，M_1的源极电压也增加，从而降低了M_2的漏极电流，导致偏置电流I_{B}中有一部分电流流向输入信号源，输入信号源的输出电流减小，即实现了一个负阻功能。

由这个负阻电路构成的LC振荡器如图11-20所示。 $R_{\mathrm{P}} = \omega L/Q$是$LC$谐振回路的等效并联阻抗，电

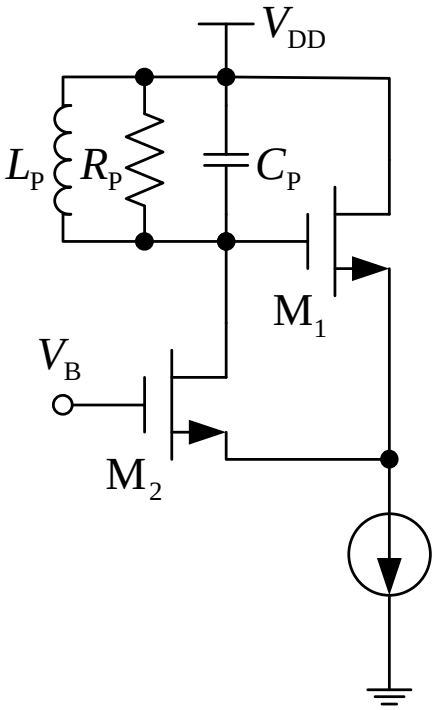


图 11-20 单端负阻LC振荡器

感L_{P}给晶体管M_2提供偏置电流，因此不再需要偏置电流源I_{B}。为了保证振荡，要求$R_{\mathrm{P}} - 2/g_{\mathrm{m}} \geq 0$。如果电路的负阻阻抗绝对值小于$R_{\mathrm{P}}$，说明负阻提供的交流能量还大于谐振回路的损耗，因此振荡信号幅度会逐渐增加。当增加到一定程度时，晶体管M_1、M_2在一个周期的某一部分时间内会近似截止，使得负阻的平均阻抗绝对值等于R_{P}，负阻提供的交流能量恰好补充谐振回路的损耗，振荡信号幅度稳定下来。为了保证起振，并考虑到设计余量，一般将晶体管跨导g_{m}取为$1/R_{\mathrm{P}}$的五倍到六倍之间，即设计余量因子约为2.5～3。

图11-21给出了一个差分负阻电路。 它是一个MOS互耦对，电流源I_{SS}给它提供偏置。根据小信号等效电路，容易证明，该电路的小信号等效输入阻抗为一个负阻，阻值为$-g_{\mathrm{m}}/2$，其中$g_{\mathrm{m}} = g_{\mathrm{m1}} = g_{\mathrm{m2}}$是晶体管$\mathrm{M}_1$、$\mathrm{M}_2$的小信号跨导。这种负阻电路可以提供差分操作，是CMOS集成LC振荡器最常采用的拓扑结构。由它构成的振荡器有如图11-22所示的四种结构。 （a）图采用NMOS互耦对来提供负阻，偏置电流注入互耦对的共源端；（b）图也采用NMOS互耦对，但互耦对的共源端接地，偏置电流从两电感的连接点（它是一个共模点）注入；（c）图采用自偏置的NMOS互耦对来提供负阻，偏置电流源被省略，这种电路中流过互耦对的电流（决定了振荡信号幅度）会受到电源电压的影响。（a）、（b）（c）中都采用了单MOS管类型的互耦对，图中的NMOS管互耦对也可以换为PMOS管互耦对，将整个电路互补就可以

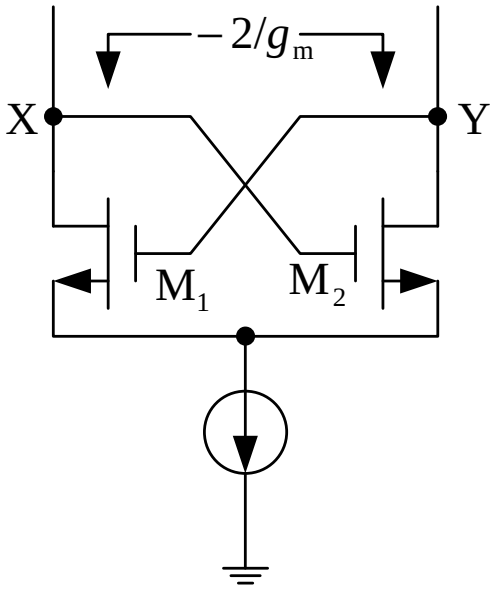


图 11-21 差分负阻电路

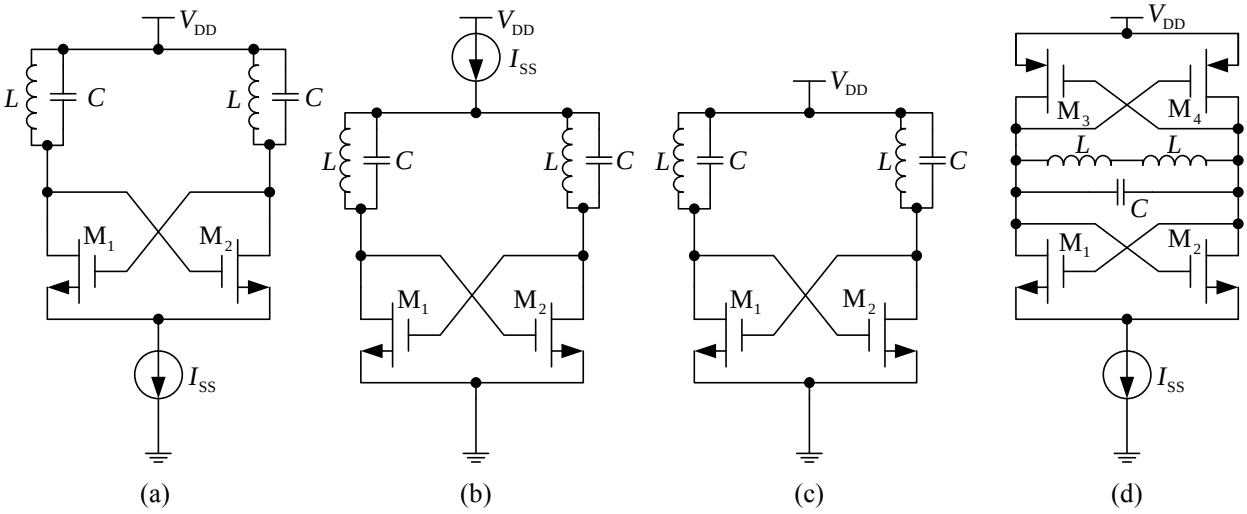


图 11-22 差分负阻*LC*振荡器

了，但考虑到NMOS管的射频性能一般优于PMOS管，因此一般都采用NMOS管类型的互耦对；（d）同时采用了PMOS管互耦对和NMOS管互耦对，它的负阻为$-(g_{mn}+g_{mp})/2$，可以提供更大的负阻值，并提供全差分操作，一般将g_{mn}设计为与g_{mp}相等，由于两个电感直接串联，因此可以采用一个对称型电感来代替图中的两个电感，对称型电感具有更高的品质因子，而且可以节省一个电感的芯片面积，这是（d）相对于其它拓扑结构的优点。为了保证振荡，要求谐振回路并联阻抗与有源电路负阻之和小于等于0，对于（a）、（b）、（c），即$2R_P-2/g_m\geq 0$，对于（d），即$2R_P-2/(g_{mn}+g_{mp})\geq 0$。如果有源电路的负阻阻抗绝对值小于$R_P$，说明负阻提供的交流能量还大于谐振回路的损耗，因此振荡信号幅度会逐渐增加。当增加到一定程度时，互耦对中的晶体管在一个周期的某一部分时间内会近似截止，使得负阻的平均阻抗绝对值等于R_P，负阻提供的能量恰好补充谐振回路的能量损失，振荡信号幅度会稳定下来。为了保证起振，并考虑到设计余量，一般会将设计余量因子取为约2.5-3之间，即对于（a）、（b）和(c)，g_m约为$1/R_P$的2.5～3倍，对于（d），$g_{mn}=g_{mp}$约为$1/R_P$的1.25～1.5倍。

当振荡信号幅度足够高时，互耦对将处于非线性工作状态，在半个周期内，某一个晶体管近似导通所有的偏置电流，另一个晶体管处于截止状态，而在另半个周期内，两个晶体管导通电流的状态互换，即互耦对晶体管工作于开关状态。对于图11-22所示的振荡器电路来说，流过*LC*谐振回路的电流是幅度为I_{SS}的

周期性方波信号（对（c）图来说，I_{SS}为直流时流过互耦对两晶体管的电流之和），LC谐振回路对此方波信号进行滤波，仅允许基频（振荡频率）成分通过。由方波信号的傅立叶变换，可以得到LC谐振回路上的差分振荡信号幅度为：

$$V_O = \frac{4I_{SS}R_P}{\pi} = \frac{4I_{SS}\omega L}{Q\pi} \tag{11-46}$$

因此，振荡信号幅度与偏置电流（功耗）和LC谐振回路的电感量呈正比，而与谐振回路的品质因子呈反比。

但在高频下，由于晶体管存在导通时间延迟，因此流过LC谐振回路的电流更近似于一个正弦型波形，在这种情况下，差分振荡信号幅度为：

$$V_O = I_{SS}R_P = \frac{I_{SS}\omega L}{Q} \tag{11-47}$$

以上是从负阻的观点来看负阻型振荡器，也可以从正反馈的观点来分析这些负阻振荡器。为了说明这一点，我们来分析图11-22(a) 所示的振荡器电路。它可以改画为如图11-23所示电路。 这是一个两级延迟单

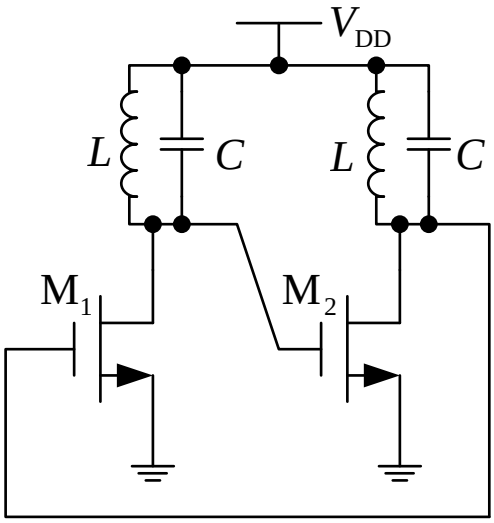


图 11-23 负阻振荡器的正反馈分析

元，每一级都是采用LC并联谐振电路作负载的共源放大器。LC并联谐振回路的阻抗幅频响应曲线和阻抗相频响应曲线如图11-24所示。 在谐振频率处，阻抗幅度达到最大值，随着频率的偏移，阻抗幅度逐渐下降，而且在谐振频率处，阻抗相移为0，随着频率的偏移，相移的绝对值逐渐增加。在直流时，图11-23所示的每一级延迟单元的相移为270°（晶体管提供180°的直流相移，LC谐振回路提供90°的交流相移），因此电路环路增益相移为180°，不满足Barkhausen相位判据，而且此时谐振回路阻抗很低，环路增益幅度也很低，不满足Barkhausen幅度判据，因此直流状态不能产生振荡（锁定）。考虑到环路中两个晶体管提供的直流相移为360°，因此振荡时每个谐振回路提供的相移仅能为0°，很明显，只有在LC谐振回路的谐振点才能满足Barkhausen相位判据。如果在此频率处，LC谐振回路可以提供很高的阻抗，环路增益大于等于1，满足Barkhausen幅度判据，那么该振荡器就可以产生稳定的振荡信号。考虑到LC谐振回路谐振时的阻抗为R_P，因此要求$g_m R_P \geq 1$，即$g_m \geq 1/R_P$，同采用负阻分析法得到的结果是一样的。

从原理上来说，负阻也是一种正反馈，因此负阻分析法和正反馈分析法是等效的，但负阻分析法比较简单直接，便于分析，在实际中常采用负阻分析法来分析负阻型振荡器。

§11.4.4 频率调谐

许多应用要求振荡器是可调谐的，即它们的振荡频率是一个控制输入信号（通常是电压信号）的函数，如图11-25所示。 理想的电压控制振荡器（VCO）的振荡频率是它的控制电压的线性函数：

$$\omega_{out} = \omega_0 + K_{VCO}V_{cont} \tag{11-48}$$

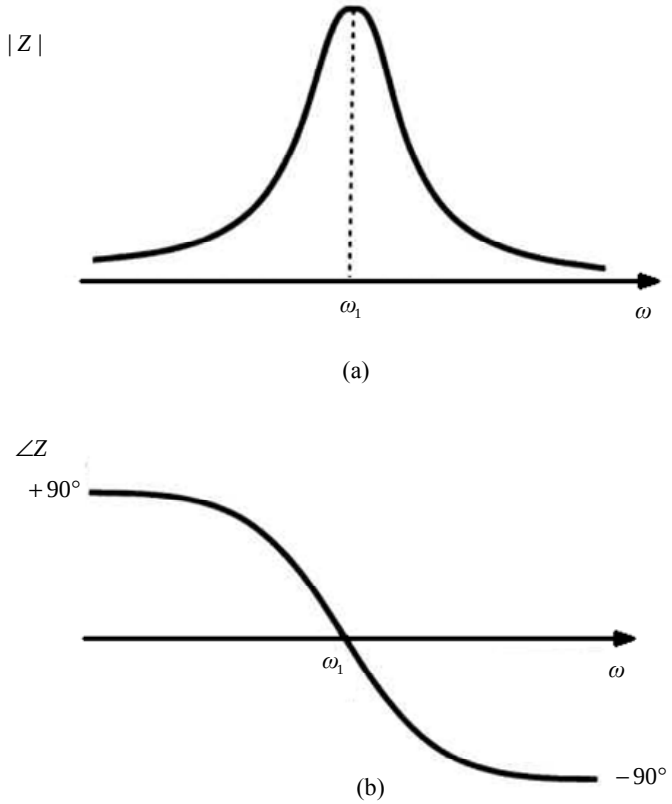


图 11-24 *LC*谐振回路的幅频响应曲线和相频响应曲线

其中，ω_0是相应于控制电压V_{cont} = 0时的振荡频率，K_{VCO}是VCO的增益或灵敏度，单位为rad/s/V，VCO的输出频率范围称为它的调谐范围。调谐范围通常由两个因素决定：一个是应用要求的频率范围，另一个是工艺和温度变化对VCO频率的影响。在决定VCO的调谐范围时，应综合考虑这两方面的因素，使得在各种温度和工艺变化的情况下，VCO的输出频率范围仍然覆盖应用要求的频率范围。K_{VCO}是衡量VCO很重要的一个参数，在一定的工艺条件下，V_{cont}的取值范围是一定的（例如从0到V_{DD}），因此K_{VCO}高，振荡器的调谐范围就越宽。随着CMOS工艺技术的发展，电源电压下降，控制电压的取值范围也下降，导致对K_{VCO}的要求也越来越高。但K_{VCO}很高时，控制线上微小的电压扰动（如噪声、耦合干扰等）都会引起振荡器输出频率很大的变化，因此从减小噪声影响的角度考虑，VCO的K_{VCO}应该取尽可能低的值；减弱控制线噪声影响的另一种办法是采用差分调谐方式，控制线采用差分结构，振荡器的振荡频率由一个差分信号进行控制，这种办法可以抑制共模噪声干扰，但在某些振荡器中，这种调谐方式并不适用。调谐范围与噪声影响是振荡器设计中可以折衷考虑的因素，在设计时应根据应用要求合理折衷。同时K_{VCO}的线性度也是很重要的一个参数，当VCO应用于锁相环中时，它会影响环路的瞬态特性（如建立时间等）。实际的振荡器通常在控制电压取中间值时具有最大的K_{VCO}，而在控制电压的两端，K_{VCO}较小，如图11-26所示。因此在控制电压取中间值时，高K_{VCO}使得振荡器的输出频率对控制线上的噪声极度敏感。

对于*LC*振荡器来说，振荡频率为*LC*回路的谐振频率，$f_{\text{osc}} = 1/(2\pi\sqrt{LC})$，因此改变谐振回路中的电感值和电容值是实现频率调谐功能的唯一办法，考虑到在集成电路中改变电感值很困难，因此实现*LC*振荡器频率调谐的办法是改变谐振回路的电容值。这是借助于容抗管来实现的，它的电容量会随着电压的变化而变化。常用的容抗管包括反向pn结、反型区MOS管和积累区MOS管（MOS容抗管）（见第五章）。

采用反向pn结作调谐元件的一种*LC*电压控制振荡器如图11-27所示。V_{cont}是控制电压，pn结一端是正弦型振荡信号，因此pn结的结电容会随着时间的变化而呈现正弦型变化，但它的平均结电容仍仅是控制电压V_{cont}的函数。反向pn结的调谐范围较小，但具有较高的品质因子，而且结电容随控制电压的变化是很平缓的，VCO的增益具有比较高的线性度。为了避免pn结正偏，pn结的正向压降必须小于它的导通电压，

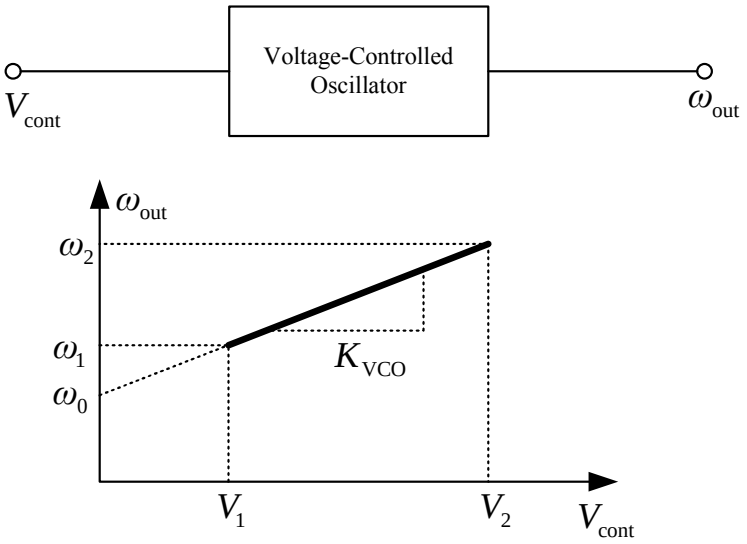


图 11-25 电压控制振荡器的概念

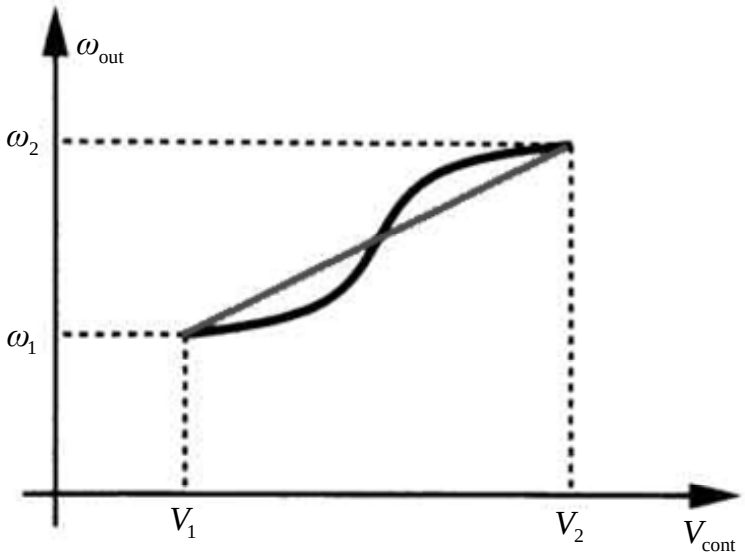


图 11-26 VCO频率调谐的线性度

即$0 < V_{cont} < V_{DD} - A + V_{on}$，其中A是振荡信号幅度，$V_{on}$是pn结导通电压，否则pn结导通会引入很大的损耗，恶化噪声性能，这就限制了振荡信号摆幅或者控制电压范围。

采用MOS容抗管作调谐元件的振荡器如图11-28（a）所示。 MOS容抗管的源、漏和体端接在一起，由控制电压V_{cont}控制，另一端接到X、Y节点上。MOS容抗管具有比较大的调谐范围，但通常电容量在一个很窄的控制电压范围内发生很大的变化，而在其它控制电压范围内电容量变化较小，因此，使用MOS容抗管作调谐元件的VCO的增益是高度非线性的，而且与反向工作的pn结相比，MOS容抗管的品质因子较低。如果$0 < V_{cont} < V_{DD}$，则容抗管所承受的平均电压是一个大于0的值，而MOS容抗管在0电压差附近电容量的变化最剧烈（见第五章），而图11-28（a）所示电路仅利用了容抗管的正电压差调谐能力，负电压差调谐能力被忽略了。为了充分利用MOS容抗管的频率调谐能力，可以采用交流耦合调谐方式，如图11-28（b）所示。容抗管通过一个交流耦合电容C_{C1}连接到X、Y节点，可以独立的选择容抗管栅极的直流电平。偏置电压（一般为$V_{DD}/2$）通过一个大电阻R_1、R_2加到容抗管栅极，这样，MOS容抗管的电容量变化最剧烈区域都在控制电压范围内，扩大了振荡器的调谐范围。

采用容抗管作为频率调谐元件最大仅能达到20%左右的频率调谐范围，在某些应用中，该频率调谐范

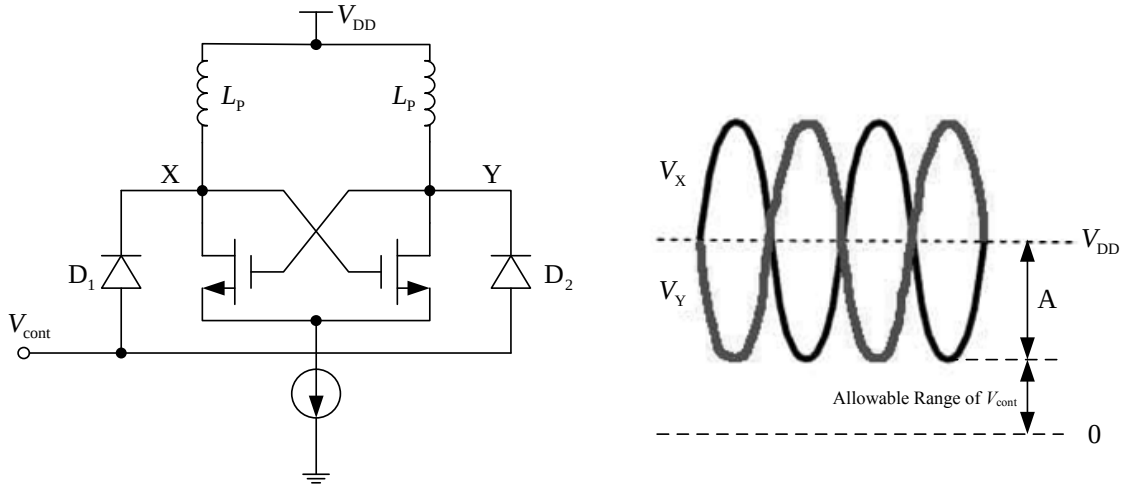


图 11-27 反向pn结作调谐元件的LC电压控制振荡器

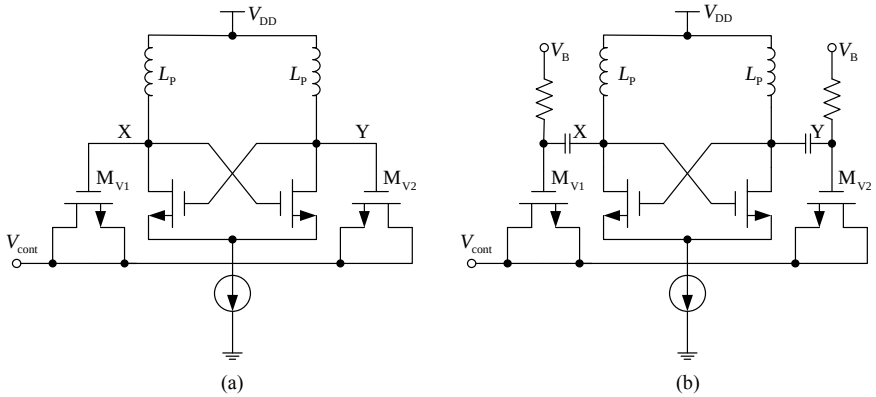


图 11-28 MOS容抗管作调谐元件的LC电压控制振荡器

围可能是不够的；而且频率调谐范围太宽，在控制电压取值范围一定时，VCO的增益会很高，使得VCO对控制线上的干扰非常敏感。随着电源电压的降低，这个问题会更加严重。为了解决这个问题，人们提出了数字调谐技术。如图11-29 （a）所示。 数字信号控制的NMOS管作为一个开关，与单位面积的电容串联。当数字信号为高时，串联的电容增加到LC谐振回路中，而数字信号为低时，串联的电容对LC谐振回路没有影响，因此数字信号控制的开关和电容组合可以实现分立的频率变化，实现频率的粗调谐，而频率的精细变化是由电容量可以连续变化的容抗管来实现的。振荡器的调谐曲线如图11-29（b）所示。从图中可以看出，将数字调谐技术和模拟调谐技术结合，可以实现很宽的频率调谐范围。为了减小数字控制信号的位数，可以采用二进制加权的电容阵列，需要注意的是，NMOS开关的尺寸也应同步增加，这样N位数字信号就可以实现2^N的分立频率变化。

采用数字调谐技术，存在以下的几个问题：第一，在导通时，NMOS开关存在一个导通电阻R_{on}，因此它控制的电容的Q值为$(R_{on}C\omega)^{-1}$，会降低谐振回路的品质因子，这可以通过增加开关管的尺寸来解决，但开关管尺寸增加，它的漏极结电容和栅漏电容$C_{DB}+C_{GD}$也会增加，开关断开时，这个寄生电容与电容阵列电容串联，使得该开关电容支路对LC谐振回路的电容量贡献为$C(C_{DB}+C_{GD})/(C+C_{DB}+C_{GD})$，而不是为0，因此降低了数字频率调谐的效果，晶体管尺寸的选择，必须在开关管导通电阻（影响谐振回路的Q值）和寄生电容（影响调谐能力）之间进行折衷考虑；第二，如果容抗管的频率调谐能力小于分立的频率变化量，那么整个频率带上可能存在盲区，即无论取何种数字控制信号和模拟控制电压的组合，某一些振荡频率始终无法得到，如图11-30所示， 因此数字控制信号引起的分立频率变化必须小于容抗管的频率调谐范围；第三，当采用这种调谐技术的VCO应用于锁相环中时，一旦容抗管提供的频率调谐能力无法满足要求，就要使用分立数字调谐，先让数字控制信号发生变化，然后依靠锁相环的动态特性来调整容

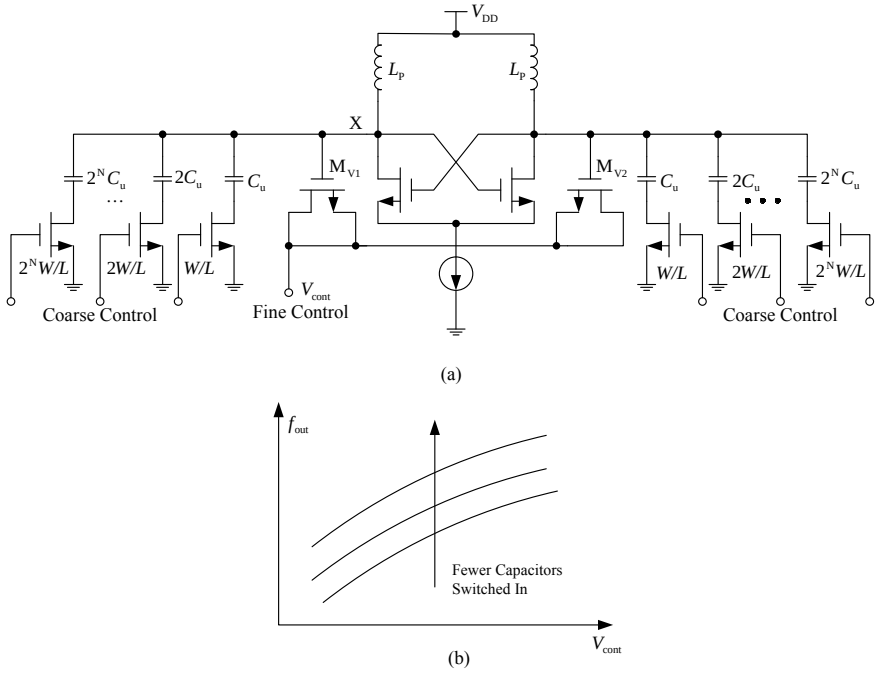


图 11-29 数字调谐技术

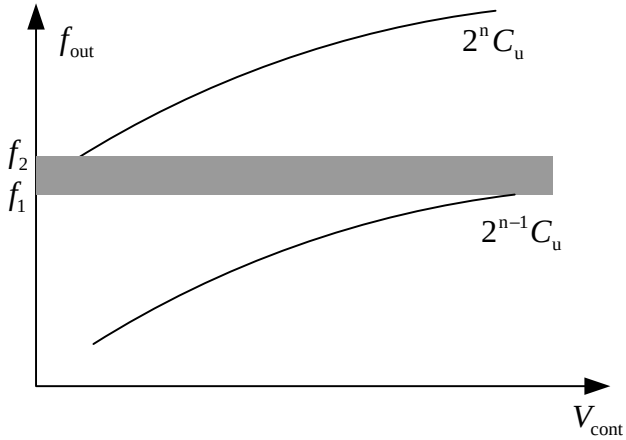


图 11-30 数字调谐技术可能存在盲区

抗管的控制信号，达到锁定，因此与单纯使用模拟调谐技术的VCO相比，在锁相环中使用数字调谐技术的VCO需要更长的锁定时间。

§11.4.5 设计过程

我们以设计一个图11-22(a)所示的LC负阻振荡器为例，来说明这类振荡器的设计过程，这是一个比较简单的设计过程，在后面我们还将介绍另一种针对相位噪声进行优化的设计过程。该设计过程首先从电路允许的功耗开始，I_{SS} 取值受到限制。如果振荡器要求振荡信号幅度不小于V_{min}，则由$I_{SS}R_P = V_{min}$可得到

$$L_P = \frac{R_P}{Q\omega} = \frac{V_{min}}{I_{SS}Q\omega} \tag{11-49}$$

上式假设了谐振回路的品质因子主要由电感的品质因子决定（通常情况下都是这样的）。因此知道了电感的品质因子就可以求出要求的电感量。在现代集成电路工艺中，不同电感量的电感的品质因子是近似相同的，因此可以用式11-49来确定需要的电感量。

下面我们来决定M_1、M_2的尺寸，M_1、M_2的沟道长度对热噪声的影响有限，而增加沟道长度（导致栅面积增加）会降低它们的$1/f$噪声，但会引起节点寄生电容增加，降低振荡器的调谐能力。因此通

常M_1、M_2的沟道长度都在工艺允许的最小沟道长度附近取值。为了决定M_1、M_2的沟道宽度，可以利用互耦对的等效负阻与R_P之间的关系，假设设计余量因子为α（2.5～3），则M_1、M_2在静态时的小信号跨导g_m应等于α/R_P，而静态时流过M_1、M_2的电流均为$I_{SS}/2$，由此可以决定M_1、M_2的沟道宽度。

接下来我们需要决定容抗管。在电容量已知的情况下，在节点X和Y的总电容应满足$C_{tot} = (L_P\omega^2)^{-1}$，该电容量中包括了以下几个固定电容的贡献：（1）电感L_P的寄生电容C_{LP}；（2）晶体管M_1、M_2的漏极结电容、栅源电容和栅漏电容，由于栅漏电容经历的电压摆幅为$2V_{min}$，因Miller效应，它对节点X、Y电容量的贡献为$4C_{GD}$，晶体管寄生电容对节点X、Y电容量的贡献为$C_{DB} + C_{GS} + 4C_{GD}$；（3）振荡器的下一级（通常为缓冲器）的输入电容$C_L$。因此容抗管的电容量应为：

$$C_{var} = (L_P\omega^2)^{-1} - C_{LP} - C_{DB} - C_{GS} - 4C_{GD} - C_L \tag{11-50}$$

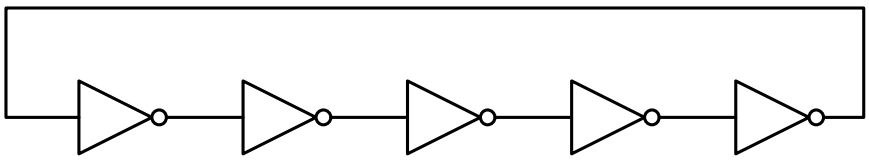
由应用决定的频率调谐范围再考虑一定的设计余量后决定振荡器所要达到的最高振荡频率f_{max}和最低振荡频率f_{min}，代入上式后就可以决定容抗管的电容量变化范围，从而决定容抗管的尺寸。

最后要决定偏置电流源I_{SS}的尺寸，它的尺寸与它的过驱动电压有关系。过驱动电压越低，晶体管尺寸越大，但振荡信号幅度可以更高；过驱动电压越高，晶体管尺寸越小，但振荡信号幅度会受到限制。从噪声优化的角度考虑，一般将电流源I_{SS}偏置于临界饱和点附近。

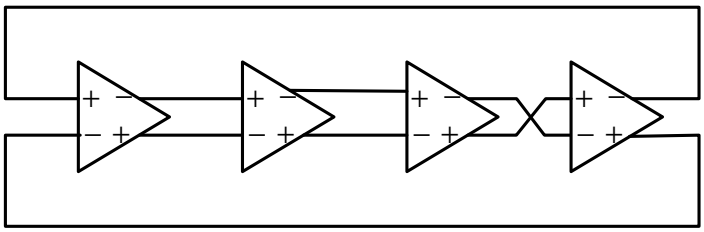
§11.5 环型振荡器

环型振荡器可以采用纯数字CMOS工艺来实现，它不需要电感元件，可以节省大量的芯片面积，从而实现低代价的振荡器；而且这种振荡器可以实现很宽的调谐范围，因此环型振荡器在时钟类型的应用以及低频或者中频通信系统中得到广泛应用。但环型振荡器的噪声性能差，功耗高，这些缺点限制了它在射频通信系统中的应用。

环型振荡器由几个相同的延迟单元组成一个环路，如图11-31（a）所示。 延迟单元可以采用单端反相



(a)



(b)

图 11-31 环型振荡器

放大器结构或者差分反相放大器结构，环型振荡器应由级数至少为3的奇数个延迟单元组成。差分反相放大器作延迟单元的环型振荡器还可以采取如图11-31（b）所示的环路结构，环路中有一个延迟单元接成同相形式，而其它的延迟单元接成反相形式，这时延迟单元的数目应为不小于4的偶数。延迟单元的数目，应根据应用对振荡器速度、功耗、噪声性能等要求进行选择，后面我们还将对此进行介绍。

环型振荡器的工作原理是使得环路传输函数仅在一个频率点上满足Barkhausen判据，这就对延迟单元提出了要求。本节先分析Barkhausen判据对延迟单元提出的要求；然后讨论各种结构的延迟单元；最后讨论环型振荡器的频率调谐措施。在后面的讨论中，都假设延迟单元仅包含有一个极点，实际的延迟单元都近似满足这一假设。

§11.5.1 振荡条件

所有的振荡器必须具有某种频率选择特性，使得振荡器仅在某一个频率点上产生稳定的振荡，*LC*振荡器利用*LC*谐振回路来实现频率选择功能，环型振荡器中没有频率选择电路，那么环型振荡器是怎么实现频率选择功能的呢？为了说明这一点，我们来分析构成环型振荡器的最少延迟单元数目。

图11-32给出了由普通共源放大器构成的单位增益反馈环路。 开环电路中仅包含有一个极点，该极点

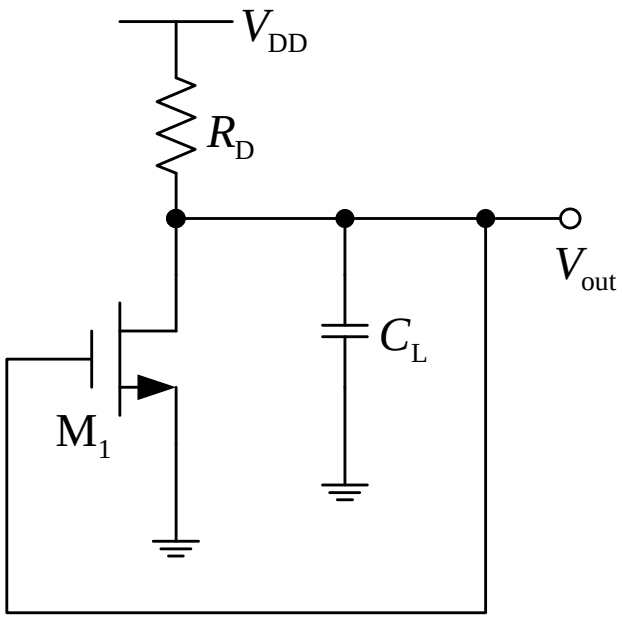


图 11-32 共源放大器构成的单极点反馈系统

所能提供的最大交流相移（相对于直流工作状态时的相移）为90°（当频率为无穷大时），而该放大器在直流工作状态时的相移为180°，因此闭环传输函数的最大总相移为270°，不满足Barkhausen相位判据，因此这种反馈环路不会产生振荡。

如果在环路中再增加一个极点，如图11-33所示。 这种反馈系统是否会产生振荡呢？开环电路中的每

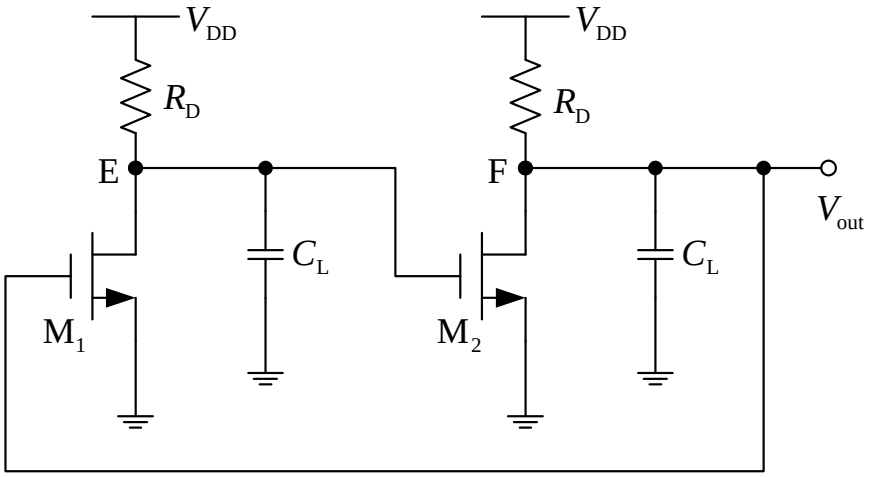


图 11-33 两极点反馈系统

一个极点最大能提供90°的交流相移，因此在频率为无穷远处，该环路能提供180°的交流相移，但是该环路的直流相移为0°，因此在直流处，该电路满足Barkhausen相位判据，提供一个正反馈，产生振荡，但频率为0，实际上该环路将处于锁定状态，节点E和F中，一个节点的电压将升高到V_{DD}，而另一个节点的电压

将降低为0，并永远保持下去。

即使我们在环路中引入一个直流相移为180°、交流相移为0°的理想反相器，如图11-34，使得环路的直流相移为180°，从而避免了两级电路所遇到的锁定问题。 但是，该电路仍然不会产生振荡。这是因为仅当

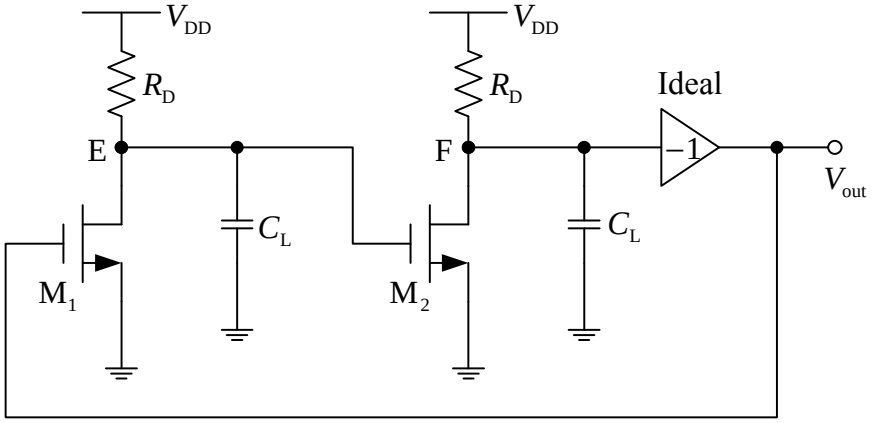


图 11-34 增加了一个理想反相器的两极点反馈系统

频率为无穷大时，闭环传输函数的总相移才为360°，因此仅在无穷大频率处，该环路才满足Barkhausen相位判据。考虑到放大器的增益是随着频率的升高而下降的，在频率很高时，放大器将不再能提供增益，因此在无穷大频率处，该环路不满足Barkhausen幅度判据。既然Barkhausen相位判据和Barkhausen幅度判据不能在同一个频率点上得到满足，这种电路不能产生振荡。

为了产生振荡，环路中需要引入更多的交流相移，因此只要图11-34所示的理想反相器中包含有一个极点，可以贡献额外的相移，那么该电路就可以产生振荡，这种电路如图11-35所示。 开环电路包含有三

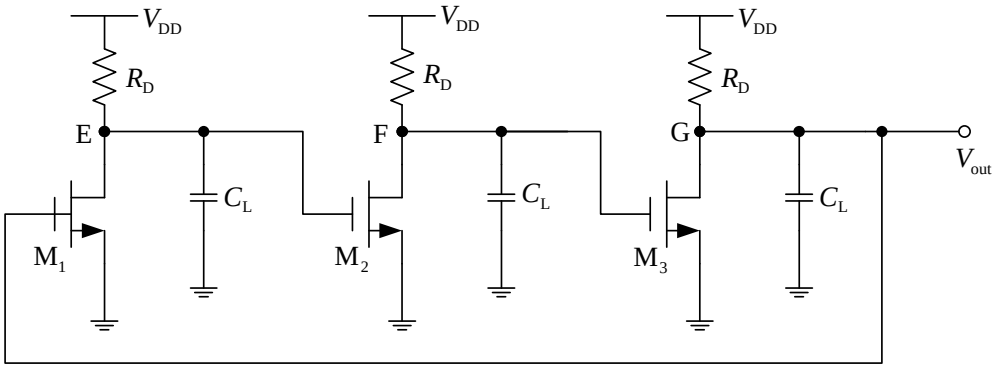


图 11-35 三级环型振荡器：三极点反馈系统

个极点，所能提供的最大交流相移为270°，而该电路的直流相移为180°，因此在某一个频率点（有限频率值），该环路的总相移可以达到360°，如果此时环路增益仍大于1，那么就可以产生振荡。图11-36给出了这个电路的波特图。 当频率为ω_o时，环路提供180°的交流相移，而此时环路增益仍大于1，因此在ω_o频率处，该电路满足Barkhausen判据，可以产生振荡，形成环型振荡器。从图中还可以看出，这种环型振荡器的相移曲线随频率的变化是单调的，因此仅在一个频率处，该环路才满足Barkhausen相位判据。当频率偏离ω_o时，Barkhausen判据会渐渐不满足，频率成分会受到衰减，这样环型振荡器就实现了频率选择功能。同LC振荡器一样，靠近ω_o频率处的频率成分也会对振荡器的输出频谱产生贡献，形成一个扩展的输出频谱，它反应了振荡器的噪声性能。

如果环路中包含有偶数个单端反相级，那么在直流状态时，环路的相移就为360°，满足Barkhausen判据，直流时就可以产生振荡，振荡频率为0，实际上是一个锁定状态，即使在其它频率处，环路仍可以满足Barkhausen判据，可以在这些频率处产生振荡。但没有外加激励时，电路将永远处于直流时的锁定状

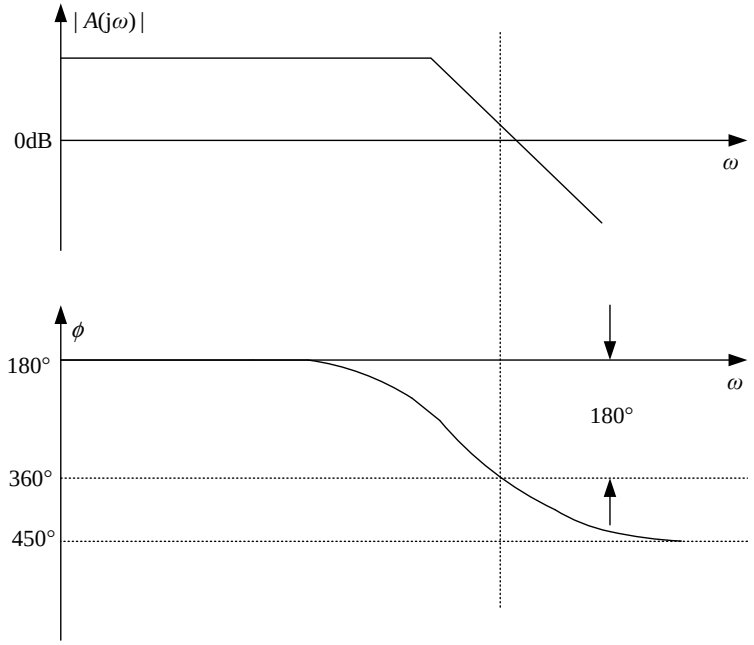


图 11-36 三极点反馈系统闭环传输函数的波特图

态，不会产生需要的振荡信号；即使通过外加激励使得该电路在需要频率处产生振荡（硬激发），但一旦该电路受到扰动，环路还是可能回到直流时的锁定状态，电路停止振荡。因此环型振荡器不能由偶数个单端反相级构成。

从上面的论述可以看出，要形成一个环型振荡器，环路必须提供180°的直流相移和180°的交流相移，180°的交流相移所对应的频率即为振荡频率。因此如果延迟单元采用单端反相放大器结构，那么环型振荡器应由奇数个延迟单元组成，而且级数至少为3。如果延迟单元采用差分放大器结构，并且所有的延迟单元接成反相形式，则延迟单元的数目应为不小于3的奇数；如果差分延迟单元中有一个单元接成同相形式（图11-31（b）），而其它的单元接成反相形式，则延迟单元的数目应为不小于4的偶数，使得差分直流相移仍可以达到180°。

由于环路中的反相级都是一样的，在振荡频率处每一级所贡献的交流相移均应为$180°/N$。由于单极点传输函数的相移量为$-\tan^{-1}(\omega/\omega_{-3\mathrm{dB}})$，其中$\omega_{-3\mathrm{dB}}$是每一级反相级所引入的极点频率，因此可以求出振荡频率与极点频率之间的关系。另外，由Barkhausen幅度判据，令环路增益在振荡频率处的增益等于1，可以求出每一级反相级的最低增益要求。

下面以如图11-35所示由三个反相级构成的环型振荡器为例来介绍上述过程，其它的环型振荡器分析是类似的，读者可以自行推导。在图11-35中，若忽略栅漏重叠电容，则每一级的传输函数为$-A_0/(1+s/\omega_0)$，其中，$A_0=g_mR_D$是每一级的直流增益，$\omega_0=1/(R_DC_L)$是每一级的3dB带宽，该振荡器的闭环传输函数为：

$$H(s)=-\frac{A_0^3}{(1+s/\omega_0)^3} \tag{11-51}$$

为了产生振荡，每一级反相级所引入的交流相移必须为$180°/3=60°$，因此：

$$-\tan^{-1}\frac{\omega_{\mathrm{osc}}}{\omega_0}=60° \tag{11-52}$$

则该振荡器的振荡频率为：

$$\omega_{\mathrm{osc}}=\sqrt{3}\omega_0 \tag{11-53}$$

在振荡频率处，闭环传输函数的增益幅度必须大于等于1，即：

$$\frac{A_0^3}{[\sqrt{1+(\frac{\omega_{\mathrm{osc}}}{\omega_0})^2}]^3}\geq 1 \tag{11-54}$$

将式11-53代入，则可以得到：

$$A_0 = g_m R_D \geq 2 \tag{11-55}$$

综上，由三级反相级构成的环型振荡器要产生振荡，每一反相级的直流增益必须不少于2，振荡频率为每一反相级3dB带宽的$\sqrt{3}$倍。图11-37 给出了三级环型振荡器中各个节点的振荡波形，每一个反相级引入180°的直流相移和60°的交流相移，因此每一个节点之间的相移相差240°（或120°）。环型振荡器可以产生多相振荡信号，这是环型振荡器的一个优点。

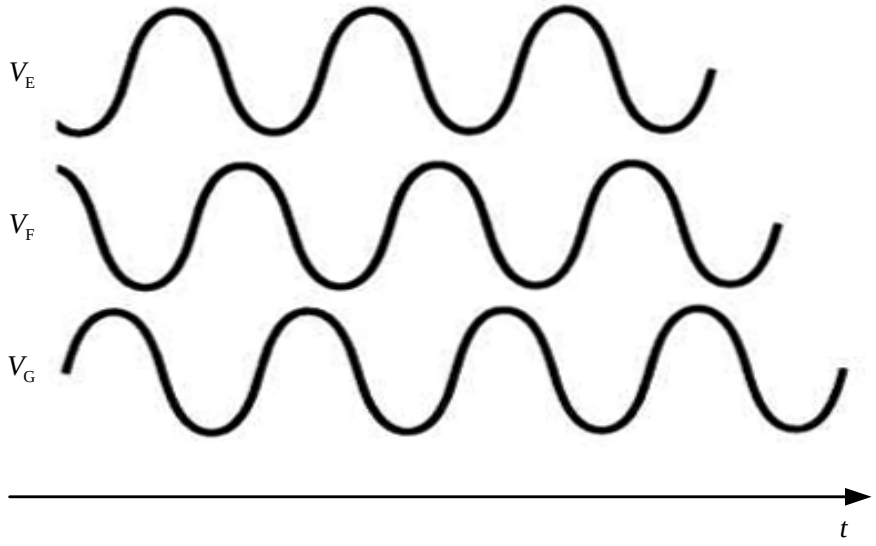


图 11-37 三级环型振荡器各节点的电压波形

在振荡器稳定振荡时，环路增益应为1，对应于每一级的直流增益应为2。如果反相级的直流增益大于2，则环型振荡器的环路增益大于1，振荡幅度将不断增加，增加到一定程度时，反相级将因振荡幅度过大而饱和，限制了振荡幅度的进一步增加，这是一个非线性过程，通过这个非线性过程，环路增益的平均值仍保持为1，因此可以产生稳定的振荡输出。

当环型振荡器引入了非线性效应时，以上的分析结果不再适用（它是一种小信号分析方法，因此只能应用于反相级是线性操作的情况），振荡频率应由每一反相级引入的大信号延时所决定。为了说明这一点，还是考虑如图11-35所示的环型振荡器，假设每一级的直流增益大于2，初始时各节点电压都处于反相级的转换点上（反相级的转换点是使得输出电压等于输入电压的输入电压值），当电路中没有噪声时，这种状态将永远保持下去，构成一个平衡状态，各节点电压都等于反相级的转换电压。但由于电路中存在噪声，这个平衡状态将被打破，各节点将产生逐渐增长的振荡波形，如图11-38所示。 只要环路增益仍大于1，各节点的振荡幅度将持续增加，增加到一定程度后（0或者V_{DD}），反相级发生饱和，振荡幅度不再增加，环路增益的平均值下降为1，产生一个全摆幅（rail-rail）的稳定振荡波形。在稳定状态时，假定每一级反相级引入的大信号延迟为T_D，某一时刻E节点的电压为V_{DD}，F点电压为0，G点电压为V_{DD}，G点电压反馈到第一个反相级的输入，使得E点电压从V_{DD} 开始下降，经过反相级延迟时间T_D后，E点电压下降为0，E点电压又控制着第二个反相级的输入，使得F点电压开始上升，经延迟时间T_D后，F点电压上升到V_{DD}，这又会使G点电压在延迟时间T_D后下降到0，如图11-39所示。 这是一个循环过程，相邻节点电压转换之间的延迟均为T_D，导致总的振荡周期为$6T_D$。因此，在振荡幅度很小、振荡器是线性操作时，环型振荡器的振荡频率为$\sqrt{3}\omega_0$，由每一反相级的小信号输出阻抗和输出节点寄生电容决定，而当振荡幅度增加、反相级逐渐引入非线性操作时，振荡频率将由反相级的大信号延迟时间决定，振荡频率下降，反相级的大信号延迟时间由节点电容和对节点电容充放电的大信号非线性电流所决定。

§11.5.2 延迟单元电路

延迟单元可以采用单端结构或者差分结构。图11-40给出了常用的单端延迟电路。 （a）是电阻作负载

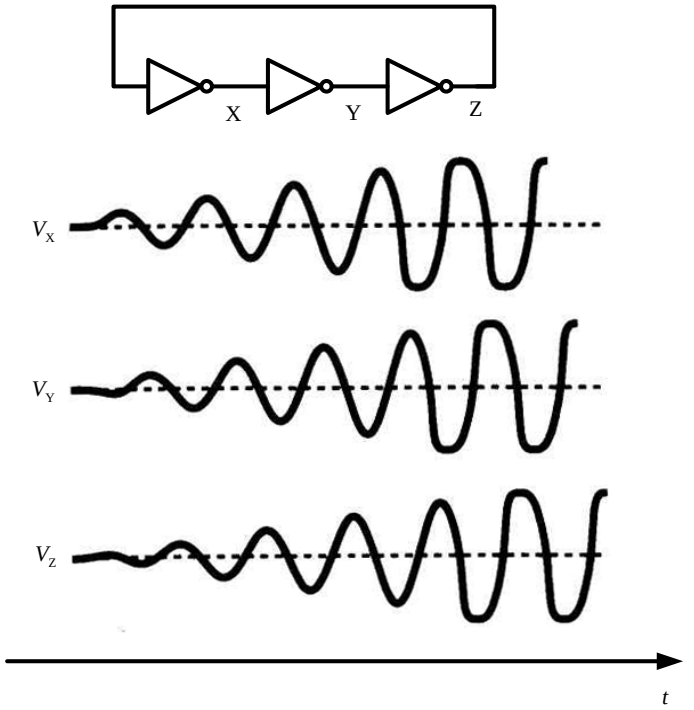


图 11-38 三级环型振荡器起振时各节点的电压波形

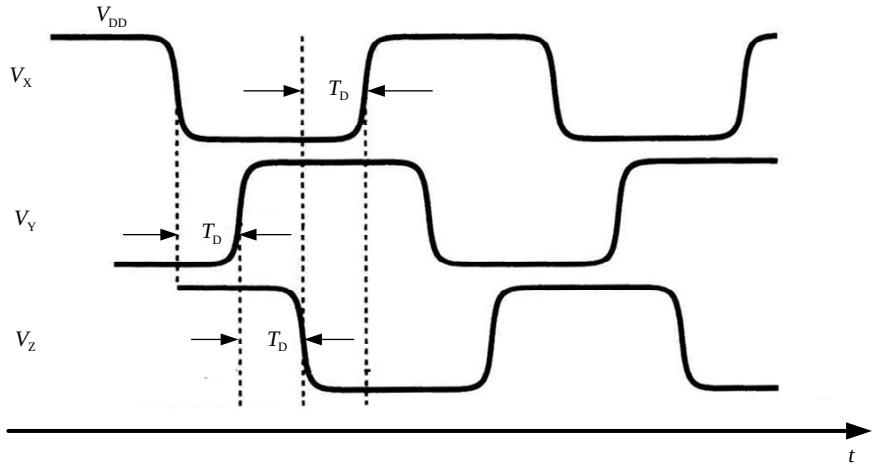


图 11-39 三级环型振荡器的大信号稳定振荡波形

的共源放大器结构，负载电阻与输出节点电容构成一个极点，引入交流相移，这种延迟单元的信号可以从0摆到V_{DD}，该延迟单元可以实现全摆幅操作；考虑到线性区工作的MOS管也可以作为电阻，因此（a）中的负载电阻可以用线性区工作的PMOS管来实现，如（b）所示，为保证MOS电阻的准确度，偏置电压应使PMOS管工作于深度线性区，输出电压幅度受到使PMOS管线性区工作的限制，但如果偏置电压设置合理，该结构还是可以实现全摆幅操作的，但信号幅度很大时，PMOS管的导通电阻值会发生变化，导致振荡波形发生畸变，上升时间和下降时间不再相等；负载电阻也可以用二极管型负载来代替，如图（c）所示，PMOS管接成二极管形式，提供负载电阻$1/g_m$，这种结构的输出电压最高仅能到$V_{DD}-|V_{tp}|$，信号摆幅受到限制；（d）给出了将二极管型负载和线性区工作的MOS管负载的并联组合作为共源放大器的负载，这种负载称为Maneatis负载，它可以扩大负载电阻的线性范围；（e）是CMOS反相器，它也可以作为延迟单元，实现全摆幅操作。上面提到的这些延迟单元的延迟时间都与电源电压有关，当电源电压变化时，电路的延迟时间也会发生变化，导致振荡器的振荡频率发生变化。为了避免电源电压变化对振荡频率的影响，可以用固定的电流对节点电容充放电，这就是电流受限型延迟单元（Current-starved inverter），

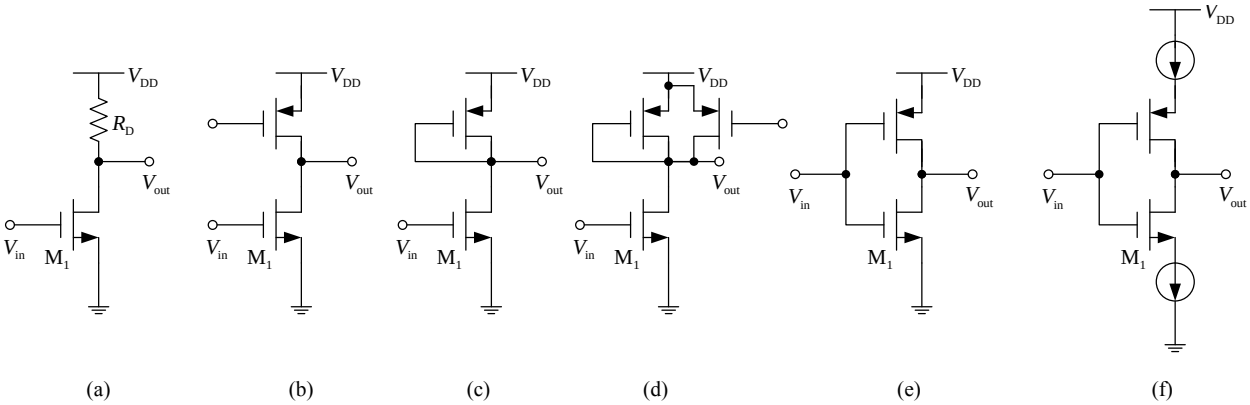


图 11-40 单端延迟单元电路

如图（f）所示，在某些情况下，电流源和电流沉可以去掉一个，这样可以简化电路，并提高输出电压摆幅，但这时充电电流和放电电流中仅有一个是恒定的，另一个与反相器的尺寸和信号幅度有关，使得振荡信号的上升时间和下降时间不相等，造成振荡波形畸变。

单端延迟电路的延迟时间容易受到电源电压噪声和衬底耦合噪声的干扰，而差分延迟单元则可以在一定程度上抑制这类共模噪声。图11-41给出了电阻作负载的差分放大器。 差分电压摆幅最大为$I_{SS}R_1$，考虑

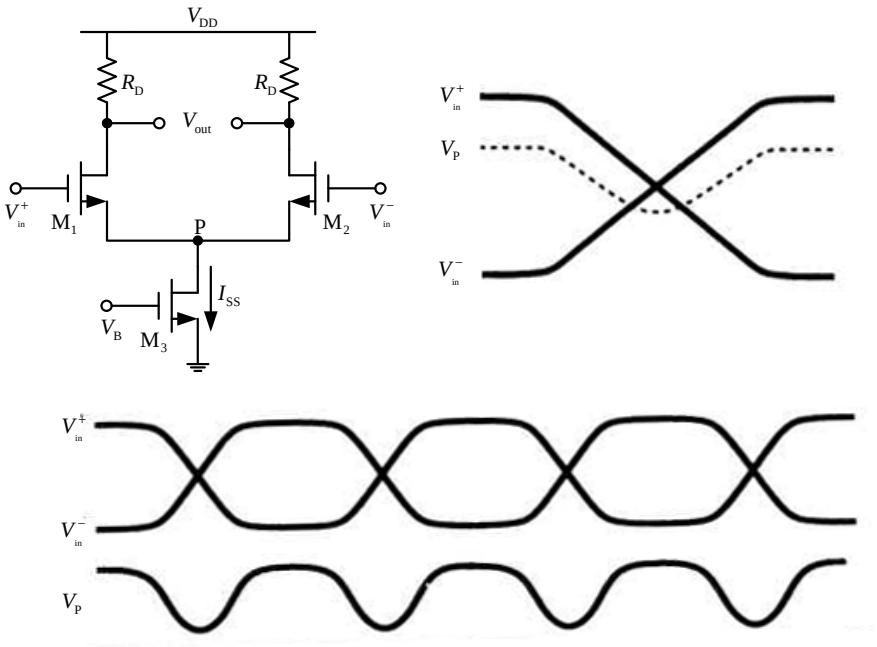
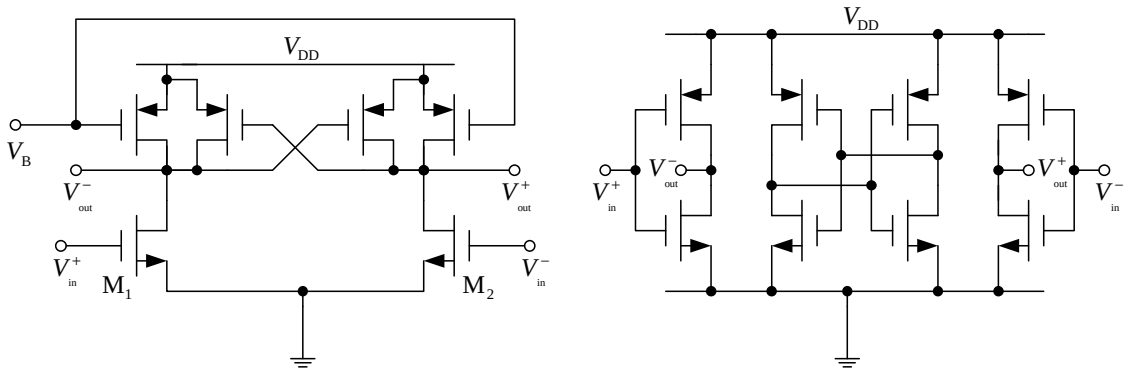


图 11-41 电阻作负载的差分延迟单元电路及各点电压波形

到在环型振荡器中，差分放大器是级联的，每一级放大器的输出作为下一级放大器的输入，因此差分对中一个晶体管的栅极电压为V_{DD}时，它导通所有的电流，其漏端电压为$V_{DD} - I_{SS}R_1$，为避免这个晶体管进入线性区，要求$I_{SS}R_1 \leq V_{tn}$，因此振荡信号的摆幅不能超过晶体管的阈值电压，而另一个晶体管进入截止区，不导通电流，它的栅极电压为$V_{DD} - I_{SS}R_1$，其漏端电压为V_{DD}。实际上，为了扩大信号摆幅，可以允许差分对中的晶体管进入线性区工作，振荡摆幅可以增加，这可以提高相位噪声性能，但另一方面，线性区工作时放大器的增益下降，会导致延迟时间增加，在设计中需要折衷考虑。图11-41还给出了由这种延迟单元构成的环型振荡器的振荡波形以及相应的共源节点P波形，共源节点P上的信号也是一个振荡信号，它的频率是振荡器振荡频率的两倍，而且当差分输出达到0时，P点电压达到最低。这种差分放大器的负载电阻也可以用线性区工作的PMOS管、二极管型MOS管和Maneatis负载来代替，它们之间的相对性能已经在

上面讨论过。

图11-42（a）是一种交互式耦合延迟单元。 它由两个单端共源放大器通过一个互耦对耦合而成，互耦



(a) (b)

图 11-42 交互式耦合差分延迟单元电路

对在两个输出之间引入正反馈，使得两个输出信号同步变化，产生理想的差分输出，而且互耦对的正反馈可以使输出电压达到全摆幅，使用互耦对的另一个好处是可以提高节点电压转换速度，有利于提高相位噪声性能。交互式耦合单元的缺点在于M_1、M_2没有同步操作，假设某一时刻M_1的栅极为低电平，漏极为高电平，M_2的栅极为高电平，漏极为低电平，当状态开始发生转换时，M_1的栅极电压升高到高电平，M_2的栅极电压降低到低电平，M_1将完全导通，它的漏极输出将开始下降，但M_2截止，漏极输出保持不变，直到M_1的漏极输出下降到$V_{DD}-|V_{tp}|$，互耦对开始工作，M_2的漏极输出才开始上升，造成两个输出节点的电压波形没有同步变化。

图11-42（a）中的共源放大器可以用CMOS反相器来代替，互耦对也可以用CMOS锁存器来代替，如图（b）所示，由于采用互补操作，（a）结构所遇到的两输出节点电压波形不同步变化的问题在（b）结构中不再存在。

§11.5.3 频率调谐

对于环型振荡器来说，改变延迟单元的延迟时间就可以改变振荡频率，改变延迟单元的延迟时间可以通过改变电路的时间常数或者充放电电流来达到。具体说来，可以采用以下的的频率调谐技术。

1. 改变充放电电流来调节延迟单元的延迟时间

从本质上说，延迟单元的延迟时间是由电流对节点电容的充放电时间决定的，因此改变充放电电流就可以改变延迟单元的延迟时间。采用这种技术的单端延迟单元如图11-43 （a）所示，通过调节电流源或者电流沉的大小，可以改变延迟单元的延迟时间，从而改变环型振荡器的振荡频率。 仅调节电流源或者电流沉的大小，仅能改变延迟单元的上升延迟时间或者下降延迟时间，使得振荡波形会发生畸变，为了改变这一点，可以采用同时调节电流源和电流沉的大小，如图11-43（b）所示。采用这种技术实现的一个环型振荡器如图11-44所示，它采用了三级反相器级联构成的环路结构，三个反相器由同一个电流源提供电流，通过改变电流源的电流大小，就可以改变振荡器的振荡频率。

这种技术也可以应用于差分结构的延迟单元中，通过调节差分对的尾电流源，也可以改变振荡器的振荡频率。

由于控制信号一般都是电压信号，因此需要一个电压–电流转换电路，如图11-45所示。 控制信号加在采用了源简并技术的晶体管栅极，它的等效跨导为$G_m=g_m/(1+Rg_m)$，当$Rg_m\gg 1$时，$G_m\approx 1/R$，因此可以将控制电压线性地转化为控制电流，该电流经电流镜镜像后，控制电流源或者电流沉的大小。

2. 改变负载电阻值来调节延迟单元的延迟时间

对于采用电阻作负载的延迟单元来说，可以通过改变负载电阻的阻值来调节延迟时间，如图11-46所示。 控制电压加在线性区工作的MOS管栅极，使PMOS管M_3、M_4成为一个压控电阻。当控制电压变

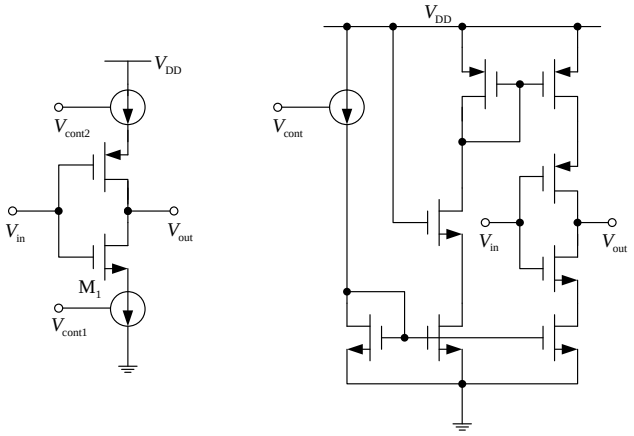


图 11-43 改变充放电电流来调节延迟单元的延迟时间

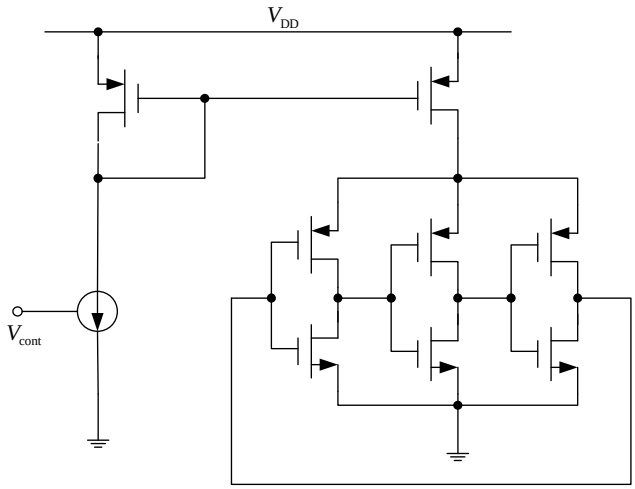


图 11-44 恒电流源环型振荡器

化时，MOS管的等效电阻也会发生变化，这样就改变了输出端的时间常数和延迟单元的延迟时间。如果M_3、M_4工作于深度线性区，则输出端的时间常数为：

$$\tau_1 = R_{\text{on3,4}} C_{\text{L}} = \frac{C_{\text{L}}}{k_{\text{p}}(\frac{W}{L})_{3,4}(V_{\text{DD}} - V_{\text{cont}} - |V_{\text{tp}}|)} \tag{11-56}$$

其中，C_{L}是输出节点的总电容。则：

$$f_{\text{osc}} \propto \frac{1}{T_{\text{D}}} \propto \frac{k_{\text{p}}(\frac{W}{L})_{3,4}(V_{\text{DD}} - V_{\text{cont}} - |V_{\text{tp}}|)}{C_{\text{L}}} \tag{11-57}$$

由这种延迟单元构成的环型振荡器的振荡频率与控制电压成线性关系。但为了保证M_3、M_4工作于深度线性区，控制电压的取值范围会受到限制。

采用这种调谐技术的一个缺点是振荡信号的幅度会随着振荡频率的变化而变化，振荡信号的幅度为$I_{SS}R_{on3,4}$，因此当负载电阻值发生变化时，振荡信号的幅度也会发生变化。为了解决这个问题，可以采用如图11-47所示的复制偏置技术。 它同时调节负载电阻的阻值和尾电流源的大小，使得振荡信号幅度，$I_{\text{SS}}R_{\text{on3,4}}$，近似保持不变。$M_5$与$M_3$、$M_4$一样，也工作于深度线性区，运算放大器将$M_5$的漏极电压与一个参考电压$V_{\text{REF}}$进行比较，其输出控制着$M_5$的栅极电压，这是一个负反馈回路，当环路增益足够大（运算放大器具有足够的增益）时，节点电压$V_{\text{P}} \approx V_{\text{REF}}$，$|V_{\text{DS5}}| \approx V_{\text{DD}} - V_{\text{REF}}$。$M_3$、$M_4$与$M_5$完全相同，尾电流源$I_{\text{SS}}$和$I_1$也完全相同，因此当$M_3$（$M_4$）上流过的电流$I_{\text{SS}} = I_1$时（即差分对中一个晶体管导通所有的电流，另一个晶体管截止时），$V_{\text{X}} = V_{\text{P}}$（$V_{\text{Y}} = V_{\text{P}}$），这说明振荡信号的幅度会保持$V_{\text{REF}}$不变。由

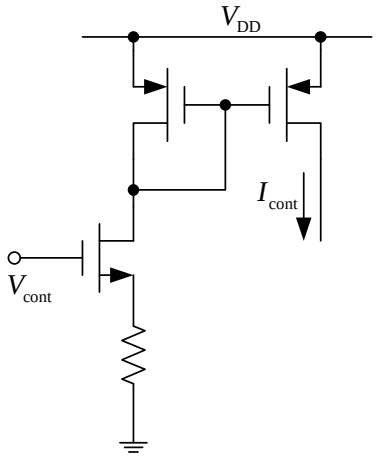


图 11-45 电压–电流变换电路

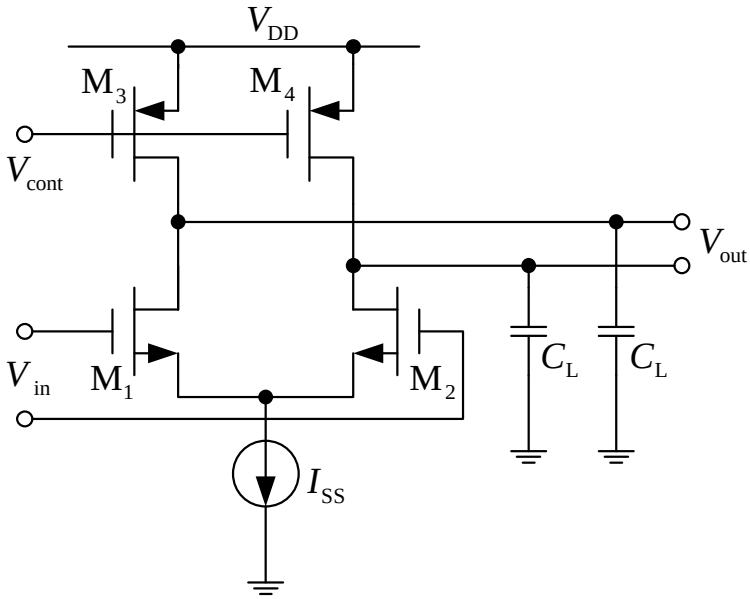


图 11-46 改变负载电阻值来调节延迟单元的延迟时间

于$R_{on3,4}I_{SS} \approx V_{DD} - V_{REF}$，因此$R_{on3,4} \approx (V_{DD} - V_{REF})/I_{SS}$，所以当尾电流源发生变化时，振荡器的频率变化为：

$$f_{osc} \propto \frac{1}{R_{on3,4}C_L} \propto \frac{I_{SS}}{(V_{DD} - V_{REF})C_L} \tag{11-58}$$

即振荡频率与尾电流源大小成线性正比关系。因此图11-47所示的方案实现了频率调谐的功能，同时振荡信号幅度也不会随着振荡频率的变化而变化。

运算放大器的带宽应大于频率变化的带宽。在锁相环应用中，当环路锁定时，运算放大器的输入信号是直流信号，以直流状态工作。当环路处于锁定过程中时，运算放大器的反馈输入将以相应于锁相环环路带宽的频率变化，因此运算放大器的带宽必须大于锁相环的环路带宽。

3. 采用正反馈技术来调节延迟单元的延迟时间

一个交互式耦合对产生负阻$-g_m/2$，它的阻值可以由偏置电流来控制。将该负阻与差分对的负载电阻并联，只要负阻绝对值大于负载电阻值，那么差分对的负载仍是正阻抗，但该正阻抗可以通过调节交互式耦合对的偏置电流来改变其阻值，从而实现改变延迟时间的目的。实现该思想的延迟单元电路如图11-48所示。 差分对的负载由两部分组成，一部分是负载电阻（$R_1 = R_2 = R_P$），另一部分是交互式耦合对(M_3、M_4），组合负载阻抗值为$R_P \| (-1/g_{m3,4})$。I_1是交互式耦合对M_3、M_4的偏置电流，当I_1变化

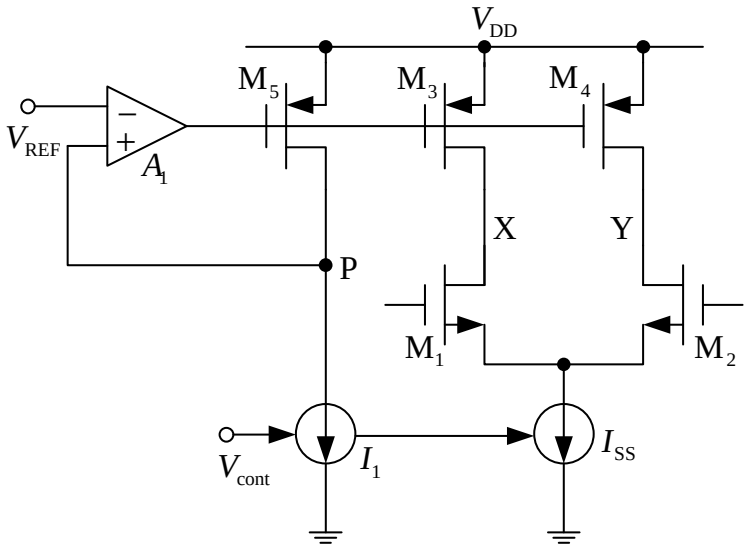


图 11-47 复制偏置技术

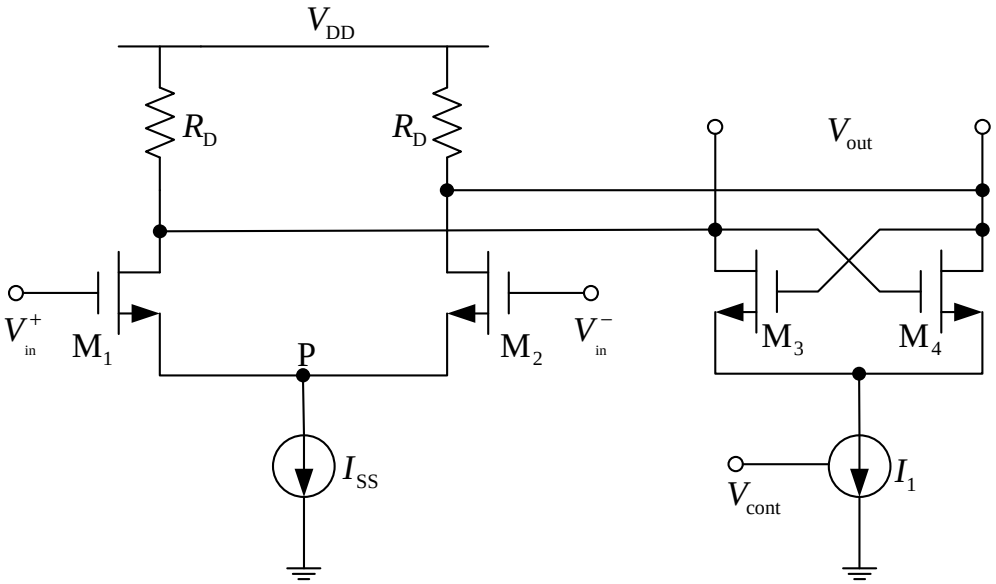


图 11-48 采用正反馈技术来调节延迟单元的延迟时间

时，M_3、M_4的小信号等效阻抗$-2/g_{m3,4}$也会发生变化，差分对的等效负载阻抗也会发生变化，导致该延迟单元的延迟时间发生变化。

但图11-48所示的电路存在一个问题，当I_1变化时，M_3、M_4导通的电流会发生变化，导致流过R_1、R_2上的最大电流也发生变化，因此在整个调谐范围内，振荡信号幅度不再是恒定的。为了纠正这一问题，可以在改变I_1的同时，让I_{SS}同步反向变化，保证流过电阻R_1、R_2上的最大电流保持不变，如图11-49 所示。 电流源I_{SS}和I_1由一个差分对（M_5、M_6）产生，控制电压作为差分对的输入电压，这样$I_{SS}+I_1=I_T$是一个常数，当控制电压变化时，I_{SS}和I_1会同步反向变化，但这两个电流之和保持为一个常数，因此振荡信号的幅度会保持R_PI_T不变。在图11-49所示的调谐方案中，控制电压可以以差分的形式加到V_{cont1}和V_{cont2}输入端，差分控制线对共模噪声具有更高的抑制能力。但当该差分控制电压幅度很大，使得M_6导通所有的电流，$I_1=I_T$时，M_5 将处于截止状态，$I_{SS}=0$，因此差分对M_1、M_2中将没有电流流过，该延迟单元的增益下降为0，导致振荡器停止振荡。为了避免这个问题，可以在M_1、M_2的共源端增加一个固定幅度的尾电流源I_H，这样即使$I_{SS}=0$，M_1、M_2中也有电流流过，保证延迟单元具有足够的增益，避免振荡器停止振荡。采用该延迟单元的振荡器可以实现一倍到两倍的频率调谐范围，调谐

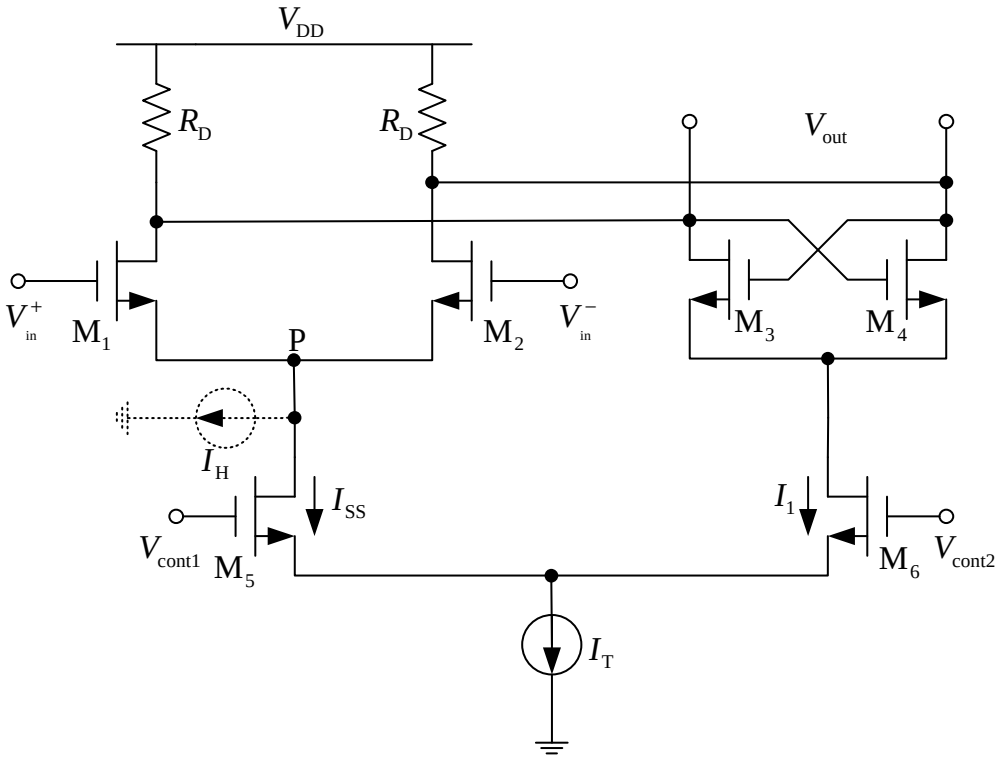


图 11-49 具有常数振荡幅度的正反馈技术

增益与差分对M_5、M_6的跨导有关，如果跨导较小，灵敏度就较低，调谐增益也比较低；而调谐的线性度与M_5、M_6的操作有关，如果M_5、M_6保持在饱和区，调谐线性度会较好，但如果允许M_5、M_6进入线性区工作，则当它们工作于线性区时，该差分对的等效跨导就较小，降低了振荡器的调谐增益，因此在设计该延迟单元时，为了保证在调谐频率范围内振荡器具有较高的调谐线性度，需要确保晶体管M_5、M_6不进入线性区工作。

从图11-49中很容易看出，该延迟单元从电源到地的支路上串联了很多元器件，因此并不适合于低压应用。当电源电压很低时，可以采用电流折叠技术，如图11-50所示。 差分对M_5、M_6采用电流折叠结构折叠

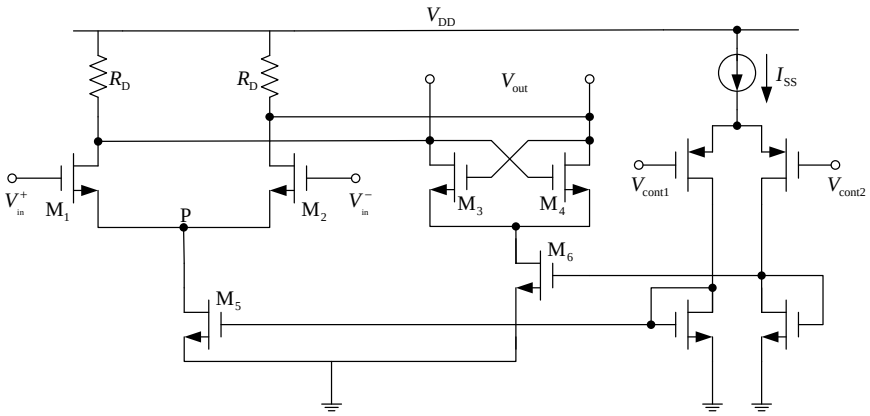


图 11-50 采用电流折叠的正反馈技术

到另外一条支路上，控制电流通过电流镜结构来控制M_1、M_2的尾电流源以及互耦对M_3、M_4的偏置电流，因此比较适合于低压应用。

4. **采用差值技术来调节延迟单元的延迟时间**

环型振荡器的另一种频率调谐技术是采用差值技术，如图11-51所示。 延迟单元由两个不同延迟时间

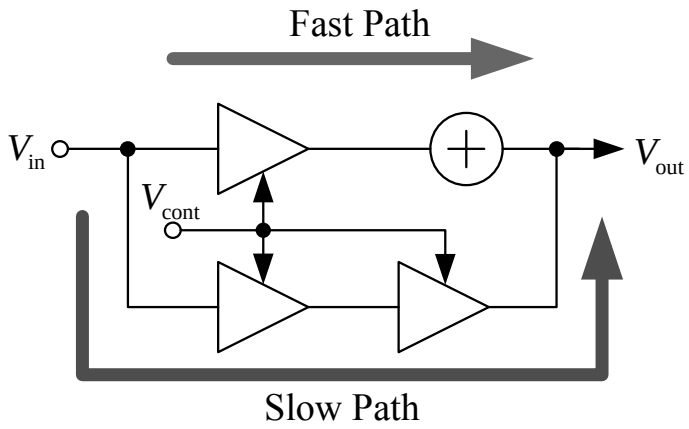


图 11-51 采用差值技术来调节延迟单元的延迟时间

的路径构成，这两条延迟路径在输出相加，控制电压V_{cont}控制着它们对输出的相对贡献，如果V_{cont}使得快速路径对输出的贡献相对更大，而慢速路径对输出的贡献相对更小，那么延迟时间就会减小；相反，如果V_{cont}使得慢速路径对输出的贡献相对更大，而快速路径对输出的贡献相对更小，那么延迟时间就会增加。这样V_{cont}就可以控制该延迟单元的延迟时间。

实现该思想的单端延迟单元如图11-52（a）所示。 快速路径和慢速路径都采用反相器结构，快速路径

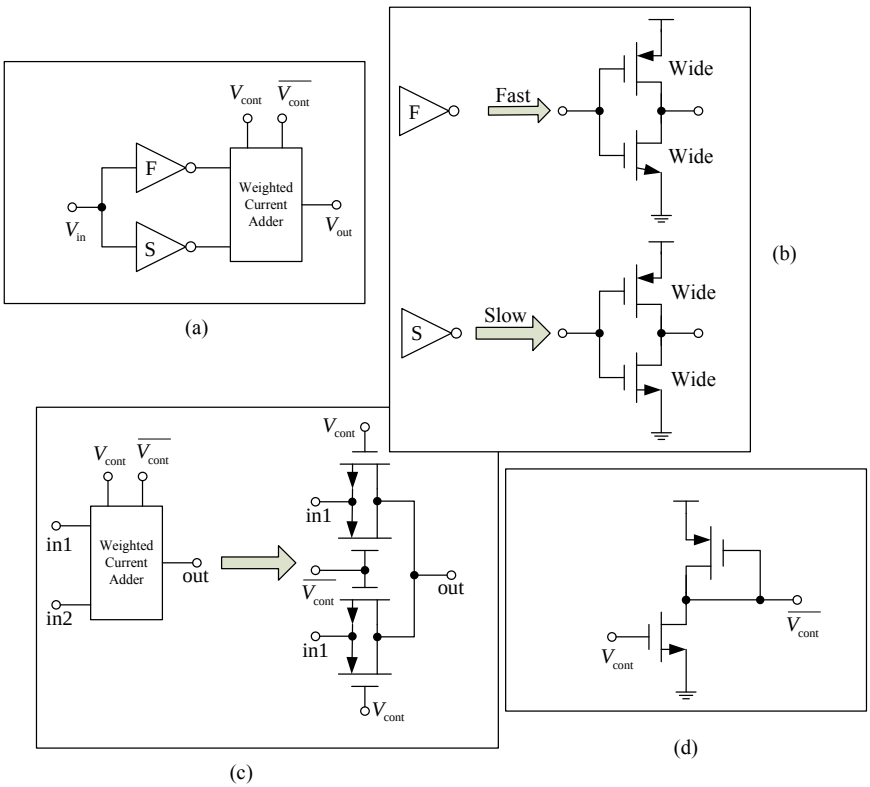


图 11-52 采用差值技术的单端延迟单元电路

上的反相器尺寸较大，延迟时间较小，而慢速路径上的反相器尺寸较小，延迟时间较大（见（b）），延迟单元总延时控制和两条路径相加是通过电压控制开关来实现的（见（c））。当控制电压不同时，快速路径

上的反相器和慢速路径上的反相器对延迟单元输出节点电容（主要是下级的输入电容）充放电电流的比例就会变化，改变了延迟时间；（d）给出了控制电压实现反相的电路，如果控制电压本身就是差分的，那么（d）所示的单端到差分转换是不需要的。

实现差值技术的一种差分延迟单元如图11-53所示。 快速路径是由差分对M_1、M_2构成的增益级，而慢

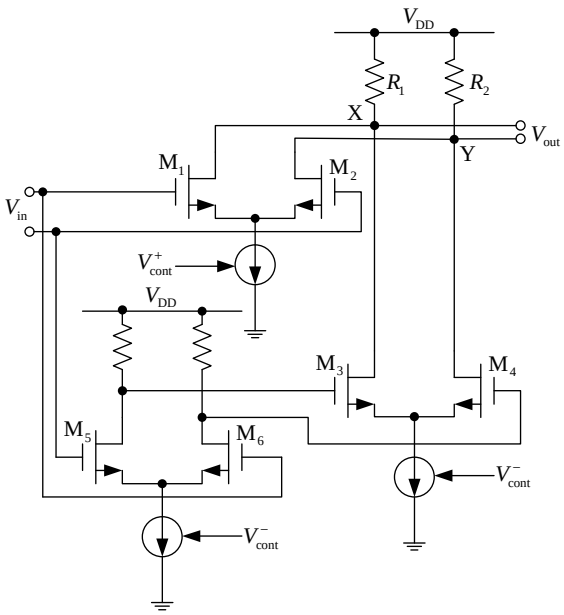


图 11-53 采用差值技术的差分延迟单元电路

速路径是两个差分放大器构成的级联结构，因此具有更大的延迟时间。这两条路径的输出都是电流，因此可以在输出直接实现相加功能，并采用同一个电阻R_1、R_2作负载。通过调节快速路径和慢速路径上的差分对的偏置电流，就可以改变快速路径和慢速路径对输出节点充放电电流的相对比例，从而改变该延迟单元的延迟时间。但振荡频率变化时，流过负载电阻上的电流也会发生变化，导致振荡信号幅度发生变化。考虑到差分对M_5、M_6的偏置电流即使不发生变化，图11-53所示电路也能实现差值技术，这时慢速路径上仅M_3、M_4的偏置电流发生变化。为了保持振荡信号幅度不变，可以采用上一小节所提到的电压控制差分对作尾电流，如图11-54所示。 差分控制电压作差分对M_7、M_8的输入电压，控制着M_1、M_2和M_3、M_4的尾电流源的电流分配，调节快速路径和慢速路径的相对贡献，起到调节延迟单元延迟时间的目的。为了适应低压应用，电流镜M_7、M_8 也可以采用电流折叠技术。

5. 宽调谐范围延迟单元

以上所介绍的应用，调谐频率范围都不会超过三倍。但在某些应用中，需要的频率调谐范围可能超过一个倍频程，这时可以综合采用以上提到的各种调谐技术，来实现宽调谐频率振荡器。图11-55就给出了一个将差值技术和正反馈技术组合在一起实现调谐功能的延迟单元结构。

另一种具有宽频率调谐范围的延迟单元电路如图11-56所示。 它在二极管型负载的差分放大器基础上增加了两个输入控制的PMOS管，使得输出信号可以达到V_{DD}电压，即使当尾电流源电流发生很大变化，振荡信号幅度也可以保持相对恒定。采用这种延迟单元的环型振荡器可以实现一个倍频程以上的频率调谐范围。

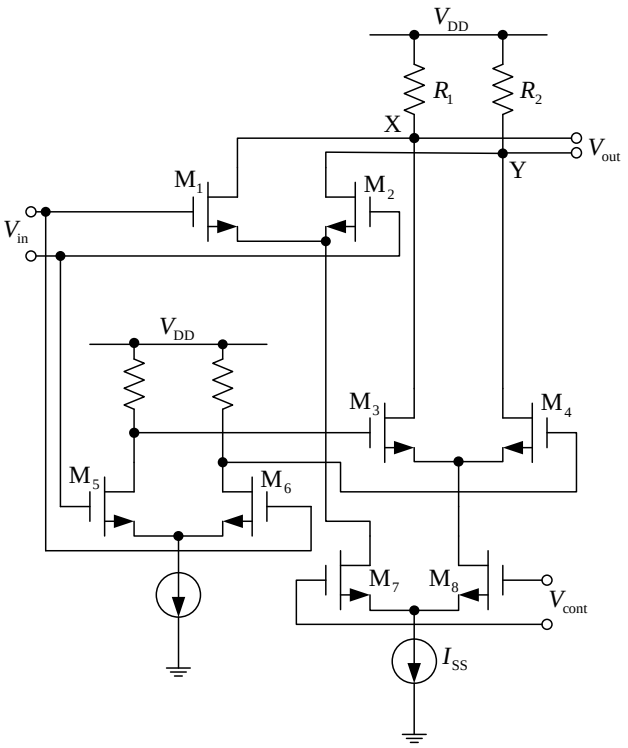


图 11-54 采用差值技术的恒振荡幅度差分延迟单元电路

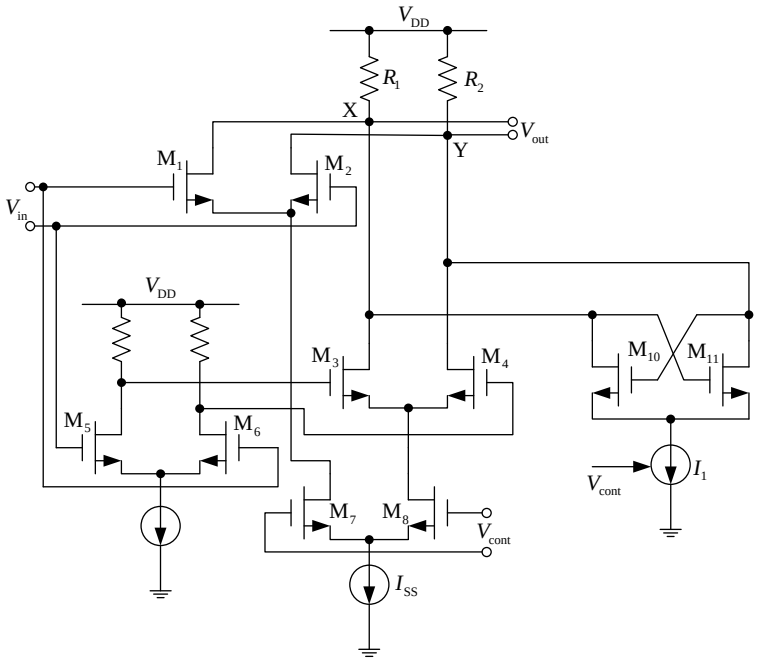


图 11-55 组合频率调谐技术

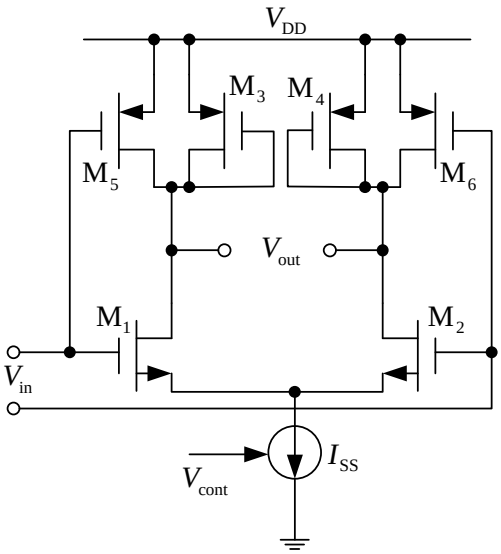


图 11-56 宽调谐频率的差分延迟单元电路

§11.6 压控振荡器的相位域模型

任何一个信号的瞬时频率是它的相位对时间的微分，即：

$$\omega = \frac{\mathrm{d}\phi}{\mathrm{d}t} \tag{11-59}$$

因此，信号的相位是瞬时频率的积分，即：

$$\phi = \int \omega \mathrm{d}t + \phi_0 \tag{11-60}$$

对于VCO来说，$\omega_{\mathrm{out}} = \omega_0 + K_{\mathrm{VCO}} V_{\mathrm{cont}}$，因此VCO输出信号的相位为：

$$\phi = \omega_0 t + K_{\mathrm{VCO}} \int V_{\mathrm{cont}} \mathrm{d}t + \phi_0 \tag{11-61}$$

其中，ϕ_0是振荡信号的初始相位。

当VCO应用于锁相环中时，VCO作为一个输入信号为控制电压V_{cont}、输出信号为余量相位（excess phase）$\phi_{\mathrm{ex}} = K_{\mathrm{VCO}} \int V_{\mathrm{cont}} \mathrm{d}t$的模块。因此VCO的相位域模型是一个理想的积分器，它的传输函数为：

$$\frac{\phi_{\mathrm{ex}}}{V_{\mathrm{cont}}}(s) = \frac{K_{\mathrm{VCO}}}{s} \tag{11-62}$$

§11.7 相位噪声和抖动（Jitter）

相位噪声和抖动是用来衡量振荡器噪声性能的参数，相位噪声是在频率域来衡量振荡器的频谱纯度，而抖动是在时间域来衡量振荡器振荡信号过零点的时间不确定性，它们是对同一种现象的不同表述，从原理上来说，它们是等效的。当振荡器用作本地振荡信号时，一般用相位噪声来描述它的噪声性能，而当振荡器用作时钟发生器时，一般用抖动来描述它的噪声性能。

本节先说明相位噪声和抖动的概念以及它们之间的等效关系，然后介绍到目前为止提出的几种常用相位噪声模型，并对这几种相位噪声模型的优点和存在的问题进行简单的说明。

§11.7.1 相位噪声

一个理想振荡器的输出信号是一个频率为ω_0的理想正弦型信号，可以用数学表达式表示为：

$$V_{\mathrm{out}}(t) = \mathrm{A} \sin(\omega_0 t + \theta) \tag{11-63}$$

其中，A是振荡信号的幅度，θ是一个参考相位，它们都是一个常数，它的输出频谱是一个在ω_0的Dirac无限冲击函数$\delta(\omega - \omega_0)$，如图11-57所示。

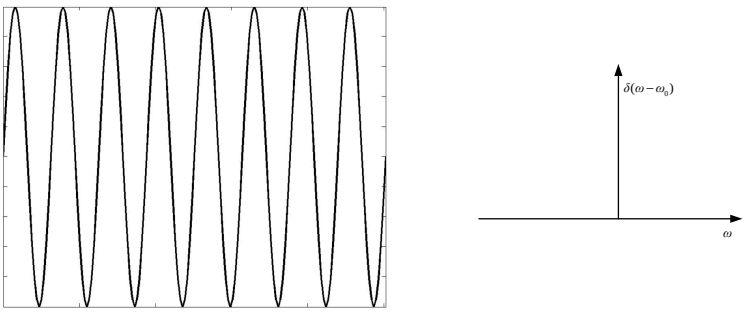


图 11-57 理想正弦型信号的频谱

但在实际的振荡器中，噪声会对振荡信号的相位和幅度造成扰动，这时的振荡信号则应表示为：

$$V_{\mathrm{out}}(t) = \mathrm{A}(1 + a(t)) \sin(\omega_0 t + \theta(t)) \tag{11-64}$$

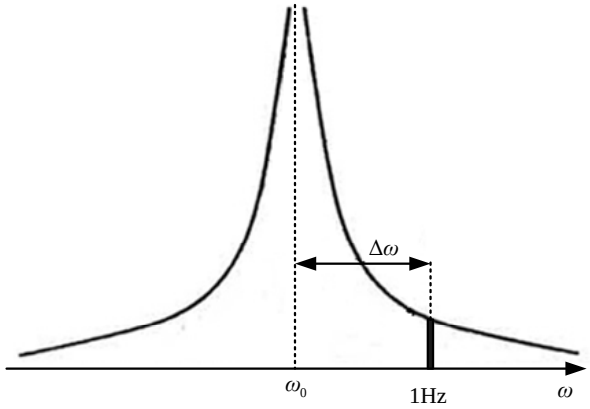


图 11-58 非理想正弦型信号的频谱

振荡信号的幅度和相位是一个随时间变化的量，它的输出频谱不再是Dirac无限冲击函数，在靠近振荡频率ω_0处出现扩展的边带，如图11-58 所示。 由于稳定工作的振荡器都存在一个幅度稳定机制（通过有源器件的非线性特性），幅度扰动会受到高度衰减，因此噪声对振荡器性能的影响主要表现在对相位的扰动上。相位噪声就是用来衡量噪声对相位的扰动性能的，它定义为在偏离载波频率ω_0一定频率$\Delta\omega$处单位带宽内的噪声功率与载波功率之比，其单位为dBc/Hz，即：

$$\mathcal{L}\{\Delta\omega\} = 10\log\left(\frac{\text{noise power in a 1Hz Band at} \quad \omega_0+\Delta\omega}{\text{carrier power}}\right) \tag{11-65}$$

由噪声引起的扩展边带关于载波频率ω_0是对称的，上式仅针对$\Delta\omega > 0$进行定义，称为单边带相位噪声。很明显，单边带相位噪声满足下列条件：

$$\int_0^\infty \mathcal{L}(\Delta\omega)d\Delta\omega = \frac{1}{2} \tag{11-66}$$

那么正弦型信号的相位扰动是怎么转化为频率域上的相位噪声的呢？假设式11-64中的相位扰动信号是一个正弦型信号，$\theta(t) = \theta_{\mathrm{m}} \cdot \sin(\omega_{\mathrm{m}}t)$，其中，$\theta_{\mathrm{m}} \ll 1$，则振荡器的输出信号为：

$$V_{\mathrm{out}}(t) \approx \mathrm{A}\sin(\omega_0 t) + \mathrm{A}\cdot\frac{\theta_{\mathrm{m}}}{2}\cdot[\sin((\omega_0+\omega_{\mathrm{m}})t) + \sin((\omega_0-\omega_{\mathrm{m}})t)] \tag{11-67}$$

它的输出频谱中包含了一个调制指数为θ_{m}的窄带调频信号，在ω_0处存在一个强信号成分，而在$\omega_0 \pm \omega_{\mathrm{m}}$处存在两个小旁瓣。因此输出信号功率谱密度和相位噪声功率谱密度之间的关系为：

$$S_\theta(\omega) = \frac{\theta_{\mathrm{m}}^2}{2}\cdot\delta(\omega-\omega_{\mathrm{m}}) \tag{11-68}$$

$$S_{V_{\mathrm{out}}}(\omega) = \frac{\mathrm{A}^2}{2}\cdot[\delta(\omega-\omega_0) + \frac{1}{2}S_\theta(\omega-\omega_0) + \frac{1}{2}S_\theta(\omega_0-\omega)] \tag{11-69}$$

由于相位扰动可以分解为一系列正弦型信号之和，因此因噪声引起的相位扰动可以直接转化为载波频率周围的两个噪声旁瓣，如图11-59所示。 在偏离载波频率ω_{m}处的单边带相位噪声为：

$$\mathcal{L}\{\omega_{\mathrm{m}}\} = 10\log\left(\frac{S_{V_{\mathrm{out}}}(\omega_0+\omega_{\mathrm{m}})}{\mathrm{A}^2/2}\right) = 10\log\left(\frac{S_\theta(\omega_{\mathrm{m}})}{2}\right) \tag{11-70}$$

由于瞬时频率是相位的微分，因此振荡器的瞬时频率偏差$\Delta f(t)$的功率谱密度与相位噪声之间的关系为：

$$S_{\Delta f}(\omega) = \omega^2\cdot S_\theta(\omega) = 2\omega^2\cdot 10^{\mathcal{L}\{\omega\}/10} \tag{11-71}$$

相位噪声限制了通信系统的质量。在一个通信系统中，有用信号可能很微弱，而相邻信道内可能存在很强的干扰信号。在接收路径上，射频信号与本地振荡信号在下变频器中进行混频，转变为中频信号。由

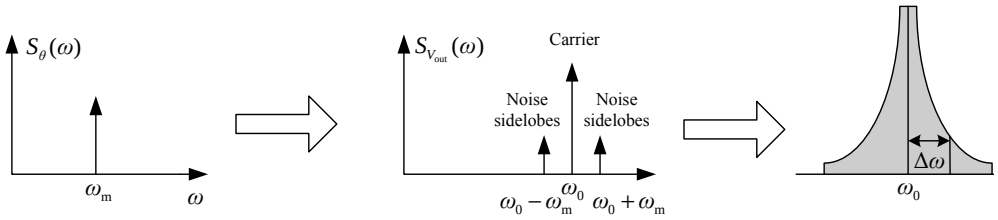


图 11-59 相位扰动转化为输出频谱

于在下变频之前接收机对相邻信道干扰信号的抑制能力通常很弱（频率间隔太近），因此相邻信道的干扰信号也会被转移到中频，而且能量要强于有用信号。如果本振信号是一个理想的正弦型信号，那么下变频后的信号频域分布保持了原来的分布状态，只是进行了简单的频率搬移，如图11-60 所示，有用信号和相邻信道干扰信号没有发生混叠，在中频部分采用中频滤波网络可以滤除干扰信号，得到干净的有用信号。 但

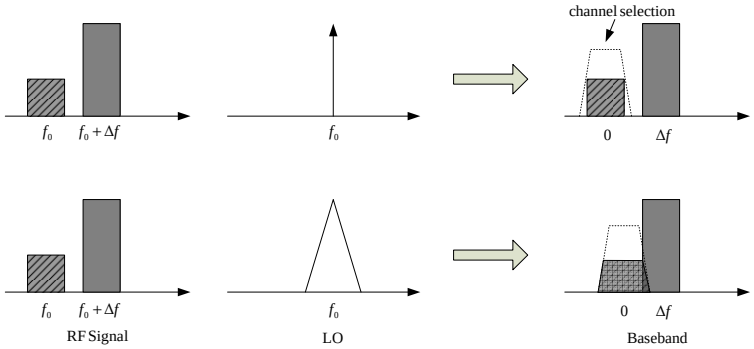


图 11-60 相位噪声对通信系统质量的影响

如果本地振荡信号受到噪声的干扰，那么本地振荡信号的噪声边带可以将相邻信道内的干扰信号转移到当前所用信道上，使得有用信号和相邻信道内的干扰信号发生混叠，如图11-60所示。黑色部分代表了混叠进有用信号带内的干扰信号。如果在偏离载波频率Δf处的相位噪声不是足够低，那么混叠进有用信号带内的干扰信号会极大地降低信号的信噪比，导致通信系统的误码率上升。在发射路径上，功率放大器的输出频谱应该满足通信系统标准规定的频谱掩模板要求，使得发射机不干扰其它的无线信号。但在上变频器中，非理想的本振信号会引起发射机的频谱扩散，如图11-61所示。因此在发射机中给上变频器提供本地振荡信号的振荡器的输出频谱最低也必须满足通信系统标准规定的频谱掩模板要求，这就对振荡器的相位噪声性能作出了要求。通常，在同一种通信系统中，接收机对振荡器相位噪声的要求要比发射机对相位噪声的要求来得苛刻。

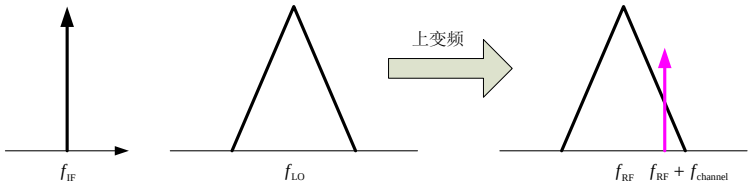


图 11-61 相位噪声造成发射机频谱扩散

从通信系统标准规定的相邻信道抑制率可以推导出对本地振荡信号的相位噪声要求。在保证系统通信质量的情况下（误码率小于某一值，如1×10^{-3}），输入到模数变换器（A/D）的信号的信噪比（SNR）存在一个最小值$\mathrm{SNR_{min}}$，则相邻信道的总载波功率必须满足：

$$P_C \le -\mathrm{IR}-\mathrm{SNR_{min}} \tag{11-72}$$

其中，IR是通信系统规定的相邻信道抑制率。

假设信道带宽为B，则本地振荡信号在偏离载波频率B处的相位噪声必须满足：

$$\mathcal{L}(\mathrm{B}) \leq P_{\mathrm{C}} - 10\log(\mathrm{B}) \tag{11-73}$$

如无线局域网标准IEEE802.11b规定：当采用数据传输率为11Mbps的CCK调制方式时，在保证接收机的误帧率达到8×10^{-2}的情况下，中心频率相差大于25MHz的两个信道，其信道抑制率最小应达到35dB。信道抑制率的测试方法是：在相邻信道输入功率为−35dBm的阻塞信号，接收机应该在保证误帧率小于8×10^{-2}的情况下解调功率为−70dBm的信号。若假设输入到模数变换器（A/D）的信号的信噪比（SNR）为10dB就能满足服务质量的要求，则相邻信道的总载波功率必须满足：

$$P_{\mathrm{C}} \leq -35\mathrm{dBc} - 10\mathrm{dB} = -45\mathrm{dBc} \tag{11-74}$$

由于信道带宽为22MHz，则接收机对振荡器相位噪声的要求必须满足：

$$\mathcal{L}(25\mathrm{MHz}) \leq P_{\mathrm{C}} - 10\log 25\mathrm{MHz} = -118.4\mathrm{dBc/Hz} \tag{11-75}$$

即用于IEEE802.11b无线局域网接收机的本地振荡信号在偏离载波25MHz处的相位噪声必须低于−118.4dBc/Hz。

§11.7.2 时钟抖动

时钟抖动是用在数字通信系统中的一个性能参量。一个理想数字时钟仅在时刻$t = \mathrm{k}T_{\mathrm{c}}$或者时刻$t = (\mathrm{k}+1/2)T_{\mathrm{c}}$（取决于上升沿或者下降沿）发生状态转换，其中，$T_{\mathrm{c}}$是时钟周期，k是整数，如图11-62所示。但当电路中出现噪声时，时钟发生状态转换的时刻会发生变化，同理想情况相比，发生状态转换

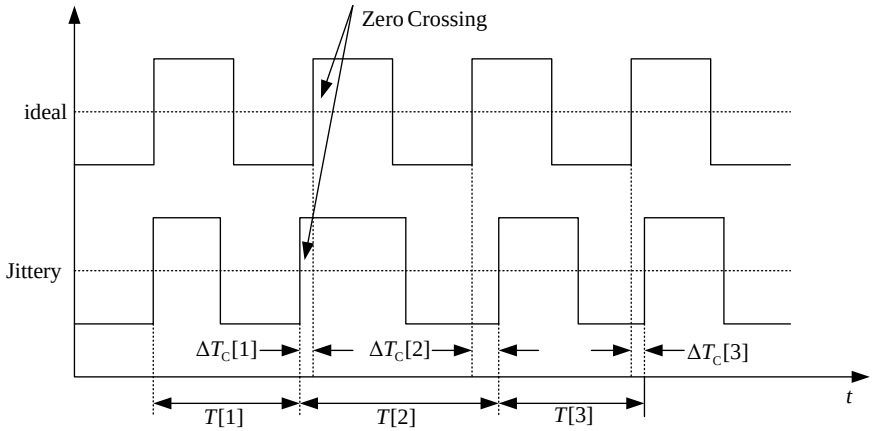


图 11-62 理想时钟信号和非理想时钟信号

的时刻（过零点时刻或过时钟信号平均值时刻）可能提早或者延迟，如图11-62所示。这种现象称为时钟抖动，它可引起数据流与时钟不同步，使得数字信号不是在优化时刻进行采样，提高了通信系统的误码率。

假设一个时钟信号可以表示为：

$$V_{\mathrm{out}}(t) = \mathrm{A}\sin\left[\omega_0 t + \phi(t)\right] \tag{11-76}$$

电路中的噪声引起振荡信号的相位随机变化，当相位随机变化时，振荡信号的过零时刻也会随机变化，引起时钟抖动。因此相位噪声是在频率域对噪声引起的相位变化的一种描述，而时钟抖动是在时间域对噪声引起的相位变化的一种描述，它们是等效的，只是表述方法不同。

存在抖动的时钟的平均周期为：

$$\text{Average period} = \overline{T} = \frac{1}{\mathrm{N}}\sum_{\mathrm{n}=1}^{\mathrm{N}} T[\mathrm{n}] \tag{11-77}$$

其中，$T[\mathrm{n}]$是第n个周期的持续时间。如果引起时钟抖动的噪声是高斯分布的，平均值为0（如热噪声或者$1/f$噪声），则存在抖动的时钟的平均周期与理想时钟的周期是一样的。

时钟抖动存在各种定义方式，周期性时钟抖动(Cycle, or period Jitter)定义为时钟的实际周期与理想周期的差值，即：

$$\Delta T[\mathrm{n}] = T[\mathrm{n}] - \overline{T} \tag{11-78}$$

该定义会随着时钟周期的不同而发生变化，通常用它的均方值(RMS)来描述抖动性能：

$$\Delta T_{\mathrm{c,RMS}} = \lim_{\mathrm{N}\to\infty} \sqrt{\frac{1}{\mathrm{N}} \sum_{\mathrm{n}=1}^{\mathrm{N}} (\Delta T[\mathrm{n}])^2} \tag{11-79}$$

上式中的极限表明为了测量一个信号的抖动性能，必须在整个时钟持续时间内进行观察，这是非常耗费时间的，通常只要所观察的周期数足够多就可以了。当观察的周期数越多，统计特性越准确，就越能反应时钟的抖动性能。

周期性时钟抖动描述了时钟周期扰动的幅度，但没有描述扰动的动态特性。为了描述时钟从这个周期到下个周期抖动的变化，可以引入周期到周期抖动（Cycle-to-Cycle Jitter），它定义为相邻两个周期抖动的差值，即：

$$\Delta T_{\mathrm{CC}}[\mathrm{n}+1] = \Delta T_{\mathrm{C}}[\mathrm{n}+1] - \Delta T_{\mathrm{C}}[\mathrm{n}] \tag{11-80}$$

用均方值(RMS)可以表示为：

$$\Delta T_{\mathrm{CC,RMS}} = \lim_{\mathrm{N}\to\infty} \sqrt{\frac{1}{\mathrm{N}} \sum_{\mathrm{n}=1}^{\mathrm{N}} (\Delta T_{\mathrm{CC}}[\mathrm{n}])^2} \tag{11-81}$$

周期性抖动将时钟的周期与它的平均周期进行比较，而周期到周期抖动将时钟的当前周期与它的上一个周期进行比较，因此周期到周期抖动描述了抖动的短时动态特性，而不是长时特性。

在某些系统中，描述时钟抖动的长时特性也是很重要的，这可以用绝对抖动（absolute jitter）来描述，绝对抖动定义为：

$$\Delta T_{\mathrm{abs}}[\mathrm{N}] = \sum_{\mathrm{n}=1}^{\mathrm{N}} \Delta T[\mathrm{n}] \tag{11-82}$$

由于绝对抖动会随着观察时间的变化而改变，因此在通常的振荡器测试中，它不是一个很重要的观测参数。它通常用在闭环系统中（如锁相环），闭环系统中的反馈机制会限制绝对抖动的幅度。

§11.7.3 相位噪声和时钟抖动的关系

如前所述，相位噪声和时钟抖动使用不同的语言来描述相位的随机扰动这一特性，相位噪声是从频域上对它进行描述，而时钟抖动是从时域上对它进行描述，从原理上来说，它们是等效的，它们之间应该存在数学公式将它们联系起来。如果引起相位噪声和时钟抖动的噪声是高斯分布的，平均值为0（如热噪声或者$1/f$噪声），而且电路没有记忆性（振荡信号扰动仅与当前扰动有关而与以前时刻的扰动没有关系），则可以证明，周期到周期抖动与相位噪声之间的关系为：

$$\mathcal{L}\{f_{\mathrm{m}}\} = 10\log\left[\frac{f_0^3}{f_{\mathrm{m}}^2} \cdot \Delta T_{\mathrm{CC,RMS}}^2\right] \tag{11-83}$$

由于相位噪声从频率域对噪声扰动的影响进行分析，相对于时钟抖动来说，分析起来比较方便，因此后面我们将主要针对相位噪声对振荡器的噪声扰动进行分析，如果需要知道时钟抖动性能，可以利用时钟抖动和相位噪声之间的联系关系式进行转化。

§11.7.4 相位噪声分析模型

振荡器在刚开始起振的时候，它的闭环增益幅度必须大于1，将振荡器内部的噪声或者外部干扰进行放大，使得振荡幅度不断增加。当振荡幅度增加到一定程度时，有源器件的非线性会使得环路增益开始下降，只有当闭环增益幅度下降到1，振荡信号幅度才能达到稳定。因此，为了保证振荡器能正常起振，并维持稳定的振荡，所有的振荡器都是非线性系统。

而且，振荡器的振荡幅度一般都很高，会使得有源器件周期性的导通或者截止，这使得振荡器的开环传输函数是一个时变函数。

所以振荡器是一个非线性时变系统，不能采用线性时不变（LTI）模型来分析它的相位噪声性能。如，与线性电路不同，在振荡器中，低频噪声能上变频到载波附近，而且谐波附近的噪声也能混叠到载波附近，因此对振荡器进行相位噪声分析是一个非常困难的任务。

由于器件是周期性的导通和截止，器件噪声以同样的调制方式对相位噪声产生影响，因此，振荡器噪声不是一个稳态过程，其自相关函数是时间的周期性函数，它是一个周期性稳态过程。

到目前为止，人们提出了多种模型来分析振荡器的相位噪声。在本节，我们将分析一些常用的相位噪声模型。

1. Leeson模型

如前所述，负阻型振荡器用一个负阻来补偿LC谐振回路的损失，在谐振时，负阻提供的能量等于谐振回路损失的能量。我们使用图11-63 来分析振荡器的相位噪声性能。 为了分析简单，假设负阻是无噪

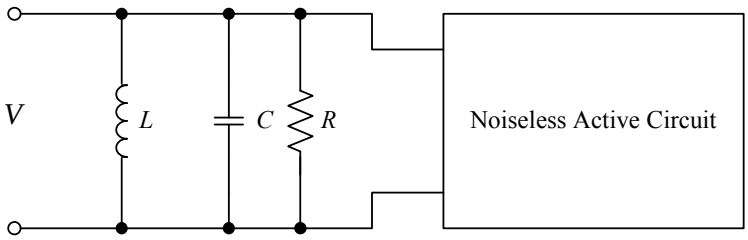


图 11-63 理想负阻振荡器

的，R是电路中唯一的噪声源，它产生的噪声是一个白色热噪声，可等效为一个噪声电流源，其功率谱密度为：

$$\frac{\overline{i_{\mathrm{n}}^2}}{\Delta f}=\frac{4\mathrm{k}T}{R} \tag{11-84}$$

LC谐振电路上的噪声电压成分为噪声电流源与噪声电流源所看到的有效阻抗的乘积。在振荡器稳定振荡时，负阻提供的能量等于谐振回路损失的能量，因此负阻与R互相抵消，噪声电流源看到的有效阻抗为理想无损LC网络的阻抗。

在稍微偏离振荡频率ω_0处（偏移量为$\Delta\omega$），LC回路的阻抗近似为：

$$Z(\omega_0+\Delta\omega)\approx -\mathrm{j}\cdot\frac{\omega_0 L}{2(\Delta\omega/\omega_0)} \tag{11-85}$$

考虑到并联LC谐振回路的品质因子为：

$$Q=\frac{R}{\omega_0 L} \tag{11-86}$$

因此

$$|Z(\omega_0+\Delta\omega)|\approx R\cdot\frac{\omega_0}{2Q\Delta\omega} \tag{11-87}$$

LC谐振电路上的噪声电压功率谱密度为噪声电流源的功率谱密度与LC回路阻抗平方的乘积，即：

$$\frac{\overline{v_{\mathrm{n}}^2}}{\Delta f}=\frac{\overline{i_{\mathrm{n}}^2}}{\Delta f}\cdot|Z|^2=4\mathrm{k}TR(\frac{\omega_0}{2Q\Delta\omega})^2 \tag{11-88}$$

由于LC谐振电路提供了滤波功能，输出噪声电压的功率谱密度与频率相关，它与载波频率ω的平方呈正比，而与频率偏移量$\Delta\omega$的平方呈反比，而且输出噪声电压的功率谱密度与LC谐振回路的品质因子平方呈反比。

在这种理想模型中，电阻R的热噪声引起振荡信号的幅度和相位扰动，在没有幅度控制的情况下，根据热动力学平分定律，噪声能量将平等地转化为幅度扰动和相位扰动。实际的振荡器都存在幅度控制措施，因此输出噪声电压仅对相位扰动产生贡献，其值为式11-88的一半。

按照相位噪声的定义，这种理想振荡器的相位噪声为：

$$\mathcal{L}\{\Delta\omega\} = 10\log[\frac{2\mathrm{k}T}{P_{\mathrm{sig}}}\cdot(\frac{\omega_0}{2Q\Delta\omega})^2] \tag{11-89}$$

其中，P_{sig}为振荡信号能量，它与振荡信号幅度V_{osc}之间的关系为$P_{\mathrm{sig}} = \frac{1}{2}V_{\mathrm{osc}}^2/R$。

从式11-89可以看出，提高振荡信号幅度可以提高振荡器的相位噪声性能。对于实际的振荡器来说，振荡幅度与振荡器的偏置电流有关，并可以分为两个不同的工作区域：电流受限区和电压受限区，后面我们还会对此进行讨论。为了最大化振荡器的相位噪声性能，同时避免浪费电流，一般将振荡器偏置于电流受限区和电压受限区的分界点上。

从式11-89还可以看出，振荡器的相位噪声与LC谐振回路的品质因子平方呈反比，因此提高LC谐振回路元件的质量是振荡器设计中一个很重要的任务。

式11-89表明振荡器的振荡频率与频率偏移量平方呈反比，但实际测量得到的相位噪声与频率偏移量之间的关系曲线如图11-64所示。它分为三个不同的区域：与偏移频率无关的区域称为平坦区；与偏移频率平

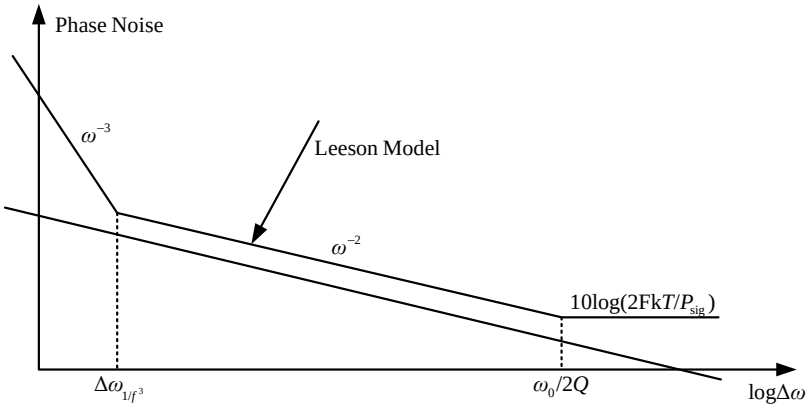


图 11-64 实际测量得到的相位噪声曲线

方呈反比区称为$(\Delta\omega)^{-2}$区；与偏移频率立方呈反比区称为$(\Delta\omega)^{-3}$区。而且实际测量得到的相位噪声要高于式11-89所预测的结果。这主要是由于我们所采用的模型太简单所造成的。实际上，电路中除了R会产生噪声外，负阻电路也会引入噪声，使相位噪声变差，而且MOS器件会引入$1/f$噪声，$1/f$噪声经上变频后会转移到载波频率附近，造成偏移频率量很小时的$(\Delta\omega)^{-3}$区；为了避免负载效应（负载变化时，振荡频率发生变化），振荡器一般都有一个输出缓冲电路，该缓冲电路会限制可以观测到的振荡器噪声基底，测试设备本身也存在可测量噪声基底，当偏移频率较大，振荡器噪声谱低于输出缓冲电路或者测试设备的噪声基底时，振荡器本身的噪声是测量不出来的，这就形成了平坦区。

考虑到以上因素后，Leeson提出了一种相位噪声模型，称为Leeson模型，它是岂今为止最有名的相位噪声模型：

$$\mathcal{L}\{\Delta\omega\} = 10\log[\frac{2\mathrm{F}\mathrm{k}T}{P_{\mathrm{sig}}}[1+(\frac{\omega_0}{2Q\Delta\omega})^2](1+\frac{\Delta\omega_{1/f^3}}{\Delta\omega})] \tag{11-90}$$

其中，F用来表示负阻电路在$(\Delta\omega)^{-2}$区对相位噪声的贡献，它是一个实验参数；$[1+(\frac{\omega_0}{2Q\Delta\omega})^2]$中的1表示输出缓冲电路或者测试设备本身所引入的噪声基底，而$(1+\frac{\Delta\omega_{1/f^3}}{\Delta\omega})$描述了振荡器在$(\Delta\omega)^{-3}$区的相位噪声性能，$\Delta\omega_{1/f^3}$是$(\Delta\omega)^{-3}$与$(\Delta\omega)^{-2}$区的分界点，Leeson 认为它等于振荡器中有源器件的1/f Corner频率。

Leeson模型准确地预测了振荡器的相位噪声行为，而且数学表达式非常简单，因此得到了广泛应用。但Leeson模型中包含有一个实验参数F，它需要进行实际测量后拟和得到，因此它不能预测振荡器的相位噪声性能，这是Leeson模型最大的问题。按照Leeson模型，平坦区与$(\Delta\omega)^{-2}$区的分界点应等于$\omega_0/2Q$，但实际上这并不总是成立的；Leeson模型的另一个问题是$\Delta\omega_{1/f^3}$也不总等于有源器件的1/f Corner频率，人们更多地将它作为一个实验参数来对待，更加消弱了Leeson的相位噪声预测功能。

针对Leeson 模型不能预测振荡器相位噪声性能的缺点，Bram De Muer对振荡器在$(\Delta\omega)^{-2}$区的相位噪声提出了一个新的模型，它采用非线性小信号电路分析方法，所推导的结果可以表示为：

$$\mathcal{L}\{\Delta\omega\} = 10\log\left[\frac{2\mathrm{k}T}{P_{\mathrm{sig}}}\cdot(1+\gamma\mathrm{n}G_{\mathrm{M}}R)\cdot\frac{G_{\mathrm{M}}R}{2}\cdot\left(\frac{\omega_0}{2Q\Delta\omega}\right)^2\right] \tag{11-91}$$

其中，γ是有源器件的沟道电流噪声因子，对于长沟道MOS管来说，它等于2/3；n是沟道热噪声的体跨导调制因子（$\mathrm{n}\approx 1.5$），G_{M}是负阻电路的跨导，$G_{\mathrm{M}}R$是振荡器的环路增益，为了保证振荡器起振，一般要求$G_{\mathrm{M}}R\geq 2$。同Leeson模型相比，$\mathrm{F}=1+\gamma\mathrm{n}G_{\mathrm{M}}R$，而且增加了$G_{\mathrm{M}}R$项来表示初始环路增益大于1的影响。该模型将Leeson模型中的实验参数F表示为了电路参数，从而可以使用该公式来预测振荡器的相位噪声性能。

后来，Rael应用周期性稳态频域分析方法分析了LC差分负阻振荡器的相位噪声性能，在$1/f^2$区的相位噪声模型与Leeson模型一样，但F因子由下式决定：

$$F = 1+\frac{4\gamma RI}{\pi V_{\mathrm{O}}}+\gamma\frac{4}{9}g_{\mathrm{mbias}}R \tag{11-92}$$

其中，γ是晶体管沟道电流噪声因子，对于长沟道器件约为2/3，对于短沟道器件，它的值可能增加到2～3；V_{O}是振荡电压幅度，I是振荡器核的偏置电流，g_{mbias}是偏置晶体管的跨导。该式中的第一项表示LC谐振回路噪声对相位噪声的贡献，第二项表示负阻互耦对噪声对相位噪声的贡献，第三项是偏置电流源噪声对相位噪声的贡献。偏置电流源噪声对振荡器的相位噪声具有很大的影响，是限制振荡器相位噪声性能的主要因素。Rael模型指出了振荡器各部分对相位噪声的影响，为研究减小相位噪声的措施指明了方向，后面我们还会用该模型来分析提高负阻型LC 振荡器相位噪声性能的措施。

2. Razavi模型

Leeson模型是针对LC振荡器提出来的，对于环型振荡器并不适用。对于环型振荡器，Razavi提出了一种新的模型，可以用来描述环型振荡器的相位噪声性能。这种模型的关键是定义环型振荡器的品质因子，一旦定义了品质因子，那么就可以利用Leeson模型来求取环型振荡器的相位噪声。Razavi将振荡器的开环品质因子定义为：

$$Q = \frac{\omega_0}{2}\sqrt{\left(\frac{\mathrm{d}A}{\mathrm{d}\omega}\right)^2+\left(\frac{\mathrm{d}\Phi}{\mathrm{d}\omega}\right)^2} \tag{11-93}$$

其中，A为环路增益的幅度，Φ为环路增益的相位。上式测量电路参数变化对环路增益的幅度和相位的影响程度，影响越大，则说明振荡判据越容易受到电路参数的影响，因此振荡器的品质因子很低。如果噪声引起电路参数变化，环路增益的幅度和相位必然会发生变化，Barkhausen判据不再满足，迫使振荡频率发生变化，但如果振荡器的品质因子很高，则电路中将出现很强的反馈，将环路增益的幅度和相位拉回到稳定状态，使振荡频率受到噪声的影响减小。这与LC振荡器的品质因子定义在本质上是一样的。

定义了环型振荡器的品质因子并考虑到环型振荡器一般由多个延迟单元组成后，应用Leeson模型，可以得到环型振荡器在$(\Delta\omega)^{-2}$区的相位噪声为：

$$\mathcal{L}\{\Delta\omega\} = \frac{2\mathrm{NFk}T}{P_{\mathrm{sig}}}\left(\frac{\omega_0}{2Q\Delta\omega}\right)^2 \tag{11-94}$$

其中，N是延迟单元级数的函数。如果假设振荡器是线性工作的，则对于三级环型振荡器，$\mathrm{N}=3\sqrt{3}/4\approx 1.3$，对于四级环型振荡器，$\mathrm{N}=\sqrt{2}\approx 1.4$。考虑到因子N，环型振荡器一般采用最少的级数（三级或者四级）。

Razavi模型假设了延迟单元是线性（或近似线性）工作的，但从该模型可以看出，为了优化相位噪声，要求振荡信号摆幅很大，延迟单元中的晶体管将工作于开关状态，这是一种非线性工作状态，上述模型并不能适用。考虑到此后，Liang Dai对该模型进行了修改，使它可以应用于振荡幅度很大引起电路非线性工作的情况。下式表示了三级环型振荡器在$(\Delta\omega)^{-2}$区的相位噪声：

$$\mathcal{L}\{\Delta\omega\}=\begin{cases}\frac{16\mathrm{Fk}TR\omega_0^2}{9|\mathrm{d}v/\mathrm{d}t|^2_{\max}}(\frac{\omega_0}{\Delta\omega})^2 & : \quad V_{\mathrm{pp}}\ll 8V_{\mathrm{DD}}/3\pi \\ \frac{64\mathrm{Fk}TRV_{\mathrm{DD}}\omega_0^3}{27\pi|\mathrm{d}v/\mathrm{d}t|^3_{\max}}(\frac{\omega_0}{\Delta\omega})^2 & : \quad V_{\mathrm{pp}}\gg 8V_{\mathrm{DD}}/3\pi\end{cases} \tag{11-95}$$

其中，V_{pp}是振荡信号摆幅，R是延迟单元负载阻抗。

3. Hajimiri模型

前面的推导都假设了电路是线性和时不变的，但实际上，振荡器并不能满足这些假设。下面我们来介绍基于非线性时变电路分析方法的相位噪声模型。

一个振荡器可以被看成为n个输入（每一个输入和一个噪声源相联系）、两输出（余量相位信号$\phi(t)$和瞬时幅度信号$A(t)$）的系统，即输出可以表示为：

$$V_{\mathrm{out}}(t)=A(t)\cdot f[\omega_0 t+\phi] \tag{11-96}$$

噪声输入存在两种形式：以电流源的形式与电路节点并联，或者以电压源的形式与电路支路串联。对于每一个输入源和输出信号，振荡器系统都可以被看成为单输入、单输出系统，如图11-65 所示。 通过研

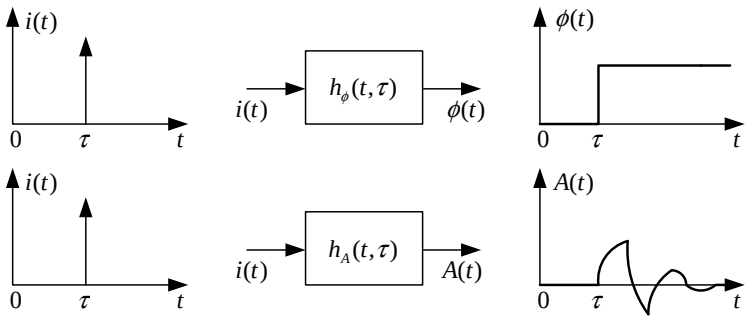


图 11-65 相位和幅度脉冲响应模型

究这两个系统的脉冲激励函数，可以了解噪声对$A(t)$和$\phi(t)$的时域和频域扰动情况。

图11-65 所示的两个系统是时变的，为了说明这一点，考虑图11-66所示的理想LC振荡器。 如果我们

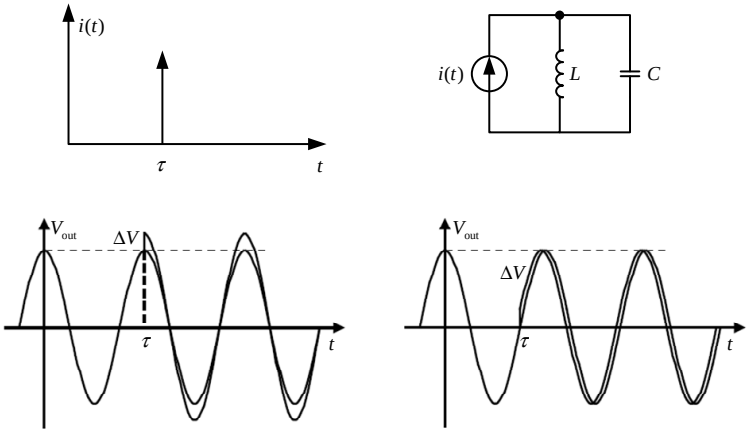


图 11-66 不同时刻注入电流脉冲对振荡波形的影响

如图所示注入一个电流脉冲$i(t)$，振荡器的幅度和相位将受到扰动，它们对注入电流脉冲的响应与注入时间

有关。图11-66给出了在两个不同时刻注入电流脉冲对振荡器输出波形的影响。注入电流脉冲只会引起电容上的瞬时电压变化，而不会影响流过电感的电流，电流脉冲所引起的瞬时电压变化为：

$$\Delta V = \frac{\Delta q}{C_{\text{tot}}} \tag{11-97}$$

其中，Δq是电流脉冲注入电路的总电荷，而C_{tot}是注入节点的总电容。

从图11-66可以看出，注入脉冲对$A(t)$和$\phi(t)$的影响是时变的。如果电流脉冲是在电容上的电压达到峰值时注入，则电流脉冲仅改变信号的幅度，但信号的过零点并不发生变化，即注入脉冲不会引入额外的相移；但如果电流脉冲是在电容上的电压经过零点时刻注入，则电流脉冲对余量相移$\phi(t)$ 的影响达到最大，而对$A(t)$的影响为0，在其它的时刻，电流脉冲会对$A(t)$和$\phi(t)$同时发生影响。对于实际的振荡器来说，电路中存在非线性限幅机制，这种机制可以保证振荡幅度受到扰动后经过一定时间会回到稳定状态，即从最终来看，噪声对振荡幅度是没有影响的，但对于余量相移来说，任何注入信号对它的扰动都会长久的保持下去，注入脉冲引起余量相移发生阶跃变化，如图11-65所示。下面我们仅关心噪声对余量相移的影响。

以上论述说明了注入脉冲对余量相移的影响是时变的，进一步，我们还可以假设注入脉冲对余量相移的影响是线性的。这是一个合理的假设，因为当注入电荷量增加一倍时，它对余量相移的扰动也会增加一倍。因此，虽然振荡器电路本身是非线性的，但注入脉冲对余量相移的影响是线性而且时变的，它的脉冲响应是一个与注入时刻有关的阶跃函数，阶跃函数的幅度正比于注入的电荷量，即它的单位脉冲相移函数为：

$$h_\phi(t,\tau) = \frac{\Gamma(\omega_0\tau)}{q_{\max}} u(t-\tau) \tag{11-98}$$

其中，$q_{\max}$是注入节点电容上的最大电荷摆幅，$u(t)$是阶跃函数，而$\Gamma(x)$被称之为脉冲敏感性函数（Impulse Sensitivity Function, ISF），它是一个与频率和幅度无关的周期性函数，周期为2π，它包含有在相位$\omega_0 t$注入的脉冲对振荡器的扰动灵敏度信息。图11-67给出了LC振荡器和环型振荡器的ISF。

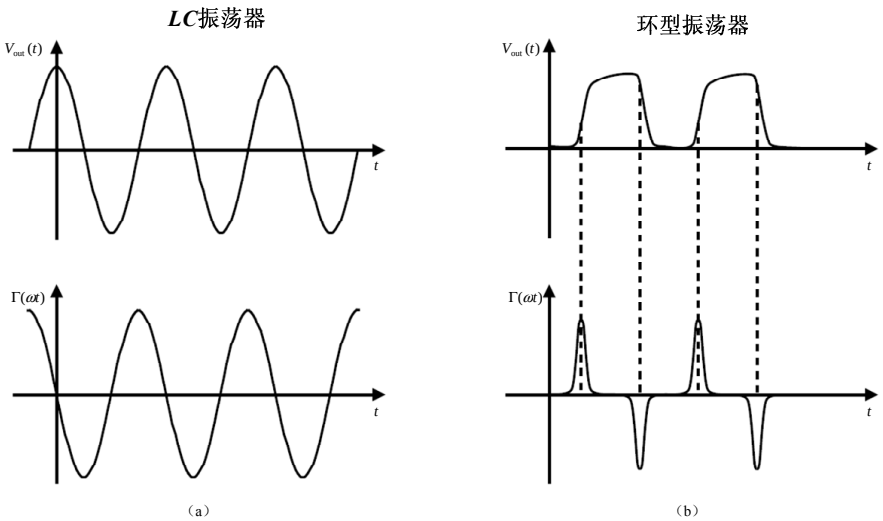


图 11-67 LC振荡器和环型振荡器的ISF

对LC振荡器来说，在振荡信号过零点时，ISF达到最大，而在振荡信号达到峰值时，ISF为0，这同图11-66所示的情形是一致的。对于环型振荡器来说，仅在振荡信号的上升沿或者下降沿，ISF才不等于0，而在振荡信号不随时间变化区域（相当于峰值区域），ISF等于0。因此注入脉冲对振荡器的影响主要发生在振荡信号变化最剧烈区域。

ISF与振荡信号波形有关，通常需要通过电路仿真来确定，但对于简单的振荡信号波形，可以通过分析的方法来得到。如对于正弦振荡波形来说，它的ISF是一个余弦型函数。

知道了ISF后，利用叠加积分方法，任何噪声信号对余量相移的影响可以表示为：

$$\phi(t) = \int_{-\infty}^{\infty} h_\phi(t,\tau) i(\tau) \mathrm{d}\tau = \frac{1}{q_{\max}} \int_{-\infty}^{t} \Gamma(\omega_0\tau) i(\tau) \mathrm{d}\tau \tag{11-99}$$

其中，$i(t)$代表注入电路各节点的输入噪声电流。

由于ISF是周期性的，它可以展开为傅立叶级数：

$$\Gamma(\omega_0\tau) = \frac{c_0}{2} + \sum_{\mathrm{n}=1}^{\infty} c_{\mathrm{n}} \cos\left(\mathrm{n}\omega_0\tau + \theta_{\mathrm{n}}\right) \tag{11-100}$$

其中，c_{n}是傅立叶系数，它是一个实数，θ_{n}是n阶谐波的相位。由于各噪声成分之间是不相关的，因此各噪声成分对余量相移的影响也是不相关的，在下面的分析中，我们将忽略θ_{n}。

将式11-100代入式11-99中，可以得到：

$$\phi(t) = \frac{1}{q_{\max}}\left[\frac{c_0}{2}\int_{-\infty}^{t} i(\tau)\mathrm{d}\tau + \sum_{\mathrm{n}=1}^{\infty} c_{\mathrm{n}} \int_{-\infty}^{t} i(\tau)\cos\left(\mathrm{n}\omega_0\tau\right)\mathrm{d}\tau\right] \tag{11-101}$$

因此，只要知道了ISF的傅立叶系数，任何注入振荡器的输入噪声电流$i(t)$对余量相移$\phi(t)$的影响都可以用上式来计算。上式表明，注入电流对余量相移的影响可能发生频率转换操作，这是由于注入电流对余量相移的影响是时变的。为了显示地说明这一点，我们给振荡器注入一个正弦型电流成分，它的频率靠近振荡频率的整数倍，即

$$i(t) = I_{\mathrm{m}} \cos\left[(\mathrm{m}\omega_0 + \Delta\omega)t\right] \tag{11-102}$$

其中，$\Delta\omega \ll \omega_0$。将上式代入式11-101，并注意到积分相当于求平均操作，因此除了$\mathrm{n} = \mathrm{m}$级数项外，其它级数项的积分近似为0，即：

$$\phi(t) \approx \frac{I_{\mathrm{m}} c_{\mathrm{m}} \sin\left(\Delta\omega t\right)}{2q_{\max}\Delta\omega} \tag{11-103}$$

因此，尽管注入电流的频率靠近振荡频率ω_0的整数倍处，$\phi(t)$的频谱在$\pm\Delta\omega$包含有两个相等的边带，即注入脉冲对余量相移的影响发生了频率转换。这是Hajimiri模型提供的很重要视角。

到此为止，我们可以利用式11-101来计算注入电流$i(t)$所引入的额外余量相移。计算振荡器输出电压的功率谱密度$S_v(\omega)$要求知道余量相移变化对输出电压的影响。如图11-68所示，元器件噪声对输出电压的影响可以被看作两个系统的级联。 第一个系统是上面介绍的电流–相位转换的线性时变系统，第二个系统是

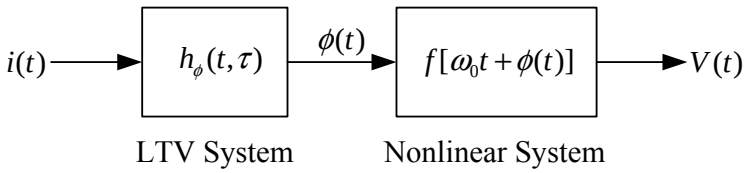


图 11-68 噪声对输出电压频谱的影响可以看作两个系统的级联

相位调制非线性系统，它将相位转换为电压。为了获得基频附近的边带功率谱密度，振荡器输出的基频谐波波形$\cos\left[\omega_0 t + \phi(t)\right]$可以用作第二个系统的传输函数，它是一个非线性函数，$\phi(t)$是它的输入。

将式11-103代入$\cos\left[\omega_0 t + \phi(t)\right]$，并假设扰动幅度很小，得到的输出电压中在$\omega_0 \pm \Delta\omega$频率处包含有两个相等的边带，其边带功率与载波功率之比为：

$$P_{\mathrm{SBC}}(\Delta\omega) \approx 10 \cdot \log\left(\frac{I_{\mathrm{m}} c_{\mathrm{m}}}{4q_{\max}\Delta\omega}\right)^2 \tag{11-104}$$

边带功率与扰动幅度之间是线性的（功率是平方量，因此与扰动幅度的平方呈正比），这种关系对绝大多数的实际振荡器都是实用的。这种频率转换关系是不能用线性时不变分析方法来解释的，因为线性时不变电路不能产生新的频率。

以上结果可以推广到更通用的情况，其中，白色热噪声$\overline{i_{\mathrm{n}}^2}/\Delta f$所引起的边带噪声功率与载波功率之比为：

$$P_{\mathrm{SBC}}(\Delta\omega) \approx 10 \cdot \log\left[\frac{\frac{\overline{i_{\mathrm{n}}^2}}{\Delta f}\sum_{\mathrm{m}=0}^{\infty} c_{\mathrm{m}}^2}{4q_{\max}^2\Delta\omega^2}\right] \tag{11-105}$$

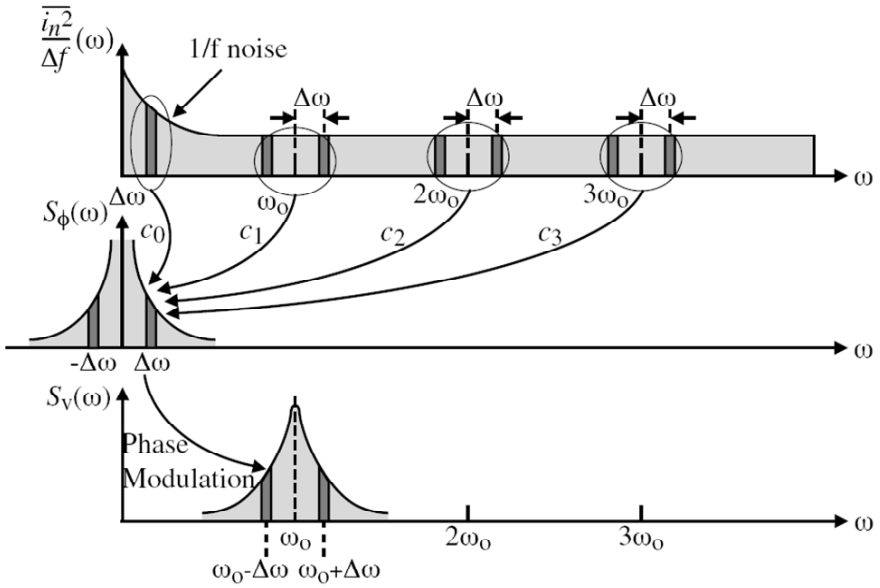


图 11-69 电路噪声转换为相位噪声的过程

式11-104和式11-105表明，位于振荡频率整倍数附近的噪声成分会经过上变频或者下变频过程转移到载波频率附近，如图11-69所示。 靠近直流的噪声成分会上变频，其权重为c_0，所以器件的$1/f$噪声会最终转化为靠近载波的$1/f^3$噪声；载波频率附近的噪声不发生频率转换，其权重为c_1；更高整数倍载波频率附近的噪声会下变频，转化为靠近载波的$1/f^2$噪声。而平坦区是由于输出缓冲器或者测试设备引入的，与振荡器本身并没有关系。

从图11-69可以看出，最小化各个系数c_n（最小化ISF）就可以最小化相位噪声。为了量化地说明这一点，应用Parseval定理：

$$\sum_{n=0}^{\infty} c_m^2 = \frac{1}{\pi}\int_0^{2\pi} |\Gamma(x)|^2 \mathrm{d}x = 2\Gamma_{rms}^2 \tag{11-106}$$

因此在$1/f^2$区的相位噪声为：

$$\mathcal{L}\{\Delta\omega\} = 10\cdot\log\left[\frac{\frac{\overline{i_n^2}}{\Delta f}\Gamma_{rms}^2}{2q_{max}^2\Delta\omega_2}\right] \tag{11-107}$$

其中，Γ_{rms}是ISF的均方值，因此在其它参数不变时，减小Γ_{rms}可以减小所有频率处的相位噪声。式11-107是振荡器在$1/f^2$区的相位噪声方程，是Hajimiri模型的一个关键结果。

对于$1/f$噪声来说，噪声电流可以表示为：

$$\overline{i_{n,1/f}^2} = \overline{i_n^2}\cdot\frac{\omega_{1/f}}{\Delta\omega} \tag{11-108}$$

其中，$\omega_{1/f}$是器件的$1/f$corner频率。代入式15-26，并考虑到仅直流项会产生贡献，可以得到：

$$\mathcal{L}\{\Delta\omega\} = 10\cdot\log\left[\frac{\frac{\overline{i_n^2}}{\Delta f}c_0^2}{8q_{max}^2\Delta\omega^2}\cdot\frac{\omega_{1/f}}{\Delta\omega}\right] \tag{11-109}$$

它与偏移频率的立方呈正比，呈现$1/f^3$特性。

令式11-107和式11-109相等，可以求得振荡器的$1/f^3$Corner频率为：

$$\Delta\omega_{1/f^3} = \omega_{1/f}\cdot\frac{c_0^2}{4\Gamma_{rms}^2} = \omega_{1/f}\cdot\left(\frac{\Gamma_{dc}}{\Gamma_{rms}}\right)^2 \tag{11-110}$$

该频率与器件的$1/f$corner频率并不一定对应，它通常小于器件的$1/f$corner频率。Γ_{dc}是ISF的直流值，而ISF又是振荡波形的函数，因此在振荡器设计中，可以通过控制振荡波形来减小$1/f$噪声的影响。如果振

荡波形在上升阶段和下降阶段是完全对称的，ISF的直流值可以做到近似为0，这样可以消除器件$1/f$噪声的影响。因此，在振荡器设计中，保持振荡波形上升阶段和下降阶段的对称性可以减小$1/f^3$区的相位噪声。

对于振荡器的相位噪声分析来说，除了周期性时变特性使得分析变复杂之外，另一个更复杂的因素是振荡器电路中某些随机噪声源的统计特性的周期性时变特性，这些噪声源称之为周期性稳态噪声源。例如，MOS器件的沟道噪声就是周期性稳态的，因为该噪声功率是周期性变化的晶体管偏置电流的函数。而那些统计特性不随时间变化的噪声源则称之为稳态噪声源，如电阻的热噪声。

一个白色周期性稳态噪声源可以分解为一个白色稳态噪声源和周期性函数的乘积：

$$i_{\mathrm{n}}(t) = i_{\mathrm{n0}}(t) \cdot \alpha(\omega_0 t) \tag{11-111}$$

其中，i_{n0}是稳态白噪声，其值等于周期性稳态噪声源的峰值。而噪声调制函数（Noise Modulation Function，NMF）$\alpha(x)$是周期性无量纲函数，它的峰值为1，如图11-70所示。

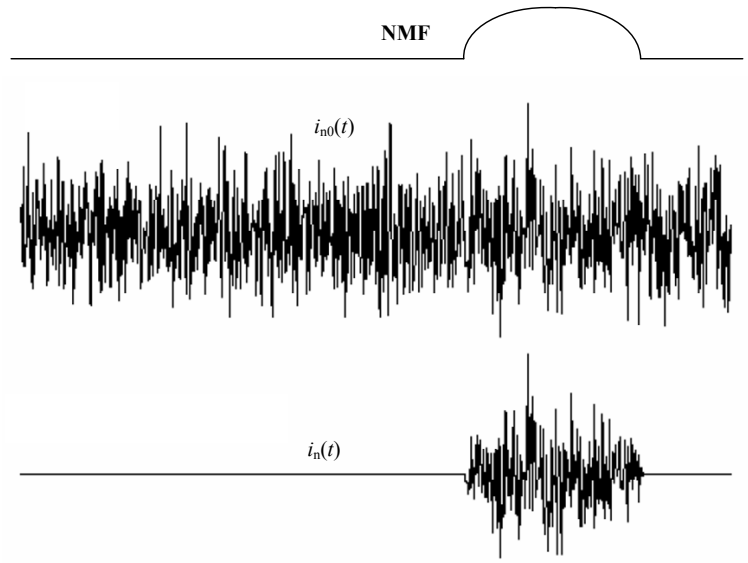


图 11-70 白色周期性稳态噪声源可以分解为一个白色稳态噪声源和周期性函数的乘积

将式11-111代入式11-99，并定义有效ISF为：

$$\Gamma_{\mathrm{eff}}(x) = \Gamma(x)\alpha(x) \tag{11-112}$$

那么周期性稳态噪声源对相位噪声的贡献可以用一个稳态噪声源来代替，以上所有的推导过程都可以直接适用，只要将$\Gamma(x)$换为$\Gamma_{\mathrm{eff}}(x)$。

图11-71给出了一个Colpitts振荡器在一个周期内的$\Gamma(x)$、$\alpha(x)$和$\Gamma_{\mathrm{eff}}(x)$。$\Gamma(x)$近似于正弦波形，这同前面讨论的理想LC振荡器的ISF是一致的。NMF在一个周期的大部分时间内都接近于0，这同Colpitts振荡器中的晶体管工作于C类是一致的，晶体管仅在一个很窄的时间窗口内补偿LC谐振回路的能量损失。$\alpha(x)$和$\Gamma(x)$的乘积$\Gamma_{\mathrm{eff}}(x)$的均方值要远小于$\Gamma(x)$的均方值，因此对这类LC振荡器来说，周期性稳态的影响是很重要的。

但这种情形对于环型振荡器则是完全不同的，图11-72给出了一个环型振荡器在一个周期内的$\Gamma(x)$、$\alpha(x)$和$\Gamma_{\mathrm{eff}}(x)$。从图中可以看出，当$\Gamma(x)$达到最大时，噪声功率也达到最大值（主要原因在于环型振荡器中器件电流在发生状态转换时达到最大值，注入能量的时刻是在振荡信号过零时刻而不是振荡信号达到最大值时刻），这导致$\Gamma_{\mathrm{eff}}(x)$同$\Gamma(x)$是近似相同的，表明噪声的周期性稳态特性对环型振荡器的相位噪声影响并不重要。这是环型振荡器的相位噪声性能不如Colpitts LC振荡器的一个原因。另一个原因是环型振荡器在一个周期内消耗了所有存储的能量。

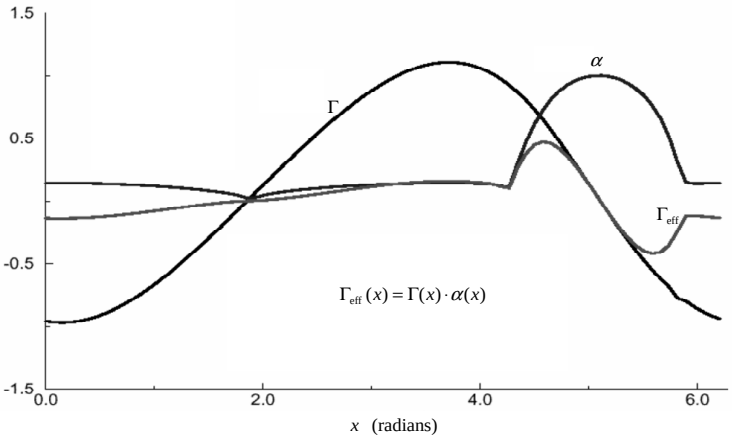


图 11-71 Colpitts振荡器中周期性稳态噪声的影响

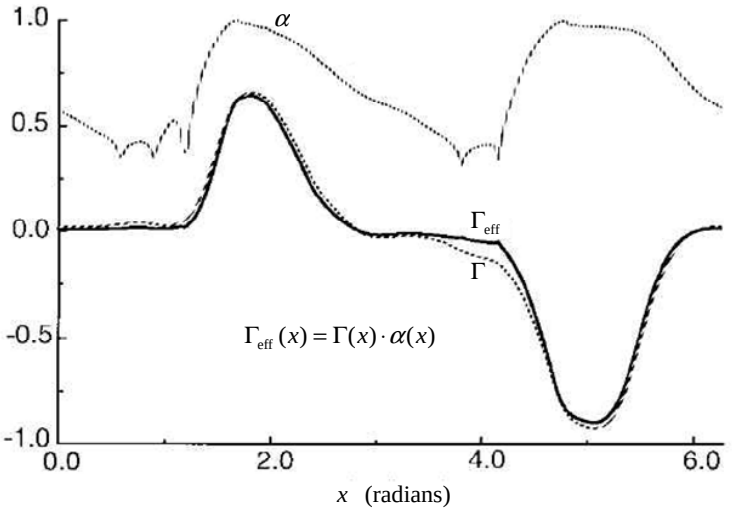


图 11-72 环型振荡器中周期性稳态噪声的影响

目前为止的分析方法给出了如何计算单个噪声源对相位噪声的贡献，这个方法也可以扩展到多个噪声源和多个节点的情况，只要图11-68所示的第一个系统是线性的，那么每一个噪声源对相位噪声的贡献可以采用叠加定理进行叠加。实际应用此方法时，需要注意每一个噪声源之间可能存在的相关性。因此可以将振荡器中的每一个电容都认为有一个噪声电流源并联，而每一个电感都认为有一个噪声电压源串联，并采用以下方法来计算振荡器输出的相位噪声：（1）发现和每一个电容并联的等效噪声电流源以及与每一个电感串联的等效噪声电压源，并划分噪声中的相关和不相关部分；（2）发现从每一个噪声源到输出相位余量的传输函数：（a）发现每一个噪声源的ISF函数；（b）发现ISF的$\Gamma_{\rm rms}$和c_0；（3）用$\Gamma_{\rm rms}$和c_0以及输入噪声源的功率谱密度来计算每一个噪声源引起的相位噪声功率；（4）将不相关性噪声源所引起的输出相位噪声功率直接相加，而将相关性噪声源所引起的输出相位噪声功率取均方根来求振荡器的总相位噪声。

Hajimiri模型提供了一个比较准确分析相位噪声的方法，但这种方法在实际应用中存在一些问题。第一个问题是ISF函数的求取。ISF函数是通过在某一个节点注入一个电流脉冲，并观察它对输出相位余量的传输函数来求取的。但在实际模拟中，δ函数是无法做到的，只能用具有有限幅度和一定持续时间的窄脉冲来代替，既然注入电流太大会影响电路的正常工作状态，注入的电流幅度必须很小，导致电流–时间积（即注入电荷量）也很小，所引起的相移也是很小的，难以准确观察或者引入数值计算错误，这降低了ISF函数的准确度。该模型的第二个问题是过长的模拟时间。在注入电流脉冲后，仿真时间步长必须很短以保证仿真的准确性，同时为了使得电路恢复到稳定状态，仿真时间也需要很长，因此求一个节点在某一个时间点的ISF值就需要进行长时间的瞬态分析，为了计算一个周期内的ISF，必须取足够多的时间点来进行分

析，而为了衡量整个电路，电路中的每一个节点都必须进行分析，这导致仿真时间非常长。当振荡器电路的复杂性增加时，计算ISF函数所用的计算开销是无法承受的。这些问题限制了这个相位噪声模型的实际应用能力。

总之，Hajimiri模型提供了一个准确分析相位噪声的方法，但它在实际应用中会受到一定的限制。

§11.8 相位噪声性能分析

从线性时不变模型和Hajimiri模型可以看出，在其它参数不变的前提下，提高振荡信号幅度和谐振回路品质因子可以提高振荡器的相位噪声。而且，从Hajimiri模型可以看出，ISF在一个振荡周期中存在敏感时刻和不敏感时刻，因此补偿振荡器能量损失的最好办法是在ISF达到最小值时一次注入补充能量，这种注入能量的办法可以提高相位噪声性能。另外，考虑到$1/f$噪声上变频对相位噪声的影响取决于$\Gamma(x)$的直流值$\Gamma_{\rm dc}$，因此保持振荡波形的对称性是非常重要的。本节我们将针对环型振荡器和负阻LC压控振荡器的相位噪声性能进行分析，并指出提高相位噪声性能的措施。

§11.8.1 环型振荡器

如前所述，与LC振荡器相比，环型振荡器的相位噪声性能较差，并不适宜于高性能要求的无线通信应用。但由于环型振荡器与标准CMOS工艺兼容，而且调谐范围宽，占用芯片面积小，因此对它的研究一直没有中断。研究中发现，通过采用一定的技术手段，环型振荡器的相位噪声性能可以得到很大的改善，甚至达到与LC振荡器相似的相位噪声性能，因此可以应用于中低性能的通信系统中。

提高环型振荡器相位噪声性能的最明显的措施是提高振荡信号幅度，因此，在环型振荡器的各种延迟单元电路中，那些能够提供全摆幅振荡信号的电路将具有最优的相位噪声性能，这是在选择环型振荡器的延迟单元电路时必须考虑的一个重要因素。

为了说明提高环型振荡器相位噪声性能的另一个措施，需要研究环型振荡器的ISF函数。图11-73给出了环型振荡器的常见波形。 它的ISF函数可以用两个三角形来近似，其中，$f_{\rm rise}$和$f_{\rm fall}$是振荡信号上升沿和

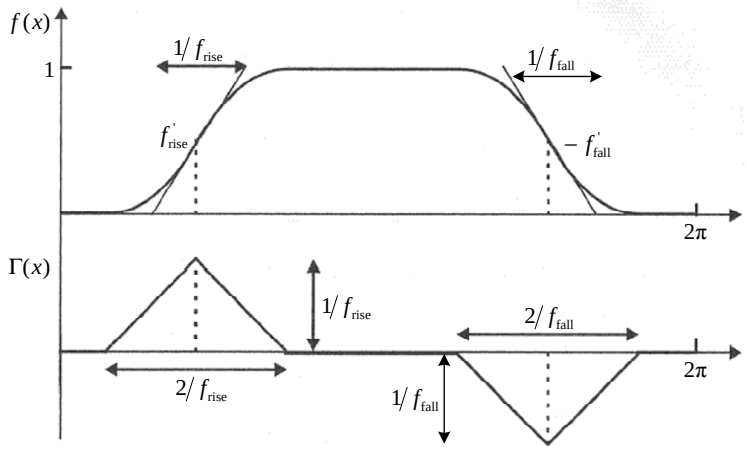


图 11-73 环型振荡器的近似ISF

下降沿的最大斜率，则ISF的均方值为：

$$\Gamma_{\rm rms}^2 = \frac{1}{3\pi}(\frac{1}{f_{\rm rise}})^3(1+A^3) \tag{11-113}$$

其中，$A = f_{\rm rise}/f_{\rm fall}$。从上式可以看出，提高环型振荡器在上升沿和下降沿的转换速率，可以提高它的相位噪声性能。一般说来，这是通过增加功耗来实现的，当功耗增加时，环型振荡器中对节点寄生电容充放电的电流也会增加，转换速率也可以得到提高，从而提高了相位噪声性能，因此环型振荡器的相位噪声性能和功耗之间是互相折衷的。

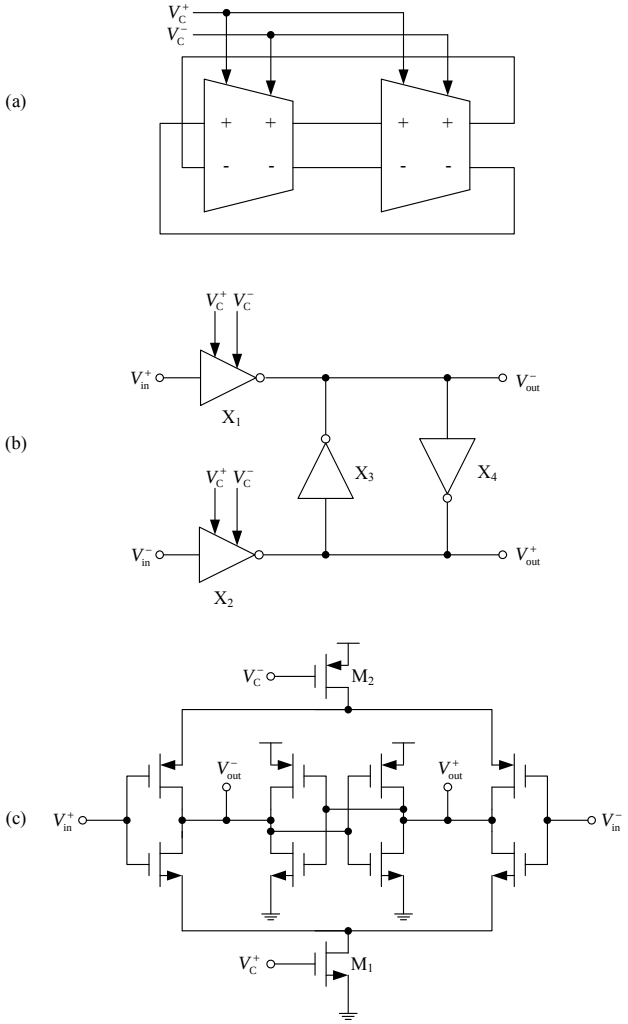


图 11-74 通过在延迟单元中引入锁存器来提高状态转换速率

改善转换速率的另一种办法是采用新的延迟单元结构，尽可能提高振荡信号在边沿的转换速率，实现这一思路的一种延迟单元电路如图11-74（b）和（c）所示。 它是一种互补输入、互补输出、差分调谐的结构，X_1到X_4都是CMOS反相器，差分控制电压V_c^+和V_c^-控制流过晶体管M_1和M_2的电流，改变电路的延迟时间，从而起到频率调谐的作用。X_1、X_2 是常见的延迟单元结构，在信号路径上引入一定的延迟。X_3、X_4组成一个锁存器，在发生状态转换时，在输出节点V_{out}^+和V_{out}^-之间形成一个正反馈，加快状态转换的速率，这两个反相器的驱动强度设计为略高于X_1、X_2，因此状态转换的速率首先决定于X_3、X_4，而与振荡频率关系不大。在图中，频率调谐器件M_1、M_2不对X_3、X_4进行控制，位于正反馈环路之外，它仅调节延迟单元的延迟时间而不改变状态转换速率，状态转换速率主要决定于工艺所提供的晶体管特征频率，当晶体管的特征尺寸缩小，特征频率提高时，环型振荡器的转换速率可以得到进一步提高，相位噪声性能也可以得到更大的改善。这种技术通过采用锁存器来提高振荡信号在边沿的转换速率，从而提高了振荡器的相位噪声性能。由于锁存器会引入额外的延迟时间，因此两级延迟单元就可以维持稳定振荡（如图11-74（a）），减小延迟单元级数也可以提高相位噪声性能。采用这种技术实现的一个环型振荡器在1MHz偏移频率处达到了−117dBc/Hz的相位噪声性能，载波频率为973MHz，这与LC振荡器的相位噪声性能是可比的，它采用0.35μm CMOS工艺和3.3V电源，消耗的电流为24mA。

在环型振荡器中，衬底耦合噪声和电源电压噪声（来自于同一芯片上的其它电路）会干扰环型振荡器的工作，恶化其相位噪声性能。这些噪声会通过多个节点注入环型振荡器中，注入噪声之间存在一定的相关性，可以利用这些相关性来减弱它们的影响。为了说明这一点，我们来看图11-75，它是一个5级环型振

荡器，在每一级的输入都注入一个相同大小的噪声电流源。 如果所有的延迟单元都是相同的，那么不同节

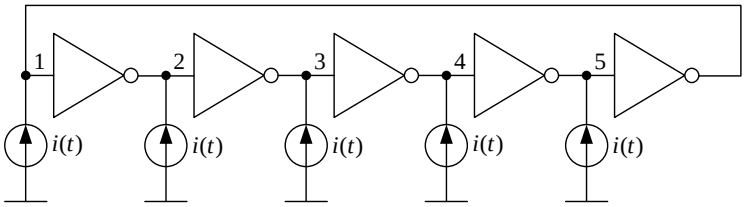


图 11-75 五级环型振荡器（在每一级的输入都注入一个相同大小的噪声电流源）

点的ISF函数是相似的，仅在相位上相差$2\pi/\mathrm{N}$的整数倍（N为延迟单元级数），如图11-76 所示。

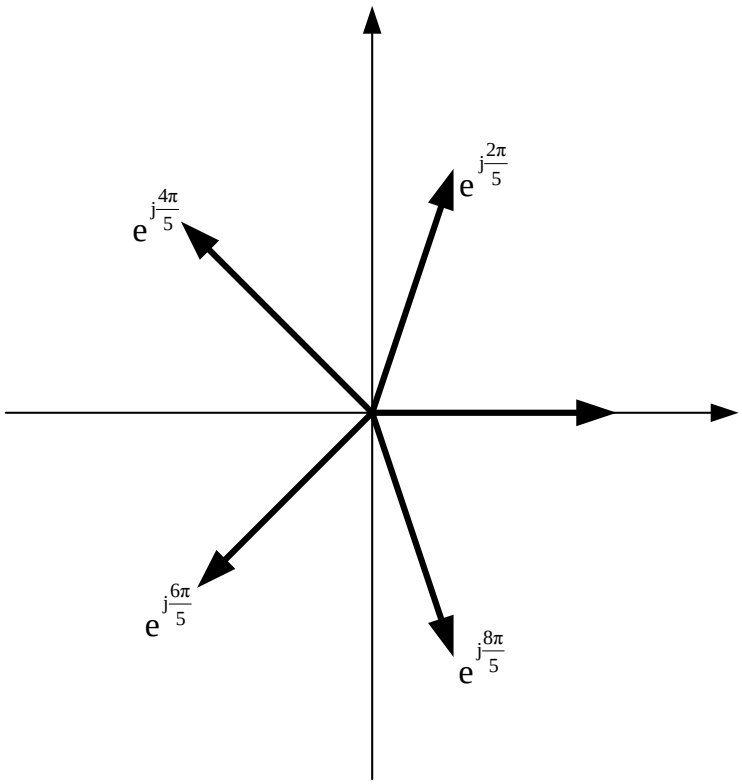


图 11-76 每一个噪声源贡献的相位子表示

这些噪声源所引入的额外余量相移为：

$$\phi(t)=\frac{1}{q_{\max}}\int_{-\infty}^{t}i(\tau)[\sum_{\mathrm{n}=0}^{\mathrm{N}-1}\Gamma(\omega_0\tau+\frac{2\pi\mathrm{n}}{\mathrm{N}})]\mathrm{d}\tau \tag{11-114}$$

将小括号中的项展开为傅立叶级数，并注意到积分相当于求平均操作，因此除DC项和$\mathrm{N}\omega_0$的整数倍项外，其它项的贡献都可以忽略，即：

$$\phi(t)=\frac{\mathrm{N}}{q_{\max}}\sum_{\mathrm{n}=0}^{\infty}c_{(\mathrm{nN})}\int_{-\infty}^{t}i(\tau)\cos\left(\mathrm{nN}\omega_0\tau\right)\mathrm{d}\tau \tag{11-115}$$

因此，如果在各延迟单元相同节点引入的噪声源是全相关的，仅在$\mathrm{N}\omega_0$整数倍频率处附近的噪声才会影响振荡信号的相位，这大大减小了它们对振荡器相位噪声的贡献。因此，使注入到延迟单元相同节点的衬底耦合噪声和电源电压噪声尽可能一样是优化噪声性能的一种办法，在电路设计和版图设计阶段，要尽可能使得各延迟单元和各延迟单元内每一个节点的噪声源都彼此相同。例如，在版图设计中，各延迟单元的版

图应是完全一样的，方向也应完全一样，并彼此靠近，互联线和电源线连接也应保持相同。各延迟单元的负载也应是完全一样的，在某些情况下可以利用“哑缓冲器”来实现负载的一致性。另外，注意到N越大时，起作用的傅立叶系数c_n越小，因此在保证振荡频率的情况下增加延迟单元的级数也可以减弱衬底耦合和电源电压噪声的干扰。

对于衬底耦合和电源电压噪声的低频部分以及延迟单元晶体管本身所引入的$1/f$噪声，要通过保持振荡波形的对称性（上升沿和下降沿相同）以减小Γ_{dc}来减弱这些噪声的影响（见图11-73，如果上升沿和下降沿完全相同，则Γ_{dc}等于0，可以完全消除低频噪声对振荡器相位噪声的影响）。

利用Hajimiri模型和图11-73所表示的近似ISF函数，可以推导出差分和单端环型振荡器的相位噪声。结果表明，在一定的功耗限制和给定的振荡频率下，单端环型振荡器的相位噪声与延迟单元的级数没有关系，而差分环型振荡器的相位噪声却随着级数的增加而增加。这主要是由于在差分结构的环型振荡器中，电源提供的直流电流是一个固定的值（功耗受限），当级数越多时，每一级所吸收的直流电流越小，转换速率也就会下降，因此它的相位噪声会随着级数的增加而增加；但在单端结构的环型振荡器中，转换速率并不会受到级数的影响，因此相位噪声相对独立于所用延迟单元级数。由于这种原因，差分结构的环型振荡器相位噪声性能一般比单端结构环型振荡器要差，但差分结构对衬底耦合噪声和电源电压噪声具有很大的抑制作用，并可减弱对其它电路的干扰，这是它的优点。在应用中选择差分结构还是单端结构，需要根据系统要求进行仔细考虑和衡量。

环型振荡器所用延迟单元的级数也是一个需要仔细考虑的设计参数。对于单端结构的环型振荡器来说，在$1/f^2$区，相位噪声近似与级数没有关系。如果振荡波形的对称性不好或者$1/f$噪声较大，那么在满足振荡频率要求的情况下采用最大的级数可以减弱$1/f$噪声的影响。这主要是由于在振荡频率一定时，级数越多，振荡波形的边沿转换速率也会越快，更快的边沿转换速率可以降低$1/f$噪声的上变频，从而减弱它们的影响。但对于差分结构的环型振荡器来说，由于在$1/f^2$区，相位噪声会随着级数的增加而增加，因此在振荡波形近似对称或者$1/f$噪声影响不太大时，应选用最小的延迟单元级数。

§11.8.2 *LC*差分负阻振荡器

*LC*差分负阻振荡器具有提供差分输出、功耗准确控制并且容易起振等优点，是射频电路中最常用的振荡器拓扑结构。它存在各种形式，按偏置类型可分为电压偏置或者电流偏置。电压偏置型没有电流源来控制负阻互耦对的偏置电流，使得振荡器消耗的电流与电源电压有关；而电流偏置型则利用偏置电流源来给负阻互耦对提供偏置电流，使得振荡器消耗的电流可以准确控制。正由于这种原因，实际的差分负阻振荡器都是电流偏置型负阻振荡器。电流偏置型负阻振荡器又可以分为顶部偏置（top-biased）、尾部偏置（tail-biased）和互补差分三种结构。顶部偏置振荡器采用偏置电流源，偏置电流从*LC*谐振回路的共模点注入，互耦对是单一类型的器件；而尾部偏置振荡器采用偏置电流沉，偏置电流从负阻互耦对的共源连接点注入；而互补差分振荡器同时采用了NMOS互耦对和PMOS互耦对来形成负阻，偏置电流可以从PMOS互耦对的共源点或者NMOS互耦对的共源点注入。图11-77给出了一种尾部偏置的负阻*LC*振荡器电路图。 对*LC*振荡器核（*LC*回路和负阻）来说，顶部偏置和尾部偏置好像是一样的，但考虑到接地寄生电容和振荡器中的电流流动，这两种结构存在一定的差别，在设计中会导致不同的设计折衷考虑。

1. 振荡幅度分析

在图11-77中，M_1、M_2组成负阻互耦对，补偿*LC*谐振回路的能量损失。为了保证起振，它们所形成的负阻要大于*LC*谐振回路的并联阻抗（一般取为三倍），在振荡器起振时，正反馈环路增益大于1，使得内部电路的噪声可以被放大，振荡幅度逐渐增加，当振荡幅度增加到一定程度时，电路本身的非线性会限制振荡幅度的进一步增加。当差分对M_1、M_2偏置在较低的电流下时，该非线性来自于偏置电流耗尽的限制，振荡幅度受限于差分对的线性范围$\sqrt{2}V_{ov}$（$V_{ov}=V_{gs}-V_t$是M_1、M_2的过驱动电压）。当振荡幅度大于差分对的线性范围$\sqrt{2}V_{ov}$时，M_1、M_2工作于开关模式，尾部电流源提供的电流I在M_1、M_2之间来回切换，导致流过*LC*谐振回路的电流是一个正幅度为I、负幅度为$-I$的方波信号。该方波信号经*LC*谐振回路滤除高阶谐波，产生一个近似理想的正弦电压波形，其幅度为：

$$V_O=\frac{4IR}{\pi} \tag{11-116}$$

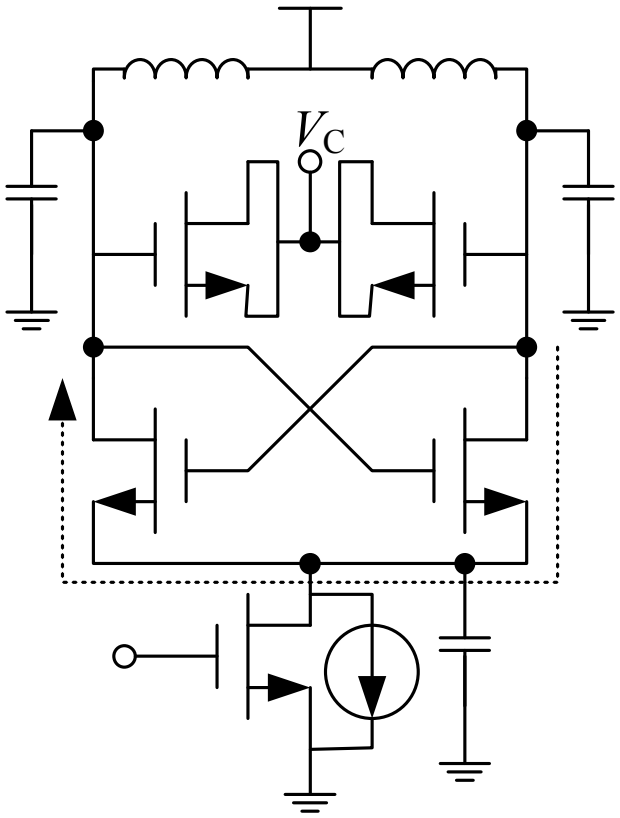


图 11-77 尾部偏置电流型LC振荡器的电路图

但在高频下，由于晶体管存在导通时间延迟，因此流过LC谐振回路的电流更近似于一个正弦型波形，在这种情况下，振荡信号幅度为：

$$V_O = I_{SS} R_P = \frac{I_{SS}\omega L}{Q} \tag{11-117}$$

因此振荡幅度正比于偏置电流，该区域称为电流受限区域（Current-Limited regime）。当尾电流源电流增加时，振荡幅度也会增加，当单端振荡幅度逐渐增加到接近V_{DD}，负峰值会临时迫使尾电流晶体管进入线性区。这是一个自限制过程。提高尾电流晶体管的栅极电压会迫使该晶体管在一个振荡周期的更大部分时间内工作于线性区，不会导致振荡幅度的明显增加，这个区域称为电压受限区域（Voltage-Limited Regime）。进一步增加尾电流源的栅电压会使得尾电流源晶体管在线性区工作的时间进一步增加，振荡幅度增加的速率会进一步减小，互耦对的共源点会慢慢的接近地电平。在极限情况下，如果尾电流源晶体管能承受无限高的电压，互耦对的共模点将为地电平，这个振荡器同电压偏置型负阻振荡器是一样的。以上的描述表明，流过振荡器核的电流存在一个最大允许值，通过将尾电流源晶体管推入线性区，它能阻止电流的进一步增加。流过振荡器核的最大允许电流同电压偏置型振荡器是一样的，既然电压偏置型振荡器的单端振荡幅度最大为V_{DD}，因此流过振荡器核的最大电流为：

$$I_{max} = \frac{V_{DD}}{R} \tag{11-118}$$

图11-78给出了电流偏置型负阻振荡器的差分振荡幅度与偏置电流之间的关系。 当电流较小时，振荡幅度受限于差分对的线性范围，是一个常数值；电流增加到一定程度后，振荡幅度与偏置电流呈正比增加，一直增加到尾电流源晶体管开始进入线性区，此后，振荡幅度随电流增加的速率开始下降，但还是会逐渐增加，一直增加到$2V_{DD}$，流过振荡器核的电流达到最大值，振荡幅度也达到最大值。

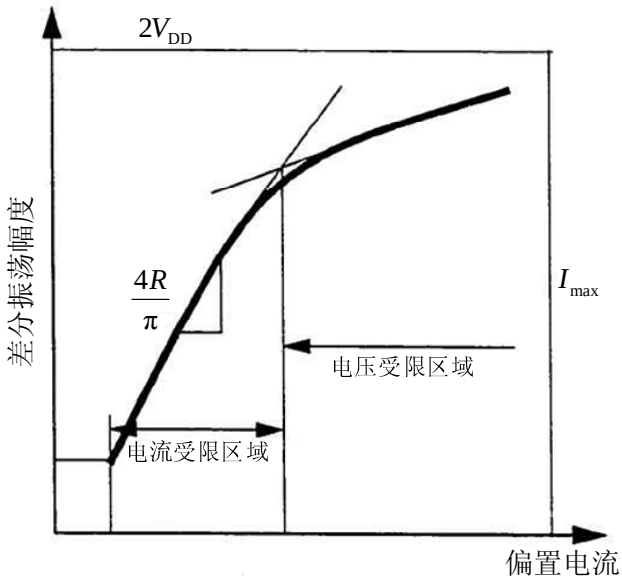


图 11-78 电流偏置型负阻振荡器的差分振荡幅度与偏置电流之间的关系

2. **相位噪声考虑**

LC振荡器的核心是LC谐振回路，其中的电感质量是限制振荡器性能的主要因素。电感可以采用片外电感、Bondwire电感、片上集成电感或者它们的组合，前两种电感品质因子高，可以得到很高性能的振荡器，但它们都存在很大的寄生效应，Bondwire电感还不容易准确控制，而且它们还不能实现全集成的振荡器。在全集成的振荡器中，只能使用低品质因子的片上电感。后面我们主要讨论全集成的振荡器。

在全集成振荡器中，片上电感的品质因子远低于片上电容或者容抗管的品质因子，因此片上电感是限制LC谐振回路及振荡器性能的主要因素。但电感通常是难以设计和优化的，设计者手中通常会有一个电感模型库（厂家提供或者设计者自建），这种模型库仅能提供有限种的电感值。设计者的任务是从该模型库中选择最合适的电感。本节我们将说明进行这一选择的原理。

依据Real模型，并考虑到$Q=R/\omega L$、$\omega_0=1/\sqrt{LC}$、$V_O=4IR/\pi$，我们能得到LC负阻振荡器的相位噪声为：

$$\mathcal{L}\{\Delta\omega\}=10\cdot\log\frac{\mathrm{F}kT}{(4I/\pi)^2}\cdot\frac{1}{LQ^3}\cdot\frac{\omega_0}{\Delta\omega^2} \tag{11-119}$$

从上式可以看出，在从有限的电感模型库中选择电感时，挑选LQ^3最大的电感可以使得振荡器在功耗一定（I一定）时相位噪声性能达到最低，而具有最高品质因子但电感量较小的电感并不一定是最优的。

对于电流偏置性LC负阻振荡器来说，上式中的F因子以Rael模型可以表示为：

$$\mathrm{F}=1+\frac{4\gamma RI}{\pi V_O}+\gamma\frac{4}{9}g_{mbias}R \tag{11-120}$$

它们分别表示了LC谐振回路噪声、负阻互耦对噪声和电流源噪声对相位噪声的贡献。如果电流源噪声的贡献可以消除（后面我们会介绍消除它们影响的技术），并考虑到$V_O=4IR/\pi$，则

$$\mathrm{F}=1+\gamma \tag{11-121}$$

这是这种类型振荡器在谐振回路一定时所能得到的最好性能。需要注意的是，该式表明相位噪声与互耦对的晶体管尺寸无关。因此在这种振荡器中，只要保证振荡器能正常起振，互耦对的晶体管尺寸是可以任意选择的，但仿真表明沟道长度选用工艺允许的最小特征尺寸有助于减小相位噪声，而且这样也可以减小引入的寄生电容。但在某些情况下，如果互耦对晶体管引入的$1/f$噪声很高，可以适当增加晶体管的沟道长度（及面积），设计时应根据仿真结果来优化。

3. 电流源的作用

在电流偏置型振荡器中，电流源的存在对振荡器的相位噪声有很大的影响，为了说明这一点，我们来考虑电压偏置型振荡器和电流偏置型振荡器中互耦对晶体管在一个振荡周期内的工作状态。

图11-79（a）给出了一个电压偏置型LC振荡器，电流源被一个短路到地的支路所取代，但它仍然能维持稳定的振荡状态。 在这种振荡器中，两个晶体管的V_{gd} 与谐振回路上的差分电压幅度相等，但方向

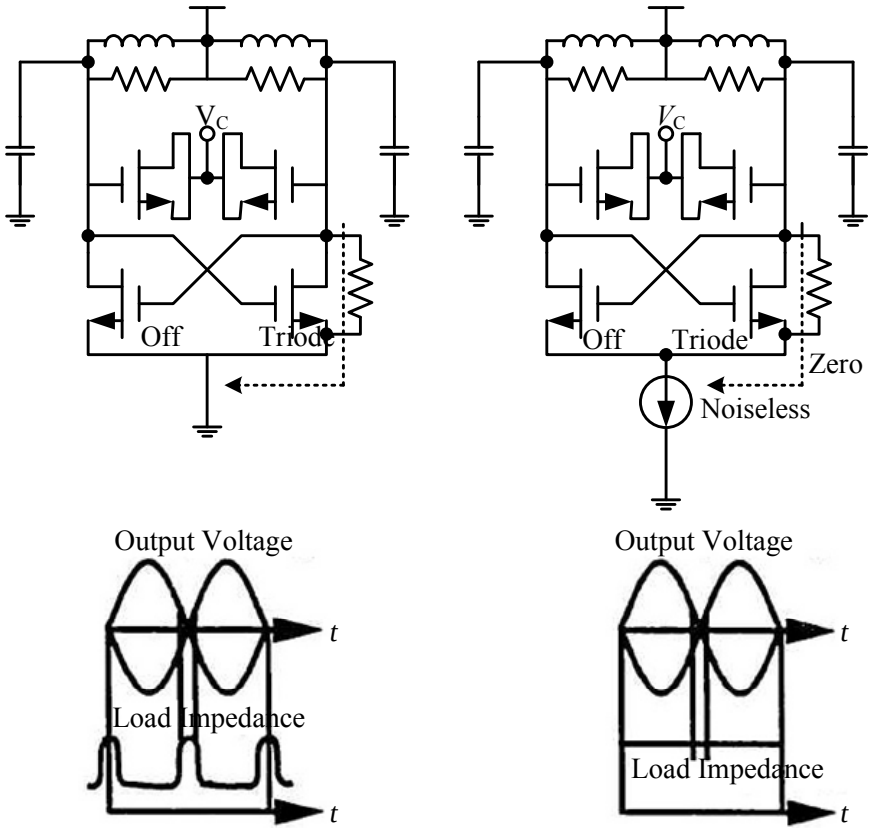


图 11-79 偏置电流源在负阻LC振荡器中的作用

相反。当振荡信号为0时，两个晶体管都工作于饱和区，互耦对形成一个负阻，补充谐振回路的能量损失。当振荡信号增加到超过晶体管阈值电压V_t时，一个晶体管的V_{gd}将超过$+V_t$，迫使它进入线性区工作，而另一个晶体管的V_{gd}进一步减小，迫使它进入更深的饱和区工作。在线性区工作的晶体管相当于一个电阻，给谐振回路引入额外的损耗，而且该电阻会随着振荡信号的增加而减小，引入的损耗也会增加（见图11-79（a）中谐振器的负载阻抗与振荡信号波形之间的关系图）。在下一个半周期，两个晶体管的工作状态会发生转换，另一个晶体管会进入线性区工作，给谐振回路引入损耗。这些损耗会严重降低振荡器的相位噪声。

如果在互耦对的共源端存在一个理想的电流源，如图11-79（b）所示，那么就会形成一个电流偏置型振荡器。在振荡信号靠近0时，两个晶体管都导通电流，形成一个负阻，给谐振回路补充能量损失。两个晶体管的尺寸一般设计得完全相同，在平衡状态流过它们的电流均为$I/2$。合理选择它们的尺寸，可以使得这两个晶体管的过驱动电压小于晶体管阈值电压（$V_{gs}-V_t<V_t$），则当振荡信号超过差分对的线性工作范围时，它迫使一个晶体管进入线性区工作，并迫使另一个晶体管截止。进入线性区工作的晶体管导通尾电流源所提供的所有电流I，并保持不变，因此不会给谐振回路引入额外的损耗。互耦对仅在两个晶体管同时导通的短时间内，才会向谐振回路注入噪声（使得噪声因子F增加γ）。由此可见，电流型振荡器由于存在电流限制，进入线性区工作的晶体管并不会给谐振回路引入额外的损耗，大大降低了互耦对对相位噪声的

影响，这是它相对于电压偏置型振荡器的优点。但是，在实际实现中，尾电流源不是理想的，它也会引入噪声，会产生额外的相位噪声贡献。

4. **电流源晶体管尺寸优化**

从式11-120可以看出，对于电流型振荡器来说，互耦对对相位噪声的贡献与晶体管的尺寸无关。但是电流源对相位噪声的贡献，却与晶体管的尺寸和偏置有关，电流源的跨导和谐振回路等效阻抗R的乘积越小，电流源对相位噪声的贡献就越小。当谐振回路确定了之后，R不再是一个可以优化的量，因此更合理的办法是减小电流源晶体管的跨导。从工作原理上来说，电流源仅需提供电流，而不需要提供很高的跨导，因此可以通过提高它的V_{gs}电压来有效地减小它的跨导并降低电流源对相位噪声的贡献。但是，对于电流源晶体管来说，它必须工作于饱和区才能近似看成为一个理想电流源，如果它进入线性区工作，那么流过互耦对的电流不再是一个常数，互耦对中线性区工作的晶体管会给谐振回路引入损耗，恶化了相位噪声性能。当电流源的V_{gs}增加时，它所消耗的电压空间也会增加，限制了振荡信号的幅度。

图11-80给出了在其它参数不变时，振荡器相位噪声与偏置电流之间的关系。 从图中可以看出，在电

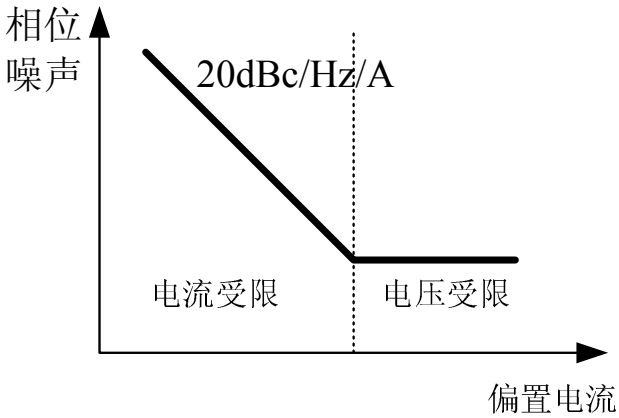


图 11-80 在其它参数不变时，振荡器相位噪声与偏置电流之间的关系

流受限区，相位噪声随偏置电流以20dBc/Hz/A的速率下降，这同式11-119 是一致的。但当电流源晶体管进入线性区工作后，振荡器进入电压受限区，振荡幅度随偏置电流增加的速率趋缓，而且流过互耦对的电流不再是常数，使得互耦对中进入线性区工作的晶体管会给谐振电路引入额外的损耗，抵消了由于振荡幅度增加所引起的相位噪声降低，使得相位噪声近似与偏置电流无关。对于电流源晶体管来说，它的宽长比越大，过驱动电压越小，振荡信号的幅度就可以越大，所能达到的相位噪声性能就可能越好，而且晶体管尺寸增加，会增加晶体管的栅面积，这可以降低电流源晶体管的$1/f$噪声（考虑到$1/f$噪声，电流源晶体管的沟道长度一般要远大于工艺允许的最小特征尺寸）。

但是，电流源晶体管的尺寸也不是越大越好，它受到电流源在互耦对共源节点引入的寄生电容的限制。当晶体管尺寸很大，在共源节点引入的寄生电容也会很大，对互耦对晶体管来说，它提供了一条到地的低阻抗通道，这条低阻抗通道会使得流过互耦对的电流不再是常数，使得线性区工作的互耦对晶体管会给谐振回路引入额外的损耗，降低了谐振回路的等效品质因子，严重恶化振荡器的相位噪声性能。共源节点的大寄生电容所带来的另一个问题关系到$1/f$噪声的上变频。增加电流源晶体管的尺寸确实可以降低电流源的$1/f$噪声，但是该噪声只有通过FM调制过程才能转换到载波频率附近，共源节点的大寄生电容会增加互耦对晶体管的$1/f$噪声上变频转换增益，从而会增加互耦对$1/f$噪声的影响。它们是一对互相矛盾的折衷体，只能通过仿真过程进行优化。在版图设计上，可以采用环型晶体管结构等办法来降低电流源在共源节点所引入的寄生电容，从而部分抵消增加电流源晶体管尺寸所引入的负面效应。

5. **电流复用技术**

电流复用技术是低功耗设计中经常采用的一种技术，采用这种技术的振荡器称为互补差分振荡器，如图11-81所示。 它同时利用了PMOS管和NMOS管互耦对来提供负阻，总负阻是两个互耦对的负阻之和，这

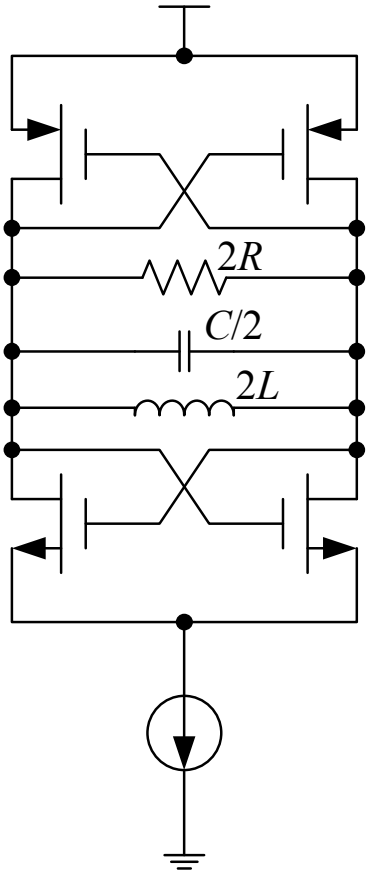


图 11-81 互补差分LC振荡器的电路图

样电流源提供的电流在PMOS互耦对和NMOS互耦对之间得到了复用。而谐振回路并联在差分输出之间，谐振回路可以采用由原来的两个谐振回路串联而成，但如果能利用对称螺旋型电感，则原来的两个电感可以用一个具有两倍电感量的对称性电感来代替，这样可以节省很大的芯片面积，而且对称型电感具有更高的品质因子，因此可以得到更好的相位噪声性能。这种结构的另一个好处是它的振荡波形是全差分的，不存在共模成分，而且当PMOS互耦对和NMOS互耦对的跨导设计为相同时，上升波形和下降波形是完全对称的，可以消除$1/f$噪声上变频对相位噪声的影响。为了做到这一点，在版图设计中保持两个支路的对称性是非常重要的。

互补差分振荡器的缺点是在跨导相同时，PMOS晶体管的寄生电容要大于NMOS晶体管，这会限制振荡器的调谐范围。另外，最近的研究发现，$1/f$噪声上变频更多的是通过FM调制过程转换到载波频率附近，而不是原先认为的通过混频过程转换，采用全差分互补振荡器结构不是消除$1/f$噪声影响的唯一办法。

6. **噪声滤波技术**

下面我们从混频的观点再来看一下尾电流源噪声转化为相位噪声的过程。在振荡器中，互耦对相当于一个单平衡混频器，电流源引入的低频噪声成分经上变频后转移到振荡频率附近，在载波附近形成两个相等的AM边带（注意：低频噪声并没有直接转化为相位噪声）；电流源引入的基频附近噪声成分经上变频后转换到2阶谐波频率处或者经下变频后转换到低频频率处，这些成分都会被LC谐振回路衰减；而电流源引入的二阶谐波频率处噪声成分经下变频后转换到振荡频率附近，经上变频后转换到三阶谐波频率处，三阶谐波频率成分会被LC谐振回路衰减。电流源引入噪声的其它高阶谐波成分经混频后都被转移到其它的频率成分处（一阶近似，实际上，互耦对的非线性有可能将高阶噪声成分转移到载波频率处，但转换增益将大大降低，在分析中可以忽略），这些频率成分都会被LC谐振回路衰减。因此，对于我们的分析来说，电流源引入的噪声中，仅低频成分和二阶谐波频率处的噪声成分可以转移到载波频率附近，注入到LC谐振电路中。LC谐振电路会将这些注入的频率成分相等地分解为振荡频率附近的AM和PM边带，仅PM边带成分

才会对相位噪声产生贡献。

电流源在差分LC振荡器中起到了两方面的作用，一方面它设置了振荡器的偏置电流，另一方面它在互耦对的共源点和地之间插入了一个高阻抗通道，正是这个高阻抗通道阻止了线性区工作的互耦对晶体管给谐振电路引入额外的损耗。注意到，在平衡型振荡器中，奇次阶谐波在差分路径上旋环，而偶次阶谐波则通过共模路径（谐振回路的接地电容或者互耦对晶体管到地）进行流动，如图11-82所示。 因此严格说

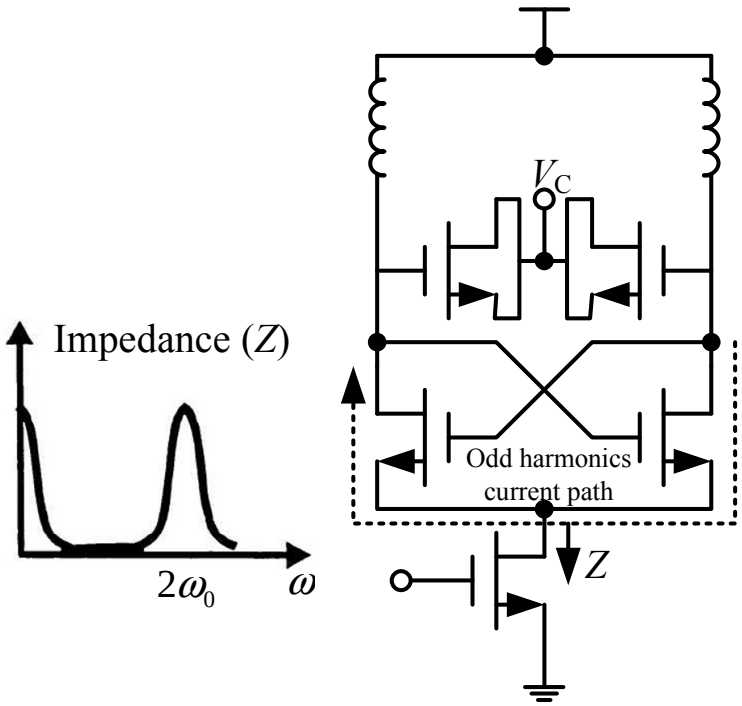


图 11-82 对电流源阻抗的要求

来，电流源仅需要在偶次阶谐波频率处提供一个高阻抗就可以了，而偶次谐波中，主要是二阶谐波在产生影响。

综上可以看出，电流源引入的噪声中仅二阶谐波频率处的热噪声才会对振荡器相位噪声产生贡献（$1/f$噪声后面我们会讨论），而且，电流源仅需要在二阶谐波频率处提供一个到地的高阻抗通道就可以阻止线性区工作的互耦对给谐振回路引入额外的损耗。这表明可以用一个窄带电路来压缩电流源的噪声，使它对振荡器来说近似呈现无噪状态。将一个大的电容与电流源并联可以衰减二阶谐波频率处的电流源噪声成分（如图11-83(a)），但它没有给互耦对提供高阻抗通道，线性区工作的互耦对会给谐振回路引入额外的损耗。 为了提高阻抗，可以在电流源和互耦对的共源点之间插入一个电感，如图11-83(b)所示。该电感与互耦对共源节点的寄生电容在$2\omega_0$处谐振，在二阶谐波频率附近提供一个高阻抗，所实现的阻抗大小依赖于电感的品质因子。这种高阻抗阻止了电流源在二阶谐波频率处的热噪声进入振荡器核，二阶谐波频率处的热噪声由与电流源并联的大电容短路到地，该电容必须足够大，使得在二阶谐波频率处，电流源漏极近似短路到地。该高阻抗还可以阻止线性区工作的互耦对晶体管给谐振回路引入损耗。插入的电感和与电流源并联的大电容组成的网络我们称之为噪声滤波器。

在采用顶部偏置的电流型振荡器中，电流源从电源电压注入到差分电感的中心抽头处，如图11-84所示。 如果忽略到地的结电容，顶部偏置的振荡器和尾部偏置的振荡器的性能是完全一样的，既然偏置电流源都是和电源电压串联。但考虑到接地的结电容，这两种结构存在一些不同的地方，如顶部偏置的振荡器对衬底耦合噪声具有更好的抑制作用（电流源可以放在一个单独的n阱中），顶部偏置的振荡器的$1/f$噪声影响更小（PMOS管的$1/f$噪声要远小于NMOS管）等。顶部偏置振荡器和尾部偏置振荡器最大的不同在于噪声滤波器电路。在顶部偏置振荡器中，与电流源并联的大电容仍然将二阶谐波频率处的电流源热噪声短路到地，但电感只能接在互耦对的共源点和地之间，与共源节点的寄生电容在二阶谐波频率处谐振，阻止

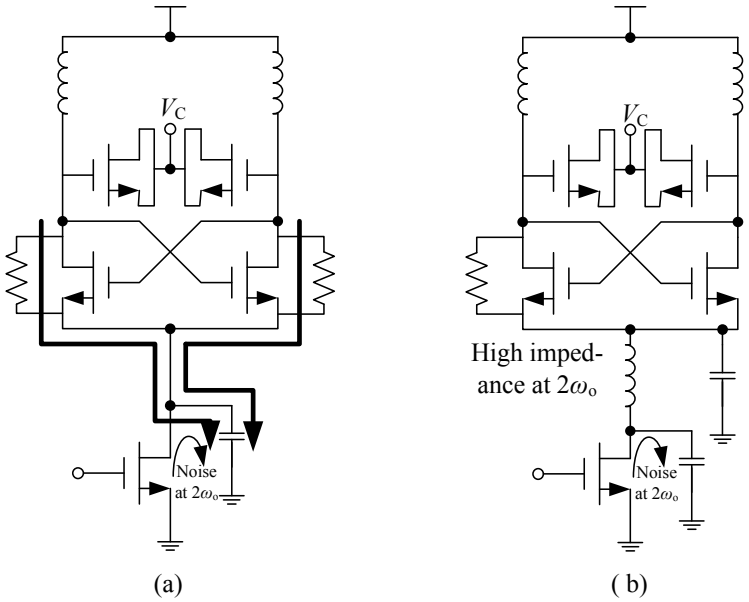


图 11-83 噪声滤波器技术

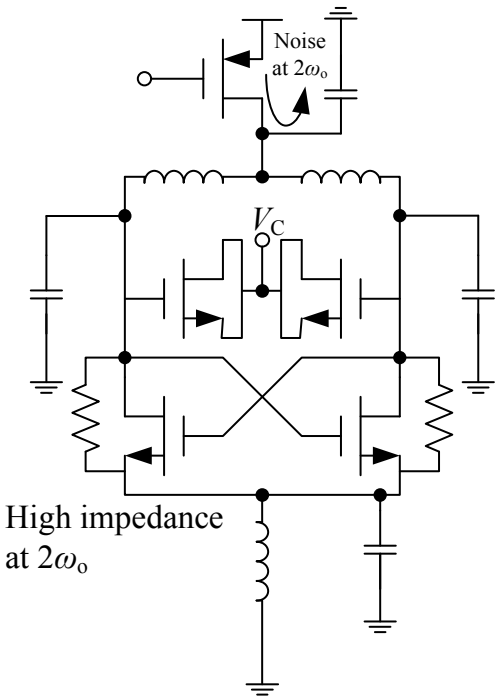


图 11-84 采用噪声滤波技术的顶部偏置负阻振荡器

二阶谐波电流经接地的结电容和互耦对晶体管流到地。

在原理上，采用噪声滤波器后，电流源对振荡器核来说，应该呈现无噪状态，因此振荡器的噪声因子F = 1 + γ，这是振荡器所能达到的最小噪声因子。噪声滤波器对振荡器的振荡幅度会产生一定的影响。如果电流偏置型振荡器采用了噪声滤波器技术，则振荡信号的正峰值受限于互耦对的击穿电压，而负峰值则受限于晶体管与地之间的寄生结电容的正偏状态。该负电压会被电感所吸收，与电流源并联的大电容可以保证电流源晶体管的V_{ds}保持一个相对恒定的状态，使得它保持在饱和区。实际上，LC谐振回路上的差分电压摆幅可以近似达到$2V_{DD}$。

对于电压偏置型振荡器，如果不采用噪声滤波器，那么线性区工作的晶体管会给谐振回路引入额外的损耗，恶化了相位噪声性能，但如果采用噪声滤波器技术（如图11-85 所示），噪声滤波器可以阻止线性区工作的晶体管给谐振回路引入损耗。 这种振荡器可以提供最高的振荡幅度（既然没有电流源与电源电

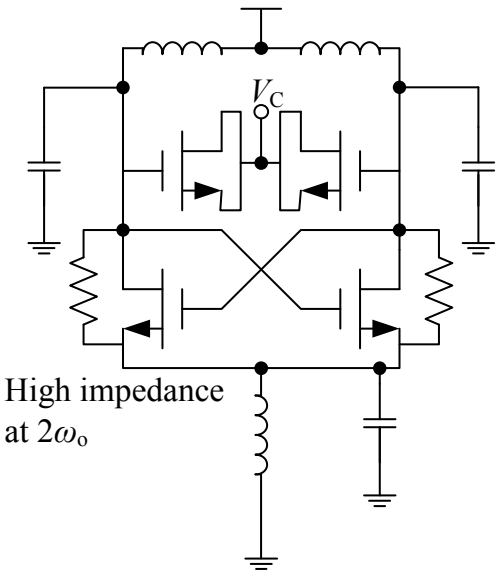


图 11-85 采用噪声滤波技术的电压偏置型负阻振荡器

压串联，不会消耗电压空间），因此它的相位噪声性能是最好的，但它的电流消耗也是最大的，直流电流为$I = V_{DD}/R$。实际上，加入噪声滤波器后，该电路就相当于一个电流偏置型振荡器，只是电流源消耗的电压空间为0。

下面我们来考虑噪声滤波器对电源噪声的抑制能力。在没有采用噪声滤波器技术的尾部偏置振荡器中，电路中存在的各种寄生非线性结电容会使得电源噪声耦合到谐振回路中，而且V_{DD}上的低频噪声会通过谐振回路电感来调制互耦对的漏极，这些都会产生FM噪声。当采用了噪声滤波器技术时，振荡器仅能对直流或者二阶谐波频率处的共模电流发生响应，但噪声滤波器所提供的高阻抗会阻止二阶谐波电流流动，因此采用噪声滤波器技术可以提高振荡器对电源噪声的抑制能力。

噪声滤波技术可以扩展到其它的LC振荡器中，如互补差分振荡器、Colpitts振荡器等，本处不再详述。需要注意的是，由于谐振回路中没有二阶谐波电流流过，振荡器的振荡频率会稍微有所增加。

7. $1/f$噪声优化

LC振荡器中存在三种$1/f$噪声源：电流源、容抗管和互耦对。容抗管所引入的$1/f$噪声与容抗管类型以及电压线性度有关，一般说来，采用具有线性调谐特性的反向工作的PN结作容抗管可以得到更好的$1/f$噪声性能。互耦对的$1/f$噪声影响与晶体管的$1/f$噪声大小以及$1/f$噪声上变频增益有关，减小互耦对共源节点的寄生电容可以减小$1/f$噪声上变频增益，而适当增加互耦对晶体管尺寸（宽度或者长度）可以减小晶体管的$1/f$噪声。而电流源的$1/f$噪声影响可以通过增加晶体管的尺寸来减小。

但是，以上的这些要求都是互相影响的，如减小互耦对共源节点的寄生电容可以减小互耦对的$1/f$噪声上变频增益，但这要求减小电流源晶体管的尺寸，从而增加电流源的$1/f$噪声影响；增加电流源晶体管的尺寸可以减小电流源的$1/f$噪声，但会增加互耦对的$1/f$噪声上变频增益。而且在优化$1/f$噪声性能时，必须注意不要增加热噪声的影响。虽然可以通过一定的版图设计技术（如电流源晶体管采用环型晶体管版图）降低互耦对共源节点的寄生电容，但更好的办法是采用噪声滤波器技术。

采用了噪声滤波技术后，插入的电感可以和互耦对共源节点的寄生电容谐振，通过一定的调谐措施，可以使得互耦对的$1/f$噪声上变频转换增益近似为0，降低了互耦对的$1/f$ 噪声影响。而且噪声滤波器将互耦对的共源节点和电流源分开了，因此增加电流源晶体管的尺寸不会对互耦对的$1/f$噪声上变频转换增

益产生影响，这样就可以通过增加电流源晶体管的尺寸来减小它的1/f噪声，而不用担心它会增加互耦对的1/f噪声上变频转换增益。

综合采用以上的各种技术，可以大大降低1/f噪声的影响，使得这种类型的振荡器甚至可以满足最苛刻应用的要求。

§11.9 频率牵引效应

振荡器存在一类特殊的现象称之为频率牵引效应：当给振荡器注入一个与载波频率相近的信号时，如果注入信号幅度很小，它不会影响振荡器的振荡频率，仅在载波周围出现两个小谐波成分，但随着注入信号幅度的增加，振荡器的振荡频率会逐渐靠近注入信号的频率，并最终锁定到注入信号频率，如图11-86所示。在最终锁定时，振荡器频率完全受到注入信号频率的控制，而与振荡器本身的振荡频率没有关系。

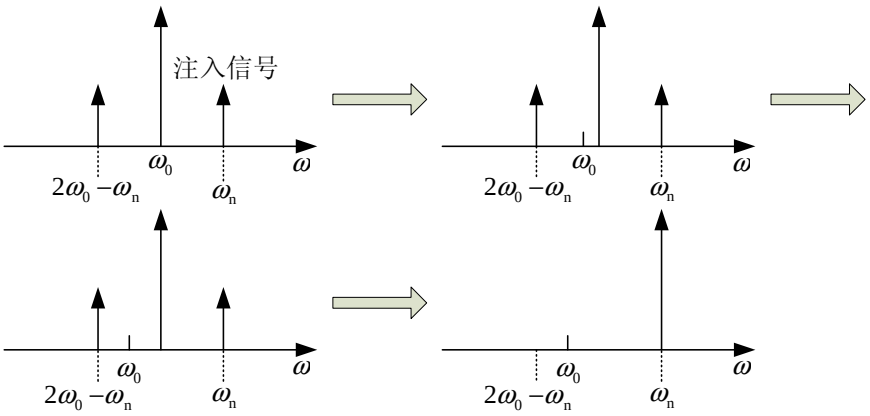


图 11-86 振荡器的频率牵引效应

频率牵引效应在集成无线收发机中是一个严重的问题。例如在集成的无线收发机中，功率放大器的输出功率很大，经各种泄漏后，可能影响振荡器的振荡频率。一般说来，集成功率放大器的输出信号频率与集成振荡器的振荡频率不能很靠近，在很多收发机中，都使得振荡器振荡在2倍载波频率处，然后经二分频器来得到本地载波信号，这样就可以避免功率放大器对振荡器的频率牵引效应。在同一个芯片上，这两个模块之间的隔离也需要仔细考虑。

频率牵引的另一个例子是接收机可能接收到很强的干扰信号，如果干扰信号的频率与振荡器的频率很靠近，它通过混频器可能耦合到振荡器中，引起频率牵引效应。因此，在振荡器和混频器之间必须具有一个很强反向隔离能力的缓冲器，它可以降低这种耦合，但它会消耗额外的功耗，而且会增加噪声。

振荡器还可能因为负载发生变化而使得振荡频率发生变化，这种现象称为负载牵引效应。因此，在单片集成的振荡器中，一般都会存在输出缓冲器，输出缓冲器除了提供必要的驱动能力之外，另一个更主要的是提供很高的反向隔离能力，避免振荡器的振荡频率受到片外负载的影响。

由于振荡器中存在各种接地的非线性电容，因此电源电压的变化也会影响振荡器的振荡频率，这种现象称为电源牵引效应。特别是在无线收发机系统中，为了节省功耗，功率放大器会间歇性的工作，由于功率放大器消耗的电流非常大，而无线通信系统采用的电池或者直流电源的输出阻抗是有限的，会造成电源电压间歇性的变化，这会影响振荡器的振荡频率，从而影响无线收发机的正常工作，这是在设计无线通信系统时必须考虑的很重要问题。

§11.10 正交信号的产生

随着通信技术的发展，采用正交上变频或者正交下变频来完成变频操作的收发机结构得到了越来越广泛地应用。这种收发机都需要提供正交的本地载波信号，在本节我们将介绍常用的产生正交信号的方法。

§11.10.1 $RC-CR$网络

一种简单的正交技术是采用$RC-CR$网络，如图11-87所示。 如果一个频率为ω的正弦型信号输

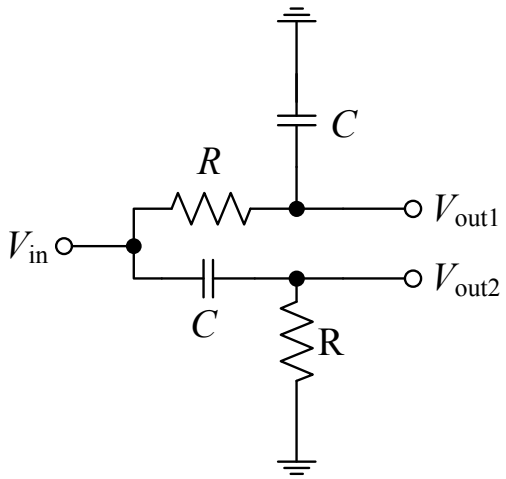


图 11-87 $RC-CR$网络

入到该网络中，则V_{out1}和V_{out2}的相移分别为$\pi/2-\tan^{-1}(RC\omega)$和$-\tan^{-1}(RC\omega)$，因此在所有的频率处，$V_{out1}$和$V_{out2}$相位差均为90°，但是，这两个支路一个是高通网络，一个是低通网络，仅在一个频率（$\omega=1/(RC)$）处，V_{out1}和V_{out2}的幅度是相等的，在其它的频率处，它们的幅度都不相同。因此这种产生正交信号的方法仅能在一个频率点上产生完全理想的正交信号（信号幅度相同、相差为90°）。而且，随着温度和工艺的变化，RC积也会发生变化，导致能产生理想正交信号的频率点也会发生变化，这是这种产生正交信号的办法所存在的问题。

在某些应用中，幅度信息是无用的，信息仅包含在信号的过零时刻上（如本地载波信号只要幅度足够强就可以了，而对幅度的绝对大小则没有要求），那么就可以在$RC-CR$网络后面加入限幅器（如差分对）来使得正交输出信号具有相同的幅度，可以扩大$RC-CR$网络的应用频带。但是，随着处理信号频率的升高，特别是进入射频领域后，限幅器的实现会变得越来越困难，一般要求采用多级级联结构，在I、Q两个通道上限幅器各级之间的相位和增益不匹配会恶化该网络的正交性能。而且，如果限幅器没有足够的带宽，限幅器会引入AM-PM转换效应，两个通道上的幅度不平衡会转化为相位上的不平衡，从而引入额外的相位误差。

在$RC-CR$网络中，如果两个支路上的电阻和电容之间存在不匹配，则两个输出之间的相位差将不再为90°。假设电阻的不匹配程度为α，电容的不匹配程度为β，则在$\omega=1/(RC)$附近两输出之间的相位差ϕ为：

$$\phi=\frac{\pi}{2}-[\tan^{-1}R(1+\alpha)C(1+\beta)\omega-tan^{-1}RC\omega] \tag{11-122}$$

$$=\frac{\pi}{2}-\tan^{-1}\frac{RC\omega(1+\alpha)(1+\beta)-RC\omega}{1+RC\omega(1+\alpha)(1+\beta)RC\omega} \tag{11-123}$$

$$\approx\frac{\pi}{2}-\tan^{-1}\frac{\alpha+\beta}{2} \tag{11-124}$$

$$\approx\frac{\pi}{2}-\frac{\alpha+\beta}{2} \tag{11-125}$$

例如，如果$\alpha=\beta=1\%$，则相位误差等于$3.6/(2\pi)\approx0.6°$。

在$RC-CR$网络中，如果两个支路的负载电容是一样的，则负载电容并不会引入额外的相位不平衡，因为这些负载电容仅影响电路的极点，而不会影响电路的零点，而两支路的相位差正来自于下面一条支路的零点。但是，如果两支路的负载电容是不一样的，或者两支路之间存在耦合电容，这些电容会引入额外的相位差。因此在版图设计中，必须考虑两个支路负载电容的平衡问题，对称性是非常重要的。

这种网络遇到的另一个问题是输入信号的谐波成分问题。假设$V_{\rm in}(t)=\mathrm{A}_1\cos\omega t+\mathrm{A}_{\rm n}\cos \mathrm{n}\omega t$，则为了将$V_{\rm in}(t)$相移90°，则应该用$t-T/4$来代替$t$（其中，$T=2\pi/\omega$），这样，$V_{\rm in}(t-T/4)=\mathrm{A}_1\cos(\omega t-\pi/2)+\mathrm{A}_{\rm n}\cos(\mathrm{n}\omega t-\mathrm{n}\pi/2)$，即n阶谐波成分应该相移$\mathrm{n}\pi/2$。但是在$RC-CR$网络中，所有的频率成分都仅相移90°，这会在$V_{\rm out1}$和$V_{\rm out2}$之间引入额外的相位误差。而且，经过两个支路的谐波成分增益是不相同的，在输出也会引入额外的幅度不平衡。如果本振信号的谐波成分是比较强，在送到$RC-CR$网络之前必须进行滤波。

$RC-CR$网络的设计是非常简单的，令$RC=1/\omega$就可以了，在设计时要考虑到负载电容的影响。但R和C的具体取值，则应该考虑负载电容所引入的额外衰减以及输入阻抗的大小来进行选取。

§11.10.2 频率除法器

另一种产生正交信号的方法是利用主从触发器构成的二分频器，如图11-88所示。主从式触发器由两个锁存器构成，如果输入信号是占空比为50%的全差分信号，则主锁存器和从锁存器的输出信号就是差分的正交信号。

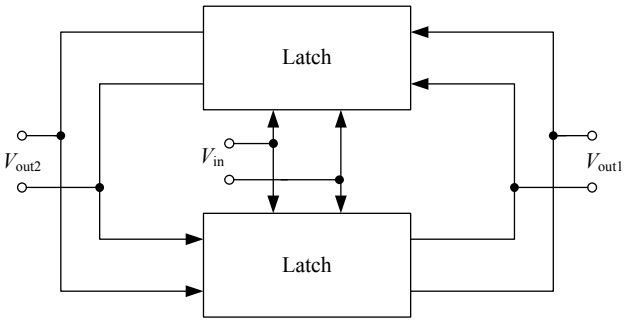


图 11-88 主从触发器作为正交信号产生器

利用触发器来产生正交信号的另一种办法如图11-89所示，（a）图的输入信号是单相的，但输出频率是输入频率的四分之一。（b）图的输入信号是差分的（图中利用简单的反相器来实现差分），但输出频率是输入频率的二分之一。

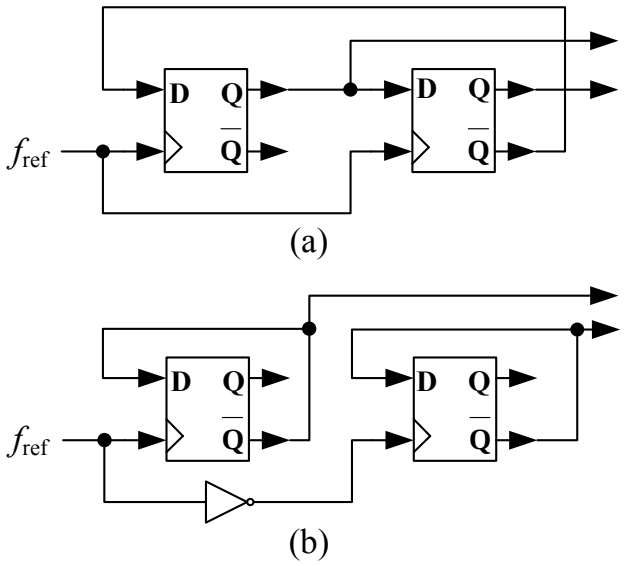


图 11-89 触发器作为正交信号产生器

利用触发器来产生正交信号要求输入信号频率很高，因此会给产生这些信号的电路带来设计困难（特别是在正交信号频率已经很高的情况下），产生输入信号的电路功耗也会增加，而且触发器本身会消耗大

量的功耗。信号通路上器件（如两触发器或者锁存器的器件不匹配）或者连线的不匹配也会引入额外的相位误差。图11-88和11-89（b）所示的结构还会受到输入信号占空比的影响，当占空比不为50%时，正交性能会恶化，图11-89（b）所示结构还受到差分输入信号的差分性能的影响，如果输入信号不是完全差分的，输出信号的正交性也会受到影响。11-89（a）所示结构虽然不会受到输入信号占空比的影响，但它要求输入信号频率是输出信号频率的四倍，因此给产生输入信号的电路的设计带来了困难，而且频率除法器的功耗也会大大增加。

需要注意的是，利用触发器或者锁存器来产生正交信号时，输出信号基本为方波形状，触发器或者锁存器同时限制了输出信号摆幅。

§11.10.3 正交LC振荡器

有些振荡器类型本身就能够提供正交信号，如采用偶数级差分延迟单元构成的环型振荡器本身就能够提供正交的振荡信号，环型振荡器能够提供多相输出是环型振荡器的优点之一。但由于环型振荡器的功耗大，相位噪声性能差，延迟单元之间的不匹配会限制相位准确性，因此人们希望能利用LC振荡器来直接产生正交信号，这就是正交LC振荡器。

为了说明正交LC振荡器的原理，我们来研究图11-90（a）。 一个外部信号V_{in}通过差分对M_1、M_2注

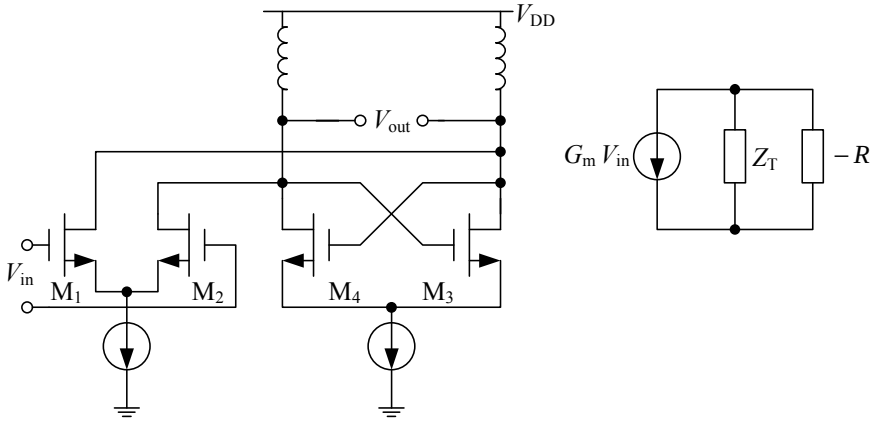


图 11-90 注入信号到振荡器中及其小信号模型

入（耦合）到一个振荡器中，从而干扰振荡器本身的工作。M_1、M_2将注入的电压信号转化为电流，并注入到谐振回路中。如果V_{in}和振荡器的自由振荡频率是相同的，流过谐振回路的电流是$I_{\text{d1}}+I_{\text{d3}}$和$I_{\text{d2}}+I_{\text{d4}}$的矢量叠加，$V_{\text{in}}$ 会干扰该矢量叠加的结果，因此会改变振荡器输出信号的相位。这种耦合方式是单向的，V_{in}到V_{out}的耦合远大于V_{out}到V_{in}的耦合。电流之比$I_{\text{d2}}/I_{\text{d4}}$ （或者$I_{\text{d1}}/I_{\text{d3}}$）定义为耦合因子。

图（a）所示电路利用电流矢量叠加原理可以用图（b）所示模型等效，其中，G_{m}是M_1、M_2差分对的跨导，Z_{T}是谐振回路的等效阻抗，$-R$是互耦对M_3、M_4提供的负阻。在稳定振荡时，$-R$应正好补充谐振回路的能量损失。

正交LC振荡器的原理是将两个相同的LC振荡器耦合在一起，使得它们的输出信号相位相差90^o，图11-91（a）和（b）给出了耦合LC振荡器的原理图和晶体管级电路图，两个振荡器的输出通过差分对分别耦合到另一个振荡器中。 利用图11-90（b）所示的等效模型，可以将耦合LC振荡器等效为如图11-92 所示的模型。 由图可知：

$$G_{\text{m1}}V_1 \cdot -R\|Z_{\text{T}} = V_2 \tag{11-126}$$

$$G_{\text{m2}}V_2 \cdot -R\|Z_{\text{T}} = V_1 \tag{11-127}$$

如果$V_1, V_2 \neq 0$，则：

$$G_{\text{m1}}V_1^2 - G_{\text{m2}}V_2^2 = 0 \tag{11-128}$$

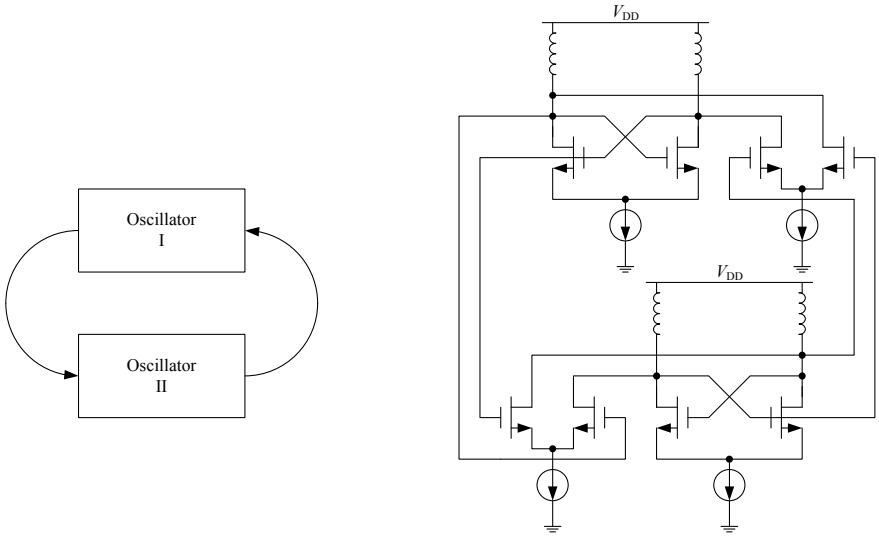


图 11-91 耦合LC振荡器的原理图和晶体管级电路图

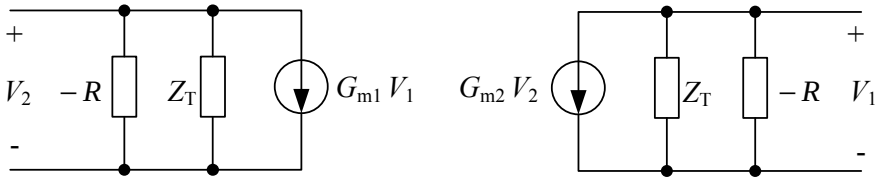


图 11-92 耦合LC振荡器的小信号等效电路图

因此，如果$G_{m1} = G_{m2}$，则$V_1 = \pm V_2$，两个振荡器的输出信号相位差为0或者180°；如果$G_{m1} = -G_{m2}$，那么$V_1 = \pm jV_2$，两个振荡器的输出信号相位差将为$-90°$或者90°。这两种情况分别称为同相耦合和反相耦合。图11-93给出了这两种耦合的晶体管级电路图。 由于在同相耦合电路中，两个振荡器产生的振荡信号是同相的，因此在实际中并没有多大用处，因此本处仅讨论反相耦合情况。

在反相耦合电路中，振荡器输出电压之间是正交的，如果将电压用相位子的概念来表示，则它们之间可以用水平方向的矢量和垂直方向的矢量来表示，如图11-94 所示。 流过晶体管的电流与栅电压之间满足$I_d = G_m V_{gs}$，因此流过晶体管的电流与栅电压的相位子是同相的，仅有一个系数G_m的差别。每一个谐振回路的等效阻抗均为Z_T，流过它们的电流是连接到谐振回路一端的两晶体管电流的矢量叠加。如流过连接到A点的谐振回路的电流为：

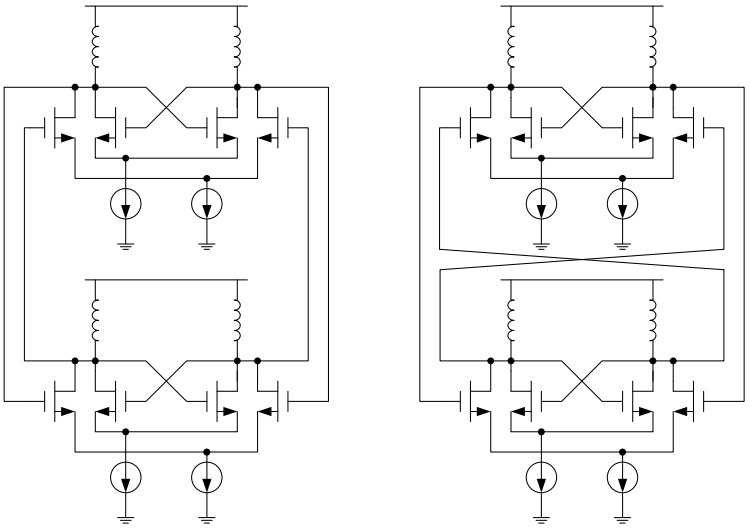
$$I_{TA} = I_{d1} + I_{d5} \tag{11-129}$$

I_{d1}和I_{d5}合成的矢量与I_{d1}之间存在一个夹角

$$\theta = \tan^{-1}\frac{I_{d5}}{I_{d1}} \tag{11-130}$$

由于A点的电压与电流I_{d1}是同相的，而流过谐振回路的电流I_{TA}与I_{d1}之间存在夹角θ，因此，仅当Z_T引入一个额外的相移$-\theta$，以上结果才能出现，我们称θ为偏离角。考虑到$Z_T = sL\|(sC)^{-1}\|R_P$，令谐振回路的相移等于$-\theta$，可以得到：

$$\frac{\pi}{2} - \tan^{-1}\frac{L\omega_{osc}}{R_P(1 - LC\omega_{osc}^2)} = -\tan^{-1}\frac{I_{d5}}{I_{d1}} \tag{11-131}$$



(a) (b)

图 11-93 同相耦合和反相耦合的LC振荡器

例如，如果$I_{d5}=0.2I_{d1}$，那么ω_{osc}必须从原来的$\omega_0=1/\sqrt{LC}$偏移到

$$\omega_{osc}=\frac{1}{LC}\sqrt{1-\frac{1}{5Q}} \tag{11-132}$$

才能提供需要的相移。

以上结果表明，当耦合差分对的偏置电流变化时，两振荡器之间的耦合因子也会发生变化，使得振荡频率也会发生变化，因此改变耦合差分对的偏置电流也是一种调谐LC正交振荡器振荡频率的办法。但是，由于谐振回路工作于谐振状态时能量损失最小，品质因子最高，而正交振荡器会使得振荡频率偏移谐振回路的谐振状态，因此，当耦合因子很强时，偏移频率较大，谐振回路的品质因子会很快下降，严重恶化振荡器的相位噪声性能。但耦合因子太小，两个振荡器之间存在的不匹配性可能不能使得两个振荡器的振荡频率相同，从而会破坏输出振荡信号之间的正交关系，引入相位误差。而且，两个振荡器之间的交互影响会引入毛刺问题。通常，耦合因子为25%可以在品质因子降低和振荡器可靠性之间提供一个合理的折衷。

这种反相耦合的概念可以推广到多个振荡器组合中，如图11-95。 它可以提供N相信号，每一个信号之间相位差为180°/N（N为振荡器个数）。例如，如果四个振荡器组成一个环路，相邻振荡器之间反相耦合，则它可以提供八相振荡信号，每一相信号之间相位差为45°。

§11.10.4 无源多相网络

无源多相网络也可以产生正交信号，它具有很宽的带宽，而且对元件的不匹配相对来说不敏感，在实现正交信号功能中得到了广泛地应用。无源多相网络还可以实现复信号滤波的功能，这对于实现正交变频接收机中的镜像抑制功能是很重要的。本节就介绍无源多相网络的有关知识。

1. 多相信号

一个多相信号是具有相同频率但不同相位的一套或者多套矢量信号。如果这些矢量信号具有相同的幅度，而且相位是等间隔分布的，这种多相信号称为对称型多相信号。反之，则称之为非对称型多相信号。因此，一个对称两相信号是由两个相同频率、相同幅度但相位相差180°的矢量信号组成的。可以证明，任何由N个矢量组成的非对称多相信号可以分解为N个对称型多相信号之和。

依据矢量信号相位顺序的不同，多相信号序列具有一定的极性。一个正极性序列具有顺时针方向的相位顺序，而负极性序列则具有逆时针方向的相位顺序。需要注意的是，序列的极性与旋转顺序没有关系，因为无论极性为正或者为负，多相信号所包含的矢量都是反方向旋转的（即多相信号都是按1,2,3,...矢量顺

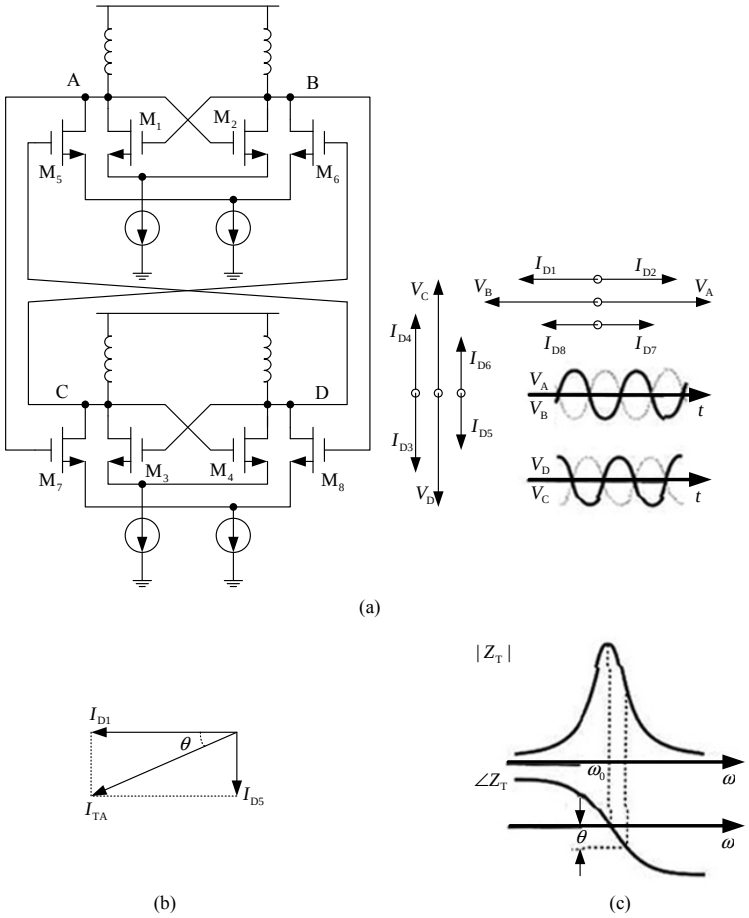


图 11-94 反相耦合*LC*振荡器的相位子表示

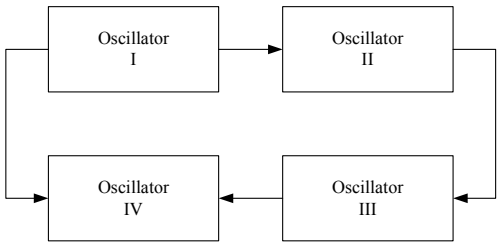


图 11-95 多振荡器反相耦合可以提供多相振荡信号

序组成的）。一般利用相位子（Phasor）来描述多相信号。一个频率为ω、幅度为A、起始相位为ϕ的矢量信号可以表示为：

$$z(t) = A \cdot \mathrm{e}^{\mathrm{j}\omega t+\phi} = \mathrm{A}\mathrm{e}^{\phi} \cdot \mathrm{e}^{\mathrm{j}\omega t} = \overline{\mathrm{A}} \cdot \mathrm{e}^{\mathrm{j}\omega t} \tag{11-133}$$

其中，$\overline{\mathrm{A}}$就定义为该矢量信号的相位子，它描述了矢量信号的幅度和相位。图11-96给出了两个四相信号，图（a）是正极性序列，因为从第一相到第四相的相位顺序为$(V, -\mathrm{j}V, -V, +\mathrm{j}V)$，是顺时针方向的，而图（b）的多相信号则是负极性序列。

2. 多相网络

多相网络通常具有N个输入端、N个输出端，它在物理上是对称的（从每一个输入到相应的输出所经过的路径是对称的）。多相网络的输入是一个多相信号，多相信号中的每一个信号矢量对应于多相网络的一个输入端。尽管多相网络在物理上是对称的，但它们对不同极性序列的多相信号的反应是不同的，因此常被称为序列非对称多相网络（Sequence Asymmetric Polyphase Networks）。

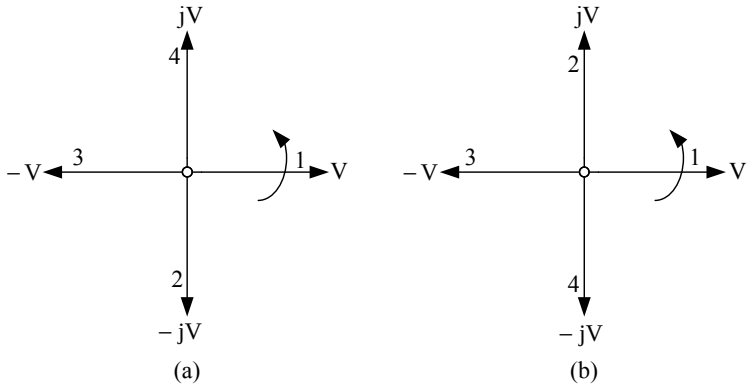


图 11-96 具有正极性序列和负极性序列的四相信号的相位子分布

四相网络是实际中最常使用的一种网络结构，现在我们来分析当它被一个对称型四相输入信号驱动时的传输函数。由于非对称型多相信号可以分解为多个对称型多相信号之和，因此根据叠加定理，当多相网络被非对称型四相信号驱动时，它的输出是该网络对分解的多个对称型多相信号的响应之和。既然四相网络中四个相位之间是对称的，该四相网络中单相结构的传输函数（矩阵链，Chain Matrix）就代表了整个网络的传输函数（矩阵链）。

图11-97给出了N相网络中其中一相的电路结构。 其中，导纳Y_1连接在相同相的输入和输出之间，

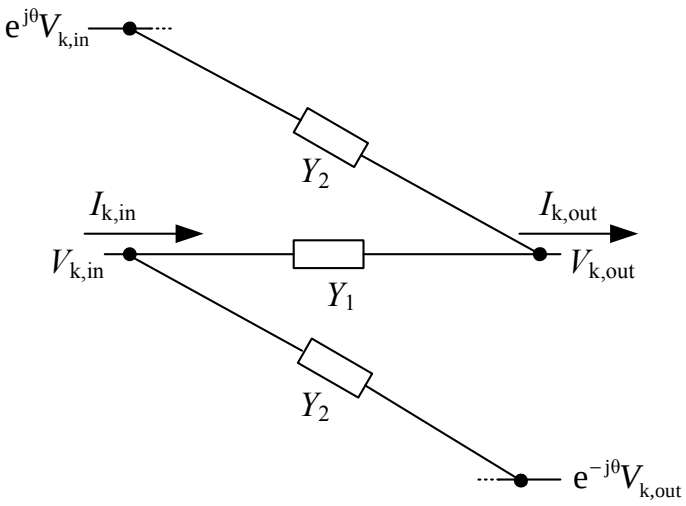


图 11-97 N相网络中其中一相的电路结构

而Y_2连接在输入和相邻相的输出之间。由于输入是对称型多相信号，多相网络在物理上也是对称的，它的输出也应该是一个对称型多相信号。单相结构的矩阵链为：

$$\begin{bmatrix} V_{k,in} \\ I_{k,in} \end{bmatrix} = \frac{1}{Y_1 + e^{j\theta}Y_2} \begin{bmatrix} Y_1 + Y_2 & 1 \\ 2Y_1Y_2(1-\cos\theta) & Y_1 + Y_2 \end{bmatrix} \begin{bmatrix} V_{k,out} \\ I_{k,out} \end{bmatrix} \tag{11-134}$$

其中，θ表示V_1和相邻输入之间的相位差，它的符号反应了输入序列的极性。如果$\theta < 0$，则$V_{k,in}$在相位上比相邻相$e^{j\theta}V_{k,in}$领先，输入多相信号是正极性序列；而如果$\theta > 0$，则$V_{k,in}$在相位上比相邻相$e^{j\theta}V_{k,in}$落后，输入多相信号是负极性序列。

RC多相网络是一类特殊的序列非对称多相网络，它由无源元件电阻和电容构成。在这种网络中，$Y_1 = 1/R$是电阻元件的导纳，而$Y_2 = sC$是电容元件的导纳。单级RC四相网络的结构示于图11-98（a）中。 对于四相网络来说，$\theta = +\pi/2$或者$\theta = -\pi/2$，正负号与输入多相信号的序列极性有关。对于

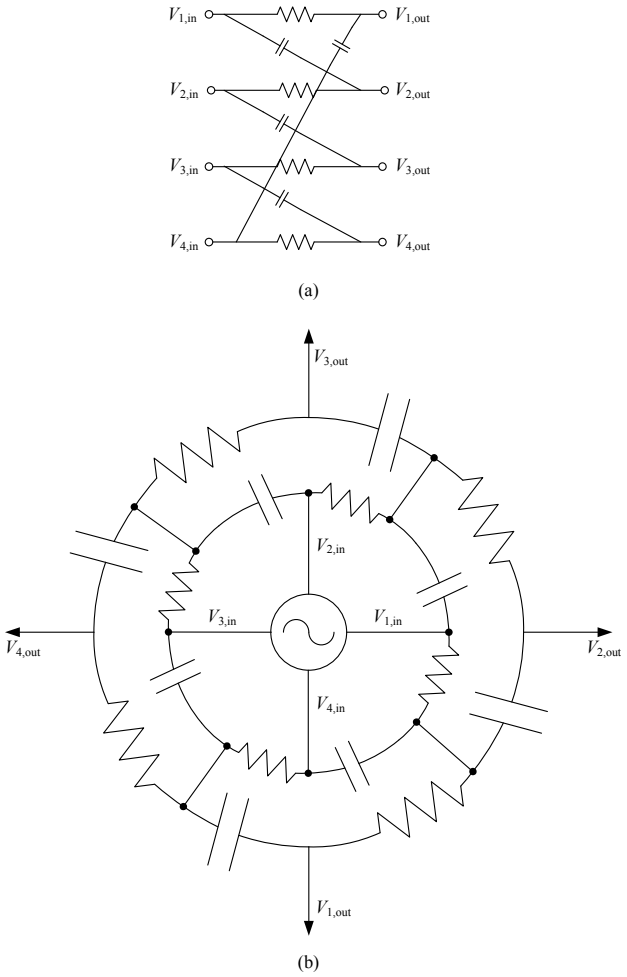


图 11-98 单级和多级四相网络

这个单级网络来说，它对正极性序列输入的矩阵链为：

$$\begin{bmatrix} V_{\mathrm{k,in}} \\ I_{\mathrm{k,in}} \end{bmatrix} = \frac{1}{1-\mathrm{j}sRC} \begin{bmatrix} 1+sRC & R \\ 2sC & 1+sRC \end{bmatrix} \begin{bmatrix} V_{\mathrm{k,out}} \\ I_{\mathrm{k,out}} \end{bmatrix} \tag{11-135}$$

它对负极性序列输入的矩阵链为：

$$\begin{bmatrix} V_{\mathrm{k,in}} \\ I_{\mathrm{k,in}} \end{bmatrix} = \frac{1}{1+\mathrm{j}sRC} \begin{bmatrix} 1+sRC & R \\ 2sC & 1+sRC \end{bmatrix} \begin{bmatrix} V_{\mathrm{k,out}} \\ I_{\mathrm{k,out}} \end{bmatrix} \tag{11-136}$$

因此，该网络对负极性序列输入的开路（$I_{\mathrm{k,out}}=0$）电压传输函数为：

$$T(\omega) = \frac{V_{\mathrm{k,out}}}{V_{\mathrm{k,in}}} = \frac{1-\omega RC}{1+sRC} \tag{11-137}$$

对正极性序列输入的开路（$I_{\mathrm{k,out}}=0$）电压传输函数为：

$$H(\omega) = \frac{V_{\mathrm{k,out}}}{V_{\mathrm{k,in}}} = \frac{1+\omega RC}{1+sRC} \tag{11-138}$$

因此该网络的电压传输函数与输入多相信号的序列极性有关，它能分辨出输入多相信号的序列极性，在某一个特定频带范围内，该网络能传输某一种极性序列的多相信号，而对另一种极性序列的多相信号却具有抑制作用。

多个单级多相网络可以级联组成多级多相网络结构，图11-98（b）给出了一个两级四相网络结构。

3. 四相网络作为正交信号产生器

考虑如图11-99（a）所示的M级四相网络，它对正极性输入序列的开路电压传输函数为$H(\omega)$，而对负极性输入序列的开路电压传输函数为$T(\omega)$。（$H(\omega) \neq T(\omega)$）。该网络的两相被一个差分信号所驱动，而

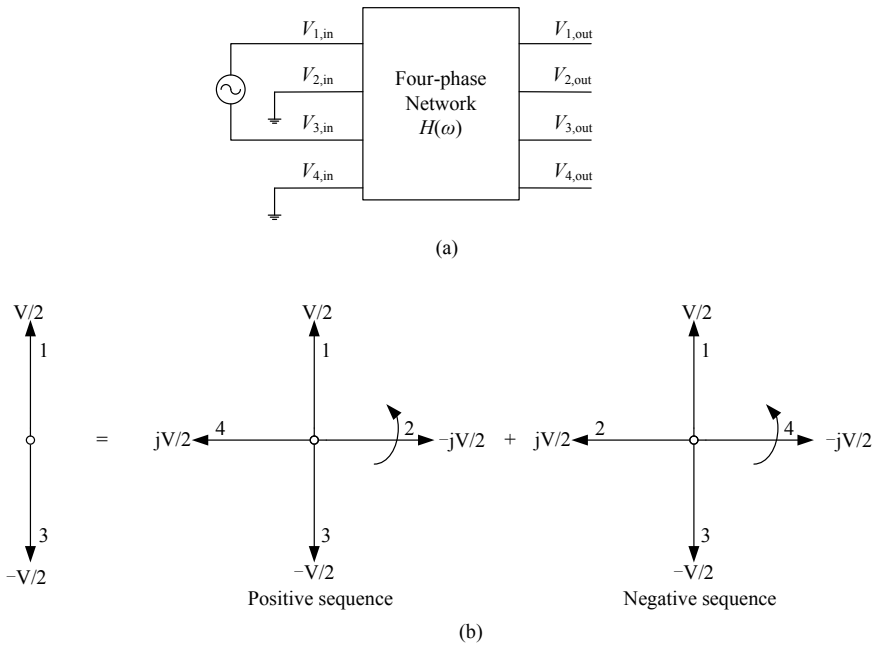


图 11-99 四相网络作为正交信号产生器

另两相接地。图11-99（b）给出了输入多相信号的相位子，它由相位相差180° 的两个矢量信号组成，在数学上该输入信号可以分解为两个具有相反极性序列的对称型四相信号之和。因此输出多相信号是该四相网络对这两个不同极性序列的四相信号的响应之和。该网络对正极性序列输入多相信号中任何一相信号的电压传输函数均为$H(\omega)$，而对负极性序列输入多相信号中任何一相信号的电压传输函数均为$T(\omega)$。

因此，输出多相信号为：

$$V_{1,\text{out}} = \frac{V}{2}(H(\omega)+T(\omega)) \tag{11-139}$$

$$V_{2,\text{out}} = -\text{j}\frac{V}{2}(H(\omega)-T(\omega)) \tag{11-140}$$

$$V_{3,\text{out}} = -\frac{V}{2}(H(\omega)+T(\omega)) \tag{11-141}$$

$$V_{4,\text{out}} = \text{j}\frac{V}{2}(H(\omega)-T(\omega)) \tag{11-142}$$

令$V_\text{I} = V_{1,\text{out}} - V_{3,\text{out}}$（同相信号）、$V_\text{Q} = V_{2,\text{out}} - V_{4,\text{out}}$（正交相信号），那么：

$$V_\text{I} = V(H(\omega+T(\omega))) \tag{11-143}$$

$$V_\text{Q} = -\text{j}V(H(\omega-T(\omega))) \tag{11-144}$$

考虑到式11-137和式11-138，一个单级RC四相网络的同相输出信号与正交相输出信号之间的比值为：

$$\frac{V_\text{Q}(s)}{V_\text{I}(s)} = sRC \tag{11-145}$$

从上式可以看出，尽管同相输出和正交相输出之间在所有频率上相位都相差90°，但是，仅当信号频率为$1/RC$时，同相输出和正交相输出的幅度才是相同的。也就是说，仅在单频率点上，同相输出和正交相输

出之间才是完全理想正交的，限制了该网络仅能应用于窄带应用中，而且与$RC-CR$网络相同，它对各相中电阻、电容值之间的不匹配是极度敏感的。

为了在宽频带范围内达到更好的增益匹配并减小正交性能对元件值不匹配的敏感度，可以利用两级级联多相网络。同相输出和正交相输出将在两个频率点上具有相同的幅度，这两个频率点相应于每一级的谐振频率（$1/RC$)。同相输出和正交相输出的电压之比可以将每一级多相网络的矩阵链相乘来得到，为：

$$\frac{V_{\mathrm{Q}}(s)}{V_{\mathrm{I}}(s)}=\frac{s(R_1C_1+R_2C_2)}{1-s^2(R_1R_2C_1C_2)} \tag{11-146}$$

同样，在所有的频率上，同相信号和正交相信号之间的相位差均为90°。这样就创造了一个宽带正交信号产生器，频带宽度由两个谐振频率$1/(2\pi R_1C_1)$和$1/(2\pi R_2C_2)$来决定。频率位于这两个频率点之间的任何输入信号输入到该网络后，该网络都能输出一个具有高度增益匹配和相位准确性的正交信号。最大增益误差发生在两个谐振频率的几何均值频率点上，在该频率处的最大增益误差为：

$$\left|\frac{V_{\mathrm{Q}}(s)}{V_{\mathrm{I}}(s)}\right|_{f_{\max}}=\frac{R_1C_1+R_2C_2}{2\sqrt{R_1R_2C_1C_2}} \tag{11-147}$$

其中，

$$f_{\max}=\frac{1}{2\pi\sqrt{R_1R_2C_1C_2}} \tag{11-148}$$

对于三级级联的多相网络，同相输出和正交相输出的电压之比为：

$$\frac{V_{\mathrm{Q}}(s)}{V_{\mathrm{I}}(s)}=\frac{s(R_1C_1+R_2C_2+R_3C_3)-s^3(R_1R_2R_3C_1C_2C_3)}{1-s^2(R_1R_2C_1C_2+R_1R_3C_1C_3+R_2R_3C_2C_3)} \tag{11-149}$$

在所有的频率上，同相信号和正交相信号之间的相位差均为90°。这两个输出在三个频率点上具有相同的幅度，这三个频率点由每一级多相网络的时间常数决定（RC）。为了达到最大的增益匹配和减小对元件不匹配的敏感度，第三级多相网络的谐振频率应该被设计在通带的中心频率处。但是，为了达到等幅纹波，第三个谐振频率应该位于其它两级谐振频率的几何均值处。

图11-100给出了应用于900MHz接收机中的不同级数多相网络的增益匹配误差随频率的变化曲线。 从

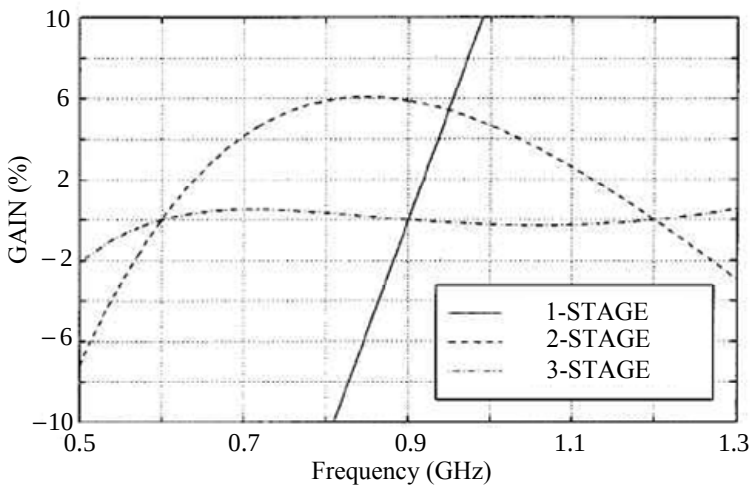


图 11-100 应用于900MHz接收机中的不同级数多相网络的增益匹配误差随频率的变化曲线

图中可以看出，随着级数的增加，增益误差越来越小。

总之，RC多相网络能够产生高度匹配的正交成分，输入同相信号经各级多相网络作用后，成为越来越完美的四相信号，每一级额外的多相网络都可以提高正交信号的质量，而且增加多相网络的级数可以降低增益匹配和相位误差对元件不匹配的敏感度。

4. **多相网络作复滤波器**

多相网络除了可以用来产生正交信号外，还可以用来作为复滤波器，将正频率成分和负频率成分分开，从而实现镜像抑制功能（见“无线收发机系统结构”一章），如图11-101所示。 正交下变频将有用信

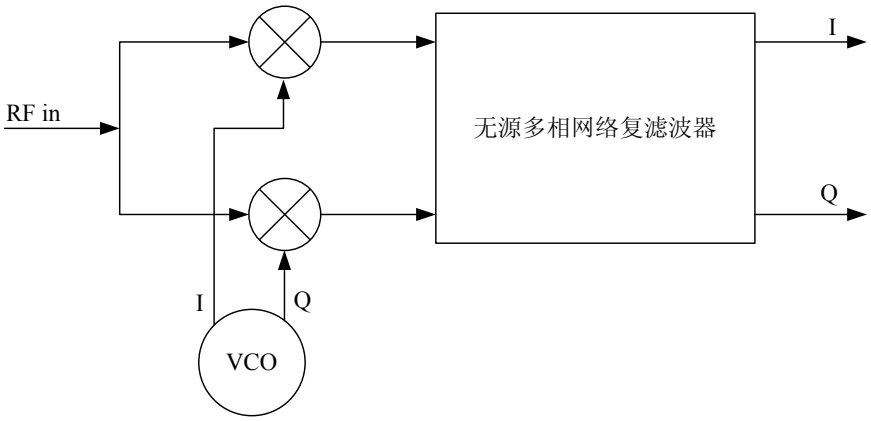


图 11-101 无源多相网络作复滤波器实现镜像抑制功能

号和镜像信号转换到正频率和负频率处（或相反），复滤波器滤除位于正频率或者负频率处的镜像信号成分，而保留有用信号成分，从而实现了镜像抑制功能。复滤波器可以采用有源RC电路或者开关电容电路来实现，但无源多相网络提供了一个更好的实现复滤波功能的办法。下面我们来分析多相网络作复滤波器的原理。

一个复滤波器的传输函数可以被表示为：

$$H(\omega) = H_1(\omega) + \mathrm{j}H_2(\omega) \tag{11-150}$$

$H_1(\omega)$和$H_2(\omega)$都是实传输函数。如果一个复信号$V_{\text{in}}(\omega) = X(\omega) + \mathrm{j}Y(\omega)$应用到该复滤波器中，得到的输出信号也是一个复信号，$V_{\text{out}}(\omega) = U(\omega) + \mathrm{j}V(\omega)$，其中

$$U(\omega) = X(\omega)H_1(\omega) - Y(\omega)H_2(\omega) \tag{11-151}$$

$$V(\omega) = Y(\omega)H_1(\omega) + X(\omega)H_2(\omega) \tag{11-152}$$

上式可以用如图11-102所示的信号流图来表示。

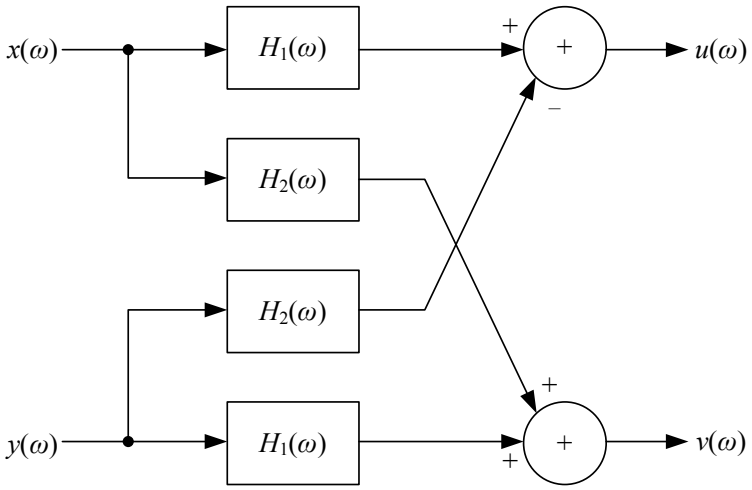


图 11-102 复滤波器的信号流图表示

图11-98所示的四相网络具有四个输入端口、四个输出端口，它的两差分输入信号（$V_{\mathrm{I,in}}=V_{1,\mathrm{in}}-V_{3,\mathrm{in}}$、$V_{\mathrm{Q,in}}=V_{2,\mathrm{in}}-V_{4,\mathrm{in}}$）代表复输入信号的实部和虚部，而两差分输出信号（$V_{\mathrm{I,out}}=V_{1,\mathrm{out}}-V_{3,\mathrm{out}}$、$V_{\mathrm{Q,out}}=V_{2,\mathrm{out}}-V_{4,\mathrm{out}}$）则代表复输出信号的实部和虚部。

具有正频率的复输入信号的相位顺序为$(V_{1,\mathrm{in}},V_{2,\mathrm{in}},V_{3,\mathrm{in}},V_{4,\mathrm{in}}=V,\mathrm{j}V,-V,-\mathrm{j}V)$，它是一个负极性序列多相信号；而具有负频率的复输入信号的相位顺序为$(V_{1,\mathrm{in}},V_{2,\mathrm{in}},V_{3,\mathrm{in}},V_{4,\mathrm{in}}=-V,-\mathrm{j}V,V,\mathrm{j}V)$，它是一个正极性序列多相信号。

单级四相网络的复矩阵链可以表达为：

$$\begin{bmatrix}V_{\mathrm{in}}\\I_{\mathrm{in}}\end{bmatrix}=\frac{1}{1+\mathrm{j}sRC}\begin{bmatrix}1+sRC & R\\2sC & 1+sRC\end{bmatrix}\begin{bmatrix}V_{\mathrm{out}}\\I_{\mathrm{out}}\end{bmatrix}\tag{11-153}$$

其中，V_{in}、I_{in}、V_{out}和I_{out}都是差分复数。

因此对于单级滤波器，它的开路复传输函数为：

$$\frac{V_{\mathrm{out}}(s)}{V_{\mathrm{in}}(s)}=\frac{1+\mathrm{j}sRC}{1+sRC}\tag{11-154}$$

其中，$V_{\mathrm{out}}=V_{\mathrm{I,out}}+\mathrm{j}V_{\mathrm{Q,out}}$，$V_{\mathrm{in}}=V_{\mathrm{I,in}}+\mathrm{j}V_{\mathrm{Q,in}}$。

很明显，该滤波器对正频率和负频率成分的频率响应是不一样的，$\omega=-1/RC$的有用信号落到滤波器的通带内，而位于$\omega=1/RC$的镜像信号则受到完全的衰减。

两级多相网络具有两个传输零点，对应于每一级的谐振频率，其传输函数为：

$$\frac{V_{\mathrm{out}}(s)}{V_{\mathrm{in}}(s)}=\frac{(1+\mathrm{j}sR_1C_1)(1+\mathrm{j}sR_2C_2)}{1+s(R_1C_1+R_2C_2+2R_1C_2)+s^2(R_1R_2C_1C_2)}\tag{11-155}$$

三级多相网络具有三个传输零点，也对应于每一级的谐振频率，其传输函数为：

$$\frac{V_{\mathrm{out}}(s)}{V_{\mathrm{in}}(s)}=\frac{(1+\mathrm{j}sR_1C_1)(1+\mathrm{j}sR_2C_2)(1+\mathrm{j}sR_3C_3)}{1+as+bs^2+cs^3}\tag{11-156}$$

其中，

$$a=R_1C_1+R_2C_2+R_3C_3+2(R_1C_2+R_2C_3+R_1C_3)\tag{11-157}$$

$$b=R_2R_3C_2C_3+R_1R_2C_1C_2+R_1R_3C_1C_3+2(R_1R_3C_2C_3+R_1R_2C_2C_3+R_1R_2C_1C_3)\tag{11-158}$$

$$c=R_1R_2R_3C_1C_2C_3\tag{11-159}$$

图11-103给出了一个应用于900MHz接收机中的不同级数多相网络复数滤波器的频率响应曲线。 从图中，可以很明显的看出，该滤波器可以让负频率成分通过，而对正频率成分则具有抑制作用，抑制带宽由每一级多相网络的谐振频率决定，而且级数越多，镜像抑制性能越好。

5. 非理想因素

多相网络也存在各种非理想效应。同$RC-CR$网络一样，只要每一个支路上的电容负载是一样的，则电容负载的大小不会影响正交性能，但是，负载之间的不匹配却会影响正交性能。多相网络的输入阻抗也会受到负载阻抗的影响。

多相网络的输入阻抗较低，为了驱动它，通常在它的输入端需要一个输入缓冲电路，而为了避免负载对多相网络传输特性的影响，它的输出也通常需要一个输出缓冲电路。在设计多相网络时，一般将多相网络的输入缓冲电路、输出缓冲电路和多相网络一起进行设计。如果多相网络处理的是电压信号，输入缓冲电路的输出阻抗应很低，而输出缓冲电路的输入阻抗应很高，这样可以避免信号损失。

各元件之间的不匹配也是无源多相网络设计中必须考虑的问题，这一般使用Monte Carlo仿真方法进行分析。但可以用如图11-104所示的元件值来估计无源多相网络传输特性的最坏情况。 图中给出了最坏情

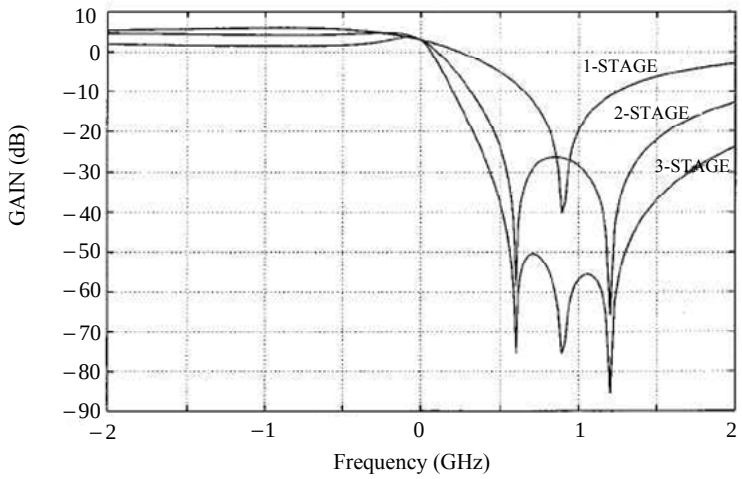


图 11-103 应用于900MHz接收机中的不同级数多相网络复数滤波器的频率响应曲线

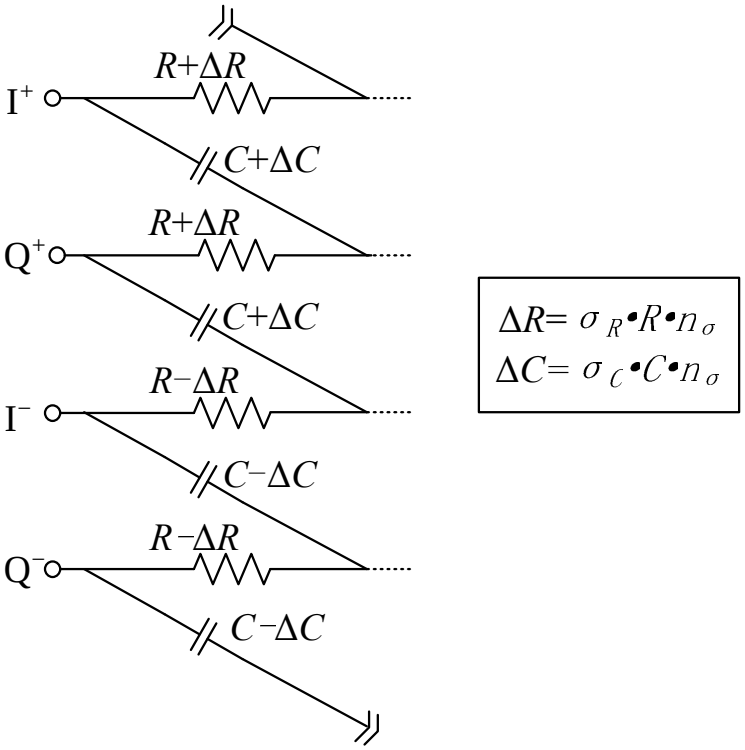


图 11-104 无源多相网络传输特性在最坏情况下的元件取值

况下单级多相网络的元件取值，M级多相网络级联时，传输特性的标准偏差σ_{tot}等于单级多相网络标准偏差的$\sqrt{\text{M}}$倍，因此考察一级多相网络传输特性对元件值的敏感度就可以知道多级网络的传输特性对元件值的敏感度。其中，σ_R是电阻元件值的标准偏差，而σ_C是电容元件值的标准偏差，n_σ是一个整数，为了分析出最坏情况，应该对它进行扫描，一般取$n_\sigma = 1, 2, 3$就可以了。

同$RC - CR$网络一样，无源多相网络也会遇到输入信号的谐波成分问题。如果信号的谐波成分很强，在送到无源多相网络之前必须进行滤波。

6. **设计考虑**

在设计多级无源多相滤波器时，一般将各级网络中电容的值都取为一样，而依靠改变电阻值来调节各级的谐振频率。为了尽可能增加输入阻抗，一般将谐振频率最低的一级作为第一级，将谐振频率最高的一

级作为最后一级。而且将各谐振频率的几何均值设计为与滤波器的中心频率相等，然后再来调查在最坏情况下的镜像信号抑制率是否满足要求。在设计元件取值时，电容的最小值受到多相网络的传输特性对元件值敏感度的限制，而电阻的最大值受到它所引入的噪声的限制。电容、电阻的寄生效应也会限制它们的取值范围。

在设计无源多相网络时，一般将输入缓冲电路、输出缓冲电路和无源多相滤波器一起进行设计，在设计过程中，可以充分利用电路仿真工具所提供的模拟能力，通过多次迭代来得到优化的结果。

§11.11 总结

本章集中讨论了振荡器的分析和设计问题。首先介绍了振荡条件，引入了Barkhausen判据，它是分析振荡器的基础；然后介绍了描述函数的概念，它可以用来分析Colpitts振荡器的振荡幅度；接下来介绍了三种类型的振荡器（负反馈LC振荡器，负阻LC振荡器和环型振荡器），分析了它们的振荡条件，并介绍了具体实现电路及频率调谐措施；在引入了压控振荡器的相位域模型之后，我们引入了相位噪声和时钟抖动的概念，并介绍了几种得到广泛应用的相位噪声模型；然后我们针对射频电路中常用的环型振荡器和负阻LC振荡器，仔细分析了改善它们的相位噪声性能的措施，特别是引入了噪声滤波技术。最后在简单介绍了集成实现中振荡器常遇到的频率牵引效应、并分析了频率牵引效应带来的影响后，总结了产生正交信号的方法，并介绍了复滤波器的实现技术，这些在零中频或者低中频等利用了正交变频技术的无线收发机中具有广泛的应用背景。

振荡器也是一个大信号电路，而且具有非线性时变特性。通过本章的介绍，读者可以了解设计振荡器的基本原理、实现技术以及提高性能的基本措施，可以指导读者进行简单的振荡器设计。

参考文献

1 Lee T H. The Design of CMOS Radio-Frequency Integrated Circuits(Second Edition). U.S.A.: Cambridge University Press, 2004

2 Razavi B. Design of Analog CMOS Integarted Circuits. Singapore: MCGraw-Hill Higher Education, 2001

3 Razavi B. Design of integrated Circuits for Optical Communications（光通信集成电路设计）. 北京: 清华大学出版社, 2005

4 Rogers J, Plett C. Radio Frequency Integrated Circuit Design. Bosto.London: Artech House, 2003

5 Razabvi B. RF Microelectronics（射频微电子）. 北京: 清华大学出版社, 2003

6 Dai L, Harjani R. Design of High-Performance CMOS Voltage-Controlled Oscillators. Boston/Dordrecht/London: Kluwer Academic Publishers, 2003

7 Muer B D, Steyaet M. CMOS Fractional-N Synthesizers-Design for High Spectral Purity and Monolithic Integartion. Boston/Dordrecht/London: Kluwer Academic Publishers, 2003

8 张肃文, 陆兆熊. 高频电子线路（第三版）. 北京: 高等教育出版社, 1993

9 Badillo D A. Low Power, Low Phase Noise CMOS Ring Oscillators. Ph.D Thesis of Arizona State University, 2003

10 Hegazi E E M. High Purity Frequency Synthesizer Design in CMOS. Ph.D Thesis of University of California, Los Angeles, 2002

11 Galal S H, Ragaie H F, Tawfik M S. RC Sequence Asymmetric Polyphase Networks for RF Integrated Transceivers. IEEE Transactions on Circuits and Systems–II: Analog and Digital Signal Processing, 2000, 47(1): 18-27

12 Ranter C D, Steyaert M. High Data Rate Transmitter Circuits-RF CMOS Design and Techniques for Design Automation. Boston/Dordrecht/London: Kluwer Academic Publishers, 2003

习题

1. 图11-105给出了一个Clapp振荡器的电路图和电路参数，试计算晶体管栅极振荡信号的振荡频率和振荡幅度，以及电感上的振荡信号的振荡频率和振荡幅度，画出晶体管漏端的电流波形，并决定晶体管漏端电流的峰值。在计算过程中假设晶体管工作于长沟道区，并忽略所有的晶体管寄生电容。

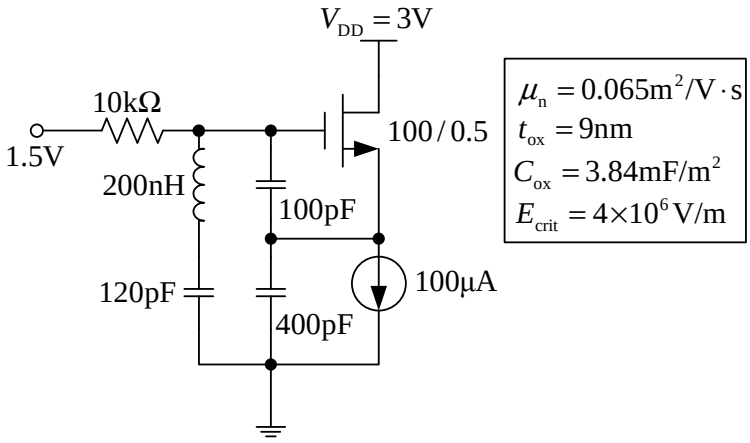


图 11-105 习题1图

2. 证明MOS互耦对的小信号等效输入阻抗为$-2/g_m$。

3. (a) 图11-106给出了一个差分负阻LC振荡器，计算LC谐振回路上振荡信号的振荡频率和振荡幅度，假设电感的品质因子为10，忽略除C_{gs}之外所有的晶体管寄生电容；
   (b) 解释该振荡器的幅度受限机制；
   (c) 要保证该振荡器能正常起振，决定电源电压的最小值；
   (d) 估算该振荡器的功耗。解释限制该振荡器功耗进一步增加的原因。

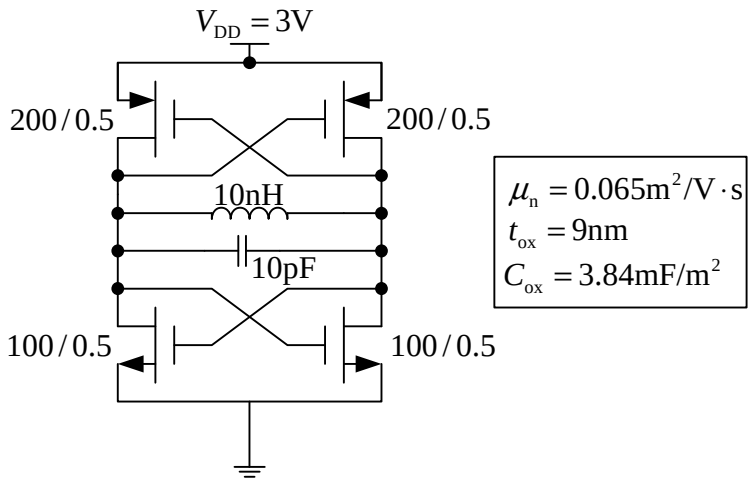


图 11-106 习题3图

4. 一个如图11-27所示的振荡器设计为在1GHz频率下振荡：
   (a) 如果$L_P=5nH$，节点X、Y对地的总寄生电容为500fF，决定pn结D_1、D_2的最大电容量；
   (b) 如果尾电流源所提供的电流为1mA，电感在1GHz频率下的品质因子为4，计算该振荡器输出振荡信号的幅度。

5. 在图11-34中，假设$g_{m1}=g_{m2}=g_m$，并忽略晶体管寄生电容，试决定该电路的开环传输函数和相位裕度。

6. 在图11-35中，假设$g_{m1}=g_{m2}=g_{m3}=(200\Omega)^{-1}$：
(a)要保证该振荡器能够维持稳定振荡，试确定R_D的最小值；
(b) 要使得该振荡器的振荡频率为1GHz，总低频环路增益达到16，试确定电容C_L的电容值。

7. 计算电压驱动的串联RLC网络的相位无限冲击响应。

8. 在图11-107的振荡器中，输出稳态振荡信号的幅度为1V，计算在偏离载波100kHz频率处，比较器输出信号V_{out}的相位噪声值。已知$L_1=25\text{nH}$、$L_2=100\text{nH}$、$M=10\text{nH}$、$C=100\text{pF}$、$\overline{i_{n1}^2}=4kTG_{eff}\Delta f$、$1/G_{eff}=50\Omega$、$T=300\text{K}$。

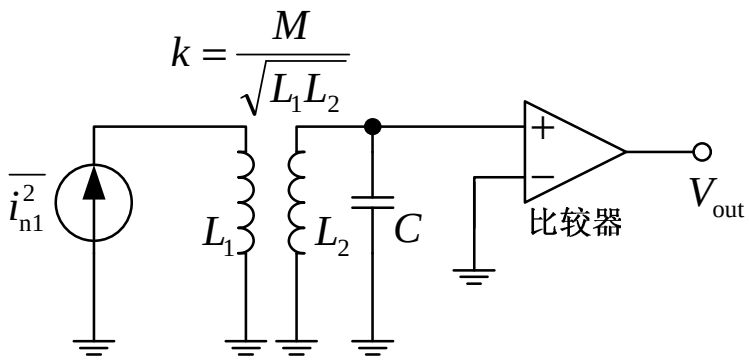


图 11-107 习题8图

9. 我们已经推导出了理想负阻振荡器的相位噪声表达式（见图11-63）。在该推导过程中，我们忽略了有源电路的噪声影响。现在我们来考虑有源电路的噪声影响。假设有源电路的噪声影响可以用一个等效输入噪声电压源$\overline{v_n^2}$和等效输入噪声电流源$\overline{i_n^2}$来等效（均假设为白噪声）：
(a) 假设线性时不变模型成立，试推导相位噪声的表达式；
(b) 若假设线性时变模型，试重新推导相位噪声的表达式；
(c) 利用得到的结果，推导Leeson相位噪声模型中噪声因子F的表达式。

第十二章　频率合成器

为了提高频谱效率，现代无线通信系统大都利用了频分复用技术，无线收发机进行通信时所用信道，会根据信道占用情况、信道质量等进行实时切换。信道的切换，是通过改变频率合成器的输出频率来实现的。频率合成器给收发机中的变频电路提供频率可编程的本地载波信号，是无线收发机中的一个核心模块，它的性能会极大地影响通信系统的通信质量。本章就来讨论频率合成器的有关分析和设计技术。

§12.1　频率合成器的基本概念

频率合成器的功能就是给收发机中的变频电路提供频率可编程的本地载波信号，它的输出频率一般可以表示为：

$$f_{\text{out}} = f_0 + \text{k}f_{\text{ch}} \tag{12-1}$$

其中，f_0是频率合成器输出频率范围的下限，k是位于0和通信系统的最大信道数之间的整数，而f_{ch}是信道之间的频率间隔。来自基带电路的数字信号控制着k，从而控制着通信所占用信道的频率。

频率合成器除了可用在无线通信系统中产生本地载波信号外，在其它系统中也有多种应用。应用背景不同，对它的要求也不完全相同。大体说来，衡量频率合成器性能的主要指标包括以下几项：输出频率范围、频率精度、频率稳定度和准确度、频谱纯度（输出杂散或者相位噪声性能）、频率切换时间等。另外，频率合成器的功耗和成本也是设计时要考虑的重要因素。下面我们对频率合成器的主要性能指标进行分别说明。

§12.1.1　频率范围

这是指频率合成器的工作频率范围，视通信系统而定，可能存在各种频段。通信系统标准通常规定了通信所占用的频带范围和信道划分方法，如IEEE 802.11a标准规定无线局域网所占用的频带范围分为上下两个频带，下频带的频率范围为5.15～5.35GHz，200MHz的频带带宽共分为8个信道，每一个信道的带宽为20MHz，两相邻信道可能存在一些重叠，如图12-1（a）所示。 上频带的频率范围

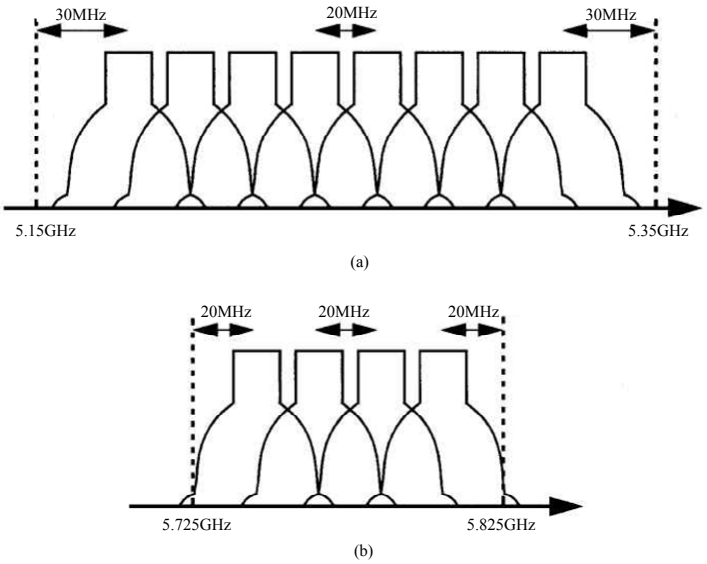


图 12-1 IEEE 802.11a无线局域网的频带

为5.725～5.825GHz，100MHz的频带带宽共分为四个信道，每个信道的带宽仍为20MHz，如图12-1（b）所示。因此，在利用下频带进行通信的IEEE 802.11a无线局域网通信系统中，频率合成器必须具有200MHz的输出频率范围，而在利用上频带进行通信的局域网通信系统中，频率合成器必须具有100MHz的输出频率范围。

§12.1.2 频率精度

频率合成器的输出频率是不连续的。相邻两个输出频率之间的最小间隔（即f_{ch}），就是频率合成器的频率精度。对频率合成器输出频率精度的要求，也是由通信系统标准规定的。在绝大多数通信系统中，频率合成器的频率精度必须等于信道之间的频率间隔，如用于GSM收发机的频率合成器的频率精度必须为200kHz，用于IEEE802.11a无线局域网收发机的频率合成器的频率精度必须为20MHz。

§12.1.3 频率切换时间

这是指频率合成器的输出信号从一个频率切换到另一个频率时，频率合成器的输出重新达到稳定所需要的时间，它与所用频率合成器的类型有直接关系。一般无线通信系统标准也对频率切换时间作出了规定，如用于GSM收发机中的频率合成器的频率切换时间必须小于250μs。

§12.1.4 频率稳定度与准确度

频率合成器的频率稳定性是极度重要的技术指标，因为通信系统的频率稳定度，取决于这些设备中的频率合成器的频率稳定度。而通信系统的频率不稳，会极大恶化通信系统性能。因此维持频率合成器输出频率的稳定性是极度重要的。

衡量频率合成器频率稳定性的主要指标有两个：准确度和稳定度。

频率合成器的实际输出频率f与标称输出频率f_0之间的偏差，称为频率合成器的频率准确度，也称为频率误差。通常分为绝对频率准确度与相对频率准确度两种：$\Delta f = f - f_0$称为绝对准确度；$\Delta f/f_0 = (f - f_0)/f_0$称为相对准确度。

频率合成器的频率稳定度是指在一定时间间隔内，频率准确度的变化，因此实际上是“频率不稳定度”。

在准确度和稳定度两个指标中，稳定度是准确度的前提，只有频率稳定，才谈得上频率准确。通常认为频率误差已包括在频率不稳定的偏差之内，因此，一般只提频率稳定度。

根据所指定的时间间隔的不同，频率稳定度可分为长期频率稳定度、短期频率稳定度和瞬间频率稳定度三种。长期频率稳定度，一般是指一天以上乃至几个月的相对频率变化的最大值，它主要用来评价天文台或者计量单位的高精度频率标准和计时设备的稳定指标；短期频率稳定度，一般指一天之内频率的相对变化最大值。外界因素引起的频率变化大都属于这一类，通常称为频率漂移。短期频率稳定度一般多用来评价测量仪器或者通信系统中本地载波信号的频率稳定指标；瞬间频率稳定度，指秒或者毫秒内随机频率变化，即频率的瞬间无规则变化，当用频域来描述瞬间频率稳定度时，它表现为频率合成器的输出频谱不纯，如引入了相位噪声或者杂散，下面我们还会对此进行讨论。

以上这种划分法不是绝对的，没有统一的标准，但以上的划分还是有一定实际意义的。短期频率稳定度主要是与温度变化、电压变化和电路参数不稳定性等因素有关。长期频率稳定度主要取决于有源器件、无源元件和石英晶体等的老化特性，而与频率的瞬间变化无关。至于瞬间频率稳定度主要是由于频率合成器内部噪声而引起的频率起伏，它与外界条件和长期频率漂移无关。

§12.1.5 频谱纯度

如前所述，频率合成器的瞬间频率不稳定在频域上表现为频谱不纯。频率合成器的理想输出频谱应是在输出频率ω_0处的单一谱线，但由于噪声或者干扰的影响，频率合成器输出信号的瞬时幅度和瞬时相位会受到扰动，出现寄生调幅或者寄生调相效应。同振荡器一样，频率合成器输出信号的瞬时幅度扰动会受到抑制，而瞬时相位扰动则转化为载波周围的两个边带，如图12-2所示，形成相位噪声（或者时钟抖动）。因此相位噪声性能（或者时钟抖动）也是描述频率合成器性能的重要指标。与振荡器不同的是，当偏离载波频率的频率值小于某一特定值（该特定值与频率合成器的实现有关）时，相位噪声是一个不随偏移频率变化的常数，称为带内相位噪声，而偏离载波频率的频率值大于该特定值时，相位噪声将随着偏移频率的增加而下降，称为带外相位噪声。图12-3给出了一个振荡器的相位噪声曲线和频率合成器的相位噪声曲

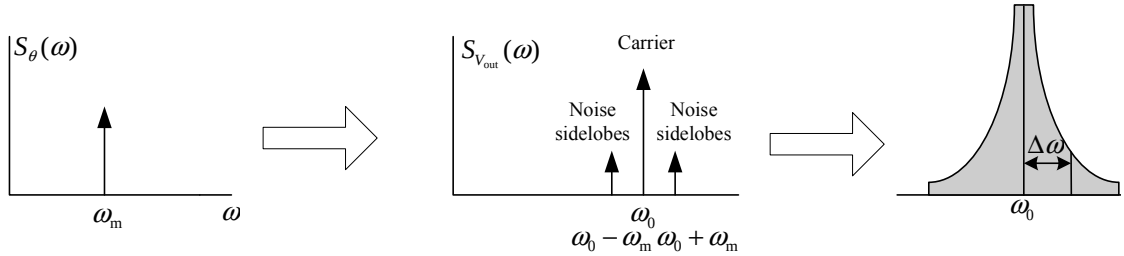


图 12-2 频率合成器的瞬时相位扰动转化为相位噪声

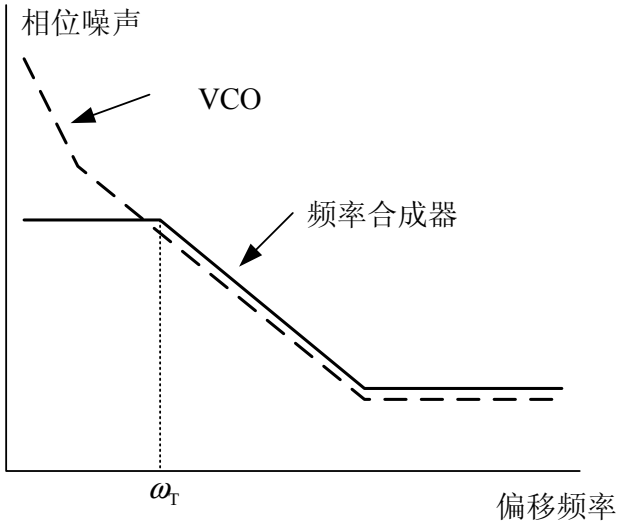


图 12-3 频率合成器和振荡器的相位噪声曲线比较

线，从图中可以很容易地看到这两者之间在相位噪声特性上的区别（其中的原因，在后面我们会进行解释）。

除了相位噪声性能外，在某些特殊的频率点上，频率合成器的输出频谱还可能出现一些强信号频率成分，如图12-4所示，这些频率成分称为杂散（Spur）。 载波与最大杂散成分的功率之比C/S反应了频率合

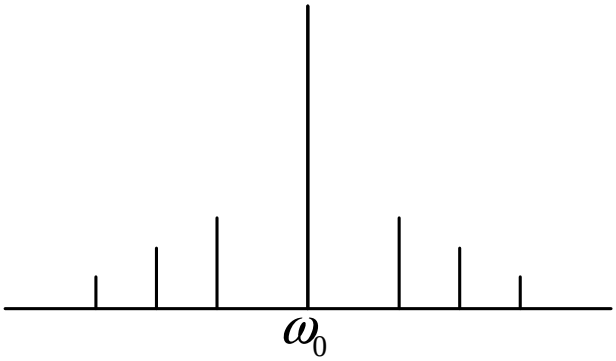


图 12-4 频率合成器输出频谱上的杂散

成器的杂散性能。在高性能的频率合成器中，杂散也是一个衡量输出频谱纯度的性能参数。它通常与频率合成器在该频率处所受到的强干扰有关。

§12.2 直接数字频率合成器

直接数字频率合成是实现频率合成器的一个很重要技术，特别是在频率精度要求很小、频率切换时间

要求很快的通信系统（如快速跳频通信）中，这种合成技术得到了广泛地应用。本节介绍直接数字频率合成器的分析和设计技术。

§12.2.1 频率合成原理

图12-5给出了直接数字频率合成器的原理性框图。 它的基本思想是在数字域产生想要的信号，然

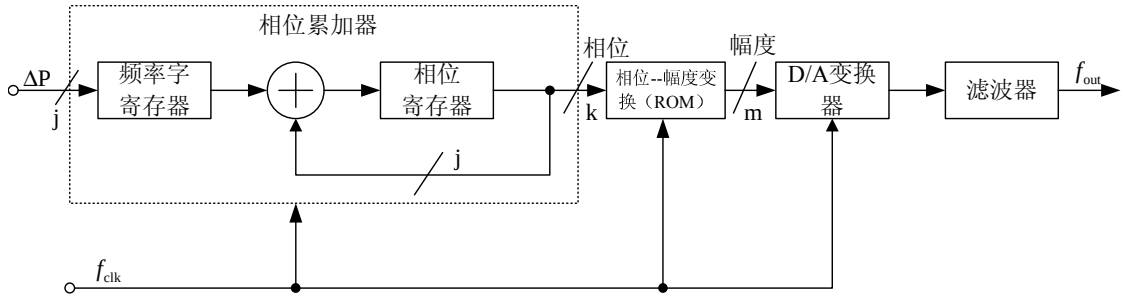


图 12-5 直接数字频率合成器的原理性框图

后经数模转换和滤波后重建模拟信号波形。一般由如下模块组成：相位累加器、相位–幅度变换器、数模变换器（D/A）和滤波器。相位累加器又包括两部分：j位的频率字寄存器存储着数字相位增加步长（ΔP），相位增加步长ΔP是外界对合成频率进行编程的控制字；另一部分是j位的全加器和输出数字相位寄存器，在每一个时钟触发点，全加器将存储在输出相位寄存器中的数据与频率字寄存器中存储的步长ΔP相加，并重新存储进输出相位寄存器中。因此，每隔$1/f_{\mathrm{clk}}$时间，全加器的输出就增加ΔP，产生一个线性增长的数字相位。由于位数的限制，全加器的输出增加到一定程度后就会产生溢出，发生溢出所需要的平均周期数为$2^{\mathrm{j}}/\Delta\mathrm{P}$，例如，如果$\mathrm{j}=3$、$\Delta\mathrm{P}=1$，则全加器的输出序列为$000-001-010-011-100-101-110-111-000$，经8个时钟周期后产生一次溢出；如果$\mathrm{j}=3$、$\Delta\mathrm{P}=2$，则全加器的输出序列为$000-010-100-110-000$或者$001-011-101-111-001$，经4个时钟周期后产生一次溢出；如果$\mathrm{j}=3$、$\Delta\mathrm{P}=3$，则全加器的输出序列为$000-011-110-001-100-111-010-101-000$，在8个时钟周期内产生三次溢出，因此溢出的平均周期为8/3。

这样，全加器发生溢出的平均频率为

$$f_{\mathrm{ov}}=\frac{\Delta\mathrm{P}}{2^{\mathrm{j}}}f_{\mathrm{clk}} \tag{12-2}$$

输出相位寄存器中寄存的数值表示了合成正弦型波形的相位。因此合成信号的相位重复周期与全加器产生溢出的周期是相同的，因此合成信号的频率为：

$$f_{\mathrm{out}}=f_{\mathrm{ov}}=\frac{\Delta\mathrm{P}}{2^{\mathrm{j}}}f_{\mathrm{clk}} \tag{12-3}$$

通过对ΔP进行编程，就可以改变合成信号的频率，从而实现了频率合成的目的。由于ΔP是整数，合成频率的最小频率间隔是当$\Delta\mathrm{P}=1$时得到的，因此直接数字频率合成器的频率精度为：

$$\Delta f=\frac{f_{\mathrm{clk}}}{2^{j}} \tag{12-4}$$

通过增加全加器的位数j，直接数字频率合成器可以实现很精细的频率精度。

相位累加器仅产生了正弦型信号的相位，为了产生正弦型信号，还需要实现一个$sin(x)$函数，这是由相位–幅度变换器来实现的。相位–幅度变换器通常采用ROM存储器来实现。它是一个正弦型函数查找表，相位作为ROM存储器的寻址地址，而ROM中存储着不同相位下正弦型信号的幅度值。ROM的输出相当于是对正弦型信号以时钟频率f_{clk}进行采样的采样点。在不考虑幅度和相位量化误差的情况下，ROM的输出可以表示为：

$$\sin\left(2\pi\frac{P(\mathrm{n})}{2^{\mathrm{j}}}\right) \tag{12-5}$$

其中，$P(\mathrm{n})$是在第n个周期时j位相位寄存器存储的相位值，它是一个周期性序列，其周期为Pe个时钟周期，即$P(\mathrm{n}) = P(\mathrm{n}+\mathrm{Pe})$。若以$\mathrm{GCD}(\Delta\mathrm{P}, 2^{\mathrm{j}})$代表ΔP和$2^{\mathrm{j}}$的最大公约数，那么：

$$\mathrm{Pe} = \frac{2^{\mathrm{j}}}{\mathrm{GCD}(\Delta\mathrm{P}, 2^{\mathrm{j}})} \tag{12-6}$$

例如，当$\mathrm{j}=3$、$\Delta\mathrm{P}=1$，全加器的输出序列$P(\mathrm{n})$为000−001−010−011−100−101−110−111−000，经8个周期后会重复，因此$\mathrm{Pe}=8$；当$\mathrm{j}=3$、$\Delta\mathrm{P}=2$，全加器的输出序列$P(\mathrm{n})$为$000-010-100-110-000$或者$001-011-101-111-001$，经4个时钟周期后会重复，因此$\mathrm{Pe}=4$；当$\mathrm{j}=3$、$\Delta\mathrm{P}=3$，全加器的输出序列$P(\mathrm{n})$为$000-011-110-001-100-111-010-101-000$，经8个周期后会重复，因此$\mathrm{Pe}=8$。

相位寄存器的输出作为ROM的寻址地址，ROM中被寻址的单元每经过Pe个周期后也会重复，因此，数模变换之前直接数字频率合成器的输出波形的频谱由Pe个点的离散样本所决定。

ROM的输出代表了正弦型信号在不同时钟周期内的采样点，该采样点经数模变换后，转换到模拟域，它的输出频谱将包含多个频率成分$\mathrm{n}f_{\mathrm{clk}} \pm f_{\mathrm{out}}$（n是整数），这些频率成分之间的幅度由一个加权函数进行加权：

$$\frac{\sin \pi f/f_{\mathrm{clk}}}{\pi f/f_{\mathrm{clk}}} = sinc(\frac{f}{f_{\mathrm{clk}}}) \tag{12-7}$$

其中，$\mathrm{n}=0$所对应的频率成分是希望的频率成分，其它的都是杂散成分。希望的频率成分也存在一个加权函数$\frac{\sin \pi f_{\mathrm{out}}/f_{\mathrm{clk}}}{\pi f_{\mathrm{out}}/f_{\mathrm{clk}}}$，可以用一个反$sinc$滤波器来进行纠正。

数模变换器后的滤波器滤除除f_{out}外的其它高频谐波频率成分，提供一个纯正弦型输出信号。由采样定理的限制，直接数字频率合成器的最高合成频率为$f_{\mathrm{clk}}/2$。当合成频率逐渐接近$f_{\mathrm{clk}}/2$时，谐波成分$f_{\mathrm{clk}} - f_{\mathrm{out}}$与有用频率成分$f_{\mathrm{out}}$之间的频率间隔越来越近，因此要求滤波器有一个很陡的转换带，如图12-6 所示。既然滤波器的实现复杂度很大程度上是由转换带的频宽所决定的，很陡的转换带会急剧增加滤波器的实现复杂度。因此为了降低滤波器的实现难度，直接数字频率合成器的最高输出频率一般小于时钟频率的40%，通常是在时钟频率的1/4到1/3之间。

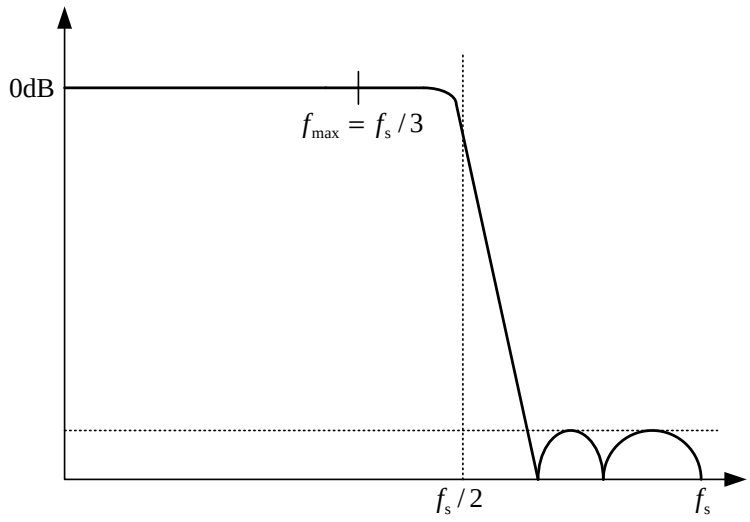


图 12-6 直接数字频率合成器中低通滤波器的传输函数

图12-7给出了直接数字频率合成器各模块输出的波形图。

§12.2.2 杂散分析

直接数字频率合成器避免了使用模拟压控振荡器来合成频率，因此具有极高的相位噪声性能（它的相位噪声性能近似等于时钟的相位噪声性能）。由于时钟频率是固定不变的，因此可以使用晶体振荡器来产生时钟，从而达到极低的相位噪声。但是，同其它的频率合成技术相比，直接数字频率合成的杂散很大，影响了它的性能。

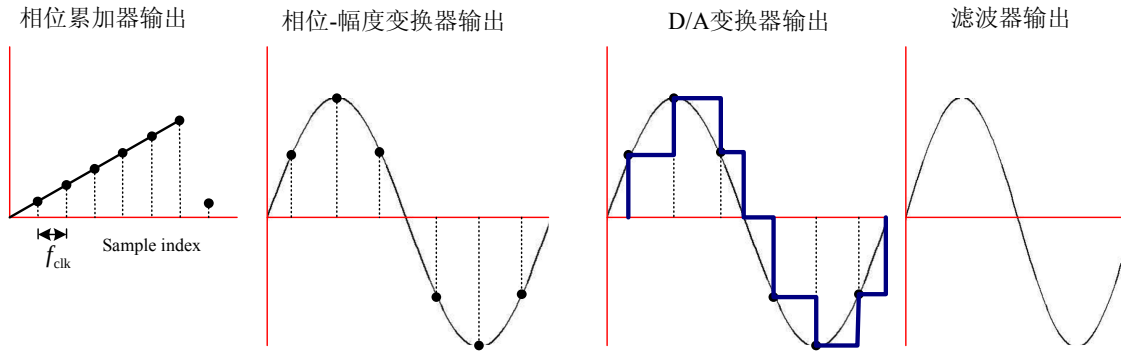


图 12-7 直接数字频率合成器各模块输出的波形图

在直接数字频率合成器中，引起杂散的噪声源存在六种，如图12-8所示： 相位累加器的输出相位（作

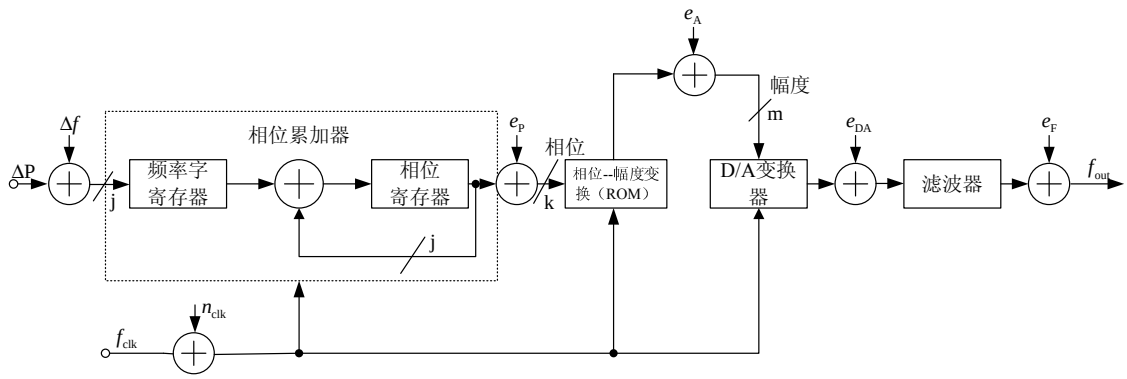


图 12-8 直接数字频率合成器中的噪声源

为ROM的寻址地址）截断所引入的噪声e_{p}；ROM中存储的实数采样点值用有限字长的二进制数字来表示所引入的量化噪声e_{A}；数模变换器所引入的噪声e_{DA}；滤波器引入的噪声e_{F}以及时钟引入的相位噪声n_{clk}和频率偏差Δf。频率偏差Δf仅会引起频率合成器的输出频率出现偏差，而不会引起杂散，因此可以等效认为是改变了$\Delta \mathrm{P}$。

1. 相位累加器的输出相位截断所引入的噪声

相位累加器的输出相位（作为ROM的寻址地址）截断所引入的噪声e_{p}包括两部分：一部分是实数相位用有限字长的二进制数字来表示所引入的量化噪声；另一部分是累加器的输出被截断所引入的噪声。在不考虑量化噪声时，直接数字频率合成器的输出采样序列应为：

$$s(\mathrm{n}) = \sin(2\pi \frac{\Delta \mathrm{P}}{2^{\mathrm{j}}} \mathrm{n}) \tag{12-8}$$

如果直接用累加器的输出作为ROM的寻址地址，那么ROM的存储单元数目将为2^{j}。当j很大时，ROM的储存单元数目是很大的，会增加芯片面积和功耗。为了降低对ROM存储单元数目的要求，可以仅取累加器输出的最高k位作为ROM的寻址地址，这时ROM存储单元的数目可以降为2^{k}。在这种情况下，直接数字频率合成器的输出采样序列应为：

$$s(\mathrm{n}) = \sin(\frac{2\pi}{2^{\mathrm{k}}} [\frac{\Delta \mathrm{P}}{2^{\mathrm{j-k}}} \mathrm{n}]) \tag{12-9}$$

其中，[ ]代表取整操作。上式可以重新表示为：

$$s(\mathrm{n}) = \sin(\frac{2\pi}{2^{\mathrm{j}}} (\Delta \mathrm{P} \mathrm{n} - e_{\mathrm{p}}(\mathrm{n}))) \tag{12-10}$$

其中，$e_{\mathrm{p}}(\mathrm{n})$即为相位累加器的输出相位截断所引入的噪声。可以证明，载波功率与相位累加器的输出相位

截断所引入的所有杂散成分的总功率之比为

$$\frac{\mathrm{S}}{\mathrm{N}} = 10\log_{10}[\frac{[\sin(\pi/\mathrm{N})/(\pi/\mathrm{N})]^2}{1-[\sin(\pi/\mathrm{N})/(\pi/\mathrm{N})]^2}] \tag{12-11}$$

其中，$\mathrm{N}=2^{\mathrm{k}}$。当N很大时（$\mathrm{N}>10$，实际上，N常大于1000），上式可以化简为：

$$\frac{\mathrm{S}}{\mathrm{N}} \approx 20\log_{10}(\mathrm{N}) - 10\log_{10}(\pi^2/3) \approx 6.02\mathrm{k} - 5.17\mathrm{dB} \tag{12-12}$$

可以用上式来估计ROM存储单元数目与信噪比之间的关系，根据应用要求的性能决定ROM存储单元的数目。

载波与相位累加器的输出相位截断所引入的最大杂散成分功率之比为：

$$\frac{\mathrm{C}}{\mathrm{S}} = 20\log_{10}(\mathrm{N}+1) \approx 10\log_{10}(\mathrm{N}) = 6.02\mathrm{k} \tag{12-13}$$

因此，为了使得直接数字频率合成器的输出频谱中载波与最大杂散成分的功率比值大于48dB，则ROM存储单元的数目必须大于$2^8=256$个，即$\mathrm{k}\geq 8$，相位累加器的运算位数也必须不小于8。

2. ROM中存储的样本值有限的精度所引入的量化噪声

在理想情况下ROM中存储的样本值是正弦型信号在某一相位时的幅度值，它是一个实数，当用有限字长的存储单元来存储该值时，就会引入量化噪声$e_{\mathrm{A}}(\mathrm{n})$，从而给频率合成器的输出频谱中引入杂散。如果累加器的相位截断噪声$e_{\mathrm{p}}(\mathrm{n})=0$，则ROM的输出序列为：

$$\sin(\frac{2\pi}{2^{\mathrm{j}}}(\Delta\mathrm{Pn})) - e_{\mathrm{A}}(\mathrm{n}) \tag{12-14}$$

$e_{\mathrm{A}}(\mathrm{n})$是一个周期性序列，其周期为Pe。

当Pe很大时，载波与杂散功率之比近似为：

$$\frac{\mathrm{C}}{\mathrm{S}} = (1.76 + 6.02\mathrm{m} + 10\log_{10}(\frac{\mathrm{Pe}}{4}))\mathrm{dBc} \tag{12-15}$$

其中，m是ROM存储单元的字长。

当Pe较小时，载波与杂散功率之比近似为：

$$\frac{\mathrm{C}}{\mathrm{S}} = (1.76 + 6.02\mathrm{m})\mathrm{dBc} \tag{12-16}$$

因此根据应用对频率合成器杂散抑制性能的要求，就可以决定ROM存储单元的字长m。存储单元的字长实际上就是数模变换器的字长，因此该字长也反应了数模变换器的实现难度。

3. 模拟电路引入的噪声

在直接数字频率合成器中，数字部分引入的杂散成分总可以通过增加累加器的运算位数和ROM存储单元的数目及字长来降低，但是，模拟电路引入的噪声限制了频率合成器抑制杂散的性能。实际上，在高速、高精度（$>$ 10Bits、$>$ 50MHz）直接数字频率合成器中，频率合成器的噪声性能主要由数模变换器和低通滤波器的非理想效应（如时钟馈通、交调、Glitch等）所决定。

描述数模变换器的性能指标主要包括失调、增益误差、差分和积分线性度（静态性能）以及建立时间、压摆率，Glitch脉冲（动态性能）等。设计一个性能优良的数模变换器是一个极度富有挑战性的任务，也是实现高性能频率合成器的关键，限于篇幅，本书不再对此进行展开。由于直接数字频率合成器是一个数模混合系统，数字电路部分产生的开关噪声会通过衬底耦合和电源电压耦合等串绕到模拟部分，时钟信号也会通过电容耦合串绕到模拟电路部分，引起额外的杂散，因此在设计数模变换器的电路和版图时，如何减小数字电路的干扰是需要仔细考虑的问题。

低通滤波器的作用主要是滤除高频谐波成分，为了降低它的非理想效应（响应时间）的影响，它在信号带宽范围内应具有平坦的幅度响应曲线和常数相移。

时钟信号的相位噪声性能会限制频率合成器的相位噪声性能，为了提高频率合成器的相位噪声，可以采用高性能晶体振荡器来作为时钟发生器。

§12.2.3 压缩ROM存储量的技术

如前所述，ROM中存储单元的数量和存储字长都会影响频率合成器的杂散性能，只有ROM具有足够的存储单元数量和存储单元字长，频率合成器的输出杂散才能被抑制在一定的水平之下。存储单元数量和存储单元字长决定了ROM的存储量，因此ROM的存储量越大，频率合成器的杂散性能越好。但ROM的存储量大，芯片面积和功耗都会增加，ROM的最高工作速度也会降低，限制了频率合成器的最高合成频率。为了解决这一问题，人们提出了各种技术来压缩对ROM的存储量的要求。本小节对这些技术进行简单的介绍。

1. 利用正弦型函数的对称性

正弦型函数具有水平和垂直两方面的对称性，因此从原理上来说，ROM存储单元仅需存储第一象限（0～π/2）相位间隔内的正弦函数值，然后利用正弦型函数的对称性就可以得到所有象限、整个2π相位间隔内的正弦函数值。这样可以将ROM存储单元的数量降低到原来的1/4，所增加的代价是增加一些实现对称性功能的逻辑电路。

图12-9给出了实现这种思路的原理性方框图。 相位累加器输出中最高的两位用来指示相位所在的象

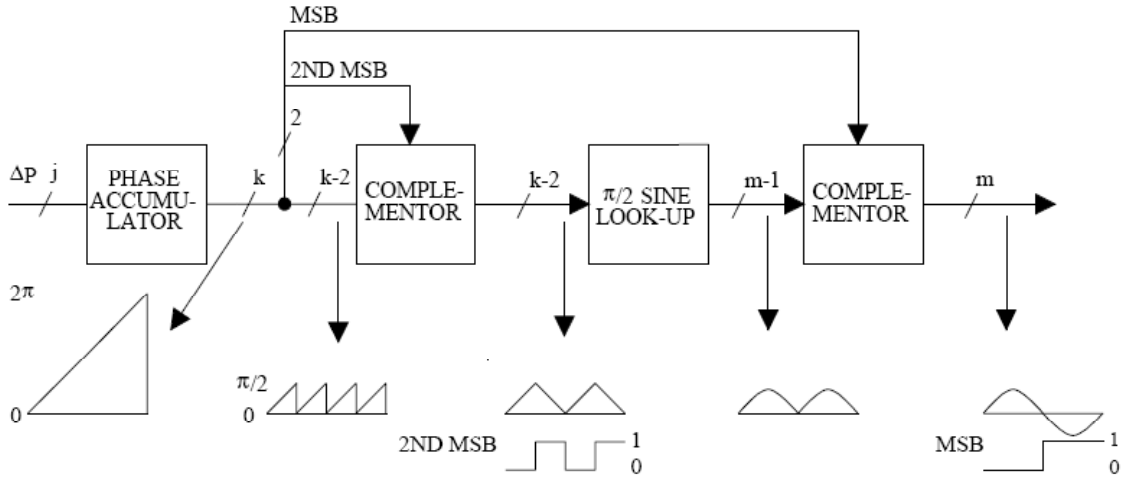


图 12-9 利用正弦型函数的对称性来减小ROM查找表的存储量

限，其余的k – 2位用来对存储有第一象限（0～π/2）相位间隔内正弦函数值的ROM查找表进行寻址。相位累加器的输出是一个周期为2π的锯齿波，去除最高两位后得到ROM的输入（k – 2位），变为一个周期为π/2的锯齿波。次最高位（2nd MSB）决定着正弦型函数的幅度是增加还是减小，如果次最高位为1，说明这时正弦型信号的相位位于第二象限，利用正弦型函数在第一象限和第二象限的幅度关于π/2轴对称的特点，将以π/2为周期的锯齿波进行折叠，变为一个相位逐渐降低的波形；如果次最高位为0，说明这时正弦型信号的相位位于第一象限，原相位波形保持不变。经过这一步操作后，得到一个以π为周期的正弦型半波整流波形，相位值的幅度位于0～π/2之间。用该输入对ROM进行寻址，可以得到半波正弦型函数。最高位（MSB）决定着输出样本值的符号，如果最高位为1，说明相位值位于π～2π之间，因此需要对输出进行反相，反之，则保留原输出。这样利用相位累加器的最高两位和存储有第一象限（0～π/2）相位间隔内正弦函数值的ROM查找表就可以恢复出整个2π相位间隔内的正弦型函数样本值。

2. 正弦型函数幅度与相位差算法

利用正弦型函数的对称性可以将ROM存储单元的数量降低到原来的1/4，减小ROM存储量的另一种思路是减小存储单元的字长。正弦型函数幅度与相位差算法就是实现这一思路的一种算法。它的基本思想是基于：

$$\max[\sin(\frac{\pi P}{2} - P)] \approx 0.21\max[\sin(\frac{\pi P}{2})] \tag{12-17}$$

因此，如果ROM存储单元存储的是如下函数的函数值：

$$f(P) = \sin(\frac{\pi P}{2}) - P \tag{12-18}$$

那么ROM存储单元的字长可以减小2位，存储量缩减到原来的1/4。实现这种算法的原理性方框图如图12-10所示，它需要增加一个额外的加法器和延迟电路，延迟电路的延迟与ROM查找表的延迟匹配，使得加法器的两个输入是同相的。这种算法的一个附加好处是由于存储单元字长减小，查找表的延迟也会减小，因此提高了ROM 查找表的工作速度。

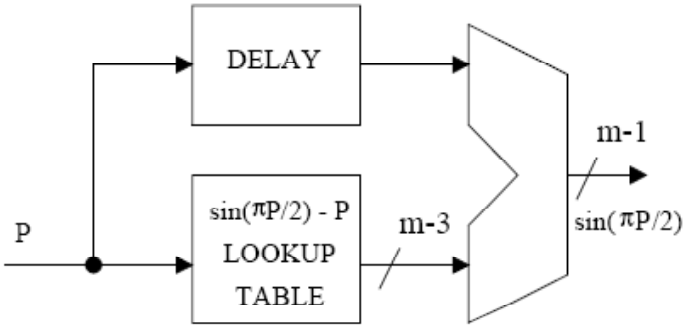


图 12-10 正弦型函数幅度与相位差算法

3. Sunderland**结构**

另一种压缩ROM存储量的方法是将整个存储器划分为一个粗略ROM查找表和一个精细ROM查找表，图12-11给出了这种技术的实现框图，它需要一个额外的加法器。

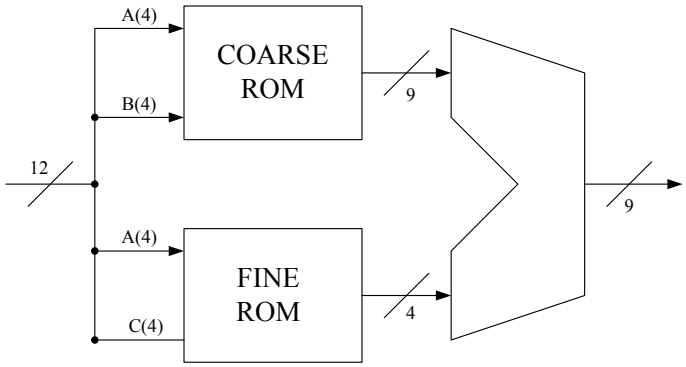


图 12-11 Sunderland结构

利用正弦型函数的对称性后，ROM存储单元的寻址地址为k − 2位，比原来减小2位。这k − 2位地址又可以分为a、b、c三段，$P = a + b + c$，如果每一段的字长分别为a → A、b → B、c → C。则$a < 1$、$b < 2^{-a}$、$c < 2^{-(a+b)}$。希望的正弦输出函数为：

$$\sin(\frac{\pi}{2}(a+b+c)) = \sin(\frac{\pi}{2}(a+b))\cos(\frac{\pi}{2}c) + \cos(\frac{\pi}{2}(a+b))\sin(\frac{\pi}{2}c) \tag{12-19}$$

由于$c \ll 1$、$b \ll a$，因此

$$\sin(\frac{\pi}{2}(a+b+c)) \approx \sin(\frac{\pi}{2}(a+b)) + \cos(\frac{\pi}{2}a)\sin(\frac{\pi}{2}c) \tag{12-20}$$

由于$\sin(\frac{\pi}{2}c)$很小，上式中的第二项远小于第一项。因此，第一项可以存储在粗略ROM查找表中，它的寻址地址来自于a、b两部分。第二项可以存储在精细ROM查找表中，它的寻址地址来自于a、c两部分。为了进

一步减小存储单元的步长，可以将幅度与相位差算法与Sunderlang结构结合起来，这时粗略ROM查找表中存储的是$\sin(\frac{\pi}{2}(\mathrm{a}+\mathrm{b}))-(\mathrm{a}+\mathrm{b})$，而不是$\sin(\frac{\pi}{2}(\mathrm{a}+\mathrm{b}))$，可以将粗略ROM查找表的字长减小2位。

这种减小ROM存储量的算法是非常有效的。例如，一个具有12位寻址地址和11位字长的ROM，若不采用任何算法，则对ROM存储量的要求为：$2^{12}\times 11=45056$位。如果仅采用Sunderland结构，12位寻址地址被分为三段，每一段的位数为4位，则粗略ROM查找表的存储量为$2^8\times 11=2816$位，精细ROM查找表的存储量为$2^8\times 4=1024$位，总存储量为3840位，存储量压缩了11.73倍。

4. Taylor序列近似

Taylor序列展开是另一种压缩ROM存储量的方法，它将整个ROM查找表划分为三个不同的部分，因此可以急剧减小ROM查找表的存储量。

相位地址P可以划分为上相位地址u和下相位地址$P-u$两部分。对正弦型函数$\sin(\frac{\pi}{2}P)$针对上相位地址u展开：

$$\sin(\frac{\pi}{2}P)=\sin(\frac{\pi}{2}u)+k_1(P-u)\cos(\frac{\pi}{2}u)-\frac{k_2(P-u)^2\sin(\frac{\pi}{2}u)}{2}+R_3 \tag{12-21}$$

其中，k_{n}都是用来调节每一个级数项量纲的常数，考虑到每一个相位值都具有弧度的量纲，因此需要一个为$\mathrm{n}\pi/2(\mathrm{n}=1,2,3\cdots)$的转换系数来补偿相位量纲。$R_3$是仅取前面两项后的残余误差。Taylor序列近似仅保留了前面三项，而其余各项对准确度影响不大，因此被舍弃。

上式中的第一项、第二项、第三项都存储在不同的ROM查找表中，如图12-12所示。 它需要一个额外

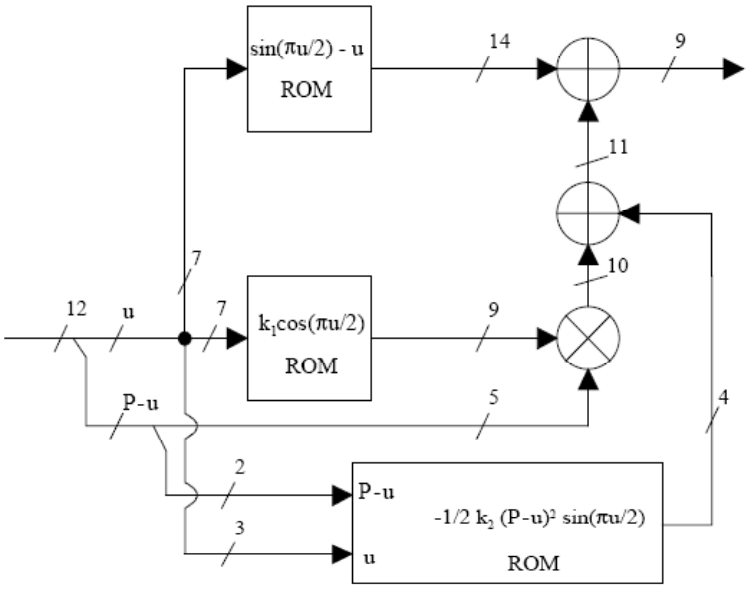


图 12-12 Taylor序列近似

的乘法器和两个加法器，增加了实现的复杂度，而且由于乘法器和加法器的速度限制，使用这种技术的频率合成器的速度较慢。

5. 其它压缩存储量的技术

除了上面列举的各种算法可以减小ROM的存储量外，还可以采用Nicolas结构、Hutchison结构或者Cordic算法等来减小ROM的存储量，限于篇幅，本书不再对这些算法进行说明。

除了压缩ROM查找表的存储量之外，另一种思路是利用非线性数模变换器来彻底消除ROM查找表，从而可以极大地节省芯片面积和功耗，并提高频率合成器的工作速度。实现这种技术的原理性框图如图12-13所示。 它利用了一个非线性正弦波数模变换器来实现相位－幅度映射和线性化数模变换，即数模变换器的输入是一个相位值，而数模变换器的输出对应于该相位下的幅度值，因此它等效于一个ROM查找表和一个格雷（Thermometer-coded）编码的线性数模变换器。理论上，对于相同的相位精度和幅度精度，

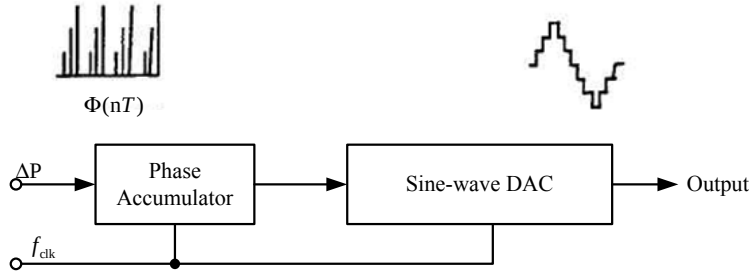


图 12-13 利用正弦波数模变换器来代替ROM查找表的直接数字频率合成器

使用非线性正弦波数模变换器构成的频率合成器的性能同传统的基于ROM查找表结构的频率合成器性能是一样的，但使用非线性正弦波数模变换器的频率合成器具有更低的功耗和更低的实现成本。

§12.2.4 实现调制功能和波形发生器

对直接数字频率合成器进行简单修改后，它还可以实现幅度、相位和频率调制的功能。因为正弦型信号可以表示为：

$$s(\mathrm{n}) = \mathrm{A}(\mathrm{n})\sin(2\pi(\Delta P(\mathrm{n}) + P(\mathrm{n}))) \tag{12-22}$$

因此，直接在数字域改变A(n)、ΔP(n)或者P(n)就可以实现幅度调制、频率调制和相位调制。现在所有的调制方案都是基于这三种调制方式的，因此在直接数字频率合成器的Nyquist带限范围内，可以合成任何希望的调制波形。图12-14给出了同时实现这三种调制方式的调制器的原理性方框图。 频率调制通过在相位累

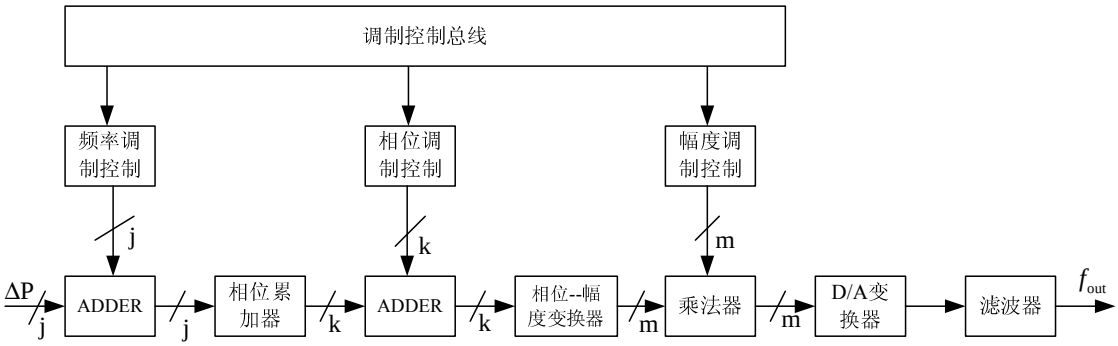


图 12-14 利用直接数字频率合成技术来实现各种调制方式

加器之前加入一个加法器来实现的；相位调制是通过在累加器之后加入一个加法器来实现的；而幅度调制则通过在相位－幅度变换和数模变换器之间加入一个乘法器来实现的。因此，通过简单的数字域操作，所有的调制方式都可以采用直接数字频率合成技术来实现。

直接数字频率合成器还可以用来作为函数发生器，只要将ROM查找表中存储的数值由正弦型函数改变为任何需要的函数波形，就可以实现任意的函数产生功能，包括常用的线性波形、锯齿波、高斯白噪声等。而且这种实现不会引入额外的代价，因此直接数字频率合成技术在函数发生器中得到了广泛地应用。

§12.2.5 优点和缺点

综上所述，直接数字频率合成技术具有以下的优点：（1）它避免了使用模拟压控振荡器，因此可以达到很高的相位噪声性能（近似等于时钟的相位噪声性能）。既然时钟频率是固定的，因此可以采用晶体振荡器来产生时钟，时钟的相位噪声性能可以做得很低；（2）直接数字频率合成可以提供精细的频率精度，通过增加相位累加器的运算位数就可以减小合成频率的精度，但代价是电路复杂度和功耗都会增加，电路速度（最高合成频率）会降低；（3）由于直接数字频率合成器中不包含模拟反馈环路，因此它的频率切换速度是很快的，这一点对快速跳频应用非常重要；（4）直接数字频率合成器可以实现连续相位频率切换，这对某些调制方案来说是很重要的；（5）它可以很容易地实现各种调制方案。

但直接数字频率合成器也存在一些很大的问题，正是因为这些问题，阻碍了它在射频领域的应用。首要问题是速度问题，前面说过，为了满足Nyquist采样定理并降低滤波器的实现难度，时钟频率应该是合成频率的三倍到四倍，如果要合成的频率很高（如大于1GHz），时钟产生电路就会存在很大的问题，而且使相位累加器、ROM查找表和数模变换器工作在这么高的时钟频率下会面临实现难题，功耗也是及其巨大的。正是因为这个原因，在射频领域，直接数字频率合成技术很少使用。直接数字频率合成器存在的其它问题包括相对较大的功耗、芯片面积（主要是ROM查找表）以及较差的杂散性能。

虽然直接数字频率合成技术不能直接应用于射频领域，但它可以和锁相环技术结合，组成双环频率合成技术，如图12-15所示。 直接数字频率合成器工作于较低的频率下，它的输出经上变频后转换到锁相环中

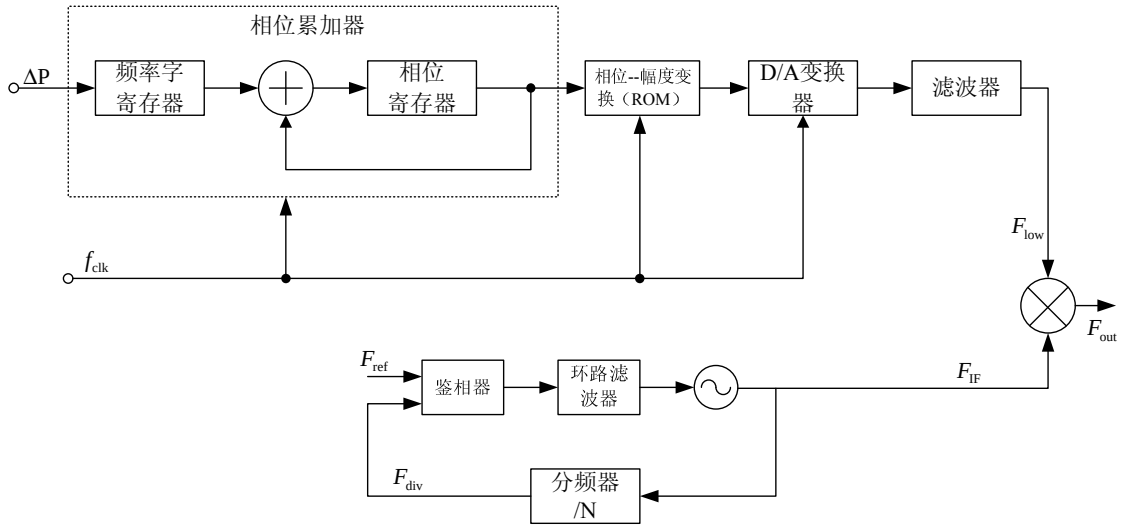


图 12-15 直接数字频率合成技术和锁相环技术结合组成双环结构

的射频带内，利用锁相环特性得到稳定的输出频率。这种双环结构可以提供精细的频率调节步长和快速的频率切换时间，在高频高速跳频系统中得到广泛应用。在实现这种双环结构时，需要注意直接数字频率合成器中的数字模块通过衬底耦合和电源电压耦合对锁相环的干扰，必要的隔离和仔细的版图设计是保证双环结构能正常工作的前提。

§12.3 锁相环路的基本原理与性能分析

锁相环是很重要的一类反馈系统，在调制、解调、频率合成、载波同步、重定时等很多方面具有广泛的应用，本节介绍锁相环路的基本原理，并进行简单的性能分析。

§12.3.1 基本工作原理

锁相环是将由振荡器产生的输出信号与一个输入参考信号在相位和频率上实现同步的电路。在同步状态（通常称为锁定）时，振荡器的输出信号和输入参考信号之间的相位差为0或者为某一个固定的常数。如果两者之间的相位差发生变化，锁相环中存在一个反馈控制机制来调节振荡器的输出，使得相位差减小，并最终达到锁定状态。在这个控制系统中，输出信号的相位实际上锁定到输入参考信号的相位上，这也是该电路被称为锁相环的原因。

锁相环的基本模块包括电压控制振荡器（VCO）、鉴相器（Phase Detector，PD）和环路滤波器。在某些低频锁相环中，振荡器的频率是由电流控制的，称为电流控制振荡器，这时鉴相器的输出应是一个受控电流而不是受控电压，但这些锁相环的工作原理同普通锁相环是一样的，以下不再提及。图12-16给出了锁相环的基本方框图及振荡器和鉴相器的传输特性。 振荡器的振荡频率ω_{out}由环路滤波器的输出信号u_{f}所控制，即：

$$\omega_{\text{out}}(t) = \omega_0 + K_0 u_{\text{f}}(t) \tag{12-23}$$

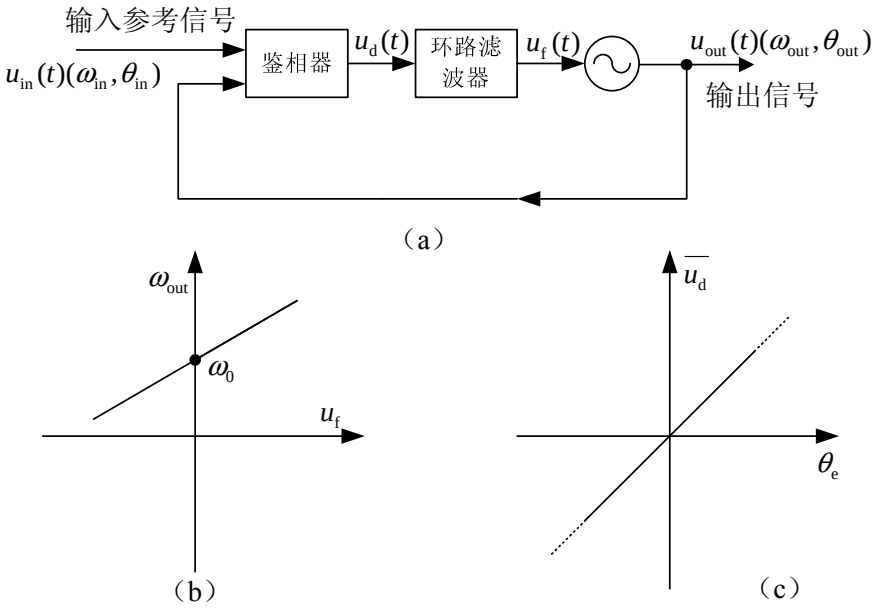


图 12-16 锁相环的基本方框图及振荡器和鉴相器的传输特性

其中，ω_0是振荡器的中心频率，K_0是振荡器的增益，它的量纲为rad/s/V。

鉴相器将输出信号的相位和输入参考信号的相位进行比较，它的输出在一个有限的输入范围内正比于两者之间的相位差θ_e，即：

$$u_d(t) = K_d\theta_e \tag{12-24}$$

其中，K_d是PD的增益，它的量纲是V/rad。PD的输出信号$u_d(t)$包含有直流成分和叠加的交流成分，压控振荡器的控制电压应是直流信号，因此$u_d(t)$中的交流成分应该被滤除，这是由环路滤波器来实现的。环路滤波器是一个低通滤波器，由它滤除交流成分，产生直流控制电压调节振荡器的振荡频率，它可以是各种阶数的。

下面我们来分析锁相环路的基本工作原理。首先，假设输入参考信号$u_{in}(t)$的频率和振荡器的振荡频率均为ω_0，如果两者之间的初始相位差θ_e等于0，则鉴相器和环路滤波器的输出均为0，振荡器的输入控制电压为0，振荡频率维持ω_0不变，锁相环维持稳定的工作状态。如果两者之间的初始相位差θ_e不等于0，PD将产生一个非零的输出信号$u_d(t)$，该信号由低通滤波器进行滤波，在一定的延迟后，产生一个直流控制电压u_f，非零的控制电压将调节振荡器的振荡频率，该调节将逐渐减小振荡器输出信号和输入参考信号之间的相位差，直至最终两者之间没有相位差。

如果在某一时刻t_1，处于锁定状态的锁相环的输入参考信号的频率改变了$\Delta\omega$，则输入信号的相位将开始领先于输出信号，如图12-17所示。 两者之间的相位差将开始随着时间增加，导致PD产生一个随时间增加的输出信号$u_d(t)$，该信号由低通滤波器进行滤波，经一定延迟后，产生VCO的控制信号$u_f(t)$，它也随时间而增加。因此VCO的频率也会逐渐增加，这会减小输出信号与参考信号之间的相位差。经过一定的时间之后（该时间称为建立时间，Settling Time），振荡器的振荡频率将调节到与输入参考信号的频率相同。根据所用环路滤波器的不同类型，锁相环锁定时PD两输入之间的相位差θ_e等于0或者为某一个固定的常数。

下面我们来定性的分析锁相环。我们知道，瞬时频率与瞬时相位之间的关系为：

$$\omega(t) = \frac{\mathrm{d}\theta(t)}{\mathrm{d}t} \tag{12-25}$$

$$\theta(t) = \int \omega(t)\mathrm{d}t + \theta_0 \tag{12-26}$$

其中θ_0为初始相位。

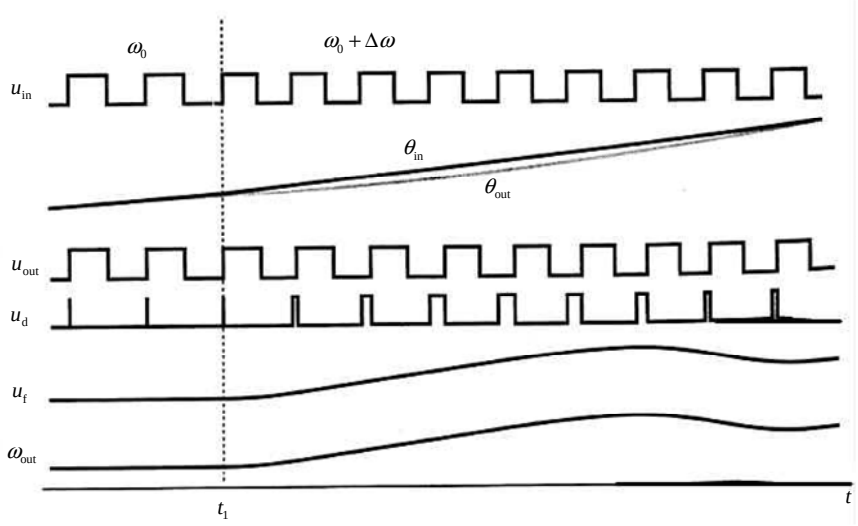


图 12-17 锁相环对频率发生阶跃变化的响应曲线

由上面的讨论可知，加到PD的两个信号的频率差为

$$\Delta\omega(t)=\omega_{\text{out}}-\omega_{\text{in}} \tag{12-27}$$

此时的瞬时相差为：

$$\theta_{\text{e}}(t)=\int\Delta\omega(t)\text{d}t+\theta_0 \tag{12-28}$$

因此，如果$\omega_2=\omega_1$，则$\Delta\omega(t)=0$，那么

$$\theta_{\text{e}}(t)=\int\Delta\omega(t)\text{d}t+\theta_0=\theta_0 \tag{12-29}$$

即当输入信号与输出信号的频率相等时，两者之间的瞬时相位差是一个常数。

如果$\theta_{\text{e}}(t)=\theta_0$，则：

$$\Delta\omega(t)=\frac{\text{d}\theta_{\text{e}}(t)}{\text{d}t}=0 \tag{12-30}$$

因此，$\omega_{\text{out}}=\omega_{\text{in}}$。即输入参考信号和输出信号的相位差为常数时，两者的频率必然相等。

总之，在锁相环中，当输入信号和输出信号频率相等时，则它们之间的相位差保持不变，反之，若两个信号的相位差是个恒定值，则它们的频率必然相等。在锁定后，输出信号的频率等于输入信号的频率，但两者之间存在恒定相位差，这恒定相位差经PD和环路滤波器后转化为直流控制电压去控制VCO的振荡频率（若直流环路增益为无穷大，则该恒定相位差为0），使$\omega_{\text{out}}=\omega_{\text{in}}$。在闭环条件下，如果由于某种原因使VCO的频率发生变化，那么输出信号和输入参考信号之间的相位差不再为恒定值，鉴相器的输出电压也就跟着发生变化，这变化不断调整VCO的振荡频率，直到输出信号的频率与参考信号的频率相等为止。这就是锁相环的基本工作原理。

因此，锁相环能够使得输出信号的相位跟踪输入参考信号的相位，使两者之间的频率保持一致。这是锁相环的优点。锁相环的另一个优点是它能够抑制叠加在输入参考信号上的噪声。如果锁相环的输入参考信号包含有噪声，PD将测量输入信号和输出信号的相位差，叠加在参考信号上的噪声将使得输入信号$u_{\text{in}}(t)$的过零点以一种统计的方式被提前或者推迟。这使得PD的输出信号$u_{\text{d}}(t)$在某一个平均值附近抖动。如果环路滤波器的截止频率足够低，噪声将全被环路滤波器所滤除，输出信号$u_{\text{f}}(t)$中几乎没有不包含噪声成分，因此VCO的控制电压也就不包含有噪声成分，工作于无噪状态，在稳定时，输出信号的相位将等于输入参考信号的平均相位或者两者之间维持一个常数的相位差。因此，锁相环能够检测出淹没在噪声中的信号。

§12.3.2 锁相环中的基本模块

基本锁相环包括压控振荡器VCO、鉴相器PD和环路滤波器LF三个基本模块，本节将简单介绍这三个基本模块的电路结构。

1. 鉴相器

鉴相器的功能是比较两个输入信号之间的相位差，并产生一个正比于该相位差的输出信号。常用的鉴相器可以分为四种类型：乘法器型鉴相器、异或门型鉴相器、时序型鉴相器和鉴频鉴相器（PFD）。

乘法器型鉴相器：这种鉴相器利用四象限乘法器来实现鉴相功能，通常采用Gilbert乘法器单元，这种鉴相器是历史上最早应用于锁相环的鉴相器类型，现在在某些锁相环中还在广泛使用。

如果鉴相器的两个输入信号都是正弦型信号，分别表示为：

$$u_1(t) = \mathrm{U}_{10}\sin(\omega_1 + \theta_1) \tag{12-31}$$

$$u_2(t) = \mathrm{U}_{20}\sin(\omega_2 + \theta_2) \tag{12-32}$$

其中，U_{10}、U_{20}是两个信号的幅度；ω_1、ω_2是它们的频率，θ_1、θ_2是它们的初始相位。

四象限乘法器的输出信号为两个输入信号的乘积，即：

$$u_\mathrm{d}(t) = u_1(t)\cdot u_2(t) = \frac{\mathrm{U}_{10}\mathrm{U}_{20}}{2}[\cos((\omega_1+\omega_2)t+\theta_1+\theta_2) + \cos((\omega_1-\omega_2)t+(\theta_1-\theta_2))] \tag{12-33}$$

当锁相环锁定时，$\omega_1 = \omega_2 = \omega$，并令$\theta_1 - \theta_2 = \theta_\mathrm{d}$，则

$$u_\mathrm{d}(t) = \frac{\mathrm{U}_{10}\mathrm{U}_{20}}{2}[\cos(2\omega t+\theta_1+\theta_2) + \cos(\theta_\mathrm{d})] \tag{12-34}$$

鉴相器的输出包含有一个直流成分和二阶谐波频率成分。高频成分会被环路滤波器所滤除，我们仅关心鉴相器输出的直流成分，因此鉴相器的平均输出为：

$$\overline{u_\mathrm{d}(t)} = \frac{\mathrm{U}_{10}\mathrm{U}_{20}}{2}\cos(\theta_\mathrm{d}) \tag{12-35}$$

图12-18给出了乘法器型鉴相器的平均输出与相位误差的关系曲线，它是一个周期性函数。

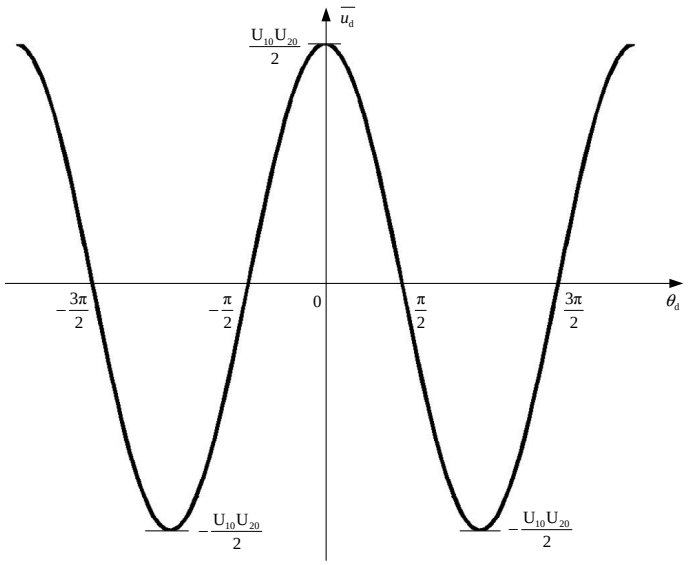


图 12-18 乘法器型鉴相器的平均输出与相位误差的关系曲线

鉴相器的鉴相增益为：

$$K_\mathrm{d} = \frac{\mathrm{d}\overline{u_\mathrm{d}(t)}}{\mathrm{d}\theta_\mathrm{d}} = -\frac{\mathrm{U}_{10}\mathrm{U}_{20}}{2}\sin(\theta_\mathrm{d}) \tag{12-36}$$

鉴相增益K_{d}是鉴相器两输入信号相位差的周期性函数，大小与输入信号的幅度呈正比。当相位差为0时，鉴相增益也为0；而当相位差达到$\pi/2$时，鉴相增益也达到最大。因此为了扩大鉴相范围，利用这种鉴相器的锁相环在锁定时，输入、输出信号之间的相位差应设计为$\pi/2$，，正因为这种原因，这种鉴相器也被称为正交型鉴相器。在锁定状态下，鉴相器的鉴相增益为：

$$K_{\mathrm{d}}|_{\theta_{\mathrm{d}}=\pi/2}=-\frac{\mathrm{U}_{10}\mathrm{U}_{20}}{2} \tag{12-37}$$

对正交型鉴相器来说，环路锁定时两输入信号的相位差为$\pi/2$，鉴相器输出为0，这是一个稳定状态，通常将该点作为环路的静态工作点（相当于电路理论中的直流工作点）。通常所说的相位误差θ_{e}是相对于这个静态工作点来说的，即环路锁定时，鉴相器的两输入信号相位差为$\pi/2$，但相位误差$\theta_{\mathrm{e}}=0$。因此在考虑环路的交流特性时，θ_{d}要减去静态工作点所对应的相位差$\pi/2$才能得到环路的相位误差θ_{e}。

考虑到：

$$\overline{u_{\mathrm{d}}}=\frac{\mathrm{U}_{10}\mathrm{U}_{20}}{2}\cos(\theta_{\mathrm{d}})=\frac{\mathrm{U}_{10}\mathrm{U}_{20}}{2}\cos(\theta_{\mathrm{e}}+\pi/2)=\frac{\mathrm{U}_{10}\mathrm{U}_{20}}{2}\sin(\theta_{\mathrm{e}}) \tag{12-38}$$

当环路进入锁定状态时，θ_{e}很小，因此$\sin(\theta_{\mathrm{e}})\approx\theta_{\mathrm{e}}$，鉴相器的特性为$\overline{u_{\mathrm{d}}}=K_{\mathrm{d}}\theta_{\mathrm{e}}$，其中，$K_{\mathrm{d}}=(\mathrm{U}_{10}\mathrm{U}_{20})/2$。

从图12-18还可以看出，在一个周期内，存在两个平衡点（$\theta_{\mathrm{d}}=\pi/2$、$\theta_{\mathrm{d}}=3\pi/2$），使得鉴相器的输出为0。这两个平衡点中，仅$\theta_{\mathrm{d}}=\pi/2$点是稳定平衡点（它的斜率为负），而在$\theta_{\mathrm{d}}=3\pi/2$点，斜率为正，因此$\theta_{\mathrm{d}}=3\pi/2$点是不稳定平衡点，只要环路稍微受到扰动，环路就将脱离该平衡点。因此，环路锁定时，最终将锁定于$\theta_{\mathrm{d}}=\pi/2$的平衡状态。

在许多实际情形中，鉴相器的两输入中将包含有一个方波信号，该方波信号可以用数学形式表示为：

$$u_2(t)=\mathrm{U}_{20}\cdot\mathrm{sgn}(\omega_2 t+\theta_2) \tag{12-39}$$

其中，$\mathrm{sgn}(x)$是符号函数

$$\mathrm{sgn}(x)=1 \quad \text{if} \quad x>0 \tag{12-40}$$

$$\mathrm{sgn}(x)=-1 \quad \text{if} \quad x<0 \tag{12-41}$$

将方波信号$u_2(t)$用傅立叶级数展开

$$u_2(t)=\mathrm{U}_{20}[\frac{4}{\pi}\cos(\omega_2 t+\theta_2)+\frac{4}{3\pi}\cos(3\omega_2 t+\theta_2)\cdots] \tag{12-42}$$

方括号中的第一项是基频成分，其余各项均为奇次阶谐波成分。

鉴相器的输出为：

$$u_{\mathrm{d}}(t)=u_1(t)\cdot u_2(t)=\mathrm{U}_{10}\mathrm{U}_{20}\sin(\omega_1 t+\theta_1)[\frac{4}{\pi}\cos(\omega_2 t+\theta_2)+\frac{4}{3\pi}\cos(3\omega_2 t+\theta_2)\cdots] \tag{12-43}$$

如果环路锁定到基频成分，即$\omega_1=\omega_2=\omega$，则鉴相器的平均输出信号为：

$$\overline{u_{\mathrm{d}}(t)}\approx\frac{4}{\pi}\frac{\mathrm{U}_{10}\mathrm{U}_{20}}{2}\cos(\theta_{\mathrm{e}})=\frac{2}{\pi}\mathrm{U}_{10}\mathrm{U}_{20}\cos(\theta_{\mathrm{e}}) \tag{12-44}$$

因此，同两输入都是正弦型信号相比，其中一个信号是方波信号时鉴相器的鉴相增益增加了$4/\pi$倍，而其它特性保持不变。

虽然如此，由于方波信号包含有各奇次谐波成分，锁相环有可能锁定到高阶奇次谐波频率上。例如若$\omega_1=3\omega_2$，则经环路滤波器作用后，对压控振荡器起作用的是方波信号中的三阶谐波成分，三阶谐波成分与另一个输入信号的乘积可以提供直流输出来控制压控振荡器的输出频率。虽然，随着锁定谐波阶次的升高，鉴相器的鉴相增益逐渐减小，锁定也会变得越来越困难，但锁定到高阶奇次谐波的风险还是存在的。因此，在利用这种鉴相器的锁相环中，需要对VCO的频率范围进行限制，防止环路锁定到高阶谐波频率上。

需要注意的是，即使鉴相器的两输入都是正弦型信号，但当输入信号幅度很高时，乘法器中的晶体管行为近似为开关，这同输入信号是方波信号的效果是一样的，因此仍然需要考虑环路锁定到高阶谐波频率上的问题，需要对VCO的调谐频率范围进行限制。

异或门型鉴相器： 异或门鉴相器是使用数字异或门来实现鉴相功能，它的两个输入信号都是二进制信号，暂时假设它们是对称型方波信号。图12-19给出了当两个同频率输入信号之间的相位差不同时异或门型鉴相器的信号波形。 图（a）表示两输入信号之间的相位差为$\pi/2$，异或门的输出是一个占空比为50%的

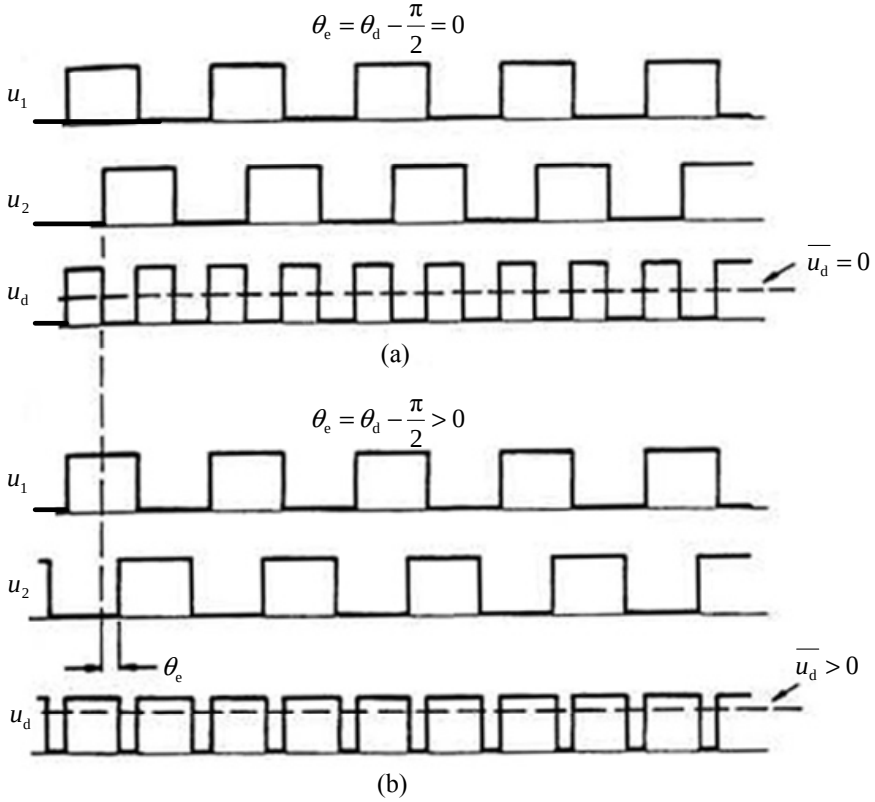


图 12-19 两输入信号之间的相位差不同时异或门型鉴相器的信号波形

方波，其频率是输入信号的两倍。鉴相器输出信号$u_d(t)$中的高频成分将被环路滤波器所滤除，因此我们仅考虑$u_d(t)$的平均值$\overline{u_d(t)}$，如图中虚线所示。$\overline{u_d(t)}$是两逻辑值的算术平均值，该值作为异或门型鉴相器的静态工作点，因此从环路分析的角度可以认为$\overline{u_d(t)} = 0$。即同乘法器型鉴相器一样，当两输入的相位差为$\pi/2$时，鉴相器的输出为0，是一个稳定状态，相位误差$\theta_e = 0$。

图（b）给出了当$u_2(t)$的相位落后于$u_1(t)$时异或门型鉴相器的信号波形。相位误差$\theta_e > 0$，$u_d(t)$的占空比将大于50%，它的平均值$\overline{u_d(t)} > 0$，如图中虚线所示。很明显，当相位误差$\theta_e = \pi/2$时，鉴相器的平均输出达到最大值，当相位误差$\theta_e = -\pi/2$时，鉴相器的平均输出达到最小值。图12-20 （a）给出了异或门型鉴相器平均输出$\overline{u_d(t)}$与相位误差θ_e之间的关系曲线。 它是一个三角形的周期函数，周期为π。在$-\pi/2 < \theta_e < \pi/2$相位误差范围内，$\overline{u_d(t)}$正比于$\theta_e$，即：

$$\overline{u_d(t)} = K_d\theta_e \tag{12-45}$$

如果异或门鉴相器的电源电压为U_B和0，方波信号的逻辑电平也为U_B和0，那么：

$$\overline{u_d(t)} = \frac{(\pi/2 + \theta_e)U_B}{\pi} - \frac{1}{2}U_B = \frac{U_B}{\pi}\theta_e \tag{12-46}$$

因此异或门鉴相器的鉴相增益为：

$$K_d = \frac{U_B}{\pi} \tag{12-47}$$

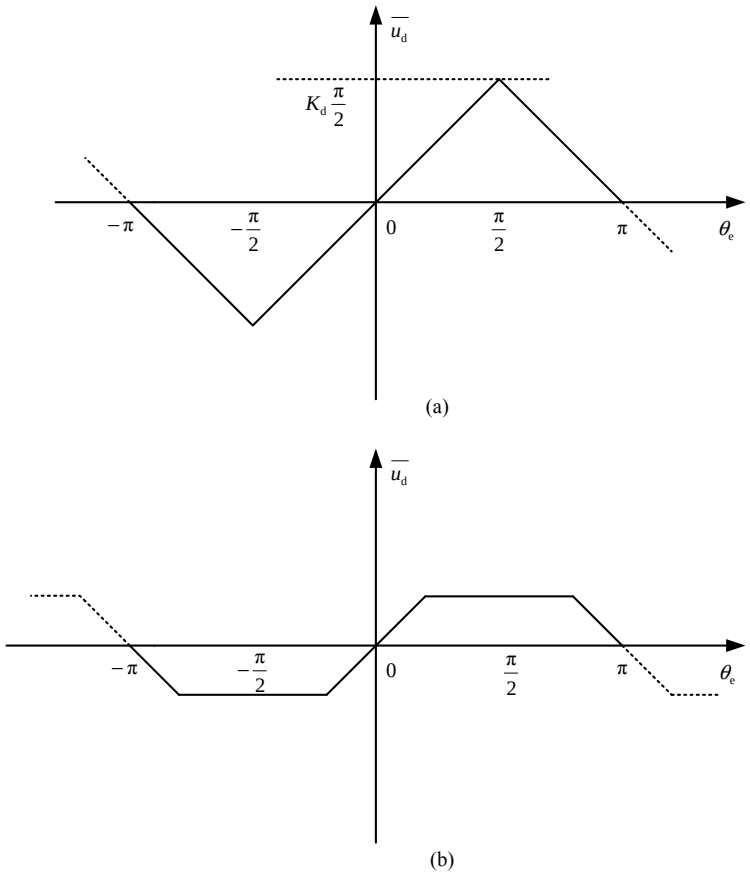


图 12-20 异或门型鉴相器平均输出$\overline{u_d(t)}$与相位误差θ_e之间的关系曲线

异或门型鉴相器能维持相位跟踪时两输入之间的相位误差被限制在如下范围内（四象限乘法器型鉴相器也具有相同特性），：

$$-\frac{\pi}{2} < \theta_e < \frac{\pi}{2} \tag{12-48}$$

鉴相范围为π。

如果异或门型鉴相器的两输入不是对称型方波信号（占空比不为50%），则在相位误差θ_e的绝对值还没有达到$\pi/2$时，鉴相器的输出就被削平，即出现了削波（Clip）现象，如图12-20（b）所示，这会减小锁相环的环路增益，导致更小的锁定范围和捕获范围。

异或门型鉴相器的另一个问题是同乘法器一样，锁相环路也可能锁定到参考频率的高阶谐波频率处，因此需要对VCO的调谐频率范围进行限制。

异或门型鉴相器实现起来非常简单，而且同其它的数字电路是兼容的，主要应用于简单的集成锁相环中。

时序型鉴相器： 前面介绍的乘法器型鉴相器和异或门型鉴相器在环路锁定时，两输入之间的相位差为$\pi/2$。但某些应用希望环路锁定时，鉴相器输入之间的相位差为0。另外，这两种类型的鉴相器都存在两个平衡点，在两个平衡点处鉴相器的鉴相增益是相同的，因此环路可能需要花较长的时间才能脱离不稳定平衡点，延长了锁定时间。

时序型鉴相器在环路锁定时，两输入之间的相位差为0或者π，而且该鉴相器在稳定平衡点和不稳定平衡点处的鉴相增益差别很大，这是时序型鉴相器的最大优点。时序型鉴相器的另一个优点是鉴相范围要大于乘法器型鉴相器和异或门型鉴相器，乘法器型鉴相器和异或门型鉴相器的鉴相范围仅为π，而时序型鉴相器的鉴相范围通常为2π，在采取某些措施后，鉴相范围甚至能超过2π。但时序型鉴相器是边沿触发的，因此它对边沿遗失很敏感，这是时序型鉴相器的缺点。

下面我们以JK触发器为例来介绍时序型鉴相器的特性（图12-21）。 JK触发器是边沿触发的，J端输

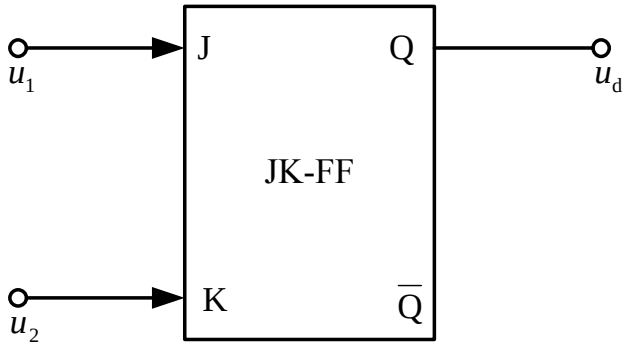


图 12-21 JK触发器型鉴相器

入的上升边沿将使触发器进入高电平状态（Q = 1），而K端输入的上升边沿将触使触发器进入低电平状态（Q = 0）。图12-22（a）给出了鉴相误差$\theta_e = 0$时JK触发器的信号波形。 这时两输入信号$u_1(t)$和$u_2(t)$ 之

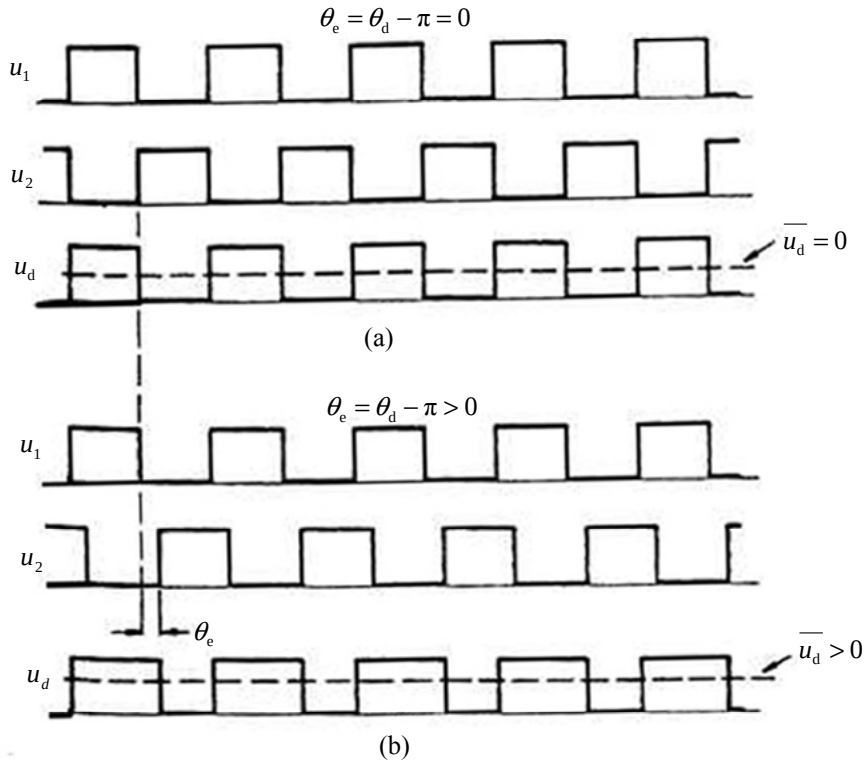


图 12-22 两输入信号之间的相位差不同时JK触发器型鉴相器的信号波形

间的相位差为π。鉴相器的输出信号是一个同输入信号频率相同的对称型方波信号，占空比为50%，这个状态作为鉴相器的静态工作点，从环路分析的角度认为$\overline{u_d(t)} = 0$，如图中虚线所示。如果相位误差增加到大于0（图12-22（b）），鉴相器输出$u_d(t)$的占空比将大于50%，它的平均值$\overline{u_d(t)} > 0$，如图中虚线所示。

很明显，当相位误差$\theta_e = \pi$时，鉴相器的平均输出达到最大值，当相位误差$\theta_e = -\pi$时，鉴相器的平均输出达到最小值。图12-23 给出了鉴相器平均输出$\overline{u_d(t)}$与相位误差θ_e之间的关系曲线。 它是一个周期型锯齿波，周期为2π。在$-\pi < \theta_e < \pi$相位误差范围内，$\overline{u_d(t)}$正比于θ_e，即：

$$\overline{u_d(t)} = K_d\theta_e \tag{12-49}$$

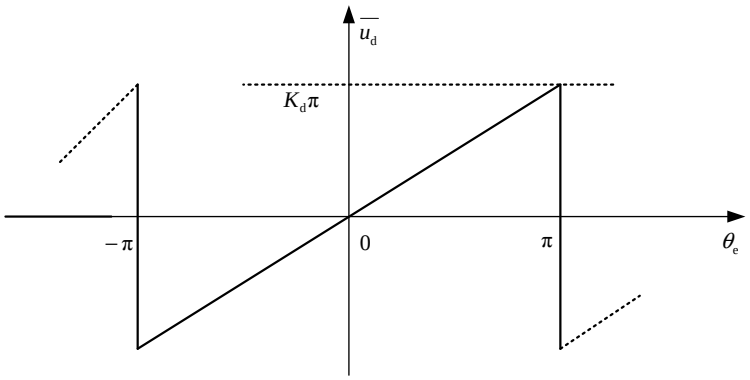


图 12-23 JK触发器型鉴相器平均输出$\overline{u_d(t)}$与相位误差θ_e之间的关系曲线

如果JK触发器型鉴相器的电源电压为U_B和0，方波信号的逻辑电平也为U_B和0，那么：

$$\overline{u_d(t)} = \frac{(\pi+\theta_e)U_B}{2\pi} - \frac{1}{2}U_B = \frac{U_B}{2\pi}\theta_e \tag{12-50}$$

因此JK触发器型鉴相器的鉴相增益为：

$$K_d = \frac{U_B}{2\pi} \tag{12-51}$$

JK触发器型鉴相器能维持相位跟踪时两输入之间的相位误差被限制在如下范围内：

$$-\pi < \theta_e < \pi \tag{12-52}$$

鉴相范围为2π。

同异或门型鉴相器不同的是，JK触发器型鉴相器仅在输入信号的上升边沿改变状态，因此两输入信号的对称性对鉴相特性没有影响。但由于边沿触发特性，它对输入信号的边沿遗失很敏感。另外，触发器对J端和K端输入边沿响应速度的不同会导致静态相位误差，因此在要求环路锁定时相位误差$\theta_e = 0$的系统中，触发器对J、K两端边沿响应速度必须具有对称性。

鉴频鉴相器： 同前面介绍的鉴相器不同，当环路还没有锁定时，鉴频鉴相器的输出不仅与两输入信号的相位误差θ_e有关，而且同两输入信号的频率差$\Delta\omega = \omega_1 - \omega_2$ 有关。图12-24给出了一种常用的鉴频鉴相器的电路图。 它包括两个D触发器，每一个触发器的输出被标记为UP或者DN，这两个输出经逻辑与后又控制着D触发器的清零端。PFD能处于下列四种状态中的一种：

- UP=0,DN=0
- UP=1,DN=0
- UP=0,DN=1
- UP=1,DN=1

但通过引入与门对D触发器进行清零，第四种状态是被禁止的。当两触发器的输出均为高电平时（$\mathrm{UP}=1,\mathrm{DN}=1$），UP和DN经逻辑与后产生一个高电平脉冲，对两个D触发器进行清零，因此，这个鉴频鉴相器仅能具有三种状态，是一个三态元件。我们用符号−1、0和1来标记这三种状态：

- UP=0,DN=0 → state=-1
- UP=1,DN=0 → state=0
- UP=0,DN=1 → state=1

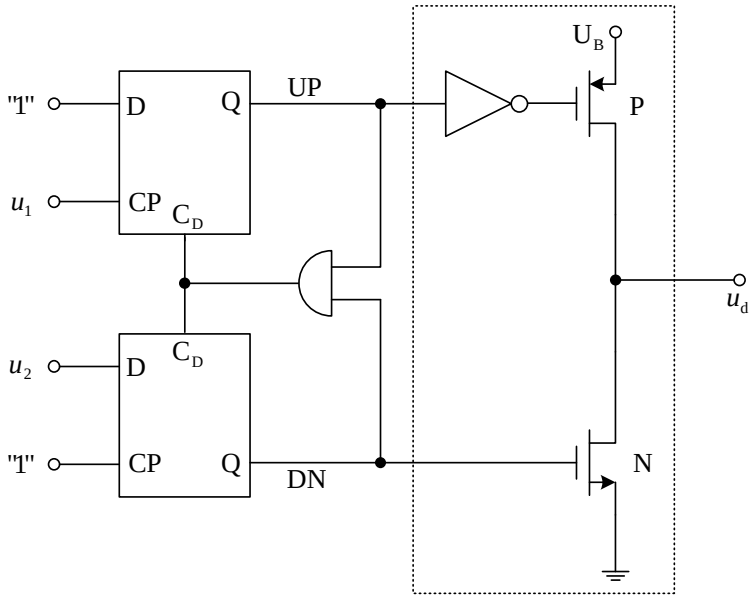


图 12-24 鉴频鉴相器

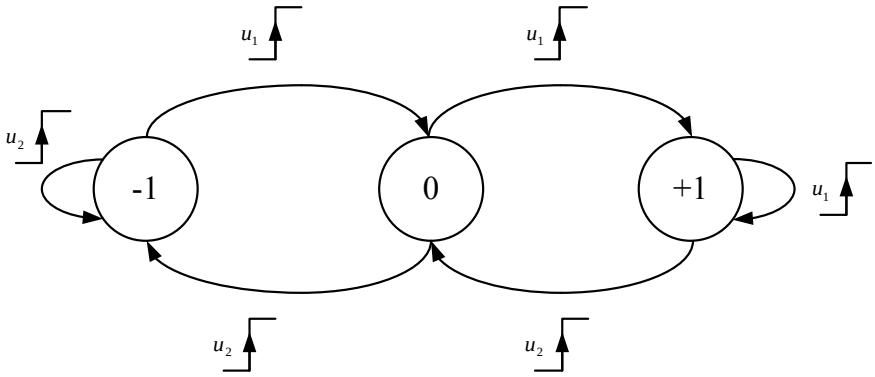


图 12-25 鉴频鉴相器的状态转换图

鉴频鉴相器的实际状态是由输入信号$u_1(t)$和$u_2(t)$的上升沿瞬态（或者下降沿瞬态）所决定的。图12-25给出了鉴频鉴相器的状态转换图。 从图中可以看出，$u_1(t)$出现上升沿将使鉴频鉴相器进入下一个更高的状态，直到PFD进入1状态；而$u_2(t)$出现上升沿将使鉴频鉴相器进入下一个更低的状态，直到PFD进入-1状态。输出信号u_d是PFD状态的逻辑函数，当PFD位于1状态时，$u_d > 0$；当PFD位于-1状态时，$u_d < 0$；而当PFD位于0状态时，$u_d = 0$，这种状态通常用一个高阻态来代替。图12-24虚线框中的电路部分给出了u_d是如何产生的。当UP信号为高时，PMOS晶体管导通，u_d等于电源电压U_B；当DN信号为高时，NMOS晶体管导通，u_d等于地电平；当UP和DN信号同时为低时，PMOS晶体管和NMOS晶体管同时截止，PFD输出是浮置的，处于高阻状态。因此输出信号u_d是一个三态信号。

图12-26给出了两输入信号之间的相位差不同时PFD的信号波形。 图（a）中两个输入信号是同频的，而且相位差为0，如果PFD初始时处于0状态，则输入信号u_1和u_2的上升沿同时发生，它们的影响互相抵消，因此PFD永远保持在0状态，这时输出信号u_d的平均值保持为$\overline{u_d(t)} = 0$不变。图（b）给出了u_1的相位领先于u_2的情形，PFD将在0状态和1状态之间来回切换。相反，如果u_1的相位落后于u_2，则PFD将在-1状态和0状态之间来回切换。从图12-26很容易看出，当相位误差为正时，u_d的平均值也会增加为正值，当相位误差达到2π时，u_d的平均值达到最大；当相位误差为负时，u_d的平均值会减小为负值，当相位误差达到-2π时，u_d的平均值达到最小。图12-27给出了PFD输出信号的平均值$\overline{u_d(t)}$与两输入信号相位误差θ_e之间的关系曲线。 它是一个锯齿波。当相位误差大于2π时，$\overline{u_d(t)}$是一个周期为2π的锯齿波；当相位误差小于-2π时，$\overline{u_d(t)}$也是一个周期为2π的锯齿波。这两个锯齿波的幅度具有相反的符号。

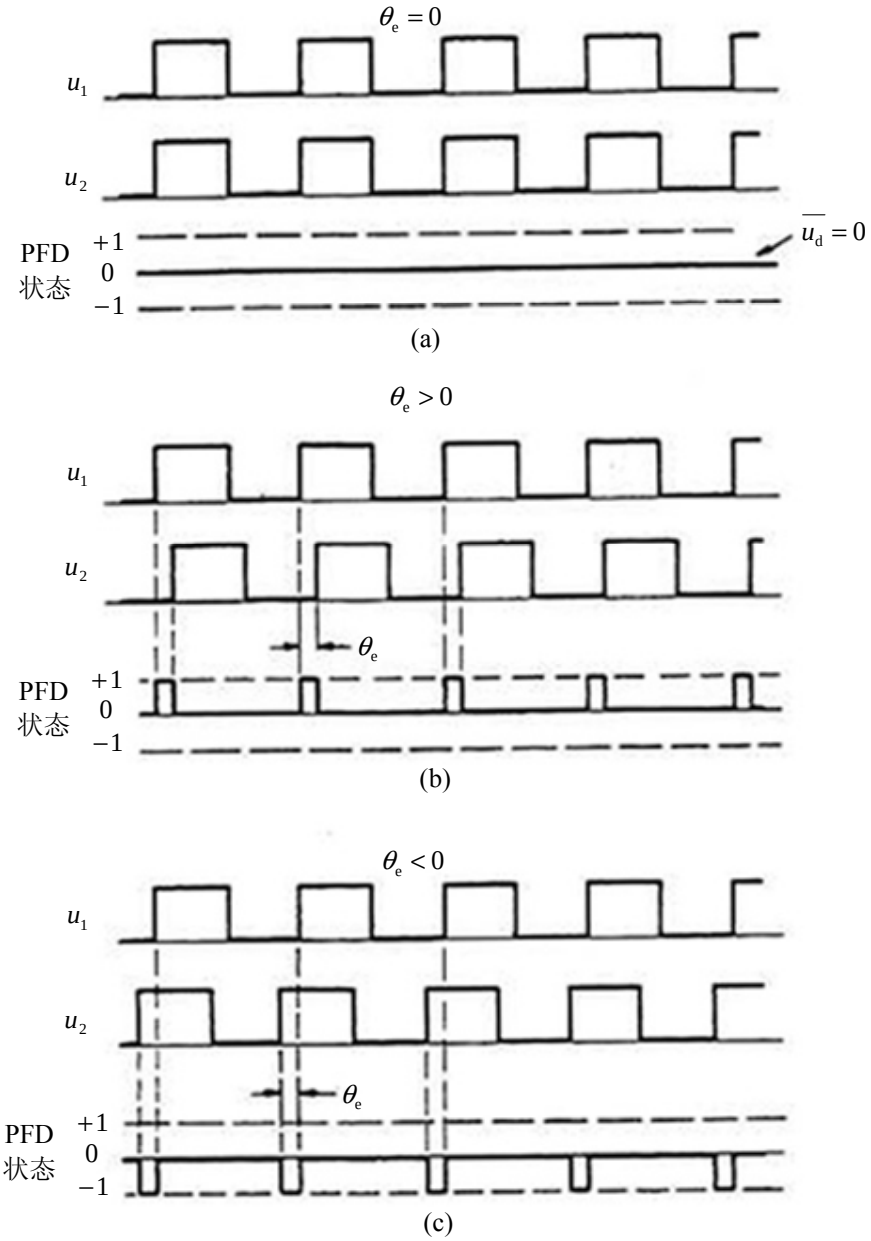


图 12-26 两输入信号之间的相位差不同时PFD的信号波形

在$-2\pi < \theta_e < 2\pi$相位误差范围内，$\overline{u_d(t)}$正比于θ_e，即：

$$\overline{u_d(t)} = K_d\theta_e \tag{12-53}$$

如果PFD的电源电压为U_B和0，方波信号的逻辑电平也为U_B和0，那么：

$$\overline{u_d(t)} = \frac{(2\pi + \theta_e)U_B}{4\pi} - \frac{1}{2}U_B = \frac{U_B}{4\pi}\theta_e \tag{12-54}$$

因此鉴频鉴相器的鉴相增益为：

$$K_d = \frac{U_B}{4\pi} \tag{12-55}$$

PFD能维持相位跟踪时两输入之间的相位误差被限制在如下范围内：

$$-2\pi < \theta_e < 2\pi \tag{12-56}$$

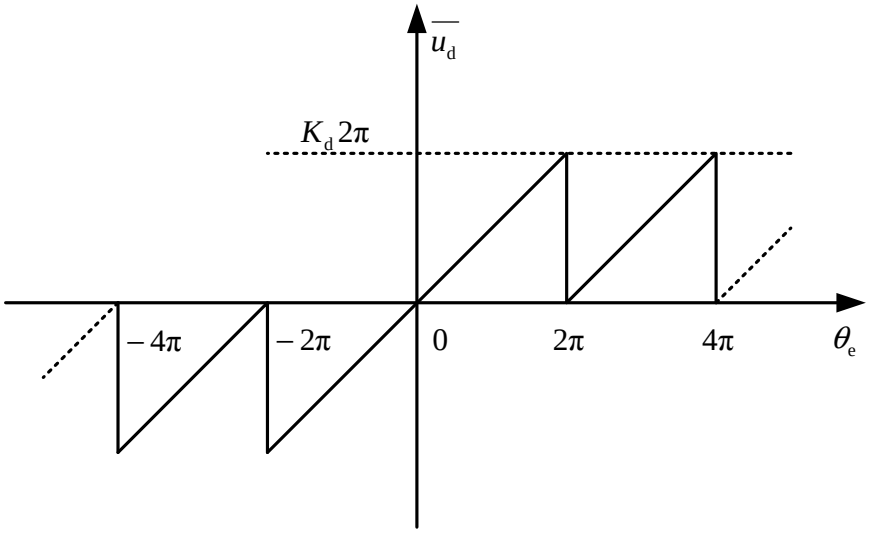


图 12-27 鉴频鉴相器平均输出$\overline{u_d(t)}$与相位误差θ_e之间的关系曲线

鉴相范围为4π。

当环路没有进入锁定状态，两输入信号的频率不同时，PFD的输出信号$\overline{u_d(t)}$将同两信号的频率差有关，而当环路进入锁定状态，输出信号$\overline{u_d(t)}$ 将同两信号的相位差有关，PFD的这个独有特性能够加快环路的捕获过程，而且在任何情况下都能够使环路进入锁定状态，没有捕获范围的限制。下面我们对此进行简单说明。

在前面介绍的三种鉴相器中，如果两输入信号的频率不同，则鉴相器的输出中将包含有一个频率为$\omega_1-\omega_2$的基频成分和更高的谐波成分，更高的谐波成分被环路滤波器所滤除，因此仅保留有频率为$\omega_1-\omega_2$的基频成分，它是一个交流信号。如果该交流信号是完全对称的，平均值为0，则它通过环路滤波器后产生的平均输出也为0，不会改变VCO的振荡频率，因此环路永远不可能进入锁定状态。但实际上，这个交流信号是不对称的，正半周波形和负半周波形的持续时间并不相同，因此它包含有一个直流成分，正是这个直流成分对VCO的振荡频率进行调节，使得环路能够进入锁定状态（假设鉴相器的两输入初始频率差在捕获范围内），但该过程是很慢的，需要较长的时间环路才能进入锁定状态。

对于PFD来说，当输入参考信号的频率ω_1比输出频率ω_2高时，在单位时间内，u_1比u_2产生更多的上升沿，因此PFD仅能在状态0和状态1之间切换，而不会进入-1状态。如果ω_1远高于ω_2，则PFD在绝大部分内时间都处于1状态。相反，如果输入参考信号的频率ω_1比输出频率ω_2低，在单位时间内，u_2比u_1产生更多的上升沿，因此PFD仅能在状态0和状态-1之间切换，而不会进入1状态。如果ω_2远高于ω_1，则PFD在绝大部分时间内都处于-1状态。因此，在环路没有进入锁定状态时，PFD的平均输出信号$\overline{u_d(t)}$随着两输入信号的频率差$\omega_1-\omega_2$单调变化。图12-28给出了$u_d(t)$的占空比与两输入信号的频率比ω_1/ω_2之间的关系曲线。当$\omega_1>\omega_2$时，占空比定义为PFD处于1状态的平均时间所占份额；而当$\omega_1<\omega_2$时，占空比定义为PFD处于-1状态的平均时间所占份额的负数。从图中可以看出，当$\omega_1\gg\omega_2$时，δ趋近于1；当$\omega_1\ll\omega_2$ 时，δ趋近于-1；当ω_1稍大于ω_2时，δ趋近于0.5；当ω_1稍小于ω_2时，δ趋近于-0.5。因此PFD的输入信号之间存在的频率差会对PFD的输出信号产生贡献，因此会加快环路的捕获过程，而且使得环路没有捕获范围的限制。

2. **环路滤波器**

鉴相器的输出信号中包含有直流成分和各高阶谐波成分，直流成分与相位误差θ_e呈正比，是对环路进行动态调整所需要的信号，而高频成分则是不需要的信号。这些高频成分是由环路滤波器所滤除的，因此环路滤波器必须能让低频成分通过而抑制高频成分，即它是一个低通滤波器。本节仅介绍常用的一阶和二阶低通滤波器的网络结构，更高阶的滤波器可以由一阶和二阶低通滤波器级联而成。

无源超前滞后网络： 图12-29给出了一阶和二阶无源超前滞后网络的电路图。 图（a）是一阶低通滤

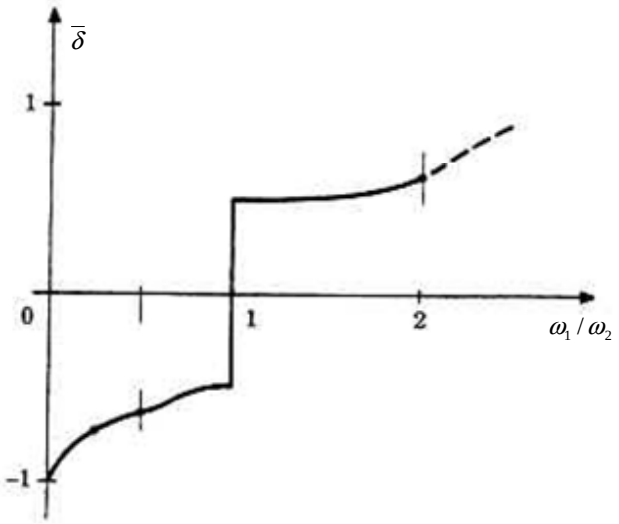


图 12-28 $u_d(t)$的占空比与两输入信号的频率比ω_1/ω_2之间的关系曲线

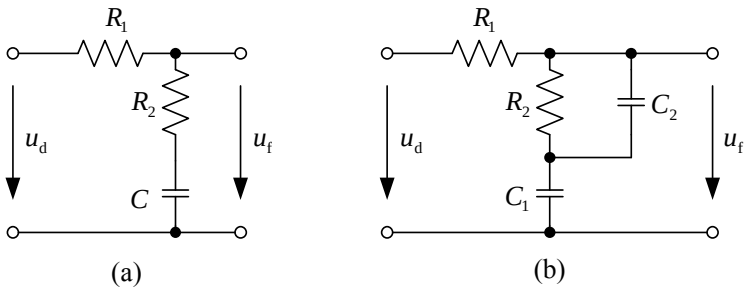


图 12-29 一阶和二阶无源超前滞后网络的电路图

波器，它有一个极点和一个零点，其传输函数为：

$$F(s)=\frac{1+s\tau_2}{1+s(\tau_1+\tau_2)} \tag{12-57}$$

其中，$\tau_1=R_1C$、$\tau_2=R_2C$。在上式中，$1+s\tau_2$表示相位超前，$1+s(\tau_1+\tau_2)$表示相位滞后，因此这种网络被称为超前滞后网络。一阶低通滤波器的幅频响应曲线如图12-30（a）所示。

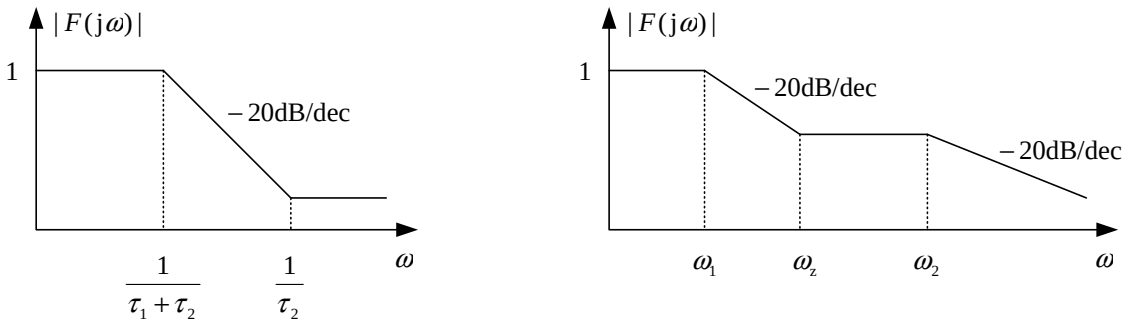


图 12-30 一阶和二阶无源超前滞后网络的幅频响应曲线

图12-29（b）是二阶低通滤波器，它有一个零点和两个极点，其传输函数为：

$$F(s)=\frac{1+s(\tau_2+\tau_3)}{1+s(\tau_1+\tau_2+\tau_3)+s^2\tau_1\tau_3} \tag{12-58}$$

其中，$\tau_1 = R_1C_1$、$\tau_2 = R_2C_1$、$\tau_3 = R_2C_2$。它的幅频响应曲线如图12-30（b）所示，图中，ω_1和ω_2 是该滤波器的极点（均为实数极点），ω_z是该滤波器的零点。

有源超前滞后网络： 图12-31给出了一阶和二阶有源超前滞后网络的电路图。 图（a）是一阶低通滤

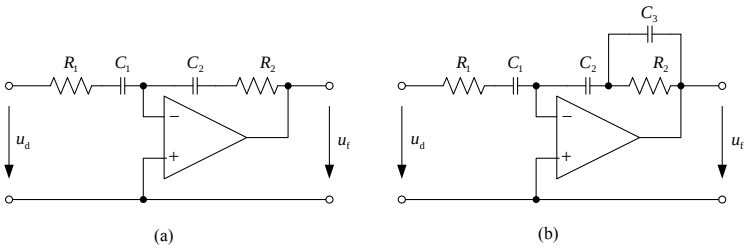


图 12-31 一阶和二阶有源超前滞后网络的电路图

波器，它有一个极点和一个零点，其传输函数为：

$$F(s) = K_a \frac{1 + s\tau_2}{1 + s\tau_1} \tag{12-59}$$

其中，$K_a = C_1/C_2$、$\tau_1 = R_1C$、$\tau_2 = R_2C$。一阶低通滤波器的幅频响应曲线如图12-32（a）所示。

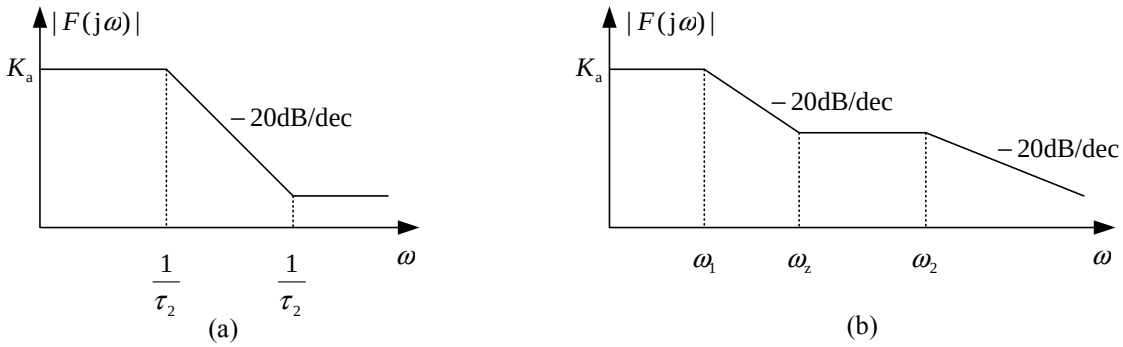


图 12-32 一阶和二阶有源超前滞后网络的幅频响应曲线

图12-31（b）是二阶低通滤波器，它有一个零点和两个极点，其传输函数为：

$$F(s) = K_a \frac{1 + s(\tau_2 + \tau_3)}{(1 + s\tau_1)(1 + s\tau_3)} \tag{12-60}$$

其中，$\tau_1 = R_1C_1$、$\tau_2 = R_2C_2$、$\tau_3 = R_2C_3$、$K_a = C_1/C_2$。它的幅频响应曲线如图12-32（b）所示。图中，ω_1和ω_2 是该滤波器的极点（均为实数极点），ω_z是该滤波器的零点。

有源PI滤波器： 图12-33给出了一阶和二阶有源PI滤波器的电路图。 它们也是超前滞后网络，名

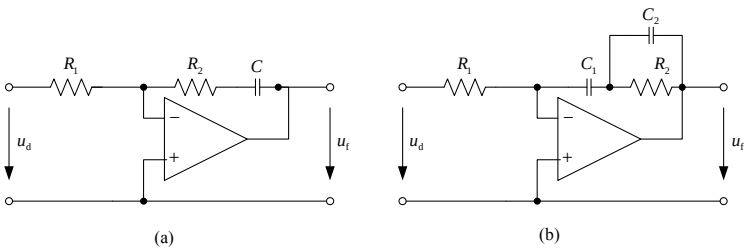


图 12-33 一阶和二阶有源PI网络的电路图

字PI来自控制理论（PI=Proportional+Integral）。图（a）是一阶低通滤波器，它有一个极点和一个零点，其传输函数为：

$$F(s) = \frac{1 + s\tau_2}{s\tau_1} \tag{12-61}$$

其中，$\tau_1 = R_1C$、$\tau_2 = R_2C$。一阶低通滤波器的幅频响应曲线如图12-34（a）所示。

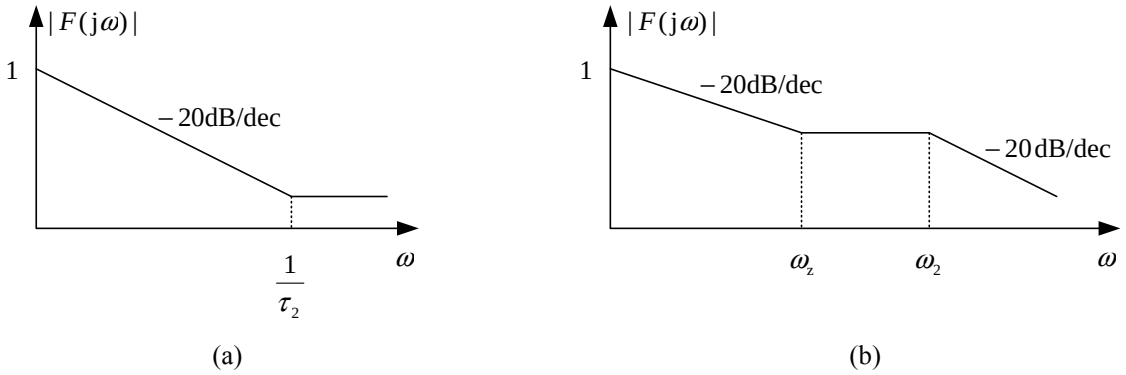


图 12-34 一阶和二阶有源PI网络的幅频响应曲线

图12-33（b）是二阶低通滤波器，它有一个零点和两个极点，其传输函数为：

$$F(s) = \frac{1 + s(\tau_2 + \tau_3)}{s\tau_1(1 + s\tau_3)} \tag{12-62}$$

其中，$\tau_1 = R_1C_1$、$\tau_2 = R_2C_1$、$\tau_3 = R_2C_2$。它的幅频响应曲线如图12-34（b）所示。图中，ω_2 是该滤波器的高阶极点，另一个极点位于0频率处，ω_z是该滤波器的零点。

3. **压控振荡器**

锁相环中所用到的振荡器可以分为两种类型：电压控制振荡器和电流控制振荡器，前一种振荡器的振荡频率由一个输入控制电压来控制，而后一种振荡器的振荡频率由一个输入控制电流来控制。在射频电路中，锁相环中所用的振荡器一般为电压控制振荡器。

压控振荡器的输出频率ω_2与控制电压u_f之间的关系可以用数学关系式表示为：

$$\omega_2 = \omega_0 + K_0 \cdot u_\mathrm{f} \tag{12-63}$$

其中，K_0是VCO的增益。

对于锁相环系统的设计者来说，必须先决定VCO的两个参数：ω_0和K_0。它们对锁相环系统的设计是非常重要的。实际上，u_f的取值受到电路中元器件饱和的限制，K_0在整个调谐范围内也不是完全线性的，这些都会影响锁相环的动态特性，在进行系统设计时必须考虑它们的影响。

振荡器按实现方式可以分为多种类型，射频锁相环主要应用两种类型的振荡器：LC振荡器和环型振荡器，它们的特性已经在上一章进行过介绍，本处不再重复。

§12.3.3 锁相环在锁定状态下的性能

如果我们假设锁相环已经进入锁定状态，而且预计将来仍将保持锁定，我们能用线性数学模型来分析锁相环系统。该数学模型可以用来计算输入信号的相位θ_in到输出信号的相位θ_out的相位传输函数$H(s)$：

$$H(s) = \frac{\Theta_\mathrm{out}(s)}{\Theta_\mathrm{in}(s)} \tag{12-64}$$

其中，$\Theta_\mathrm{in}(s)$和$\Theta_\mathrm{out}(s)$分别是相位信号$\theta_\mathrm{in}(t)$和$\theta_\mathrm{out}(t)$的Laplace变换。

1. **锁相环在锁定状态下的数学模型**

在锁定状态下，鉴相器的输出信号u_d与环路相位误差θ_e呈正比，即

$$u_\mathrm{d} = K_\mathrm{d}\theta_\mathrm{e} \tag{12-65}$$

因此鉴相器的数学模型是一个增益为K_{d}的增益模块，它的传输函数为：

$$\frac{U_{\mathrm{d}}(s)}{\Theta_{\mathrm{e}}(s)}=K_{\mathrm{d}} \tag{12-66}$$

环路滤波器的传输函数在上节已经推导过了，并记为$F(s)$。而VCO可以用一个积分器来表示，它的传输函数为：

$$\frac{\Theta_{\mathrm{out}}(s)}{U_{\mathrm{f}}(s)}=\frac{K_0}{s} \tag{12-67}$$

其中，$U_{\mathrm{f}}(s)$是环路滤波器输出信号$u_{\mathrm{f}}(t)$的Laplace变换。

综上，我们可以画出锁相环在锁定状态下的数学模型，如图12-35所示。基于这个模型，我们来推导锁相环的相位传输函数$H(s)$及一些性能参数。

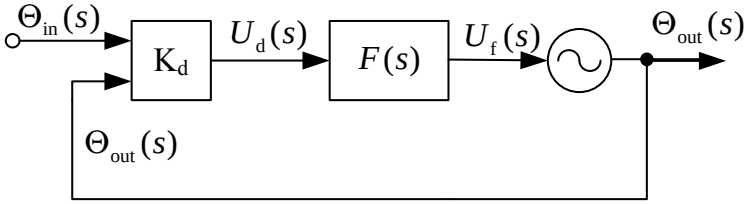


图 12-35 锁相环在锁定状态下的数学模型

2. **相位传输函数**

由图12-35可以推导出锁相环的相位传输函数为

$$H(s)=\frac{\Theta_{\mathrm{out}}(s)}{\Theta_{\mathrm{in}}(s)}=\frac{K_0K_{\mathrm{d}}F(s)}{s+K_0K_{\mathrm{d}}F(s)} \tag{12-68}$$

考虑到环路的开环传输函数为：

$$G(s)=\frac{K_{\mathrm{d}}K_0F(s)}{s} \tag{12-69}$$

因此相位传输函数$H(s)$与开环传输函数$G(s)$的关系为：

$$H(s)=\frac{G(s)}{1+G(s)} \tag{12-70}$$

该式也可以从反馈系统理论推导出来，在该系统中，前向增益等于$G(s)$，而反馈系数为1，代入反馈系统的闭环传输函数与开环传输函数之间的关系式中，也可以得到上式。

开环传输函数$G(s)$中极点的数目称为锁相环的阶数，而其中$s=0$极点的数目称为锁相环的型数（Type）。从式12-69可以看出，锁相环的阶数总比环路滤波器的阶数大1，而且锁相环至少是一型（Type 1）的，这些都是因为VCO给环路中引入了一个位于$s=0$的极点。

锁相环的误差传输函数定义为环路相位误差$\theta_{\mathrm{e}}(t)$与输入参考信号相位$\theta_{\mathrm{in}}(t)$的比值，从图12-35可以推导出

$$H_{\mathrm{e}}(s)=\frac{\Theta_{\mathrm{e}}(s)}{\Theta_{\mathrm{in}}(s)}=\frac{s}{s+K_0K_{\mathrm{d}}F(s)}=\frac{1}{1+G(s)}=1-H(s) \tag{12-71}$$

环路的具体特性与环路滤波器有很大关系，因此在进行深入分析时，必须考虑到环路滤波器的具体实现。下面我们将针对一阶和二阶锁相环进行分析，更高阶的锁相环，进行理论分析是很困难的，一般借助于仿真工具进行分析。

一阶锁相环： 对于一阶锁相环来说，$F(s)=1$，即没有环路滤波器。这时相位传输函数和误差传输函数分别为：

$$H(s)=\frac{K_0K_{\mathrm{d}}}{s+K_0K_{\mathrm{d}}} \tag{12-72}$$

$$H_{\mathrm{e}}(s)=1-H(s)=\frac{s}{s+K_0K_{\mathrm{d}}} \tag{12-73}$$

图12-36给出了这两个传输函数的幅频响应曲线。$H(s)$同一阶低通滤波器的传输特性相同，它

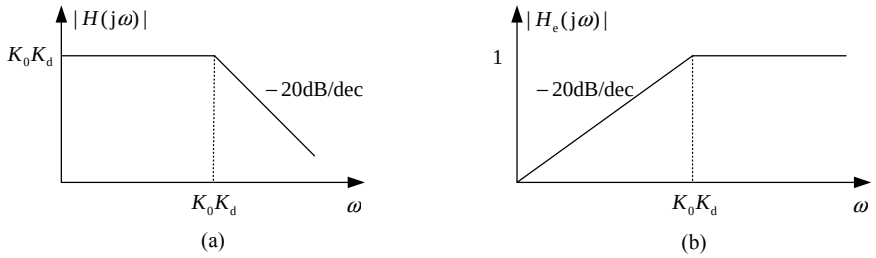


图 12-36 相位传输函数和误差传输函数的幅频响应曲线

的3dB截止频率为：$\omega_{3\mathrm{dB}}=K_0K_{\mathrm{d}}$。该截止频率也就是锁相环路的环路带宽。因此，输入参考信号$\theta_{\mathrm{in}}(t)$中的各种频率分量，经过环路传输后，只有低频成分出现在输出信号$\theta_{\mathrm{out}}(t)$中。$H_{\mathrm{e}}(s)$同一阶高通滤波器的传输特性相同，它的3dB截止频率仍为$\omega_{3\mathrm{dB}}$，因此，相位误差信号$\theta_{\mathrm{e}}(t)$中含有输入参考信号$\theta_{\mathrm{in}}(t)$的高频成分，这是因为$\theta_{\mathrm{in}}(t)$是环路的输入信号，它的高频成分不能被滤除，但由VCO产生的相位噪声，它的低频成分由于在环路之内，故受到环路的负反馈用作用而被抑制。环路带宽越窄（即截止频率$\omega_{3\mathrm{dB}}$越小），滤除VCO产生的相位噪声的能力就越差。因此，锁相环路的环路带宽不能太窄，这有利于抑制VCO引入的相位噪声。

一阶锁相环是最简单的一种锁相环结构，可以达到很大的相位裕度，因此环路总是稳定的。它的缺点是稳态相位误差和环路带宽是强烈耦合在一起的，但锁相环应用通常希望稳态相位误差为0，而且与环路带宽无关，正因为这一点，一阶锁相环在实际中很少用到。

二阶锁相环： 对于二阶锁相环来说，它的环路滤波器是一阶低通滤波器。对于上节所提到的各种一阶低通滤波器网络来说，它们的传输函数可以统一表示为：

$$F(s)=K_{\mathrm{T}}\frac{s-z}{s-p} \tag{12-74}$$

对于一阶无源超前滞后网络来说，$K_{\mathrm{T}}=\tau_2/(\tau_1+\tau_2)$、$z=-1/\tau_2$、$p=-1/(\tau_1+\tau_2)$；对于一阶有源超前滞后网络来说，$K_{\mathrm{T}}=K_{\mathrm{a}}\tau_2/\tau_1$、$z=-1/\tau_2$、$p=-1/\tau_1$；对于一阶有源PI网络来说，$K_{\mathrm{T}}=\tau_2/\tau_1$、$z=-1/\tau_2$、$p=0$。

将式12-74代入式12-68中，可以得到：

$$H(s)=\frac{K_0K_{\mathrm{d}}K_{\mathrm{T}}(s-z)}{s^2-(p-K_0K_{\mathrm{d}}K_{\mathrm{T}})s-K_0K_{\mathrm{d}}K_{\mathrm{T}}z} \tag{12-75}$$

通常将上式的分母部分表示为：$s^2+2\zeta\omega_{\mathrm{n}}s+\omega_{\mathrm{n}}^2$，即

$$H(s)=\frac{\omega_{\mathrm{n}}(2\zeta+p/\omega_{\mathrm{n}})s+\omega_{\mathrm{n}}^2}{s^2+2\zeta\omega_{\mathrm{n}}s+\omega_{\mathrm{n}}^2} \tag{12-76}$$

其中，$\omega_{\mathrm{n}}=\sqrt{-K_0K_{\mathrm{d}}K_{\mathrm{T}}z}$称为锁相环路的固有角频率，$\zeta=(K_0K_{\mathrm{d}}K_{\mathrm{T}}-p)/(2\omega_{\mathrm{n}})$称为环路的阻尼系数。

如果$p\ll\omega_{\mathrm{n}}$（即对于无源超前滞后网络来说，$K_{\mathrm{d}}K_0\gg\omega_{\mathrm{n}}$；对于有源超前滞后网络来说，$K_{\mathrm{d}}K_0K_{\mathrm{a}}\gg\omega_{\mathrm{n}}$；有源PI网络不需作此假设），则

$$H(s)\approx\frac{2s\zeta\omega_{\mathrm{n}}+\omega_{\mathrm{n}}^2}{s^2+2\zeta\omega_{\mathrm{n}}s+\omega_{\mathrm{n}}^2} \tag{12-77}$$

这种锁相环路被称为高增益环路，绝大多数锁相环都是高增益环路。

高增益环路的相位误差传输函数为：

$$H_{\mathrm{e}}(s) \approx \frac{s^2}{s^2 + 2\zeta\omega_{\mathrm{n}} s + \omega_{\mathrm{n}}^2} \tag{12-78}$$

图12-37给出了二阶锁相环相位传输函数$H(s)$的幅频响应曲线，横轴对ω_{n}作了归一化。 从图中可以看

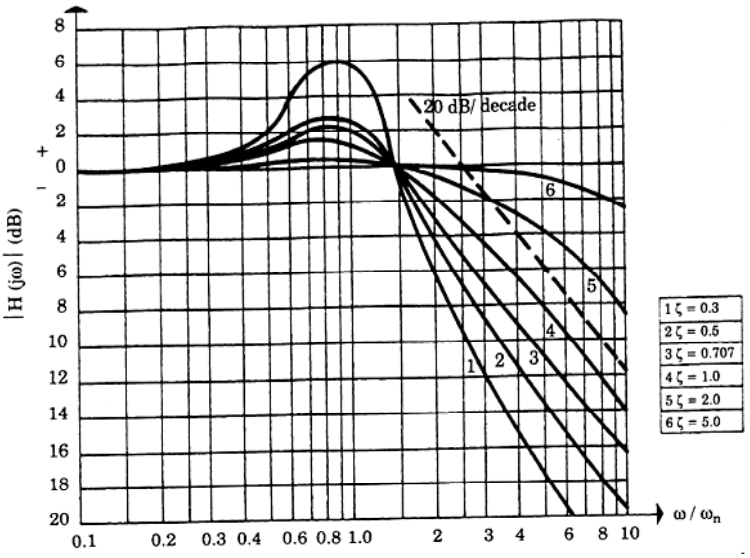


图 12-37 二阶锁相环相位传输函数$H(s)$的幅频响应曲线

出，二阶环路对输入参考相位的作用也相当于一个低通滤波器，在0到ω_{n}之间，幅频响应曲线近似是平坦的。只要调制频率位于0到ω_{n} 之间，二阶锁相环路就能够跟踪输入参考信号的相位和频率变化。

锁相环闭环传输函数$H(s)$的两个极点为：

$$s_{1,2} = (-\zeta \pm \sqrt{(\zeta^2 - 1)})\omega_{\mathrm{n}} \tag{12-79}$$

可以看到，阻尼系数对环路的动态特性有很重要的影响。如果$\zeta > 1$，两个极点都是实数极点，闭环系统是过阻尼系统，瞬态响应包含着两个指数衰减项，时间常数分别为$1/s_1$和$1/s_2$，闭环系统是一个稳定系统，不会产生振荡。相反，如果$\zeta < 1$，两个极点是复共轭极点，闭环系统为欠阻尼系统，欠阻尼环路的瞬态响应包含有一个衰减的振荡波形，阻尼系数越小，振荡越厉害，环路的瞬态响应稳定下来所需的时间也就越长，在极限情况下，当$\zeta \to 0$时，环路的瞬态响应是一个振荡波形，环路是不稳定的。

欠阻尼系统对输入参考信号频率发生阶跃变化$\omega_{\mathrm{in}} = \Delta\omega u(t)$的频率响应为：

$$\omega_{\mathrm{out}}(t) = [1 - \frac{1}{\sqrt{1-\zeta^2}} \mathrm{e}^{-\zeta\omega_{\mathrm{n}} t} \sin(\omega_{\mathrm{n}}\sqrt{1-\zeta^2}t + \theta)]\Delta\omega u(t) \tag{12-80}$$

ω_{out}表示了输出频率随时间的变化，而$\theta = \sin^{-1}\sqrt{1-\zeta^2}$。因此输出频率随时间的变化是一个随时间指数衰减的振荡波形，衰减指数为$(\zeta\omega_{\mathrm{n}})^{-1}$，如图12-38。当输入相位发生阶跃变化时，输出相位的响应也是相同的。衰减指数$\zeta\omega_{\mathrm{n}}$表明了输出达到最终稳定值所花的时间，为使环路尽快达到稳态，衰减指数$\zeta\omega_{\mathrm{n}}$必须取尽可能大的值，它同环路滤波器的特性有关。

同放大器一样，在实际应用中，一般要求$\zeta \geq 1/\sqrt{2}$，当阻尼系数小于该值时，幅频响应曲线的过冲很大，环路的瞬态响应需要花很长的时间才能稳定下来；而阻尼系数过大，又会降低环路的响应速度，图12-39对此进行了说明。 $\zeta = 1/\sqrt{2}$（对应于放大器中相位裕度为45°的情形）到$\zeta = 1$（对应于放大器中相位裕度为60°的情形）之间是实际锁相环常取的阻尼系数值。

图12-40给出了$\zeta = 0.707$时相位误差传输函数$H_{\mathrm{e}}(s)$的幅频响应曲线，横轴对ω_{n}作了归一化。 从图中可以看出，相位误差传输函数的幅频响应曲线同高通滤波器的传输特性是一样的。当参考输入信号的调制频

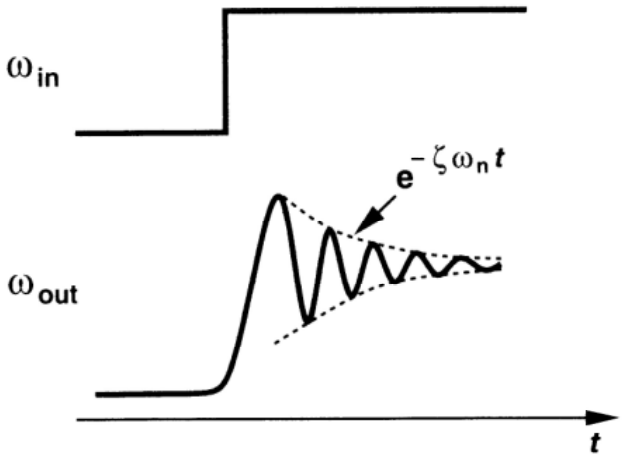


图 12-38 欠阻尼锁相环系统对频率阶跃变化的时域响应曲线

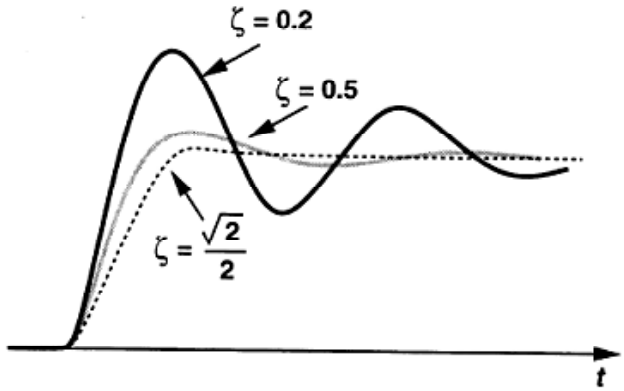


图 12-39 不同阻尼系数下欠阻尼锁相环系统对频率阶跃变化的时域响应曲线

率低于ω_n时，经过环路的作用后，相位误差会受到衰减，表明环路能够跟踪输入参考信号的相位变化；当调制频率高于ω_n时，锁相环路对相位误差没有抑制作用，相位误差基本同输入参考信号的相位是一样的，表明环路已经失去了跟踪能力。

二阶锁相环的环路带宽（3dB截止频率）为：

$$\omega_{3\mathrm{dB}} = \omega_n[1 + 2\zeta^2 + \sqrt{(1 + 2\zeta^2)^2 + 1}]^{1/2} \tag{12-81}$$

当阻尼系数$\zeta = 0.7$，$\omega_{3\mathrm{dB}} = 2.06\omega_n$，近似等于环路固定角频率的两倍。

3. 稳定性分析

实际工作时，锁相环路不可避免地会受到各种各样地干扰，环路在这些干扰因素作用下，其输出量可能是稳定地，也可能呈现不稳定地状况。稳定的环路受外来干扰作用，环路系统在脱离原来的稳定平衡状态后，经过瞬态过程，仍能恢复原状或者建立新的平衡状态。本节我们研究锁相环路在干扰较小情况下的稳定问题，即线性化系统稳定性问题。

如前所述，根据阻尼系数ζ的值，可以判定系统的稳定性能，因此ζ的值是判断锁相环的稳定性的一种依据。但更简单、更常用的判断锁相环路稳定性的方法是利用线性系统稳定理论及从它推导出的波特准则，下面我们就来介绍这种方法。

根据线性系统稳定理论，线性系统稳定的充分必要条件是系统特征方程的根均具有负实部，也就是说，系统闭环传输函数的所有极点均位于jω轴的左半平面。对于锁相环路来它，它的闭环传输函数$H(s)$可以用式12-68表示，因此，只要$H(s)$的极点位于左半平面，该系统就是稳定的。

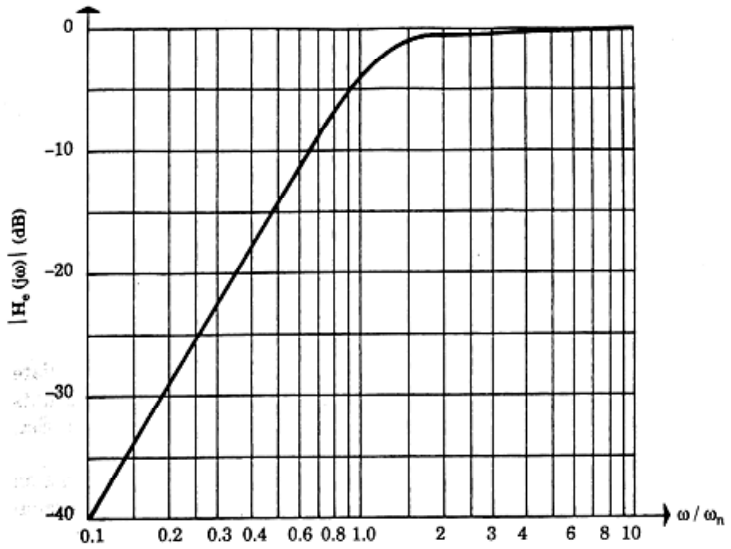


图 12-40 二阶锁相环相位误差传输函数$H_{\mathrm{e}}(s)$的幅频响应曲线（$\zeta=0.707$）

同时，根据闭环传输函数与开环传输函数之间的关系：$H(s)=G(s)/(1+G(s))$，可以推导出判断环路稳定性的另一条准则：波特准则。波特准则是利用环路的开环传输特性直接判断闭环稳定性的方法。波特准则表明，对于一个单位反馈环路，如果系统在开环时是稳定的，那么闭环后仍然稳定的条件为：当开环传输函数的幅度下降为1时，开环传输函数的相移小于180°。

稳定性是环路正常工作的必要条件。但是，有的系统虽然满足稳定条件，但余量很小，这样环路的瞬态响应是振荡的，衰减很慢，因此会影响系统性能。但如果余量过大，环路的瞬态响应会很迟缓，影响环路的瞬态性能。为了衡量系统在这两方面的性能，可以引入相位裕度的概念来衡量系统的稳定性能。相位裕度是开环传输函数在单位增益频率处的相移与180°之和，如图12-41所示。 相位裕度大小与闭环系统的单

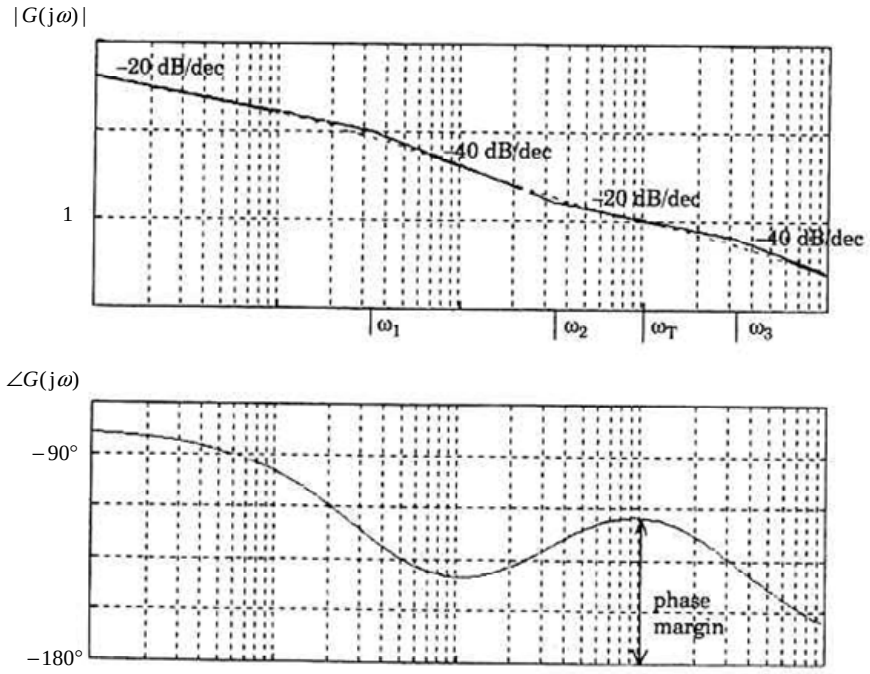


图 12-41 相位裕度

位阶跃瞬态响应之间的关系曲线如图12-42所示，从图中可以看出，相位裕度太小（PM < 30°），瞬态过

冲就很大，产生振荡衰减波形，振荡波形衰减很慢；而相位裕度太大（PM > 60°），闭环系统的瞬态响应速度就会很迟缓，影响系统的动态性能。一般说来，相位裕度位于30°～60°是比较合理的，这时闭环系统过冲很小，或者没有过冲，同时闭环系统对瞬态响应的上升时间也很快，可以达到一个较好的动态性能。

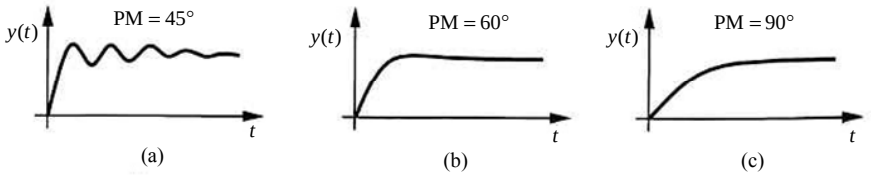


图 12-42 相位裕度大小与闭环系统的单位阶跃瞬态响应之间的关系曲线

4. **瞬态响应**

推导出了锁相环的相位传输函数和相位误差传输函数后，下面我们来分析锁相环路对输入参考相位变化的瞬态性能。

输入参考信号的相位发生阶跃变化： 图12-43给出了输入参考信号相位在$t=0$发生阶跃变化时的锁相环的瞬态响应。 相位信号是一个阶跃函数

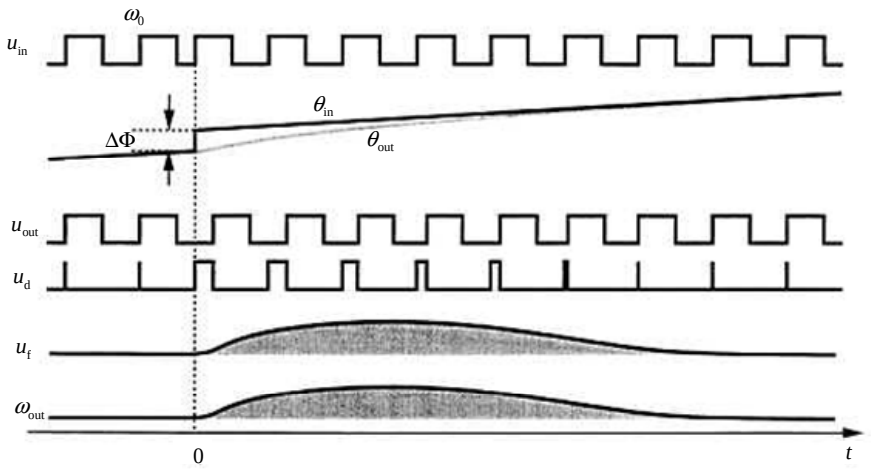


图 12-43 输入参考信号相位在$t=0$发生阶跃变化时的锁相环的瞬态响应

$$\theta_{\text{in}}(t) = u(t)\Delta\Phi \tag{12-82}$$

其中，$u(t)$是单位阶跃函数，$\Delta\Phi$是阶跃的幅度。由于环路滤波器的输出并不会马上发生变化，在$t=0$时，VCO的振荡频率还是ω_0，鉴相器的两输入之间的相位差突然增加$\Delta\Phi$，在鉴相器输出产生宽脉冲，迫使环路滤波器的输出逐渐升高，这会导致VCO的振荡频率发生变化，减小环路中的相位误差。在这个瞬态过程中，环路相位误差会随着时间变化，因此环路没有进入锁定状态。一旦VCO的振荡频率发生变化，环路相位误差就会逐渐减小，在最后锁定时，VCO的振荡频率回到原始频率，因此环路滤波器的输出和环路相位误差都返回到它们没有受到扰动时的值。当输入相位改变$\Delta\Phi$，所导致的VCO振荡频率变化量对时间的积分（图12-43中阴影部分）应等于$\Delta\Phi$，即

$$\int_{t_1}^{\infty} \omega_{\text{out}} \mathrm{d}t = \Delta\Phi \tag{12-83}$$

输出相位逐渐跟踪上了输入参考相位。因此在环路锁定时，环路中的重要参数（相位误差、环路滤波器输出、VCO振荡频率）都返回到它们的原始值，这些参数与输入频率之间存在一对一的对应关系。而且从该过程可以看出，VCO的控制电压可以作为分析环路动态性能的测试点，它的动态性能反应了锁相环输出的

动态性能，该点也非常便于测量。图12-43仅给出了环路滤波器的一种信号变化波形，实际上，当环路参数不同时，环路滤波器的输出可能产生振荡衰减波形，如图12-44所示。在$t = t_2$时，环路滤波器的输出等于最终值，VCO的振荡频率也等于最终值，但由于环路误差没有达到最终值，因此瞬态过程还会继续，而在$t = t_3$时，环路相位误差返回到了它的最终值，但由于VCO的振荡频率没有达到最终值，导致瞬态过程继续，直到环路相位误差和VCO的振荡频率都回到原始值，瞬态过程才终止。这是一个振荡衰减过程，需要较长的时间环路才能达到稳态。

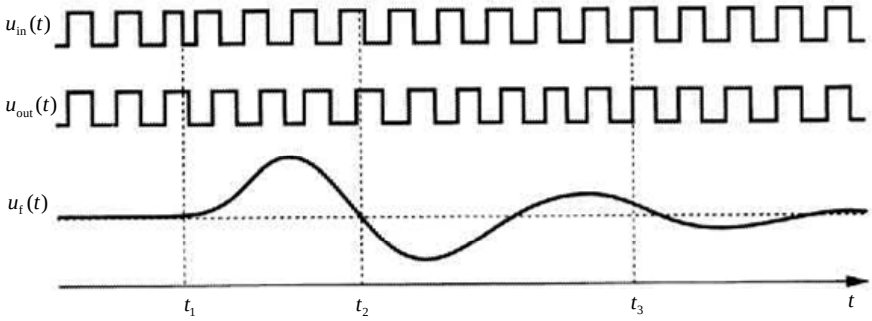


图 12-44 锁相环输入参考相位发生阶跃变化时环路滤波器的输出产生振荡衰减波形

下面我们对该过程进行定量分析。对式12-82进行Laplace变换，得到：

$$\Theta_{\text{in}}(s) = \Delta\Phi/s \tag{12-84}$$

输入参考相位发生阶跃变化所引起的环路相位误差为：

$$\Theta_{\text{e}}(s) = H_{\text{e}}(s)\Theta_{\text{in}}(s) = H_{\text{e}}(s) \cdot \Delta\Phi/s \tag{12-85}$$

将式12-78代入，可以得到：

$$\Theta_{\text{e}}(s) = \frac{\Delta\Phi}{s}\frac{s^2}{s^2 + 2s\zeta\omega_{\text{n}} + \omega_{\text{n}}^2} \tag{12-86}$$

对该式进行反Laplace变换可以得到环路相位误差随时间的变化波形$\theta_{\text{e}}(t)$，如图12-45所示，图中相位误差已经针对$\Delta\Phi$ 进行了归一化。 在各种阻尼系数下，初始相位误差均为$\theta_{\text{e}}(0) = \Delta\Phi$，当$t \to \infty$时，相位

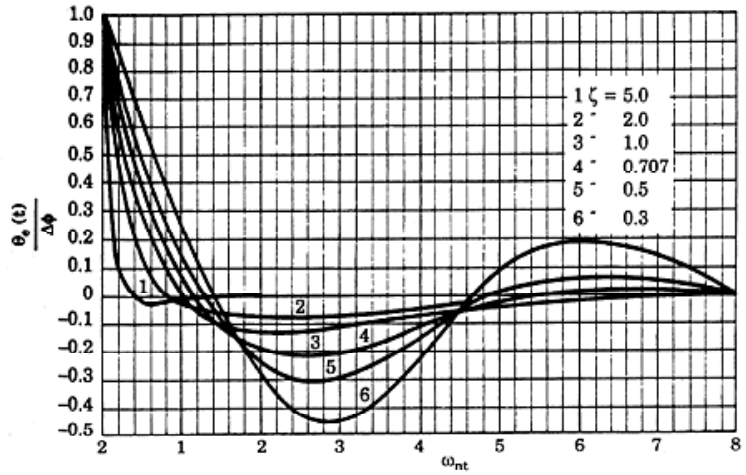


图 12-45 锁相环输入参考相位发生阶跃变化时环路相位误差的时域波形

误差$\theta_{\text{e}}(\infty) \to 0$。这也可以用Laplace变换的最终值定理所证明：

$$\theta_{\text{e}}(\infty) = \lim_{s \to 0} s\Theta_{\text{e}}(s) = 0 \tag{12-87}$$

从图中可以看出，当阻尼系数不同时，环路的相位误差达到稳定所需要的时间也是不同的，ζ越大，所需要的时间越短。

参考输入的频率发生阶跃变化： 图12-46给出了输入参考信号的频率在$t=0$时发生阶跃变化的情况。

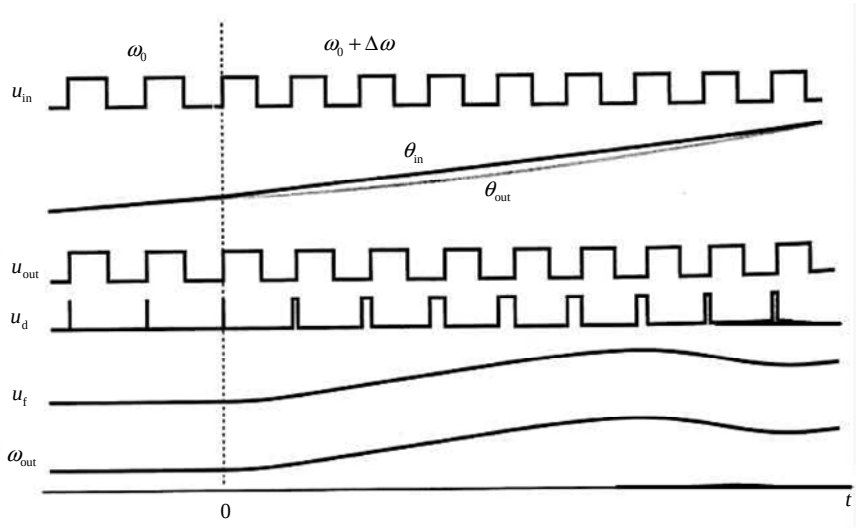


图 12-46 输入参考信号频率在$t=0$发生阶跃变化时的锁相环的瞬态响应

输入参考信号的瞬时频率是一个阶跃函数

$$\omega_{\text{in}}(t)=\omega_0+\Delta\omega\cdot u(t) \tag{12-88}$$

其中，$\Delta\omega$是频率阶跃的幅度。

由于相位$\theta_{\text{in}}(t)$是瞬时频率变化$\Delta\omega$的积分，因此

$$\theta_{\text{in}}(t)=(\omega_0+\Delta\omega)\cdot t \tag{12-89}$$

它是一个随时间线性增长的函数。同样，由于环路滤波器的输出并不会马上发生变化，在$t=0$时，VCO的振荡频率还是ω_0，鉴相器的两输入之间的相位差逐渐增加，在鉴相器输出产生宽脉冲，迫使环路滤波器的输出逐渐升高，这会导致VCO的振荡频率发生变化，输出频率逐渐接近输入频率$\omega_0+\Delta\omega$。鉴相器的输出脉冲宽度逐渐减小，环路滤波器的输出也逐渐下降，最终稳定到$\Delta\omega/K_0$。同输入参考相位发生阶跃变化不同，锁相环路对输入参考频率发生阶跃变化的响应达到稳定状态时，环路相位误差和环路滤波器输出值都会发生变化。

下面我们对该过程进行定量分析。对上式进行Laplace变换，得到：

$$\Theta_{\text{in}}(s)=\Delta\omega/s^2 \tag{12-90}$$

采用相同的推导过程，可以得到输入参考频率发生阶跃变化所引起的环路相位误差为：

$$\Theta_{\text{e}}(s)=\frac{\Delta\omega}{s^2}\frac{s^2}{s^2+2s\zeta\omega_{\text{n}}+\omega_{\text{n}}^2} \tag{12-91}$$

对该式进行反Laplace变换可以得到环路相位误差随时间的变化波形$\theta_{\text{e}}(t)$，如图12-47所示，图中相位误差已经针对$\Delta\omega/\omega_{\text{n}}$ 进行了归一化。在各种阻尼系数下，初始相位误差均为$\theta_{\text{e}}(0)=0$，而且当$t\to\infty$时，相位误差$\theta_{\text{e}}(\infty)\to 0$。这也是可以用Laplace变换的最终值定理来证明。

从图中可以看出，当阻尼系数不同时，环路相位误差达到稳定所需要的时间也是不同的，ζ越大，所需要的时间越短。

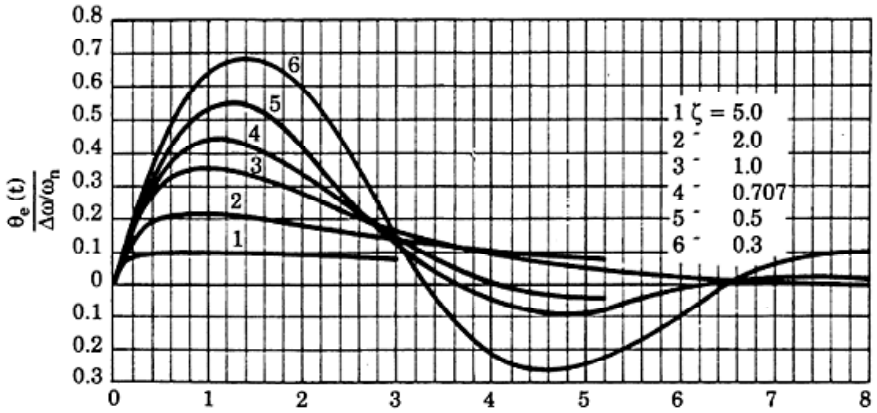


图 12-47 锁相环输入参考频率发生阶跃变化时环路相位误差的时域波形

5. **锁相环的稳态相位误差**

锁相环的稳态相位误差即为$\theta_e(\infty)$。当输入相位$\theta_{in}(t)$给定时，环路相位误差可以通过误差传输函数$H_e(s)$来计算。由式12-78可以得到：

$$\theta_e(\infty)=\lim_{s\to 0}s\Theta_{in}(s)\frac{s}{s+K_0K_dF(s)} \tag{12-92}$$

研究表明，稳态相位误差与环路中的积分器数目（开环传输函数中位于$s=0$处极点的数目）有很大关系。将环路滤波器的传输函数$F(s)$改写为：

$$F(s)=\frac{P(s)}{Q(s)s^M} \tag{12-93}$$

其中，$P(s)$和$Q(s)$都是s的多项式，而M则是开环传输函数中位于$s=0$处极点的数目。将上式代入式12-92中，则可以得到：

$$\theta_e(\infty)=\lim_{s\to 0}\frac{s^2s^MQ(s)\Theta_1(s)}{s(s\cdot s^MQ(s)+K_0K_dP(s))} \tag{12-94}$$

下面我们来计算锁相环在不同激励下的稳态相位误差。

输入参考相位发生阶跃变化： 在这种情况下，输入参考信号的相位是阶跃函数

$$\theta_{in}(t)=u(t)\Delta\Phi \tag{12-95}$$

其中，$u(t)$是单位阶跃函数，$\Delta\Phi$是阶跃的幅度。对上式进行Laplace变换，得到：

$$\Theta_{in}(s)=\Delta\Phi/s \tag{12-96}$$

输入参考相位发生阶跃变化所引起的稳态相位误差为：

$$\theta_e(\infty)=\lim_{s\to 0}\frac{s^2s^MQ(s)\Delta\Phi}{s(s\cdot s^MQ(s)+K_0K_dP(s))} \tag{12-97}$$

从上式可以看出，无论环路滤波器为何种类型，当输入参考信号的相位发生阶跃变化时，锁相环的稳态相位误差均为0。

参考输入的频率发生阶跃变化： 在这种情况下，输入参考信号的瞬时频率是一个阶跃函数

$$\omega_{in}(t)=\omega_0+\Delta\omega\cdot u(t) \tag{12-98}$$

其中，$\Delta\omega$是频率阶跃的幅度。

由于相位$\theta_{\text{in}}(t)$是瞬时频率变化$\Delta\omega$的积分，因此

$$\theta_{\text{in}}(t) = \Delta\omega \cdot t \tag{12-99}$$

它是一个随时间线性增长的函数。

对上式进行Laplace变换，得到：

$$\Theta_{\text{in}}(s) = \Delta\omega / s^2 \tag{12-100}$$

输入参考信号的频率发生阶跃变化所引起的稳态相位误差为：

$$\theta_{\text{e}}(\infty) = \lim_{s\to 0} \frac{s^2 s^{\text{M}} Q(s)\Delta\omega}{s^2(s \cdot s^{\text{M}} Q(s) + K_0 K_{\text{d}} P(s))} \tag{12-101}$$

因此，当$\text{M} \geq 1$时（环路滤波器至少包含有一个位于$s = 0$的极点），输入参考信号的瞬时频率发生阶跃变化引起的锁相环稳态相位误差为0。如果$\text{M} = 0$（即环路滤波器中没有位于$s = 0$的极点），则输入参考信号的瞬时频率发生阶跃变化引起的锁相环稳态相位误差不为0。

§12.4 电荷泵型锁相环

§12.4.1 电荷泵的基本特性

如同前面讲述的一样，无源超前–滞后网络同PFD一起使用时（图12-48），它的传输特性中将包含有一个位于$s = 0$处的极点，有助于环路的捕捉。 但是在这种环路中，PFD的增益K_{d}不是一个常数，而会

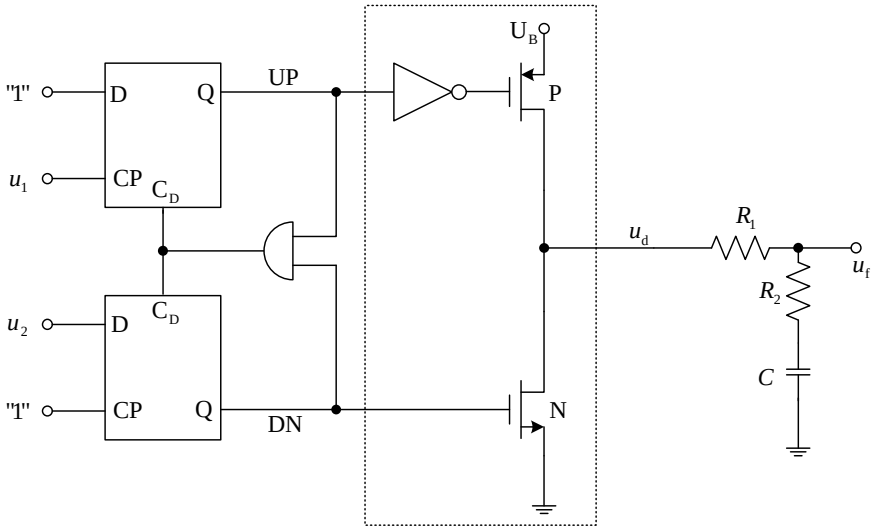


图 12-48 PFD同无源超前–滞后网络的组合电路

随着环路滤波器的平均输出$\overline{u_{\text{f}}}$的变化而变化。这是因为，当VCO的初始频率不同时，环路滤波器的平均输出$\overline{u_{\text{f}}}$也是不同的（在锁定状态下，$\omega_{\text{out}} = \omega_0 + K_0\overline{u_{\text{f}}}$），PFD将偶尔短时处于高或者低状态，对环路滤波器中的电容进行充电或者放电，维持电容上的电压不变。如果要求VCO工作在更高的频率下，PFD将更多的处于“1”状态，对电容充电，充电电流为$(\text{U}_{\text{B}} - \overline{u_{\text{f}}})/(R_1 + R_2)$；如果要求VCO工作在更低的频率下，PFD将更多的处于“0”状态，对电容放电，放电电流为$\overline{u_{\text{f}}}/(R_1 + R_2)$。当$\overline{u_{\text{f}}}$不同时，充放电电流也不同，导致环路增益发生变化。如果环路增益减小，会降低ω_{n}和阻尼系数ξ，产生很大的过冲，在很多应用中，这种过冲是不可接受的。

解决这种问题的一个办法是环路滤波器采用有源PI网络，如图12-49所示。 这时PFD产生的输出电流总流过运算放大器的求和节点，该点是一个固定的电平$\text{U}_{\text{B}}/2$，因此充放电电流为$\text{U}_{\text{B}}/(2R_1)$，环路增益并不会随着$\overline{u_{\text{f}}}$的变化而变化。

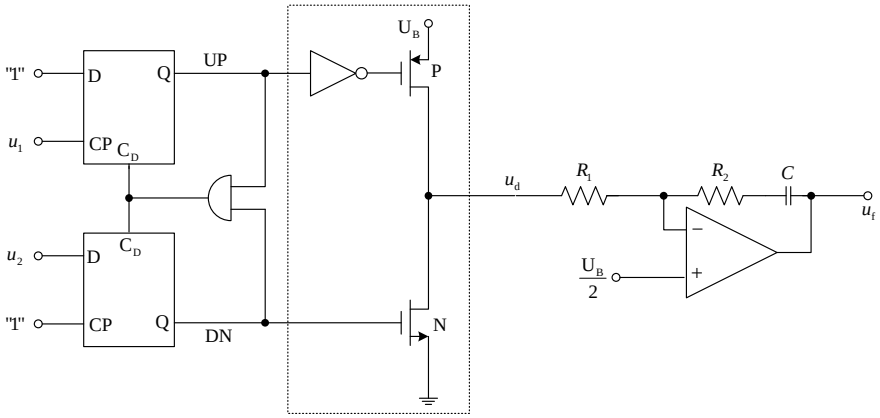


图 12-49 PFD同有源PI网络的组合电路

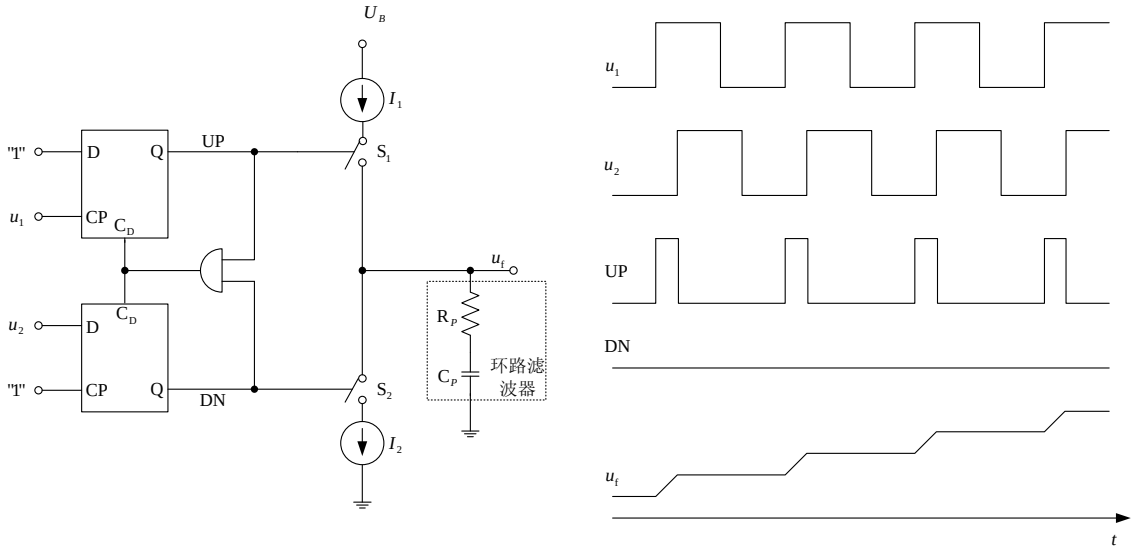


图 12-50 PFD同电荷泵的组合电路

解决这种问题的另一个办法是让PFD驱动一个电荷泵，产生一个输出电流，而不是输出电压，如图12-50所示。 电荷泵由电流源、电流沉和两个开关组成，开关由PFD的两个输出（UP、DN）来控制。这种组合电路存在三种状态。当两个触发器的输出都为低电平时，开关S_1和S_2都断开，输出电压u_f保持不变；当UP为高电平，而DN为低电平时，开关S_1闭合，S_2断开，电流源I_1对环路滤波器进行充电；当DN为高电平，而UP为低电平时，开关S_2闭合，S_1断开，电流沉I_2对环路滤波器进行放电。电流源I_1和电流沉I_2的大小通常是相等的。

这种电路具有如下的特性，环路直流增益为无穷大。当u_1在相位上稍领先于u_2时，UP将不断的产生高电平脉冲，而DN保持不变，因此允许电荷泵不断地对环路滤波器进行充电，使输出稳定地上升。当u_2在相位上稍领先于u_1时，DN将不断的产生脉冲，而UP保持不变，因此允许电荷泵不断地对环路滤波器进行放电，使输出稳定地下降。因此，对于有限的输入误差，输出都将达到$+\infty$或者$-\infty$，这表明环路具有无穷大的直流增益。

§12.4.2 电荷泵型锁相环在锁定状态的性能

为了定量推导出电荷泵型锁相环在锁定状态下的性能，需要为PFD、电荷泵及环路滤波器的组合电路建立一个线性模型，因此需要研究两个问题，在锁定状态下PFD、电荷泵及环路滤波器的组合电路是否是一个线性系统？如何推导出它的传输函数？

我们首先来回答第一个问题。图12-51给出了这个组合电路对输入相位差为$\Delta\Phi$和$2\Delta\Phi$的响应。 从图中可以看出，当两输入之间的相位差增加一倍时，每一个鉴相周期内输出u_f增加的数值也增加一倍，它们之

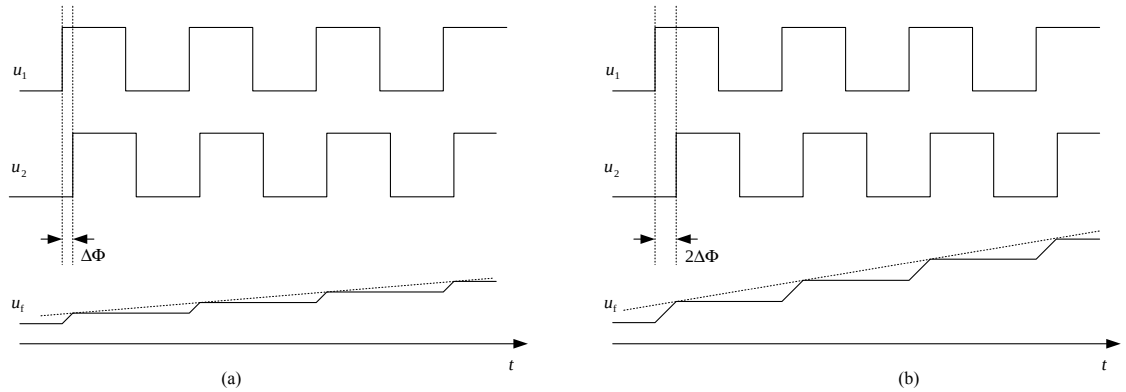


图 12-51 PFD、电荷泵及环路滤波器的组合电路对不同输入相位差的响应

间是一种线性关系。但是由于充放电电流是一定的，输出电压u_f上升的速率是一个常数，并不会随着输入相位差的增加而增加。因此严格说来，该系统不是一个线性系统。但如果将输出波形用一个线性上升的直线近似表示（图中虚线），那么就可以在输出电压u_f和$\Delta\Phi$之间建立一个线性关系。

为了求出输入相位误差$\Delta\Phi$到输出电压u_f之间的传输函数，需要在系统输入应用一个相位误差无限冲击函数，在时域内求取系统对该冲击函数的响应，然后通过Laplace 变换来得到希望的传输函数。另一种办法是在系统输入应用一个相位误差阶跃函数，在时域内求出系统对该阶跃函数的响应后，对时间求微分就可以得到系统对无限冲击函数的响应。我们用后一种办法来推导PFD、电荷泵及低通滤波器的组合电路的传输函数。

参考图12-52，假设输入参考信号的周期为T_{in}，电荷泵中电流源、电流沉的大小均为I_{P}。 在初始

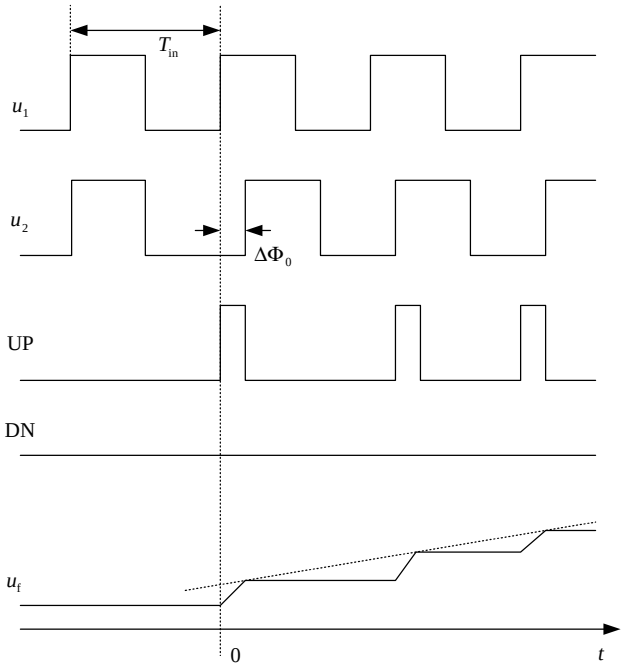


图 12-52 PFD、电荷泵及环路滤波器的组合电路对相位阶跃变化的响应

时，PFD的两输入信号的频率相等，相位差也为0。在$t = 0$时刻，u_2的相位发生一个阶跃变化，PFD两输入信号的相位差变化为$\Delta\Phi_0 u(t)$。因此UP将持续的产生宽度为$\Delta\Phi_0 T_{\text{in}}/(2\pi)$的脉冲，使得开关$S_1$闭合，对环路滤波器进行充电，充电电流大小为$I_{\text{P}}$，充电时间为$\Delta\Phi_0 T_{\text{in}}/(2\pi)$，导致输出电压$u_f$阶跃上升。如果采用图12-52所示的线性化方法，则平均来看，对环路滤波器进行充电的电流为一个恒定大小的电流$I_{\text{P}}\Delta\Phi_0/(2\pi)u(t)$。因此在输入端加入相位阶跃函数后，该组合电路的响应与图12-53所示电路的响应是相

同的。 用图12-53求出u_{f}在时域的波形后，对该波形求时间微分，就可以得到该组合电路的传输函数。

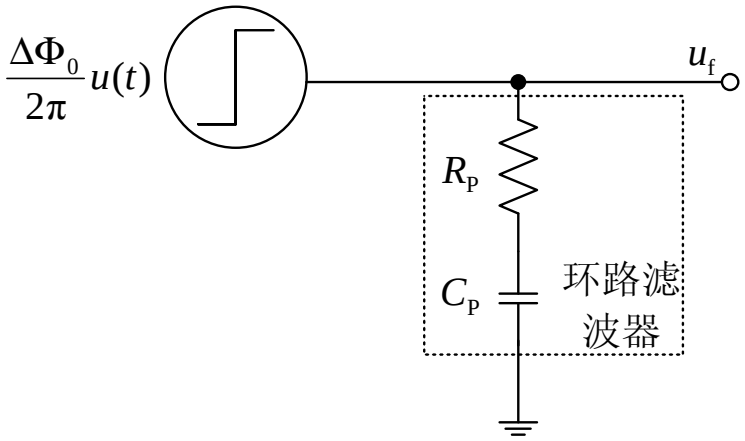


图 12-53 PFD、电荷泵及环路滤波器的组合电路对相位阶跃变化的等效电路

在图12-53中，对输入电流源进行Laplace变换，得到输入电流源在频域的表示$\frac{I_{\mathrm{P}}\Delta\Phi_0}{2\pi}\frac{1}{s}$。因此输出$u_{\mathrm{f}}(s)$为：

$$u_{\mathrm{f}}(s)=\frac{I_{\mathrm{P}}\Delta\Phi_0}{2\pi}\frac{1}{s}F(s) \tag{12-102}$$

对$u_{\mathrm{f}}(s)$进行反Laplace变换，可以得到$u_{\mathrm{f}}(t)$的时域波形，然后对该$u_{\mathrm{f}}(t)$求时间微分，得到PFD、电荷泵及低通滤波器组合电路的无限脉冲响应：

$$h(t)=\frac{\mathrm{d}}{\mathrm{d}t}\mathrm{L}^{-1}\{\frac{I_{\mathrm{P}}}{2\pi}\frac{1}{s}F(s)\} \tag{12-103}$$

其中，L^{-1}表示反Laplace变换。

因此，根据Laplace变换定理$\mathrm{L}(\mathrm{d}f(t)/\mathrm{d}t)=s\mathrm{L}(f(t))-f(0)$（L表示Laplace变换，而$f(0)$是$f(t)$在$t=0$时刻的值），可以求出PFD、电荷泵及低通滤波器组合电路的传输函数为

$$C(s)=\mathrm{L}(h(t))=s\mathrm{L}\{\mathrm{L}^{-1}\{\frac{I_{\mathrm{P}}}{2\pi}\frac{1}{s}F(s)\}\}-\mathrm{L}^{-1}\{\frac{I_{\mathrm{P}}}{2\pi}\frac{1}{s}F(s)\}|_{t=0} \tag{12-104}$$

在$t=0$时刻，上式中的第二项等于0，因此

$$C(s)=\frac{I_{\mathrm{P}}}{2\pi}F(s) \tag{12-105}$$

推导出PFD、电荷泵及低通滤波器组合电路的传输函数后，我们可以为电荷泵型锁相环建立一个线性模型，如图12-54所示。 该系统的闭环传输函数为：

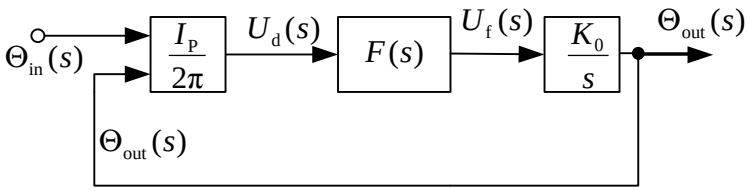


图 12-54 电荷泵型锁相环的线性模型

$$H(s)=\frac{\Theta_{\mathrm{out}}(s)}{\Theta_{\mathrm{in}}(s)}=\frac{\frac{I_{\mathrm{P}}}{2\pi}F(s)K_0}{s+\frac{I_{\mathrm{P}}}{2\pi}F(s)K_0} \tag{12-106}$$

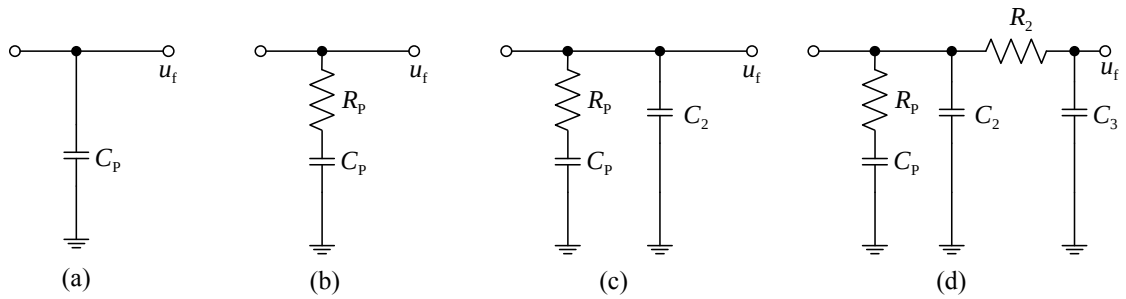


图 12-55 电荷泵型锁相环中常用的环路滤波器

误差传输函数为：

$$H_e(s) = 1 - H(s) = \frac{s}{s + \frac{I_P}{2\pi}F(s)K_0} \tag{12-107}$$

如果环路滤波器仅由一个电容组成，如图12-55（a）所示。 $F(s) = 1/(sC_P)$，闭环传输函数$H(s)$中将包含有两个位于虚轴上的极点，$s_{1,2} = \pm j\sqrt{I_P K_0/(2\pi C_P)}$，因此该锁相环路是不稳定的。这是因为它的开环传输函数为：

$$G(s) = \frac{I_P}{2\pi C_P}\frac{K_0}{s^2} \tag{12-108}$$

开环传输函数中包含有两个理想积分器，每一个积分器贡献$\pi/2$的相移，环路总相移为π，导致系统在$|G(j\omega) = 1|$频率处产生振荡，如图12-56 （a）所示。

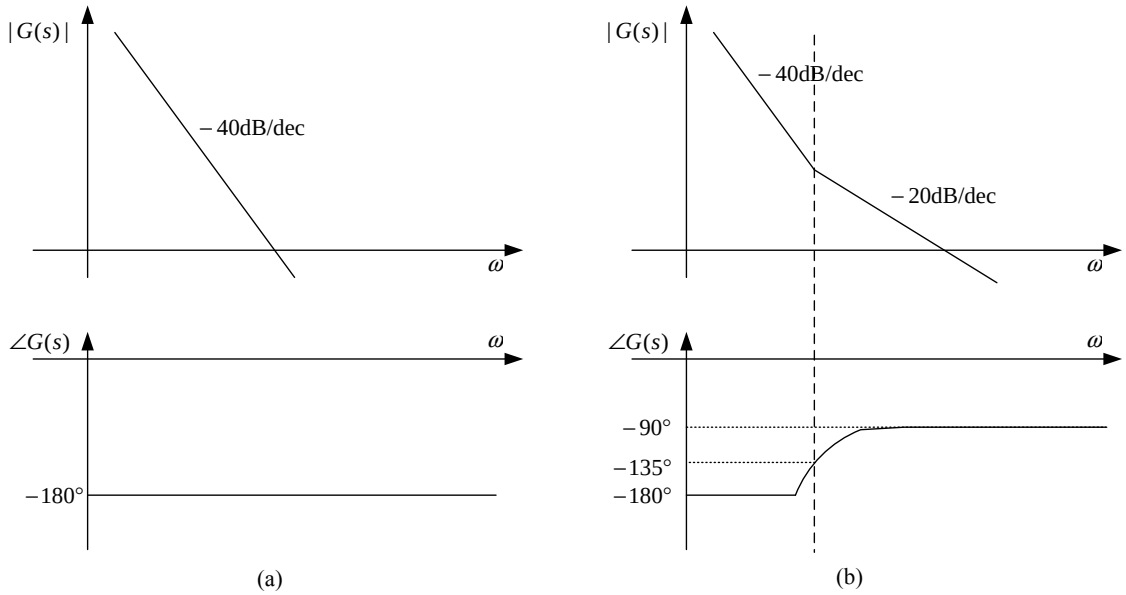


图 12-56 二阶电荷泵型锁相环开环传输函数的幅频和相频响应

为了稳定该系统，必须修改环路滤波器，增加额外的极点和零点。图12-55（b）给出的是在电容上串联一个电阻，这时环路滤波器的传输函数为$F(s) = R_P + 1/(sC_P)$，因此采用这种滤波器的电荷泵型锁相环的开环传输函数为：

$$G(s) = \frac{I_P}{2\pi}(R_P + \frac{1}{C_P s})\frac{K_0}{s} \tag{12-109}$$

开环传输函数中包含着一个零点和两个极点，它的Bode图如图12-56（b）所示，选择合适的零点位置，可以保证系统稳定。

它的闭环传输特性为：

$$H(s) = \frac{\frac{I_P K_0}{2\pi C_P}(R_P C_P s + 1)}{s^2 + \frac{I_P}{2\pi}K_0 R_P s + \frac{I_P}{2\pi C_P}K_0} \tag{12-110}$$

它同我们前面介绍的二阶锁相环的闭环传输函数是一样的，因此具有与二阶锁相环相同的特性。唯一的不同在于：当$I_P K_0$减小时，开环传输函数极零点的位置不变，但增益幅度下降，导致单位增益频率向原点方向移动，减小了相位裕度，导致系统稳定性下降，如图12-57所示。这同一般的二阶锁相环特性是相反的。

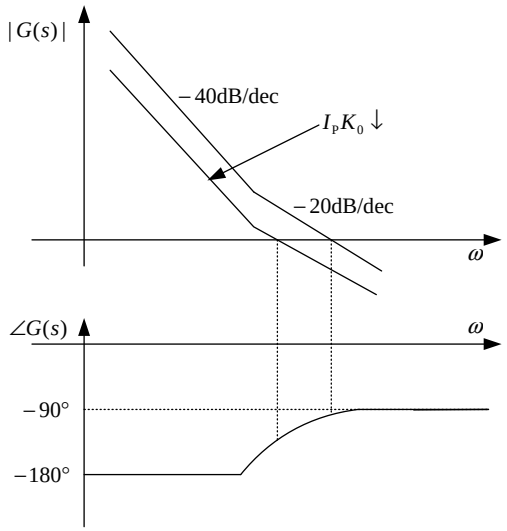


图 12-57 $I_P K_0$减小降低了锁相环路的稳定性

图12-55（b）所示滤波器的缺点是：当每一次电荷泵给滤波器注入电流时，环路滤波器的输出电压就会经历一次大的跳跃。即使在锁定状态，电流源和电流沉之间的不匹配，开关的电荷注入和时钟馈通效应等都会使环路滤波器的输出电压产生跳跃，跳跃的压控电压会对VCO进行频率调制，这会恶化锁相环的相位噪声性能。为了解决这个问题，可以在环路滤波器中再增加一个并联电容，如图12-55（c）所示，该滤波器的传输函数为：

$$F(s)=\frac{1+sR_P C_P}{s^2 R_P C_P C_2+s(C_P+C_2)} \tag{12-111}$$

由这种滤波器构成的锁相环是一个三阶二型锁相环。在实际设计中，C_2一般取为C_1的五分之一到十分之一之间。

图12-55（d）给出的是另一种在电荷泵型锁相环中常用的环路滤波器，它又增加了一个更高频的极点，对高频噪声具有更好的抑制作用。该滤波器的传输函数为：

$$F(s)=\frac{1}{s}\frac{\frac{1+s\tau_1}{C_P+C_2+C_3}}{1+s\frac{C_P\tau_3+C_2(\tau_1+\tau_3)+C_3\tau_1}{C_P+C_2+C_3}+s^2\tau_1\tau_3\frac{C_2}{C_P+C_2+C_3}} \tag{12-112}$$

其中，$\tau_1=R_P C_P$、$\tau_3=R_2 C_3$。由这种滤波器构成的锁相环是一个四阶二型锁相环。在实际设计中，C_P远大于C_2、C_3，$R_P>R_2$。在这种条件下，它的极零点分别为：

$$\omega_{p1}=0 \tag{12-113}$$

$$\omega_{p2}\approx\frac{1}{R_P(C_2+C_3)} \tag{12-114}$$

$$\omega_{p3}\approx\frac{1}{\frac{R_2C_2C_3}{C_2+C_3}} \tag{12-115}$$

$$\omega_z=\frac{1}{R_P C_P} \tag{12-116}$$

§12.4.3 电荷泵型锁相环的非理想效应

电荷泵型锁相环是射频锁相环中最常采用的一种锁相环结构，上面都假设电荷泵和PFD是理想的，但实际上，这两个模块都存在一些非理想效应，这些非理想效应会使得环路滤波器的输出电压上存在纹波（即使在锁定状态下），这些纹波会对VCO进行频率调制，使VCO的输出信号不再是理想的正弦波，恶化环路的相位噪声性能。

在前面的讨论中，都假设PFD是理想的，即当两个输入信号频率相同，相位也相同时，PFD不会产生输出脉冲，如图12-58（a）所示。 当两相同频率的输入信号之间存在微小的相位差时，该电路将在UP或

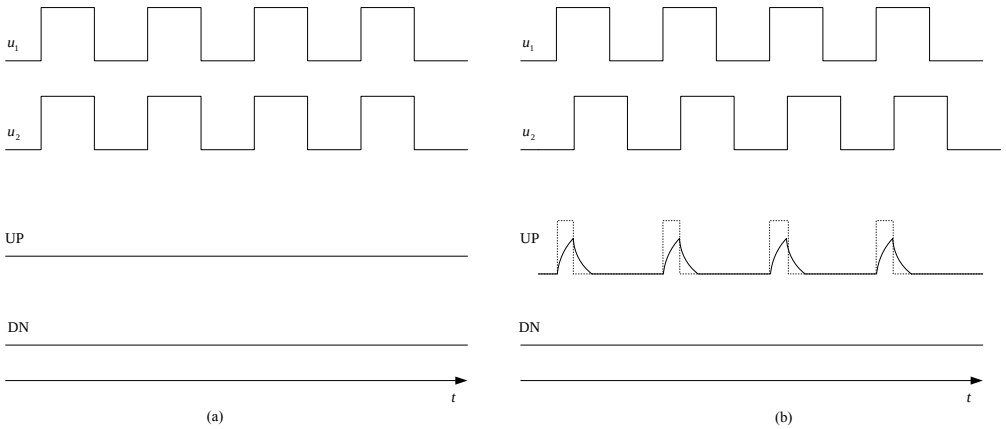


图 12-58 两输入信号之间没有相位差和存在微小相位差时PFD的输出波形

者DN上产生非常窄的脉冲，如图12-58（b）中虚线所示。但实际上，PFD中各节点存在的寄生电容会限制脉冲上升和下降的速率，这些脉冲可能没有足够的时间达到逻辑高电平，如图12-58（b）中实线所示，这可能不能使得电荷泵中的开关导通，环路滤波器的输出电压保持不变，环路增益下降为0，VCO的输出相位不可能达到锁定。因此，如果两同频率输入信号之间的相位差$\Delta\Phi$小于某一个特定值Φ_0，PFD、电荷泵和环路滤波器组合电路的输出不再是相位差$\Delta\Phi$的函数，如图12-59所示，这种效应称为PFD的死区效应。PFD的死区效应会使得当VCO的输出相位和输入参考信号的相位很接近时，环路对这微小的相位差就没有反应，VCO的输出相位不可能锁定到输入参考信号相位上，而只是在输入参考信号相位附近Φ_0范围内随机变化。VCO输出信号相位的随机变化会转化为相位噪声，恶化锁相环的相位噪声性能和抖动性能。

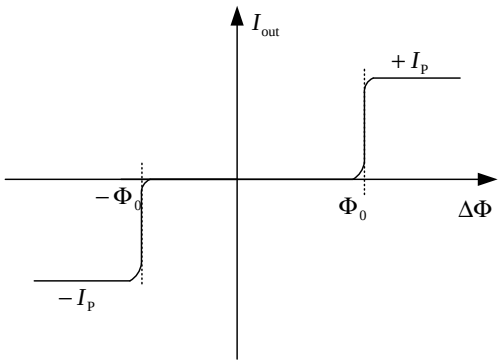


图 12-59 PFD的死区效应

幸运的是，PFD各节点存在的寄生电容会使得PFD对输入信号的响应不是立即发生的。图12-60（a）给出了PFD用逻辑门构成的实现电路图。 每个触发器由两个锁存器构成，而复位端的与门是由与非门和非门构成的。图12-61（b）给出了PFD对相位误差的响应波形。 可以看到DN上出现了窄小的脉冲，如果每一个逻辑门的延迟时间都是一样的，则由图12-60（b）可以推导出，这个窄脉冲的最小宽度为10个逻辑门延迟时间。因此，即使PFD的两个输入信号是同频同相的，UP和DN上也会同时出现宽度为T_P的窄脉冲，

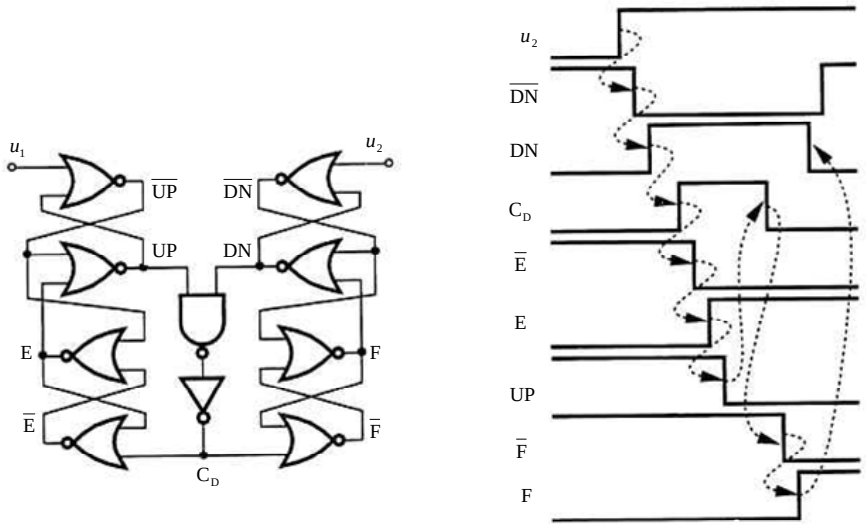


图 12-60 PFD的实现电路图与延迟时间构成示意图

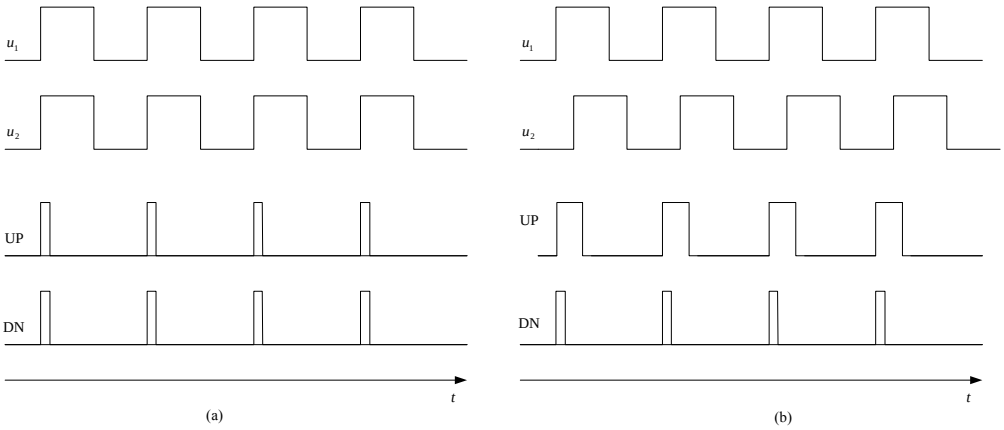


图 12-61 PFD的实际输出波形

如图12-61（a）所示，这些脉冲持续时间相同，电荷泵中电流源的电流直接流过电流沉，电荷泵不产生输出电流，因此电荷泵的净输出电流为0。但该窄脉冲有利于消除PFD的死区效应。这是因为，如果T_P足够大，即使两输入信号的相位差为0，UP和DN上的窄脉冲可以使得电荷泵中的开关导通。当输入信号的相位差有微小增加时，PFD的某一个输出脉冲的宽度会成比例增加，导致电荷泵产生的净电流也会与输入相位差成比例，这就消除了PFD的死区问题。图12-62解释了这一过程。 如果UP和DN的脉冲宽度T_P不够，不能够使得电荷泵中的开关导通，则需要在PFD中引入额外的延时，这一般是通过在用来产生复位信号C_D的与门后面级联更多的偶数级反相器来实现的。

UP和DN上出现的窄脉冲虽然有助于消除PFD的死区效应，但它们又引入了其它的问题。为了说明这些问题，需要画出电荷泵的晶体管级电路图，如图12-63 （a）所示，M_1和M_2分别作为电流沉和电流源，M_3和M_4作为开关，UP反相后控制开关M_4（M_4是PMOS管）。

图12-63 （a）所示电路遇到的第一个问题来自于$\overline{UP}$和DN之间的延迟不匹配。图（b）给出了电荷泵对同时出现的UP和DN窄脉冲的响应，开关M_3和M_4不是同时导通的，因此即使在环路锁定的情况下，环路滤波器的输出电压u_f也会周期性的上升或者下降，产生周期性的纹波。解决这一问题的办法是在DN支路上增加一级传输门，它的延时应与UP支路上的反相器延时相同，如图（c）所示。

图12-63 （a）所示电路遇到的第二个问题来自于电流源和电流沉之间的电流大小不匹配。如图12-64（a）所示，即使开关M_3和M_4的控制信号延时精确匹配，电荷泵还是会产生非零的净输出电流，在每一

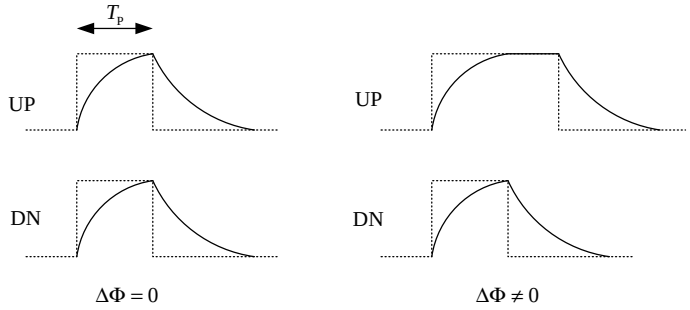


图 12-62 PFD对微小相位误差的反应

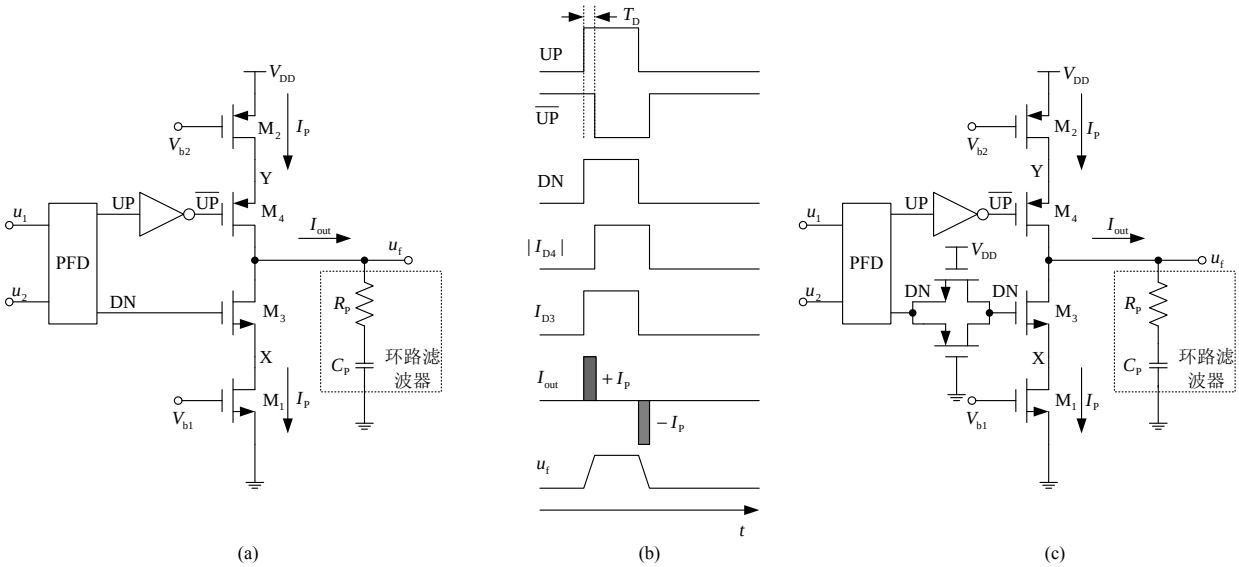


图 12-63 电荷泵的晶体管级电路图、延迟不匹配波形及改进措施

个相位比较时刻，都会使得环路滤波器的输出电压增加（降低）。 而在环路锁定时，环路滤波器的输出电压平均值应该是一个常数，因此锁相环会在输入参考信号和输出信号之间引入一个稳态相位误差来补偿电流不匹配所造成的影响，使得电荷泵的平均输出净电流在一个周期内保持为0，如图（b）所示。但环路滤波器的输出电压还是会经历周期性的纹波，而且由于M_1、M_2的沟道长度调制效应，该周期性纹波的大小会随着环路滤波器输出电压的变化而变化。解决这一问题的办法是采用大尺寸的电流源晶体管来减小晶体管阈值电压的不匹配和降低沟道长度调制效应，另一种办法是采用Cascode结构，它可以提高电流源的输出阻抗和减小电流源之间的电流大小不匹配。

图12-63（a）所示电路遇到的第三个问题来自于开关管M_3、M_4的时钟馈通和电荷注入不匹配效应。这些不匹配所造成的影响等效于电流源和电流沉之间的电流大小不匹配，解决的办法是采用哑（Dummy）晶体管或者互补晶体管来减弱开关效应不匹配的影响。

图12-63（a）所示电路遇到的第四个问题来自于电流源M_1、M_2漏端有限寄生电容所引起的电荷共享问题。如果M_3和M_4断开，M_1对节点X放电到0，M_2对节点Y充电到V_{DD}。在下一个鉴相时刻，M_3和M_4都导通，X节点电压上升，Y节点电压下降，如果忽略开关管上的电压降，则$V_X \approx V_Y \approx u_f$。在环路锁定时，X节点电容上的电压变化为$u_f$，而Y节点电容上的电压变化为$V_{DD} - u_f$，如果$u_f \neq V_{DD}/2$，则X节点电容上的电压变化和Y节点电容上的电压变化是不相等的，即使这两个节点寄生电容量相等（实际上是不相等的），电容上的电荷量变化也是不相等的，两电容上的净电荷量变化会流入（流出）到环路滤波器中，引起环路滤波器的输出电压发生变化，同电流源之间的电流大小不匹配一样，也会在环路中引入稳态相位误差，环路滤波器的输出电压上出现纹波。解决这一问题的办法是采用差分电荷泵，如图12-65所示。 该电荷泵存在两条支路，在同一时刻，两条支路中总有一条支路是导通的，节点O_n和O_p通过一个单位增益放大

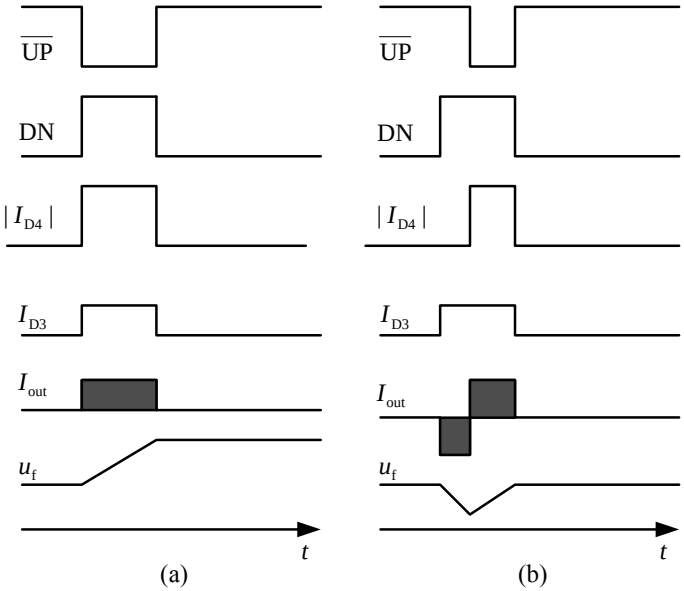


图 12-64 电荷泵中的电流源之间的电流大小不匹配问题

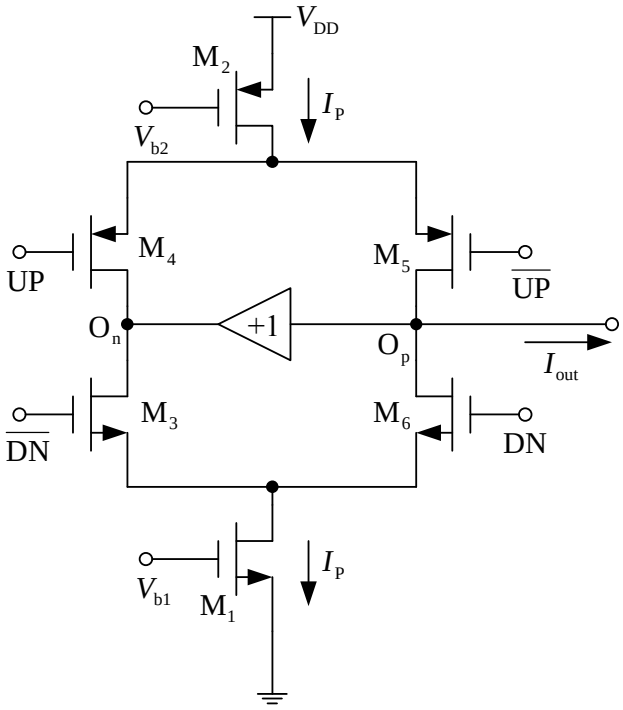


图 12-65 差分电荷泵

器连接起来，使得两支路的共模电平保持相同。因此在锁定时，电荷泵中各节点的电压保持恒定，而不会发生周期性充放电情况，也就不会产生电荷共享问题。

以上所提到的这些非理想效应，都以PFD的鉴相频率（输入参考信号频率）f_{ref}为周期，在锁相环的输出频谱上看来，它们会在偏离载波频率nf_{ref}处产生杂散。图12-66是一个电荷泵型锁相环的实际输出频谱，它包含有很强的杂散成分，杂散成分与载波的频率间隔等于输入参考信号频率的整数倍，这就是由于PFD和电荷泵的非理想效应引起的。杂散的强度，实际上反应了PFD和电荷泵设计水平的好坏。

图12-67给出了一个具有很高性能的电荷泵的电路图。 它综合采用了以上所提到的各种技术。电流源都采用了尺寸相对较大的晶体管，而且偏置在较高的过驱动电压下，M5、M6、M7、M8组成电流源的Cascode结构，这些都可以减小电流源之间的电流不匹配。电荷泵采用了差分结构，两节点O_n和O_p通

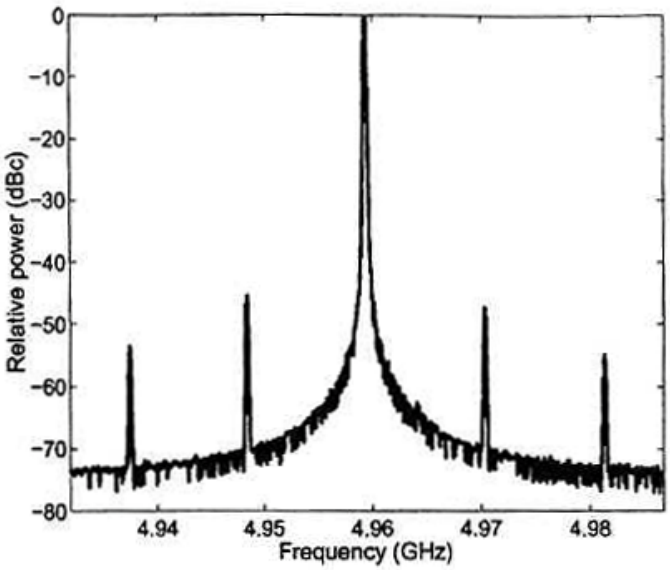


图 12-66 电荷泵型锁相环的实际输出频谱

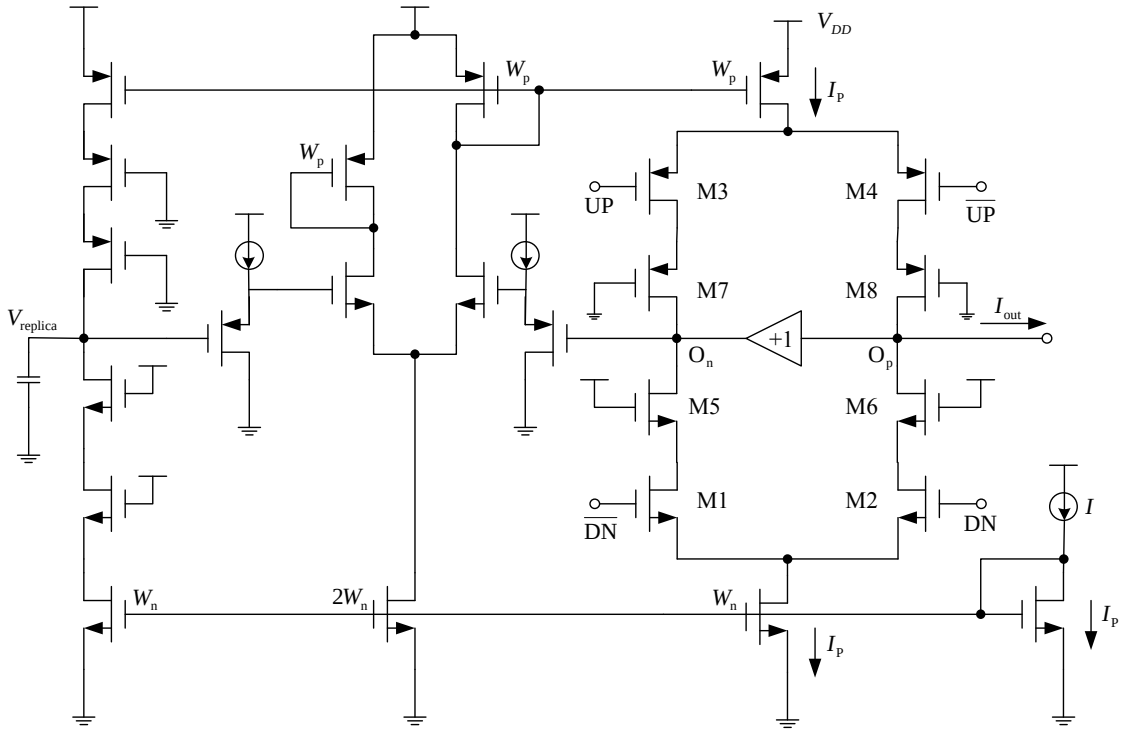


图 12-67 高性能电荷泵的电路图

过单位增益放大器联系起来，使两支路的共模电平保持相同，避免了电荷共享问题。在图中，还利用了一种偏置拷贝环路（Replica Bias Loop）技术。电荷泵两支路的共模电平V_{O_n}与偏置拷贝电路中的参考电平$V_{replica}$进行比较，动态调整拷贝偏置电路和电荷泵中的电流源大小，使得电荷泵中流过所有导通器件的电流都是相等的，减小了电荷泵中电流源之间的不匹配。图12-68给出了采用这种电荷泵实现的锁相环的输出频谱，可以看到，图12-66 所示的杂散已经被很好的抑制了。

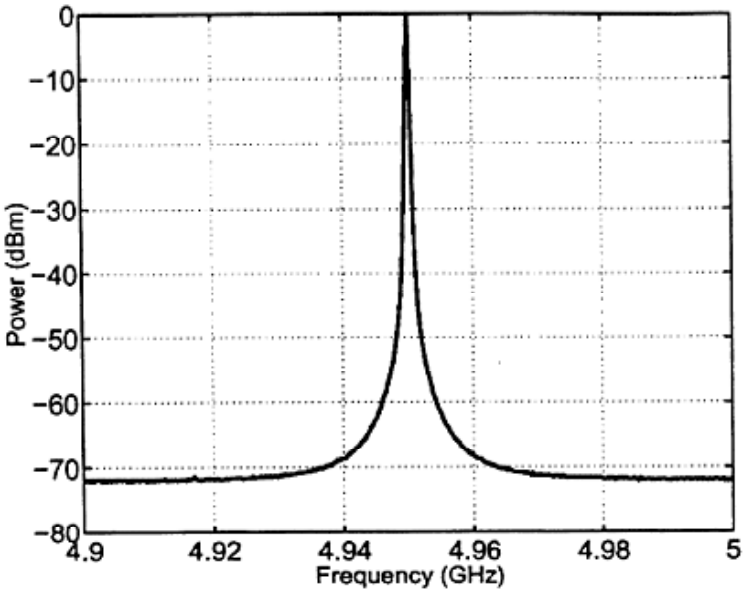


图 12-68 高性能电荷泵型锁相环的输出频谱

§12.5 锁相环型频率合成器

锁相环型频率合成器是射频电路中最常使用的一种频率合成器结构，它能在有限的功耗限制下合成高性能的载波信号。现代高性能的无线通信系统都使用这种类型的频率合成器。本节就介绍这类频率合成器的分析和设计问题。

§12.5.1 整数频率合成器

假设我们在前面介绍的普通锁相环路中加入一个分频器，如图12-69所示，那么锁相环路的行为该有什么变化呢？ 分频器实际上是一个N计数器，VCO的输出信号作为它的时钟信号，分频器对该时钟信号

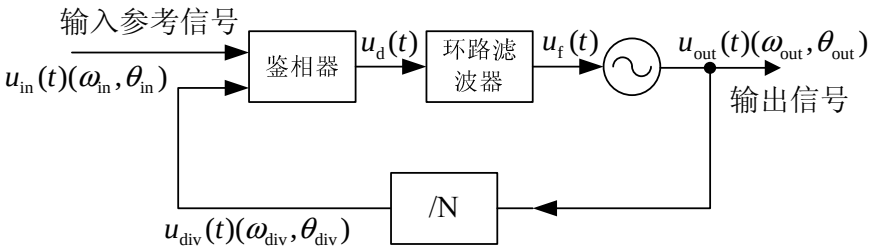


图 12-69 混合信号锁相环路

进行计数，计到N时，产生一个溢出信号，该信号作为分频器的输出信号。因此分频器的输出信号频率是VCO输出信号频率的1/N，即实现了N分频功能，而鉴相器的两个输入是输入参考信号频率和分频器的输出，鉴相器的输出通过环路滤波器滤波后调节VCO的振荡频率，从而间接改变分频器输出信号的频率。在环路锁定时，分频器的输出信号频率应该等于输入参考信号频率，这样VCO的振荡频率就应该是输入参考信号频率的N倍。这是整数频率合成器的基本原理。

分频器对VCO的振荡频率进行N分频，在相位上它也将VCO的输出相位除以N，因此在相位域模型上，分频器相当于一个增益为1/N的增益模块，如图12-70所示。由于分频器仅改变环路的直流增益，因此在前面推导的锁相环各种特性在考虑到这一增益因子后都可以直接适用，本处不再详述。

1. 整数频率合成器的基本特性

如果图12-69中的分频器的分频比N是可以由外部信号控制的，如图12-71所示，那么当N改变时，锁相

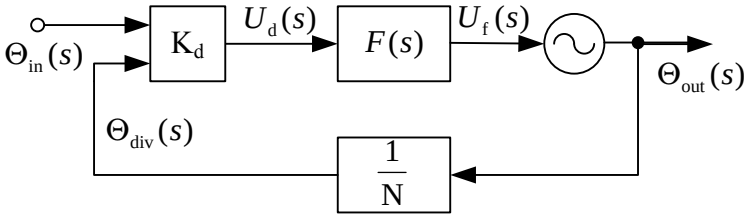


图 12-70 混合信号锁相环路锁定时的数学模型

环就可以产生不同的频率。 很明显，这是一个频率合成器，合成频率为：

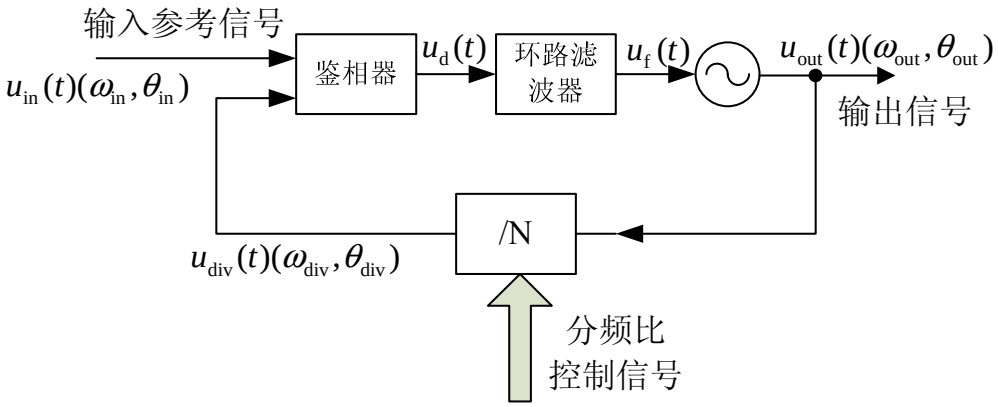


图 12-71 整数频率合成器

$$f_{out} = \mathrm{N} f_{REF} \tag{12-117}$$

其中，f_{REF}是输入参考信号的频率，输入参考信号一般由一个高稳定度的晶体振荡器提供，f_{REF}是相当稳定的，这样通过锁相环路，所合成的频率也是很稳定的。

如果我们所希望产生的频率为$f_{out} = f_0 + \mathrm{k} f_{ch}$（$f_{ch}$是信道间隔），则分频器分频比的最小值$\mathrm{M_L}$应满足$\mathrm{M_L} f_{REF} = f_0$，而且$f_{ch}$应是$f_{REF}$的整数倍，在实际设计中，常取$f_{REF} = f_{ch}$，因此整数频率合成器的输出频率为

$$f_{out} = \mathrm{M_L} f_{REF} + \mathrm{k} f_{REF} \tag{12-118}$$

如果信道间隔f_{ch}很小，则产生输入参考信号的晶体振荡器的频率也将很低。考虑到低频（kHz）晶体振荡器体积很大，价格也贵，而5MHz～10MHz范围内的晶体振荡器是最常见、也是最便宜的振荡器，如果f_{ch}很小，可以在晶体振荡器后面再加入另一个分频器R，对晶体振荡器产生的振荡信号进行R分频，如图12-72 所示。 则$f_{ch} = f_{REF}/\mathrm{R}$，频率合成器的输出频率为：

$$f_{out} = \mathrm{M_L R} \frac{f_{REF}}{\mathrm{R}} + \mathrm{k} \frac{f_{REF}}{\mathrm{R}} \tag{12-119}$$

频率合成器的分频器必须提供一个可以编程的分频比$\mathrm{M} = \mathrm{M_L R} + \mathrm{k}(\mathrm{k} = 0, 1, 2, \cdots)$，在低频下，它可以用一个可编程的计数器来实现。当频率合成器的输出频率很高时，高速计数器是很难实现的，而且会消耗极大地功耗，更好的办法是利用双模预分频技术，如图12-73所示。 它由一个双模预分频器(prescaler)和两个计数器（计数值分别为P和S，它们都是可以编程的）组成。双模预分频器对VCO的输出信号进行分频，其分频比可以在N或者N+1之间选择。开始时，双模预分频器对VCO输出信号进行N+1分频，S计数器对双模预分频器的输出脉冲进行记数，当一个预定的S值达到时，它将双模预分频器的分频比改为N，与此同时，P计数器也对双模预分频器的输出脉冲进行记数，当它的记数值达到某一预定的P值后，它将它本身和S计数器复位，同时将双模预分频器的分频比重新恢复为N+1。整个过程又重新开始。由P计数器、S计

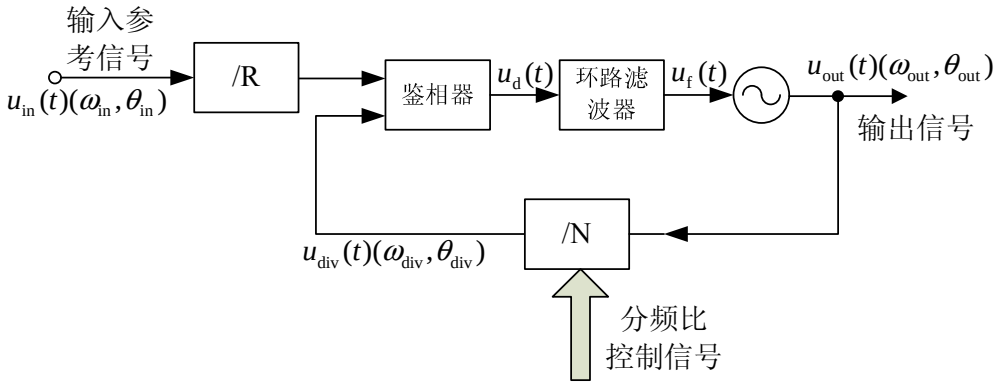


图 12-72 对晶体振荡器的输出频率进行分频的整数频率合成器

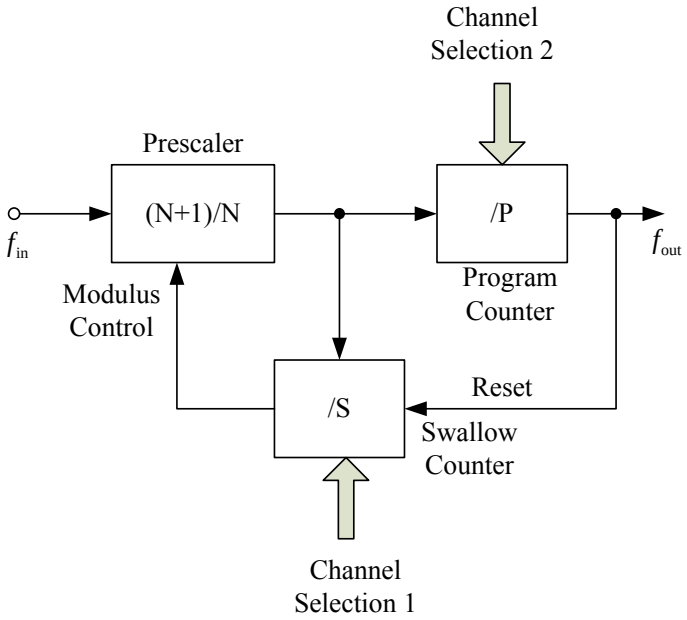


图 12-73 双模预分频技术

数器和双模预分频器组成的模块的分频比为：

$$M = (N+1)\cdot S + N\cdot(P-S) = P\cdot N + S \tag{12-120}$$

为了使M能覆盖所有可能的整数值，S在0到N-1区间内必须是连续可变的，P必须大于S，这使得该模块最小可以达到的分频比为$M = N^2$。

计数器P、S和R的计数值可以通过并行或者串行总线进行控制，从而可以实现任意的分频比。由于双模预分频器仅需在两种模式之间进行切换，采用一定的电路技术后可以实现高频操作，功耗也可以得到控制，而P、S计数器的工作频率大大降低，可以很容易的实现，而且功耗也很低，这些优点使得双模预分频技术在射频锁相环型频率合成器中得到广泛应用。

在射频锁相环型频率合成器整个系统中，只有VCO和双模预分频器工作于最高频率，而且它们会受到数字电路和低频电路的干扰，是最难设计的部分，但它们的性能对整个系统的性能具有非常重要的影响。而VCO已在上一章介绍过，因此我们先来讨论一下双模预分频器的实现技术。

2. 双模预分频器

双模预分频器是锁相环型频率合成器中除VCO外的另一个高频模块，它对VCO的输出信号进行分频，分频比可以为N或者N＋1。双模预分频器一般由三部分组成：4分频/5分频（或者2分频/3分频）的高频分

频器、异步计数器和控制逻辑电路。高频分频器是双模预分频器中最关键的部分，它决定了双模预分频器可以工作的最高频率和双模预分频器的功耗。本节我们将讨论两种不同方法实现高频分频器的双模预分频器：基于动态电路技术的双模预分频器和基于相位开关技术的双模预分频器。

基于动态电路技术的双模预分频器：基于动态电路技术的双模预分频器如图12-74所示。 它由三部分

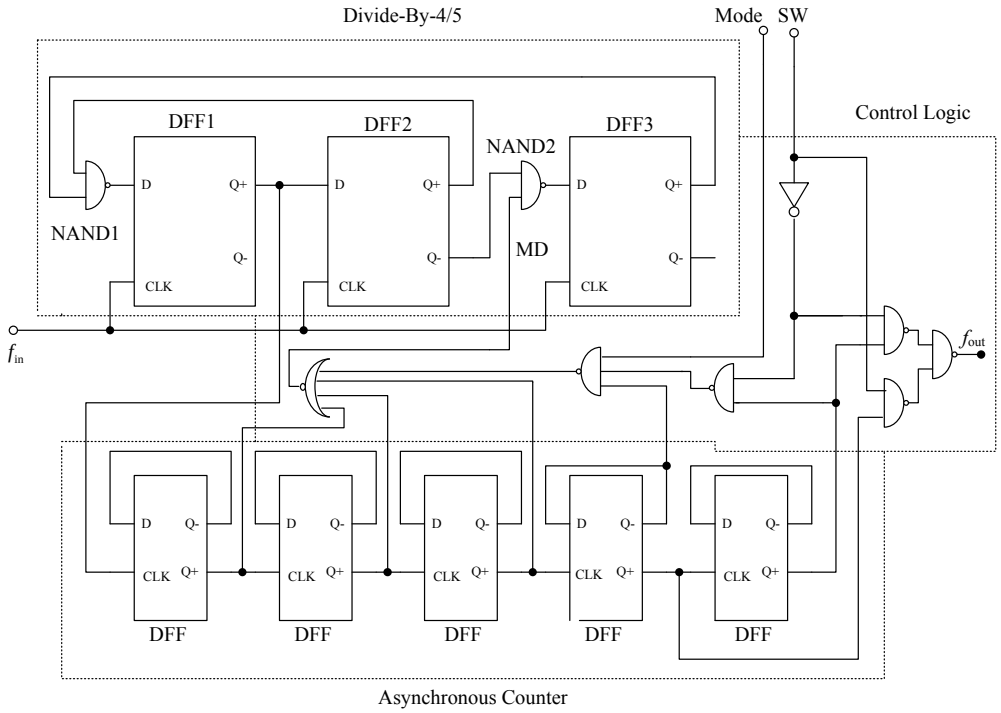


图 12-74 基于动态电路技术的双模预分频器

组成：同步4分频/5分频的分频器、异步计数器和控制逻辑。当内部节点MD为逻辑高电平时，同步分频器的分频比为4；当MD为逻辑低电平时，同步分频器的分频比为5。外部给出的控制信号SW用来选择两组分频比：128分频/129分频或者64分频/65分频，而Mode信号则在双模预分频器的两种分频模式之间进行选择：N分频或者N＋1分频（N依SW控制信号的不同，为128或者64）。

同步4分频/5分频的分频器是整个电路中最关键的部分，它的速度直接决定了双模预分频器所能达到的最高工作频率，它的功耗也决定了整个电路的功耗水平。许多研究人员对这一部分进行了大量的研究，提出了很多方法，图12-74给出了实现双模选择是最常用的一种方法。它由三个D触发器和两个与非门组成。当电路内部反馈回的信号MD为低电平时，与非门NAND2的输出为高电平，触发器DFF3的输出Q也保持为高电平，与非门NAND1相当于一个反相器，这时同步4分频/5分频的分频器等效于两个同步触发器DFF1、DFF2的级联，分频数为4；当电路内部反馈回的信号MD为高电平时，与非门NAND2的输出与DFF2的输出$\overline{Q}$有关，这时同步4分频/5分频分频器的分频比为5。这样就实现了双模预分频的功能。

MD信号是由内部逻辑电路产生的，如果Mode信号为低电平，则MD将永远为低电平，因此同步4分频/5分频分频器的分频数为4；当Mode为高电平时，一旦异步计数器中的各个触发器的输出Q均为低电平，MD上将产生一个高电平脉冲，使得同步4分频/5分频的分频器的分频比临时为5，当同步4分频/5分频分频器产生下一个输出改变异步计数器中的第一个触发器的输出时，MD又回到低电平，同步4分频/5分频分频器的分频比也回到4，因此在一个完整的周期内，双模预分频器的分频数比Mode为低电平时多一，这是一个周期性循环过程，这样就实现了64/65或者128/129双模分频操作。

在实际实现中，常将与非门和触发器耦合在一起来实现具有与非功能的触发器，使得逻辑门和D触发器只引入同一延时，从而可以降低同步分频器的传输延时，提高电路的工作速度。

图12-75(a)给出了同步分频器中D触发器的电路图。 晶体管MP1和MN1组成该触发器的输入级，MP2、MN2和MN3组成第二级，而MP3、MN4和MN5组成输出级，反相器INV1对Q-求反以得

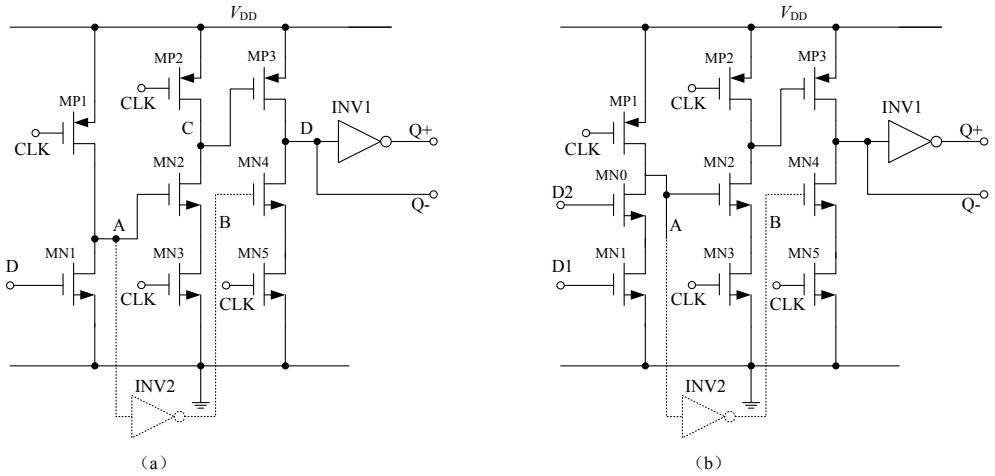


图 12-75 高速动态D触发器和与非门触发器

到Q＋，而反相器INV2控制MN4管的状态。它的工作原理是：当CLK为逻辑低电平时，该触发器处于锁定状态，由CLK控制的PMOS管对内部节点进行预充电；在CLK的上升沿，该触发器进行求值，根据输入端D的电平改变自身的状态。

下面我们来说明反相器INV2和晶体管MN4的作用。如果没有反相器INV2和晶体管MN4，该触发器也能正常工作。在CLK为低电平时，MP2、MP3对节点a、b进行预充电，而MN3和MN5 截止；在下半个周期，CLK为高电平，MP2和MP3截止，MN3和MN5导通，对触发器的输入D进行评估。没有反相器INV2和MN4时，在CLK为高电平的半个周期内，无论D取何值，MN5 都是导通的，只是当D为低电平时，MP3导通，D为高电平时，MP3截止，可以看到该触发器的输出逻辑高电平不能达到V_{DD}，而是依赖于MP3和MN5的尺寸，为了使得$\overline{Q}$的逻辑高电平足够高，MP3必须足够大，这增加了前级的负载，会降低电路的工作速度，而且该导通支路会消耗大量的功耗。

引入反相器INV2和晶体管MN4就可以避免以上的问题，当D为低电平时，A节点为高电平，反相后B节点为低电平，使得MN4截止，这样就截断了电流在MP3和MN5之间的流动通道，避免了上面提到的各种问题。

相比于Q. Huang等人提出的TSPC触发器（后面我们会提到），该触发器输入级的充电通道和输出级的放电通道都少了一个晶体管，从而将原来的静态电路改为了动态电路。这样可以减轻D输入端以及第二级的容性负载，缩短触发器的充电和放电时间，提高同步分频器的工作速度。相比于TSPC触发器，使用动态电路技术的触发器的静态功耗增加了，但是对于射频领域应用，动态功耗是整体功耗中最主要的部分，增加的静态功耗在总功耗中占的比例很小，不会显著地增加整个电路的功耗。

图12-75(b)给出了与非门触发器的电路图，它的输入级由MP1、MN0和MN1组成，两个串联的NMOS管组成放电通道，从而实现了与非功能。

异步计数器是由五个级联的D触发器构成的触发器链，它的工作频率仅是输入频率的四分之一或者五分之一，对其速度的要求降低了。为了保持整个电路具有很高的性能，异步计数器应该具有很低的功耗，没有毛刺并且对最低输入频率没有限制。常采用Q.Huang等人提出的通用快速TSPC（true single-phase clocking）D触发器，如图12-76所示，它可以达到比较高的速度，不会产生毛刺，也没有静态功耗。

基于相位开关技术的双模预分频器:

J. Craninckx和M. Steyaert首先提出了使用相位开关技术来实现双模预分频器，其电路结构如图12-77所示。 它的高频分频器由两级触发器和相位选择模块构成，两级触发器对输入的射频信号进行四分频，可以得到四个互相正交的信号，在时间上，这四个信号中每一个都落后于另一个信号一个射频信号周期。在某一时刻，如果我们将CLK按（$F_{4I} \rightarrow \overline{F_{4I}} \rightarrow F_{4Q} \rightarrow \overline{F_{4Q}} \rightarrow F_{4I}$）的顺序从一个信号切换到另一个信号，高频分频器的分频比就会增加一，这样就实现了双模操作。相位控制模块产生M_{CLK}信号用来控制何时进行信号切换。

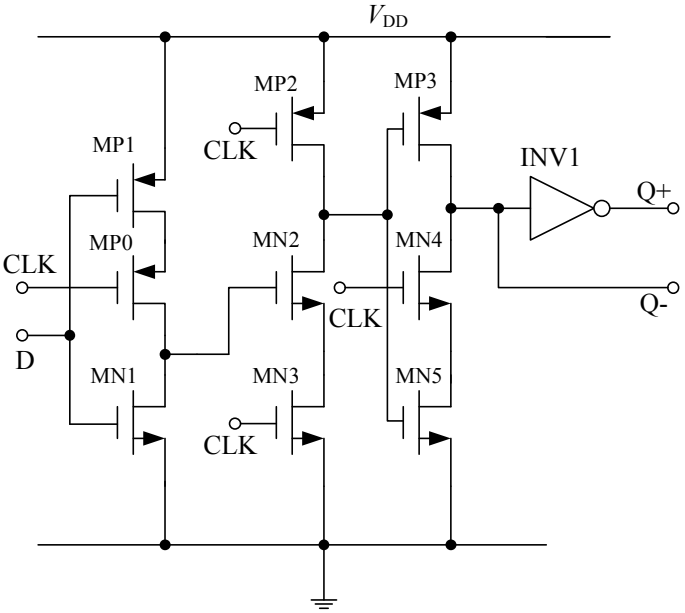


图 12-76 TSPC触发器

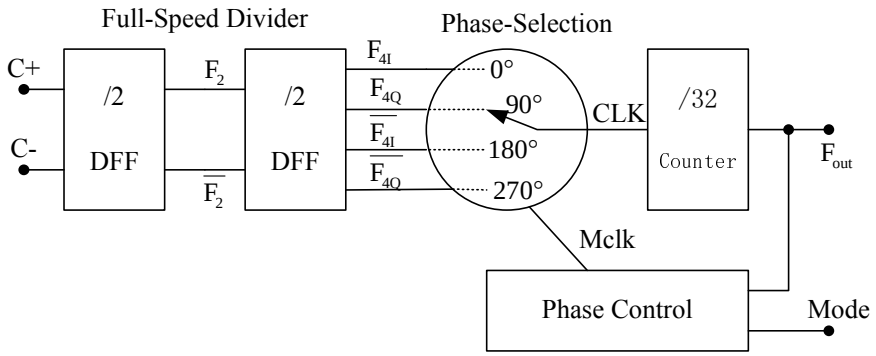


图 12-77 基于相位开关技术的双模预分频器

在这种双模预分频器中，前面的两个触发器是异步操作，可以实现很高的工作频率，而相位切换模块仅工作在输入频率的1/4处，简化了实现难度。这些都使得该双模预分频器可以工作于很高的频率下。

在这种预分频器中，需要具有差分输入、差分输出的触发器，它通常由两级电流导向型（Current Steering）锁存器构成的主从触发器来实现。图12-78（a）给出了这种锁存器的电路图。 晶体管M1、M2和电流源I构成一个差分对，M3、M4和电阻$R1$、$R2$构成普通的差分放大器，而M5、M6是一个正反馈电路。当时钟C为高电平时，M1导通，M2截止，电流源I中的所有电流均流过M1，正反馈电路M5、M6不起作用，而M3、M4和$R1$、$R2$构成放大器，对输入差分信号D进行放大，在输出端产生电压差，这是锁存器的采样阶段；当时钟C为低电平时，M1截止，M2导通，电流源I中的所有电流均流过M2，差分对M3、M4不起作用，而正反馈电路M5、M6对输出端的电压差进行放大，将一端拉到高电平，另一端拉到低电平，这是锁存器的保持阶段。将两个这样的锁存器级联，就可以构成主从式触发器。

在某些应用中，电流导向型锁存器中的尾电流源可以忽略，如图12-78（b）所示，但是，与图（a）所示锁存器相比，流过负载阻抗的电流不能很好控制，因此会导致不可预测的输出信号摆幅。

基于相位开关技术的双模预分频器在信号切换过程中会遇到毛刺问题，会影响电路的正常工作。通常，毛刺问题是限制基于相位开关技术的双模预分频器工作频率的主要问题，在设计中，必须仔细衡量M_{CLK}和异步四分频器输出信号F_{4I}、$\overline{F_{4I}}$、F_{4Q}、$\overline{F_{4Q}}$之间的延时关系，必要时，需要在M_{CLK} 支路上增加额外的延时单元来消除毛刺的干扰。

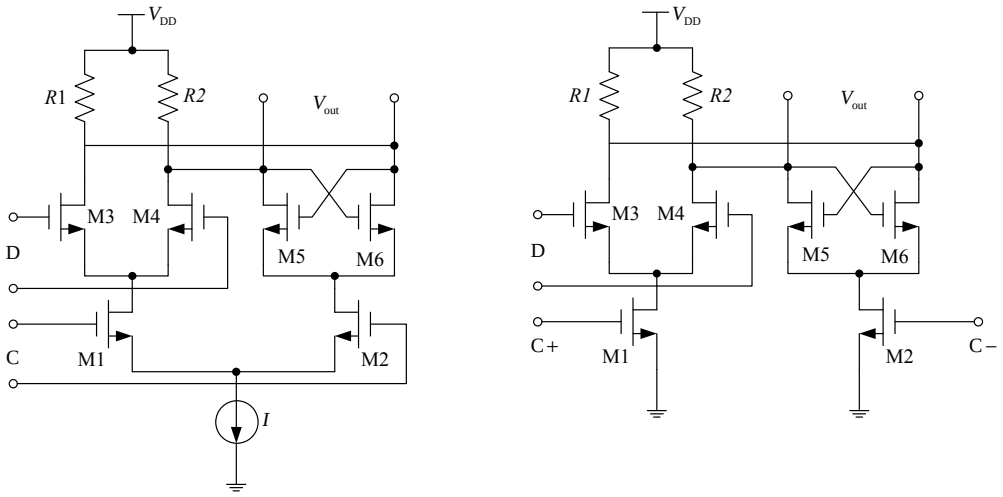


图 12-78 电流导向型锁存器

3. 参考杂散

射频锁相环型频率合成器一般采用电荷泵型锁相环结构，这种结构是唯一能利用无源网络实现二型锁相环的结构，直流增益为无穷大，稳态相位误差为0，而且具有无穷大的同步范围和捕捉范围，快捕带也较大。但如同我们前面所述，这种结构的锁相环会遇到一些非理想效应，如电荷泵中电流源之间的电流不匹配、开关控制信号的延时不匹配、开关的时钟馈通和电荷注入不匹配以及节点电荷共享问题等。虽然可以采取一定的技术减弱这些非理想效应的影响，但并不能完全消除。这些非理想效应会使得VCO的控制电压线上出现同输入参考信号周期相同的周期性纹波，从而在VCO输出频谱出现杂散成分，这些杂散成分与载波之间的频率差等于输入参考信号频率的整数倍，它们通常被称之为参考杂散。参考杂散是衡量PFD和电荷泵设计水平的重要指标。

下面我们来说明参考杂散是如何产生的。电荷泵中的非理想效应会造成VCO的控制电压线出现周期性纹波，为了估计它的影响，将该纹波等效为宽度为Δt、高度为ΔV的周期性脉冲$g(t)$，如图12-79所示，图中V_1表示环路锁定时VCO控制线上的电压，而脉冲$g(t)$表示电荷泵非理想效应引起的纹波。 则VCO的输出

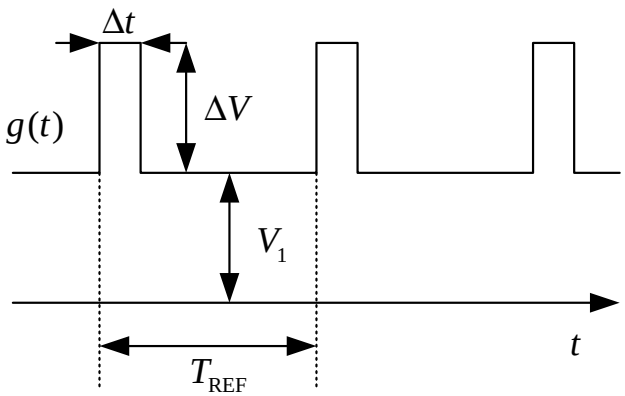


图 12-79 VCO电压控制线上纹波的等效波形

信号为：

$$V_{\text{out}}(t) = V_0 \cos[\omega_0 t + K_0 \int g(t)\mathrm{d}t + K_0 \int V_1 \mathrm{d}t \tag{12-121}$$

对$g(t)$进行傅立叶展开

$$g(t) = \frac{\Delta V \Delta t}{T_{\text{REF}}} + \sum_{\text{n}\neq 0} a_{\text{n}} \cos(\text{n}\omega_{\text{REF}} t + \theta_{\text{n}}) \tag{12-122}$$

其中，a_{n}是傅立叶展开系数。第一项是直流项，代表补偿电荷泵的非理想效应所引入的额外相移。

因此

$$V_{\mathrm{out}}(t) \approx V_0 \cos(\omega_0 + K_0 \frac{\Delta V \Delta t}{T_{\mathrm{REF}}} + K_0 V_1)t$$
$$-K_0[V_0 \sum_{\mathrm{n}\neq 0} \frac{a_{\mathrm{n}}}{\mathrm{n}\omega_{\mathrm{REF}}} \sin(\mathrm{n}\omega_{\mathrm{REF}} t + \theta_{\mathrm{n}})] \sin(\omega_0 + K_0 \frac{\Delta V \Delta t}{T_{\mathrm{REF}}} + K_0 V_1)t$$

因此电荷泵的非理想效应会在$\omega_{\mathrm{out}} \pm \mathrm{n}\omega_{\mathrm{REF}}$的频率处产生边带（$\omega_{\mathrm{out}}$是VCO的输出信号频率），这些边带就是参考杂散，它的幅度反比于ω_{REF}。如果ω_{REF}足够小，则$\omega_{\mathrm{out}} \pm \mathrm{n}\omega_{\mathrm{REF}}$会落在有用频带范围内，引起参考馈通效应。通常频率合成器的环路滤波器中包含有大电容来减小ΔV，从而可以减小杂散。另一种办法是降低VCO的增益K_0，但这会影响频率合成器的频率范围，尤其是在低电源电压下。

4. **频率切换时间和环路带宽**

在整数型频率合成器中，信道间隔等于输入参考信号频率，而由于环路稳定性需要，环路带宽又仅能为输入参考信号频率的十分之一。因此，当信道间隔比较窄时，环路带宽所能取的值就很小，窄的环路带宽会使得频率切换时间变得很长。下面我们来研究整数型频率合成器的频率切换时间。

频率切换时间，是指频率合成器中分频器的分频比发生变化时，环路重新达到锁定所需要的时间。在锁相环中，锁定一般是指输入信号和输出信号的相位差经过一定时间的瞬态变化后，最后减小到某一可接受值，这种定义对数据通信中的重定时电路和同步电路来说是合适的，但对于频率合成器来说，我们感兴趣的物理量是频率，因此锁定的含义应更改为输出信号的频率经过一定时间的瞬态变化后，最后稳定到理想输出频率一定范围内，如图12-80所示。 由于VCO的输出信号频率与控制线电压成正比，因此通过观察

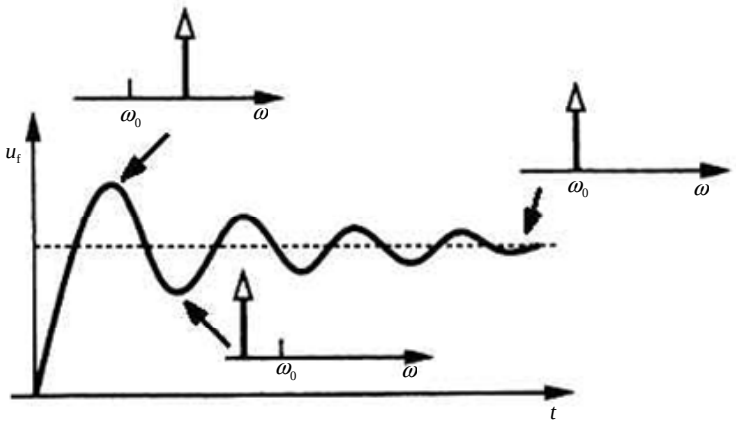


图 12-80 频率合成器在频率切换后VCO压控电压的稳定过程

控制线上的电压波动就可以知道频率合成器的锁定过程。在无线通信中，对本振信号的频率准确度要求是很高的，一般要求偏差小于几个ppm。本振频率不准确，会造成接收机中的信号混叠或者发射机中的频谱泄漏。

下面我们来推导整数型频率合成器的频率切换时间。假定初始时，环路处于锁定状态，在$t = 0$时刻，分频器的分频比M发生一个小的变化$\Delta\mathrm{M}$。则

$$\theta_{\mathrm{out}}(s) = \frac{K_0 K_{\mathrm{d}} F(s)/(\mathrm{M} + \Delta\mathrm{M}/s)}{s + K_0 K_{\mathrm{d}} F(s)/(\mathrm{M} + \Delta\mathrm{M}/s)} \theta_{\mathrm{in}}(s)$$
$$= \frac{\frac{K_0 K_{\mathrm{d}} F(s)}{\mathrm{M}} \frac{1}{1+\frac{\Delta\mathrm{M}}{\mathrm{M}}s}}{s + \frac{K_0 K_{\mathrm{d}} F(s)}{\mathrm{M}} \frac{1}{1+\frac{\Delta\mathrm{M}}{\mathrm{M}}s}} \theta_{\mathrm{in}}(s)$$
$$\approx \frac{K_0 K_{\mathrm{d}} F(s)/\mathrm{M}}{s + K_0 K_{\mathrm{d}} F(s)/\mathrm{M}} \frac{1}{1 + \frac{\Delta\mathrm{M}}{\mathrm{M}}s} \theta_{\mathrm{in}}(s)$$

$$\approx \frac{K_0K_dF(s)/M}{s+K_0K_dF(s)/M}(1-\frac{\Delta M}{M}s)\theta_{in}(s)$$

其中，$\Delta M/s$是阶跃函数的Laplace变换，近似操作都是考虑到$\Delta M \ll M$。从上式可以看出，分频器的分频比发生变化，实际上等效于锁相环路的输入参考相位发生了一个阶跃变化$(1-\frac{\Delta M}{M})u(t)$，该阶跃变化引起环路进入一个瞬态变化过程，经过一定时间后稳定到最终值的一定范围内。

同样可以证明，分频器的分频比M发生变化ΔM，实际上等效于锁相环路的输入参考信号频率发生了一个阶跃变化$(1\frac{\Delta M}{M})u(t)$。我们可以利用式12-80来求二阶环路的频率切换时间

$$f_{out}(t) = Mf_{REF}+\Delta Mf_{REF}[1-\frac{1}{\sqrt{1-\zeta^2}}\exp(-\zeta\omega_n t)$$
$$\sin(\omega_n\sqrt{1-\zeta^2}t+\sin^{-1}\sqrt{1-\zeta^2})]u(t)$$

考虑到环路的最终输出为$(M+\Delta M)f_{REF}$，因此我们需要计算f_{out}落到$(1\pm\alpha)(M+\Delta M)f_{REF}$范围内所需要的时间，$\alpha$是输出频率的准确度。

$$(1\pm\alpha)(M+\Delta M)f_{REF} = Mf_{REF}+\Delta Mf_{REF}[1-\frac{1}{\sqrt{1-\zeta^2}}\exp(-\zeta\omega_n t_s)$$
$$\sin(\omega_n\sqrt{1-\zeta^2}t_s+\sin^{-1}\sqrt{1-\zeta^2})]$$

锁定的充足条件是指数项衰减到频率准确度所允许的值：

$$\pm\alpha(M+\Delta M) = \frac{\Delta M}{\sqrt{1-\zeta^2}}\exp(-\zeta\omega_n t_s) \tag{12-123}$$

因此频率切换时间为：

$$t_s \approx \frac{1}{\zeta\omega_n}\ln\frac{\Delta M}{M|\alpha|\sqrt{1-\zeta^2}} \tag{12-124}$$

这个频率切换时间与$\Delta M/M$有关。因此在频率合成器中，频率切换时间最短的情况是ΔM仅改变1，而频率切换时间最长的情况是合成频率从频率最低的信道切换到频率最高的信道或者相反。

由于在分析中采用了一些近似，频率合成器的实际切换时间要比式12-124预测的时间长。高阶锁相环由于高阶极点的引入，所需要的频率切换时间会更长。通常整数型频率合成器的频率切换时间需要通过仿真来得到。

5. 相位噪声分析

在整数型频率合成器中，最重要的噪声源是输入参考信号所引入的噪声$\theta_{n,ref}$和VCO的相位噪声$\theta_{n,VCO}$，如图12-81所示。则由该图所示线性化模型，可以求得锁相环对VCO噪声的响应为：

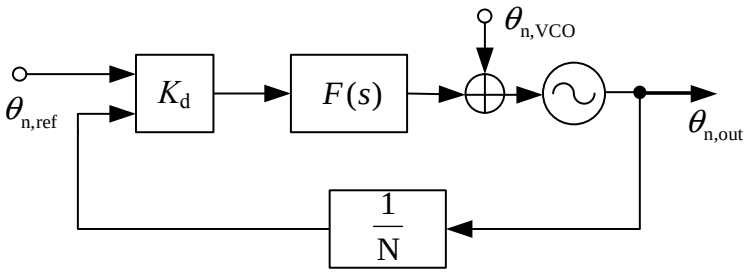


图 12-81 整数频率合成器的噪声模型

$$\frac{\theta_{n,out}(s)}{\theta_{n,VCO}(s)} = \frac{s}{s+K_0K_dF(s)/N} = \frac{1}{1+G(s)} \tag{12-125}$$

其中，$G(s)$为环路增益。

同样，我们可以求得锁相环对输入参考噪声的响应为：

$$\frac{\theta_{\mathrm{n,out}}(s)}{\theta_{\mathrm{n,VCO}}(s)}=\frac{G(s)/\mathrm{N}}{1+G(s)} \tag{12-126}$$

由于环路增益$G(s)$是一个低通函数，因此锁相环对VCO噪声的响应函数是一个高通滤波器。图12-82给出了一阶锁相环对VCO噪声的响应曲线，图中实线是VCO本身的相位噪声曲线，分为三个不同的区域；虚线是锁相环对VCO噪声的响应。 从图中可以看出，在低频下，由于环路增益很高，VCO的噪声受

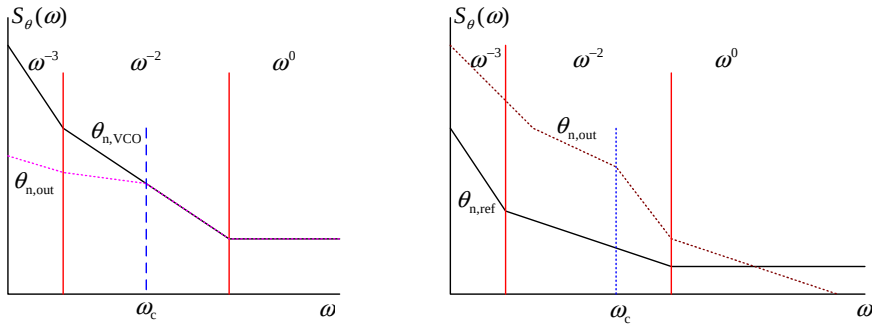


图 12-82 整数频率合成器的相位噪声传输特性

到抑制；而在高频下，由于环路增益已经很低，对VCO噪声已经失去了抑制作用，因此高频时锁相环的相位噪声近似等同于VCO的相位噪声。这两个特性之间的转折频率点对应于环路增益下降为1 的频率点，近似等于闭环传输函数的3dB带宽（环路带宽）。

锁相环对输入参考噪声的响应函数是一个低通函数，图12-82也给出了一阶锁相环对输入参考噪声的响应曲线。可以看到，在环路带宽之内，输入参考噪声被放大了N倍，因此尽管输入参考信号的相位噪声性能很好，但由于分频器的放大作用，它还是能恶化锁相环的带内相位噪声性能。在环路带宽之外，输入参考噪声受到抑制，高频极点能增加对输入参考噪声的抑制能力，这是环路滤波器采用更高阶结构的好处。

同理可以分析出，环路中其它模块引入的噪声对锁相环噪声的贡献也都具有低通特性，只是增益依赖于它们在环路中的相对位置。

锁相环的输出相位噪声是锁相环对各种噪声源响应曲线的总和，由于它对VCO噪声的高通特性，它在环路带宽范围内展现出一个平的相位噪声性能，称为锁相环的带内相位噪声。带内相位噪声除了来自于VCO的噪声外，输入参考噪声和其它模块的噪声都会对带内噪声产生贡献。而在环路带宽范围之外，锁相环的相位噪声随偏移频率的增加而下降，当偏移频率很高时，相位噪声曲线是平坦的，这一部分称为带外相位噪声。带外相位噪声主要来自于VCO的贡献，因此同VCO具有相同的偏移频率变化曲线。图12-83给出了整数型频率合成器典型的开环相位噪声和闭环相位噪声曲线。

6. 设计过程

设计一个整数型频率合成器可以分为如下几步来进行：（1）由应用要求的频率精度来决定输入参考信号的频率，如果频率精度要求小于100kHz，则需要对输入参考信号进行分频，分频数取决于可以获得的晶体振荡器的振荡频率和频率精度要求；（2）设计VCO，它的频率范围应该覆盖应用要求的频带范围（可能还需要留有一定的设计余量），调谐特性则受到调谐元件、控制电压范围和频率覆盖范围的限制，但如果可能，增益K_0还是取尽可能小的值；（3）在（1）和（2）的基础上，确定分频器的分频比M的范围，完成分频器的设计；（4）选择合适的鉴相器类型，需要兼顾实现的难易程度和性能要求，当鉴相器类型确定了后，就可以确定鉴相增益K_d，但对于PFD来说，由于它一般驱动电荷泵，电荷泵中电流源的电流大小I_P也是一个需要设计的参量，如前所述，在其它参数不变时，I_P越小，环路越不稳定，因此I_P不能太小，否则会给滤波器的设计带来问题，但I_P太大，除了增加了功耗外，电荷泵的非理想效应会引入很大的参考杂散，I_P同环路滤波器中的元件参数一样，实际上也是一个可以优化的参量，这里假设I_P取某一固定

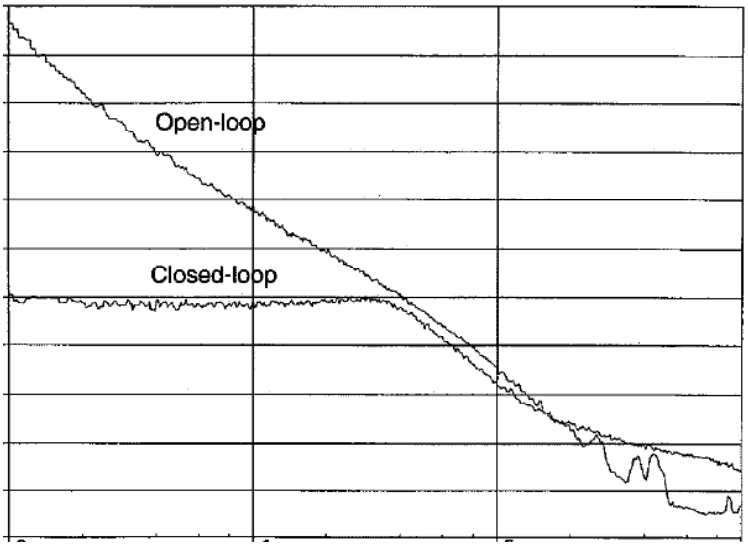


图 12-83 整数频率合成器的开环相位噪声和闭环相位噪声曲线

值；（5）剩下的工作就是设计环路滤波器，包括选择合适的环路滤波器类型和确定环路滤波器中各元件的参数值，这是锁相环设计的核心，因为环路滤波器会决定环路的动态特性以及稳定特性。下面我们分二阶锁相环和高阶锁相环来分别介绍环路滤波器的设计过程。

对于二阶锁相环来说，环路滤波器是一阶的，因此只需要确定环路的阻尼系数ζ和固有角频率ω_{n}，就可以确定环路滤波器中的极零点位置。ζ和ω_{n}会随着分频器分频数的变化而变化，可以认为它们与$1/\sqrt{\mathrm{N}}$成正比。一般认为当ζ位于0.5～1之间时是最优的，ζ太小会产生振荡的瞬态波形，瞬态响应衰减很慢；而ζ太大，瞬态响应会很迟缓，影响环路瞬态响应的速度。一般对应于分频器分频数的几何平均值（$\mathrm{N_{mean}}=\sqrt{\mathrm{N_{max}N_{min}}}$），令$\zeta=0.7$，检查对应于N的最大值和最小值，$\zeta$是否在合适的范围内（$0.3<\zeta<1.5$），如果不在该范围内，可能说明频率合成器输出频率范围太宽，需要将整个频率范围划分为几段，每一频率段使用不同的环路滤波器，使用开关来控制不同频率段之间的切换。同样，对应于分频器分频数的几何平均值，由环路的动态特性（如频率切换时间，式12-124等）确定ω_{n}。由这两个参数决定环路滤波器中极点和零点的位置，根据环路滤波器引入的噪声大小决定时间常数中的电阻值（或者任意选取一个合适电阻值），然后由时间常数就可以确定电容值。

例子：设计一个整数型频率合成器，要求它的输出频率位于1～2MHz之间，信道间隔为10kHz，快捕时间为2ms。假定该频率合成器所采用的鉴相器为PFD，电源电压为$\mathrm{U_B}=5\mathrm{V}$，环路滤波器为一阶无源超前滞后网络，VCO的环路增益为$K_0=2.24\cdot10^6\mathrm{rad/s/V}$。

Step 1.由于频率合成器的信道频率间隔为10kHz，因此输入参考信号频率为10kHz，考虑到常见的晶体振荡器频率为1～10MHz，假设选用2MHz晶振，则需要对输入参考信号进行分频，分频数为$2\mathrm{MHz}/10\mathrm{kHz}=200$；

Step 2.设计VCO，它的频率覆盖范围必须大于1～2MHz，按照给定条件，VCO的环路增益为$K_0=2.24\cdot10^6\mathrm{rad/s/V}$；

Step 3. 频率合成器合成的最高频率为2MHz，最低频率为1MHz，鉴相频率为10kHz，因此分频器分频数的最大值为$\mathrm{N_{max}}=200$，最小值为$\mathrm{N_{min}}=100$，环路将针对N的几何平均值$\mathrm{N_{mean}}=\sqrt{\mathrm{N_{min}N_{max}}}=141$进行优化（$\zeta=0.7$）。当$\mathrm{N_{max}}=200$时，$\zeta_{\mathrm{min}}=0.59$；当$\mathrm{N_{min}}=100$时，$\zeta_{\mathrm{max}}=0.83$，这个范围是可以接受的，不需要对应用频带进行分段；

Step 4. 给定条件已经限定了鉴相器类型和环路滤波器类型，$K_{\mathrm{d}}=\mathrm{U_B}/(2\pi)=0.4\mathrm{V/rad}$，需要注意的是，这里PFD与电荷泵一起使用；

Step 5.这种锁相环的快捕时间为$T_{\mathrm{L}}=\frac{2\pi}{\omega_{\mathrm{n}}}=2\mathrm{ms}$，因此$\omega_{\mathrm{n}}=\frac{2\pi}{T_{\mathrm{L}}}=3140\mathrm{s}^{-1}$；

Step 6.对于无源超前-滞后网络来说

$$\omega_{\mathrm{n}}=\sqrt{\frac{K_0K_{\mathrm{d}}}{\mathrm{N}(\tau_1+\tau_2)}}\qquad \zeta=\frac{\omega_{\mathrm{n}}}{2}(\tau_2+\frac{\mathrm{N}}{K_0K_{\mathrm{d}}}) \tag{12-127}$$

代入$\zeta=0.7$，$\omega_{\mathrm{n}}=3140\mathrm{s}^{-1}$，$K_0=2.24\cdot10^6\mathrm{rad/s/V}$，$K_{\mathrm{d}}=0.4\mathrm{V/rad}$，$\mathrm{N}=\mathrm{N}_{\mathrm{mean}}=141$，得到：$\tau_1=199\mu\mathrm{s}$，$\tau_2=445\mu\mathrm{s}$；

Step 7.知道了τ_1和τ_2后，我们来确定R_1、R_2和C的数值。C应该足够大来抑制VCO控制电压线上的纹波，这里取$C=0.33\mu\mathrm{F}$，则$R_1=620\Omega$、$R_2=1.3\mathrm{k}\Omega$，这样就完成了整个频率合成器的设计过程。

对于高阶锁相环来说，环路滤波器的阶数大于等于2，因此环路存在稳定性问题，理论上说，只要相位裕度大于0系统就是稳定的，但是相位裕度太小，环路的瞬态响应是振荡的，衰减很慢；而相位裕度过大，瞬态响应会很迟缓，影响环路瞬态响应的速度。因此相位裕度的通常取值是在30°～60°之间。图12-84给出了三阶环路开环传输函数的波特图，它有一个零点（ω_2）和三个极点（0、ω_1、ω_3）。 在ω_2和ω_3之

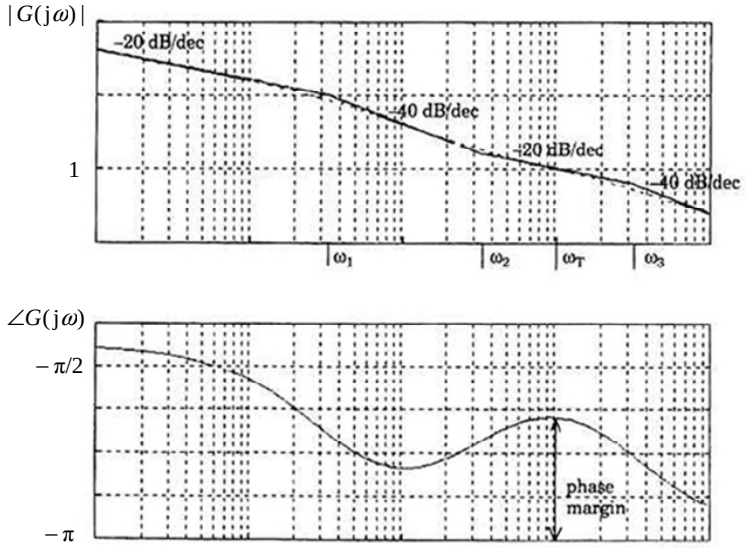


图 12-84 三阶环路开环传输函数的波特图

间，相移出现一个波动，可以证明，在如下频率处，相位裕度达到一个局部最大值：

$$\omega_{\mathrm{opt}}=\sqrt{\omega_2\omega_3} \tag{12-128}$$

为了保证整个环路有足够的相位裕度，开环增益的转换频率（增益降为1的频率）ω_{T}的最优位置是ω_{opt}。但通常设计者仅知道环路带宽$\omega_{3\mathrm{dB}}$，环路带宽越宽，频率切换时间越短，而且对VCO的噪声抑制频率范围也就越宽，但是考虑到环路是一个采样数据系统，为避免离散鉴相器引入的相位延迟严重恶化环路的相位裕度，环路带宽仅能限定在鉴相频率的十分之一范围之内。因此，在环路设计时，通常将$\omega_{3\mathrm{dB}}$取为鉴相频率的十分之一。研究表明，对于各阶锁相环路来说，如下关系总是近似成立的：

$$\omega_{\mathrm{T}}=\omega_{3\mathrm{dB}}/1.33 \tag{12-129}$$

因此在确定了$\omega_{3\mathrm{dB}}$之后，可以用上式来估计ω_{T}。

对于更高阶环路来说，环路滤波器会引入更高频的极点，该极点的频率应远高于ω_3，因此对ω_{T}和相位裕度的影响近似是可以忽略的，以上的结论可以应用于任意的高阶环路中。

对于三阶锁相环来说，它有一个零点（ω_2）和三个极点（0、ω_1和ω_3）。设计三阶锁相环可以依以下各步进行：（1）将鉴相频率的十分之一作为环路带宽$\omega_{3\mathrm{dB}}$，并由式12-129确定ω_{T}；（2）为保证有足够的相位裕度，推荐$\omega_2=\omega_{\mathrm{T}}/\sqrt{10}$、$\omega_3=\omega_{\mathrm{T}}\sqrt{10}$；（3）由$\omega_{\mathrm{T}}$的定义：$|G(\mathrm{j}\omega_{\mathrm{T}})|=1$确定极点$\omega_1$的位置；（4）

确定了各极零点位置后，就可以确定环路滤波器中的各时间常数，由电阻的热噪声考虑确定合适的电阻值，由各时间常数确定电容值，从而完成环路滤波器的设计。

对于四阶环路来说，它由一个零点和四个极点，这些极点可能都是实数极点，也可能其中的两个极点为复数极点，环路传输函数分别可以表示为：

$$G(s)=A\frac{1+s\tau_2}{s(1+s\tau_1)(1+s\tau_3)(1+s\tau_4)} \tag{12-130}$$

或

$$G(s)=A\frac{1+s\tau-2}{s(1+s\tau_1)(1+\frac{2s\zeta_s}{\omega_s}+\frac{s^2}{\omega_s^2})} \tag{12-131}$$

其中，A是环路增益中与频率无关的项。

设计四阶锁相环可以依以下各步进行：（1）将鉴相频率的十分之一作为环路带宽$\omega_{3\mathrm{dB}}$，并由式12-129确定ω_{T}；（2）为保证有足够的相位裕度，推荐$\omega_2=\omega_{\mathrm{T}}/\sqrt{10}$；（3）由$\omega_{\mathrm{T}}$的定义：$|G(\mathrm{j}\omega_{\mathrm{T}})|=1$确定极点$\omega_1$的位置；（4）如果要使得极点均为实数，则选择$\omega_3=\omega_{\mathrm{T}}\sqrt{10}$、$\omega_4=5\omega_3$（保证不影响$\omega_{\mathrm{T}}$和相位裕度）；如果要使得其中两个极点为复数，取$\zeta_{\mathrm{s}}=0.707$、$\omega_{\mathrm{s}}=5\omega_{\mathrm{T}}$（保证有足够的相位裕度），由如下关系$\omega_{\mathrm{s}}=1/\sqrt{\tau_3\tau_4}$、$\zeta_{\mathrm{s}}=(\tau_3+\tau_4)/(2\sqrt{\tau_3\tau_4})$，确定时间常数$\tau_3$和$\tau_4$；（5）确定了环路滤波器中的各时间常数后，由电阻的热噪声考虑确定合适的电阻值，由各时间常数确定电容值，从而完成环路滤波器的设计。

§12.5.2 小数频率合成器

从上面论述可以看到，整数型频率合成器由于采用整数分频，环路带宽受到信道间隔的限制，不能满足某些系统对宽环路带宽的要求。基于此，人们提出了小数分频技术，该技术打破了环路带宽和信道间隔之间的限制关系，允许频率合成器使用较高的晶振频率和宽的环路带宽来达到窄信道间隔，宽环路带宽可以提高环路的动态特性，提高环路对VCO相位噪声的抑制带宽，而且由于鉴频鉴相频率较高，一方面可以压缩晶振引起的杂散，另一方面可以使得分频器的分频比较低，高度压缩带内相位噪声（环路中除VCO外的其它模块引入的噪声都会被放大N倍，N为分频器的分频数）。由于小数频率合成器具有上面的一系列优点，使得小数频率合成器在频率合成方面得到广泛的应用，而且小数频率合成器还可以直接实现相位和频率调制，从而可以直接作为无线系统的发射机，不像传统发射机还需要上变频器来完成上变频。本节我们来介绍小数频率合成器的有关内容。

1. 小数分频原理

小数频率合成器是基于小数分频原理的，虽然数字分频器无法实现小数分频，但是，如果能让数字分频器的分频数随着时间发生变化，那么平均来看，就实现了小数分频。例如，让分频器的分频数先为10，然后换为11，这样来回切换，那么从平均来看，就实现了10.5的小数分频。因此只要能控制整数分频器的分频比按一定的规律变化，就能实现小数分频。图12-85给出了小数频率合成器的基本原理。 环路结构同整数型频率合成器是完全一样的，但分频器的分频数可以在N和N + 1之间切换，切换的控制信号是一个累加器的进位信号（溢出信号），如果累加器的进位信号为高电平，则分频器的分频比为N + 1，否则为N。累加器的时钟频率为输入参考信号频率f_{ref}，在每一个时钟周期内，累加器的输出增加K（K为输入信号，它也是一个二进制信号，位数一般与累加器运算位数相同），假设累加器为k位，则在2^{k}周期内，发生溢出（Carry = 1）的周期数为K，而没有发生溢出（Carry = 0）的周期数为$2^{\mathrm{k}}-\mathrm{K}$，因此平均来看，分频器的分频比为：

$$\mathrm{N_{frac}}=\frac{(2^{\mathrm{k}}-\mathrm{K})\cdot\mathrm{N}+\mathrm{K}\cdot(\mathrm{N}+1)}{2^{\mathrm{k}}}=\mathrm{N}+\frac{\mathrm{K}}{2^{\mathrm{k}}}=\mathrm{N}+\mathrm{n} \tag{12-132}$$

n为分频器的小数部分，通过对K进行控制，可以选择各种小数分频数。从上式可以看出，小数分频器的频率精度为$f_{\mathrm{ref}}/2^{\mathrm{k}}$，因此只要累加器运算位数足够高，就可以实现任意的频率精度。

下面我们来分析引入小数分频后环路的相位特性。在每一个输入参考信号周期内，累加器的输出增加K，这样累加直到累加器的输出产生溢出，在溢出发生的那个周期内，信号Carry = 1，累加器的输出减去2^{k}，因此累加器的输出是一个锯齿波形，如图12-86所示（图中N = 4、n = 0.3）。 累加器的进位输出控

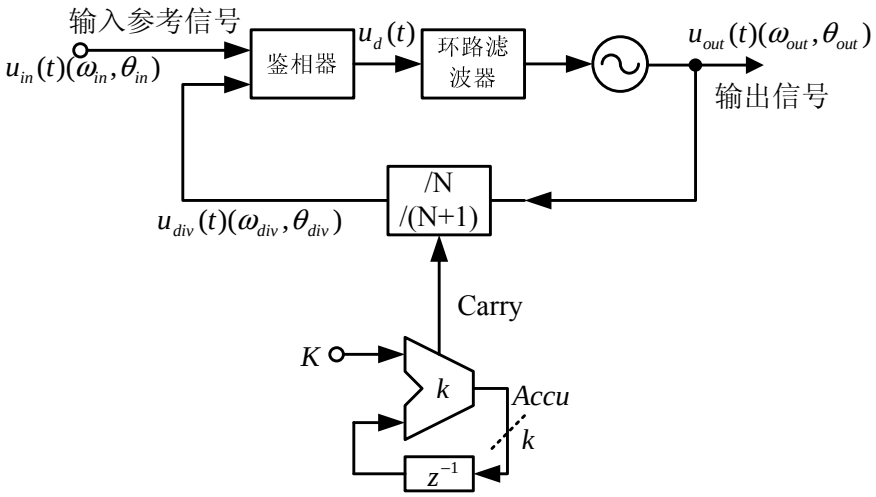


图 12-85 小数频率合成器的基本原理

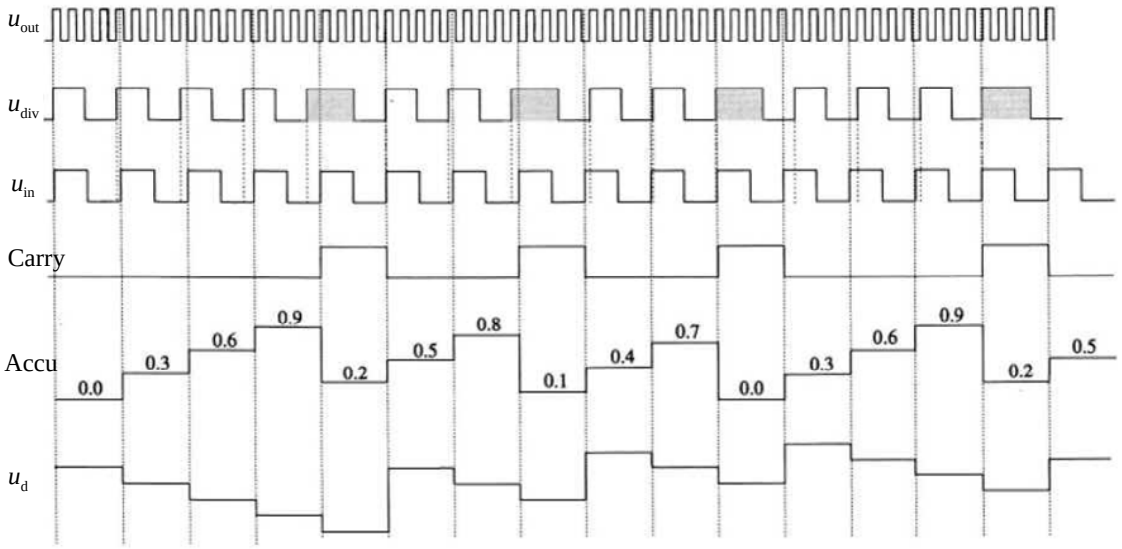


图 12-86 小数频率合成器各节点的波形图

制着分频器的分频比，进位输出信号的平均值为n，但它的瞬时值仅能为0或者1，是对平均值的一个预测。因此，分频器的分频比仍然是整数，但锁相环的输出频率是输入参考信号频率的N + n倍。当分频器的分频数为N时，分频器输出的瞬时频率将高于输入参考信号频率，使得鉴相器两输入之间的相位差增加，鉴相器的输出开始累加。当累加器发生溢出时，分频器的分频数变为N + 1，VCO的一个输出周期被VCO给吞掉了，这在鉴相器输入产生一个相移消除原先所累积的相位差。

因此，图12-85中的累加器的作用相当于一个相位累加器。当分频器的分频数为N时，分频器输出信号的周期为$T_{\mathrm{div}} = \mathrm{N} \times T_{\mathrm{out}}$，而输入参考信号的周期保持为$T_{\mathrm{ref}} = \mathrm{N_{frac}} \times T_{\mathrm{out}}$。由于$T_{\mathrm{ref}} > T_{\mathrm{div}}$，在每一个输入参考信号周期内，分频器输出就比输入参考信号领先$\Delta t = (\mathrm{N_{frac}} - \mathrm{N}) \times T_{\mathrm{out}}$时间，两信号之间的相位误差就增加$\Delta\theta = -\mathrm{n} \cdot 2\pi/\mathrm{N_{frac}}$（负号表示分频器输出比输入参考信号领先）。当累加器溢出时，分频器的输出信号周期变为$T_{\mathrm{div}} = (\mathrm{N}+1) \times T_{\mathrm{out}}$，$\Delta t = (\mathrm{N_{frac}} - \mathrm{N} - 1) \times T_{\mathrm{out}}$，两信号之间的相位误差降低了$\Delta\theta = -(\mathrm{n}-1) \cdot 2\pi/\mathrm{N_{frac}}$。在每一个输入参考信号周期内，鉴相器两输入信号之间的相位误差改变为：$\Delta\theta = -(\mathrm{n} - \mathrm{co}) \cdot 2\pi/\mathrm{N_{frac}}$（co为累加器的进位信号）。环路的瞬时相位误差是一个阶梯波函数：

$$\theta_{\mathrm{err}} = \frac{2\pi}{\mathrm{N_{frac}}} \sum_{\mathrm{i}} (\mathrm{co[i]} - \mathrm{n}) \tag{12-133}$$

因此，数字累加器的输出反应了每一个输入参考信号周期内，环路所累积的相位误差。从上式可以看出，小数锁相环中相位误差永远不会等于0，它实际上并不会进入真正的锁定状态。

由于相位累加器的输出是周期性的，因此，环路的瞬时相位误差也是周期性的，这会在VCO的控制电压线上产生一个交流信号，叠加在希望的直流信号上，对VCO造成频率调制，产生杂散，杂散的频率位于$n \times f_{ref}$的整数倍处，这就是所谓的小数杂散(fractional spur)，n越小，杂散的强度越高（杂散与载波功率之比可能大于−30dBc），对频率合成器的性能造成严重的影响。为了降低小数杂散的影响，小数频率合成器的环路带宽通常设置为输入参考频率的1/100，因此输入参考信号的频率是限制环路带宽的主要因素，它受到鉴相器工作频率的限制。

减小小数杂散的另一个办法是采用各种技术来抑制或者消除环路中的交流相位误差，使得VCO的控制电压线上没有低频的交流成分，仅存在直流成分，这样就避免了对VCO的频率调制和小数杂散的产生。在这些技术中，$\sum-\Delta$调制器技术是最常用、也是性能最高的技术。下面我们来介绍$\sum-\Delta$调制器。

2. $\sum-\Delta$调制器

$\sum-\Delta$调制器是一个粗略（coarse）量化器，量化过程中引入的误差（量化噪声）的功率绝大部分都位于高频处，由于环路滤波器的衰减作用，使得量化噪声对输出近似没有影响。调制器的输出是一个随机序列，分频器的分频比是随机变化的，使得环路相位误差也具有随机性，避免了在VCO控制电压线上产生低频交流成分，从而能够消除杂散。

实际上，前面介绍的累加器就是一个一阶的$\sum-\Delta$调制器。图12-87给出了累加器的等效模型。 所有的

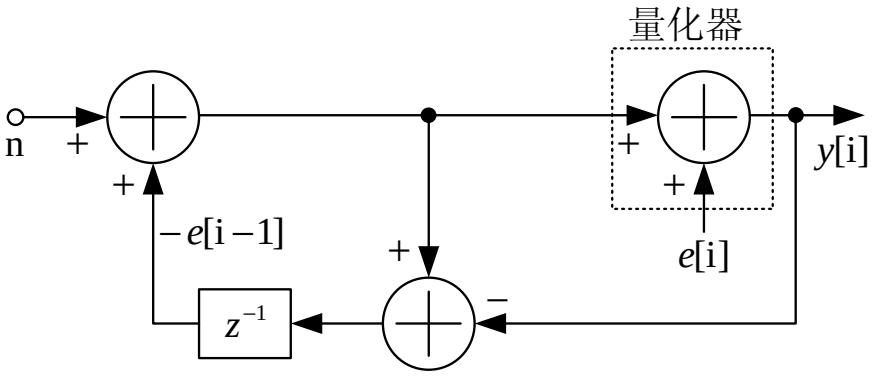


图 12-87 累加器的等效模型

数值都针对2^k进行了归一化。累加器的输出是对输入n的离散预测。这个预测是粗略的，累加器会产生一个量化误差（前面介绍的阶梯状波形）。如果考虑到量化器引入的量化误差为$e[i]$，则累加器的传输函数为：

$$y[i] = n + (e[i] - e[i-1]) \tag{12-134}$$

$$Y[z] = n + (1 - z^{-1}) \cdot E(z) \tag{12-135}$$

因此，累加器的进位输出就是输入n与量化噪声高通滤波后结果的叠加。这种技术实际上就是$\sum-\Delta$技术。

图12-88给出了一阶$\sum-\Delta$调制器的等效模型。 输入n通过一个积分器积分后传到量化器进行量化，量化后的输出是对输入n的一个粗略预测，它反馈到输入端同输入信号进行比较，比较后的结果又送到积分器中，这个反馈环路迫使量化输出跟踪输入，积分器对量化噪声进行高通滤波，抑制低频带内噪声成分。由该图很容易推导出它的传输函数为：

$$Y[z] = z^{-1} \cdot n + (1 - z^{-1}) \cdot E(z) \tag{12-136}$$

同累加器相比，它仅将输入延迟了一个时钟周期。在小数频率合成器中，输入是一个常数，因此累加器同一阶$\sum-\Delta$调制器是等效的。

在实现时，$\sum-\Delta$调制器一般是采用数字电路实现的，这样可以避免积分器的非理想效应，而且量化过程实际上仅是二进制数字的映射（如一位量化仅通过取累加器输出的最高位就可以实现）。

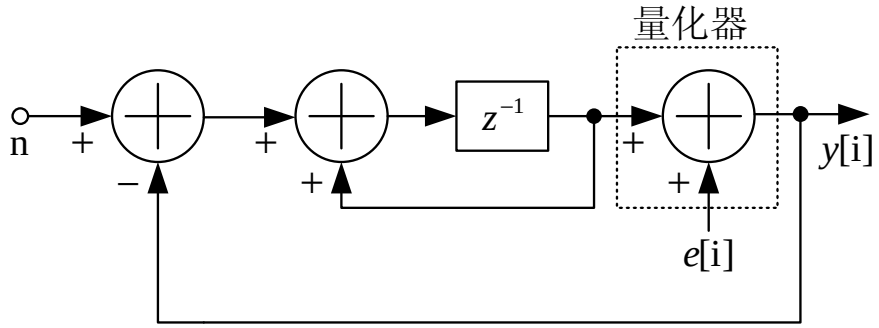


图 12-88 一阶$\sum-\Delta$调制器的等效模型

从上面的论述我们可以知道，一阶$\sum-\Delta$调制器的输出还是近似周期性的，会产生严重的小数杂散问题。为了解决这一问题，可以采取如下的办法：（1）采用高阶$\sum-\Delta$调制器。高阶$\sum-\Delta$调制器的量化输出是对输入的更准确预测，减小了带内量化噪声。实际上，高阶$\sum-\Delta$调制器将量化噪声进一步搬移到高频，使低频带内噪声进一步减小。高阶$\sum-\Delta$调制器可以提供更随机性的量化输出，因此可以减小小数杂散问题。但高阶$\sum-\Delta$调制器需要高阶环路滤波器来抑制它的高频噪声，避免高频量化噪声对频率合成器的相位噪声产生贡献。一般说来，为了充分抑制$\sum-\Delta$调制器的高频噪声，环路滤波器传输函数幅度下降的速率必须大于$\sum-\Delta$调制器的高频量化噪声幅度上升的速率，因此环路滤波器的阶数通常高于$\sum-\Delta$调制器的阶数。（2）采用多位量化。采用多位量化，$\sum-\Delta$调制器可以提供多位输出，因此量化器的预测功能可以更准确，而且量化输出也更加具有随机性；（3）在输入信号n上引入随机性扰动（dither）。如果设计合适，引入的扰动在信号带内并不包含有能量，因此不会降低环路的信噪比，但输入n上引入随机性扰动后，调制器的输入不再是常数，因此输出频谱上的杂散会被平滑，但带内信噪比并不会受到显著影响。该扰动通常是由伪随机数发生器产生的一位二进制数据，它与调制器输入K的最低位相加，在输入引入一个微小的扰动噪声成分。

高阶$\sum-\Delta$调制器可以采取两种结构，一种是单级高阶调制器结构，另一种是多级级联调制器结构（也被称为MASH结构）。图12-89 给出了一位量化的三阶调制器的方框图。 它的噪声传输函数为

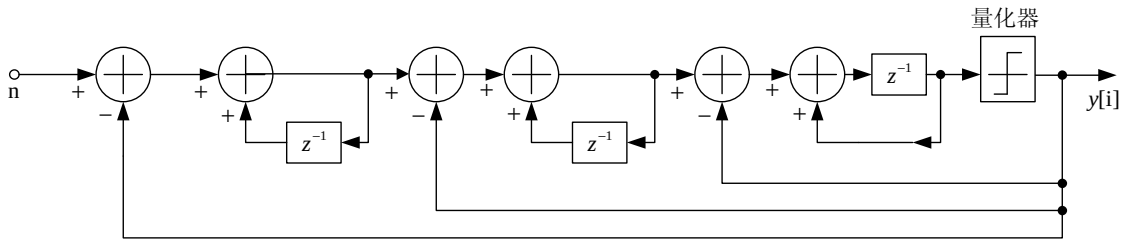


图 12-89 一位量化的三阶调制器

$$H_{\mathrm{n}}(z)=\frac{Y(z)}{E(z)}=(1-z^{-1})^{\mathrm{N}} \tag{12-137}$$

其中，N是$\sum-\Delta$调制器的阶数，它是一个阶数为N的高通滤波函数。这种调制器仅产生一位输出，因此双模分频器可以直接利用，而且它对锁相环路的非线性不敏感。但是这种调制器可能存在稳定性问题，稳定性会限制输入数据n的范围，它不能取量化器的全程量化范围（即n的取值范围小于$[0,1]$），在某些情况下可能造成合成频率的死角（Dead-band）。实用的单级高阶$\sum-\Delta$调制器一般仅限于二阶结构。

多级级联调制器结构（也被称为MASH结构）是由一阶调制器级联构成的，图12-90给出了三阶MASH结构的方框图。 它的量化噪声为：

$$\begin{aligned}Y(z) &= E_0+E_1+E_2\\ &= E(1-z^{-1})+-E(1-z^{-1})+E(1-z^{-1})^2+-E(1-z^{-1})^2+E(1-z^{-1})^3\end{aligned}$$

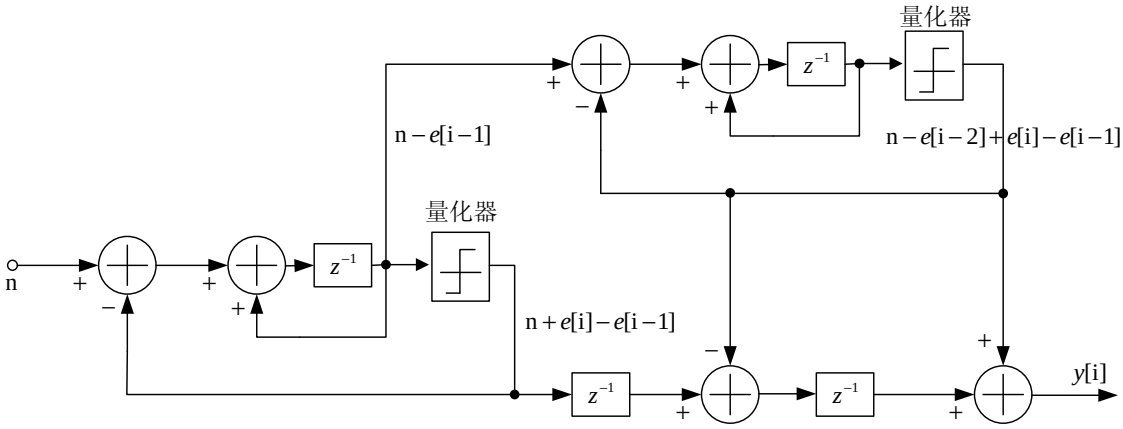
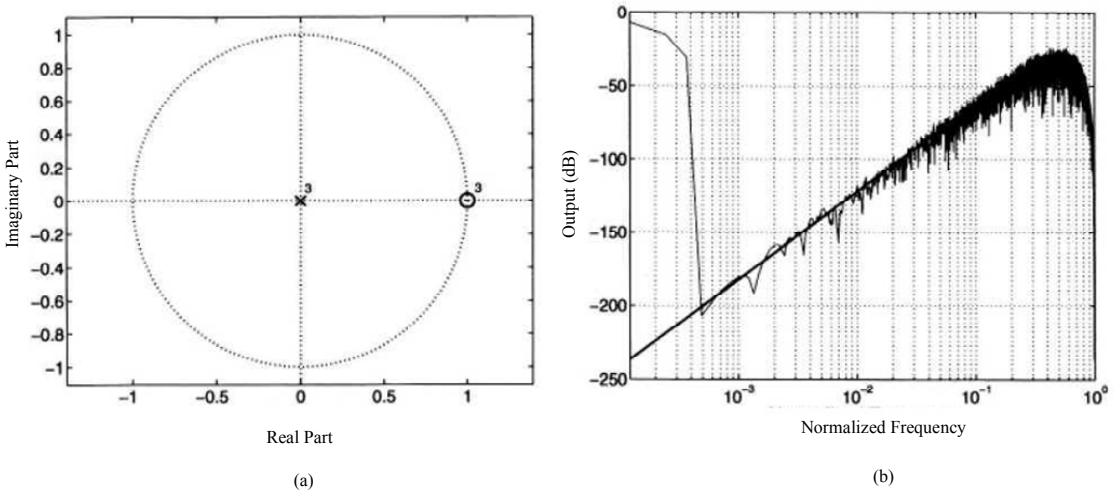


图 12-90 三阶MASH调制器

$$= E(1 - z^{-1})^3$$

前一级的量化噪声会和后一级的量化噪声互相抵消，因此高阶MASH调制器的噪声传输函数是阶数为N的高通滤波函数，在理论上它的噪声性能同单级高阶调制器是相同的。在z平面上，该噪声传输函数包含有三个位于原点的极点和三个位于单位圆上的零点（图12-91（a））。



(a) (b)

图 12-91 三阶MASH调制器的极零点和输出频谱

为了求出调制器输出噪声的功率谱密度，令$z = e^{j2\pi f/f_{ref}}$，并考虑到量化器引入的量化噪声为$E(z) = \Delta^2/(12 \cdot f_{ref})$（$\Delta$为量化器的两个量化级之间的距离），则调制器输出噪声的功率谱密度为：

$$S_f(f) = \frac{\Delta^2}{12 \cdot f_{ref}}[2\sin(\frac{\pi f}{f_{ref}})]^{2N} \tag{12-138}$$

三阶调制器的功率谱密度如图12-91（b）所示。

MASH结构是由一阶调制器级联构成的，因此是无条件稳定的，它的最大输入范围等于量化器的全程量化范围。高阶MASH调制器中没有反馈或者前馈通路，非常便于数字电路实现，而且可以通过采用流水线结构来提高数据的吞吐率。MASH调制器存在的问题是它的输出是多位的，调制器会在所有的输出状态之间频繁切换，这要求环路中的分频器也必须是多模分频器，分频比会在多种分频比之间密集切换（图12-92（a）），从而会给鉴相器的输出引入高频抖动。为了抑制这种高频抖动，要求鉴相器具有很高的线性度。

另一种调制器是多位量化、单环$\sum - \Delta$调制器，如图12-93所示。 该调制器包含着一个三阶离散时间滤

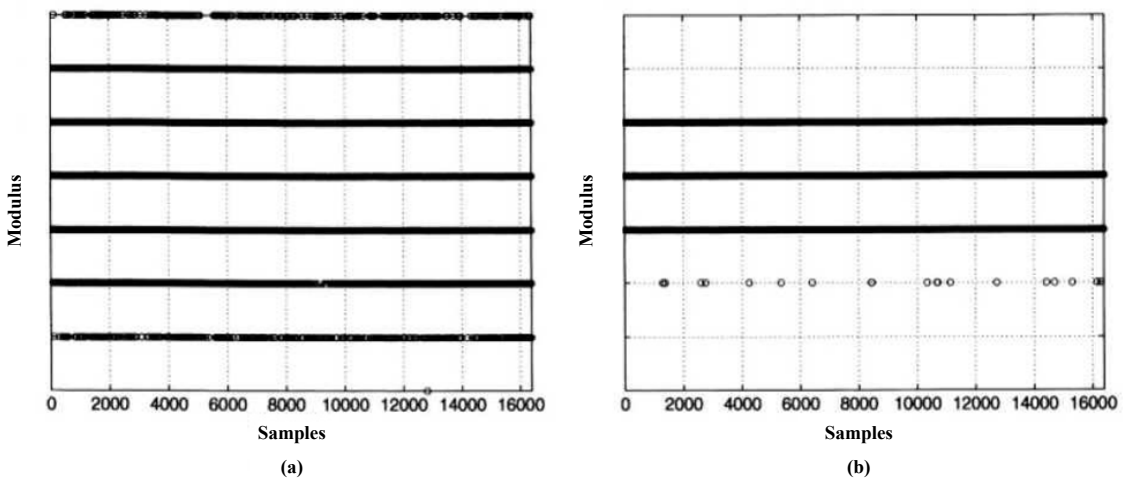


图 12-92 三阶MASH调制器和多位量化、单环$\sum-\Delta$调制器的输出状态

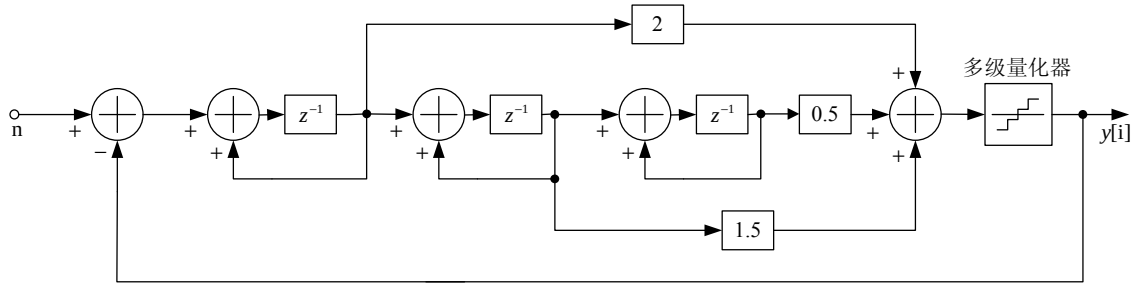


图 12-93 多位量化、单环$\sum-\Delta$调制器

波器，滤波器中各系数的值是从三阶高通Butterworth滤波器推导而来的，Butterworth滤波器的截止频率为$0.167\times f_{\text{ref}}$，所产生的噪声传输函数为：

$$H_{\text{qn,b}}(z)=\frac{(1-z^{-1})^3}{1-0.968z^{-1}+0.587z^{-2}-0.106z^{-3}} \tag{12-139}$$

为了避免实现乘法运算，上式分母中的各系数都用2的各幂次值来近似，得到的调制器如图12-93所示，噪声传输函数与式12-139 非常接近，而且保留了Butterworth滤波器的稳定性与因果性：

$$H_{\text{qn}}(z)=\frac{(1-z^{-1})^3}{1-z^{-1}+0.5z^{-2}} \tag{12-140}$$

在z平面上，它包含有一个位于原点的极点、两个位于$0.167\times f_{\text{ref}}$频率处的极点和三个位于单位圆上的零点，如图12-94(a)所示，图中的箭头指示了对Butterworth低通滤波器作近似所导致的极点位置移动。这种调制器的输出频谱如图12-94(b)所示，可以看到，它的高频量化噪声要小于三阶MASH结构，但带内量化噪声稍有增加。高频噪声减小在时域上反应为锁相环路分频器的分频比切换的频率降低了，实际上，对于这个三阶调制器来说，它的输出在三个状态之间切换，仅在极少的情况下，会出现第四种输出状态（图12-92（b））， 因此有利于降低对鉴相器线性度的要求。

3. 小数频率合成器作GFSK调制器

小数频率合成器除了可以产生高频率精度的载波信号外，它的另一个用途是用来实现频率调制。图12-95给出了一个采用小数频率合成器实现的GFSK调制器。 要发送的数据经发射机数字滤波器进行整形，产生的调制数据同$\sum-\Delta$调制器的正常输入相加，得到$\sum-\Delta$调制器的输入信号，它控制着锁相环路中分频器的瞬时分频比。调制器的正常输入产生所需要的载波频率，而调制数据使得频率合成器的输出频率临时偏离载波频率，产生调频信号。只要锁相环的环路带宽足够宽，调制信号的特性首要由发射机数字滤波器决定。

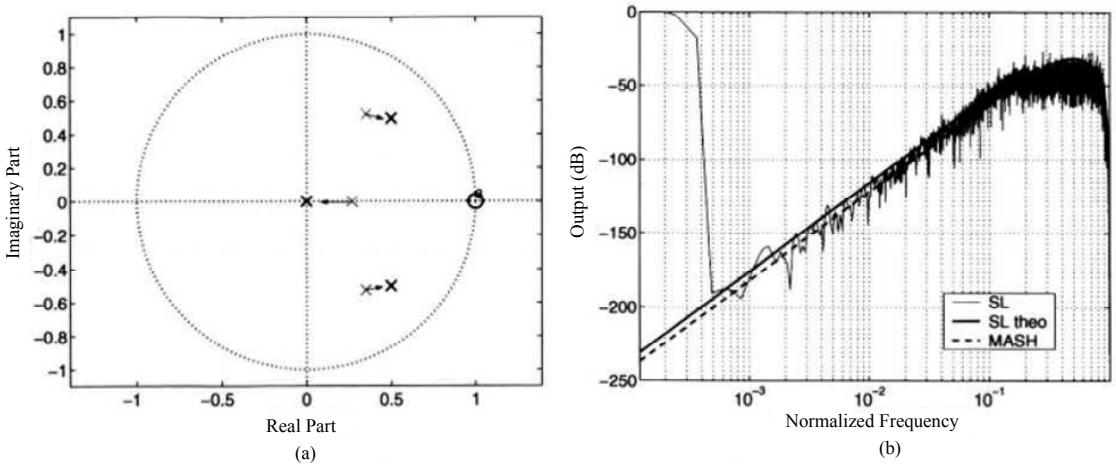


图 12-94 多位量化、单环$\sum-\Delta$调制器的极零点和输出频谱

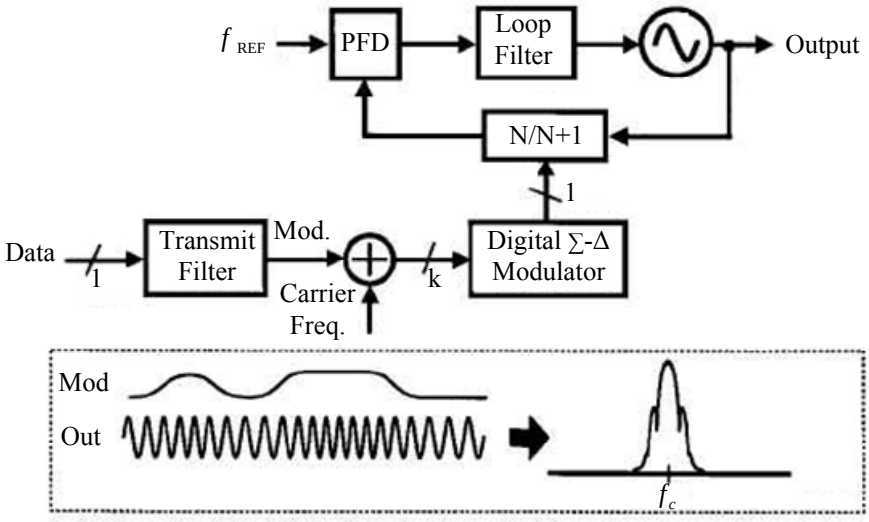


图 12-95 采用小数频率合成器实现的GFSK调制器

12-96给出了该调制器的线性化模型。 发射机数字滤波器将调制数据限制到低频部分，$\sum-\Delta$调制器引入高频量化噪声，锁相环路的作用相当于一个低通滤波器，它可以让低频的调制数据通过，而高度衰减$\sum-\Delta$调制器的高频量化噪声。同频率合成器不同，发射机对输出信号带外频谱的要求是很严格的，而对带内噪声的要求却没有那么严格，只要保证有足够的信噪比就可以了。因此锁相环路必须对$\sum-\Delta$调制器的高频量化噪声具有足够的抑制能力。

从图12-96可以看出，锁相环路的环路带宽限制了GFSK调制器的数据率。由于小数频率合成器的环路带宽通常在100kHz以下，因此采用这种方式实现的GFSK调制器的数据率也低于100kbps，在很多应用中，这是不能满足要求的。为了解决这一问题，必须解决锁相环的环路带宽与数据率之间的限制关系。其中的一种技术是利用预校准技术，如图12-97所示。 发射机数字滤波器后面增加了一级数字补偿滤波器，该滤波器的传输特性正好与锁相环的传输特性相反，因此级联后可以实现一个平坦的传输函数，这样数据率就不会受到锁相环环路带宽的限制。采用这种技术已经实现了数据率高达2.5Mbps的GFSK调制器，载波频率为1.8GHz～1.9GHz。这种技术存在的一个缺点是：锁相环的闭环传输特性是由模拟电路决定的，因此会受到工艺、温度和电源电压变化的影响，数字补偿滤波器并不能实现与锁相环特性的精确匹配，它们之间的匹配性能限制了GFSK的最高数据率。

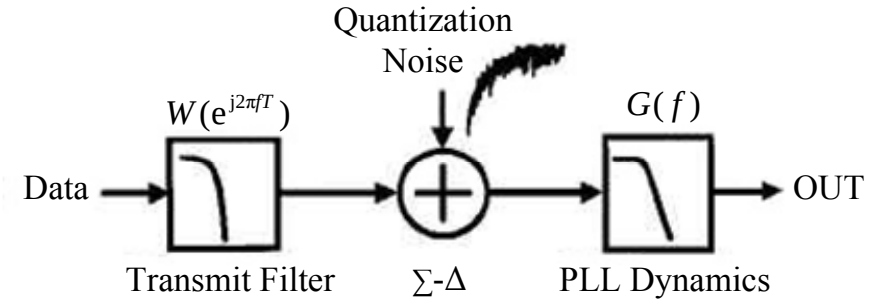


图 12-96 GFSK调制器的线性化模型

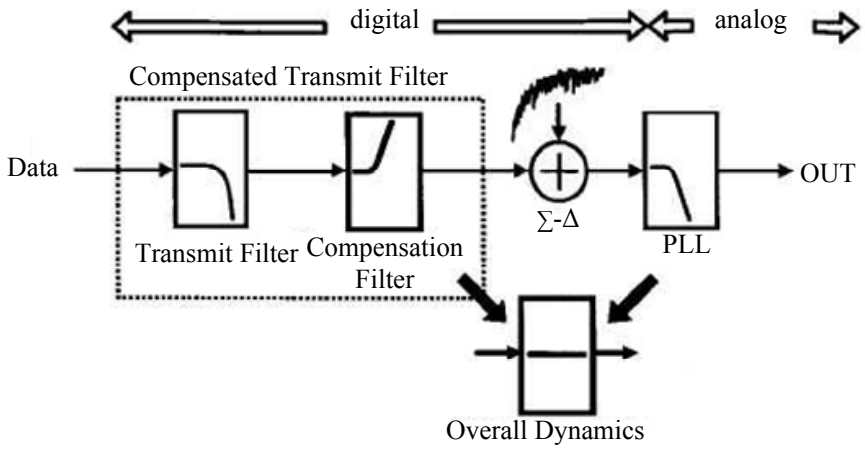


图 12-97 利用预校准技术来提高数据率

§12.5.3 双锁相环频率合成器

整数型频率合成器的环路带宽受到信道间隔的限制，环路带宽不能太高。小数频率合成器是消除环路带宽与信道间隔之间限制关系的一种办法，另一种办法是采用双环或者多环结构。图12-98给出了一个双环频率合成器的模块结构图。 锁相环PLL1产生高频载波频率f_c，而锁相环PLL2产生需要的信道间隔

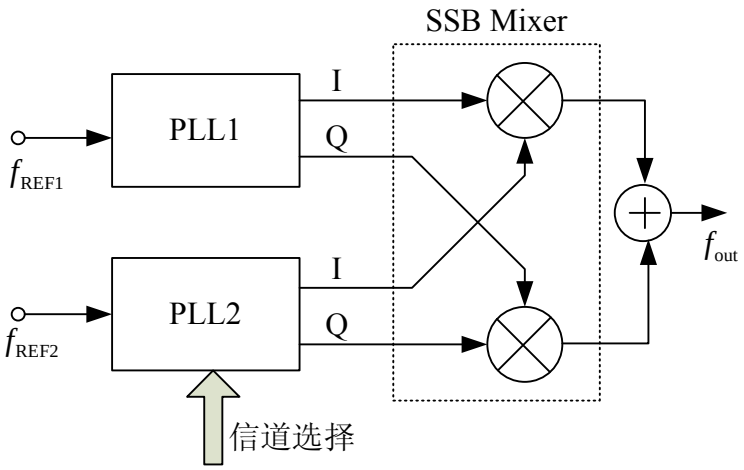


图 12-98 双锁相环频率合成器

频率Mf_{REF2}，这两个环路的输出经过一个单边带混频器（正交混频器）进行频率相加，得到输出频率为$f_c + Mf_{REF2}$的载波。由于PLL1没有信道间隔频率的限制，它的输入参考频率f_{REF2} 可以远大于信道间隔频率，环路带宽也就可以设计得很宽，有利于压缩VCO1的带内噪声；而VCO2由于振荡频率较低，相位

噪声性能要远好于VCO1，环路带宽可以较窄，输入参考信号频率f_{REF2}也就可以很小，满足信道间隔频率的要求。因此这种双环结构可以得到较高的相位噪声性能，频率精度也可以很高。

双环结构的缺点是它需要一个准确的单边带混频器，VCO1和VCO2都要产生正交的振荡信号，I、Q支路之间的正交性能以及VCO1、VCO2输出中的谐波成分会影响输出频谱中的杂散强度。通常，由于支路之间的不匹配和电路中存在的非线性，实现杂散功率与载波功率之比小于60～70dBc是非常困难的。这种结构存在的另一个问题是VCO2的调谐范围必须覆盖应用带宽，而VCO2的振荡频率相对较低，因此调谐范围的要求给VCO2的设计带来了困难，而且由于PLL2中分频器的分频比可能变化很大，会导致环路的动态特性发生很大的变化。

图12-99给出了另一种双环频率合成器的模块结构图。同图12-98所示结构相比，单边带混频器移到了锁相环PLL1的环路内，因此单边带混频器产生的杂散成分可以受到PLL1中环路滤波器的衰减。

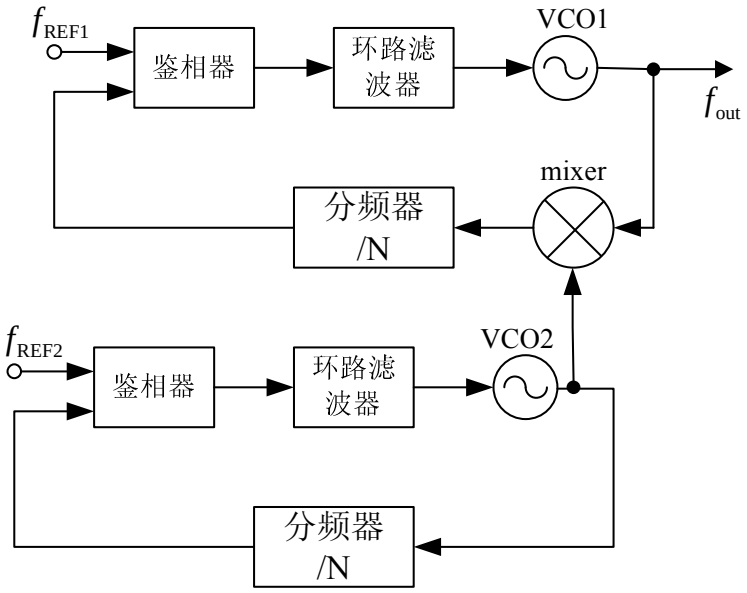


图 12-99 混频器在环路之内的双环频率合成器

§12.6 延迟锁定环路

延迟锁定环路是从锁相环发展而来的，它的应用背景是产生准确的、相位均匀分布的多相信号。图12-100给出了延迟锁定环路的模块结构图，它也是基于PFD和电荷泵技术的。 环路滤波器的输出控制着

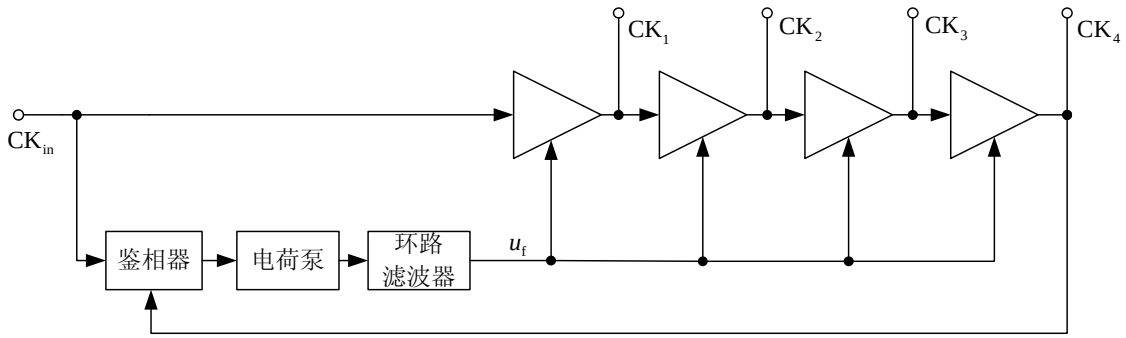


图 12-100 延迟锁定环路

每一级延迟单元的延迟时间，延迟单元可以采用“环型振荡器”一节中介绍的各种电路结构。输入时钟信号输入到第一级延迟单元，最后一级延迟单元的输出同输入时钟信号进行鉴相，鉴相器的输出经环路

滤波器滤波器后产生延迟单元延时控制信号u_{f}。在环路锁定时，输入时钟信号和最后一级延迟单元的输出信号的边沿应该对齐，因此在相位上应正好相差一个周期，即CK_4相对于$\mathrm{CK}_{\mathrm{in}}$延迟了一个时钟周期。由于各延迟单元都相同，它们的延迟时间也应该相同，因此就可以产生相位均匀分布的多相信号，相位间隔为$2\pi/\mathrm{N}$，N为延迟单元级数。

如果VCO采用环型振荡器或者其它的多相振荡器（如正交LC振荡器等），锁相环也可以产生相位均匀的多相信号。但延迟锁定环路相对于锁相环来说，时钟边沿对噪声更加不敏感，因为在每一次鉴相时，输出信号的时钟抖动都被校正了，不会产生累积，而在锁相环中，噪声所造成的时钟抖动是累积的，因此时钟边沿对噪声更加敏感。另外，延迟锁定环路的阶数同环路滤波器的阶数是一样的，因此环路稳定性能要好于锁相环。

但延迟锁定环路只能产生一个时钟频率的信号，因此不能实现频率合成功能。它的另一个问题是环路锁定时，延迟单元链的总延时是不确定的。在这种环路中，反馈环路只是保证两鉴相信号的边沿对齐，这样延迟单元链的延迟时间是时钟周期的整数倍都可以满足此要求。因此，延迟单元链的总延迟并不一定等于T_{in}，而是可能等于它的整数倍，所产生的多相信号虽然在相位上仍是均匀分布的，但是相位间隔变为$2\mathrm{k}\pi/\mathrm{N}$，需要额外的电路来避免这种情况。最后，延迟单元之间的匹配性能会影响多相信号的相位均匀性，因此在设计这种环路时，器件匹配和版图设计匹配都是需要仔细考虑的问题。

§12.7 锁相环的应用

锁相环路在电子技术领域获得了越来越广泛的应用，这主要是由于它具有以下优良特性：

（1）载波跟踪特性：只要输入锁相环路的信号中包含有载波频率成分，就可将环路设计成一个窄带跟踪滤波器，跟踪输入信号载波成分的频率与相位变化，环路的输出信号就是需要提取（或复制）的载波信号，这就是环路的载波跟踪特性。载波跟踪包含着三层含义：一是窄带，环路的低通特性可以有效地滤除输入信号伴随的噪声与干扰；二是跟踪，环路可以在保持窄带特性的情况下跟踪输入载波频率的漂移；三是可以将弱输入载波信号放大为强输出信号。这些特性是任何类型的滤波器都很难达到的；

（2）调制跟踪特性：只要环路带宽足够宽，环路输出信号的频率与相位就能跟踪输入调频或者调相信号的频率与相位变化，这就是调制跟踪特性。利用这种特性可以实现频率与相位调制；

（3）低门限特性：锁相环路的门限取决于环路的信噪比，而由于环路的通频带总比环路输入端的前置通频带窄得多，环路信噪比明显高于输入信噪比，因此环路能在低输入信噪比条件下工作。只要将环路设计成窄带，就可以把淹没在噪声中的微弱信号提取出来。

再加上锁相环便于集成、功耗也较低，这些使得锁相环的应用越来越广泛。本节就介绍锁相环的某些典型应用。

§12.7.1 频率调制器与解调器

如果将调频信号加到VCO的控制电压端，VCO就可以直接作为频率调制器，但是由于VCO振荡频率的温度漂移以及调谐特性的非线性等，不能产生高质量的调频信号。为了解决这个问题，可以使用如图12-101所示的开环频率调制器。 当没有调制信号时，环路闭合，锁相环产生稳定的载波信号；当有调制信号时，环路断开，调制信号直接对VCO进行调制，这样在调制开始时，VCO的频率稳定在载波周围，有利于减小VCO的频率漂移的累积效应，但调制过程中VCO的频率漂移还是会对调制信号造成影响，因此这种调制器需要周期性的闭合锁相环路。

另一种办法是利用闭合锁相环路来实现频率调制器，如图12-102所示。 根据环路的线性相位模型，可以导出在调制信号$u_{\mathrm{F}}(t)$作用下，环路的输出相位为：

$$\theta_{\mathrm{out}}(s)=\frac{K_0K_{\mathrm{d}}}{s+F(s)K_0K_{\mathrm{d}}}U_{\mathrm{F}}(s)=H_{\mathrm{e}}(s)\cdot\frac{K_0K_{\mathrm{d}}}{s}\cdot U_{\mathrm{F}}(s) \tag{12-141}$$

VCO输出频率相对于载波频率ω_0的频偏为$s\theta_{\mathrm{out}}(s)$，由上式可得：

$$s\theta_{\mathrm{out}}(s)=H_{\mathrm{e}}(s)K_0K_{\mathrm{d}}U_{\mathrm{F}}(s) \tag{12-142}$$

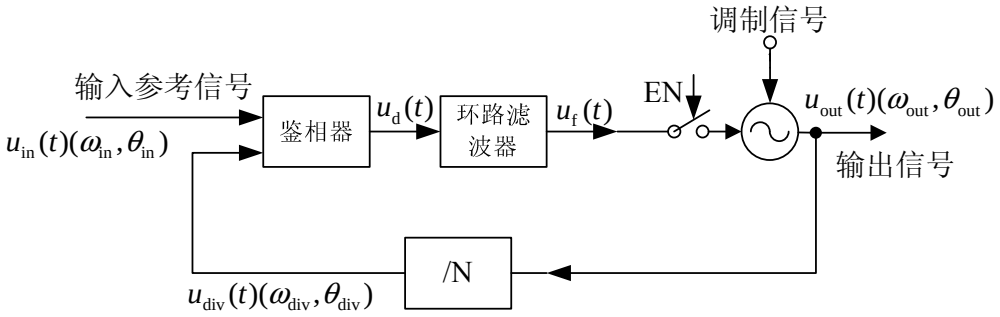


图 12-101 开环频率调制器

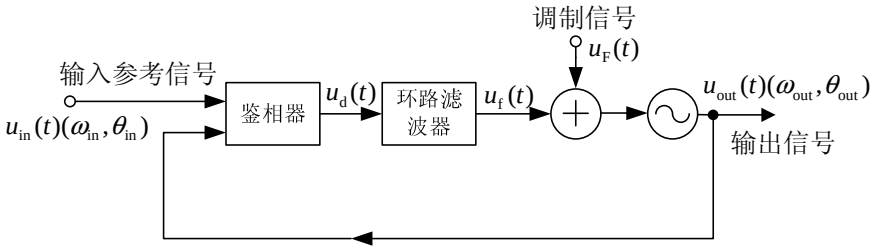


图 12-102 闭环频率调制器

由于K_0K_d为常数，$H_e(s)$具有高通特性，因此只要调制信号$U_F(s)$在$H_e(s)$的带通之内，输出频偏与调制信号的幅度成正比，这样就产生了调频信号。这种调制器要求调制信号位于$H_e(s)$的通带内，如果调制信号频率太低，进入$H_e(s)$的阻带后，调制频偏会很小。

还有一种频率调制器是所谓的两点调制器，如图12-103所示。调制信号$u_F(t)$经滤波器G_1处理

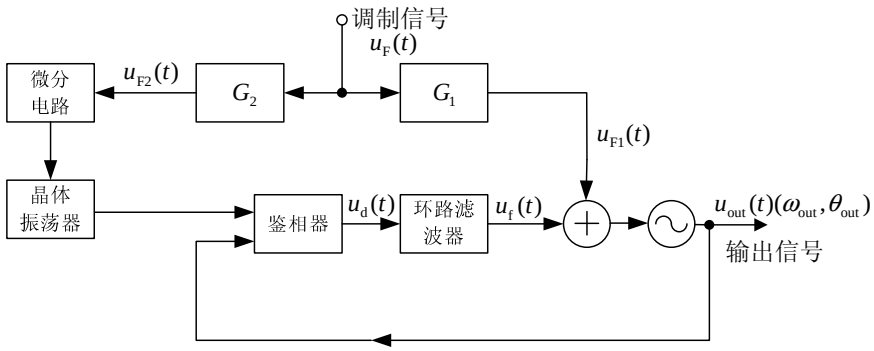


图 12-103 两点闭环频率调制器

得$u_{F1}(t)$加到VCO的电压控制端，经滤波器G_2处理得$u_{F2}(t)$，$u_{F2}(t)$经微分后调制晶体振荡器的频率，它实现的是一个调相器的功能。在环路的线性相位模型上，可以分别计算$u_{F1}(t)$和$u_{F2}(t)$的调制作用。$u_{F1}(t)$产生的输出相位为：

$$\theta_{out1}(s)=H_e(s)\cdot\frac{K_0K_d}{s}\cdot U_{F1}(s) \tag{12-143}$$

$u_{F2}(t)$产生的输出相位为：

$$\theta_{out2}(s)=H(s)\cdot K_0K_dK_p\cdot U_{F2}(s) \tag{12-144}$$

其中，K_p是调相器的增益。总的输出相位为：

$$\theta_{out}(s)=\theta_{out1}(s)+\theta_{out2}(s)=H_e(s)\cdot\frac{K_0K_d}{s}\cdot U_{F1}(s)+H(s)\cdot K_0K_dK_p\cdot U_{F2}(s) \tag{12-145}$$

考虑到$U_{\mathrm{F1}}(s)=U_{\mathrm{F}}(s)\cdot G_1(s)$、$U_{\mathrm{F2}}(s)=U_{\mathrm{F}}(s)\cdot G_2(s)$，因此

$$\theta_{\mathrm{out}}(s)=U_{\mathrm{F}}(s)[H_{\mathrm{e}}(s)\cdot\frac{K_0K_{\mathrm{d}}}{s}\cdot G_1(s)+H(s)\cdot K_0K_{\mathrm{d}}K_{\mathrm{p}}\cdot G_2(s)] \tag{12-146}$$

输出频偏为：

$$s\theta_{\mathrm{out}}(s)=U_{\mathrm{F}}(s)[H_{\mathrm{e}}(s)\cdot K_0K_{\mathrm{d}}\cdot G_1(s)+H(s)\cdot K_0K_{\mathrm{d}}K_{\mathrm{p}}\cdot s\cdot G_2(s)] \tag{12-147}$$

如果选择$G_1(s)=1$、$G_2(s)=1/s$，则

$$s\theta_{\mathrm{out}}(s)=U_{\mathrm{F}}(s)[H_{\mathrm{e}}(s)\cdot K_0K_{\mathrm{d}}+H(s)\cdot K_0K_{\mathrm{d}}K_{\mathrm{p}}] \tag{12-148}$$

式中$H_{\mathrm{e}}(s)$呈高通特性，$H(s)$呈低通特性，适当选择常数K_0K_{d}和K_{p}，可以使得$H_{\mathrm{e}}(s)\cdot K_0K_{\mathrm{d}}$与$H(s)\cdot K_0K_{\mathrm{d}}K_{\mathrm{p}}$两者互相补偿，得到在很宽的频率范围内频偏$s\theta_{\mathrm{out}}(s)$正比于调制信号$U_{\mathrm{F}}(s)$的宽带频率调制器。

锁相环路也可以实现调频信号的解调，如图12-104所示。 锁相环路本身良好的调制跟踪特性，使锁相

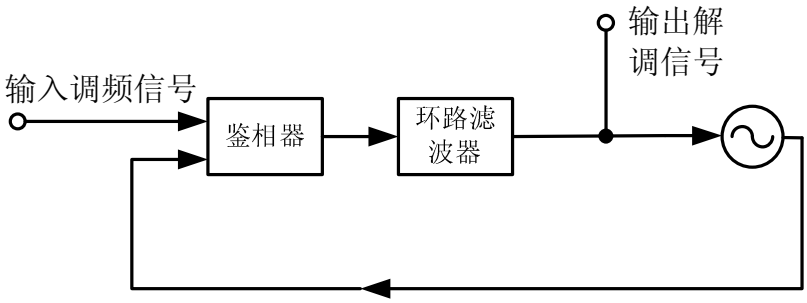


图 12-104 调频信号的解调

环能够跟踪输入调频信号瞬时相位的变化，从而在VCO的电压控制端得到解调输出。假设输入的高频调频信号为：

$$u_{\mathrm{FM}}(t)=U_{\mathrm{c}}\sin\{[\omega_{\mathrm{c}}+\Delta\omega\sin(\Omega t+\phi)]t\} \tag{12-149}$$

其中，ω_{c}为载波频率，$\Delta\omega$为峰值频偏，Ω为调制频率。则锁相环的输入信号相位为：

$$\theta_{\mathrm{in}}(t)=\int_0^t\Delta\omega\sin(\Omega\tau+\phi)\mathrm{d}\tau=-\frac{\Delta\omega}{\Omega}\cos(\Omega t+\phi) \tag{12-150}$$

环路的VCO输出相位$\theta_{\mathrm{out}}(t)$：

$$\theta_{\mathrm{out}}(t)=-\frac{\Delta\omega}{\Omega}|H(\mathrm{j}\Omega)|\cos\{\Omega t+\phi+\mathrm{Arg}[H(\mathrm{j}\Omega)]\} \tag{12-151}$$

其中，$H(\mathrm{j}\Omega)$为锁相环的闭环频率响应。则VCO的控制电压端信号为：

$$\begin{aligned}u_{\mathrm{c}}(t)&=\frac{1}{K_0}\cdot\frac{\mathrm{d}}{\mathrm{d}t}\theta_{\mathrm{out}}(t)\\&=\frac{\Delta\omega}{K_0}|H(\mathrm{j}\Omega)|\sin\{\Omega t+\phi+\mathrm{Arg}[H(\mathrm{j}\Omega)]\}\end{aligned}$$

可以看到，VCO的控制电压端信号是调制信号$\sin(\Omega t+\phi)$经$H(\mathrm{j}\Omega)$过滤再乘以常数$\Delta\omega/K_0$。对于设计良好的调制跟踪锁相环，在调制频率范围内，$|H(\mathrm{j}\Omega)|\approx1$，相移也很小，$\Delta\omega/K_0$是常数，因此VCO的控制电压端信号是很好的调频解调输出。

§12.7.2 载波同步

在相干解调中，要求在接收端提供一个参考载波，它应与发射机载波相位同步，称相干载波。从接收信号中提取相干载波有两种基本方法：一是在发送信号的同时，辅助传送一个较弱的载波信号，接收端可

以利用锁相环路的窄带跟踪特性来提取这个载波，本节不再详述；二是直接从已调信号中提取相干载波，常用的Costas环是实现这种载波提取的最常用方法。

Costas环如图12-105所示。接收信号被分别送到上下两个支路的两个鉴相器上，上支路与VCO输出正交鉴相，下支路与经$\pi/2$相移后的VCO输出同相鉴相。上下鉴相器输出经低通滤波之后相乘，所获得的误差电压经过环路滤波器滤波后去控制VCO的相位和频率。可以证明，该环路中$\pi/2$相移器输出端的信号就是所要提取的相干载波。

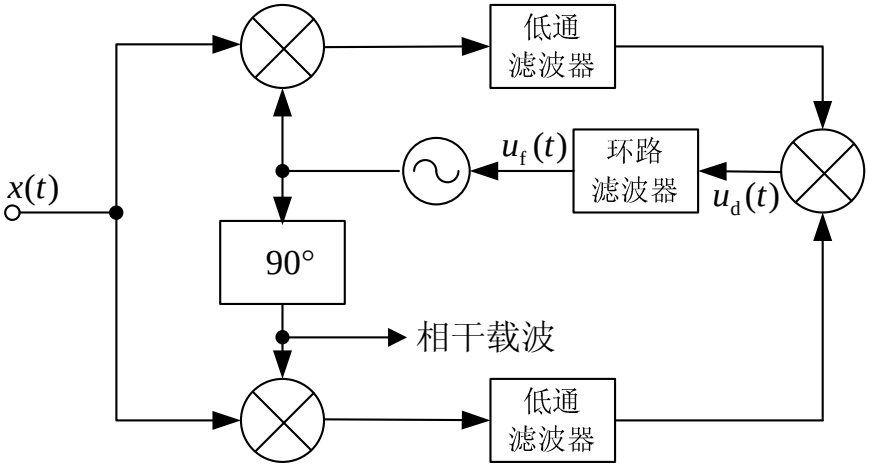


图 12-105 利用Costas环来提取相干载波

§12.7.3 减小时钟偏斜（Skew）和抖动（Jitter）

在数字系统中，锁相环可以用来减小时钟偏斜。假设一个同步的时钟和数据对同时送到一个数字系统中，由于时钟信号要驱动大量的逻辑门，因此它在进入数字系统后需要经过一个大尺寸的缓冲器，该缓冲器会引入一定的时钟延时，时钟延时会造成时钟偏斜问题，如图12-106所示，这会给数字时序电路的设计带来很大问题。

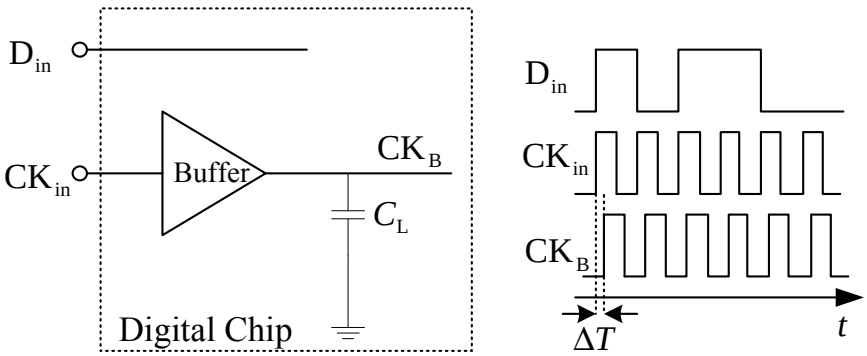


图 12-106 时钟偏斜问题

为了解决这个问题，一种办法是将缓冲器放入锁相环路中，如图12-107所示。 在环路锁定时，锁相环输出CK_B和输入CK_{in}的边沿是对齐的，消除了时钟偏斜问题。实际上，延迟锁定环路也可以用来解决时钟偏斜问题，由于它对噪声更不敏感，因此是一种更好的方案。

锁相环在数字系统中的另一个应用是减小抖动，它是利用锁相环路的窄带滤波特性来实现的，锁相环路的窄带滤波功能可以抑制输入信号中高频噪声成分，因此可以减小抖动，如图12-108所示。锁相环用作一个时钟恢复电路，它从输入的二进制序列中恢复出时钟，然后经过重定时（Retiming）操作，消除输入二进制数据序列中的抖动。

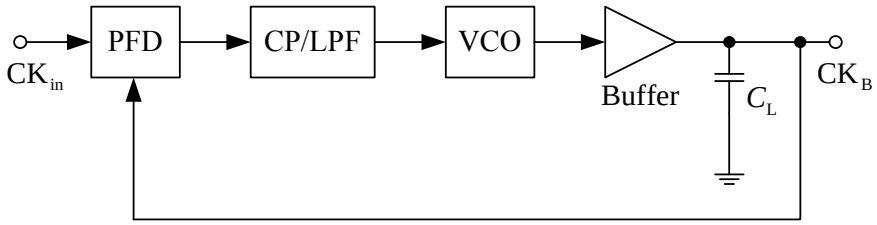
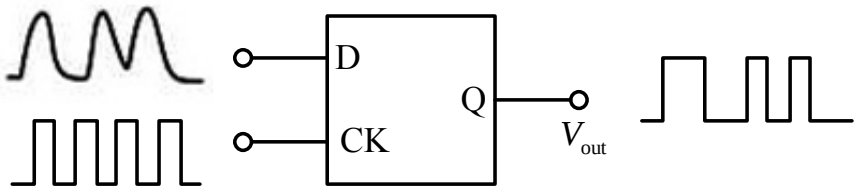
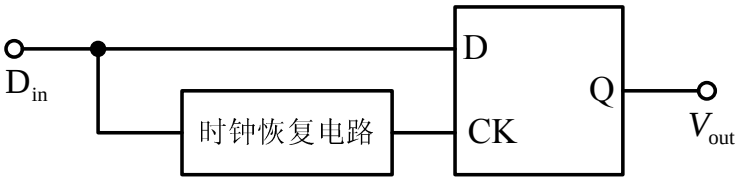


图 12-107 利用锁相环路来消除时钟偏斜问题



(a)



(b)

图 12-108 利用锁相环路来减小抖动

§12.8 总结

本章讨论了两种类型的频率合成器（直接数字频率合成器和锁相环型频率合成器）的分析和设计问题。首先介绍了频率合成器的概念和衡量频率合成器性能的参数，然后介绍了直接数字频率合成器的工作原理、杂散性能以及减小存储量的措施；接下来详细讨论了锁相环的基本原理、组成模块、锁定和非锁定状态下的性能，并介绍了在射频电路中常用的电荷泵型锁相环及它所遇到的非理想效应，在此基础上，分析了整数锁相环型频率合成器和小数型频率合成器的工作原理以及它们的实现问题；最后简单地讨论了一下延迟锁定环路和锁相环的其它应用。

频率合成器中包含了高频模块、低频模块以及数字电路，是一个非常复杂的数字/模拟/射频混合系统，是实现高集成度无线收发机所面临的主要障碍之一，而且它的实现对发展复杂数字/模拟/射频混合系统的设计方法具有很重要的借鉴意义。通过本章的介绍，读者可以了解频率合成器的基本原理、实现技术以及提高性能的基本措施，可以指导读者进行简单的频率合成器设计。

参考文献

1 Lee T H. The Design of CMOS Radio-Frequency Integrated Circuits(Second Edition). U.S.A.: Cambridge University Press, 2004

2 Razavi B. Design of Analog CMOS Integarted Circuits. Singapore: MCGraw-Hill Higher Education, 2001

3 Razavi B. Design of integrated Circuits for Optical Communications（光通信集成电路设计）. 北京: 清华大学出版社, 2005

4 Vankka J, Halonen K. Direct Digital Synthesizers-Theory, Design and Applications. Boston/Dordrecht/London: Kluwer Academic Publishers, 2001

5 Razavi B. RF Microelectronics（射频微电子）. 北京: 清华大学出版社, 2003

6 Jiang Jiandong. Design Technique for Low-Power Wide-Band Direct Digital Frequency Synthesizers of Spread Spectrum Communication Applications. Ph.D Thesis of Iowa State University, 2001

7 Muer B D, Steyaet M. CMOS Fractional-N Synthesizers-Design for High Spectral Purity and Monolithic Integartion. Boston/Dordrecht/London: Kluwer Academic Publishers, 2003

8 张肃文, 陆兆熊. 高频电子线路（第三版）. 北京: 高等教育出版社, 1993

9 Best R E. Phase-Locked Loops Design, Simulation and Applications（锁相环设计、仿真与应用）. 北京: 清华大学出版社, 2003

10 Rhee W. Multi-Bit Delta-Sigma Modulation Technique for Fractional-N Frequency Synthesizers. Ph.D Thesis of University of Illinois, 2001

11 Perrott M H, Tewksbury III T L, Sodini C G. A 27-mW CMOS Fractional-N Synthesizer Using Digital Compensation for 2.5-Mb/s GFSK Modulation. IEEE Journal of Solid-State Circuits, 1997, 32(12): 2048-2060

12 张厥盛, 郑继禹, 万心平. 锁相技术. 陕西: 西安电子科技大学出版社, 1994

13 张冠百. 锁相与频率合成. 北京: 电子工业出版社, 1995

14 Shu K, Sánchez-Sinencio E, Silva-Martinez J, etc. A 2.4-GHz Monolithic Fractional-N Frequency Synthesizer With Robust Phase-Switching Prescaler and Loop Capacitance Multiplier. IEEE Journal of Solid-State Circuits, 2003, 38(6): 866-874

15 Yang Ching-Yuan, Dehng Guang-Kaai, Hsu June-Ming, etc. New Dynamic Flip-Flops for High-Speed Dual-Modulus Prescaler. IEEE Journal of Solid-State Circuits, 1998, 33(10): 1568-1571

16 Craninckx J, Steyaert M. A 1.75-GHz/3-V Dual-Modulus Divide-by-128/129 Prescaler in 0.7-um CMOS. IEEE Journal of Solid-State Circuits, 1996, 31(7): 890-897

习题

1. 如果一个主从式D触发器能够提供理想的差分输出信号，试说明该触发器是否可以作为鉴相器来使用。

2. 考虑如图12-109所示的锁相环，一个外部电压V_{ex}加到环路滤波器的输出：
(a) 如果该锁相环已经进入锁定状态，$V_{ex}=V_1$，决定环路的相位误差和V_{LPF}；
(b) 如果在$t=t_1$时刻，V_{ex}从V_1突然变化为V_2，试说明该锁相环此后的瞬态特性。

3. 一部手机利用了一个900MHz的锁相环来提供载波信号。如果$\xi\omega_n = 2\pi \times 20$kHz，载波频率从901MHz切换到901.2MHz，试计算该锁相环的输出频率稳定到901.2MHz $\pm$ 100Hz范围内所花的时间。

4. 一个锁相环由一个$K_d = 1$V/rad的鉴相器、一个$K_0 = 100$MHz/V的压控振荡器和一个一阶无源超前滞后环路滤波器（零点频率为ω_z、极点频率为ω_p）组成，试计算该锁相环的瞬态响应。

5. 试借助于图12-64来推导电流不匹配所导致的稳态相位误差。

6. 一个压控振荡器的输出频率可以用下式来表示：$\omega_{out}=\omega_0+K_0V_{cont}$，如果该压控振荡器的电压控制端受到一个微小的正弦型信号的干扰，即$V_{cont}=V_m\cos\omega_m t$，该振荡器的输出送到一个M计数器进行分频，试计算在$\omega_0/M>\omega_m$和$\omega_0/M<\omega_m$两种情况下M计数器的输出频谱。

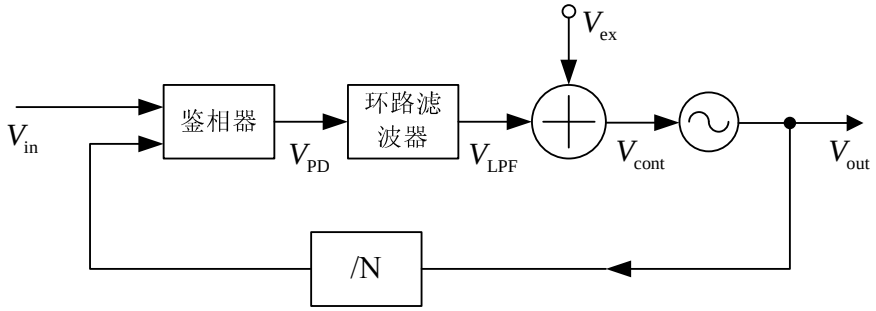


图 12-109 习题2图

7. 试推导图12-48所示电路的传输函数。

8. 图12-110给出了一个内嵌有混频器的锁相环，若假设混频器可以当作一个理想的乘法器：
   (a) 试确定该锁相环稳定后的输出频率；
   (b) 试推导该锁相环的环路增益。

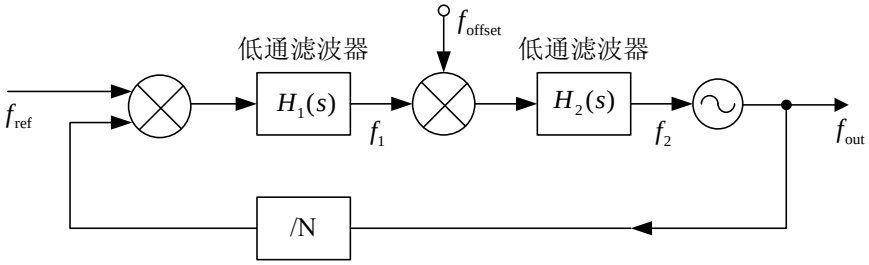


图 12-110 习题8图

第十三章　其它电路技术

在一个完整的无线收发机中，除了前面几章提到的各种射频电路模块外，还需要其它的电路模块来配合，这些模块对无线收发机的性能也具有很大的影响，本章就对这些模块进行简单的讨论。

§13.1　偏置电路

任何电路都需要偏置电路为它们提供偏置，偏置电路正常工作是功能模块正常工作的前提，而且偏置电路的稳定性会影响功能模块性能的稳定性（如温漂特性、电源电压灵敏度等）。本节介绍射频电路中常用的几种偏置电路技术。

§13.1.1　Widlar电流源

很多功能模块都采用电流偏置，需要偏置电路为它们提供偏置电流，图13-1给出了一种最简单的偏置电流源。 它由一个简单CMOS电流镜和电阻构成。利用长沟道晶体管的平方律$I-V$方程，可以得到：

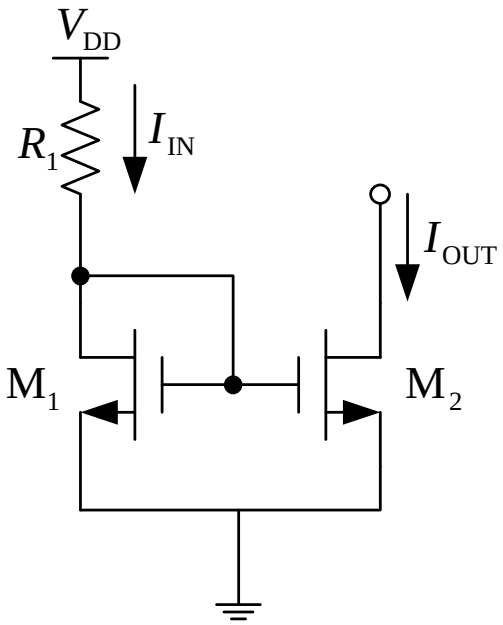


图 13-1 由电阻和电流镜构成的简单电流源

$$V_{DD} = I_{IN} \cdot R_1 + V_{GS1} \tag{13-1}$$

$$I_{IN} = \frac{1}{2} K_n (\frac{W}{L})_1 (V_{GS1} - V_t)^2 \tag{13-2}$$

因此

$$\sqrt{I_{IN}} = \sqrt{\frac{1}{2K_n(W/L)_1 R_1^2} + \frac{V_{DD} - V_t}{R_1}} - \sqrt{\frac{1}{2K_n(W/L)_1 R_1^2}} \tag{13-3}$$

输出电流为：

$$I_{OUT} = \frac{(W/L)_2}{(W/L)_1} I_{IN} \tag{13-4}$$

这种电流源结构简单，主要用来给某些性能要求不高的电路提供偏置。这种偏置电路存在两个问题：当需要的偏置电流较小时，电阻R_1的阻值较大，会占用较大的芯片面积；输出电流对电源电压的灵敏度很

高，因此电源电压的波动会使得输出电流发生较大变化。若将电路变量y对电路参数x的灵敏度定义为：

$$S_x^y = \lim_{\Delta x \to 0} \frac{\Delta y/y}{\Delta x/x} = \frac{x}{y}\frac{\partial y}{\partial x} \tag{13-5}$$

则输出电流对电源电压的灵敏度为：

$$S_{V_{\mathrm{DD}}}^{I_{\mathrm{OUT}}} = \frac{V_{\mathrm{DD}}}{I_{\mathrm{OUT}}}\frac{\partial I_{\mathrm{OUT}}}{\partial V_{\mathrm{DD}}} \tag{13-6}$$

将式13-3和式13-4代入上式中，就可以求得输出电流对电源电压的灵敏度。若假设$V_{\mathrm{DD}} \gg V_{\mathrm{GS1}}$，则很容易算出，$S_{V_{\mathrm{DD}}}^{I_{\mathrm{OUT}}} \approx 1$，因此这种电流源的输出电流强烈依赖于电源电压，电源电压波动会使得输出电流发生同样大小的相对波动。

为了克服简单偏置电流源存在的问题，人们提出了Widlar电流源，如图13-2所示。 电流镜的输出支路

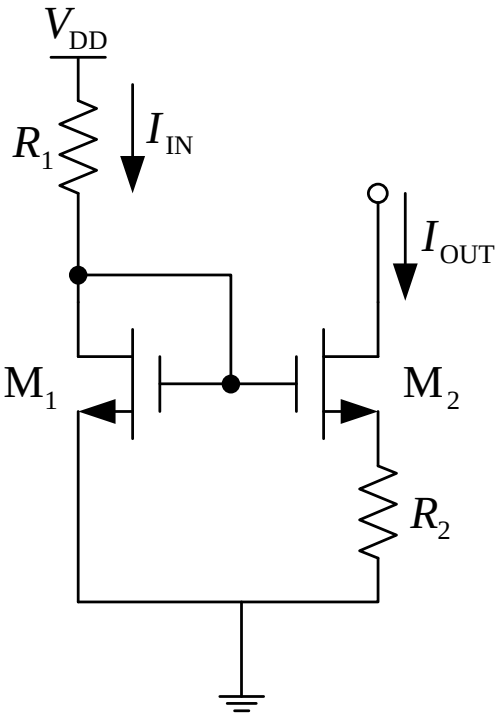


图 13-2 Widlar电流源

上加入了源简并电阻R_2。假设所有的晶体管都工作于饱和区，并忽略沟道长度调制效应，则：

$$V_{\mathrm{GS1}} = V_{\mathrm{GS2}} - I_{\mathrm{OUT}}R_2 \tag{13-7}$$

$$I_{\mathrm{OUT}} = \frac{1}{2}K_{\mathrm{n}}(\frac{W}{L})_2(V_{\mathrm{GS2}} - V_{\mathrm{t}})^2 \tag{13-8}$$

$$I_{\mathrm{IN}} = \frac{1}{2}K_{\mathrm{n}}(\frac{W}{L})_1(V_{\mathrm{GS1}} - V_{\mathrm{t}})^2 \tag{13-9}$$

因此

$$\sqrt{I_{\mathrm{OUT}}} = \sqrt{\frac{1}{2K_{\mathrm{n}}(W/L)_2R_2^2} + \frac{V_{\mathrm{OV1}}}{R_2}} - \sqrt{\frac{1}{2K_{\mathrm{n}}(W/L)_2R_2^2}} \tag{13-10}$$

其中，$V_{\mathrm{OV1}} = \sqrt{2I_{\mathrm{IN}}/[K_{\mathrm{n}}(W/L)_1]}$是晶体管$\mathrm{M}_1$的过驱动电压，输入电流$I_{\mathrm{IN}}$可以用式13-3来求出。

与图13-1所示电流源相比，Widlar电流源更适合于提供小输出电流，在提供小电流时所需要的电阻阻值较小，因此可以减小芯片面积。

为了求出Widlar电流源输出电流对电源电压的灵敏度，将式13-10两边针对电源电压V_{DD}求微分

$$\frac{1}{2\sqrt{I_{\mathrm{OUT}}}}\frac{\partial I_{\mathrm{OUT}}}{\partial V_{\mathrm{DD}}} = \frac{1}{4R_2}\frac{1}{\sqrt{\frac{2}{K_{\mathrm{n}}(W/L)_2} + 4R_2V_{\mathrm{OV1}}}}4R_2\frac{\partial V_{\mathrm{OV1}}}{\partial V_{\mathrm{DD}}} \tag{13-11}$$

其中

$$\frac{\partial V_{\mathrm{OV1}}}{\partial V_{\mathrm{DD}}}=\sqrt{\frac{2}{K_{\mathrm{n}}(W/L)_1}}\frac{1}{2\sqrt{I_{\mathrm{IN}}}}\frac{\partial I_{\mathrm{IN}}}{\partial V_{\mathrm{DD}}}=\frac{V_{\mathrm{OV1}}}{2I_{\mathrm{IN}}}\frac{\partial I_{\mathrm{IN}}}{\partial V_{\mathrm{DD}}} \tag{13-12}$$

因此

$$S_{V_{\mathrm{DD}}}^{I_{\mathrm{OUT}}}=\frac{V_{\mathrm{OV1}}}{\sqrt{V_{\mathrm{OV2}}^2+4I_{\mathrm{OUT}}R_2V_{\mathrm{OV1}}}}S_{V_{\mathrm{DD}}}^{I_{\mathrm{IN}}} \tag{13-13}$$

在Widlar电流源中，I_{OUT}通常远小于I_{IN}，因此V_{OV2}很小，$I_{\mathrm{OUT}}R_2\approx V_{\mathrm{OV1}}$，则：

$$S_{V_{\mathrm{DD}}}^{I_{\mathrm{OUT}}}\approx\frac{V_{\mathrm{OV1}}}{\sqrt{4V_{\mathrm{OV1}}^2}}S_{V_{\mathrm{DD}}}^{I_{\mathrm{IN}}}=0.5S_{V_{\mathrm{DD}}}^{I_{\mathrm{IN}}} \tag{13-14}$$

如果$V_{\mathrm{DD}}\gg V_{\mathrm{GS1}}$，$I_{\mathrm{IN}}\approx V_{\mathrm{DD}}/R_1$，因此$S_{V_{\mathrm{DD}}}^{I_{\mathrm{IN}}}\approx 1$，这样Widlar电流源输出电流对电源电压的灵敏度近似为0.5，只有图13-1所示电流源的一半，减小了电源电压波动对输出电流的影响。

§13.1.2 自偏置电流源

上一小节介绍的两种电流源都与电源电压有关，在很多应用中，需要与电源电压无关的偏置电流源。自偏置电流源就是这样的一种偏置电路，它产生与电源电压无关的输出电流。图13-3解释了自偏置电流源的工作原理。 自偏置电流源由一个简单电流源和一个单位增益电流镜组成。电流镜的作用是使得输入电

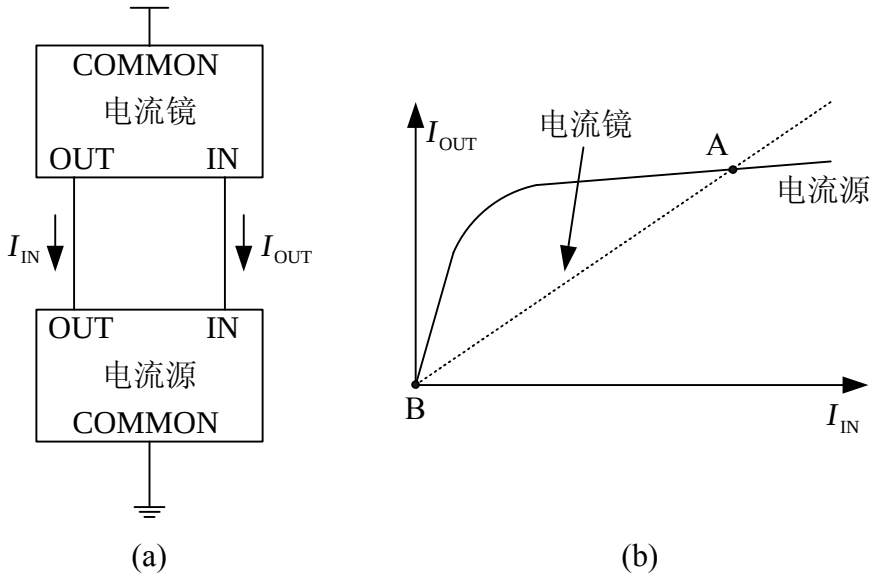


图 13-3 自偏置电流源的工作原理

流I_{IN}等于输出电流I_{OUT}，如图（b）虚线所示；而简单电流源的作用是产生一个与输入电流I_{IN}无关的恒定输出电流I_{OUT}，如图（b）实线所示。简单电流源和电流镜形成一个反馈环路，该环路若存在稳定工作点，该工作点必须同时满足上面提到的两个条件，因此只能是两条曲线的交点。由图（b）可以看出，该电路的工作点可能有两个（A点和B点）。其中，A点是我们所希望的工作点，而在B点，$I_{\mathrm{IN}}=I_{\mathrm{OUT}}=0$，该点是我们所不希望的工作点。

下面我们来判断这两个工作点是否都是稳定工作点。在图13-3（a）中，如果由于某种原因导致输出电流I_{OUT}增加，则单位增益电流镜将使得输入电流I_{IN}也同样增加。由于简单电流源的输出电流与输入电流之间是一种单调函数关系，输入电流I_{IN}增加会迫使输出电流I_{OUT}进一步增加，增加的幅度依赖于电流源的电流增益。很明显，这是一个正反馈环路，环路增益等于简单电流源的电流增益。由反馈系统稳定性理论可知，正反馈环路稳定的条件是环路增益小于1。在A点，简单电流源的输出电流近似与输入电流无关，环路增益很小，环路是稳定的，因此A点是稳定工作点。而在B点，电流源的电流增益很高，环路增益远大

于1，这时环路是不稳定的，正反馈会迫使环路工作点离开B点，直到达到稳定的A点，因此B点是不稳定工作点，正反馈环路会自动迫使电路离开这个不稳定的工作状态。

但实际上，B点是一个稳定工作点，这是由于在B点，电路的工作电流很小，通常在pA量级。在这么小的电流下，泄漏电流和其它效应会减小晶体管的电流增益，使得正反馈环路的环路增益小于1，正反馈不能迫使电路自动离开这个零电流状态。因此，除非采取一定的措施，否则即使电源电压不为0，该自偏置电流源也将永远处于零电流状态，这是一个很严重的问题。为了解决这个问题，通常采用启动电路来将电路的工作状态拉离原点。对启动电路的首要要求是启动电路能使自偏置电流源中的晶体管总会有电流流过，使得电路永远不可能进入B状态；对启动电路的另一个要求是当自偏置电流源达到希望的工作点A附近时，启动电路不能影响自偏置电流源的工作。

图13-4给出了一个带有启动电路的CMOS自偏置电流源。 M_1、M_2和电阻R构成以晶体管M_1的阈值电

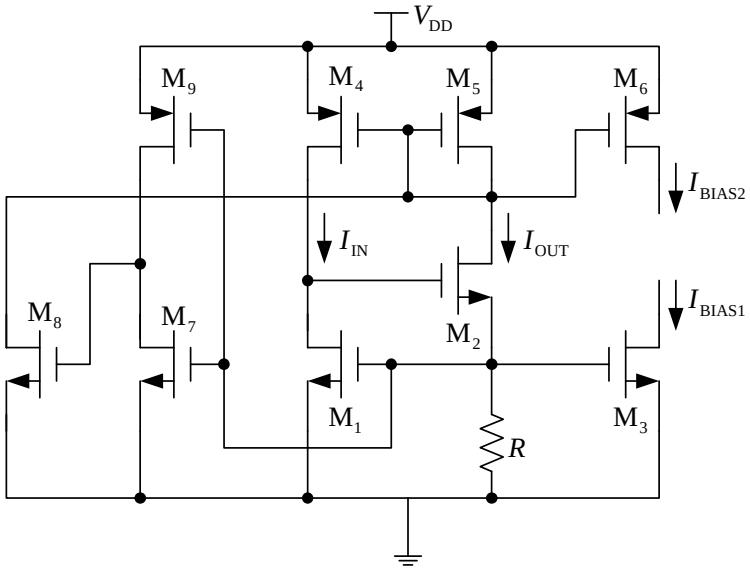


图 13-4 带有启动电路的CMOS自偏置电流源（以晶体管阈值电压作为参考）

压为参考的电流源，它的输出电流I_{OUT} 仅微弱地依赖于输入电流I_{IN}，I_{OUT}的值为：

$$I_{OUT} = \frac{V_{GS1}}{R} \approx \frac{V_t}{R} \tag{13-15}$$

M_4、M_5构成电流镜，使得输入电流$I_{IN} = I_{OUT}$。电路的工作点必须满足电流镜和电流源这两个限制条件，是图13-3（b）中两条曲线的交点。因此除了晶体管有限的输出阻抗外，该偏置电路产生的电流与电源电压无关。为了进一步提高对电源电压波动地抑制率，可以采用Cascode结构来增加电流源和电流镜的输出阻抗。输出电流I_{OUT}通过电流镜像M_5/M_6、M_1/M_3给其它电路提供偏置电流I_{BIAS1}和I_{BIAS2}。

晶体管M_7、M_8和M_9构成启动电路。如果自偏置电流源处于不希望的零电流状态，M_1的栅源电压将小于晶体管的阈值电压，M_7 截止，M_8导通，对M_9的栅极充电，M_9的栅源电压慢慢升高，直到达到V_{DD}。这导致M_9导通，对M_4、M_5的栅极进行放电，M_4、M_5的栅极电压降低，使得M_4、M_5导通，自偏置电路中开始有电流流过，这样就避免了电路的零电流状态。当自偏置电流源处于正常工作状态时，M_7的栅源电压为$I_{OUT}R$，M_7导通，减小了M_9的栅源电压。实际上，M_7、M_8构成一个CMOS反相器，当自偏置电流源启动后，它的输出开始下降。为了避免启动电路影响自偏置电流源的正常工作，反相器的输出应该足够低，使得M_9截止。因此当反相器的输入达到$I_{OUT}R$时，它的输出必须小于晶体管的阈值电压，一般通过选择M_7的尺寸远大于M_8的尺寸来达到这个要求。

若将相对温度系数定义为：

$$\mathrm{TC_F} = \frac{1}{I_{OUT}} \frac{\partial I_{OUT}}{\partial T} \tag{13-16}$$

则图13-4所示自偏置参考源的相对温度系数为：

$$\mathrm{TC_F}=\frac{1}{I_{\mathrm{OUT}}}\frac{\partial I_{\mathrm{OUT}}}{\partial T}\approx\frac{1}{V_{\mathrm{t}}}\frac{\partial V_{\mathrm{t}}}{\partial T}-\frac{1}{R}\frac{\partial R}{\partial T} \tag{13-17}$$

输出电流的相对温度系数等于晶体管阈值电压的温度系数与电阻温度系数的差值，前者一般具有负温度系数，而后者具有正温度系数，因此这种自偏置电流源的温度特性并不是很好。

图13-5给出了第二种形式的自偏置电流源（启动电路略）。 其中的简单电流源（$\mathrm{M_2}$、$\mathrm{M_3}$、$\mathrm{Q_1}$和R）

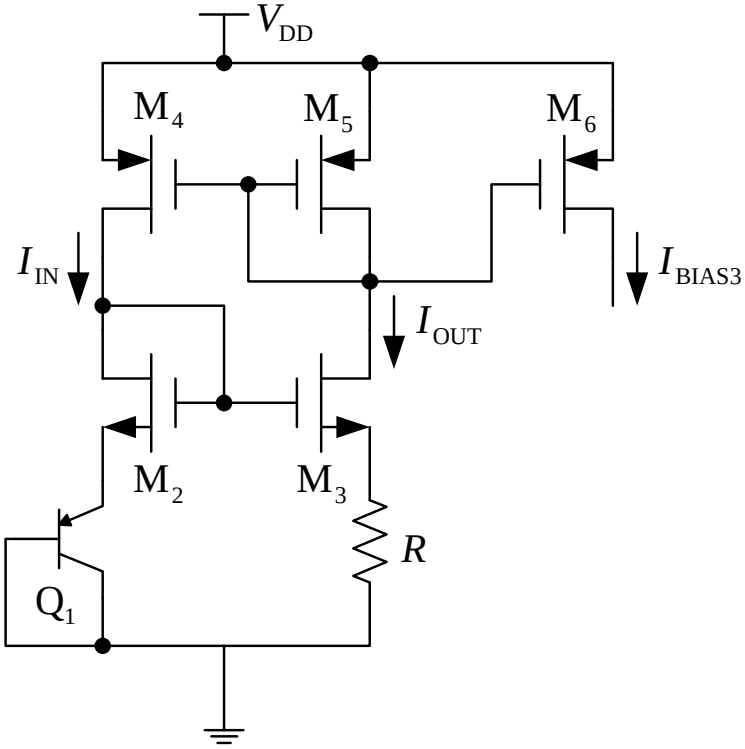


图 13-5 第二种形式的自偏置电流源（以双极晶体管的BE结电压作为参考）

以寄生pnp管$\mathrm{Q_1}$的V_{BE}结电压作为参考电压。若$\mathrm{M_2}$、$\mathrm{M_3}$完全匹配，则$V_{\mathrm{GS2}}=V_{\mathrm{GS3}}$，简单电流源的输出电流为：

$$I_{\mathrm{OUT}}=\frac{V_{\mathrm{BE1}}}{R} \tag{13-18}$$

该电流通过PMOS电流镜像给其它电路提供偏置。由于V_{BE}具有负温度系数，而电阻具有正温度系数，因此种自偏置电流源的温度特性也不是很好。

图13-6是另一种形式的自偏置电流源（启动电路略）。 其中的电流源（$\mathrm{M_2}$、$\mathrm{M_3}$、$\mathrm{Q_1}$、$\mathrm{Q_2}$和R）以热电压$V_{\mathrm{T}}=\mathrm{k}T/q$作为参考电压。$\mathrm{M_5}$、$\mathrm{M_6}$使得$I_{\mathrm{IN}}=I_{\mathrm{OUT}}$，若$\mathrm{M_3}$、$\mathrm{M_4}$完全匹配，则$V_{\mathrm{GS3}}=V_{\mathrm{GS4}}$，因此：

$$I_{\mathrm{OUT}}R=V_{\mathrm{EB1}}-V_{\mathrm{EB2}}=V_{\mathrm{T}}\ln\frac{I_{\mathrm{IN}}}{I_{\mathrm{S1}}}-V_{\mathrm{T}}\ln\frac{I_{\mathrm{OUT}}}{I_{\mathrm{S2}}}=V_{\mathrm{T}}\ln\frac{I_{\mathrm{IN}}}{I_{\mathrm{OUT}}}\frac{I_{\mathrm{S2}}}{I_{\mathrm{S1}}}=V_{\mathrm{T}}\ln n \tag{13-19}$$

在以上推导中，忽略了双极性晶体管的Early效应。这个自偏置电流源产生的偏置电流为：

$$I_{\mathrm{OUT}}=\frac{V_{\mathrm{T}}\ln n}{R} \tag{13-20}$$

其相对温度系数为：

$$\mathrm{TC_F}=\frac{1}{V_{\mathrm{T}}}\frac{\partial V_{\mathrm{T}}}{\partial T}-\frac{1}{R}\frac{\partial R}{\partial T} \tag{13-21}$$

输出电流的相对温度系数等于热电压的温度系数与电阻温度系数的差值，两者都具有正温度系数，因此这种自偏置电流源的温度特性相对较好。

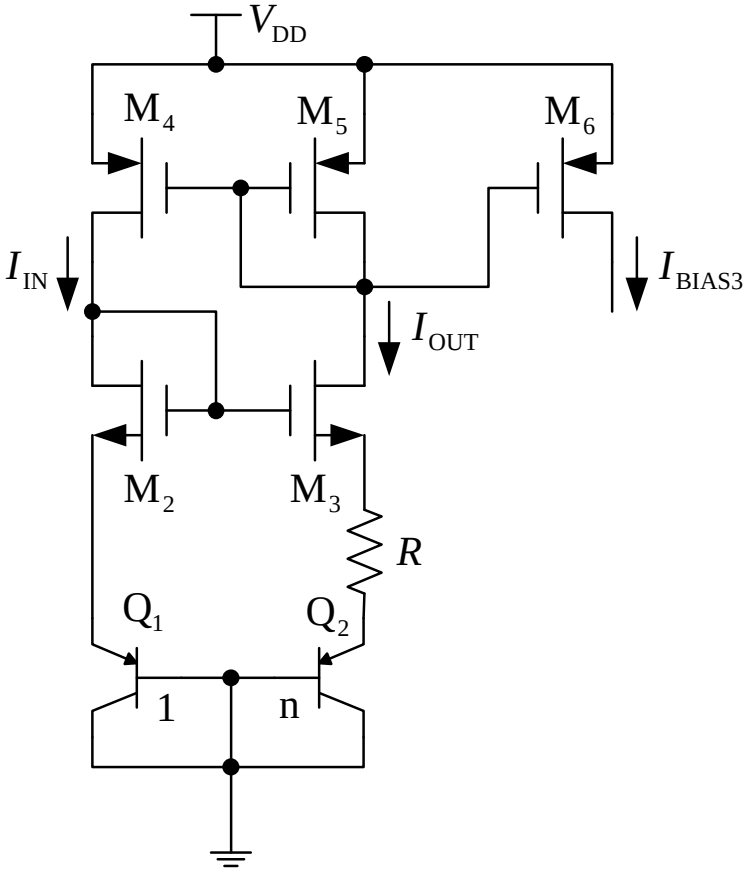


图 13-6 第三种形式的自偏置电流源（以热电压V_T作为参考）

在图13-6所示的自偏置电流源中，电阻上的电压降是Q_1和Q_2的BE结电压的差值，通常在100mV左右，这是一个很小的值。而晶体管M_3、M_4的尺寸不匹配和沟道长度调制效应，会使得它们之间的栅源电压存在微小差别，这会导致输出电流发生很大变化。为了减弱这个影响，M_3、M_4应采用大尺寸晶体管，还可以采用Cascode结构来提高自偏置电流源的性能，但为了保证所有的晶体管都工作于饱和区，采用Cascode结构后会提高对最小电源电压的要求。

§13.1.3 恒跨导源

Widlar电流源也可以用在自偏置电流源中，所构成的电路如图13-7（a）所示。这种电路除了可以提供与电源电压无关的偏置电流外，它还是一个恒跨导源。很多射频电路的性能都与晶体管的跨导有关，保持一个恒定的跨导对维持这些电路的高性能来说是很重要的，因此恒跨导源是很重要的一类偏置电路。下面我们来分析这种电路的性能。

电流镜M_3、M_4迫使$I_{IN} = I_{OUT}$，而对Widlar电流源来说，M_1的栅源电压等于M_2的栅源电压与电阻R_S压降之和，利用长沟道晶体管的平方律$I-V$方程，可以得到：

$$\sqrt{\frac{2I_{OUT}}{K_n(W/L)_n}}+V_{tn1}=\sqrt{\frac{2I_{OUT}}{K_nK(W/L)_n}}+V_{tn2}+I_{OUT}R_S \tag{13-22}$$

忽略晶体管的衬底调制效应

$$\sqrt{\frac{2I_{OUT}}{K_n(W/L)_n}}(1-\frac{1}{\sqrt{K}})=I_{OUT}R_S \tag{13-23}$$

这种自偏置电流源的输出电流为：

$$I_{OUT}=\frac{2}{K_n(W/L)_n}\frac{1}{R_S^2}(1-\frac{1}{\sqrt{K}})^2 \tag{13-24}$$

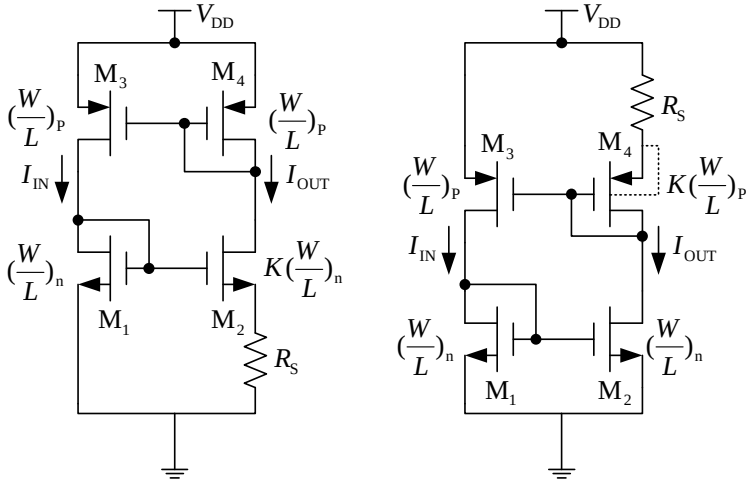


图 13-7 恒跨导源

晶体管M_1的跨导为：

$$g_{m1} = \sqrt{2K_n(W/L)_n I_{IN}} = \frac{2}{R_S}(1 - \frac{1}{\sqrt{K}}) \tag{13-25}$$

可以看到，晶体管M_1的跨导与电源电压和晶体管尺寸没有关系，它仅与电阻R_S的阻值和晶体管M_1、M_2的尺寸比K有关，这样就实现了一个相对恒定的跨导源。

在具体实现时，这种恒跨导源的温漂特性受限于电阻R_S的温度系数，可以采用下一小节将介绍的能隙基准源技术来消除恒跨导源的温漂。电阻R_S的工艺偏差也会限制该跨导源所提供跨导的准确度。电阻R_S上存在的寄生电容可能会影响该恒跨导源的稳定性，因此在设计时，必须对该电路的稳定性在考虑电阻R_S的寄生电容情况下进行仿真。另外，在以上的推导过程中，都忽略了晶体管的沟道长度调制效应，为了减小沟道长度调制效应的影响，必须采用大尺寸的晶体管或者采用Cascode结构。

图13-7（a）所示恒跨导源存在的另一个问题是：对于n阱工艺来说，晶体管M_1和M_2的源极电压是不相同的，衬底调制效应会使得它们的阈值电压存在微小差别，这会影响恒跨导源的性能。补救的办法是利用PMOS管来构成Widlar电流源，如图13-7（b）所示。将晶体管M_3、M_4放在单独的n阱中，就可以消除衬底调制效应的影响。

§13.1.4 能隙基准源（Banggap）

维持恒温性能是所有电路都希望具有的一种特性。到目前为止，基本上所有的恒温技术都是在能隙基准源原理上发展起来的，本小节就介绍能隙基准源的基本原理和几种具体电路。

1. 基本原理

热电压V_T具有正温度系数（约0.085mV/°C），而双极型晶体管的BE结电压V_{BE}具有负温度系数（约−2mV/°C），若能将这两种电压以一定的权重进行相加，那么所得到的电压源就能近似具有零温度系数。图13-8对这一原理进行了说明。 输出电压为：

$$V_{OUT} = V_{EB(on)} + MV_T \tag{13-26}$$

为了决定M的数值，需要求出$V_{EB(on)}$的准确温度系数。在忽略基极电流时，$V_{EB(on)}$可以表示为：

$$V_{EB(on)} = V_T \ln(I_1 T^{n-4} \mathrm{E} \exp \frac{V_{G0}}{V_T}) \tag{13-27}$$

其中，E是一个与温度无关的常数，V_{G0}是单晶硅在0K温度时的带隙电压（$V_{G0} = 1.205$V），n是一个与双极型晶体管基极掺杂浓度有关的常数（$\sim 3/2$）。在实际的能隙基准源电路中，I_1也与温度有关，暂时假设

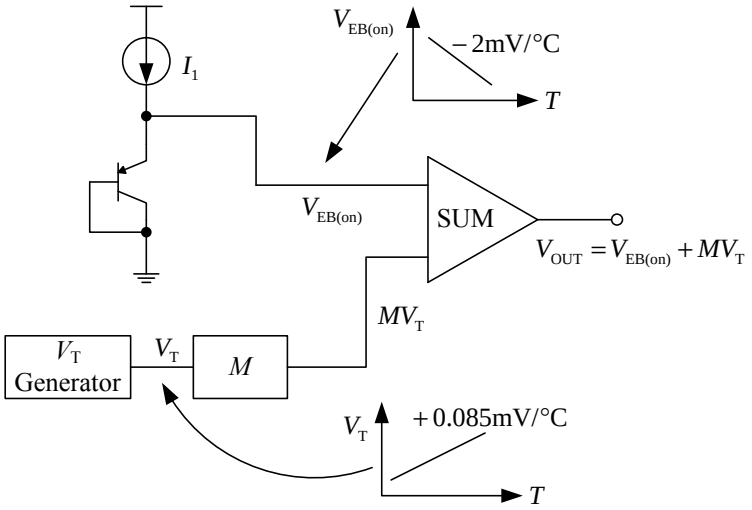


图 13-8 能隙基准源的基本原理

它的温度特性可以表示为：

$$I_1 = GT^{\alpha} \tag{13-28}$$

其中，G是一个与温度无关的常数。将该式代入式13-27中，可以得到：

$$V_{EB(on)} = V_{G0} - V_T[(4-n-\alpha)\ln T - \ln(EG)] \tag{13-29}$$

输出电压为：

$$V_{OUT} = V_{G0} - V_T(4-n-\alpha)\ln T + V_T[M + \ln(EG)] \tag{13-30}$$

可以看出，输出电压与温度之间的关系依赖于两组参数：一组是我们要设计的电路参数（G, α, M）；另一组是工艺参数（E, n）。我们的目标就是确定电路参数（G, α, M），使得输出电压具有零温度系数。将式13-30两边对温度T求微分，

$$\frac{dV_{OUT}}{dT}|_{T=T_0} = \frac{V_{T0}}{T_0}[M + \ln(EG)] - \frac{V_{T0}}{T_0}(4-n-\alpha)\ln T_0 - \frac{V_{T0}}{T_0}(4-n-\alpha) \tag{13-31}$$

令上式等于0，可以得到在温度T_0处输出电压V_{OUT}具有零温度系数的条件为：

$$[M + \ln(EG)] = (4-n-\alpha)\ln T_0 + (4-n-\alpha) \tag{13-32}$$

将该式代入13-30中

$$V_{OUT} = V_{G0} + V_T(4-n-\alpha)(1 + \ln\frac{T_0}{T}) \tag{13-33}$$

因此，输出电压V_{OUT}的温度相关性仅由一个参数T_0所决定，而T_0又是一个由电路参数（G, α, M）和工艺参数（E, n）所决定的量（式13-32）。

当温度为T_0时，输出电压V_{OUT}具有零温度系数，

$$V_{OUT}|_{T=T_0} = V_{G0} + V_{T0}(4-n-\alpha) \tag{13-34}$$

例如，如$n = 3/2$，$\alpha = 1$，则$V_{OUT}|_{T=T_0} = 1.244$，它非常接近于硅的带隙电压V_{G0}。

需要注意的是，输出电压V_{OUT}仅在一个温度处具有零温度系数，而在其它温度处，输出电压的温度系数不为0。将式13-33对温度进行微分，

$$\frac{dV_{OUT}}{dT} = \frac{1}{T}[V_T(4-n-\alpha)(1 + \ln\frac{T_0}{T})] - \frac{V_T}{T}(4-n-\alpha) = (4-n-\alpha)\frac{V_T}{T}(\ln\frac{T_0}{T}) \tag{13-35}$$

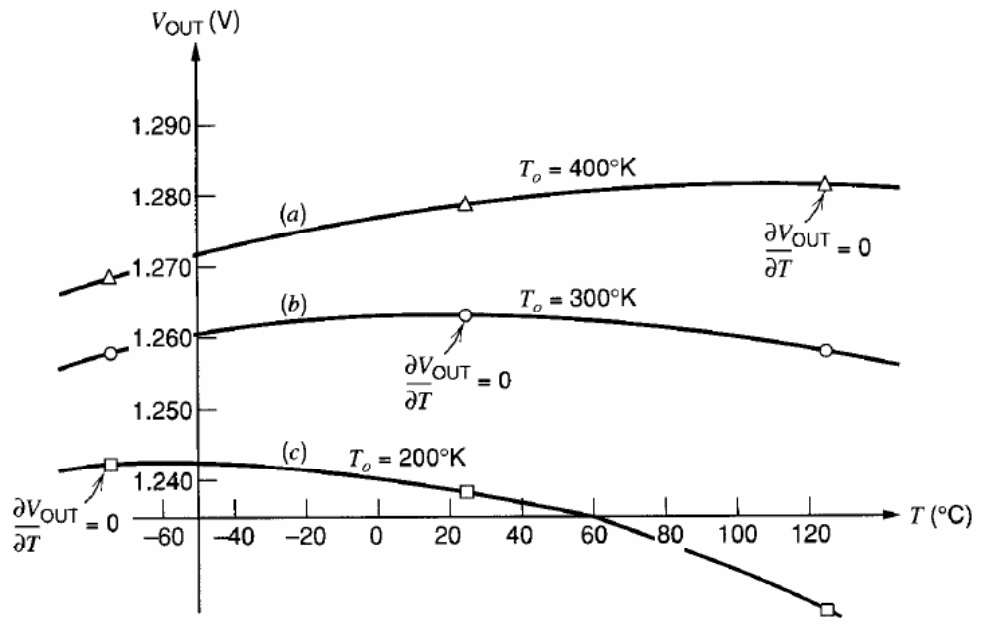


图 13-9 典型能隙基准源的输出电压与温度的关系曲线（$\alpha = 0$）

该式给出了输出电压与温度关系曲线的斜率。图13-9给出了一类典型能隙基准源的输出电压与温度的关系曲线（$\alpha = 0$）。从图中可以看出，当$T = T_0$时，输出电压曲线的斜率为0，具有零温度系数；当$T > T_0$时，输出电压曲线的斜率为负，具有负温度系数；当$T < T_0$时，输出电压曲线的斜率为正，具有正温度系数。

对于能隙基准源来说，常在一个温度范围内衡量它的温度恒定性，而上一小节定义的相对温度系数TC_F仅计算某一个固定温度下的温度系数，因此需要定义一个新的温度系数量来衡量能隙基准源的温度特性。一种常用的定义方式是：

$$TC_{F(eff)} = \frac{1}{V_{OUT}}\left(\frac{V_{MAX} - V_{MIN}}{T_{MAX} - T_{MIN}}\right) \tag{13-36}$$

其中，V_{MAX}、V_{MIN}是在衡量温度范围内输出电压的最大值和最小值，而T_{MAX}、T_{MIN}是衡量温度范围的最高温度值和最低温度值。按照这种定义方式，在温度范围−55°C～125°C内，图13-9曲线（b）的温度系数为44ppm/°C；而在温度范围0°C～70°C内，该曲线的温度系数则提高到17ppm/°C。因此温度范围越小，温度系数就越高，在描述能隙基准源的温度系数时，需要指明温度范围。

2. 能隙基准源电路

如同前面讨论的一样，两个双极型晶体管的BE结电压之差就正比于热电压V_T，这是常用的产生热电压V_T的方法。利用这种方法，就可以实现能隙基准源。图13-10给出了一个与CMOS工艺兼容的能隙基准源电路，图中的pnp管都是寄生双极型晶体管。 假设这个电路存在稳定的工作点，并且运算放大器是理想的。由于运放是理想的，运放两个输入端之间的电压差为0，电阻R_1和R_2上的电压降相等，因此电阻R_1和R_2的比值就决定了两条支路的电流I_1和I_2之比。I_1 和I_2流进晶体管Q_1、Q_2的集电极，电阻R_3上的电压为：

$$V_{R_3} = \Delta V_{EB} = V_{EB1} - V_{EB2} = V_T \ln \frac{I_1}{I_2}\frac{I_{S2}}{I_{S1}} = V_T \ln \frac{R_2}{R_1}\frac{I_{S2}}{I_{S1}} \tag{13-37}$$

由于流过R_3的电流等于流过R_2的电流，电阻R_2上的压降为：

$$V_{R_2} = \frac{R_2}{R_3}V_{R_3} = \frac{R_2}{R_3}V_T \ln \frac{R_2}{R_1}\frac{I_{S2}}{I_{S1}} \tag{13-38}$$

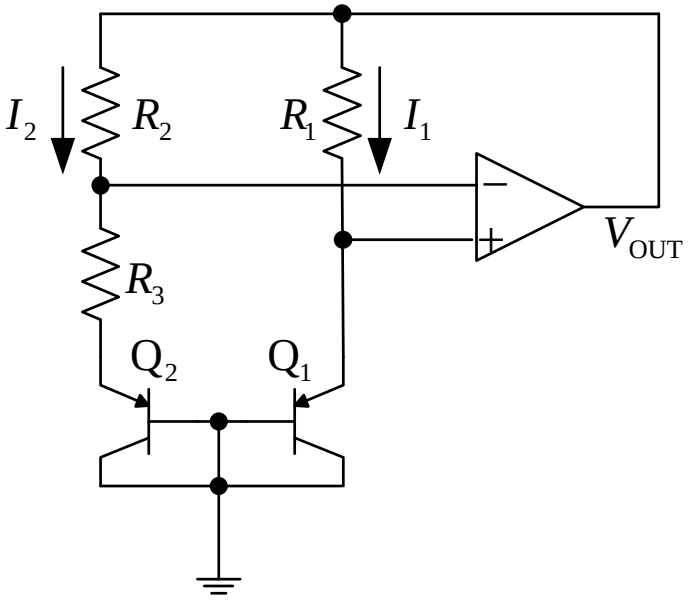


图 13-10 CMOS能隙基准源

它正比于绝对温度T，故被称为PTAT（Proportional to absolute temperature）电压源。输出电压V_{OUT}为电阻R_2、R_3上的电压降和Q_3的BE结电压之和：

$$V_{\mathrm{OUT}} = V_{\mathrm{EB2}} + V_{R_3} + V_{R_2} = V_{\mathrm{EB2}} + (1 + \frac{R_2}{R_3})V_{\mathrm{T}} \ln \frac{R_2}{R_1}\frac{I_{\mathrm{S2}}}{I_{\mathrm{S1}}} = V_{\mathrm{EB2}} + MV_{\mathrm{T}} \tag{13-39}$$

这个电路是一个能隙基准源电路，M由电路参数R_2/R_3、R_2/R_1以及$I_{\mathrm{S2}}/I_{\mathrm{S1}}$决定，它仅与电阻比值以及双极型晶体管的尺寸之比有关，因此是一个与温度无关的常数。

图13-10所示能隙基准源存在的最主要问题是运放的失调电压会影响输出电压的温度特性。运放的失调电压是由电路内部的非对称性引起的，表现为当运放的输入电压为0时，运放的输出电压不等于0，一般将输入失调电压等效为与运放输入端串联的一个电压源V_{OS}，如图13-11所示。 考虑到运放的失调电压后，采

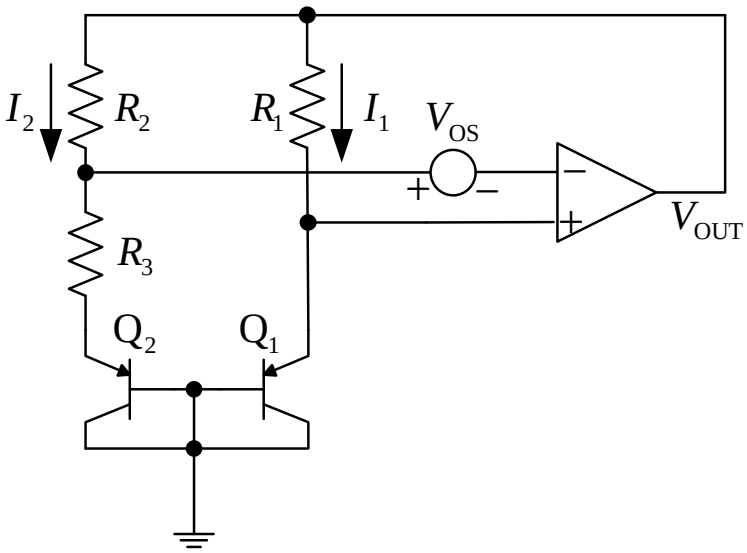


图 13-11 运放的失调电压对能隙基准源的影响

用与上面相同的过程可以推导出基准源的输出电压为：

$$V_{\mathrm{OUT}} = V_{\mathrm{EB2}} + (1 + \frac{R_2}{R_3})V_{\mathrm{T}} \ln \frac{R_2}{R_1}\frac{I_{\mathrm{S2}}}{I_{\mathrm{S1}}} + (1 + \frac{R_2}{R_3})V_{\mathrm{OS}} \tag{13-40}$$

基准源的输出电压中包含了一个随机失调成分，它的幅度是运放输入失调电压的$(1+\frac{R_2}{R_3})$倍。更严重的是，运放的输入失调电压存在温漂，因此当温度变化时，基准源的输出电压会因为运放的失调漂移而发生变化，改变了基准源的恒温特性。

为了降低运放失调电压对能隙基准源的影响，一种办法是尽可能降低运放的失调电压（如采用具有良好对称性的电路结构和版图、采用大尺寸晶体管等）；另一种办法是降低失调的放大倍数$(1+\frac{R_2}{R_3})$，注意到电路参数M也与这个放大倍数成正比，由式13-40可知，要使得基准源的输出电压具有恒温特性，降低$(1+\frac{R_2}{R_3})$的唯一办法是增加晶体管Q_1、Q_2的BE结电压差ΔV_{EB}。实现这种思路的电路方案有多种，其中的一种方案如图13-12所示。 流过晶体管Q_1、Q_2集电极的电流不相等，两个晶体管的尺寸也不相等，大电

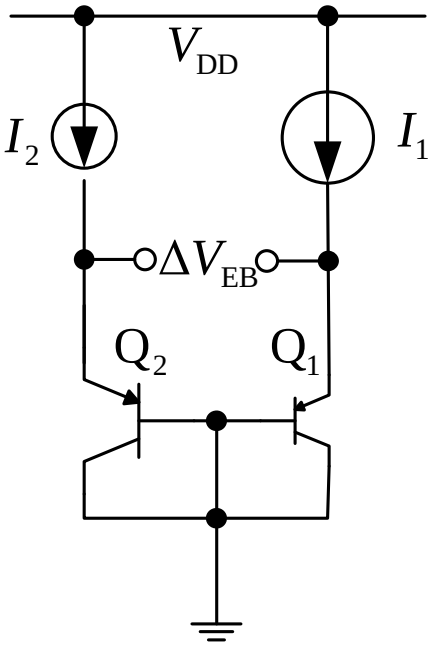


图 13-12 增加ΔV_{EB}的电路方案

流I_1流过小尺寸的晶体管Q_1，小电流I_2流过大尺寸的晶体管Q_2。两晶体管BE结的电压差为：

$$\Delta V_{EB} = V_{EB1} - V_{EB2} = V_T \ln(\frac{I_1}{I_2}\frac{I_{S2}}{I_{S1}}) \tag{13-41}$$

图13-12所示方案可以同时增加$\frac{I_1}{I_2}$和$\frac{I_{S2}}{I_{S1}}$，因此可以增加ΔV_{EB}。在实际设计时，这些比值通常设计为10，在室温下所产生的$\Delta V_{EB} \approx 120\text{mV}$。由于对数函数特性，进一步增加$\Delta V_{EB}$会导致极大的芯片面积开销，因此是不划算的。

增加ΔV_{EB}的另一种方案如图13-13所示。 ΔV_{EB}由两组双极型晶体管的EB结电压差级联构成，这时

$$\Delta V_{EB} = V_{EB3} - V_{EB4} + V_{EB1} - V_{EB2} \tag{13-42}$$

若Q_2与Q_4相同，Q_1和Q_3相同，$I_2 = I_4$，$I_1 = I_3$，则：

$$\Delta V_{EB} = 2(V_{EB1} - V_{EB2}) = 2V_T \ln(\frac{I_1}{I_2}\frac{I_{S2}}{I_{S1}}) \tag{13-43}$$

这样就将ΔV_{EB}增加了一倍，所付出的代价是双极型晶体管的芯片面积增加一倍，功耗增加一倍。

图13-14所示的能隙基准源利用了以上的两个方案来减小运放失调电压的影响。 运算放大器通过调节晶体管M_1～M_4的栅极电压，迫使节点X、Y电压相等。晶体管M_1～M_4的栅源电压都相同，在忽略沟道长度调制效应的情况下，流过四条支路的电流与这四个晶体管的尺寸成正比。因此让M_3和M_1的尺寸相等，M_2和M_4的尺寸相等，而且通过选择这两组晶体管的尺寸比，可以很容易的实现图13-13所示方案。但

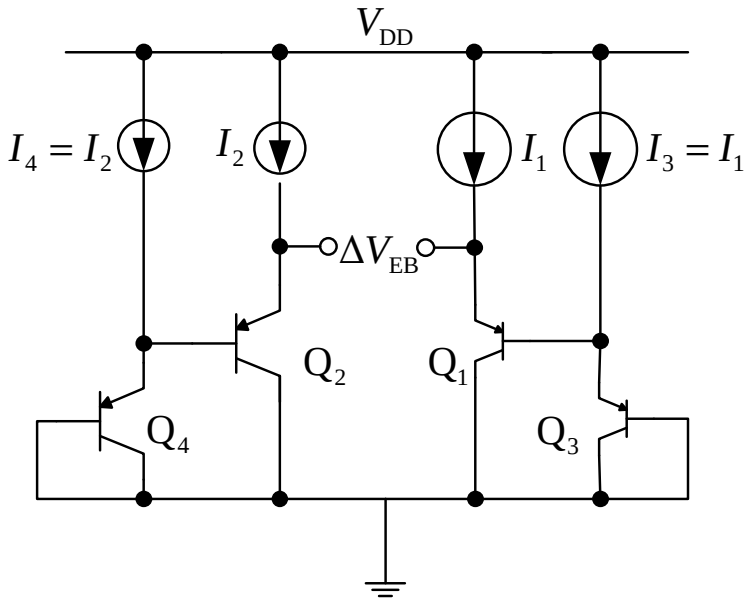


图 13-13 增加ΔV_{EB}的另一种电路方案

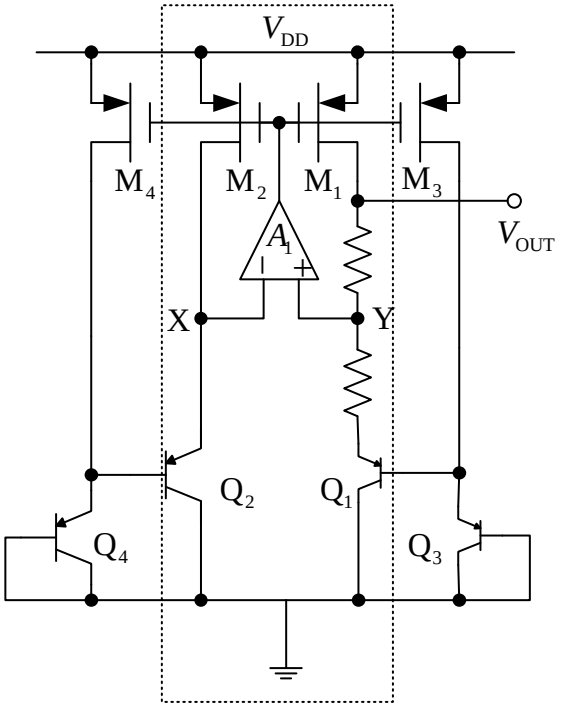


图 13-14 减小运放失调电压影响的能隙基准源

这种电路存在两个问题：一个问题是PMOS管之间的不匹配和沟道长度调制效应会在输出电压上引入误差，这可以通过采用大尺寸晶体管或者Cascode结构来减小；另一个问题是由于寄生pnp晶体管的电流增益很低，Q_2、Q_4的基极电流会流进Q_1、Q_3的发射极中，使得流过Q_2（Q_4）发射极的电流并不与Q_1（Q_3）发射极的电流相等，从而在基准源输出电压上引入误差。

需要说明的是，图13-14中虚线框内所示部分也可以作为一个能隙基准源，只是运放的失调电压对它的影响较大。

图13-15给出了两种新的能隙基准源电路，这两种能隙基准源都是利用虚线框内的电路部分来产生一个与温度成正比的电流（PTAT）。 图（a）利用运放来迫使节点X和节点Y电压相等，使得电阻R_1上的

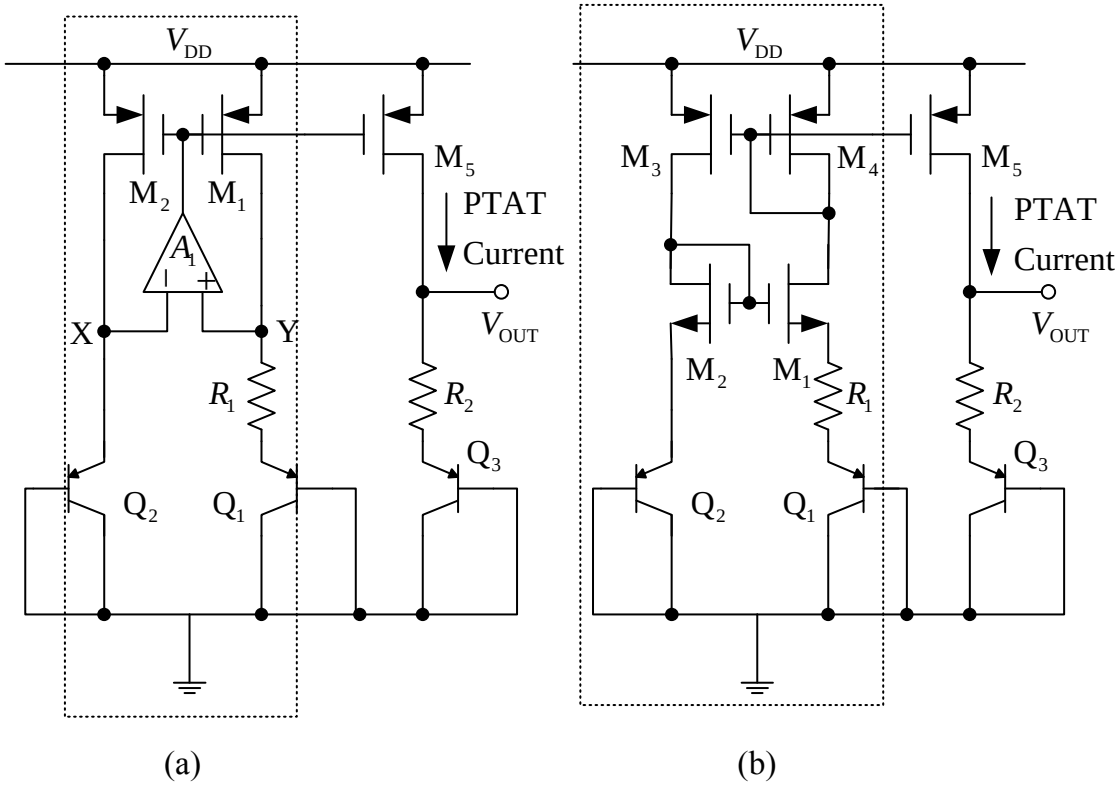


图 13-15 CMOS能隙基准源电路

电压降为两pnp管EB结的电压差，在M_1和M_2尺寸相同时，两支路的电流均为$V_T \ln n/R_1$，该电流通过电流镜像到第三条支路上；图（b）利用了自偏置电流源来产生与温度成正比的电流（见图13-6）。假设所有PMOS晶体管的尺寸相同，则这两种基准源的输出电压均可表示为：

$$V_{OUT} = V_{EB3} + \frac{R_2}{R_1} V_T \ln n = V_{EB3} + MV_T \tag{13-44}$$

因此这两个电路均为能隙基准源电路，PMOS晶体管之间的不匹配会增加输出电压误差，因此PMOS晶体管需要采用大尺寸晶体管。

所有的能隙基准源都需要一个启动电路以避免基准源陷入零电流状态，图13-4所给出的启动电路可以应用于这些能隙基准源中。

尽管在原理上来说，基准源的输出电压与电源电压无关，但由于沟道长度调制效应（Early效应）或者运放在高频下有限的共模抑制能力，能隙基准源的实际输出电压会受到电源电压的影响。在高精度的应用中，可以采用对电源电压进行归整（Regulation）以消除电源电压上的波动等办法来提高基准源对电源电压波动的抑制能力。

§13.1.5 恒温电流源

前面我们介绍的能隙基准源都是电压源，实际上，能隙基准源技术也可以用来产生一个恒温电流源。它的基本思路是利用能隙基准源技术来产生具有正温度系数的电压，将该电压加在一个具有正温度系数的电阻上，那么流过电阻的电流就近似与温度无关。实现该思路的一种电路如图13-16所示。 虚线框内部分同图13-15（b）所示的能隙基准源完全相同，它产生一个输出电压$V_{OUT} = V_{EB} + MV_T$。运算放大器将R_3上的压降和V_{OUT}进行比较，比较后的结果驱动晶体管M6的栅极，调节R_3上的电压降，这是一个负反馈。如果运算放大器是理想的，那么在稳定时R_3上的压降应等于V_{OUT}，因此流过电阻R_3上的电流为

$$I_{OUT} = \frac{V_{OUT}}{R_3} = \frac{V_{EB} + MV_T}{R_3} \tag{13-45}$$

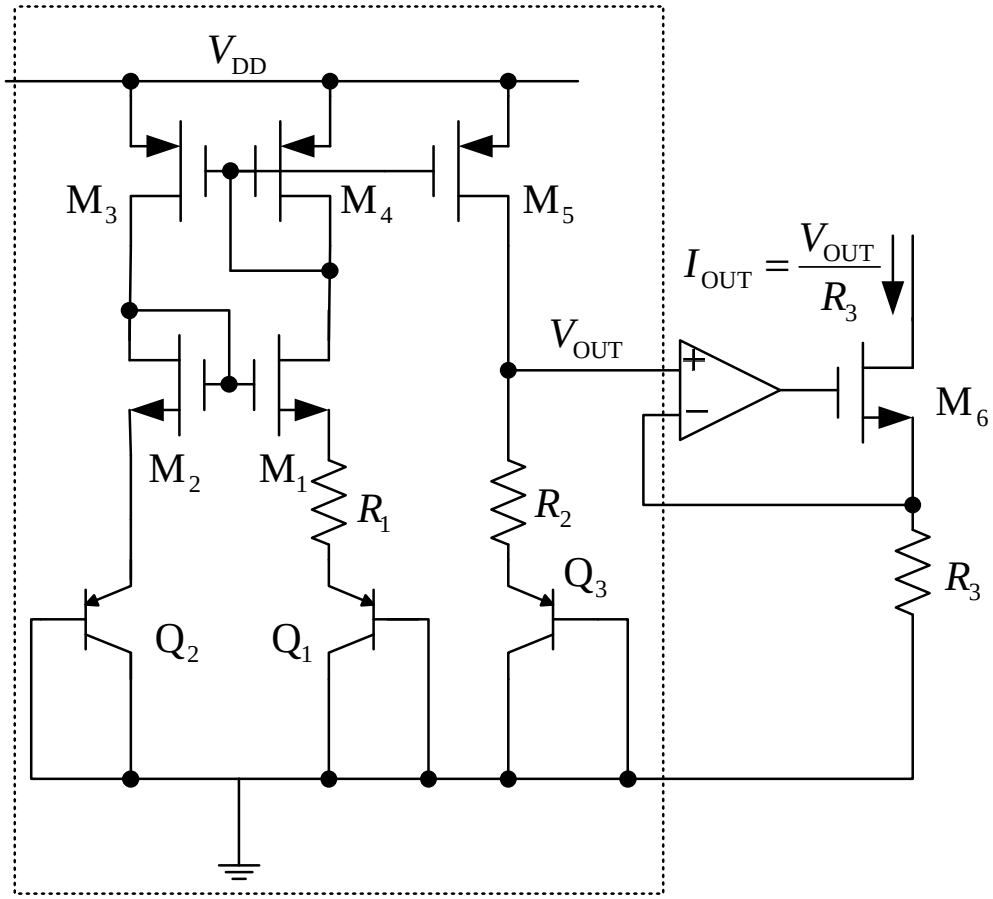


图 13-16 恒温电流源

合理选择电路参数，可以使得上式中的分子、分母部分具有相同的温度系数，这样就实现了一个恒温电流源。该电流可以通过电流镜镜像给其它电路提供恒温偏置电流。

§13.1.6 偏置电路的速度考虑

偏置电路虽然是低频电路，但它也可能影响功能模块电路的响应速度，而且各个不同的功能模块有可能通过偏置线互相耦合。图13-17对这种情况进行了说明。 能隙基准源通过M_3、M_4给其它功能模块提供偏置，如果在某一时刻，通过M_3提供偏置的功能模块在节点N引入一个很大的干扰，该干扰通过寄生耦合电容C_P耦合到节点P，节点P上也会出现电压波动。而运算放大器通过负反馈会使节点P上的电压尽可能保持恒定。但当节点N上的电压受到扰动的强度很强时，运算放大器有限的响应速度使得P节点电压不能很快恢复到稳定值，节点P上会出现电压波动，而且在运放的响应速度很慢时，该波动可能持续的时间将很长，节点P上的电压波动会给各个功能模块的偏置造成影响，干扰各个模块的正常工作。

解决这个问题的办法有两种：一种是在偏置电路中采用高速运放，这样节点P上的电压波动能很快就受到抑制，降低了对其它模块的影响，但高速运放会消耗大量的功耗；另一种办法是在节点P上引入接地的大滤波电容C_B来抑制节点P上的电压波动，电容C_B必须远大于寄生耦合电容C_P，这样才能对P节点的电压波动具有较好的抑制能力，大电容C_B的加入，可能会影响运放的稳定性，这是在设计时必须考虑的一个问题。

§13.2 自动增益控制环路

在无线接收机中，天线接收到的信号强度可能变化很大，接收机对于这些不同强度的信号都必须能够正确解调。如对于GSM手机来说，它所接收到的最弱有用信号为−102dBm，所接收到的最强有用信号

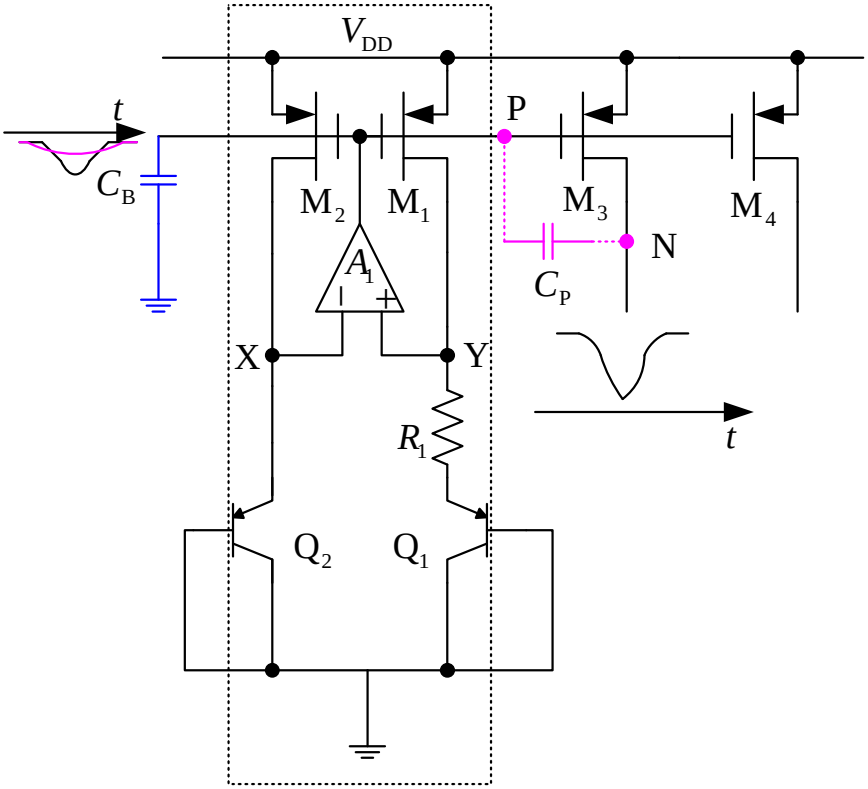


图 13-17 电路瞬态对偏置电压或者电流的影响

为−15dBm，信号的能量变化范围为87dB，这是一个很宽的范围，任何恒定增益的接收机都无法正确解调这么宽能量范围的信号。为了正确解调强弱不同的信号，无线接收机的增益必须根据信号强度进行自动调节，使接收机在接收弱信号时具有很高的增益，而在接收强信号时具有较低的增益。这是由自动增益控制环路来实现的，绝大多数无线接收机电路中都包含了自动增益控制环路。本节就介绍自动增益控制环路的基本原理和具体实现电路。

§13.2.1 基本原理

自动增益控制环路的作用是，当天线接收到的信号强度变化很大时，保持接收机输出信号强度几乎不变。具体地说，当接收到的信号很弱时，接收机增益大，自动增益控制环路不起作用；而当接收到的信号很强时，自动增益控制环路进行控制，使接收机的增益减小。这样，当天线接收到的信号强度变化时，接收机输出端的信号强度仍可以近似保持不变。

为了实现自动增益控制，必须产生一个随外来信号强度变化的电流（或电压）信号，然后再用这个电流（或电压）信号去控制接收机有关级的增益。图13-18（a）给出了自动增益控制的方框图。 它由四个模块组成：可变增益放大器（VGA）、峰值监测器、低通滤波器和差分放大器（或比较器）。可变增益放大器具有一个增益控制输入端，它的增益受到增益控制输入端信号的控制；峰值监测器对VGA输出信号的包络进行检波，检波后的结果送到低通滤波器进行滤波，取出VGA输出信号幅度的平均值送到差分比较器（或比较器）中，并与一个参考电平进行比较，根据比较结果动态调整VGA的增益。图13-18（b）给出了自动增益控制环路的输入-输出传输曲线，将该曲线同没有自动增益控制机制的电路传输曲线相比，可以看到，当输入信号幅度较大时，自动增益控制环路的增益受到压缩，电路的增益可以根据输入信号强度进行自动调节。

随着数字处理技术的发展，越来越多的接收机采用数字信号来控制可变增益放大器的增益，如图13-19所示。 传统模拟AGC环路中的各个模块，除了可变增益放大器外，其它的模块都在数字域实现，这样可以做到精确控制电路的增益，而且减小了模拟电路设计的难度。VGA的输出信号经模数变换器变换为数字

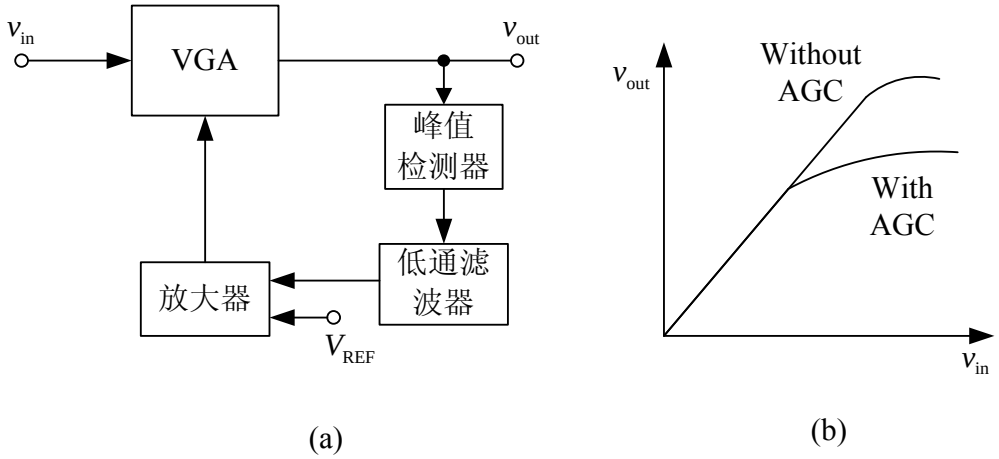


图 13-18 自动增益控制环路的基本原理

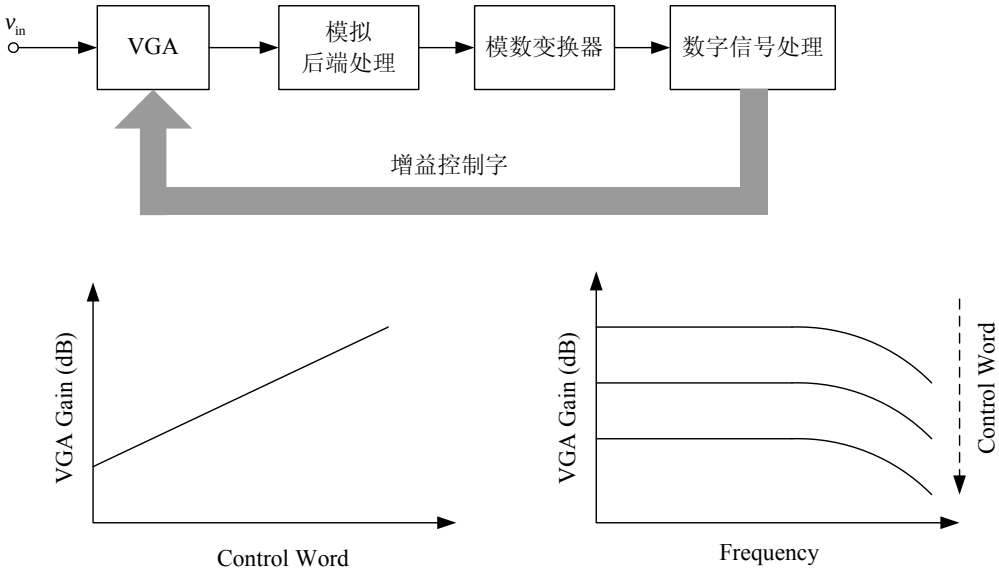


图 13-19 数字自动增益控制环路

信号，在数字域对信号强弱进行判断，并给出数字增益控制字来控制VGA的增益，VGA的增益一般根据数字增益控制字的大小按dB步长变化。

§13.2.2 可变增益放大器

在AGC环路中，可变增益放大器（VGA）是一个核心模块，它的增益应受到外部控制信号的控制。实现增益可控的方案有很多种，本节介绍常用的几种方案。

1. 模拟乘法器为基础的VGA

模拟乘法器为基础的VGA通常是在Gilbert单元的基础上发展而来的。图13-20给出了Gilbert单元的电路图。 当$v_x^2 \ll \frac{4I_{d1,2}}{K_n(W/L)_{3-6}}$时，该Gilbert单元可以近似实现乘法操作，它的输出电流为：

$$\Delta i = I_{d3} + I_{d5} - I_{d4} - I_{d6} \approx \frac{K_n}{\sqrt{2}}\sqrt{(W/L)_{1-2}(W/L)_{3-6}} \cdot v_x \cdot v_y \tag{13-46}$$

因此，可以将v_y或者v_x作为增益控制信号，而将另一个信号作为输入信号，这样就可以实现增益控制功能。但该单元的线性工作范围很窄，为了扩大输入信号的线性范围或者增益控制的线性范围，需要对该单元进行线性化处理。

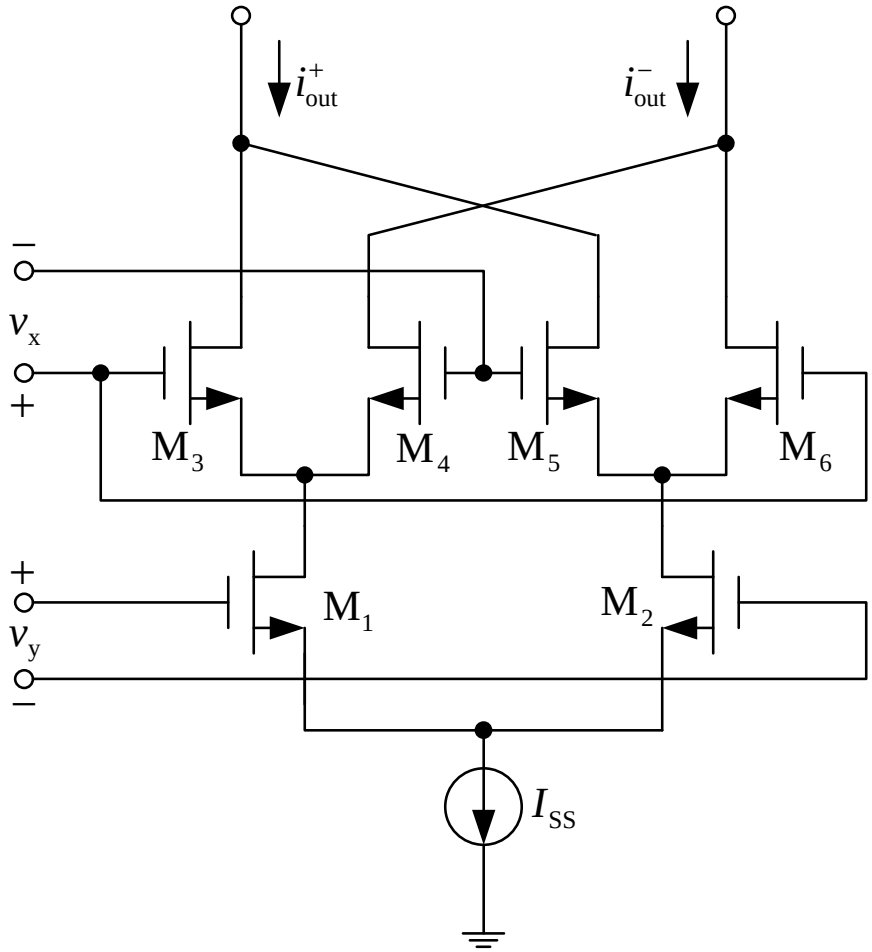


图 13-20 Gilbert单元

乘法器为基础的VGA具有很宽的带宽，适合于宽带宽应用。但是，这种VGA存在两个问题：第一个问题是VGA的增益变化范围有限，其增益变化范围同增益控制信号的变化范围相同；第二个问题是差分对可能存在随机失调，当增益控制信号很小时，该随机失调可能掩没增益控制信号所引起的增益变化。

2. **可编程跨导器为基础的**VGA

开环放大器的增益为等效输入跨导G_m和等效输出电阻R_{out}的乘积，因此改变输入级的跨导就可以改变放大器的增益，构成以可编程跨导器为基础的VGA。输入级的跨导调节可以通过改变输入级的偏置电流或者改变输入级的源简并电阻的阻值来实现。

图13-21 给出了一种可编程跨导器为基础的VGA，它是一个电阻作负载的差分放大器，通过改变差分对的偏置电流来调节放大器的跨导。 由长沟器件的平方律$I-V$特性可知，差分对的跨导正比于尾电流源电流大小的平方根，因此改变尾电流源I_{SS}的大小就可以改变差分对M_1、M_2的跨导。这种类型的VGA存在两个问题：一个问题是差分对的线性工作区范围很窄；另一个问题是VGA的增益变化范围很小（例如，即使偏置电流改变100倍，增益也只能改变10倍）。

图13-22给出了另一种可编程跨导器为基础的VGA，它通过改变输入级源简并电阻R_E的阻值来调节放大器的跨导。 使用源简并技术可以提高跨导器的线性度，但它会降低跨导器的跨导，而且VGA的增益变化范围仍然很小。

图13-23给出了另外两种可编程跨导器。 其中，图（a）用多个差分对并联来构成跨导器，改变跨导可通过调节每一个差分对的尾电流源大小或者改变每个差分对的单端输入信号$V_{Ci}(i=1,2,3\cdots)$来实现，它可以提供较大的增益变化范围。图（b）是一个电阻为基础的跨导器，它的跨导等于$1/R_E$，放大器的增益

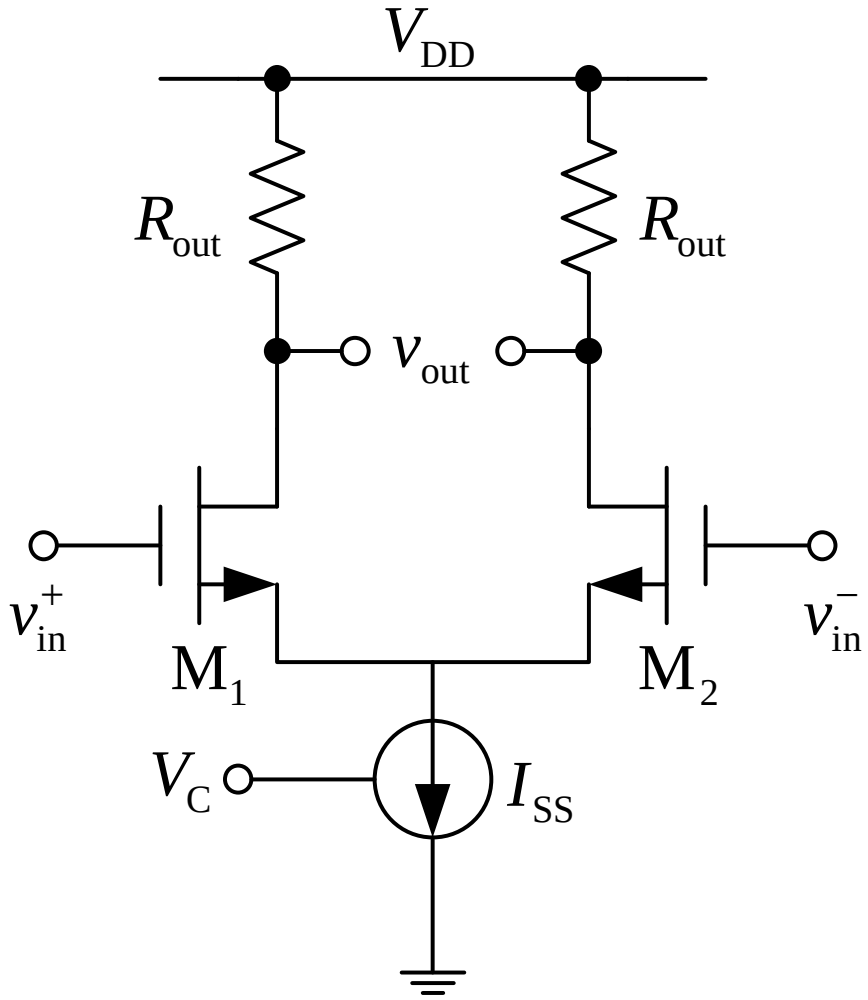


图 13-21 通过改变输入级的偏置电流来调节放大器的跨导

为两个电阻的比值，具有很高的线性度，而且改变R_E就可以调节跨导。这两种跨导器都可以提供相对较大的增益变化范围，同时具有较高的线性度，但由于元器件增多所产生的寄生电容和噪声，它们的带宽都较窄，噪声性能也比较差。

3. **可编程负载为基础的**VGA

开环放大器的增益为输入级的跨导和负载阻抗的乘积，因此改变放大器的负载阻抗也可以改变放大器的增益。可调节的负载可以采取两种形式：一种负载形式是线性区工作的MOS晶体管作电阻，改变晶体管的栅极电压就可以改变它的阻抗，线性区工作要求可能会限制输出电压摆幅，而且线性度范围也会受到限制，需要进行线性化；另一种负载形式是开关电阻阵列，控制开关的导通状态就可以改变它的等效阻抗。

图13-24给出了常用的$R-2R$开关电阻阵列结构。在n段$R-2R$梯形网络中，如果仅开关$\mathrm{S_m}(\mathrm{m}=0,1,2,\cdots,\mathrm{n})$闭合，其余开关都断开，则从节点m往左看到的等效电阻为R，它是一个固定值，与闭合开关的位置无关。可以证明，当仅有$\mathrm{S_m}$闭合时，输出电压$V_{\mathrm{out,m}}$为：

$$V_{\mathrm{out,m}}=-2^{-\mathrm{m}}\cdot IR \qquad (\mathrm{m}=0,1,\cdots,\mathrm{n}) \tag{13-47}$$

因此，通过控制不同开关的导通状态，就可以实现可变增益。

采用开关电阻阵列做负载的放大器，偏置电流流过电阻负载网络会产生电压降。在控制字改变开关电阻阵列的配置时，偏置电流在电阻负载网络上的电压降也会发生变化，这会影响放大器的静态工作点。可以证明，差分对漏端看到的负载电阻随开关闭合位置$\mathrm{S_m}$的变化是一个单调递减序列，值限制在$2R/3$和R之

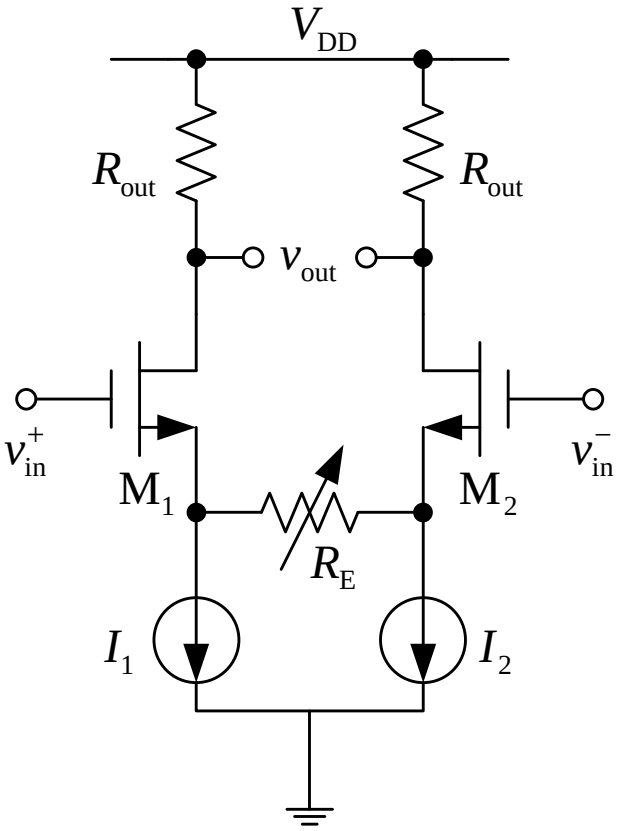
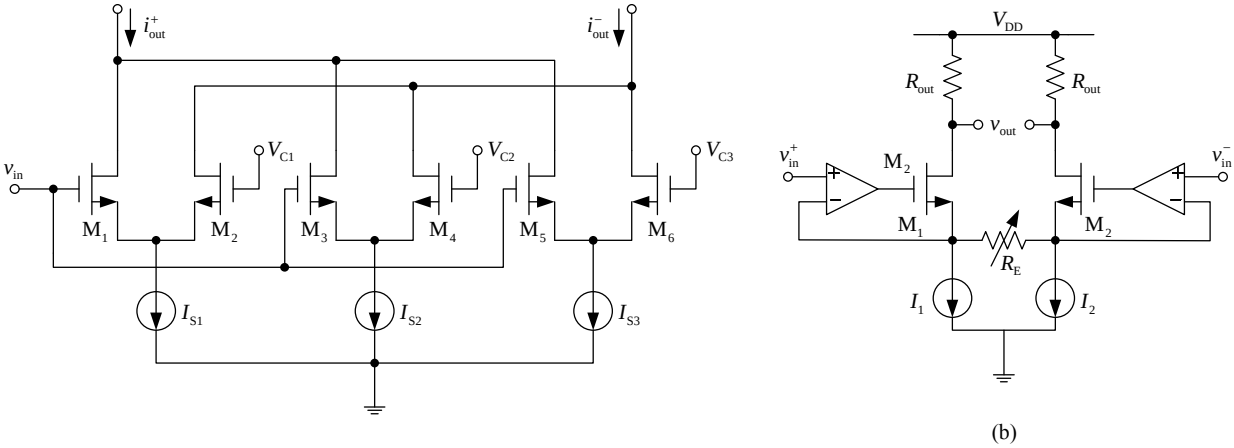


图 13-22 通过改变输入级源简并电阻R_E的阻值来调节放大器的跨导



(a) (b)

图 13-23 可编程跨导器为基础的高线性度VGA

间，因此差分对漏端看到的负载电阻变化范围只有$R/3$，根据这可以估计开关电阻阵列的配置发生变化对放大器静态工作点的影响。

可编程负载为基础的VGA的最大问题是：放大器带宽通常由负载端的RC时间常数决定，增益带宽积是一个常数，当VGA的增益发生变化时，它的带宽会成反比例变化。因此，当VGA的增益达到最大值时，它的带宽会达到最小值，而增益达到最小值时，它的带宽会达到最大值，对于某些要求恒定带宽的应用来说，这种VGA是不合适的。

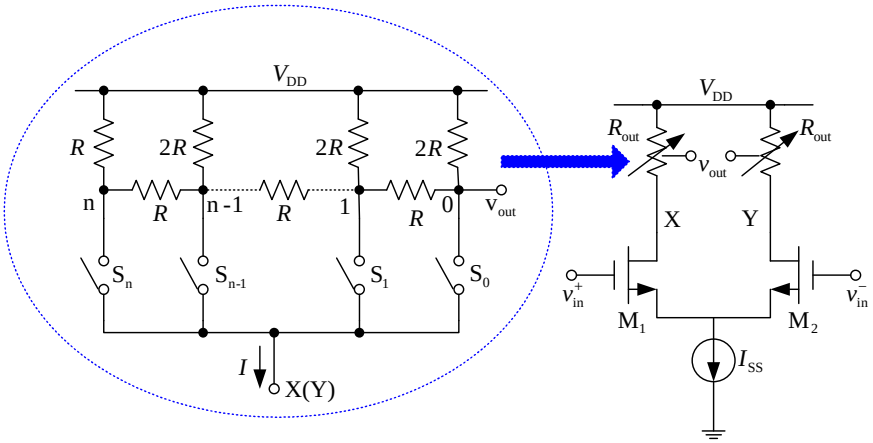


图 13-24 $R-2R$开关电阻阵列作负载的VGA

4. **可编程反馈为基础的**VGA

改变反馈网络的反馈系数也可以实现增益可变的放大器。反馈元件可以是线性区工作的MOS管或者开关电阻阵列。图13-25给出了一个基于全差分运算放大器的负反馈闭环电路。 若假设运放为理想运放，则这

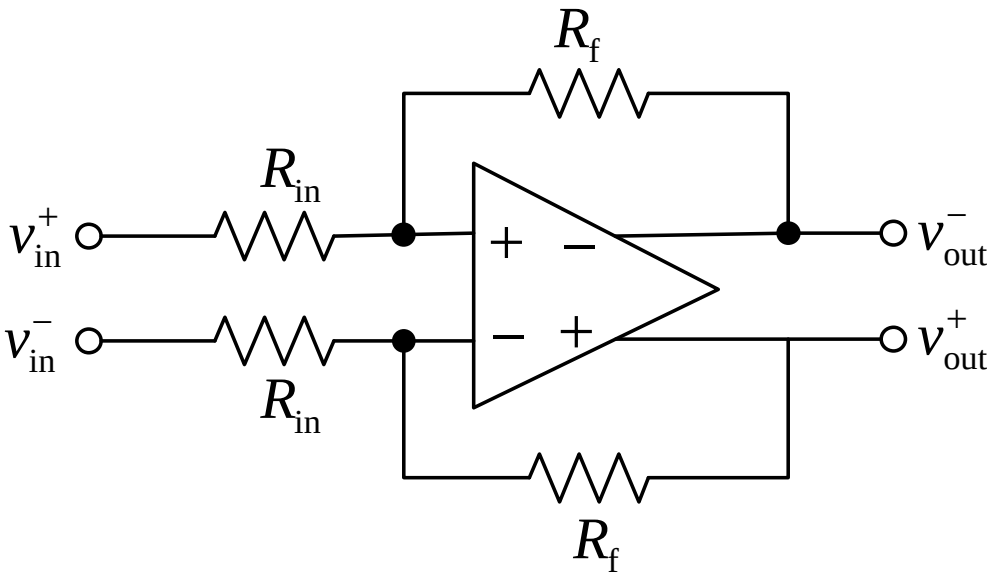


图 13-25 可编程反馈为基础的VGA

个放大器的增益为：

$$G=\frac{R_{\mathrm{f}}}{R_{\mathrm{in}}} \tag{13-48}$$

增益等于反馈电阻和输入电阻之比。改变电阻值R_{f}或者R_{in}即可实现变化增益。如果反馈电阻R_{f}可变，它会影响输入、输出节点的极点，使得放大器的带宽发生变化；如果输入电阻R_{in}可变，它对前级将形成变化的负载效应，需要增加缓冲级来隔离。

和开环VGA相比，闭环VGA使用负反馈结构，性能稳定。它的增益取决于电阻之比，线性度较高。在适当的设计下，它可以实现端到端的输入输出，信号动态范围较大。然而对运放高增益、宽带宽、低噪声、低失真的要求使得电路设计比较复杂，功耗相对较高，而且由于运放自身的限制，难以实现宽带VGA。

闭环VGA除了采用基于电压运放的负反馈闭合环路外，还可以采用电流反馈型配置，这种配置在反馈系数发生变化导致放大器的增益发生变化时，放大器的带宽不会受到影响，但是电流反馈型配置通常会产

生更高的噪声，而且它需要一个电压到电流转换电路将输入电压信号转变为电流信号。

5. **可编程衰减器为基础的**VGA

这种VGA由一个可编程衰减器和一个常数增益放大器级联构成，增益为衰减器的衰减因子和增益放大器的增益之乘积，改变衰减器的衰减因子就可以改变VGA的增益。可编程衰减器是一个开关电阻阵列，衰减程度正比于电阻的比值，与温度和工艺变化无关，可以准确预测。常用的衰减器包括两种：串联梯形电阻阵列或者$R-2R$梯形电阻阵列，如图13-26所示。

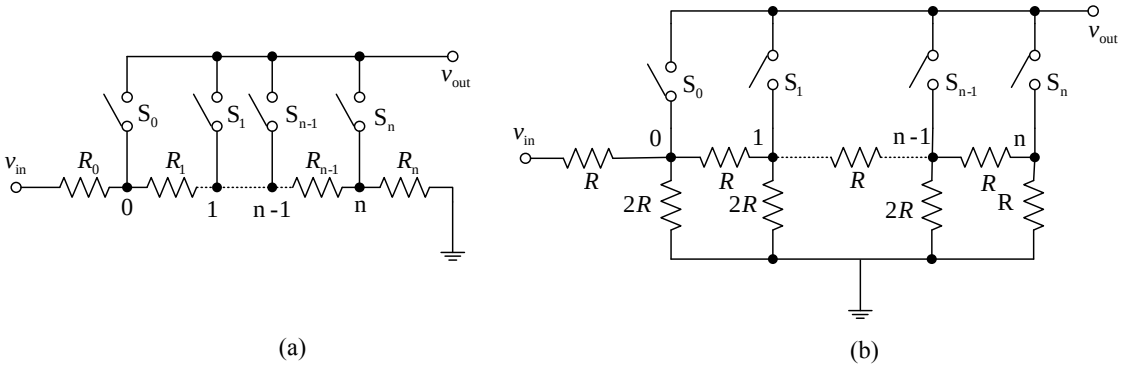


图 13-26 可编程衰减器

串联梯形电阻阵列（图(a)）中的电阻可以是相同阻值的电阻，这样可以实现线性衰减，得到增益线性变化的VGA，也可以是不同阻值的电阻，这时实现的是非线性衰减，得到增益非线性变化的VGA。串联梯形电阻阵列的输入阻抗是所有电阻的阻值之和。

$R-2R$梯形电阻阵列（图(b)）常用来实现以dB量程变化的VGA，每一级贡献一个额外的衰减因子1/2，因此在第n级处的衰减因子为$(1/2)^n$，这种阵列的输入阻抗为$2R$。

可编程衰减器为基础的VGA具有如下的优点，因此得到广泛地应用：增益由电阻比值决定，可以精确控制；带宽近似是一个常数，不会随着增益的变化而变化；输入线性范围也较宽。

§13.2.3 AGC电路实例

图13-27给出了一个可以滤除低频噪声的自动增益控制环路（AGC），所处理的中频信号频率为10MHz。当中频信号频率在5MHz～20MHz范围内时，该中频电路都可以工作。在前向通路上，信

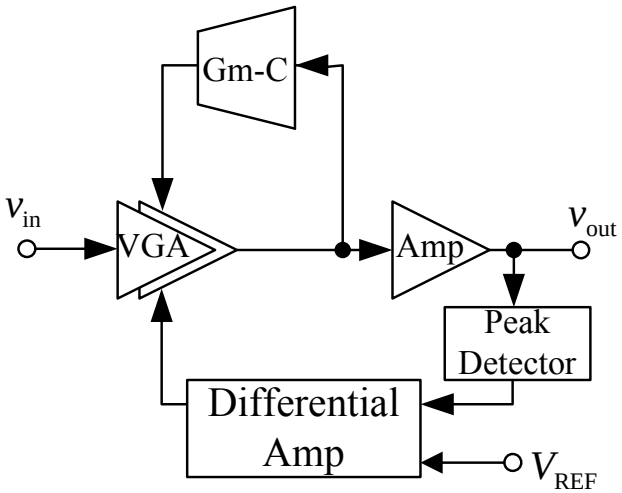


图 13-27 AGC电路实例

号由两级可变增益放大器（VGA）和一个固定增益的放大器（Amp）进行放大，输出信号由一个峰值检测

器检测其峰值，该峰值与一个预设的电平比较后，自适应地调节VGA的增益。为了滤除低频噪声和消除直流失调的影响，AGC环路还带有一个Gm-C低通滤波器反馈环路，它与前向通路组合后，可以实现高通滤波功能。由于VGA和Amp自身的低通特性，该环路最后所实现的是一个具有自动增益调节功能的带通滤波器。

图13-28给出了单级VGA的电路图，它是一个以乘法器为基础的VGA。 $v_{\rm in}^{+}$、$v_{\rm in}^{-}$为射频前端送来的

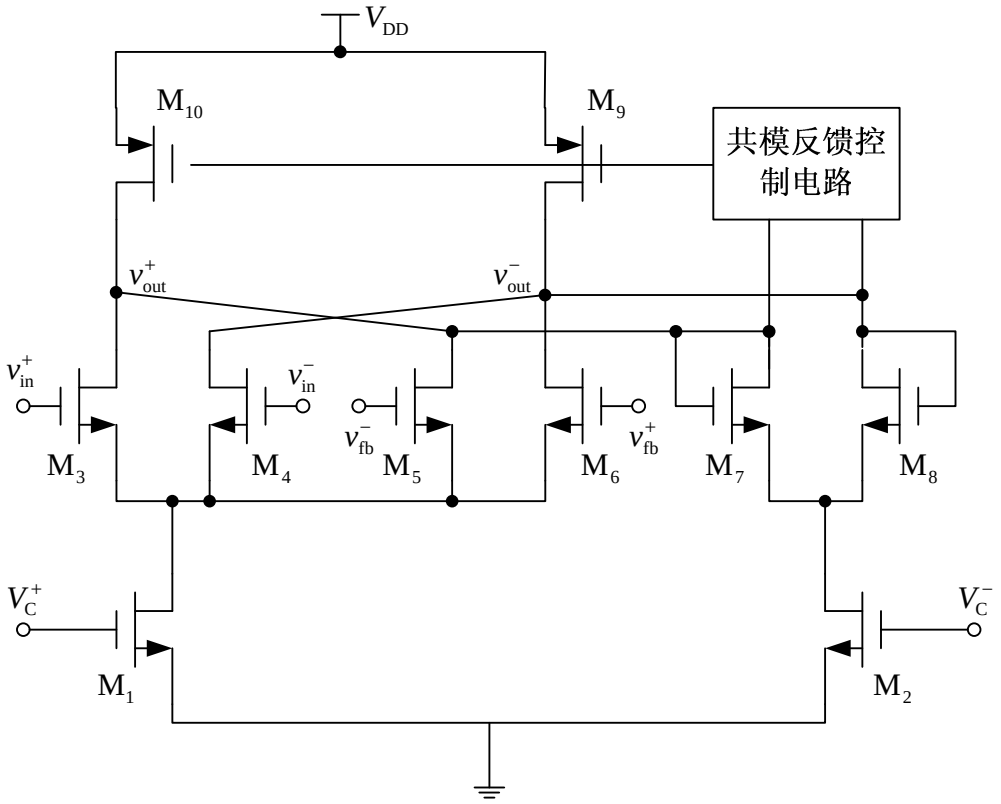


图 13-28 单级VGA的电路图

中频电压信号，经M_3、M_4组成的差分对转化为电流信号，而由Gm-C低通滤波器反馈环路送来的电压信号$v_{\rm fb}^{+}$、$v_{\rm fb}^{-}$，也经M_5、M_6组成的差分对转化为电流信号，这两路电流信号在$v_{\rm out}^{+}$、$v_{\rm out}^{-}$ 节点相减，并经M_9、M_{10}组成的有源负载转化为电压信号。由于$v_{\rm fb}^{+}$、$v_{\rm fb}^{-}$送来的信号是$v_{\rm in}^{+}$、$v_{\rm in}^{-}$经低通滤波后的信号，这两路信号相减，可以实现高通滤波特性，滤除了低频噪声的干扰。而增益控制电路送来的$V_{\rm C}^{+}$、$V_{\rm C}^{-}$信号，经M_1、M_2组成的差分对转化为电流，控制着流过M_3～M_6的电流大小，从而可以控制该放大器的增益。该放大器采用了全差分结构，由一个单独的共模反馈环路控制输出节点的共模电平。

图13-29给出了峰值检测电路的部分电路图， 它仅检测输入信号的最高电平$V_{\rm out}^{+}$，检测输入信号最低电平$V_{\rm out}^{-}$的电路与图13-29 所示电路完全对称，只是由于采用对电容放电的方法而需要对图13-29所示电路作对称映射。图13-29所示电路的工作原理如下：输入信号（$v_{\rm in}^{+}$、$v_{\rm in}^{-}$）与输出信号$V_{\rm out}^{+}$经运算放大器进行比较，如果输入信号的幅度高于$V_{\rm out}^{+}$，运算放大器将在短时间内产生一个低电平驱动M_1（M_4），使得M_1（M_4）中有电流流过，由于M_1、M_2（M_3、M_4）组成电流镜结构，将有电流对电容$C_{\rm P}$充电，从而抬高$V_{\rm out}^{+}$的电平，经多个周期的充电后，$V_{\rm out}^{+}$的电平将抬高到与输入信号的幅度一样高的值。此后由于运放的输出反转，M_1（M_4）截止，从而使得输出V_{out}^{+}电平保持不变，实现了检测输入信号最高电平的目的。$I_{\rm p}$为一个微弱的电流信号，用来对V_{out}^{+}的电平定期刷新，避免V_{out}^{+}陷于以前输入信号的最高电平而不能跟踪当前输入信号的幅度变化，刷新周期决定了接收机接收数据的最高速率。

图13-30给出了带Gm-C反馈滤波器的VGA的AC分析结果，P1为增益控制信号的电平（正比于输入信号的幅度，为峰值检测器环路的输出）。 由于Gm-C反馈滤波器的存在，该VGA实现了一个带通滤波的功能，其增益是可变的，最高增益可达40dB。该VGA的3dB带宽随着增益的变化而变化，在最高增益

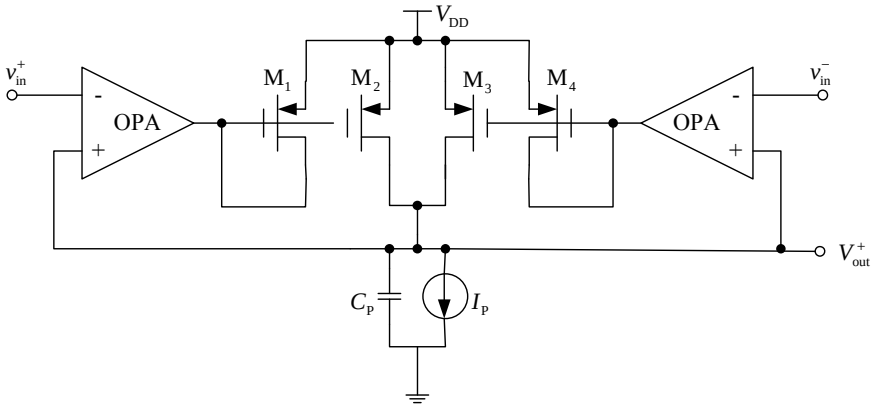


图 13-29 峰值检测电路的部分电路图

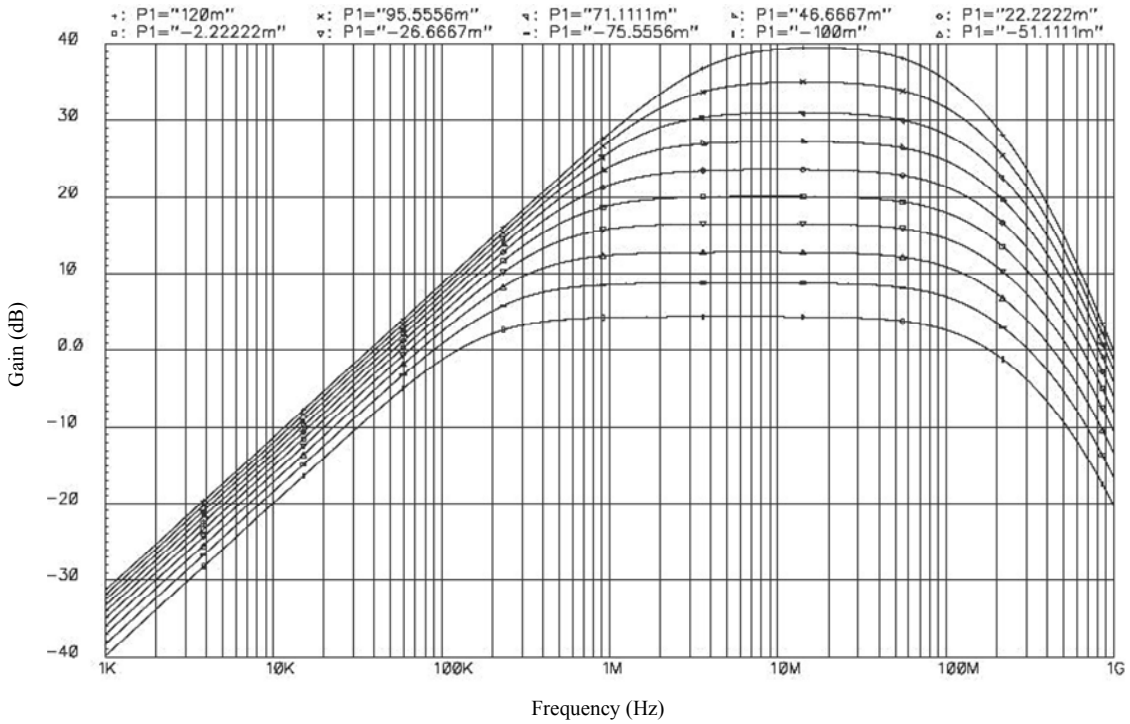


图 13-30 带Gm-C反馈滤波器的VGA的AC分析结果

下，3dB带宽约为20MHz。

§13.3 高频滤波器

无线收发机都包含有某种类型的高频滤波器，这些滤波器的作用之一是抑制带外信号，避免带外过强的信号使接收机模块饱和；作用之二是抑制镜像信号。这些高频滤波器通常在片外实现，采用LC电路或者声表面波滤波器等结构。出于提高集成度的需要，人们一直希望能在片上实现高频滤波器，但在片上实现集成高频滤波器面临很多挑战。最大的问题是现代集成电路工艺不能提供高质量的在片电感，低品质因子的电感会限制滤波器的滤波能力，而且引入很大的噪声，因此实用的滤波器都需要包含有某种Q值补偿电路来提高滤波器的品质因子。考虑到工艺偏差和无线接收机的信道切换问题，实用的滤波器还需要包含片上自动Q值调谐电路和片上自动频率调谐电路，以自动调节滤波器的Q值和中心频率，这些都使得高频滤波器的设计非常复杂，功耗也很大，另外，采用Q值补偿电路后，滤波器还可能出现不稳定性问题。

高频滤波器和功率放大器一样，是到目前为止射频集成电路领域内的研究者都没有解决的问题，人们一般采用改变收发机系统结构的方法（如采用零中频或者低中频结构）来避开高频滤波器的设计问题。因

此，本节仅在目前出现的研究成果基础上对高频滤波器作一简单介绍，使读者对目前高频滤波器的研究现状能有一个初步认识。

§13.3.1 二阶滤波器

二阶滤波器可以由LC谐振网络和有源Q值补偿电路来实现（后面我们还会对此进行介绍）。由普通的电子线路知识可知，二阶带通滤波器的传输函数可以写为：

$$F(s)=\frac{A_0 s}{s^2+s\mathrm{BW}+\omega_0^2}=\frac{A_0 s}{s^2+\frac{\omega_0}{Q}s+\omega_0^2} \tag{13-49}$$

其中，BW是滤波器的3dB带宽，ω_0是中心频率，Q是滤波器的品质因子。这个传输函数有一个位于直流处的零点。

如果将零点放在虚轴上，则可以实现一个带阻滤波器（或者称之为掐波(notch)滤波器），带阻滤波器的传输函数为：

$$F(s)=\frac{s^2+\omega_z^2}{s^2+\frac{\omega_0}{Q}s+\omega_0^2} \tag{13-50}$$

其中，ω_z为零点频率。图13-31给出了带阻滤波器的幅频响应曲线，它对位于零点频率处的信号具有很强的抑制能力。如果将带阻滤波器的零点放在镜像频率处，就可以实现镜像抑制功能。

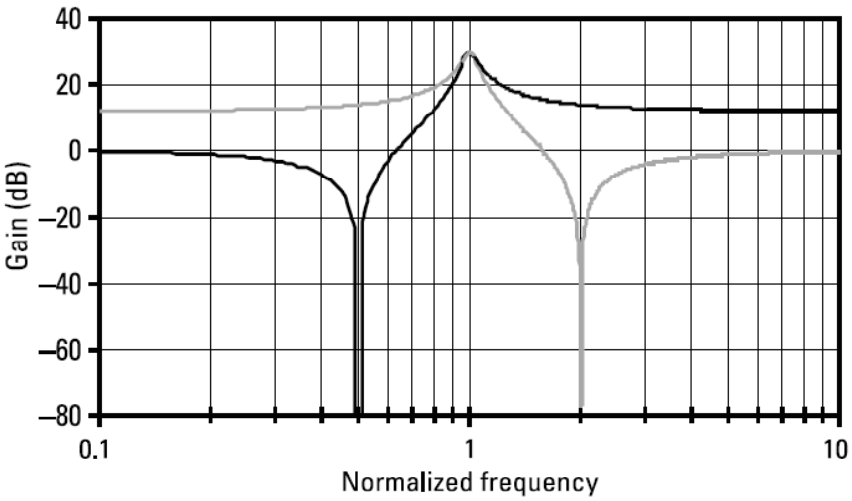


图 13-31 带阻滤波器的幅频响应曲线

§13.3.2 集成高频滤波器

集成高频滤波器通常以两种类型出现，带通滤波器和带阻滤波器，本节对它们进行简单介绍。

1. 带通滤波器

图13-32给出了一个LC谐振电路作负载的共源放大器，电阻R是电感L的寄生并联阻抗。 该放大器的增益为：

$$\frac{v_{\mathrm{out}}}{v_{\mathrm{in}}}=\frac{-g_{\mathrm{m}}}{sC+1/sL+1/R}=\frac{-sg_{\mathrm{m}}/C}{s^2+s\frac{1}{RC}+\frac{1}{LC}} \tag{13-51}$$

它实现了带通滤波功能，滤波器的中心频率为$\omega_0=\sqrt{1/LC}$，带宽为$1/RC$。由于片上电感的品质因子很低，因此这种带通滤波器的带宽很宽，对不需要信号的抑制能力有限，不能满足无线接收机系统对信道选择功能或者镜像抑制功能的要求，只能用来实现对带外信号的初步抑制。

实际上，在前面介绍各种射频电路模块时，高频带通滤波器经常被用到，如低噪声放大器和功率放大器的负载一般都是LC谐振负载，这实际上就是一个高频带通滤波器。

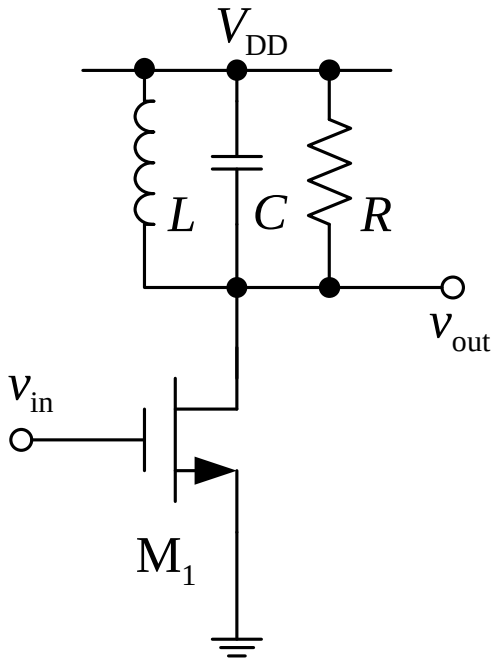


图 13-32 *LC*谐振电路作负载的共源放大器

2. **带阻滤波器**

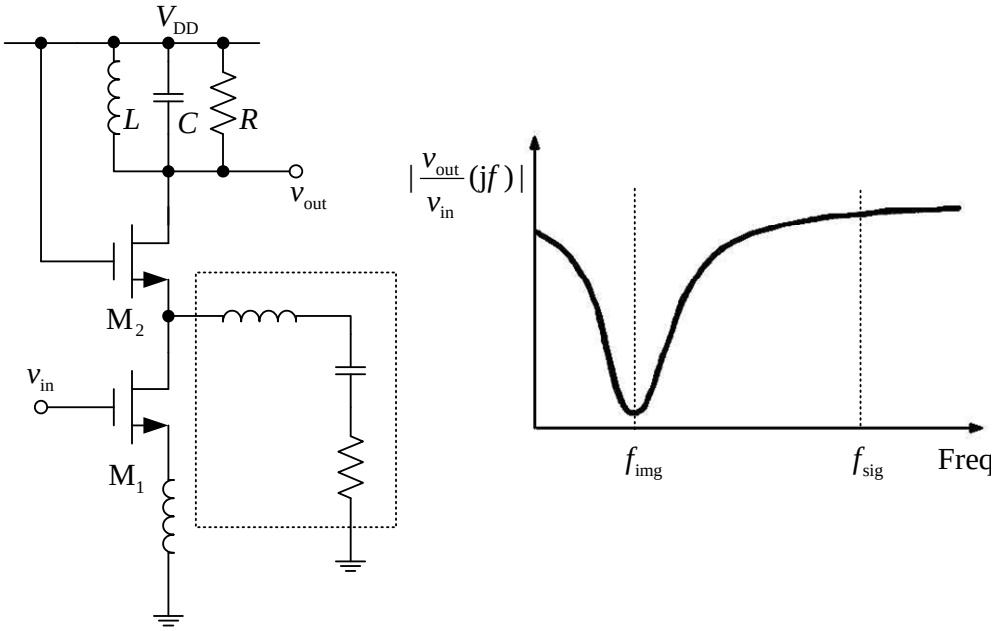
实现带阻滤波器的一个方法是对源简并电感型LNA电路进行修改，在Cascode晶体管源极增加一个*LC*串联谐振电路，如图13-33（a）所示。 当*LC*串联谐振电路谐振时，它的阻抗很低，M_1产生的交流信号电流将大部分流过这个*LC*串联谐振电路，到达负载端的信号电流减小，因此减小了在串联谐振频率处的增益，实现了带阻滤波功能。图（b）给出了这个电路的传输函数，在串联谐振频率附近，放大器的增益很低，形成一个抑制带。如果将*LC*串联谐振电路的谐振频率设计为镜像信号频率，那么就可以实现镜像信号抑制功能。因此这种电路也常被称为镜像抑制放大器。这种电路对镜像信号的抑制能力与*LC*串联谐振电路的品质因子有关，如果电感和电容都是理想的，则在谐振时，*LC*串联电路的等效阻抗为0，将M_1产生的交流电流信号短路到地，放大器的增益下降为0，即实现了对镜像信号的完全抑制。但由于片上电感的品质因子很低，因此这种电路对镜像信号的抑制能力有限，在电路上可以采用*Q*值补偿电路来提高*LC*电路的品质因子，后面我们还会对此进行介绍。

图13-34给出了另一种形式的带阻滤波器。 与常用的LNA拓扑结构不同，源简并电感被一个*LC*并联谐振电路（虚线框内部分）代替，在谐振频率处，*LC*并联谐振电路提供一个高阻抗，降低了电路的有效跨导，从而减小了电路的增益，因此这种电路将抑制在谐振频率附近的信号成分。该谐振电路通常被设计为在镜像频率处谐振，从而实现了镜像信号抑制功能。这种电路对镜像信号的抑制能力也与*LC*并联谐振电路的品质因子有关，如果电感和电容都是理想的，则在谐振时，*LC*电路的等效阻抗为无穷大，电路的有效跨导下降为0，放大器的增益也下降为0，即实现了对镜像信号的完全抑制。但由于片上电感的品质因子很低，因此这种电路对镜像信号的抑制能力有限，在电路上可以采用*Q*值补偿电路来提高*LC*电路的品质因子。而在谐振频率以下，并联谐振电路的等效阻抗是电感性的，这时该电路近似等效为源简并电感的普通LNA结构，可以提供较大的增益。

图13-34所示带阻滤波器存在潜在不稳定性问题，在谐振频率之上，并联谐振电路的等效阻抗是电容性的，会在晶体管M_1栅极产生一个负阻，可能使得放大器不稳定性。

§13.3.3 Q值补偿电路

由于片上电感的品质因子有限，因此集成高频滤波器的带宽很宽，滤波作用有限。为了提高滤波器的滤波功能，需要采用*Q*值补偿电路来补偿片上电感的损耗，提高滤波器的品质因子。*Q*值补偿电路实际上就



(a) (b)

图 13-33 具有镜像抑制功能的低噪声放大器

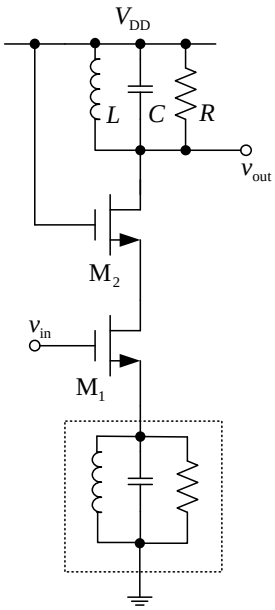


图 13-34 利用源简并并联谐振电路来实现具有镜像抑制功能的低噪声放大器

是一个有源负阻电阻，它产生一个负阻来补偿LC电路的损耗。

图13-35给出了一个带有Q值补偿电路的带通滤波器，它是图13-32所示带通滤波器的差分结构。 晶体管M_3、M_4和尾电流源I_S构成一个负阻电路，产生负阻补偿LC电路的损耗，提高滤波器的品质因子。负阻电路的等效阻抗为$-g_m/2$，因此该电路的增益为：

$$\frac{v_{out}}{v_{in}}=\frac{-2sg_{m1}/C}{s^2+s\frac{2-Rg_m}{RC}+\frac{1}{LC}} \tag{13-52}$$

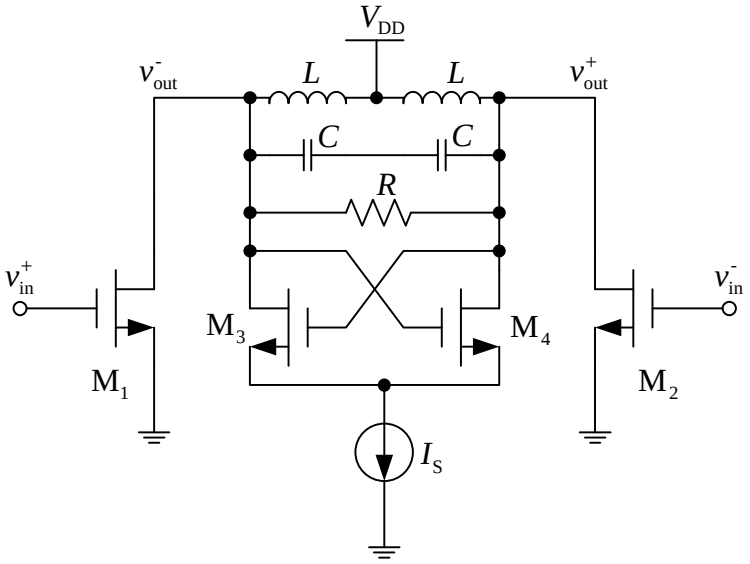


图 13-35 带有Q值补偿电路的带通滤波器

滤波器的带宽为

$$\mathrm{BW} = \frac{2 - Rg_\mathrm{m}}{RC} \tag{13-53}$$

当g_m逐渐接近$2/R$时，LC电路的损耗逐渐被负阻电路所补偿，因此滤波器的Q值逐渐提高，滤波器的带宽也越来越窄，增益也会相应增加，如图13-36所示。当g_m等于$2/R$时，LC电路的损耗完全被负阻电路所补

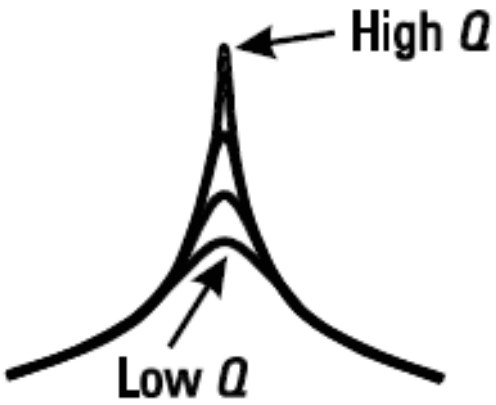


图 13-36 Q值补偿电路可以提高滤波器的滤波能力并增加滤波器的增益

偿，LC电路成为一个理想的谐振电路，Q值达到无穷大，放大器的增益也会达到无穷大。这时，放大器有一对位于虚轴的极点，因此处于振荡的边缘。若g_m进一步增加，该电路将成为一个振荡器。对于放大器应用，g_m要小于$2/R$。

图13-37给出了一个带有Q值补偿电路的带阻滤波器，它在图13-34所示带阻滤波器的基础上增加了一个Colpitts 类型的单端负阻电路来补偿串联LC谐振回路的损耗。 单端负阻电路产生一个负阻来补偿片上电感的损耗，因此可以提高这种滤波器对镜像信号的抑制能力。当LC电路的损耗被负阻完全补偿时，这种滤波器可以实现对镜像信号的完全抑制。

§13.3.4 自动Q值调谐电路

在带有Q值补偿电路的镜像抑制滤波器中，对镜像信号的抑制能力依赖于负阻电路对LC电路损耗的补偿情况。负阻电路补偿合适，可以实现对镜像信号的深度抑制。而负阻电路太强或者太弱，对镜像信号

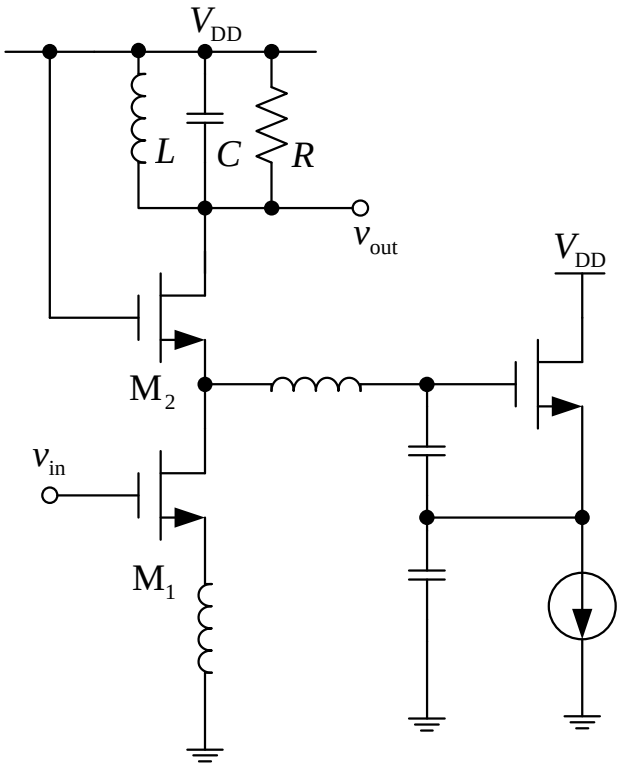


图 13-37 带有Q值补偿电路的带阻滤波器

的抑制能力将很快降低。实际上，负阻电路的偏置电流稍有变化，对镜像信号的抑制能力可能就会发生几十dB的变化。因此实用的镜像抑制滤波器一般都需要片上自动Q值调谐电路，该电路自动调节负阻电路的偏置电流，使得负阻电路正好补偿LC电路的损耗，实现对镜像信号的深度抑制。

自动Q值调谐电路一般利用振荡器的起振条件来判断负阻电路对LC电路损耗的补偿情况，一种典型的电路如图13-38所示。 虚线框内的部分是一个带有起振检测电路的振荡器。偏置电路R_{BIAS}和电流镜M_1、M_2给振荡器提供偏置电流，所提供的电流要保证振荡器能够起振，但振荡器一旦起振，振荡信号就会通过隔直电容传到晶体管M_3、M_4的栅极，M_3、M_4偏置在它们的阈值电压点上，工作于B类状态，在振荡器没有起振时，M_3、M_4上没有电流流过。但振荡器起振后，M_3、M_4上就会有电流流过，这些电流是一个半波整流电流，两个电流之和构成一个全波整流电流。该电流由R_{bias}提供，因此会减小振荡器的偏置电流，使得振荡器停止振荡。综上可知，虚线框内的振荡器将处于临界振荡状态，M_5、M_6提供的负阻恰好补偿LC谐振电路的损耗。

实线框内的部分是图13-33（a）所示带阻滤波器加入Q值补偿电路后的差分版本，如果实现带阻功能的LC谐振电路同振荡器中的LC谐振电路相同，负阻补偿电路也完全相同，那么只要负阻补偿电路的偏置电流同振荡器的偏置电流也相同（通过简单的电流镜镜像就可以实现），振荡电路所提供的反馈就可以使得带阻滤波器中的负阻电路恰好补偿LC电路的损耗，达到很深的抑制能力。

因此，通过带有起振检测电路的振荡器所提供的反馈来控制负阻补偿电路的偏置电流，就可以实现片上自动Q值调谐功能。

§13.3.5 自动频率调谐

实用的镜像抑制滤波器，除了需要片上自动Q值调谐电路外，还需要一个片上自动频率调谐电路。这是因为，当接收机发生信道切换时，镜像信号频率也会发生变化，而带有片上自动Q值调谐电路的镜像信号抑制滤波器的带宽很窄（带宽与镜像信号抑制率成反比），因此如果没有片上自动调谐系统，一旦接收机的信道发生变化，对镜像信号的抑制率将变得很差。再说，工艺偏差也会使得滤波器的掐波频率偏离预计的镜像信号频率。

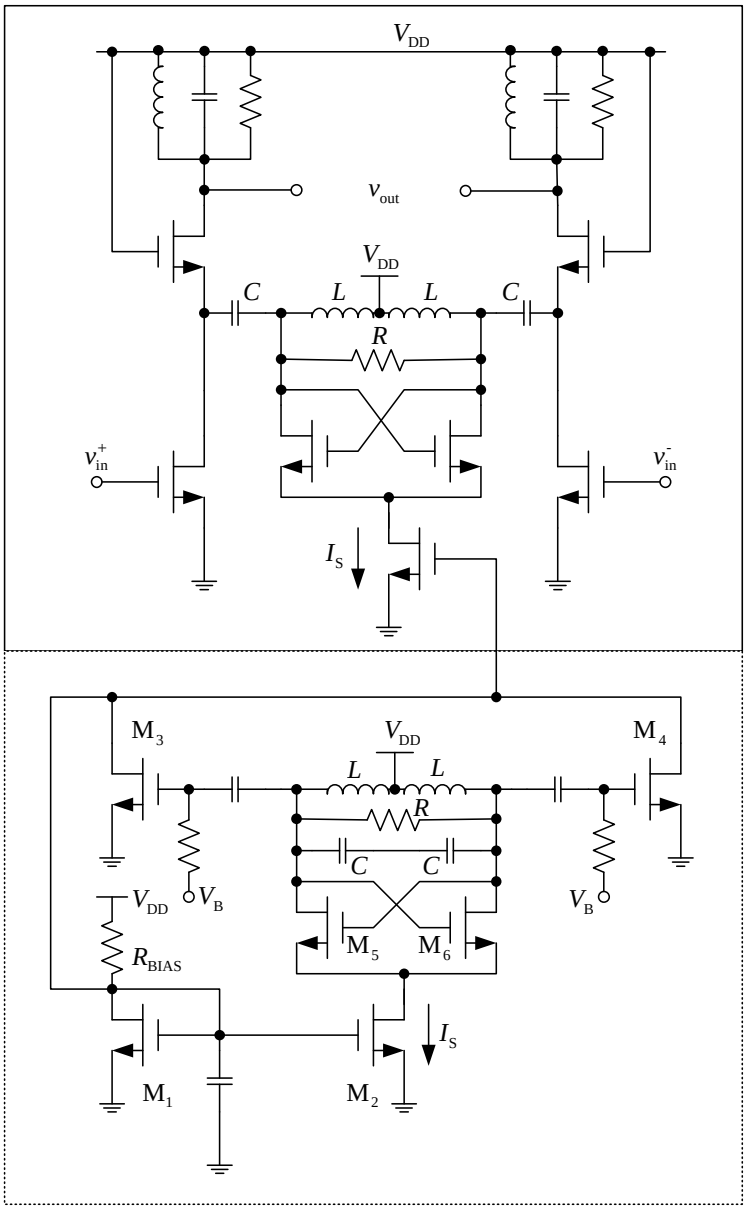


图 13-38 自动Q值调谐电路

图13-39给出了一个片上频率自动调谐电路，它利用锁相环来实现片上自动频率调谐功能。 LNA是一个具有调谐能力的镜像抑制放大器，如图13-40所示，它是图13-33（a）所示带阻滤波器加入Q值补偿电路后的差分版本，只是在实现带阻功能的LC电路中加入了频率调谐元件（容抗管），通过改变容抗管上的控制电压，可以调节该放大器的镜像抑制频率。 该控制电压由锁相环的环路滤波器提供。同普通的锁相环不同，锁相环环路之中插入了一个混频器，VCO的输出信号同接收机的本振信号进行单边带混频，混频后的信号频率是VCO频率与本振信号频率之差，该信号同接收机的中频信号在PFD中进行鉴频鉴相，因此在环路锁定时，VCO的输出频率等于本振信号频率与中频信号频率之差，这恰好是镜像信号频率（此处假设接收机的射频有用信号频率高于本振信号频率）。如果VCO电路和LNA虚线框内的电路完全相同，那么锁相环环路滤波器所提供的控制电压也正好使得LNA的抑制频率正好位于镜像频率处，而且接收机发生信道切换时，LNA的镜像抑制频率也会跟着发生切换。

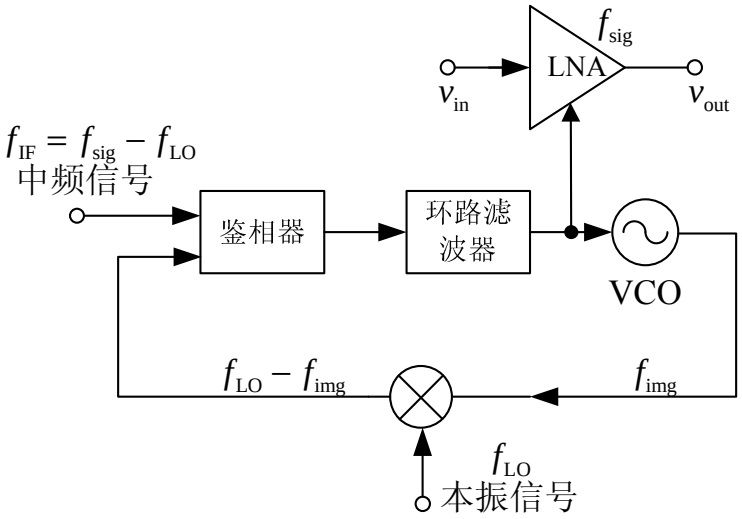


图 13-39 自动频率调谐电路

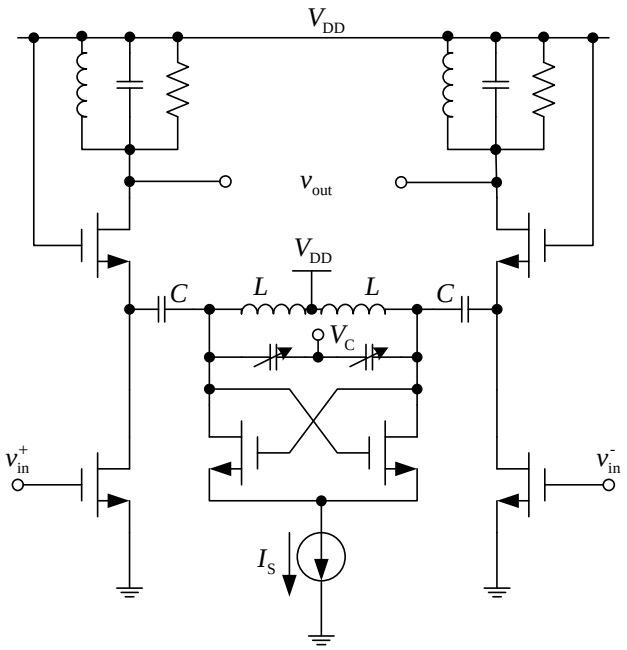


图 13-40 具有频率调谐功能的镜像抑制滤波器

§13.4 注入锁定技术

为了说明注入锁定（Injection Locking）技术的原理，我们来看一个简单的模型，如图13-41所示。g和f都是非线性函数，它们的输出在一个混频器中进行混频，混频后的结果由一个线性滤波器$H(s)$进行滤波，该滤波器会滤除ω_O之外的所有其它频率成分。

图13-41所示的是一个负反馈环路，如果输入信号为0，只要环路满足Barkhausen判据，该环路就可以构成一个自由振荡器，这在“振荡器”一章中我们已经进行过介绍。现在我们来看，如果输入信号不为0，该反馈环路的输出是什么呢？

将两个非线性函数都表示为输入参数的多项式函数

$$g(v_I) = \sum_{n=0}^{\infty} b_n \cdot v_I^n \tag{13-54}$$

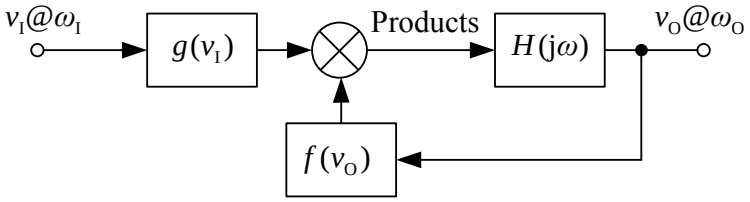


图 13-41 Miller模型

$$f(v_O) = \sum_{m=0}^{\infty} a_m \cdot v_O^m \tag{13-55}$$

其中，a_m、b_n是多项式函数的系数。

令$v_O = V_O \cos(\omega_O t + \phi)$、$v_I = V_I \cos(\omega_I t)$，则混频器的输出为：

$$\text{products} = f \cdot g = [\sum_{n=0}^{\infty} B_n \cos(n\omega_I t)] \cdot [\sum_{m=0}^{\infty} A_m \cos(m\omega_O t + m\phi)] \tag{13-56}$$

系数B_n是输入信号幅度V_I的函数，A_m是输出信号幅度V_O的函数。

混频器的输出要经过滤波器进行滤波，如果对于某些整数m和n，$|n\omega_I + m\omega_O| = \omega_O$，则式13-56中相应的混频项将出现在输出。在这种情况下，非线性函数f的相移将依赖于注入信号的强度和注入频率。为了在环路输出端产生稳定的振荡输出，环路必须满足Barkhausen判据。因此滤波器$H(j\omega)$的相移必须进行相应地调整，使得整个环路的相移为2π的整数倍。环路会通过改变振荡频率ω_O来适应Barkhausen判据的相位条件。这个机制使得振荡频率能够跟踪输入信号频率ω_I。但是，如果ω_I离该环路的自由振荡频率（输入信号为0时的振荡频率）太远，$H(s)$不能调节到满足Barkhansen判据，那么环路就会失去锁定。

可以证明，该环路输出信号的相位噪声与输入信号相位噪声和自由振荡信号的相位噪声之间的关系为：

$$\mathcal{L}_O(\Delta\omega) = \mathcal{L}_{\text{free}}(\Delta\omega) \cdot \frac{\Delta\omega^2}{\Delta\omega^2 + \omega_p^2} + \mathcal{L}_I(\Delta\omega) \cdot \frac{(\omega_p/M)^2}{\Delta\omega^2 + \omega_p^2} \tag{13-57}$$

其中，$M = \omega_I/\omega_O$，$\mathcal{L}_{\text{free}}(\Delta\omega)$是输入信号为0时自由振荡器的相位噪声，$\mathcal{L}_I(\Delta\omega)$是输入信号的相位噪声，$\omega_p$是一个与注入信号强度有关的频率量，反应了环路保持跟踪特性的频率范围，类似于锁相环中的环路带宽，注入信号强度越强，ω_p也越大，注入信号强度越弱，ω_p就越小。从上式可以看出，自由振荡器的相位噪声对环路输出的贡献具有高通特性；而输入信号对环路输出的贡献具有低通特性，而且噪声降低了$20\log M$倍，如图13-42所示。

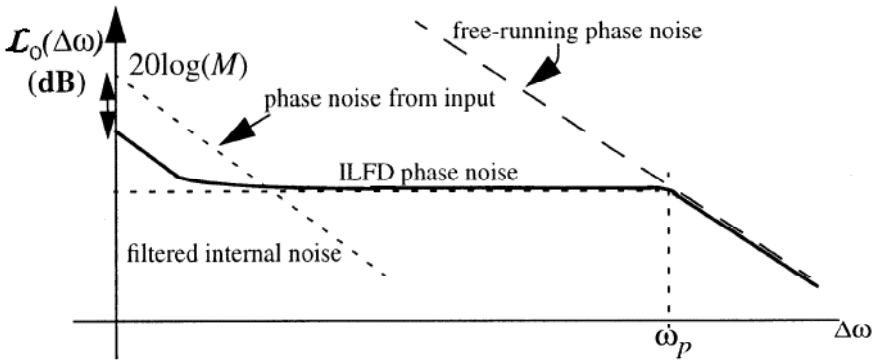


图 13-42 注入锁定环路的相位噪声特性

在实用的注入锁定电路中，通常ω_O是ω_I的整数倍或者ω_I是ω_O的整数倍。图13-43给出了一个应用注入锁定技术作分频器的电路。 输出频率设计为输入频率的1/2。M_0、M_1、M_2构成一个Gilbert单平衡混频

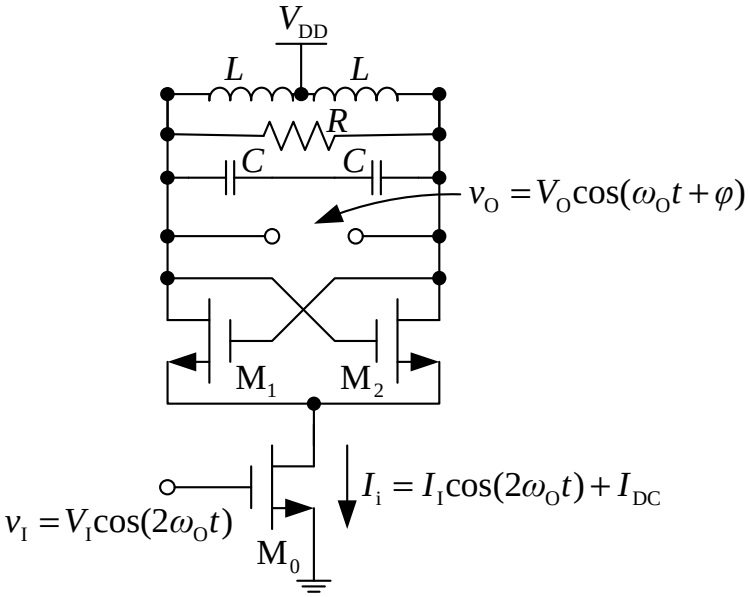


图 13-43 注入锁定分频器

器，输出信号相当于本地振荡信号。因此，图13-41中的g对应于跨导器M_0，f对应于互耦对M_1、M_2，混频器对应于单平衡混频器M_1、M_2，滤波器$H(s)$对应于LC谐振电路。

根据注入锁定技术原理，如果$\omega_O = 1/2\omega_I$，则混频器产生的混频积中将存在位于ω_O频率处的混频项（$n = 1$、$m = -1$），如果LC谐振电路设计为正好在ω_O附近谐振，能够提供满足Barkhausen判据所需的相移量，那么该电路就能产生稳定的振荡输出，振荡频率将跟踪输入信号频率的变化，在锁定范围内将始终保持二分频关系。因此这种电路可以作为二分频的分频器使用，它的优点是与数字分频器相比，具有极低的功耗，在高频锁相环中可以代替数字分频器来降低系统功耗。这种分频器的缺点是片上电感会消耗大量的芯片面积。

图13-44给出了这个注入锁定分频器（Injection Locking Frequency Divider，ILFD）的输出相位噪声曲线。 可以看到，分频器的输出相位噪声远小于自由振荡器的相位噪声，而且与输入信号的相位噪声相比，分频器的输出相位噪声也提高了6dB，这同式13-57非常吻合（这里$M = 2$）。

§13.5 总结

本章讨论了无线收发机模拟前端可能用到的其它电路模块，首先介绍了偏置电路的分析和设计问题，包括Widlar电流、自偏置电流源、恒跨导源、恒温电压参考源和恒温电流参考源等，它们给其它射频模块提供偏置，是其它模块电路正常、稳定工作的前提；然后我们介绍了无线接收机中不可缺少的电路模块：自动增益控制环路，包括它的基本原理和核心模块VGA的设计，并给出了一个AGC电路实例；接下来讨论了高频滤波器的集成实现技术，着重讨论了镜像抑制滤波器的片上实现问题，引入了通过Q值补偿来提高滤波器滤波性能的方法，并介绍了片上自动Q值调谐电路和片上自动频率调谐电路；最后简单讨论了注入锁定技术，这种技术可以用来实现低功耗分频器，并具有较好的相位噪声性能。

参考文献

1 Gray P R, Hurst P J, Lewis SH, etc. Analysis and Design of Analog Integrated Circuits, Fourth Edition. New York: John Wiley & Sons, Inc., 2001

2 Razavi B. Design of Analog CMOS Integarted Circuits. Singapore: MCGraw-Hill Higher Education, 2001

3 张肃文, 陆兆熊. 高频电子线路（第三版）. 北京: 高等教育出版社, 1993

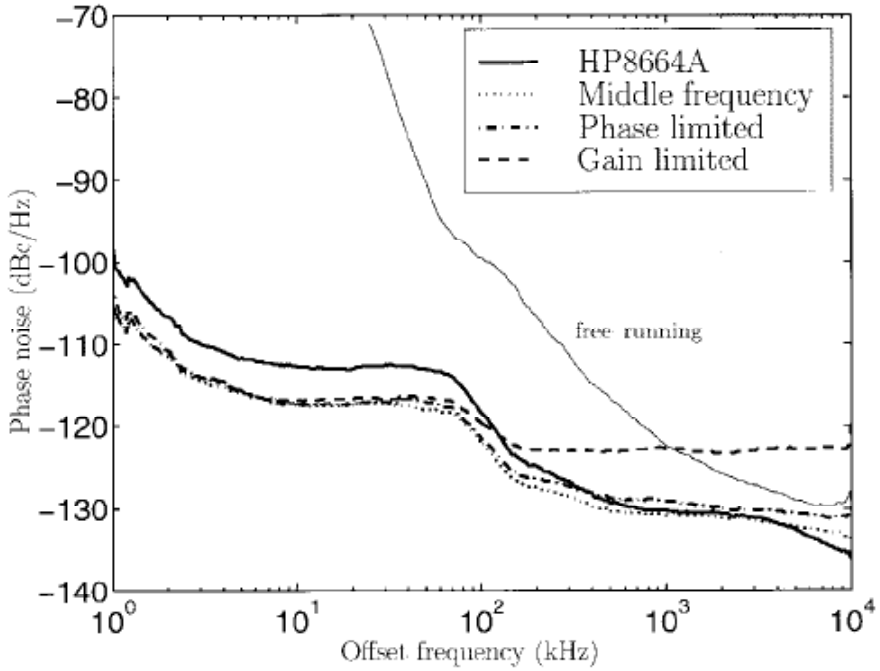


图 13-44 注入锁定分频器的输出相位噪声特性

4 Puckett B S. Design and Analysis of an Attenuator-Based, Four-Channel, Differential, 150MHz, Linear-in-dB VGA with sub-Nanosecond Delay Dispersion for PET Application. Ph.D Thesis of The University of Tennessee, Knoxville, 2001

5 Kim J. CMOS Transceiver Design for Short Range Wireless Telemetry. Ph.D Thesis of The University of Minnesota, 2001

6 Rogers J, Plett C. Radio Frequency Integrated Circuit Design. Boston/London: Artech House, 2003

7 Samavati H. A Fully-Integrated 5GHz CMOS Wireless-LAN Receiver. Ph.D Thesis of Stanford University, 2001

8 Rategh H R, Lee T H. Superharmonic Injection-Locked Frequency Dividers. IEEE Journal of Solid-State Circuits, 1999, 34(6): 813-821

9 Verma S, Rategh H R, Lee T H. A Unified Model for Injection-Locked Frequency Dividers. IEEE Journal of Solid-State Circuits, 2003, 38(6): 1015-1027

习题

1. 计算如图13-45所示电路的输出电流以及输出阻抗，并决定输出电流对电源电压的灵敏度。
2. 图13-46给出了两个自偏置电流源（恒跨导源），请根据自偏置电流源的原理，判断它们是否能正常工作。
3. 在图13-7（a）所示的恒跨导源中，若电阻R_S存在很大的寄生并联电容，则该恒跨导源可能存在稳定性问题，试证明该结论。为了消除稳定性问题，可以在M_1、M_2的栅极并联一个到地的电容，若要保证该恒跨导源能稳定工作，试决定该电容的取值范围。
4. 对于如图13-14所示的能隙基准源，除可能存在失调电压外，运算放大器A_1是完全理想的，试推导出考虑运放的失调电压和不考虑运放的失调电压两种情况下输出电压V_{OUT}的表达式；若假设$n = 0.8$、$V_{G0} = 1.205$V，求忽略运放失调电压情况下使得该能隙基准源在27摄氏度达到零温度系数时的输出电压V_{OUT} 数值。（忽略MOS管和电阻的温度特性）

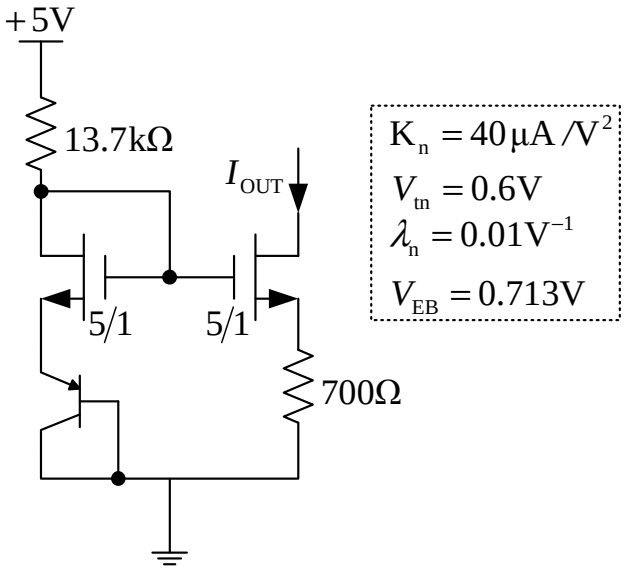


图 13-45 习题1图

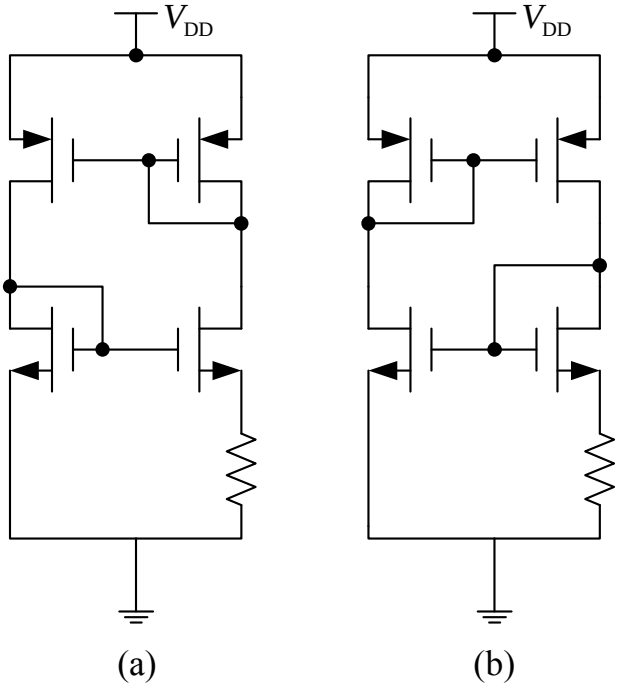


图 13-46 习题2图

5. 图13-47给出了一个低压能隙基准源，如果$R_2 = R_3$，M_1～M_3为相同尺寸的PMOS管，Q_1与Q_2的发射结面积之比为$A:nA$，并且图中的运算放大器为理想的运算放大器（差模增益和输入阻抗均为无穷大，输出阻抗为0，输入失调电压等于0），试推导它的输出电压V_{OUT}的表达式（表达成$V_{OUT}MV_{EB}KV_T$形式）（忽略晶体管的Early效应）。

6. 在图13-17所示的电路中，如果N节点接入一个幅度为A的正弦型信号，求在$C_P:C_B$分别等于1：1、1：10和1：100的情况下，节点P波动的幅度。

7. 推导图13-23（b）所示电路的电压增益，并说明如果要让电压增益以dB量程变化，电阻R_E应该如何取值。

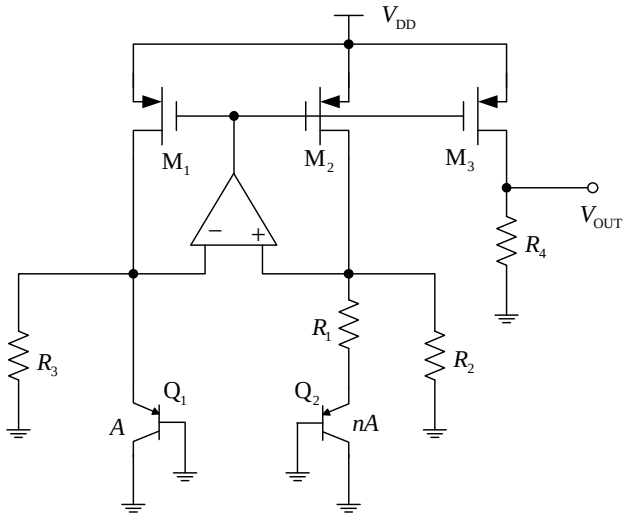


图 13-47 习题5图

8. 说明图13-48所示VGA电路是如何实现可变增益的，并指出该电路的3dB带宽与增益的关系。

9. 试推导图13-33中晶体管M_1看到的负载阻抗的表达式，并说明该阻抗随频率的变化关系。

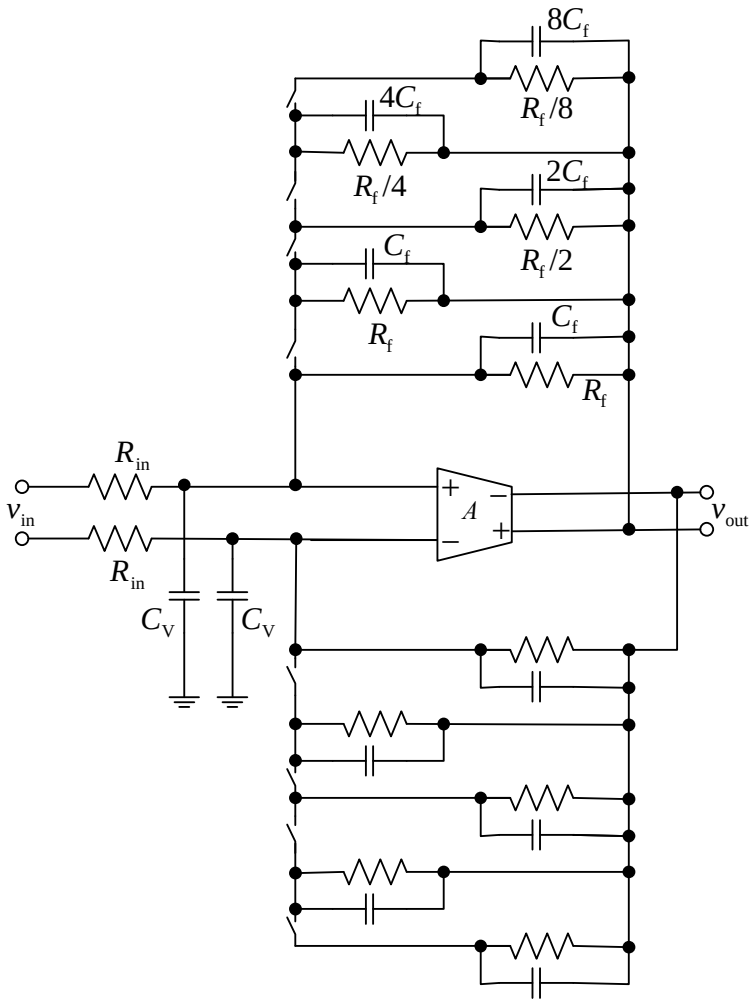


图 13-48 习题8图

第十四章　版图设计、ESD防护和混合信号集成

射频电路工作频率很高，因此对寄生参数极度敏感，版图、ESD电路和封装对射频电路性能具有很大影响，在进行射频电路设计时，必须将各种寄生因素都纳入考虑范围之内，在进行版图设计和ESD防护电路设计时，也应考虑到尽可能减小元器件和连线的寄生效应。而且随着集成电路技术的发展，混合信号集成电路越来越多，混合信号集成电路所遇到的噪声耦合问题也越来越突出。基于此，在本章，我们将介绍常用的版图设计和封装技术，并讨论ESD防护电路的设计原理以及混合信号电路中的噪声耦合问题，使读者对射频电路的后端设计有一个基本认识。

§14.1　版图设计技术

芯片在加工过程中会受到多种非理想因素的影响，如制版光刻的分辨率问题、多层版之间的套准问题、芯片表面不平整性问题、制作中的扩散和刻蚀问题以及因载流子浓度不均匀分布所导致的梯度效应等。这些非理想因素会降低芯片的性能和成品率。为了保证芯片的功能正确和提高芯片的成品率，芯片制造厂家规定了一套进行版图设计所必须遵循的规则，这就是版图设计规则。对于工作频率不高的数字电路或者对性能要求不高的低频模拟电路来说，版图设计只要满足版图设计规则就可以了。但对于高频数字电路、高性能模拟电路以及所有的射频电路来说，仅仅满足版图设计规则是不够的，设计者还应该掌握一定的版图设计准则，这些设计准则可以指导版图设计者采用合适的版图设计技术来提高电路的匹配性能、抗干扰性能以及高频工作性能等，尤其是对于高性能的模拟电路和射频电路模块来说，合理的版图设计是获得高性能的前提条件。版图设计规则读者都已经比较熟悉了，本节我们仅介绍常用的版图设计准则，用以指导读者进行高性能版图设计。

§14.1.1　匹配设计

元器件之间的匹配对高性能的模拟和射频电路来说是很重要的。如在零中频和低中频结构接收机中，I通道和Q通道之间微小的不匹配会导致镜像抑制性能大幅降低，恶化接收机的性能。在电路设计上，可以很容易地做到元器件之间的匹配，但版图上两个完全相同的元器件，由于受到各种失配因素的影响，它们之间可能会存在不匹配。本节将分析版图上两个完全相同元器件之间存在失配的原因以及提高元器件之间匹配性能的版图设计技术。

1.　失配原因

版图上两个完全相同元器件之间存在失配的原因可以分为随机失配和系统失配两种。随机失配是指由于元器件的尺寸、掺杂浓度、氧化层厚度等影响元器件特性的参量发生微观波动所引起的失配，这种失配可以通过选择合适的元器件值和尺寸来减小。系统失配是指由于工艺偏差、接触孔电阻、扩散区之间的相互影响、机械压力和温度梯度、工艺参数梯度等引起的元器件失配，这种失配可以通过版图设计技术来降低。

如果将失配定义为测量所得的元器件值之比与设计的元器件值之比的偏差，则归一化的失配定义为：

$$\delta = \frac{(x_2/x_1)-(X_2/X_1)}{X_2/X_1} = \frac{X_1 x_2}{X_2 x_1} - 1 \tag{14-1}$$

其中，X_1、X_2为元器件的设计值，x_1、x_2为元器件的实测值。

失配δ是一个高斯型随机变量，按照统计理论，若有N个测试样本，$\delta_i(i=1,2,3\cdots n)$，则$\delta$的均值为：

$$m_\delta = \frac{1}{N}\sum_{i=1}^{N}\delta_i \tag{14-2}$$

均值m_δ反应了系统失配的大小，因此可以用来衡量元器件之间的系统失配性能。

δ的方差为：

$$S_\delta = \sqrt{\frac{1}{N-1}\sum_{i=1}^{N}(\delta_i - m_\delta)^2} \tag{14-3}$$

方差S_δ反应了随机失配的大小，因此可以用来衡量元器件之间的随机失配性能。按照高斯分布的统计特性，失配落在$|m_\delta| \pm 3S_\delta$范围内的概率约为99.7%。

2. **减小随机失配**

元器件的随机失配原因又可以分为元器件周围随机波动和元器件所在区域随机波动两种，周围随机波动发生在元器件的周围（如电阻条的周边形状发生锯齿状波动，引起电阻条的阻值随机波动，见图14-1），这种失配会随着元器件周长的增加而减小。 而区域随机波动发生在元器件所覆盖的区域范围内

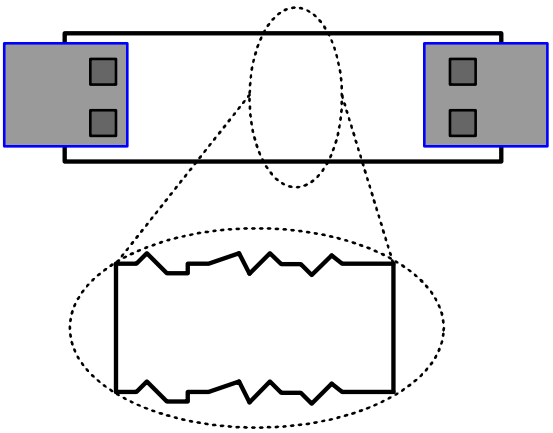


图 14-1 电阻条的阻值受到周围形状随机波动的影响

（如晶体管源漏极的掺杂浓度发生随机波动、两层多晶电容之间的厚度发生随机波动等），这种失配会随着面积的增加而减小。

对于两个电容量均为C的电容，如果分别用K_p和K_a描述周围随机波动和区域随机波动的影响，则

$$S_{C\delta} = \frac{1}{\sqrt{C}}\sqrt{K_\mathrm{a} + \frac{K_\mathrm{p}}{\sqrt{C}}} \tag{14-4}$$

可以看到，电容的随机失配与电容量（面积）的平方根成反比，因此增加电容量可以减小电容的随机匹配。这是很容易理解的，一个大电容可以等效为若干个小电容的并联，如图14-2所示，大电容的随机失配相当于小电容的随机失配在更大的范围内求平均，因此失配会减小。 由以上结论可以推断，当两个不同电

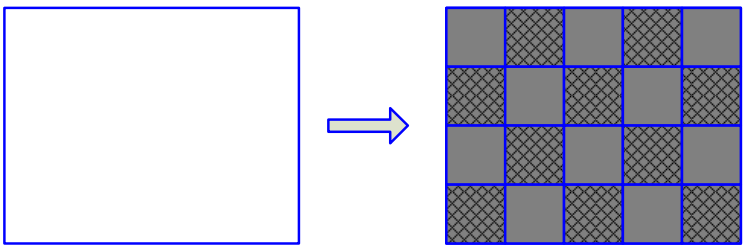


图 14-2 大电容等效为多个小电容的并联

容量的电容进行匹配时，匹配精度由小电容决定。

对于两个阻值为R、电阻条宽度为W的电阻，如果分别用K_p和K_a描述周围随机波动和区域随机波动的影响，则

$$S_{R\delta} = \frac{1}{W\sqrt{R}}\sqrt{K_\mathrm{a} + \frac{K_\mathrm{p}}{W}} \tag{14-5}$$

可以看到，电阻的随机失配与宽度成反比，因此增加电阻条的宽度可以减小电阻的随机匹配。这也是很容易理解的，一个宽电阻条的电阻可以等效为多个窄电阻条的电阻并联，如图14-3所示，宽电阻条电阻的随机失配相当于窄电阻条电阻的随机失配在更大的范围内求平均，因此失配会减小。 当两个不同阻值的电阻

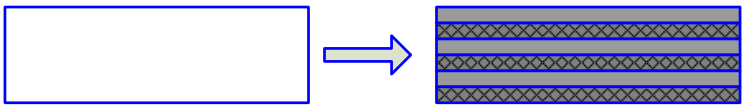


图 14-3 宽电阻条的电阻等效为多个窄电阻条的电阻并联

进行匹配时，可以通过调节电阻条的宽度来达到相同的匹配精度。

下面我们来讨论MOS晶体管的随机失配问题。长沟道MOS晶体管在饱和区的电流公式为：

$$I_{\mathrm{D}} = (1/2)\mu C_{\mathrm{ox}}(W/L)(V_{\mathrm{GS}} - V_{\mathrm{t}})^2 \tag{14-6}$$

背栅载流子掺杂浓度的统计波动、线宽随机变化、栅氧的不均匀分布、载流子迁移率变化等工艺和物理参数的周围波动和区域波动，会使得两个完全相同的晶体管在μ、C_{ox}、W/L和V_{t}上存在失配。这些失配会使得两个晶体管的栅源电压相同时，电流之间会存在失配或者在电流相同时，栅源电压之间存在失配。研究发现，这些失配都与晶体管面积的平方根成反比，具体说来

$$S_{V_{\mathrm{t}}} = \frac{A_{V_{\mathrm{t}}}}{\sqrt{WL}} \tag{14-7}$$

$$S_{\mu C_{\mathrm{ox}}\frac{W}{L}} = \frac{A_{\mathrm{K}}}{\sqrt{WL}} \tag{14-8}$$

其中，$A_{V_{\mathrm{t}}}$和A_{K}都是工艺参数。这也是很容易理解的，因为一个大面积的晶体管可以等效为若干个小面积晶体管的串并联，如图14-4所示，大面积晶体管的随机失配相当于小面积晶体管的随机失配在更大的范围内求平均，因此失配会减小。

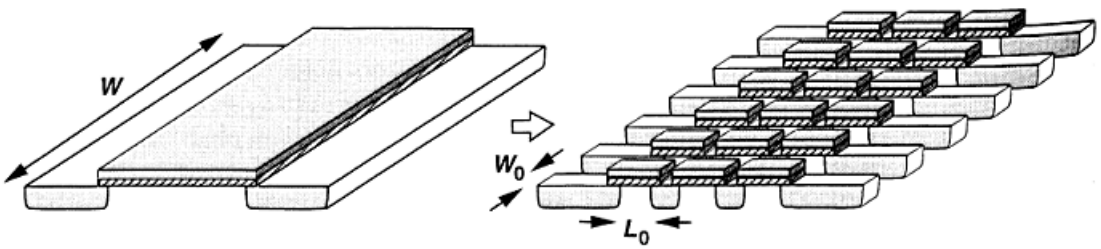


图 14-4 大面积的晶体管等效为多个小面积晶体管的串并联

3. 减小系统失配

系统失配的主要原因可以分为以下各类：一类是工艺偏差，这是指在制版、刻蚀、扩散、注入等芯片制造过程中的几何收缩和扩张所导致的尺寸误差；第二类是接触孔电阻，这是对电阻失配来说的，对不同长度的电阻条来说，接触孔电阻所占的比例是不同的；第三类是多晶硅刻蚀速率的变化，由于多晶硅的刻蚀速率与刻蚀窗的大小有关，导致隔离大的多晶宽度小于隔离小的多晶宽度；第四类是扩散区的相互影响，其原因是同类型的扩散区相邻则相互增强，异类型的扩散区相邻则相互减弱；第五类是梯度效应，这是指由于压力、温度、载流子掺杂浓度、氧化层厚度分布不均等所引起的梯度问题，元器件间的差异取决于梯度和距离。

图14-5给出了两个宽度为$2:1$、长度相同的多晶电阻条，这两个电阻的阻值之比设计为$2:1$。 假设电阻条在制作过程中的宽度偏差为0.1μm，则两个电阻的实际阻值之比为$(4-0.1)/(2-0.1)=2.05\%$，电阻失配达到2.4%。而且，接触孔和电阻端头处的多晶电阻也会带来失配，对于小电阻，失配会变大。

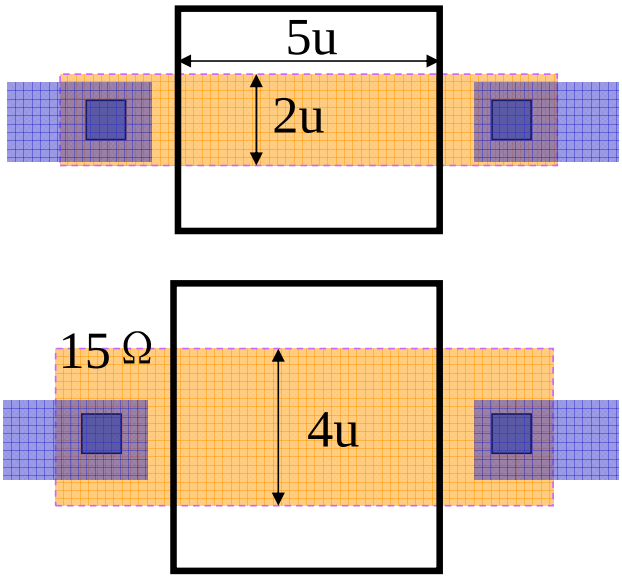


图 14-5 不同宽度多晶电阻条的版图

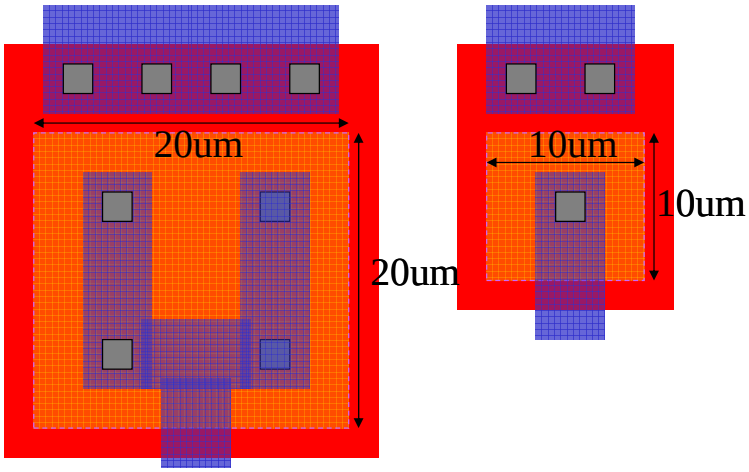


图 14-6 不同面积双层多晶电容的版图

图14-6给出了两个面积不同的双层多晶电容，假设多晶的刻蚀工艺偏差为0.1μm，则两个电容的有效面积分别为$(10.1)^2$和$(20.1)^2$，系统失配为1.1%。

为了降低系统失配，可以采取如下的版图设计技术：第一类技术称为单元元器件复制技术，这是指匹配的两个元器件都是由某一个元器件单元的多个复制版本串联或者并联构成的，这样可以降低工艺偏差和欧姆接触电阻不匹配的影响；第二类技术是在元器件周围增加“哑”（Dummy）单元，这样可以保证周围环境的一致性；第三类技术要求匹配元器件之间的距离尽量接近，摆放方向相同；第四类技术是采用公用重心设计法（Common-Centroid），它是指使匹配元器件的“重心”重合，这可以减小线性梯度的影响；第五类技术要求匹配元器件与其它元器件保持一定距离，这样可以减小扩散区之间的相互影响。

为了说明这些技术，我们来看一些具体的例子。图14-7给出了三个匹配电阻的版图。 为了避免周围环境的影响，三个电阻条周围的环境应完全相同，因此在最上边电阻条和最下边电阻条周围增加了两个“哑”电阻单元，使得三个电阻条中的每一个所看到的周边环境都相同。“哑”电阻单元的宽度可以比正常电阻条的宽度窄以节省芯片面积。在图（a）中，“哑”电阻单元是悬空的，这容易造成静电积累，给芯片带来抗干扰性问题。为了解决这个问题，可以将“哑”电阻单元接某一个固定电势，如图（b）所示。

图14-8给出了一维公用重心设计和二维公用重心设计的例子。 如果某些工艺参数的梯度沿水平方向

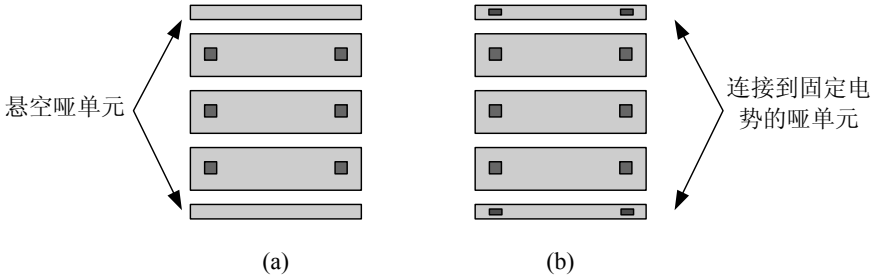


图 14-7 采用哑单元技术来提高电阻之间的匹配程度

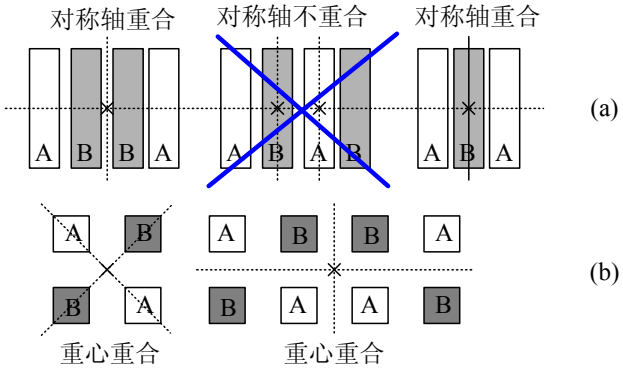


图 14-8 公用重心设计

或者垂直方向是线性的，那么采用公用重心设计法设计的匹配器件完全不会受到梯度的影响。例如，对于图14-8（a）中的第一个例子来说，如果工艺参数X的梯度沿水平方向是线性变化的，在左边A处的数值为X_1，在左边B处的数值为$X_1+\Delta X$，在右边B处的数值为$X_1+2\Delta X$，在右边A处的数值为$X_1+3\Delta X$，可以看到，A组合元器件和B组合元器件之间不会受到X沿水平方向梯度的影响。同样，在二维平面上，采用公用重心设计（14-8图（b）也不会受到水平和垂直方向梯度的影响。

图14-9给出了两个阻值比为2 : 3的匹配电阻在分别采用了单元元器件复制技术、一维公用重心设计技术和“哑”单元设计技术后的版图变化情况，综合采用这些技术，可以提高两电阻的匹配性能。

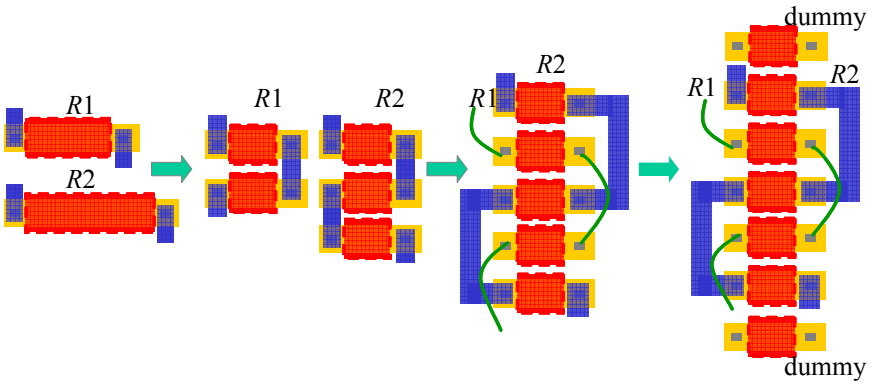


图 14-9 阻值比为2 : 3的匹配电阻的版图

图14-10给出了两个电容值之比为1 : 8的匹配电容在采用了单元元器件复制技术、二维公用重心设计技术和“哑”单元设计技术后的版图，综合采用这些技术，可以提高两电容之间的匹配性能。

综合图14-9和图14-10可以看到，采用版图匹配设计技术后可以提高元器件的匹配性能，但是会增加芯片面积，布线也会比较困难，连线的寄生效应会限制匹配精度。

图14-11给出了两个匹配MOS晶体管的版图。 图（a）所示的版图晶体管方向不同，匹配性能很差；图（b）所示版图晶体管的方向一致了，但是两晶体管源漏极的周围环境不同，这会引起源漏极的掺杂浓度、

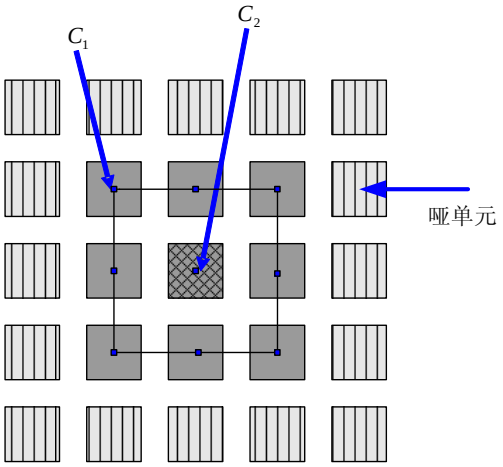


图 14-10 电容值之比为1 : 8的匹配电容的版图

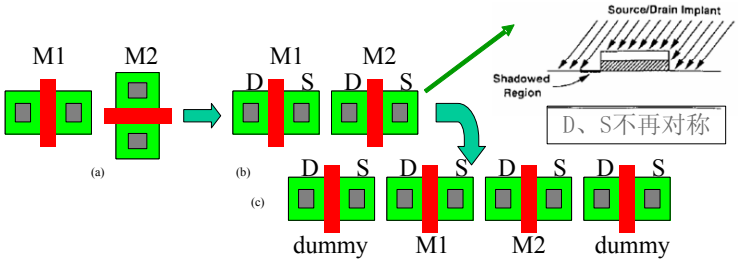


图 14-11 匹配MOS晶体管的版图

多晶硅刻蚀速率的不匹配，因此会增加两晶体管之间的不匹配；图（c）通过增加“哑”单元保证了每个晶体管所看到的周围环境是相同的，因此减小了晶体管的不匹配。

除了增加“哑”元器件外，元器件周围的连线也要保持对称，故有时也需要增加“哑”连线，如图14-12所示。

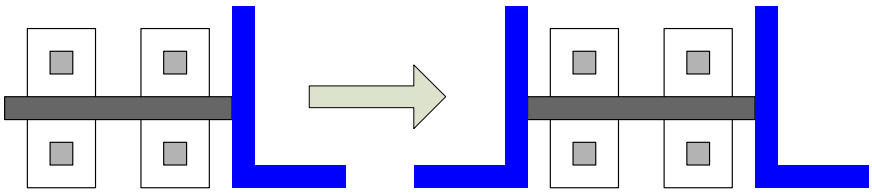


图 14-12 增加哑连线来提高晶体管的匹配性能

MOS管也可以采取公用重心技术，如图14-13所示。 图（a）是一个差分对的电路图；图（b）是采

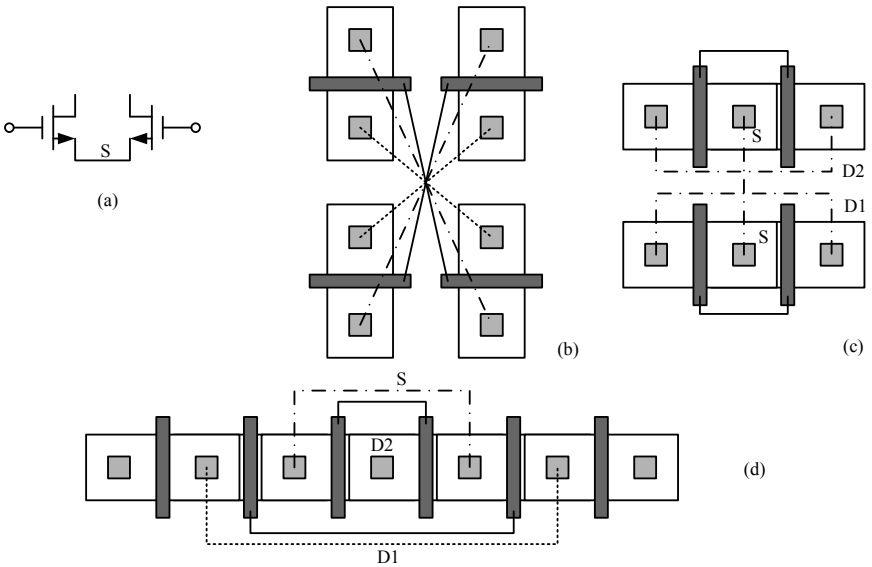


图 14-13 采用公用重心设计技术来提高晶体管的匹配性能

用二维公用重心设计的版图，可以看到，它的连线是很复杂的；图（c）的版图中两个晶体管共用一个源区，这样可以减小晶体管的寄生，但晶体管匹配性能不是很好；图（d）是采用了一维公用重心设计技术和“哑”单元设计法的版图，它还采用了叉指晶体管技术，这是一种交叉耦合结构，采用多个单元晶体管并联来构成宽晶体管，单元晶体管之间共用源区或者漏区，因此可以减小寄生，栅阻抗也会减小，这种技术在后面我们还会讲到。

匹配晶体管与其它晶体管应保持适当距离，以免影响晶体管背栅的掺杂浓度，导致晶体管阈值电压或者跨导发生变化。一般说来，匹配晶体管与其它晶体管多晶硅栅之间的距离应大于N阱深度的4倍。

§14.1.2 寄生优化设计

在集成电路芯片中，寄生效应会降低电路的噪声、速度、功耗等性能，版图设计对寄生具有很大影响，合理的版图可以有效地降低元器件和连线的寄生效应。在设计版图时，要重点降低关键路径和关键节点上的寄生，如LNA的输入节点上的寄生。下面我们来介绍常用的降低寄生效应的版图设计技术。

对于晶体管来说，应尽量减小多晶做导线的长度，采用导电率较好的金属来走线，如图14-14(a)所示；为了减小栅极串联寄生电阻，可以将栅极的两头都接起来，如图（b）所示；采用叉指结构可以进一步减小栅极寄生阻抗，如图（c）所示。

图14-15给出了一个宽晶体管的版图，它采用了叉指技术，由多个单元晶体管并联来构成，单元晶体管之间共用源区或者漏区，因此可以减小寄生，栅阻抗也会减小。

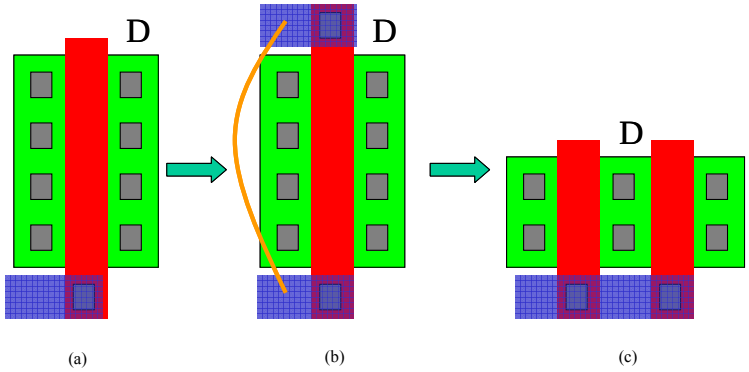


图 14-14 减小晶体管栅极的寄生阻抗

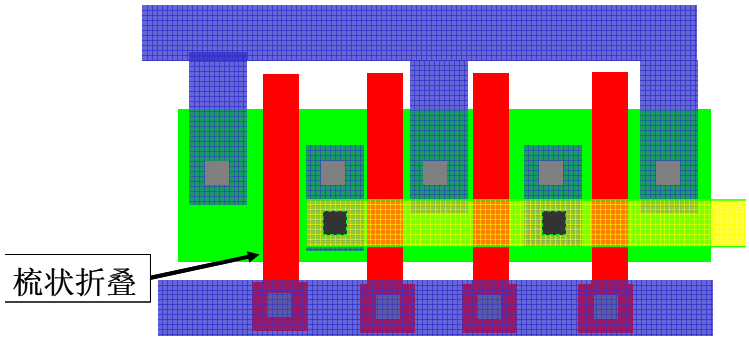


图 14-15 宽晶体管的版图

图14-16（a）给出了Cascode结构晶体管的版图，两晶体管的漏极和源极共用，减小了源漏极的寄生效应（主要是寄生电容）；如果Cascode结构的中间节点不需引出，则可以采用图（b）或者图（c）的版图，两晶体管的源漏重叠区没有接触孔存在，可以缩短多晶硅栅之间的距离，减小了源漏重叠区的面积，从而减小了寄生效应；图（c）采用叉指技术进一步减小了寄生。

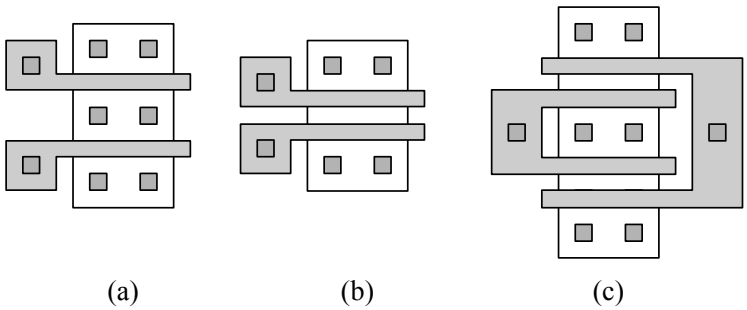


图 14-16 Cascode结构晶体管的版图

为了减小晶体管源漏极的寄生电容，可以采用圆周状版图，如图14-17所示。将晶体管栅极画成圆周形状，可以在保证晶体管宽度一定的情况下减小晶体管源级或者漏极的面积，从而减小源极或者漏极的寄生效应（主要是寄生结电容）。

寄生优化还涉及到接触孔、通孔与其它层的连接，这种连接会引入接触电阻，而且会限制流过接触孔或者通孔的电流密度。一般采用多个均匀分布的最小孔并联的方法来减小孔寄生电阻和提高孔的可通过电流能力，如图14-18所示。

§14.1.3 可靠性设计

在版图设计时，还需要考虑到芯片的可靠性问题，这主要是指两类问题：天线效应和Latch－Up效

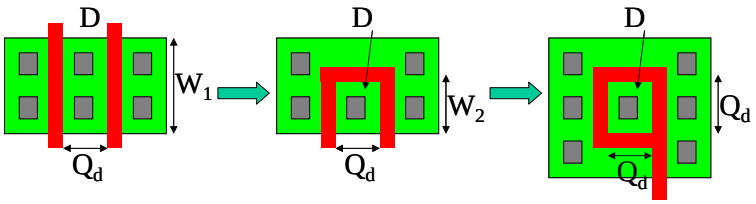


图 14-17 采用圆周状版图来减小晶体管的寄生效应

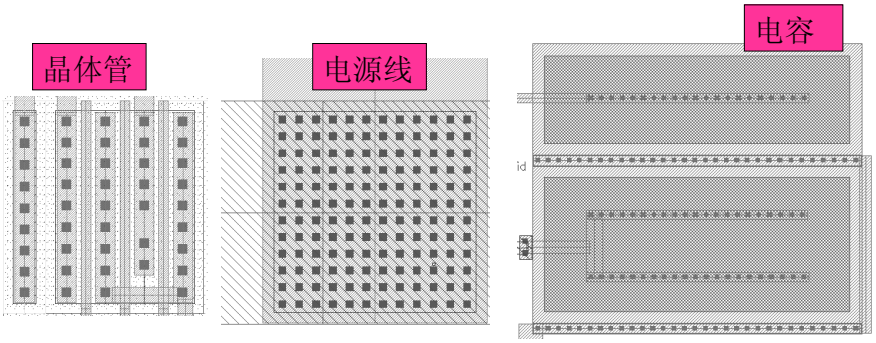


图 14-18 采用多个均匀分布的最小孔并联的方法来减小孔寄生电阻和提高孔的可通过电流能力

应。

天线效应是指当大面积的金属M1与栅极相连时（如图14-19(a)），金属就会作为一个天线，在金属腐蚀过程中收集周围游离的带电离子，增加金属上的电势，进而使栅电势增加，一旦电势增加到一定程度，就会导致栅氧化层击穿。 大面积的多晶硅也可能出现天线效应。为了避免天线效应，应减小直接连接

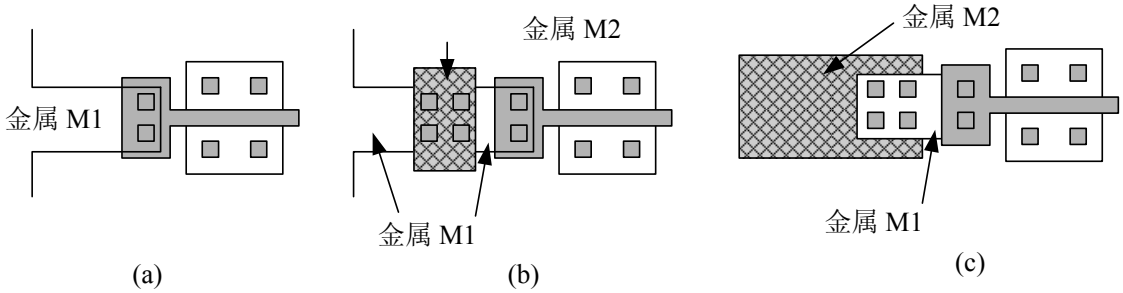


图 14-19 天线效应

栅的多晶硅和金属M1的面积，使它们的面积与晶体管栅面积之比保持在一定的比例以下（该比例由芯片加工厂家给出）；这可以通过采用金属M2过渡来实现，如图14-19(b)所示。在金属M1的腐蚀过程中，金属M2没有加工，因此直接连接到晶体管栅极的金属M1的面积大大减小，避免了M1所引起的天线效应。但是，图14-19(c)所示的连接方法无法避免M2的天线效应，因为在M2的腐蚀过程中，金属M1和通孔V1已经存在，M2上积累的电势会通过这些连接通道传到晶体管栅极，有可能使栅氧化层击穿。因此在各层金属的腐蚀过程中，与栅相连的金属面积与晶体管栅面积之比都应该保持在一定的比例以下。

在版图设计时，另外一个可靠性考虑是Latch-Up效应。标准CMOS工艺的器件结构隐含着一个pnpn闩锁夹层。就拿最简单的CMOS反相器来说（图14-20（a）），其横截面如图（b）所示，在生成MOS晶体管的同时，也寄生了一个水平npn晶体管和垂直pnp晶体管。寄生水平npn管的发射极、基极和集电极分别是NMOS管的源极、p型衬底和n阱；而寄生垂直pnp管的发射极、基极和集电极分别是PMOS管的源极、n阱和p型衬底。npn管的基极通过p型衬底寄生阻抗R_1接到地，pnp管的基极通过n阱寄生阻抗R_2接到电源电压上。这些寄生效应的等效电路如图（c）所示。

在正常条件下，该结构中所有的pn结都处于反偏状态，因此两个寄生双极型晶体管都不导通，对电路的正常工作没有影响。但如果由于某种原因使得两个晶体管进入有源工作区，而图14-20（c）所示电

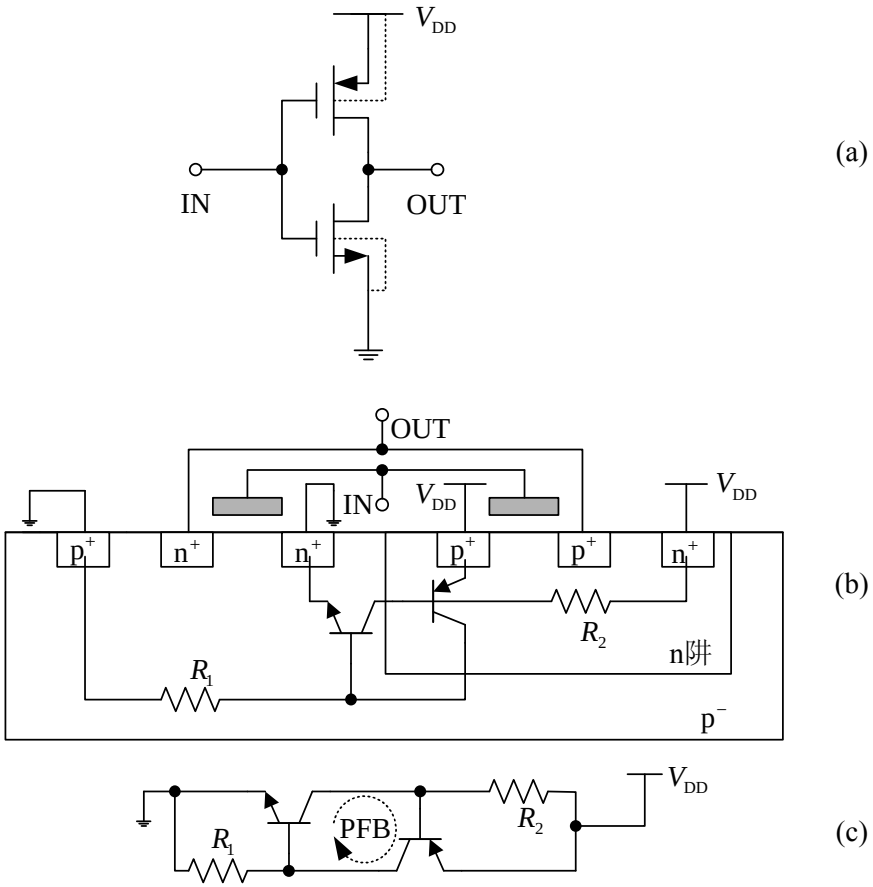


图 14-20 Latch-Up效应

路又形成一个很强的正反馈，则寄生双极型晶体管将导通大量的电流，致使电路无法正常工作，这种现象被称为Latch-Up效应。下面我们来分析图（c）是如何形成正反馈环路的。假设两个寄生晶体管都工作于有源区，在某一时刻由于某种原因，npn管的基极电流增加i，则npn管的集电极电流增加$\beta_{npn}i$。如果电阻R_2足够大，npn管的集电极电流是由pnp管的基极提供的，因此pnp管的基极电流也增加$\beta_{npn}i$，pnp管的集电极电流增加$\beta_{npn}\beta_{pnp}i$。如果电阻R_1足够大，pnp管的集电极电流流进npn管的基极，即反馈回的电流为$\beta_{npn}\beta_{pnp}i$，放大了$\beta_{npn}\beta_{pnp}$倍。从以上的分析可以看出，npn 管和pnp管形成了一个正反馈环路，在电阻R_1、R_2足够大时，环路增益为$\beta_{npn}\beta_{pnp}$。如果该增益大于1，则图（c）电路对微小扰动的响应会一直增强，直到双极型晶体管进入饱和区，引起大量的电流从电源流到地，导致提供电源的电路不工作或者整个电路因热量过大而烧毁，引起Latch-Up效应。

从以上分析可以看出，Latch－Up效应发生的条件是正反馈环路的环路增益大于1，并且存在某种原因使得至少有一个双极型晶体管进入正向有源工作区。引起晶体管进入正向有源工作区的原因很多，常见的包括：电路的输入、输出端加入了幅度高于电源电压的信号；电源电压供给的顺序不合适；p型衬底或者n阱中存在大直流电流或者位移电流流动。在工艺条件上，衬底或者阱的掺杂浓度越低、器件尺寸越小，R_1、R_2越大，寄生双极型晶体管的电流放大倍数也越大，正反馈越强，越容易形成Latch-Up效应。

为了防止Latch-Up效应，常用的办法是在版图设计时，尽可能减小电阻R_1、R_2的阻值和两个双极型晶体管的电流放大倍数。垂直pnp管的电流放大倍数是由阱的深度等工艺参数决定的，电路设计者无法进行控制，但水平npn管的电流放大倍数可以通过增加它的基区宽度来减小，水平npn管的基区宽度是NMOS管的源极与n阱之间的距离，增加这个距离就可以减小npn管的电流放大倍数。为了减小电阻R_1、R_2的阻值，需要增加衬底和阱接触孔的数目，通常采用在阱边缘附近做一个双环保护带（Guard-Ring）来减小衬底和阱寄生阻抗的大小。双环保护带由源漏极扩散区与衬底、阱接触孔构成，它提供了一条衬底（或阱）到地（或电源）的低阻抗通道，如图14-21所示。另外，在电路的输入、输出部分需要增加

特殊保护电路，避免输入、输出信号幅度过高，或者过量电流流进/流出芯片。

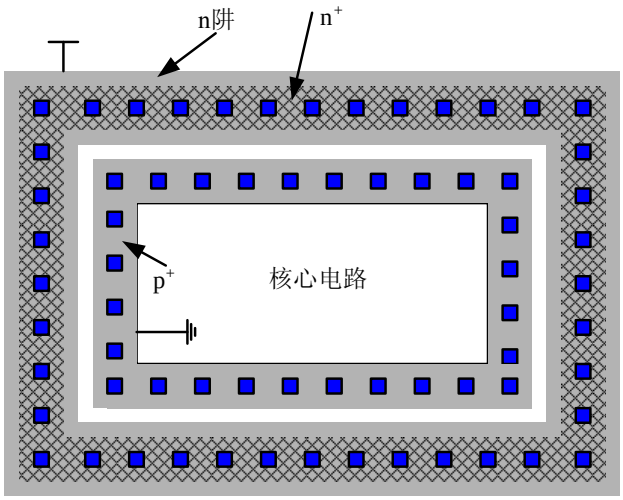


图 14-21 双环保护带（Guard-Ring）

§14.1.4 参考源分布

在一块集成电路芯片中，通常采用同一个偏置电路给所有的功能模块提供偏置，偏置信号的走线对功能模块实际获得偏置的质量有很大影响。偏置信号的走线方式有三种：电压走线、电流走线和电压/电流混合走线。下面我们来讨论这三种走线方式的特点。

图14-22给出了一个电流镜型偏置电路的电路图。I_{IN}是由某一个电流源提供的稳定电流（如

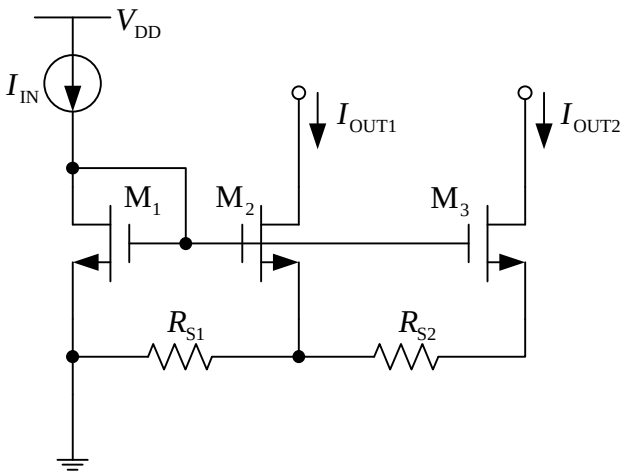


图 14-22 电流镜型偏置电路

基于能隙基准源技术的恒温电流源），该电流通过多个电流镜像，给其它功能模块提供偏置（I_{OUT1}、I_{OUT2}等），M_1、M_2、M_3构成简单的MOS电流镜（暂时假设$R_{S1}=R_{S2}=0$）。

电压走线法是指在版图上将M_1放在靠近电流源的地方，而将M_2、M_3等放在由它们提供偏置的功能模块附近，偏置信号以晶体管栅源电压的形式分布。这种走线的一个好处是整个芯片仅需两条走线（晶体管栅极电压和晶体管源极电压），就可以提供任意多的偏置信号，大大降低了走线的复杂度。但电压走线方法存在以下的问题：第一个问题是对于电流镜M_1、M_2、M_3来说，晶体管之间相隔的距离很远，因此由于工艺、温度、梯度等各方面的原因，晶体管之间的失配将很大，各功能模块的偏置电流之间以及与电流源产生的电流之间将存在很大的失配，尤其是当电流镜的栅源电压较低时，失配将更加严重；第二个问题是

晶体管源极走线的寄生阻抗会影响各功能模块所获得的偏置电流，在图14-22中，R_{S1}和R_{S2}代表源极走线的寄生阻抗，由于电流I_{OUT2}流过R_{S2}，而流过R_{S1}的电流为$I_{OUT1}+I_{OUT2}$，因此$V_{GS3}<V_{GS2}<V_{GS1}$，不相等的栅源电压会使得各功能模块所获得的偏置电流相互之间以及与电流源产生的电流之间出现不匹配，这种不匹配会随着偏置走线距离的增加而增加。由于这两个原因，在尺寸较大的芯片中，偏置走线一般不采用电压走线，而采用电流走线。

电流走线法是指在版图上将M_1、M_2、M_3都放在靠近电流源的地方，偏置信号以偏置电流I_{OUT1}、I_{OUT2}的形式分布。这样就避免了电压走线所遇到的问题。但是，电流走线方法却存在以下问题：第一个问题是每一个偏置电流都需要一条走线，因此当偏置电流数目很多时，电流走线法的布线会很复杂；第二个问题是在大尺寸芯片中，各模块的偏置电流需要走很长的走线，因此会在各模块的偏置电流节点引入很大的寄生电容，降低各功能模块的高频性能。

考虑到电压走线法和电流走线法各自的优缺点，人们提出了电压/电流混合走线方法，它将电流走线和电压走线结合起来，在走线距离较长时，采用电流走线（也称为全局走线）；而在靠近功能模块的地方，则采用电压走线（也称为局部走线）。图14-23给出了这种走线的一个例子。 这种走线方法克服了电压

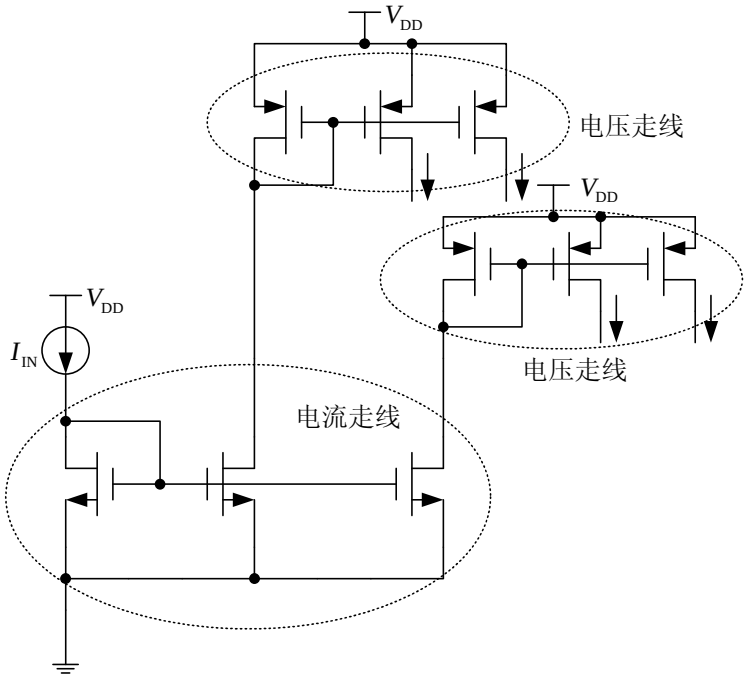


图 14-23 电压/电流混合走线方法

走线和电流走线各自的缺点，保留了两种走线方法的优点，因此可以获得较高的偏置性能。

§14.2 焊盘

外部环境为了和芯片的内部电路进行通信并给芯片提供电源，需要进行键合，将芯片内部电路的某些节点与外部环境连接起来。为了键合的需要，集成电路版图上需要放入焊盘。焊盘通常放在芯片周围，通过它，键合线可以与芯片内部节点相连，如图14-24(a)所示。 为了减小键合时机械对内部金属线与焊盘结合处的压力，内部金属线与焊盘的连接线一般采取图14-24(b)所示的连线形状。焊盘的大小与键合工艺有关，在现在键合工艺下，键合线的直径在25μm到50μm之间。考虑到可靠性问题，焊盘的尺寸一般在70μm × 70μm到100μm × 100μm之间，焊盘之间的边缘距离应大于25μm。由于焊盘的寄生电容与焊盘的面积成正比，因此为了减小焊盘的寄生效应和芯片面积，需要采用键合工艺允许下尽可能小的焊盘尺寸。

为了保证可靠性，芯片制造厂家通常要求焊盘由所有的金属层构成，金属层之间由相互间隔的通孔连接，如图14-25所示。 对于低频电路来说，焊盘的寄生效应仅需考虑最底层金属与衬底之间的寄生电容，

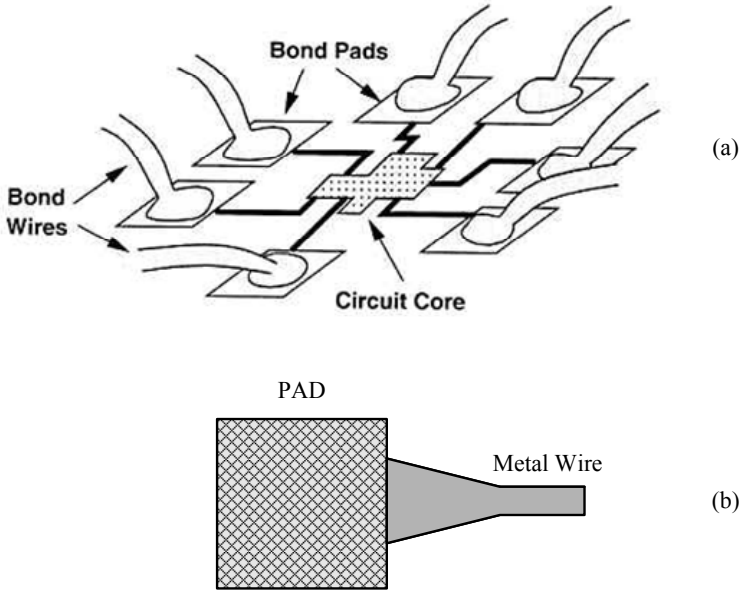


图 14-24 焊盘

它包括两部分：平行板电容和边缘电容。由于焊盘面积很大，而最底层金属离衬底距离又小，因此这个寄生电容的电容量是很可观的。为了减小这个寄生电容，除了减小焊盘尺寸或者采用更近似于圆形（如六角型、八角型）的焊盘形状外，减小焊盘所用的层数也是一种可行的办法，即焊盘仅由最上面一层或者几层金属构成，这可以增加金属与衬底之间的距离，从而可以减小寄生电容。这种办法会降低键合的可靠性，需要根据键合条件进行合理选择。

但对于射频信号焊盘来说，信号频率很高。由于衬底损耗，焊盘会引起信号能量损失，即焊盘的等效电路是电阻和电容的串联，这会降低射频电路的性能（如LNA的噪声系数等）。为了消除焊盘因衬底损耗所引起的信号能量损失，可以在焊盘下面放一个接地的最底层金属层或者接地的多晶硅层或者有源区（金属层数不够时）来将焊盘和衬底进行有效的隔离，如图14-26所示。这 时焊盘的寄生效应就可以等效为一个纯电容，它的电容量与焊盘所用的最低层金属与隔离金属层（多晶硅层）之间的距离成反比。与不使用隔离措施相比，寄生电容的电容量会有所增加，因此图14-26所示的隔离措施是以增加焊盘的寄生电容为代价，来消除焊盘所引入的信号能量损耗。

以上所列的减小焊盘寄生效应的措施，仅寄生敏感型信号焊盘才是需要的，对于直流偏置、电源、寄生不敏感型信号等焊盘来说，寄生效应对它们的影响近似为0，因此应采用可靠性高的焊盘结构。

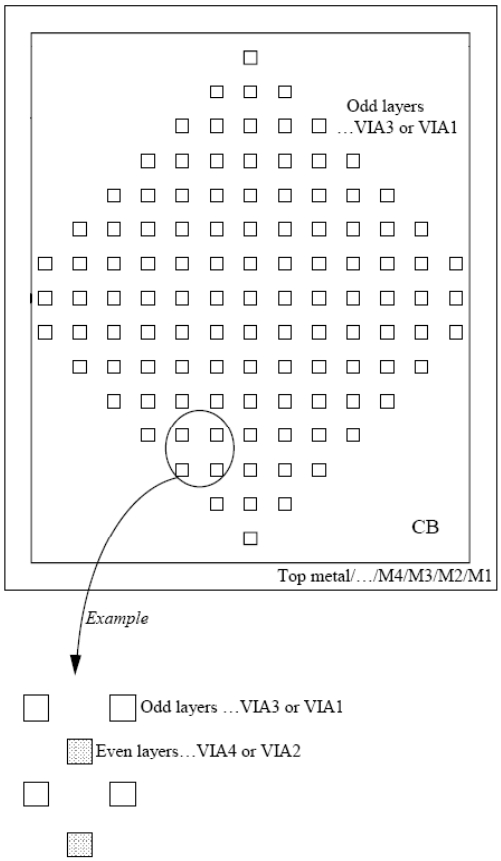


图 14-25 焊盘版图

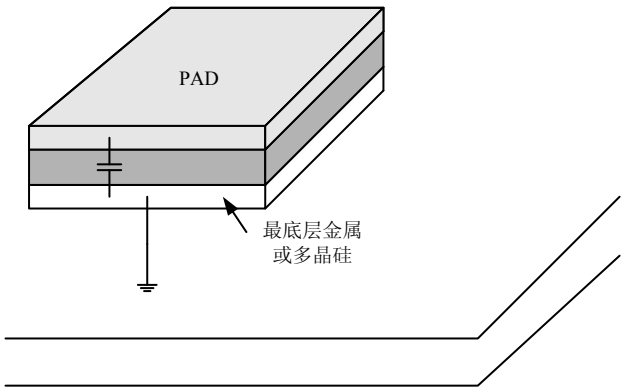


图 14-26 采用接地的最底层金属层或者接地的多晶硅层将焊盘和衬底进行有效的隔离

§14.3 ESD防护电路

芯片与外部环境的接口还涉及到另一个很重要的问题：ESD防护（Electrostatic Discharge）。我们知道，两个具有不同静电电势的物体互相靠近时，两个物体之间会发生静电电荷的转移，这个过程就是静电放电过程（ESD）。静电放电是一个非常常见的现象，在我们的日常生活中常常发生，但对于集成电路来说，ESD过程通常仅指外界物体接触芯片的某一个连接点所引起的持续时间在150ns左右的静电放电过程，这个过程会产生非常高的瞬态电流和瞬态电压（几十安培的电流或者几千伏的电压），可能造成集成电路芯片失效。调查显示，集成电路失效的原因中约有30%是由于ESD引起的，因此ESD 防护电路的设计是集成电路设计中一个非常重要的问题。本节就来讨论与ESD防护相关的问题。

§14.3.1 ESD概述

静电放电过程会引起集成电路突然失效或者缓慢失效（老化）。ESD引起集成电路失效的机理可以分为两类：一类是静电放电过程中产生的高热量会烧毁半导体材料或者金属互连线；另一类是ESD引起的高电场会击穿集成电路中的薄介质层（如MOS管中的栅氧化层）。ESD防护电路就是针对这两个机理来对芯片进行防护，使得芯片具有抗ESD损坏的特性。

从ESD引起集成电路失效的机理出发，可以推导出有效的ESD防护电路应具有以下基本特性：首先，该防护电路在ESD过程中应该能提供一条低阻抗放电通道，避免大ESD 瞬态电流产生高热量，烧毁半导体材料或者金属互连线；其次，该电路应能钳制ESD电压，避免集成电路中的薄介质层被击穿；最后，该ESD防护电路还应尽可能不干扰芯片的正常工作。完整的ESD防护方案应提供全芯片级的保护，关键点是在芯片的每一个管脚和其它管脚之间提供一条有效的低阻抗放电通道。

虽然ESD防护电路的基本特性很简单，但设计一个有效的ESD防护电路是一件非常具有挑战性的工作，而且随着工艺技术的发展和对ESD防护性能要求的提高，ESD防护电路的设计变得越来越复杂。其中的原因在于以下方面：第一，ESD防护电路和被保护的核心电路之间存在复杂的交互式影响。首先，ESD防护电路的性能会受到周围环境的影响，ESD防护电路周围区域的寄生器件或者核心电路内部的寄生器件可能会作为寄生ESD放电通道，这些放电通道在ESD防护电路还没有启动之前就已开始发生作用，由于它们不是针对ESD防护来设计的，ESD通过这些寄生放电通道放电会引起集成电路失效，因此有效的单独ESD防护电路并不能保证在与芯片结合后仍然有效；其次，ESD防护电路会引入一些寄生效应，例如寄生电容、噪声等，这些寄生效应可能影响核心电路的性能，尤其是对于高速、高密度混合信号电路和射频集成电路来说，ESD防护电路对核心电路性能的影响更大，随着工艺技术的发展，这个问题将变得更严重。第二，ESD防护电路的设计缺乏大电流ESD器件模型和EDA工具的支持，因此目前ESD防护电路的设计主要依靠流片验证来积累经验，这样做的成本是很高的，而且延缓了产品上市的时间；第三，ESD防护电路具有不可移植性，ESD防护电路的性能与工艺、尺寸和要保护的核心电路都有关系，工艺、版图形状或者要保护的核心电路发生任何变化，原本有效的ESD防护电路都可能不再有效。

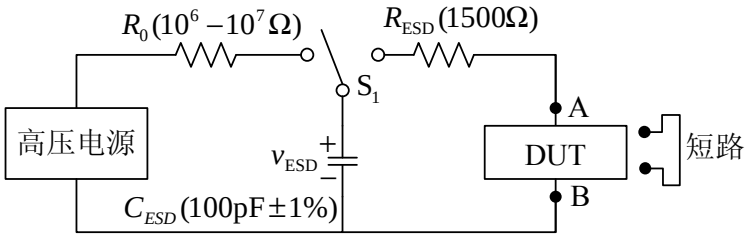
§14.3.2 ESD测试模型

ESD防护电路的性能通常用它抵抗ESD瞬态的能力来衡量，这是使得要保护的核心电路发生ESD失效时的临界阈值电压，它的单位是V或者kV。为了测量一个ESD防护电路的性能，需要对待测试的芯片进行ESD压力测试，用一个测试仪产生可重复的仿真ESD瞬态信号来攻击芯片。为了产生可重复的仿真ESD瞬态信号，需要建立ESD测试模型。本节我们讨论几种常用的ESD测试模型。

1. 人体模型

人体模型是最常用的一种ESD测试模型，它模仿带有静电的人体直接接触芯片所引起的静电从人体转移到芯片的过程，该模型产生一个静电瞬态来测试芯片与人体接触的ESD防护能力。图14-27给出了人体模型的等效电路图。 人体引起的ESD事件用一个预先充电的人体等效电容C_{ESD}通过一个放电电阻R_{ESD}向芯片放电来等效。其中，带有静电的人体用一个人体电容C_{ESD}来等效，而R_{ESD}则等效人体的放电阻抗，各元件的典型取值如图所示，人体电容上的初始电压v_{ESD}决定了ESD的防护级别，图中也对此进行了说明。

该模型需要通过一个短路终端进行校准，短路时的放电电流波形应是指数型函数，如图14-28所示。



$$v_{ESD}=\begin{cases}<2KV & (Class1)\\ 2KV-4KV & (Class2)\\ >4KV & (Class3)\end{cases}$$

图 14-27 人体模型

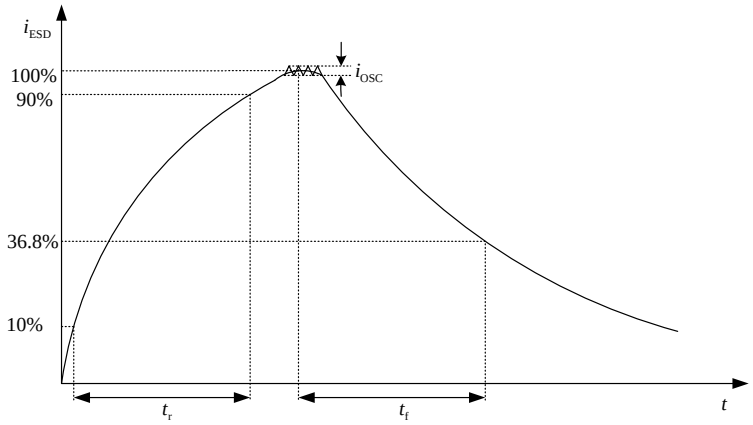


图 14-28 人体模型的短路放电电流波形

其上升时间t_r应小于10ns，下降时间t_f位于150ns ± 20ns范围内，纹波波动幅度i_{OSC}必须小于放电电流峰值I_p的15%。

实际上，由于各种寄生效应，在进行ESD测试时放电通道上存在寄生电感（电感量在6～10μH之间），为了考虑寄生电感的影响，需要对图14-27所示人体模型进行修改，修改后的模型如图14-29所示。寄生电感的电感量应根据ESD测试设备的情况来定，但所产生的短路放电波形必须符合图14-28所示波形的限制条件。

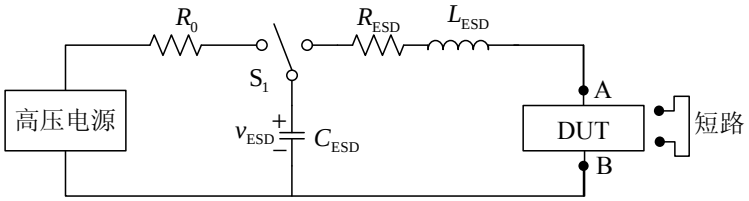


图 14-29 修改后的人体模型

2. **机器模型**

在芯片封装和在片测试过程中，金属型机器不可避免的会与芯片直接接触，因此也会引起ESD现象。机器模型就是用来描述带有静电的机器直接接触芯片所引起的静电从机器转移到芯片的过程，它产生一个静电瞬态来测试芯片与机器接触的ESD防护能力。

图14-30给出了机器模型的等效电路图。 它与人体模型相似，唯一的区别在于，金属型机器的导电

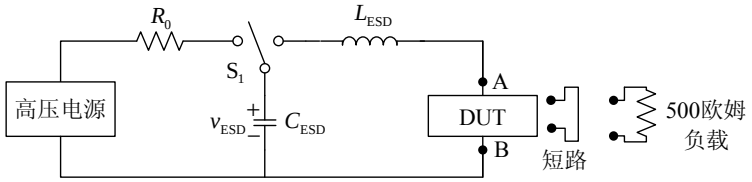


图 14-30 机器模型

率很高，放电阻抗R_{ESD}近似为0，因此放电过程中产生的峰值电流要远高于人体模型所产生的峰值ESD电流，对芯片具有更大的破坏性。该模型应针对短路和500Ω负载阻抗进行校准，短路ESD放电电流波形应符合图14-31所示波形的限制，由于测试系统中寄生电感L_{ESD}的影响，该波形呈现出振荡特性。

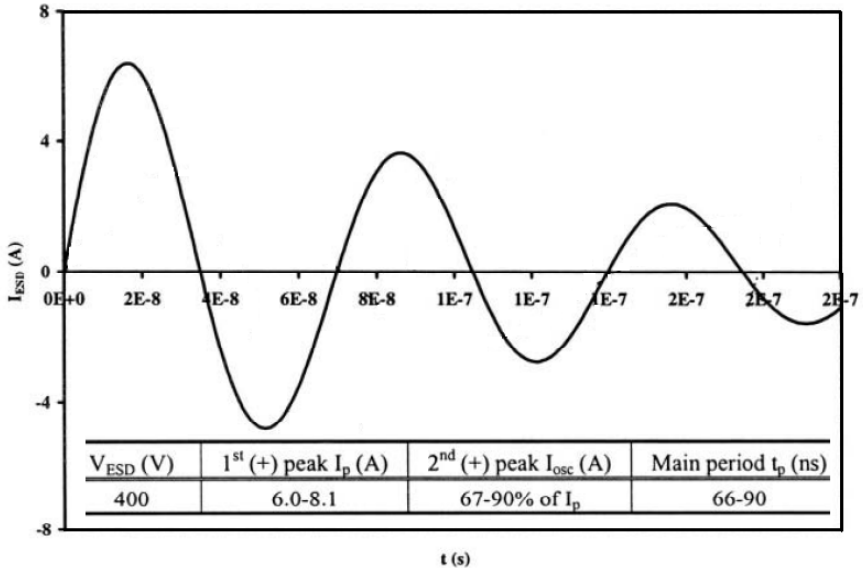


图 14-31 机器模型的短路放电电流波形

3. **充电器件模型**（Charged Device Model，CDM）

与人体模型和机器模型不同，CDM模型描述了一个新的ESD现象，它模仿充电芯片的管脚接触零电势物体或者导电平面所引起的静电放电过程。在芯片生产、封装和运输过程中，芯片将带上电荷，电荷存储在芯片的寄生小电容上（如封装的寄生电容）。芯片与零电势物体或者导电平面接触将引起一个静电电荷的放电过程。由于放电阻抗很低，放电过程很快，因此会引起一个很高的ESD瞬态电流，对芯片具有很大的破坏能力。随着工艺技术的发展，氧化层介质的厚度越来越小，相比于人体模型，CDM ESD过程引起的芯片失效越来越严重，因此CDM模型也得到了更多的关注。

CDM测试模型如图14-32所示。 芯片倒放在一个导电盘上，一个高压源对该导电盘充电，然后再通过一个放电针对该导电盘进行放电。对导电盘充电的方式有两种，一种是直接充电方式，如图（a）所示，在这种充电方式中，充电过程类似于人体模型的放电过程，因此充电过程就可能引起芯片的ESD失效，导致芯片无法进行CDM测试，这是这种充电方式应该避免的问题；另一种充电方式如图（b）所示，它通过电场感应对导电盘充电，避免了充电过程中芯片的ESD失效问题。CDM模型的等效电路图如图14-32(c) 所示。由于芯片的寄生电容很小，因此C_{ESD}也是一个很小的电容，放电阻抗R_{ESD}模拟放电针的阻抗，它是一个可以忽略的参数，$R_{ESD} \approx 1$，而放电通路上的寄生电感L_{ESD}应尽可能低。该模型应针对短路进行校准，ESD放电电流波形应符合图14-33所示波形的限制，由于测试系统中寄生电感L_{ESD}的出现，该波形呈现出振荡特性。

4. **传输线脉冲模型**（Transmission Line Pulse Model，TLP）

前面所介绍的ESD测试模型都是破坏性的，它们能进行芯片的ESD防护能力的测试，可以测试出芯

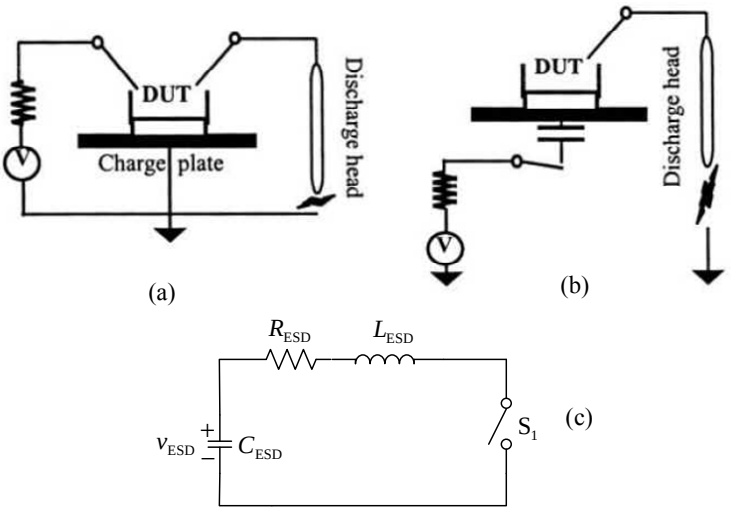
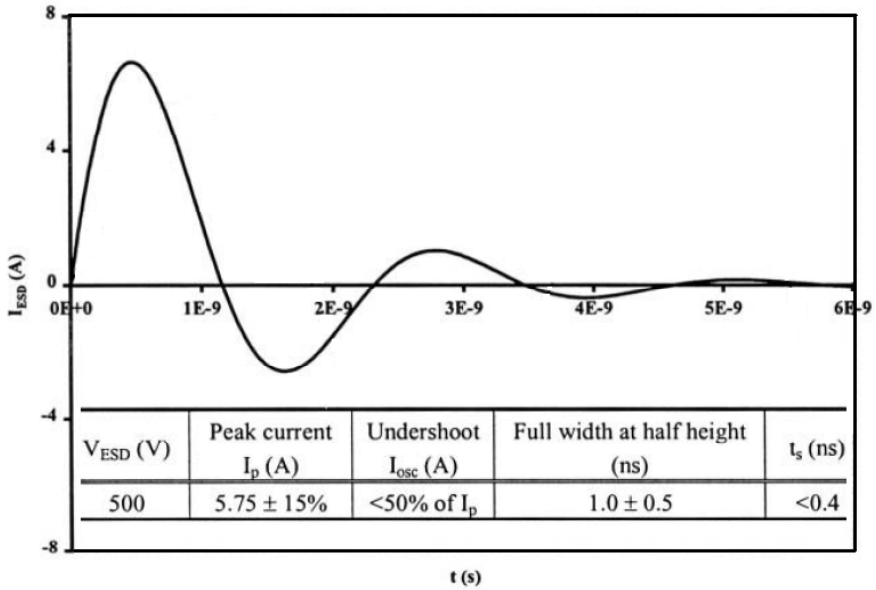


图 14-32 CDM模型



V_{ESD} (V)	Peak current I_p (A)	Undershoot I_{osc} (A)	Full width at half height (ns)	t_s (ns)
500	5.75 ± 15%	<50% of I_p	1.0 ± 0.5	<0.4

图 14-33 CDM模型的短路放电电流波形

片遭遇ESD失效的阈值电压，但是它们都不能提供芯片ESD失效机制方面的信息。而TLP模型则能够提供ESD失效机制方面的信息，因此可以为ESD防护电路的设计提供许多有用的信息。TLP测试的基本原理是利用一段传输线来产生一个稳定的方波信号，并对被测芯片进行攻击。图14-34（a）给出了TLP测试系统的构成。 一段50Ω传输线被预充到某一个特定的电压级，然后通过一个常数匹配阻抗对芯片进行放电，这个常数匹配阻抗通常是另一段50Ω的传输线，通过示波器可以观察芯片上的瞬态放电电压和电流。在每一个电压级测试后，需要测试芯片在正常工作电压下的直流泄漏电流。图中的衰减器用来吸收从被测芯片反射回的反射功率。图（b）给出了该测试模型的等效电路图，通过增加脉冲高度，我们可以获得芯片在ESD压力测试下的$I-V$曲线，并可以通过查看第二个击穿点或者直流泄漏雪崩击穿点来判断出ESD失效级别。图14-36和图14-35给出了TLP测试所得到的一些典型曲线，这些曲线可以指导电路设计者进行ESD防护电路的优化。

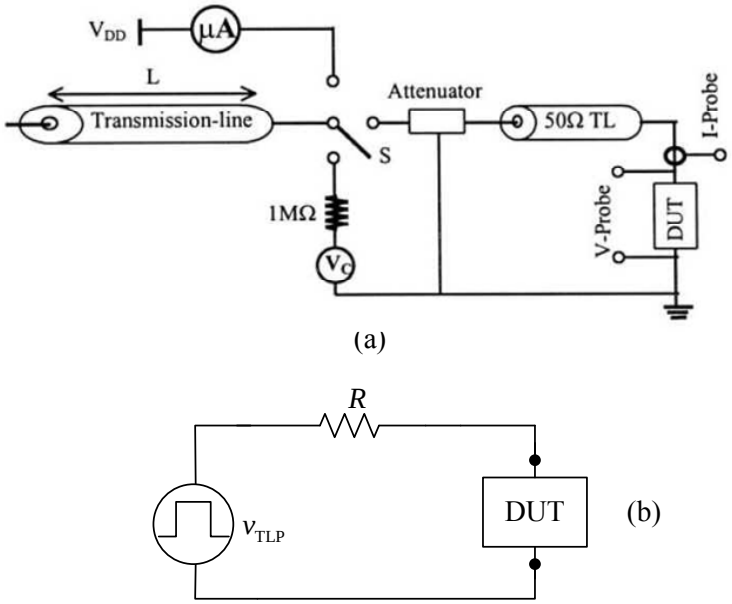


图 14-34 TLP模型

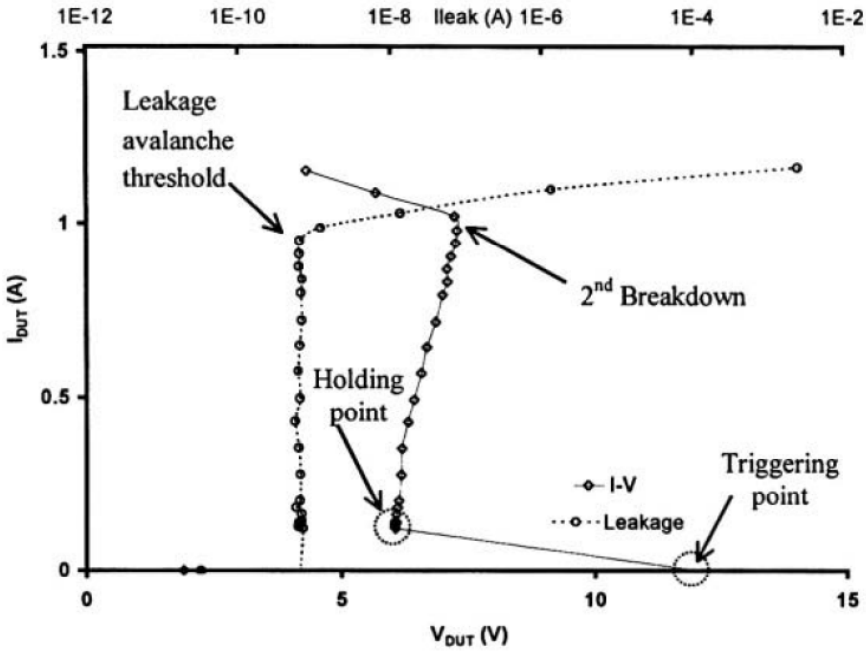


图 14-35 TLP模型的$I-V$数据曲线

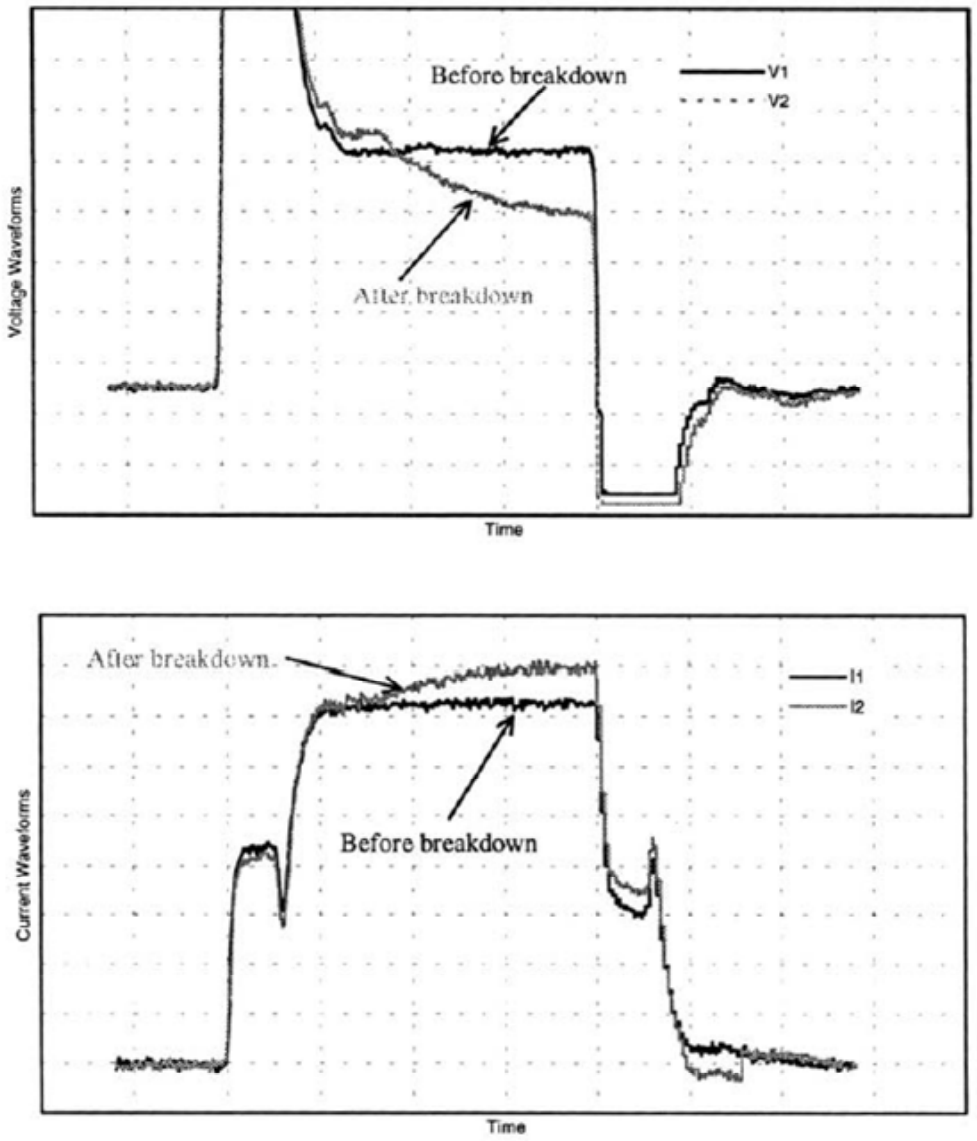


图 14-36 TLP模型瞬态电压和电流波形

§14.3.3 ESD防护器件

ESD防护电路是由ESD防护器件构成的，因此理解ESD防护器件的基本特性是设计高性能ESD防护电路的前提。本节介绍ESD防护的基本原理和常用ESD防护器件的基本特性。

1. ESD防护的基本原理

如前所述，ESD引起的芯片失效包括两种机制：瞬态高电流所产生的局部高热量引起硅半导体材料或者金属互连线烧毁；ESD放电过程产生的高电压使得芯片上的栅氧化层击穿。针对这两种失效机制，ESD防护的基本思想是：让ESD通过一个低阻抗并联通道进行放电并同时将ESD电压钳制在某一个足够低的电平，避免硅/金属互连线烧毁或者栅氧化层击穿。基于这种思想，图14-37 给出了两种不同类型ESD防护方案的典型$I-V$曲线。

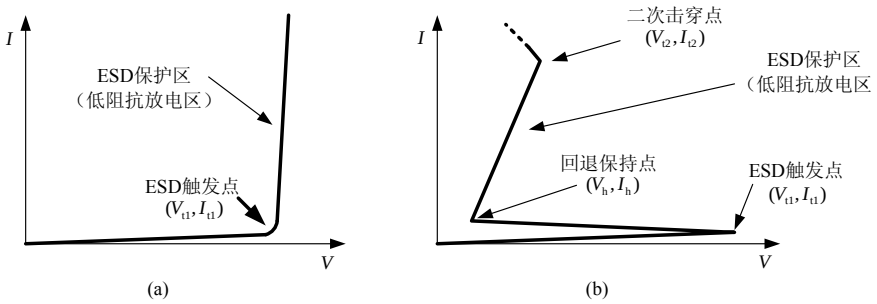


图 14-37 ESD防护方案的典型$I-V$曲线

第一种方案是利用具有图14-37（a）所示$I-V$曲线的器件来作为ESD防护器件，该防护器件在某一个触发点（V_{t1}、I_{t1}）开启，形成一条低阻抗放电通道，对ESD瞬态进行放电。开启电压V_{t1}应足够低，将ESD瞬态电压钳制在栅氧化层的击穿电压范围内，但它同时又应高于电源电压，避免ESD防护器件在正常工作时开启，影响电路的正常工作。该方案的ESD防护性能取决于防护器件处理电流的能力，该能力受限于放电通道上串联阻抗所产生的热量。具有这种$I-V$特性的典型器件是二极管，由这种器件构成的ESD防护电路可以通过SPICE电路仿真工具来衡量它的ESD防护性能。

第二种方案是利用具有图14-37（b）所示回退（snapback）$I-V$曲线的器件来作为ESD防护器件，该防护器件在某一个触发点（V_{t1}、I_{t1}）开启，将器件驱动进回退区，形成一条低阻抗放电通道，对ESD瞬态进行放电。触发电压V_{t1}由集成电路芯片决定，而回退点保持电压V_h应足够低，将ESD瞬态电压钳制在栅氧化层的击穿电压范围内，回退点保持电流I_h的选择主要是考虑到防止Latch-Up效应，回退越深，ESD防护性能越好。该方案的ESD防护性能取决于防护器件二次击穿（热击穿）时的电流I_{t2}。具有这种特性的典型器件是双极型晶体管、MOS管或者SCR器件，利用这类器件设计ESD防护电路的重点是选择合适的触发点（V_{t1}、I_{t1}）、回退保持点（V_h、I_h）以及二次击穿的阈值点（V_{t2}、I_{t2}）。由于缺乏相应器件模型的支撑，由这类器件构成的ESD防护电路不能通过常用的电路仿真工具来衡量它的性能，但相对于二极管构成的ESD防护电路来说，由这类器件构成的ESD防护电路更有效，因此得到更广泛应用。

2. 二极管

图14-38给出了二极管的典型$I-V$曲线。 对比图14-37（a）可以发现，正向偏置的二极管或者反向偏置的二极管都可以作为ESD防护器件。由二极管构成的典型ESD防护电路如图14-39所示。 当二极管工作于正向偏置模式时，它的导通电压为pn结的导通电压V_{ON}，这是一个很低的值，因此为了不干扰电路的正常工作，使用正向偏置模式二极管做ESD防护器件的ESD电路应由多个二极管串联构成，使得$V_{t1}\approx nV_{ON}>V_{DD}$，串联的个数与pn结导通电压以及电源电压有关。而反向偏置模式二极管的触发电压为pn结发生反向雪崩击穿时的电压，$V_{t1}\approx V_{BR}$。

在各种集成电路工艺中，存在各种pn结，因此可以利用各种pn结来形成ESD防护器件。由二极管构成的ESD防护电路的防护能力取决于二极管处理电流的能力，它受限于放电通道上串联阻抗所产生的热量，因此通过合适的电路和版图设计来减小二极管的寄生串联阻抗是非常重要的。

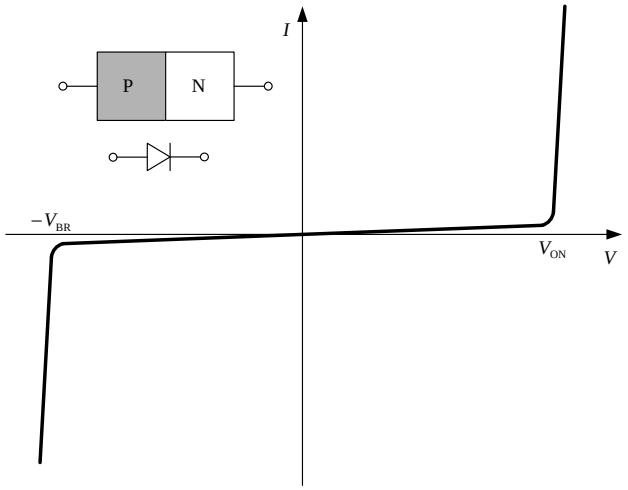


图 14-38 二极管的典型$I-V$曲线

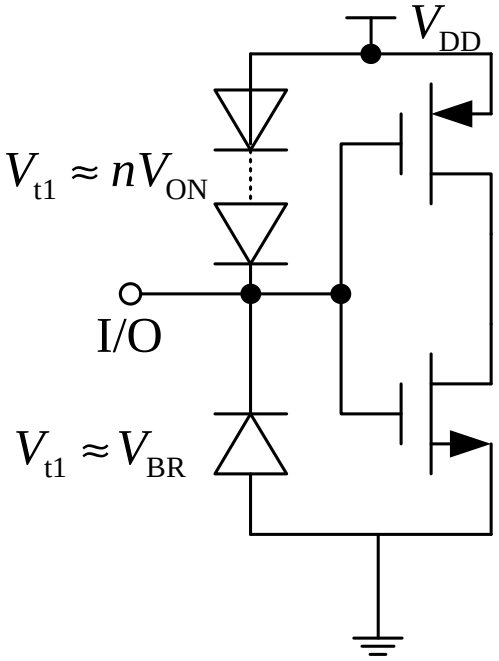


图 14-39 由二极管构成的典型ESD防护电路

3. 双极型晶体管

双极型晶体管作为ESD防护器件通常工作于回退模式。图14-40给出了双极型晶体管构成的ESD防护电路及双极型晶体管的典型$I-V$曲线。 I/O焊盘接到晶体管Q_1、Q_2的集电极。在正常情况下，晶体管Q_1、Q_2的BE结和BC结都反偏，两晶体管都工作于截止区，因此不会影响电路的正常工作。当I/O焊盘上出现一个正ESD瞬态脉冲时（相对于地），Q_1的BC结反偏电压开始增加，增加到一定程度时，BC结发生雪崩倍乘效应，产生大量的电子空穴对，空穴为基极所吸收，并通过电阻R流向地，从而在Q_1的BE结上建立起一个电压差。一旦这个电压差大于BE结的导通电压，Q_1就开始进入正向有源工作区，集电极电压开始下降，晶体管进入回退区，形成一条低阻抗放电通道，对ESD瞬态进行放电，同时I/O焊盘上的电压被钳制到低回退保持电压V_h，避免了集成电路中的氧化层介质发生击穿。在这种情况下，晶体管Q_2的BC结正偏导通，形成对V_{DD}放电的一条并联放电通道。当I/O焊盘上出现一个负ESD瞬态脉冲时（相对于地），晶体管Q_1、Q_2的作用互换，因此图14-40所示的每一个ESD防护器件可以提供正向和负向两种方向的ESD防护能力，但两种方向的防护是不对称的，一个方向依靠双极型晶体管提供ESD防护，而另一个方向则依靠

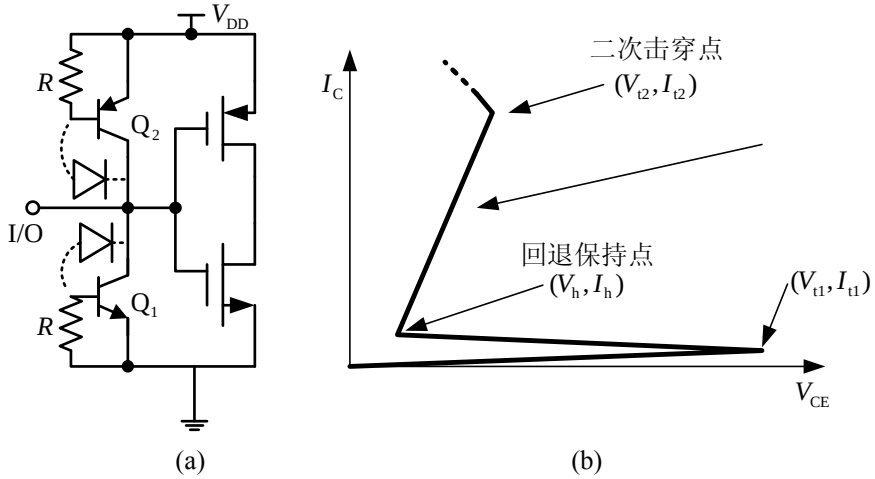


图 14-40 双极型晶体管构成的ESD防护电路及双极型晶体管的典型$I-V$曲线

双极型晶体管的BC结提供防护。

4. MOS管

MOS管作为ESD防护器件也工作于回退模式，它同CMOS工艺兼容，因此是ESD防护中常用的防护器件。图14-41给出了MOS管构成的ESD防护电路的电路图。 I/O焊盘接到晶体管ggNMOS、ggPMOS的

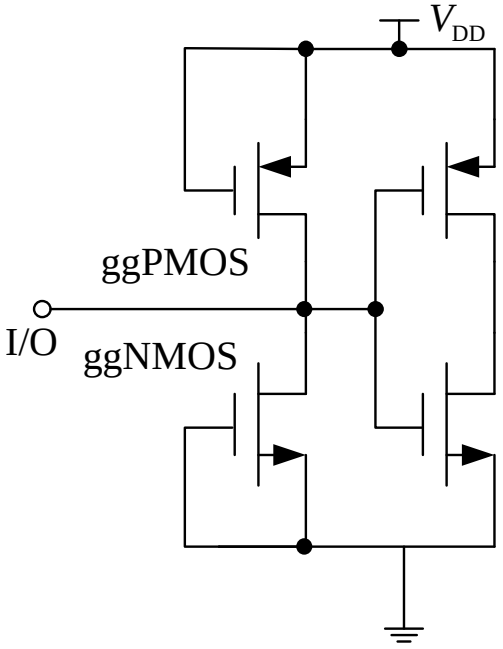


图 14-41 MOS管构成的ESD防护电路的电路图

漏极，I/O焊盘对地的ESD防护由ggNMOS管（栅极、源极和衬底都接地的NMOS管）来完成，而I/O焊盘对V_{DD}的ESD防护由ggPMOS管（栅极、源极和衬底都接V_{DD}的PMOS管）来完成。为了说明MOS管作ESD防护器件的原理，我们来看ggNMOS管的横截面图和等效电路图，如图14-42所示。 在正常情况下，晶体管ggNMOS、ggPMOS都截止，不会影响电路的正常工作。当I/O焊盘上出现一个正ESD瞬态脉冲时（相对于地），ggNMOS的DB结反偏电压开始增加，增加到一定程度时，DB结发生雪崩倍乘效应，产生大量的电子空穴对，空穴通过衬底寄生电阻R流向地，从而在衬底寄生阻抗R上建立起一个电压差V_R。由于源极也接地，因此电压V_R也加到ggNMOS的BS 结上。BS结是寄生水平npn管的BE结，一旦电压差V_R大

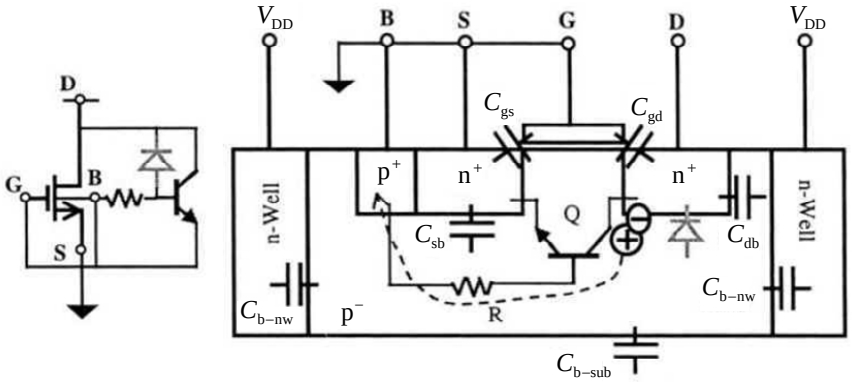


图 14-42 ggNMOS管的横截面图和等效电路图

于BS结的导通电压，寄生水平npn晶体管就开始进入正向有源工作区，集电极电压开始下降，晶体管进入回退区，形成一条低阻抗放电通道，对ESD瞬态电流进行放电，同时I/O焊盘上的电压被钳制到低回退保持电压V_h，避免了集成电路中的氧化层介质发生击穿。在这种情况下，晶体管ggPMOS 管的BD结正偏导通，形成对V_{DD}放电的一条并联放电通道。当I/O焊盘上出现一个负ESD瞬态脉冲时（相对于地），晶体管ggNMOS、ggPMOS的作用互换，因此图14-41 所示的ESD防护电路可以提供正向和负向两种方向的ESD防护能力，但两种方向的防护是不对称的，一个方向依靠双极型晶体管提供ESD防护，而另一个方向则依靠双极型晶体管的BC结提供防护。

可以看到，MOS管作为ESD防护器件的防护能力是由寄生水平npn管的特性来决定的，栅极接地（或栅极接V_{DD}，对PMOS管）是为了保证MOS管在芯片正常工作时处于截止状态，不会产生泄漏电流。由于PMOS的寄生pnp晶体管处理电流的能力没有NMOS管的寄生npn管处理电流的能力强，因此ggPMOS管的尺寸通常远大于ggNMOS管。

5. SCR结构

硅控整流器（Silicon Controlled Rectifier，SCR）结构是最有效的一种ESD防护器件，它具有很深的回退区，因此消耗较小的芯片面积就可以处理高瞬态电流。但是，SCR结构存在引起Latch-Up效应的可能性，因此，利用SCR结构来作为ESD防护器件时，在电路设计和版图设计时都必须仔细考虑，避免引起Latch-Up效应。

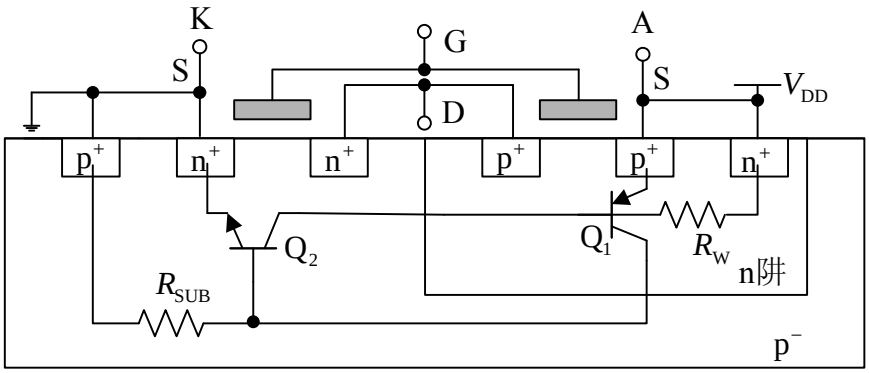


图 14-43 寄生SCR结构的横截面图

在CMOS工艺中，SCR结构同我们前面介绍的引起Latch-Up效应的电路结构是相同的。图14-43给出了SCR结构的横截面图。 它由寄生水平npn管和垂直pnp管构成，pnp管的集电极和npn管的基极重叠（都为p型衬底），pnp管的基极与npn管的集电极重叠（都为n阱），它们形成一个四层结构器件，载流子浓度分布为$p^+np^-n^+$，如图14-44所示。暂时忽略n阱和p型衬底的寄生阻抗R_W和R_{SUB}（假设它们为无穷

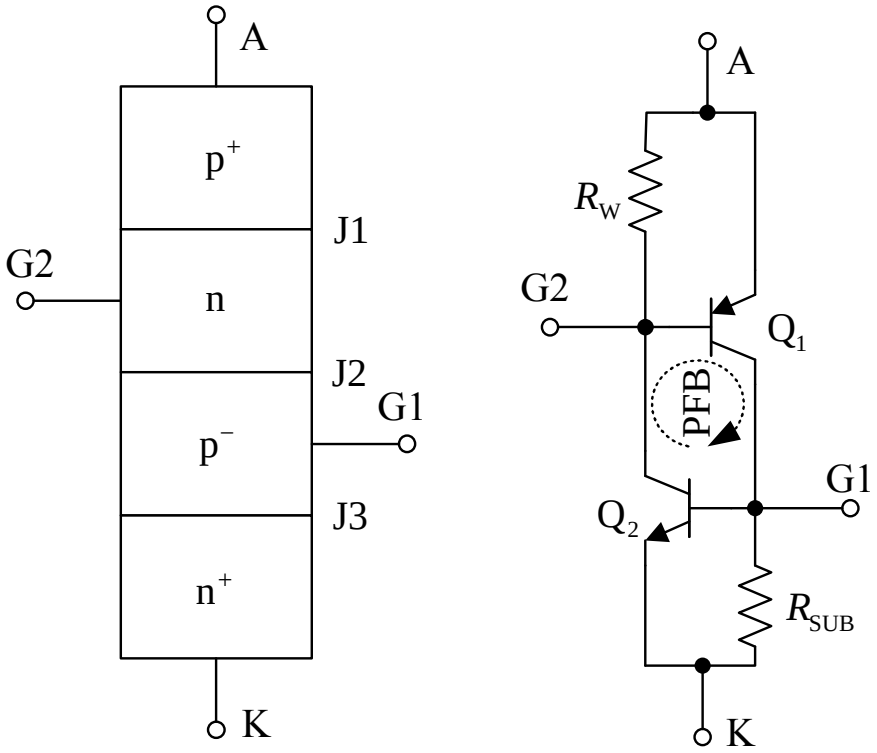


图 14-44 SCR结构的等效电路图

大）。这个四层器件的典型$I-V$曲线如图14-45 所示。$I-V$曲线分为五个不同的工作区：a表示反向截止区；b是反向击穿区；c是正向截止区；d是负阻区；e是正向导通区。

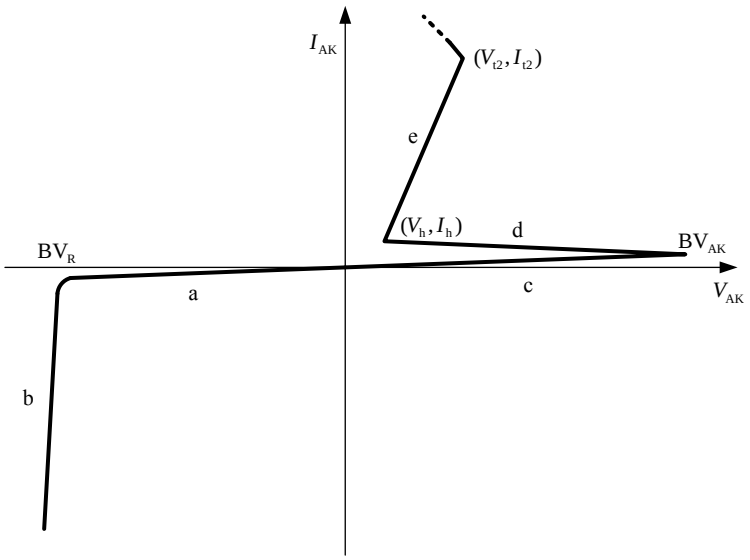


图 14-45 SCR结构的典型$I-V$曲线

下面我们来分析SCR结构的工作原理。如果一个负偏置电压加在A-K之间，则pn结J1和J3都反偏，而J2正偏，从A端到K端没有导电通道，SCR工作于a区（反向截止区）。当负偏置电压增加时，pn结J1上的反偏电压也随着增加，增加到一定程度后，该pn结会因为雪崩倍乘效应或者穿通效应而击穿，SCR工作于b区（反向击穿区）。如果一个正偏置电压加在A-K之间，则pn 结J1和J3都正偏，而J2反偏，从A端到K端没有导电通道，SCR工作于c区（正向截止区）。当正偏置电压进一步增加时，pn结将最终击穿，

由于雪崩倍乘效应，产生大量的电子空穴对，电子流过阱电阻R_W，在Q_1的EB结上建立起一个导通电压，晶体管Q_1导通，在Q_1、Q_2形成的正反馈环路（见Latch-Up效应）中引入种子电流（该种子电流也可以由某触发电流提供），只要正反馈环路的环路增益大于1，反馈环路中的电流将持续增加，导致SCR进入d区（负阻区），并最终稳定到低阻抗、高电流、低压正向导通区e区。

当作为ESD防护器件时，SCR结构如图14-46所示。 它是一个两端器件，当防护针对地的ESD瞬态

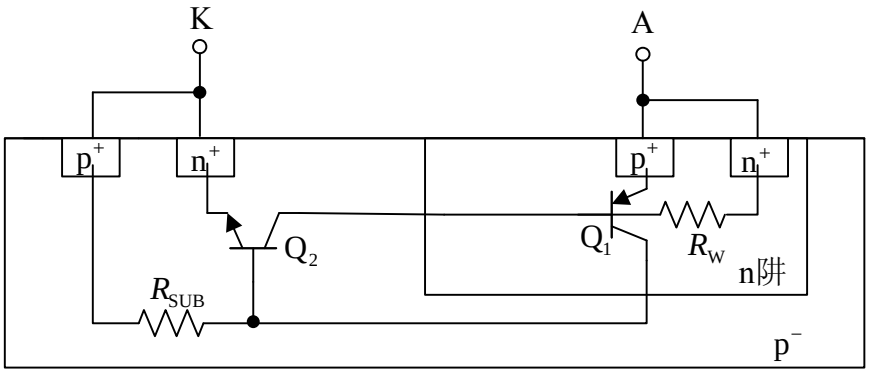


图 14-46 作为防护器件的SCR结构

时，通常将A端接到I/O焊盘上，而将K端接地。若I/O焊盘上出现正ESD瞬态脉冲，SCR将进入负阻区形成一条低阻抗放电通道，对ESD瞬态进行放电，它的触发电压由SCR的正向击穿电压BV_{AK}决定。同时，SCR将最终进入正向导通区，将I/O焊盘上的电压钳制在一个较低的电平上。当I/O焊盘上出现负ESD瞬态脉冲时，SCR将进入反向击穿区，对瞬态电流进行放电。因此，SCR同双极型晶体管、MOS管一样，都可以提供两个方向的不对称ESD防护。

可以看到，SCR结构作为ESD防护器件时，需要增强引起Latch-Up效应的因素，如增加衬底和阱阻抗、增加正反馈环路的电压增益等。这增加了在芯片正常工作状态下出现Latch-Up 效应的几率。为了避免发生Latch-Up效应，在实际ESD设计中常用到的一个规则是使得SCR结构的保持电流I_h比芯片正常工作时的最大电流（常是电源电流）还高，破坏Latch-Up 效应的工作条件。另外，在版图设计时，需要选择合适的SCR位置（如远离功耗大的模块和电荷泵模块等）和加入必要的隔离措施（如加入衬底或者阱保护环），这些版图措施可以减小核心电路的衬底电流触发SCR结构、使之进入Latch-Up状态的几率。

§14.3.4 ESD防护电路

前面我们介绍了各种ESD防护器件的基本特点及由它们所构成的简单ESD防护电路。随着工艺技术的发展和集成电路规模的扩大，结构更复杂、性能更高的ESD防护电路提到了开发日程上。本节对这些复杂的ESD防护电路进行简单介绍。

1. 混合信号集成电路和射频集成电路中的ESD防护电路

在混合信号集成电路和射频集成电路中，ESD防护电路和受保护的核心电路之间存在相互影响，使得ESD防护电路的设计面临一系列的挑战。ESD防护电路对混合信号集成电路或者射频集成电路的影响主要表现在ESD防护电路会引入一系列寄生效应，如ESD防护电路的寄生阻抗和寄生容抗会引入RC延迟；ESD防护电路的寄生容抗会增加衬底噪声耦合效应；ESD防护电路本身还会产生额外的噪声等。这些寄生效应会降低混合信号集成电路和射频集成电路的性能，尤其是对于射频集成电路来说，它对寄生参数极度敏感，ESD防护电路对射频电路性能的影响更严重。因此设计射频ESD防护电路的一个额外要求是需要采用具有低寄生参数的高效ESD防护电路。

除了ESD防护电路会影响混合信号电路或者射频电路的性能外，混合信号集成电路和射频集成电路也给ESD防护电路的设计带来了新的问题。第一个问题是在混合信号集成电路或者射频集成电路中，多电源电压是非常常见的。对这种多电源电压芯片来说，使用同一种ESD防护电路来保护芯片上的所有焊盘是不合适的，因此需要针对不同工作电压的焊盘来设计不同的ESD防护电路，这增加了芯片ESD防护设计的复

杂性。一个简单的规则是使得ESD防护电路的触发电压比考虑到局部电源电压波动后正常工作时的最高电压稍高（避免ESD防护电路在正常工作状态下就开启），但又取尽可能低的值，使得ESD防护电路能很快开启。

混合信号集成电路和射频集成电路给ESD防护电路的设计带来的第二个问题是受保护的核心电路内部可能存在寄生放电通道，在芯片受到ESD攻击时，核心电路内部的寄生放电通道与ESD防护电路所提供的放电通道同时导通，这本身会增强芯片的ESD防护能力，但如果核心电路内部的寄生放电通道阻抗要小于ESD防护电路的放电通道阻抗，那么大部分ESD瞬态电流会通过核心电路内部的寄生放电通道进行放电，而专门针对ESD进行设计的防护电路则仅导通小部分电流。由于核心电路没有针对ESD防护进行设计，高瞬态电流流过核心电路很可能烧毁芯片。因此在设计ESD防护电路时，必须针对整个芯片进行全芯片考虑，这增加了ESD防护电路设计的复杂度。

混合信号集成电路和射频集成电路给ESD防护电路的设计带来的第三个问题是dV/dt效应。在TLP测试时发现，当TLP测试脉冲的上升时间减小时，ESD防护电路的触发电压将下降，这就是dV/dt效应。这种效应会降低ESD防护电路的触发电压，有可能使得ESD防护电路在芯片正常工作时就开启，导致芯片出现短路。实验表明，混合信号集成电路中的数字噪声以及射频集成电路中的射频信号都可能引起dV/dt效应，因此在设计ESD防护电路时，必须采取合理的隔离措施来降低耦合到防护电路的数字噪声和射频信号（如采用保护环等）。

2. **攻击模式**

ESD瞬态脉冲对芯片进行攻击的模式可以分为五种，如图14-47所示。 第一种模式是PD模式，它

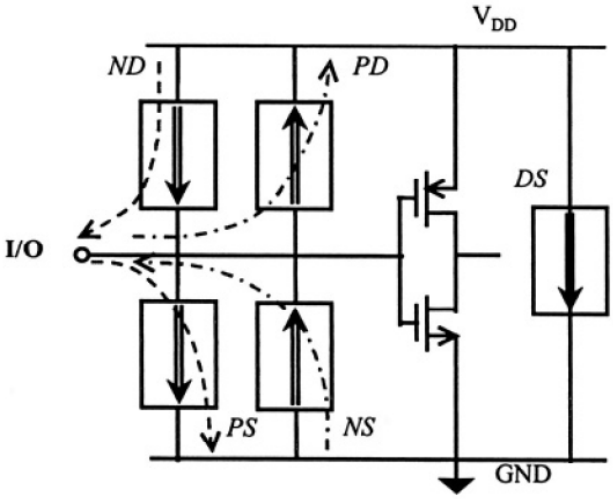


图 14-47 攻击模式

是指I/O焊盘上出现一个针对V_{DD}的正ESD脉冲；第二种模式是ND模式，它是指I/O焊盘上出现一个针对V_{DD}的负ESD脉冲；第三种模式是PS模式，它是指I/O焊盘上出现一个针对地的正ESD脉冲；第四种模式是NS模式，它是指I/O 焊盘上出现一个针对地的负ESD脉冲；第五种模式是DS模式，它是指V_{DD}上出现一个针对地的正ESD瞬态波动。

任何理想ESD防护方案都应该针对以上五种ESD攻击模式对焊盘提供保护，其中的每一种攻击模式都由一个单独的ESD防护电路来进行防护，因此可以提供全方位的保护，这些ESD防护电路都是单向的，仅提供一个方向的ESD防护。但这种防护方案的缺点是很明显的：器件多、芯片面积大、寄生效应大。在某些情况下，为了减小ESD防护方案的复杂性，可以利用ESD防护电路的寄生效应来提供双向的ESD防护。如ggNMOS仅能针对PS攻击模式提供有源防护（回退区），但是在NS模式下，SD结将导通，因此也可以提供NS模式的防护。但这种防护是不对称的，而且ESD防护电路的寄生效应没有针对ESD防护做优化，放电寄生阻抗会限制ESD防护级别。这种简单双向防护电路的另一个问题是pn结的导通电压仅为0.6～0.7V，限制了芯片的正常工作电压必须小于5V，否则会引起芯片短路。

3. 全芯片ESD防护

在进行芯片ESD测试时，通常将测试电压以不同的方向加在任何两个焊盘之间，因此为了提供全芯片的ESD防护，任何两个焊盘之间都应该存在一条低阻抗放电通道，放电通道上的每一个ESD防护电路尽可能工作于有源模式，对高ESD瞬态进行放电并将焊盘电压钳制在足够低的电平，避免芯片的热损坏或者介质层击穿。

图14-48给出了针对多电源电压芯片的全芯片ESD防护方案。 图中每一个ESD防护单元都是单向有源

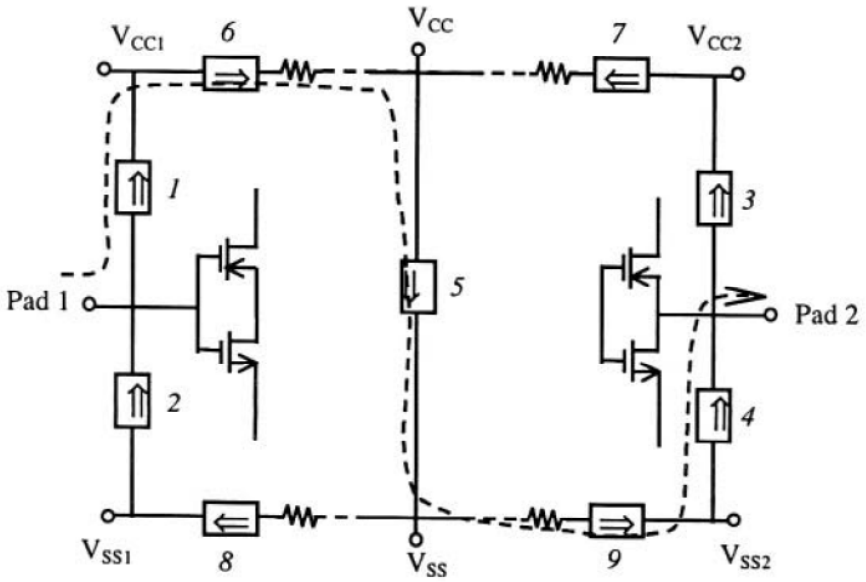


图 14-48 多电源电压芯片的全芯片ESD防护方案

防护，为了适应多电源电压的ESD防护需要，图中还加入了ESD钳制电路。仔细考察该图，可以发现，在每两个焊盘之间出现的正ESD瞬态脉冲或者负ESD瞬态脉冲，都存在一条有源放电通路，因此可以提供全芯片的ESD防护能力。在设计这种全芯片ESD防护电路时，必须检查最长放电通道（图中虚线所示的通道）上的寄生阻抗，该阻抗必须被控制在一定数值以下，使得该放电通道能够处理大ESD瞬态电流，同时这条放电通道上各个ESD防护单元的总电压降也必须被控制在一定电平以下。

4. 输入端的保护

图14-49给出了芯片输入端常用的ESD防护方案。 它由两级ESD防护电路和位于其间的隔离电阻构成。第一级ESD防护电路（ESD_P）对ESD瞬态的放电起主要作用，而第二级ESD防护电路（ESD_S）的作用是辅助第一级ESD防护电路开启，它的触发电压低于第一级ESD防护电路，而且它的钳制电压必须足够低，避免后接的MOS管栅极击穿。隔离电阻的作用是限制流进被保护核心电路的ESD电流。下面我们来看该电路是如何工作的。当焊盘上出现一个ESD瞬态时，第二级ESD防护电路在相对较低的电压下首先被触发，对ESD瞬态进行放电。这些放电电流同时流过隔离电阻R，在电阻上产生一个电压降，提升了第一级ESD防护电路的攻击电压，使得第一级ESD防护电路也被触发。为了保证第一级ESD防护电路提供主要的放电通道，第一级ESD防护电路的放电通道阻抗必须小于第二级ESD防护电路的放电通道阻抗。第一级防护电路可以由厚氧NMOS管、SCR或者二极管链构成，它应该具有处理大ESD瞬态电流的能力。第二级ESD防护电路通常由ggNMOS管构成，它的触发电压较低。隔离电阻起限流作用，应该在不影响芯片速度性能的前提下取足够大的值，它可采用低寄生的多晶硅电阻或者具有良好散热特性的扩散区电阻。在许多情况下，被保护的核心电路内部就存在低触发电压的寄生放电通道，这时就可以省去第二级ESD防护电路，而由核心电路的寄生放电通道来代行第二级ESD防护电路的功能，但限流电阻还是不可缺少的。

在用MOS管作为ESD防护器件时，由于MOS管相对较弱的ESD防护能力，MOS管的尺寸通常很大（宽晶体管），为了避免电流蜂窝效应（Crowding），MOS管应该被设计为叉指晶体管结构，如图14-50所示。 宽晶体管由多个晶体管单元并联构成，晶体管单元的沟道宽度一般在40μm～100μm之间。但

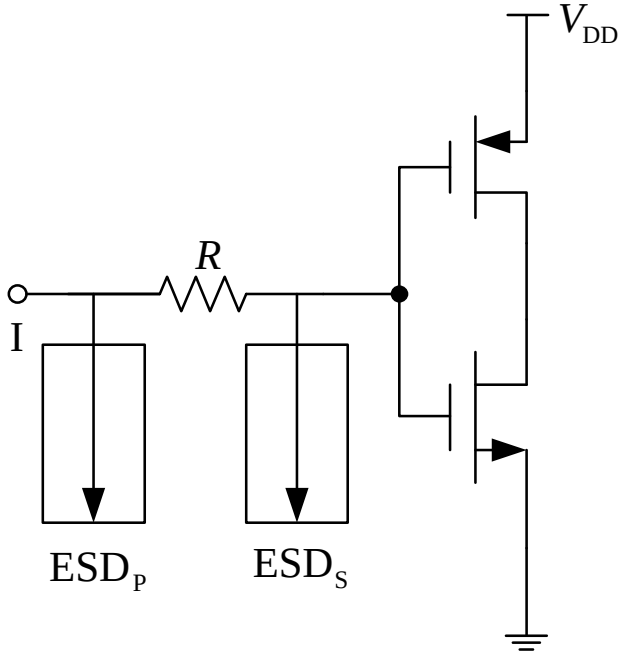


图 14-49 输入端两级ESD防护电路

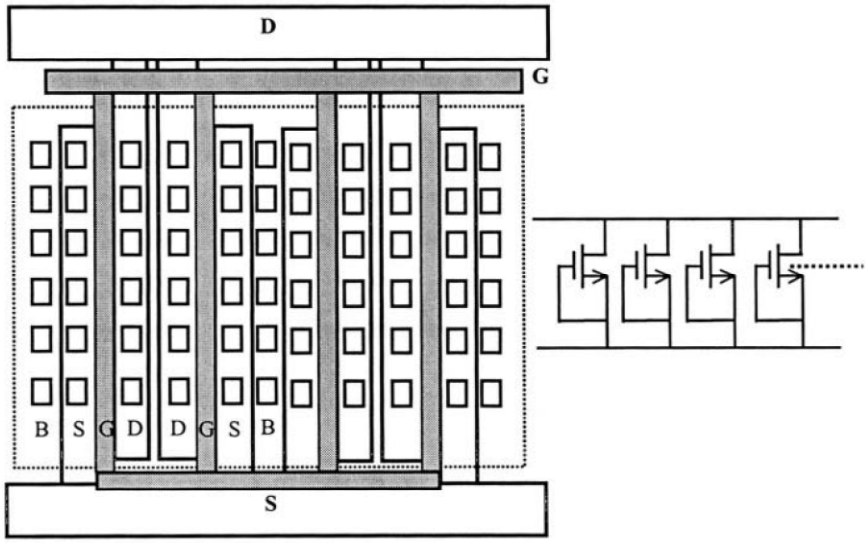


图 14-50 叉指结构晶体管的版图

是，即使采用了叉指晶体管结构，ggNMOS ESD防护电路还是会遇到其它的问题。按照Murphy定理，某一个晶体管单元将先于其它单元开启。如果ggNMOS ESD防护电路的$I-V$曲线如图14-51中的实线所示，ESD防护电路的触发电压V_{t1}高于二次热击穿电压V_{t2}，则可以想见，首先开启的晶体管单元将对ESD瞬态进行放电，并且在其它晶体管单元还没有开启前该晶体管单元就会达到二次热击穿阈值，使得该晶体管发生击穿，失去了ESD防护的功能。 在这种情况下，增加并联的晶体管单元数并不会提高ESD的防护能力。为了解决这个问题，可以采取两种办法，第一种办法是使得ggNMOS的ESD触发电压高于二次热击穿电压，即$V_{t1} < V_{t2}$（如图14-51中虚线所示），这样，在首先开启的晶体管单元达到二次热击穿之前，所有其它的晶体管单元都已经启动，这样所有的晶体管单元都在对ESD瞬态电流放电，避免了首先开启的晶体管发生二次热击穿。第二种办法是在晶体管漏极串联一个小电阻，迫使所有的晶体管都同步开启，如图14-51中的电路图所示。

为了降低ggNMOS的ESD开启电压，可以采用如图14-52所示的栅耦合ESD防护电路。 一个RC耦合

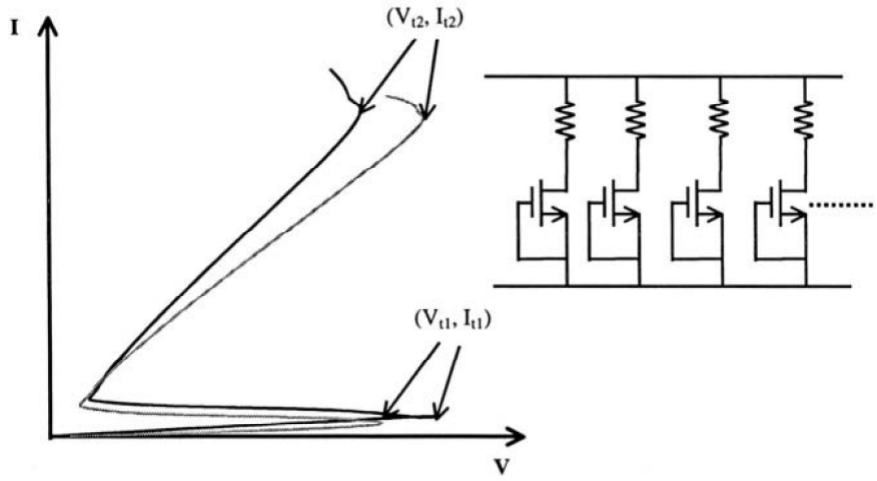


图 14-51 叉指结构晶体管作ESD防护器件存在的问题及其解决办法

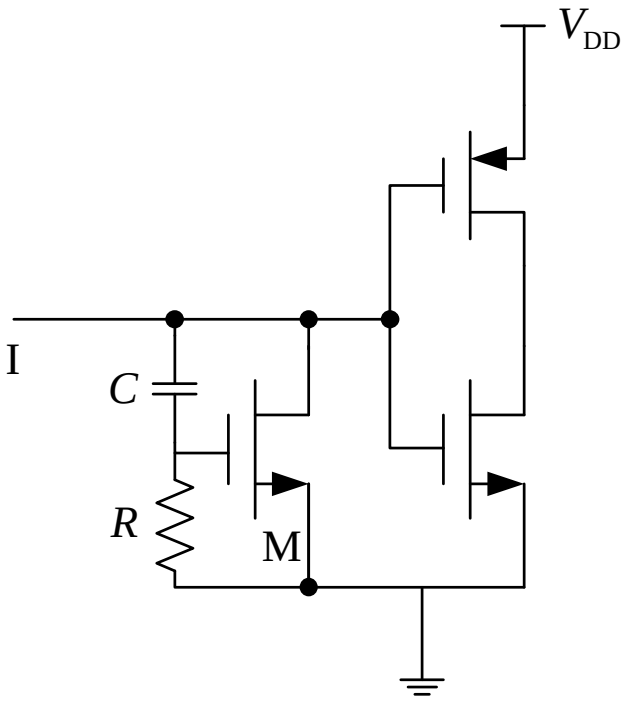


图 14-52 MOS栅耦合ESD防护电路

支路连到NMOS防护器件的栅极，在ESD瞬态期间，它可以提高NMOS管的栅极电压。电阻R在ESD触发之后，给NMOS管的栅极提供一条放电通道，避免MOS管栅极保持高电平而发生电荷泄漏。这种栅耦合ESD防护电路的工作原理如下：当焊盘上出现一个对地的正ESD瞬态脉冲时，该瞬态脉冲通过RC支路耦合到晶体管栅极，提高了MOS管的栅极电压。MOS管的栅极电压升高，会增加MOS管下的衬底电流，使得衬底阻抗R_W上的电压降增加，从而降低了ggNMOS的ESD触发阈值。因此，使用这种栅耦合技术，只要合理设计R和C的值，就有可能使得ggNMOS的ESD触发电压小于二次热击穿电压，在首先开启的晶体管单元达到二次热击穿之前，所有其它晶体管单元都已经启动，这样所有的晶体管单元都在对ESD瞬态进行放电，避免了首先开启的晶体管单元发生二次热击穿。

图14-53给出了两个使用双极型晶体管作为ESD防护器件的防护电路。 图(a)所示电路在前面介绍的简单双极型ESD 电路的基础上增加了一个电流源，在防护电路触发时，流过电阻R上的电流是电流源的电流与Q_1的BC结雪崩击穿所产生的空穴电流之和，因此电流源的加入，可以提高电阻R上的压降，有利于

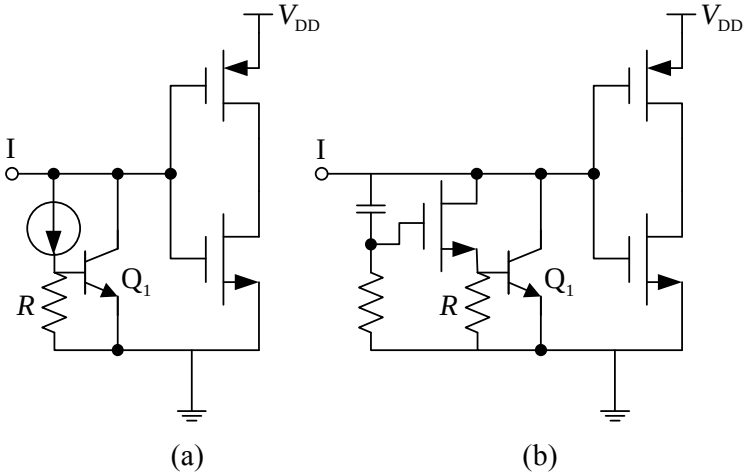


图 14-53 使用双极型晶体管作为ESD防护器件的防护电路

加快晶体管Q_1的导通过程，从而可以减小该防护电路的ESD触发电压。电流源可以由Zener二极管或者耦合电容构成，Zener二极管击穿后可以给电阻R提供电流，而耦合电容通过交流耦合也可以提高Q_1基极的电压。图(b)所示电路是用栅耦合ggNMOS防护电路来给电阻R提供额外电流，降低Q_1开启的触发电压。在ESD瞬态期间，栅耦合效应会使得NMOS导通，流过NMOS管的电流流过电阻R，提高了电阻R上的电压降和Q_1的基极电位，加快了Q_1的正向导通过程，从而降低了这种ESD防护电路的触发电压。

SCR结构也可以用来实现输入端的ESD防护，而且如同前面所说，它是一种高效率的ESD防护方式。但是普通SCR结构的触发电压很高，只能用来防护高压CMOS集成电路。为了降低SCR结构的ESD触发电压，可以在N阱边缘插入一个N+有源区，如图14-54(a) 所示。 普通SCR结构的ESD触发电压是p型

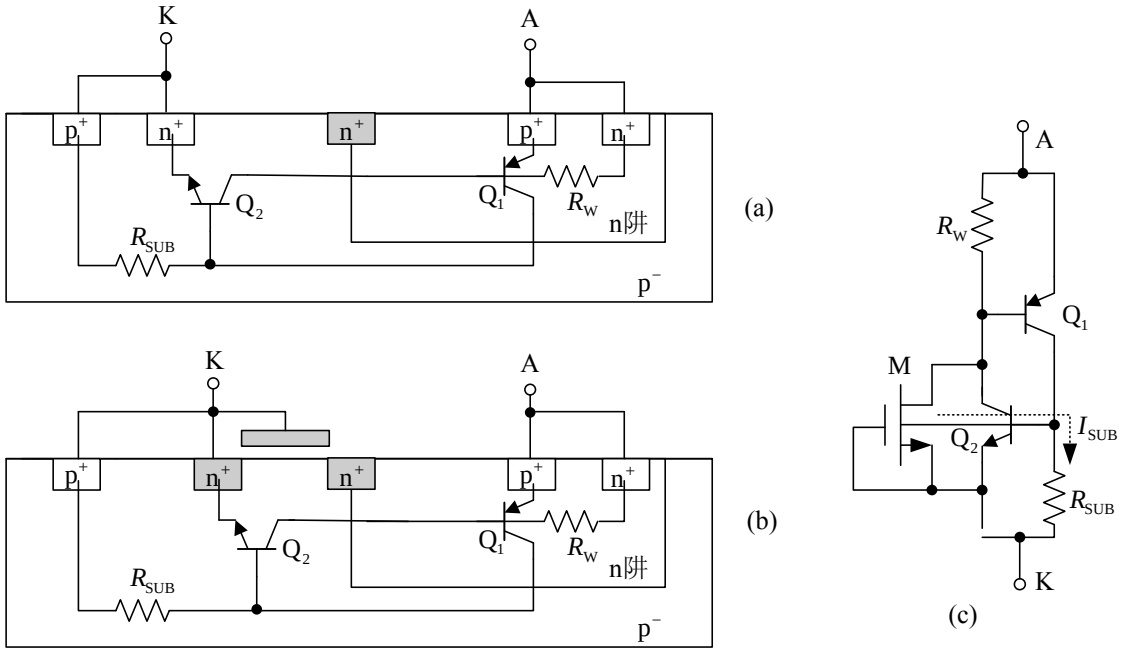


图 14-54 低触发电压SCR防护结构

衬底和n阱形成的pn结的雪崩击穿电压，而在n阱边缘插入一个n^+有源区后，SCR结构的ESD触发电压就是n^+有源区和p型衬底形成pn结的雪崩击穿电压，由于n^+有源区的掺杂浓度远高于n阱，因此pn结的击穿电压大大下降，导致SCR结构的ESD 触发电压也下降。为了进一步降低触发电压，可以在SCR结构中再插入一个NMOS管，如图(b)所示，这样形成的等效电路如图(c)所示。该NMOS管是一个ggNMOS 管，

在ESD瞬态期间，ESD脉冲首先击穿NMOS管的DB结，产生大量的衬底电流I_{SUB}，该衬底电流流过阱电阻R_W，使Q_2导通，从而成功地在Q_1、Q_2 形成的正反馈环路中引入种子电流，使得SCR结构触发。因此NMOS管的加入，可以大大降低SCR结构的ESD触发电压，而且通过调节NMOS管的沟道长度，可以调节SCR结构的触发电压。

5. **输出端的ESD防护**

从原理上来说，上一小节所介绍的输入端ESD防护电路也可以用来防护芯片的输出端。但是，由于输出端相对于输入端来说具有不同的特点，因此ESD防护电路的设计也具有不同的侧重点。对芯片的输出端来说，输出焊盘直接连到晶体管的源漏极，而不像输入端那样连接到晶体管的栅极，因此会有大量的ESD瞬态电流流进核心电路，而且ESD失效原因由原来的栅氧化层击穿改为了pn结击穿或者热融化。输出端存在的大量噪声耦合有可能使得ESD防护电路在芯片正常工作时就开启，因此必须提高ESD防护器件的触发电流。另外，某些输出缓冲器晶体管本身就可以作为ESD防护器件，因此不需要增加另外的ESD防护电路（这种情况称为输出端的自我ESD防护）。

图14-55(a)给出了输出端ESD防护方案。 它是一种单级方案。实际上，输出晶体管本身也构成一

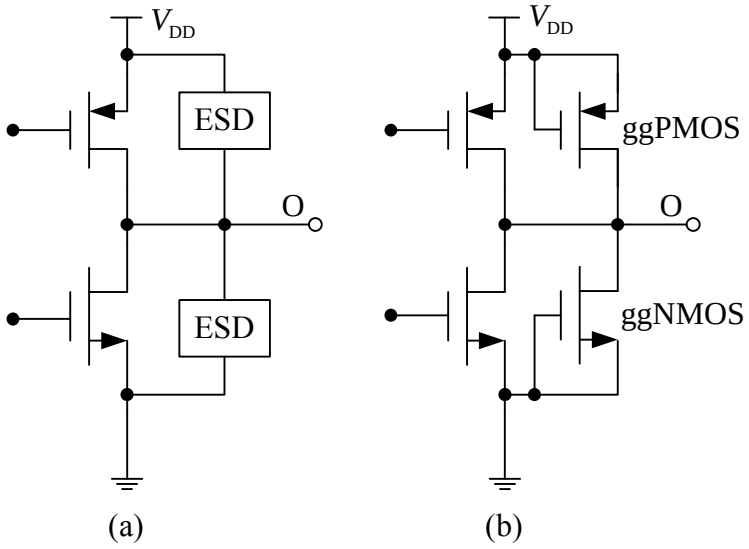


图 14-55 输出端ESD防护方案

级ESD防护电路，它与特定的ESD防护电路相结合，就组成了输入端ESD防护中常用的两级防护方案，但由于隔离电阻会影响电路的速度，因此在输出端的ESD防护中被省略。图(a)中的ESD防护单元可以采用各种ESD防护器件，图(b)是由ggNMOS和ggPMOS构成的输出端ESD防护电路。它是一种全方位的防护，可以抵抗PS、NS、PD和ND四种模式的ESD攻击。在这种方案中，设计者必须保证ggMOS的ESD触发电压要小于输出缓冲器中MOS管的寄生防护电路的触发电压，或者ggMOS 管的放电通道阻抗远小于输出缓冲器中MOS管的寄生放电通道阻抗，使绝大部分的ESD瞬态电流经特定的ESD防护电路进行放电，而不是流过输出缓冲器。

输出端ESD防护的另一个考虑是：经过大量的实验观察到，输出缓冲器中NMOS管是对ESD攻击最脆弱的器件，因此只要NMOS管能够承受ESD瞬态脉冲的攻击，那么整个输出缓冲器就都是安全的。因此，输出端ESD防护可以仅针对NMOS管进行防护，如图14-56所示。

在某些芯片中，输出缓冲器的晶体管尺寸很大，这些大尺寸晶体管具有很大的电流处理能力，因此本身就可以作为ESD防护器件，而不需要再增加额外的ESD防护电路。为了避免电流蜂窝效应（Crowding），输出缓冲器中的大尺寸MOS管应该被设计为叉指晶体管结构，由多个晶体管单元并联构成。同前面介绍的叉指晶体管防护结构一样，输出端的叉指晶体管也会遇到各晶体管单元不同时开启的问题。采用栅耦合技术虽然可以解决这个问题，但它会改变输出缓冲器的功能，因此常用的一种办法是在输出晶体管漏极增加一个小串联电阻，迫使所有的晶体管都同步开启，如图14-57所示。

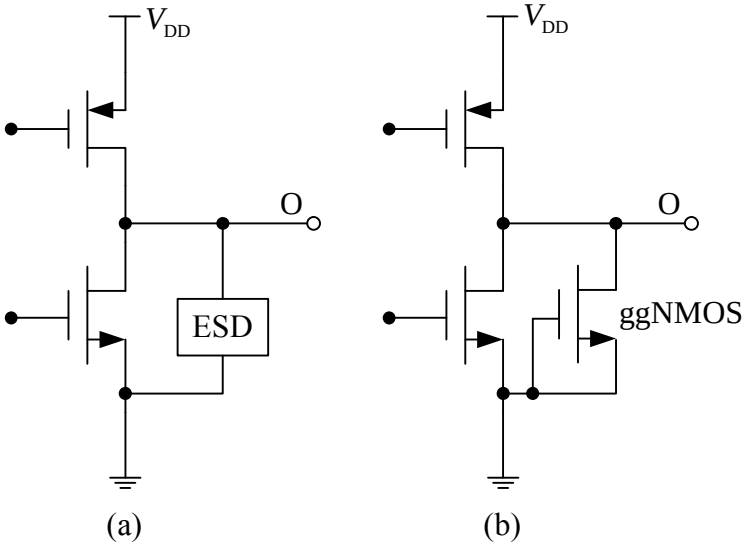


图 14-56 输出端ESD部分防护方案

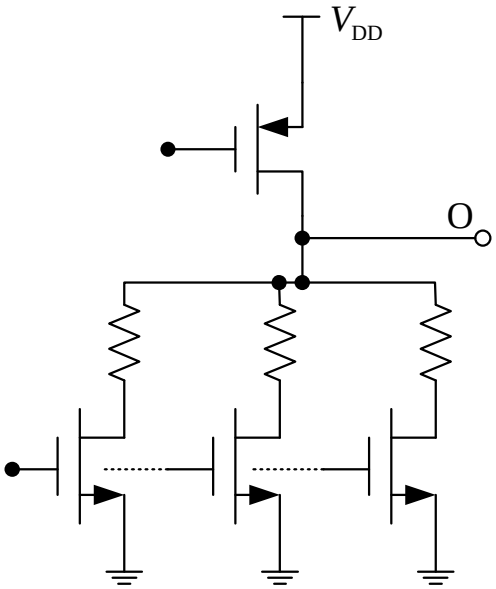


图 14-57 输出端的自我ESD防护方案

6. 电源钳制电路

在芯片上引入电源钳制(Clamp)电路的原因有两个：一个原因是电源线上可能出现大的ESD瞬态，使得内部核心电路失效，电源钳制电路可以将电源电压钳制在合理的范围内；另一个原因是电源钳制电路同单向I/O ESD防护电路相结合，可以实现全芯片的ESD保护（图14-48）。电源钳制电路放在V_{DD}焊盘和地焊盘之间，在ESD瞬态期间提供一条低阻抗放电通道，并将电源电压钳制在安全范围内。对于多电源芯片来说，每两个局部电源焊盘之间也必须加入电源钳制电路。

电源钳制电路可以由各种ESD防护器件构成，图14-58给出了由ggNMOS和低触发电压SCR构成的电源钳制电路。 同其它的ESD防护电路相比，电源钳制电路的ESD触发电压必须很低，保证内部核心电路的寄生放电通道不会导通，但该触发电压又必须比考虑到电源电压扰动后的最高电源电压高，避免干扰芯片的正常工作。这类钳制电路对V_{DD}上出现的正ESD脉冲进行有源放电，V_{DD}上出现的负ESD脉冲则通过寄生pn结进行放电，是一种不对称的ESD防护方案。

图14-59给出了正向二极管链构成的电源钳制电路。 由于二极管的正向导通电压仅为0.6～0.7V，因此

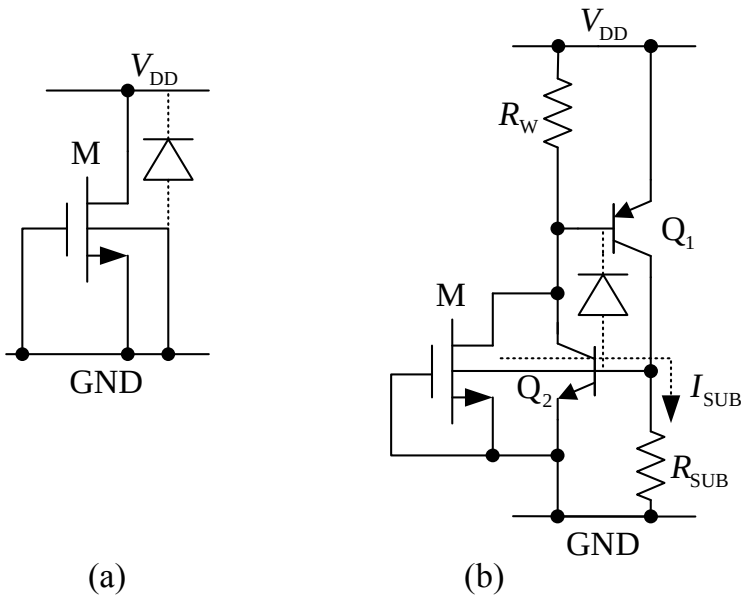


图 14-58 由ggNMOS和低触发电压SCR构成的电源钳制电路

电源钳制电路需要由多个二极管级联构成。二极管链的触发电压为nV_{ON}，它必须比考虑到电源电压扰动后的最高电源电压高。

图14-60是另一种结构的电源钳制电路。 它由一个大尺寸的开关管M_1、三级反相器链、R_1C_1耦合子网络和复位电阻R_2构成。R_1C_1耦合子网络的时间常数远小于核心电路的时间常数，不会干扰核心电路的工作，同时R_1C_1耦合子网络的时间常数又要远大于ESD瞬态的持续时间，保证在ESD瞬态期间有足够的耦合。当V_{DD}上出现一个ESD瞬态时，R_1C_1耦合子网络将第一个反相器的输入电位拉低，经三级反相后，在M_1的栅极产生一个高电平，使得开关管M_1导通，在V_{DD}和V_{SS}之间提供一条低阻抗放电通道，对ESD 瞬态进行放电。为了处理大ESD瞬态电流，晶体管M_1的尺寸必须足够大，需要占用较大的芯片面积，这是这种电源钳制电路的缺点。电阻R_2的作用是在ESD瞬态后对钳制电路进行复位。图14-60所示的电源钳制电路不涉及寄生器件，因此可以用普通的SPICE电路仿真工具进行仿真，这是这种电路所提供的一个额外好处。

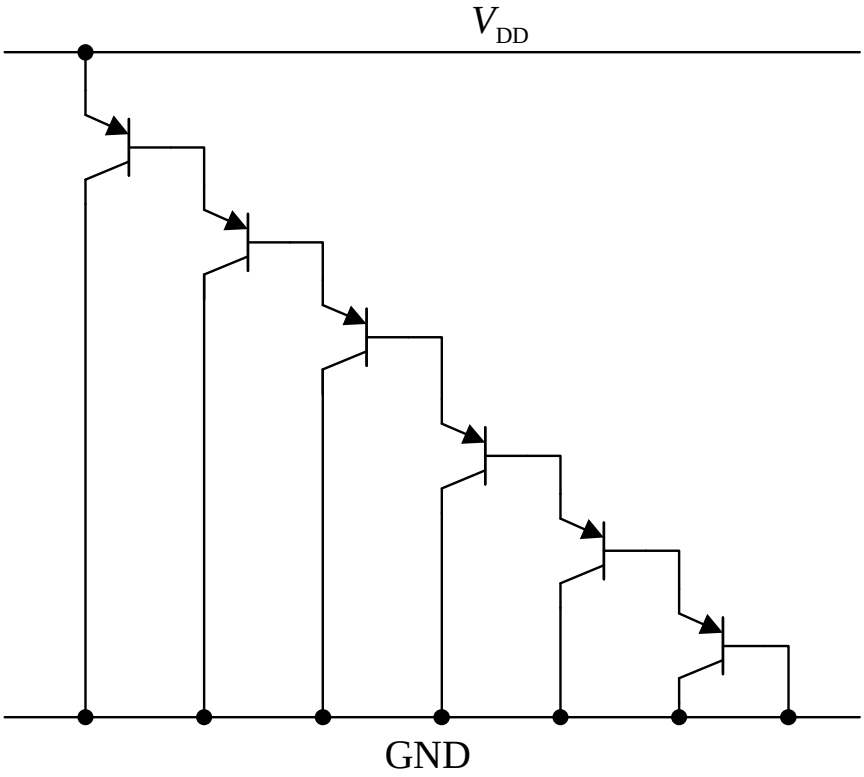


图 14-59 正向二极管链构成的电源钳制电路

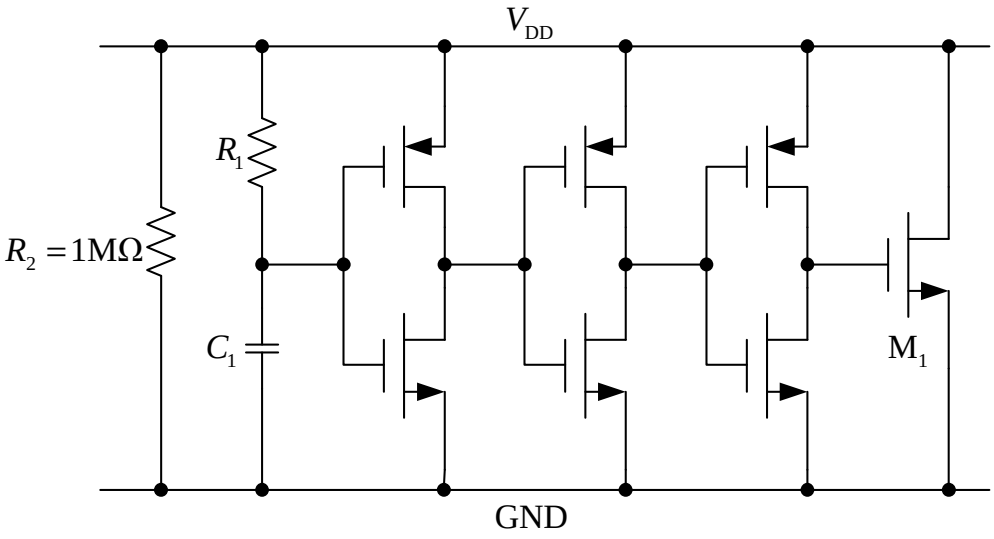


图 14-60 开关型电源钳制电路

§14.3.5 ESD版图设计

版图对ESD防护电路的防护性能具有很大影响，合理的版图设计是保证防护电路正常工作的前提。在设计版图时，除了考虑ESD触发机制以及ESD的保持阈值之外，应尽量减小放电通道上的寄生阻抗和其它寄生效应；版图必须具有均匀性、一致性，避免电流蜂窝效应引起的芯片局部过热现象；各种互连线以及接触孔和通孔应具有通过大ESD瞬态电流的能力；ESD防护电路的散热特性也需要考虑。下面我们仅介绍二极管和MOS管型ESD防护电路的版图设计，它们是到目前为止集成电路中应用最为广泛的ESD防护电路。

CMOS工艺中存在各种类型的二极管，如N^+/P^+，p-well/n-well，$N^+/p-well$，$P^+/n-well$等，它们可以分为两种类型：垂直二极管和水平二极管。二极管作ESD防护器件需要关注放电通道上的寄生阻抗和散热能力。图14-61给出了$N^+/p-well$垂直二极管的横截面图和版图。 由于侧墙二极管很小，N^+扩散区

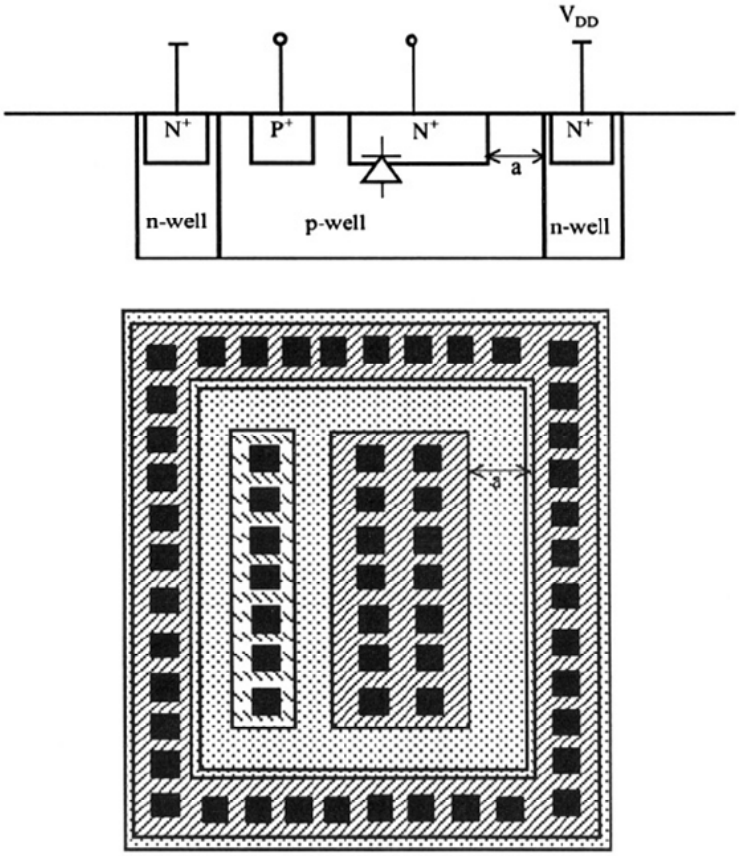


图 14-61 N+/p-well垂直二极管的横截面图和版图

的底盘就是这种类型二极管的放电电流区域，它的面积决定了这种器件的ESD防护能力。在设计这类器件的版图时，需要注意以下问题：N^+扩散区和P^+衬底接触孔之间的水平距离影响二极管的寄生放电阻抗，因此应该尽量减小；考虑到可能形成的寄生水平npn管，在N^+扩散区和n阱保护环之间的距离（图中a所示距离）必须足够大，增加寄生npn管的基区宽度，减小它的影响；版图应具有均匀性，如扩散区的接触孔应均匀分布，避免可能出现的电流蜂窝效应；接触孔的数目也必须足够多，保证能通过ESD瞬态过程中的最大电流。

图14-62给出了n-well/p-well水平二极管的横截面图和版图。 由于芯片上的散热方向是向下的，深pn结有利于散热，因此n-well/p-well水平二极管是一种有效的水平ESD防护二极管。对于水平二极管来说，侧墙是放电电流区域，侧墙的周长反应了ESD防护能力，需要尽可能增加二极管的周长，故这类二极管的版图一般采用如图所示的叉指结构。

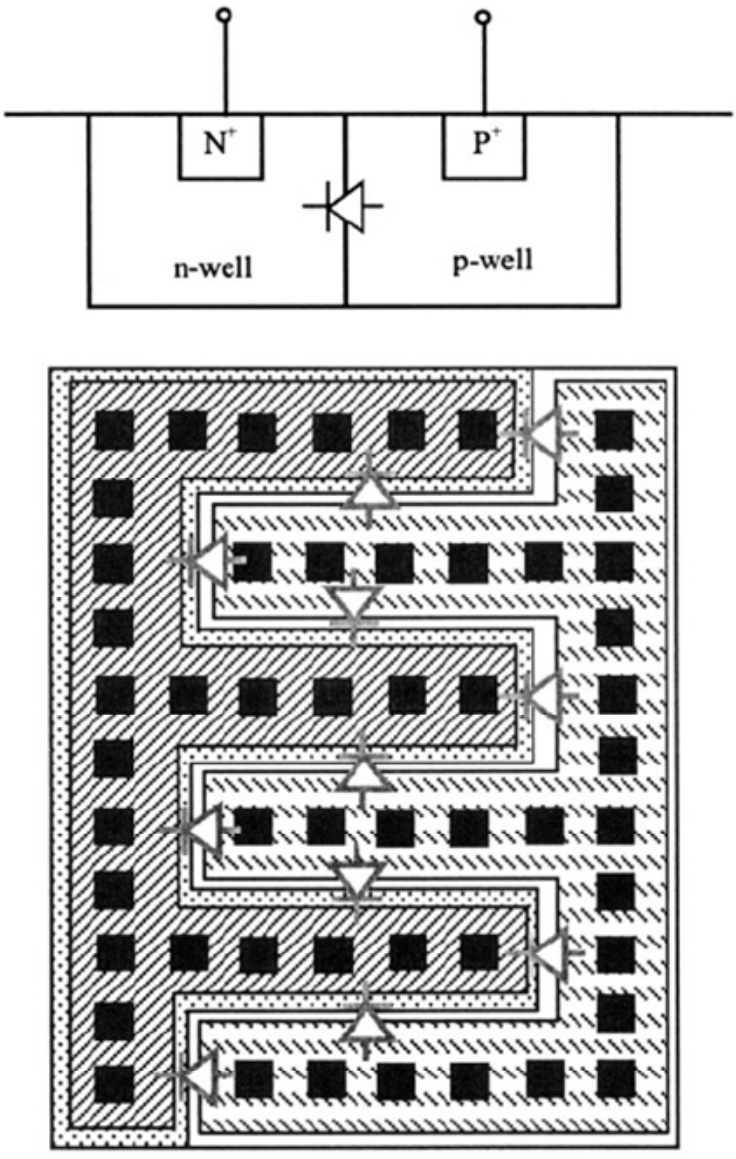


图 14-62 n-well/p-well水平二极管的横截面图和版图

图14-63给出了ggNMOS的横截面图和版图。 晶体管的沟道长度就是ESD防护需要的寄生npn管的基

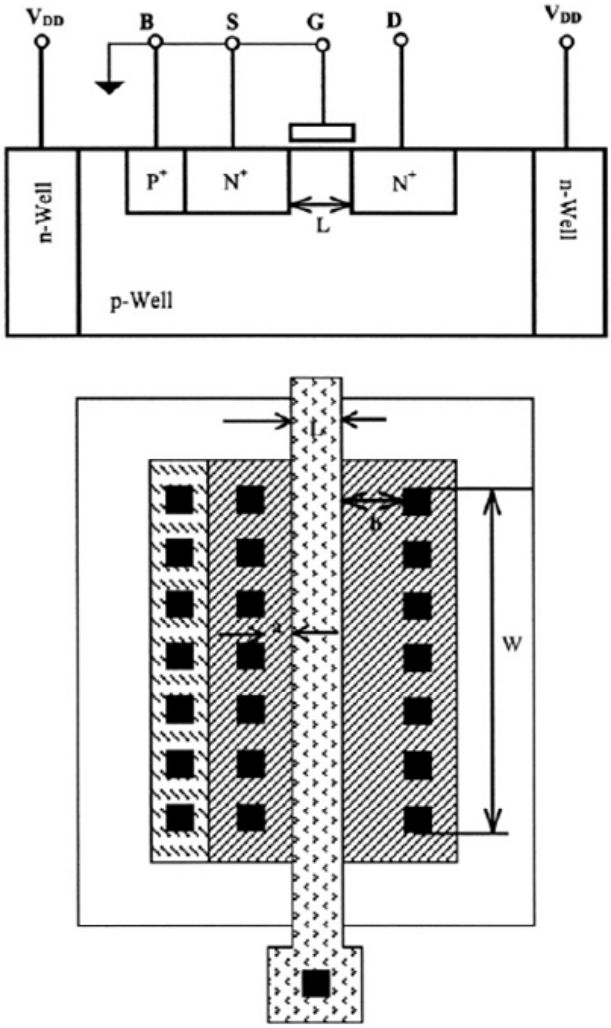


图 14-63 ggNMOS的横截面图和版图

区宽度，为了提高寄生npn管处理电流的能力，晶体管的沟道长度应取工艺允许的最小尺寸；晶体管的沟道宽度反应了ESD的防护能力，需要根据ESD防护性能的要求确定；漏极接触孔到多晶硅栅的距离（图中b）是一个需要优化的参数，实验中发现，对于0.25μm以上、没有采用Silicide的CMOS工艺来说，该距离在5μm附近取值可以达到最优的ESD防护性能。其原因可以说明如下：首先，ESD瞬态产生的热量主要集中在DB结面对沟道的下方，该热量会扩散到漏区的接触孔和相连金属互连线，因此必须具有合适的距离，以减小接触孔和金属互连线的热损伤；其次，漏极扩展区的寄生串联阻抗可以保证多指晶体管的均匀触发，有利于增强ESD防护能力，但该寄生阻抗太大，又会增加放电通道阻抗和增加产生的热量，因此存在一个最优的距离b。但对于采用了Silicide技术的CMOS工艺来说，漏极扩展区的寄生串联阻抗急剧减小，因此增加距离b并不会明显提高ESD防护能力。而源极接触孔到多晶硅栅的距离则应该取最小值，以减小放电通道寄生阻抗。

MOS管作ESD防护器件一般尺寸都很大，因此需要采用多指结构。实验中发现，采用如图14-64所示的BSGD-DGSBSGD-DGSB叉指结构可以达到更均匀的ESD电流分布（B：衬底；S：源极；D：漏极；G：栅极），因此具有更高的ESD防护性能。 除了叉指结构外，图14-65所示的格形结构也是一种ESD防护性能很好的晶体管结构。

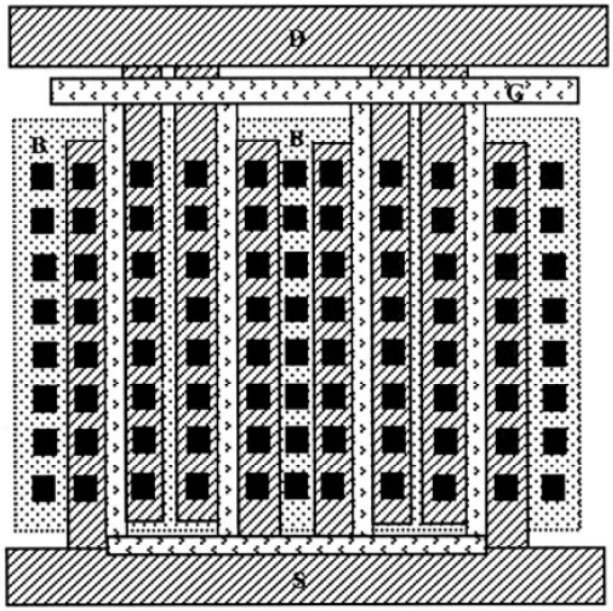


图 14-64 BSGD-DGSBSGD-DGSB叉指晶体管结构

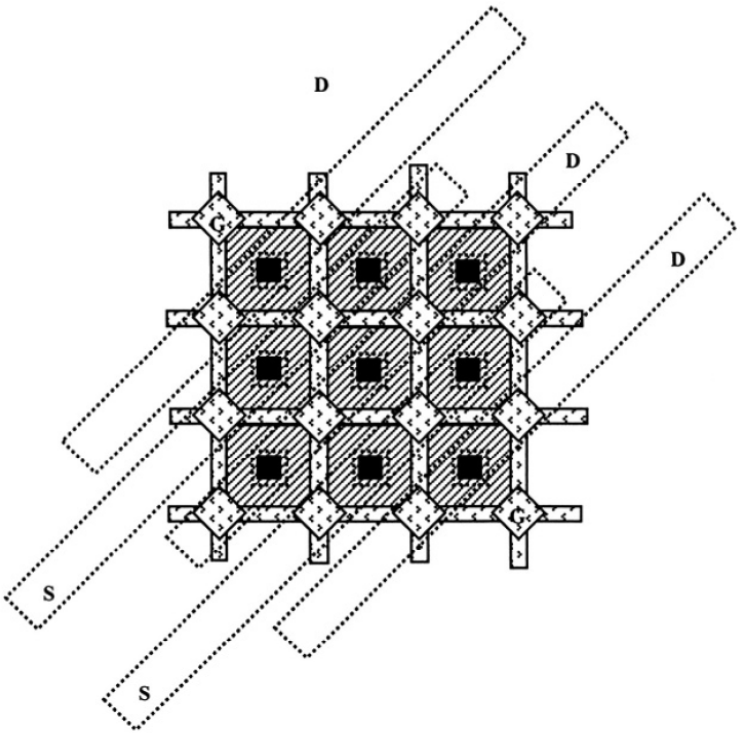


图 14-65 格形晶体管结构

接触孔、通孔的分布和金属互连线的走向会影响电流流动和热分布的均匀性，因此也是需要仔细考虑的问题。接触孔、通孔的分布必须是均匀的，避免局部电流蜂窝效应，而且，它们的数量必须足够多，能够承受ESD瞬态过程中产生的最大电流。对于金属互连线来说，走线的方向最好与电流流动方向一致，如图14-66所示。 如果这种走线很困难，那么也应该考虑电流流动的均匀性。图14-67（a）给出了一个金属走

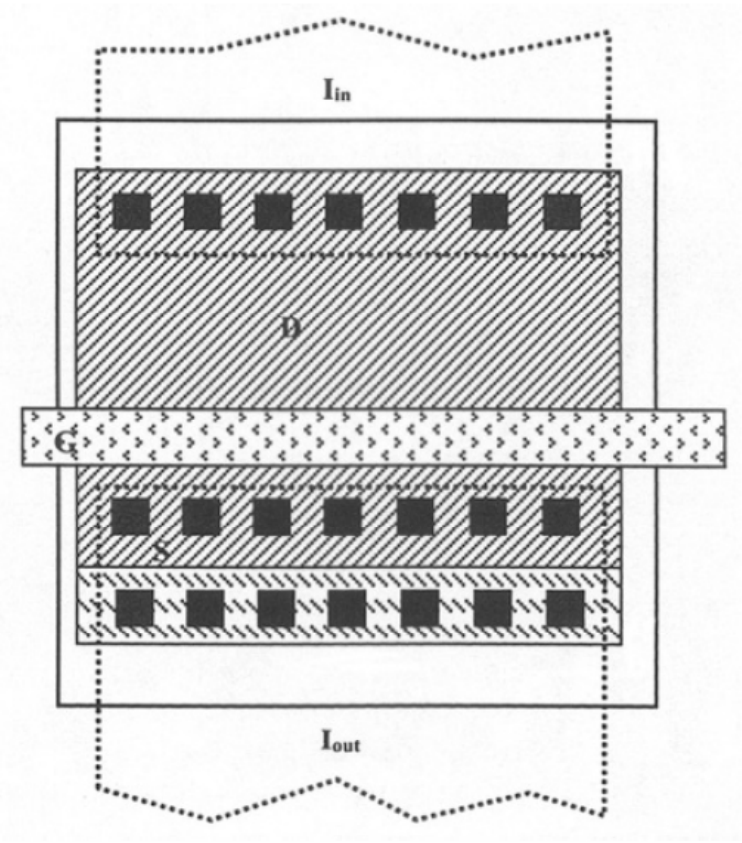


图 14-66 金属互连线的走线方向与电流流动方向一致

线方向不合适的例子，流进和流出器件的电流方向相反，电流密度在右边达到最大，容易造成电流蜂窝效应。而采用图（b）所示的金属走线方向，流进和流出器件的电流方向相同，在一定程度上可以减小电流流动的不均匀性。

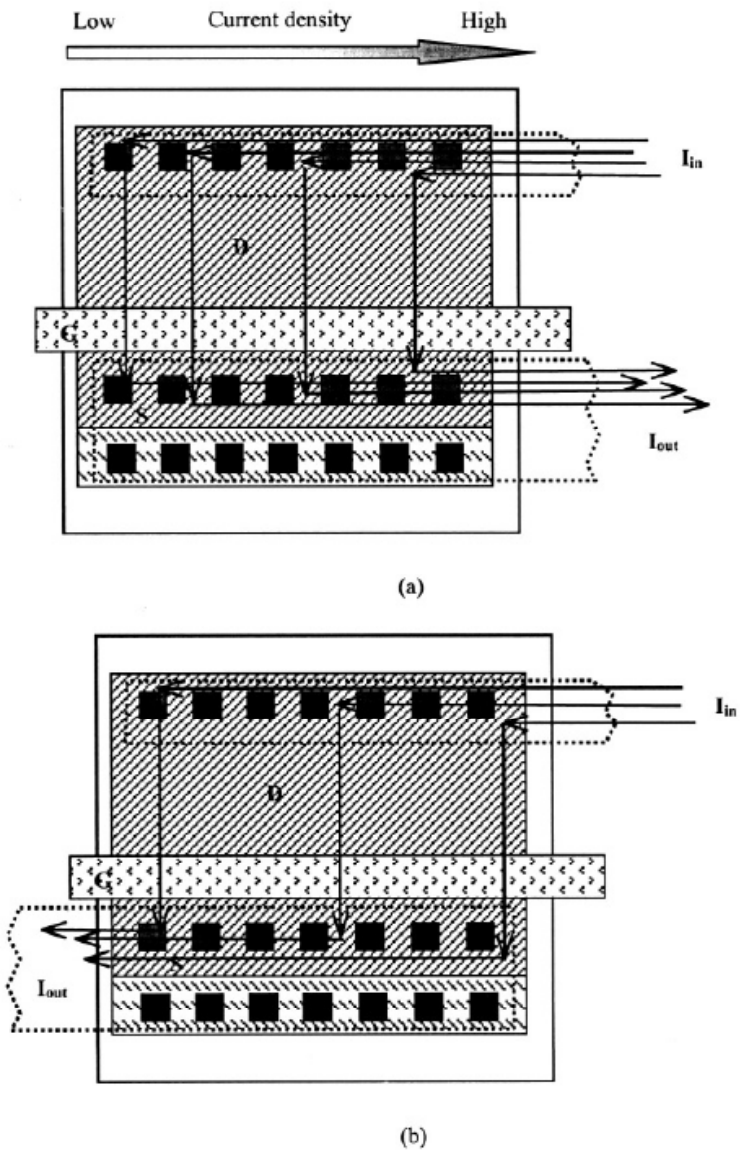


图 14-67 金属互连线的走线方向对ESD防护性能的影响

§14.4 衬底噪声耦合与混合信号集成

随着工艺技术的发展，芯片的集成度越来越高，已经开始出现系统集成（System-on-chip,SOC）的概念，如单芯片照相机芯片和单芯片无线收发机芯片。在这些高度集成的芯片系统中，虽然绝大部分功能由数字电路来完成，但由于我们所面对的环境是模拟环境，因此这些芯片都必须包含有一部分模拟或者射频电路，它们提供数字信号与外界环境的接口，这些芯片就构成了一个混合信号系统。随着技术的发展，数字、模拟和射频混合信号集成系统将越来越普遍。

虽然混合信号集成系统具有成本低、集成度高等一系列优点，但将数字电路和模拟、射频电路集成在同一块芯片上却面临巨大的技术挑战。其主要原因在于：数字电路产生的开关噪声会通过衬底或者电源线耦合等方式串扰到模拟或者射频电路部分，干扰模拟或者射频电路的工作，恶化它们的性能。随着CMOS工艺进入超深亚微米时代，芯片集成度进一步提高，数字开关噪声进一步增加，噪声耦合问题将更加严重。但另一方面，系统对模拟或者射频电路性能的要求却越来越高，这些都使得衬底噪声耦合已经成为混合信号集成中最困难的问题。本节对噪声耦合问题进行简单的讨论和介绍，重点阐明噪声耦合问题的产生机理和降低噪声耦合干扰的措施。至于混合信号集成系统中的噪声耦合仿真问题，尽管也是研究混合信号集成系统的一个重要研究方向，但由于这一方面的内容非常复杂，而且目前技术还没有发展成熟，本书不对它进行展开。

§14.4.1 集成电路封装的寄生效应

在研究混合信号系统中的噪声耦合问题时，封装的寄生效应（特别是电源线上的寄生效应）是造成噪声耦合的一个主要原因。因此我们需要首先研究封装的寄生效应。

图14-68(a)给出了双列直插封装（DIP）的示意图。 芯片粘接在封装管壳中空的管腔内，芯片上的焊

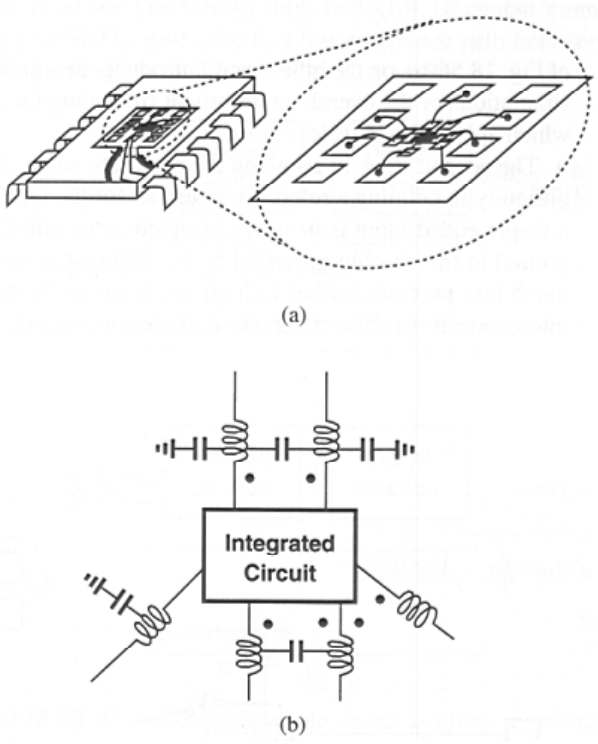


图 14-68 双列直插封装（DIP）的寄生效应

盘通过键合线连接到封装管壳周围的管脚接触点上，管脚是一个长的金属条，通过它，芯片与PCB板上的走线相连。键合线和管脚都会引入寄生电感；键合线和键合线之间、管脚和管脚之间还存在互感和电容性耦合，管脚对地也存在一个寄生的耦合电容，这些都形成了封装的寄生效应，如图(b)所示。键合线和管脚还会存在寄生阻抗，但这些阻抗很小，在通常情况下可以忽略。

图14-68(b)所示封装寄生效应等效模型是很复杂的，通常由封装厂家提供，可用于准确仿真封装寄生效应的影响。在简化情况下，封装所引入的寄生效应可用一个与芯片管脚串联的寄生电感来等效，该电感的电感量是键合线、封装管脚的自感量和相互之间的互感量之和。我们可以用图14-69所示结构来计算这些电感量。

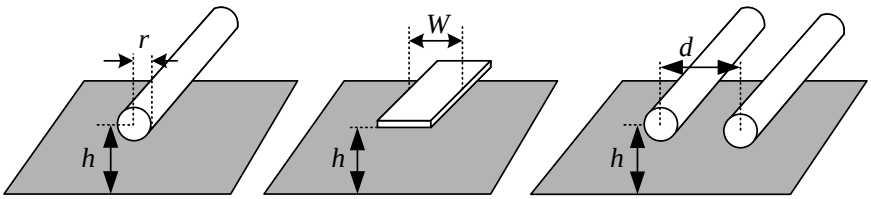


图 14-69 封装寄生自感和互感的计算

图14-69(a)所示结构可以用来计算键合线的自感电感量，它是一根在地平面上的圆柱型金属线，它的电感量与金属线长度之间的关系为：

$$L \approx 0.2 \ln \frac{2h}{r} \quad \text{nH/mm} \tag{14-9}$$

其中，h是金属线距地平面的垂直距离，r是金属线的半径。对于典型的键合线来说，自感量近似约为1nH/mm。

图14-69(b)所示结构可以用来计算封装管脚的自感电感量，它是一条在地平面上的矩形金属条，它的电感量与金属条长度之间的关系为：

$$L \approx \frac{1.6}{K_{\mathrm{f}}} \cdot \frac{h}{W} \quad \text{nH/mm} \tag{14-10}$$

其中，$K_{\mathrm{f}} = 0.72(h/W) + 1$是边缘因子。$h$是矩形金属条距地平面的垂直距离，$W$是矩形金属条的宽度。

图14-69(c)所示结构可以用来计算键合线的互感电感量，它是两根在地平面上的圆柱型金属线，互感量与金属线长度之间的关系为：

$$L_{\mathrm{m}} \approx 0.1 \ln[1 + (\frac{2h}{d})^2] \quad \text{nH/mm} \tag{14-11}$$

其中，h是金属线距地平面的垂直距离，d是两金属线的中心距。

在某些应用中，如果需要考虑封装的寄生电容，则可以用“集成无源元件”一章中介绍的金属互连线电容公式来计算这些寄生电容的大小。

§14.4.2 衬底特性

衬底是混合信号集成电路中噪声耦合的主要媒介，因此理解衬底特性是非常重要的。衬底特性与衬底类型以及衬底背面处理情况有极大关系。现代CMOS工艺的硅衬底可以分为两种类型：浅掺杂衬底（典型掺杂浓度约为$10^{15}\mathrm{cm}^{-3}$，衬底电阻率约为$15\Omega \cdot \mathrm{cm}$）和外延层型衬底。外延层型衬底是在重掺杂衬底（掺杂浓度达到$10^{19}\mathrm{cm}^{-3}$，衬底电阻率约为$0.015\Omega \cdot \mathrm{cm}$）上外延生长了一薄层浅掺杂材料（掺杂浓度与浅掺杂衬底相同，厚度约为5～8μm），如图14-70所示。 为了防止Latch-Up效应，标准数字CMOS工艺一般都采用外延层型衬底，这种衬底对射频无源元件会带来极大损耗，降低射频电路性能。故早先的射频集成电路一般采用浅掺杂衬底。但出于混合信号集成的需要，越来越多的射频电路也开始采用外延层型衬底。不同的衬底类型对噪声耦合具有不同的影响。

图14-71给出了对背面没有敷导电型环氧树脂和敷有导电型环氧树脂的浅掺杂衬底（衬底背面均悬空）进行电磁场分析的结果。 两接触孔之间的间距等于衬底厚度（约为300～400μm）的2.5倍，图中还给出了它们的等效模型。从图中可以看出，当衬底背面没有敷导电型环氧树脂时，电力线仅在接触孔周围存在电力线弯曲，而两接触孔之间的电力线则是平行分布的，它可以等效为两个接触孔周围阻抗（代表弯曲的电力线）和衬底均匀阻抗（代表平行分布的电力线）的串联，若忽略接触孔周围的电力线弯曲情况，则两接

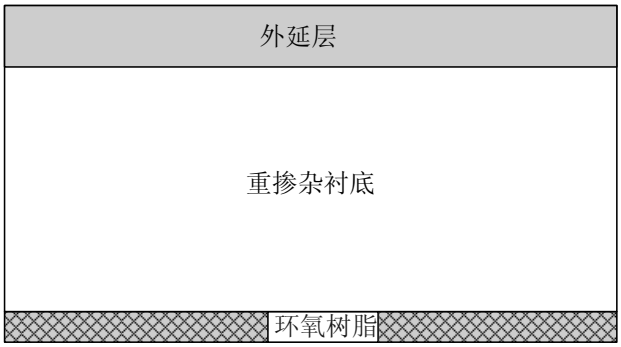


图 14-70 外延层型衬底

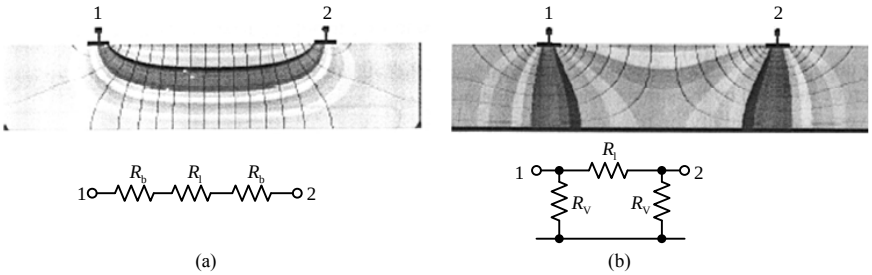


图 14-71 背面没有敷导电型环氧树脂和敷有导电型环氧树脂的浅掺杂衬底（衬底背面均悬空）的电磁场分析结果

触孔之间的衬底阻抗与接触孔之间的距离成正比。当衬底背面敷有导电型环氧树脂时，衬底背面导电型环氧树脂会作为一个有效的导电通道，大部分电流会通过这个导电通道进行流动，而流过衬底本身的水平电流则只占很少部分。这种衬底可以等效为pi型电阻网络，两接触孔之间的衬底阻抗随着距离的增加非线性增长，并且趋近于饱和。

而对于外延层型衬底来说，重掺杂衬底具有良好的导电性能，因此可以将整个重掺杂衬底作为一个电节点。这样外延层衬底的等效模型如图14-72所示。 在两衬底接触孔之间的距离大于外延层厚度的4倍（约

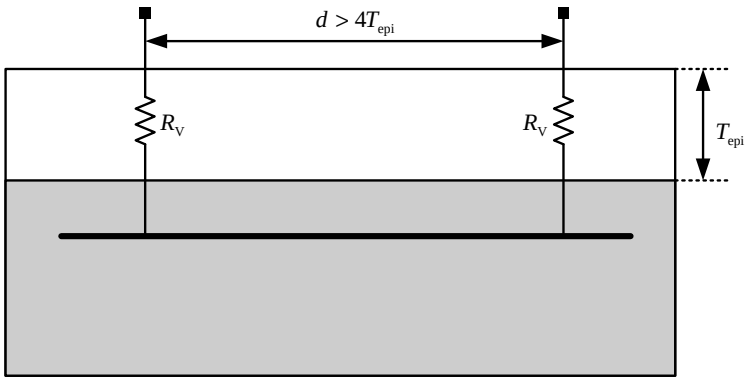


图 14-72 外延层型衬底的等效模型

为25μm）时，绝大部分电流都通过重掺杂衬底进行流动，衬底阻抗可以等效为两个垂直外延层阻抗的串联，与两接触孔之间的距离没有关系。对这种衬底来说，远距离隔离对减小衬底耦合没有任何作用。一种可能减小衬底噪声的措施是在衬底背面敷导电型环氧树脂，并增加一个理想地接触点来收集衬底中的噪声。但是，由于重掺杂衬底中存在高频趋肤效应，因此这种措施对减小高频衬底噪声并没有用处。

§14.4.3 衬底噪声耦合机理

所有注入衬底的电流都会引起衬底电压波动，形成所谓的衬底噪声。在混合信号集成电路中，数字电

路的开关噪声耦合是形成衬底噪声的主要原因。数字电路的开关噪声可以通过三种机制耦合进衬底。

第一种机制是通过数字电源线耦合，这种噪声也被称为$\mathrm{d}i/\mathrm{d}t$噪声。由于封装的寄生效应，芯片上的数字电源线与理想电源（V_{DD}或者地）之间存在一个封装效应引入的寄生电感和片上电源滤波电容形成的电源滤波网络，如图14-73所示。 图中，R_{DD}代表封装寄生串联阻抗和芯片上电源线的寄生串联阻抗。当数字

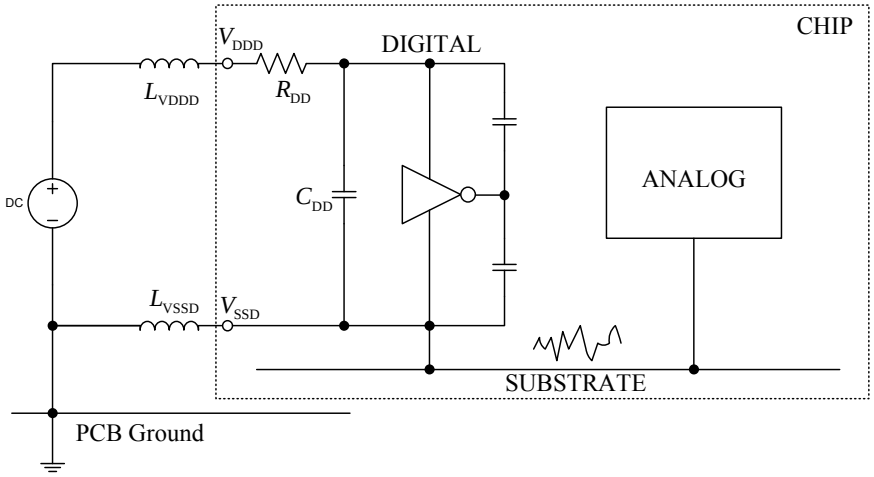


图 14-73 数字电源线耦合是衬底噪声耦合的一种主要机制

电路的逻辑门改变状态时，由于对逻辑门内部寄生电容充放电的需要，数字电源线上将出现一个可累加的电流尖峰，形成所谓的数字开关噪声。现代数字电路大多采用同步逻辑，逻辑门在时钟的上升沿（或者下降沿）同时改变状态，所造成的数字开关噪声是很大的。这些数字开关噪声流过电源滤波网络，使得数字电源线上出现电压波动，电源线上的电压波动被称为V_{dd}起伏（bounce）或者Gnd起伏。电源线上的电压波动通过电阻性耦合（衬底接触孔–在混合集成电路中，为了避免Latch-Up效应，衬底通常接数字电路电源线）或者电容性耦合（阱接触孔和阱与衬底寄生结电容）耦合进衬底。由图14-73可知，在封装寄生电感和片上电源滤波电容谐振频率处，电源电压波动达到最大，形成电源噪声放大效应。封装的寄生阻抗、片上电源线的连线寄生电阻或者电源滤波电容的寄生阻抗会限制电源滤波网络的品质因子，使得该网络成为一个欠阻尼型网络，可以在一定程度上抑制谐振时电源噪声的放大效应。为了加强这种欠阻尼效果，片上电源滤波电容一般不采用高品质因子的电容类型，而采用品质因子较低的MOS电容，这可以进一步降低电源滤波网络的品质因子，减小谐振时电源噪声的放大效应。

第二种机制是通过晶体管的漏体结电容耦合或者沟道直接注入，这种耦合机制所导致的衬底电压波形同晶体管漏端的电压波形具有相同的特性，由这种耦合机制所产生的噪声也被称为$C\mathrm{d}V/\mathrm{d}t$噪声。

第三种耦合机制是通过碰撞离子化过程实现的。在MOS晶体管中，沟道载流子在漏端耗尽区的格形碰撞中会产生电子-空穴对，其中的一种载流子被晶体管漏极所吸收，但另一种载流子则流进衬底，形成衬底噪声电流。现代CMOS工艺一般采用了各种技术来限制碰撞离子化过程，因此碰撞离子化过程所产生的衬底耦合噪声很小，通常可以忽略。

图14-74给出了考虑上面三种耦合机制后双阱外延层型衬底噪声耦合的SPICE等效模型。 电源线电阻耦合机制用从衬底或阱接触孔到晶体管体节点的电阻来等效，电源线电容耦合机制则通过电阻和n阱与衬底的寄生结电容来等效，第二种和第三种耦合机制则由所用的MOS晶体管模型（如BSIM3v3模型）来处理。这个模型与提取出的版图互连线寄生参数以及封装寄生效应结合在一起，就可以用来仿真混合信号集成电路中的衬底耦合噪声以及耦合噪声对模拟和射频电路的影响。当混合信号集成电路规模稍大时，这种混合信号仿真就会变得非常复杂，甚至达到目前的计算机资源无法承受的地步。这一研究领域是SOC中的一个热门研究课题，目前已经就减小仿真的复杂性提出了一些有效的方法，但还远没有达到完善和实用的程度。

图14-75给出了对某一个简单反相器链电路作衬底噪声耦合分析所得到的结果，所用到的衬底是外延层型衬底。 从图中可以看出，当电源线上的寄生电感量很小时（小于0.1nH），通过晶体管的漏体结电容

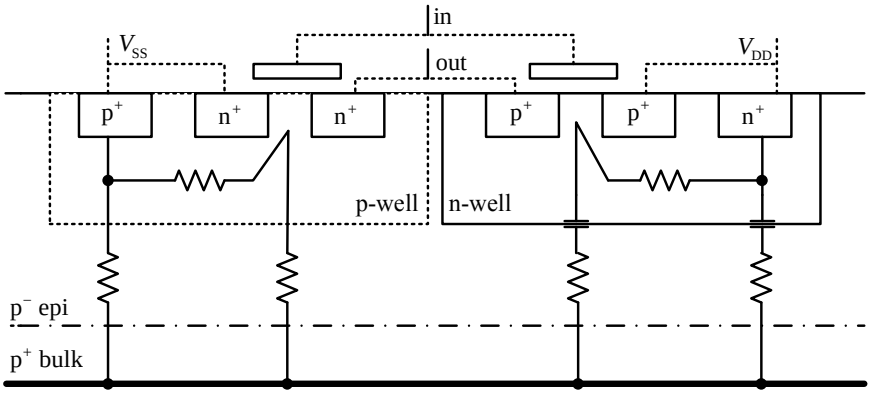


图 14-74 衬底噪声耦合的SPICE等效模型

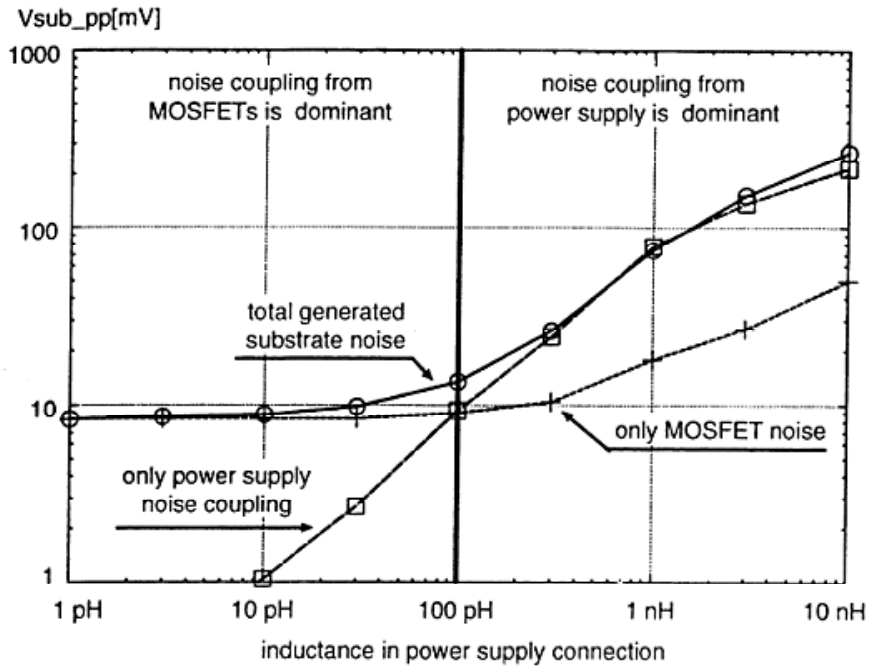


图 14-75 衬底耦合噪声与电源线上的寄生电感量之间的关系曲线

耦合或者沟道直接注入这种耦合机制在衬底耦合噪声中起主要作用，这时可以通过增加衬底接触孔的数目来减小衬底和数字地之间的有效阻抗，从而减小衬底耦合噪声；而当电源线上的寄生电感量较大（大于0.1nH）时，数字电源线耦合所产生的衬底耦合噪声远大于其它耦合机制所产生的衬底耦合噪声，电源线耦合是一种主要的衬底噪声耦合机制，在这种情况下，增加衬底接触孔的数目将增加从噪声电源线到衬底的耦合强度，因此会增加衬底耦合噪声，这时减小衬底噪声的唯一措施是降低电源线上的寄生电感量。通常情况下，电源上的寄生电感量大于0.1nH，因此电源线耦合是一种主要的衬底噪声耦合机制。

§14.4.4 减小衬底噪声耦合的措施

数字电路产生的开关噪声要对模拟或者射频电路产生衬底耦合干扰，实际上涉及四种不同的过程，如图14-76所示。 首先，数字电路的状态改变产生开关噪声（噪声发生器）；然后数字电路的开关噪声注入衬底形成衬底耦合噪声（从噪声发生器到衬底的传输函数）；再然后，耦合进衬底的噪声通过衬底这一传输媒介传输到模拟或者射频电路所在的衬底部分（衬底噪声在衬底中的传输）；接着，到达模拟或者射频电路衬底部分的噪声通过各种耦合机制耦合进模拟或者射频电路的各个节点，影响模拟或者射频电路的性能（从衬底到敏感性电路的传输函数）。

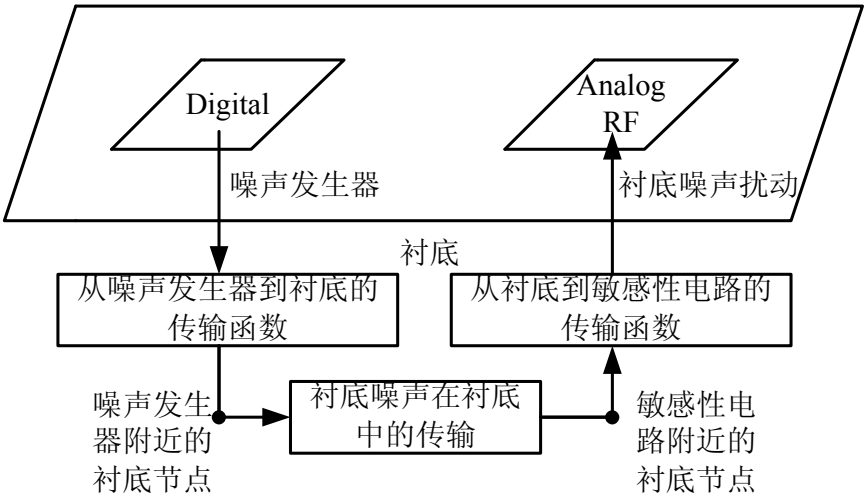


图 14-76 数字电路产生的开关噪声对敏感性电路产生干扰所涉及的过程

因此，为了减小衬底噪声耦合的影响，可以从如下四个方面进行考虑：第一个方面的措施是减小数字电路产生的开关噪声，这可以通过降低数字电源电流的峰值、变化速率以及波动频率的方法来减小，常用的办法包括降低电源电压、降低数字电路工作频率、采用异步时序逻辑来代替同步时序逻辑（数字电路中各单元不同时改变状态，可以减小开关噪声的峰值）、减小数字电路状态转换的次数（低功耗数字电路设计技术）或者采用电流模逻辑（如CMOS电流导向型逻辑或者CMOS折叠源耦合逻辑）等。但这些措施要么增加了数字电路的设计难度，要么降低了电路的工作速度或者增加了数字电路的功耗，因此在实用上都受到一定的限制。

第二方面的措施是通过片上电源滤波电容、减小封装寄生效应或者独立衬底接触孔等办法来减小数字电路开关噪声对衬底的耦合能力。增加片上电源滤波电容来减小衬底耦合噪声的原理可以解释如下：当片上电源滤波电容足够大时，数字电路改变状态所需要的瞬态电流可以由这个电容提供，因此减小了电源线上的噪声波动幅度，从而可以降低衬底耦合噪声。片上电源滤波电容由两部分构成：数字电源线上的寄生电容和额外增加的片上电容。如同前面所述，片上电源滤波电容和封装寄生电感可能在某一个频率处谐振，放大该频率处的电源线噪声。为了消除这种效应，需要在片上电源滤波电容上串联某些阻抗或者使用低品质因子的MOS电容，使得片上电源滤波电容与封装寄生电感的谐振为欠阻尼谐振。另外，片上电源滤波网络的谐振频率需要进行合理设计，因为在实验中发现，电源线噪声在数字电路时钟的谐波或者子谐波频率处达到最大，因此片上滤波电容值的选取应使得它与封装寄生电感的谐振频率避开数字电路的谐波或者子谐波频率。另外，片上滤波电容会延缓电源线上电压响应的速度，受到扰动的电源线电压需要花更长的时间回到稳定状态，因此片上滤波电容应足够大，使得电源线上的电压波动近似可以忽略。

减小封装寄生效应可以通过采用更先进的封装工艺（如BGA封装、QFN封装等）或者多焊盘、多键合线、多管脚等技术来减小。图14-77 给出了一个多焊盘、多键合线和多管脚封装的例子。 这种封装技术的寄生效应相当于多个单焊盘、单键合线、单管脚封装寄生效应的并联，因此可以将寄生电感量减小到原来的$1/n$倍（n为并联键合线的个数）。另一种减小封装寄生效应的措施是采用倒封装技术，如图14-78 所示。 封装管壳的底盘敷有一层导电环氧树脂，是一个理想的地平面，芯片上的数字地可以直接键合到这个地平面上，从而避免了长键合线所引入的寄生电感。封装管壳内的导电层可通过多个管脚引出，或者封装管壳的底盘本身就是导电的，可以直接粘在PCB板的地平面上，减小或者消除了封装管脚的寄生效应。

衬底接触孔也可以不与数字电源线相连，而可以通过一个单独的衬底偏置焊盘引出，这样，数字地线上的噪声不会通过衬底接触孔以电阻性耦合的方式耦合到衬底，而只能通过晶体管的漏体结电容、源体结电容或者晶体管沟道以电容性耦合的方式耦合到衬底，这样就减小了数字电路开关噪声对衬底的耦合能力。

第三方面的措施是通过采用浅参杂衬底或者SOI型衬底、深n阱技术、远距离隔离以及保护环等技术来衰减衬底中已经存在的耦合噪声，降低模拟或者射频电路所在处衬底中的噪声。SOI型衬底可以彻底消

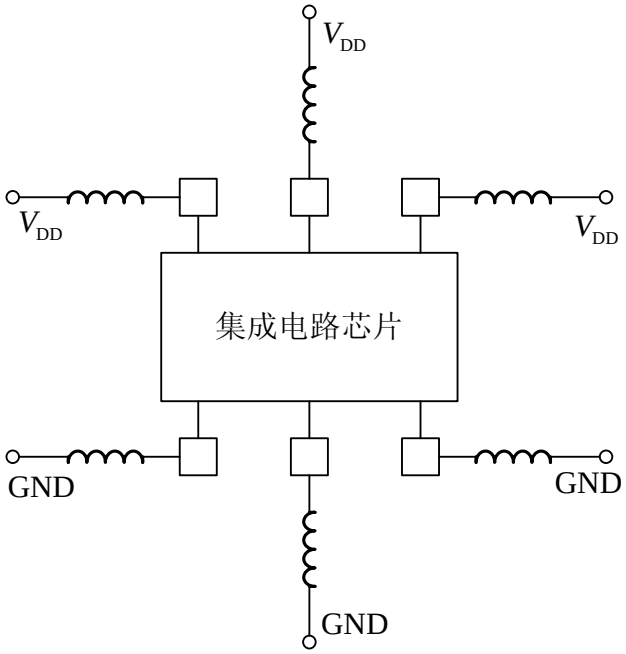


图 14-77 采用多焊盘、多键合线、多管脚等技术来减小封装的寄生电感

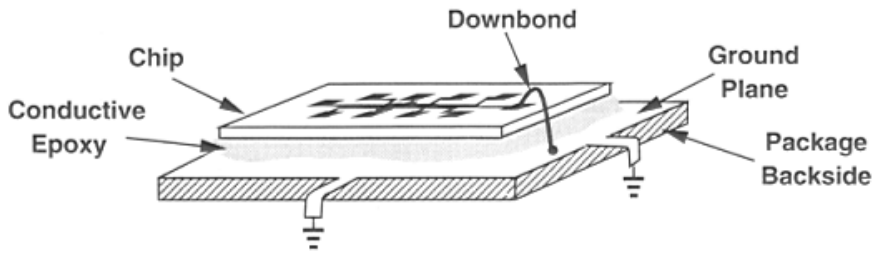


图 14-78 采用倒封装技术来减小封装的寄生电感

除衬底噪声耦合问题，但是目前使用这种衬底的工艺成本较高，还不能达到普遍使用的水平。浅参杂衬底是目前射频CMOS工艺支持的一种衬底类型，对于这种衬底来说，远距离隔离是一种很有效的减轻衬底耦合的措施，因此合理的版图布局是非常重要的，可以根据模拟、射频电路对衬底耦合噪声的敏感程度决定它们与数字电路的相对距离，将敏感模块放在远离数字电路的位置上。图14-79给出了一种常用的布局方式，将模拟、射频电路放在芯片的一个角上，外围与数字电路之间保持一定的隔离距离。 对浅掺杂衬底来说，保护环对衬底耦合噪声也具有很大的衰减作用。实验发现，在模拟电路周围放上一圈衬底接触孔，可以将衬底耦合噪声衰减40dB以上，而在模拟电路周围单独放上一圈n阱接触孔则对衬底耦合噪声没有任何衰减作用。通常，在模拟或者射频电路周围放上衬底和阱双重保护环来降低衬底噪声对它们的影响，如图14-21所示。虽然单独的n阱保护环对衰减衬底耦合噪声没有作用，但将它放在数字电路周围，可以收集数字电路在衬底里产生的游离电子，减小对模拟电路的干扰。

深n阱技术是现代射频CMOS工艺提供的另一种有效隔离衬底噪声的技术，在深亚微米工艺中，它已经成为标准CMOS工艺的一部分，深n阱的结构如图14-80所示。 研究表明，将NMOS晶体管放在深n阱中，在2GHz高频下仍然可以将衬底耦合噪声的影响降低25dB以上，因此对某些敏感的模拟或者射频电路来说，可以将电路中的NMOS管放在深n阱中来降低衬底耦合噪声对它们的干扰。

但是，对于外延层型衬底（标准数字CMOS工艺都使用外延层型衬底）来说，衬底是重参杂的，电阻率很低，近似可以将衬底看成一个等电势点，因此远距离隔离和保护环对这种类型的衬底来说没有任何用处。

第四方面的措施是通过某些电路设计技术来提高模拟或者射频电路对衬底耦合噪声的抑制能力。一般

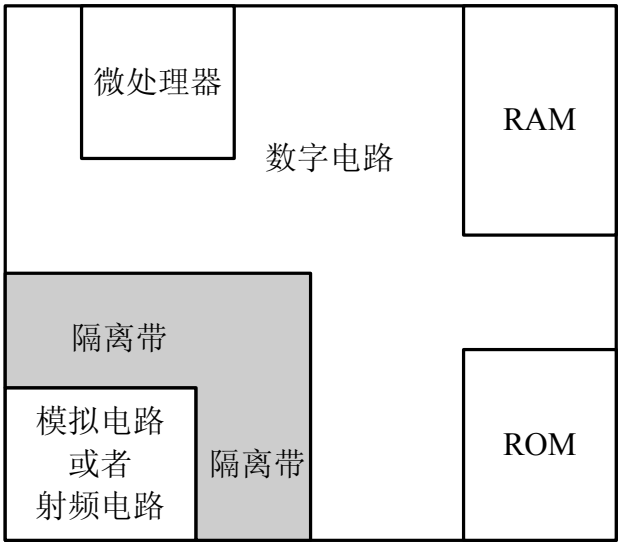


图 14-79 混合信号集成电路的版图布局

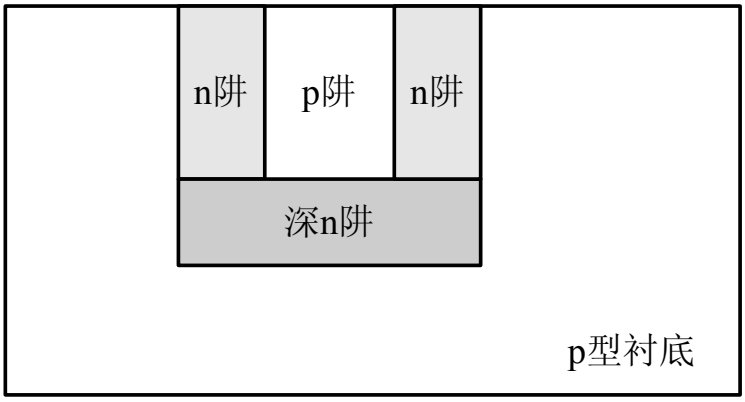


图 14-80 深n阱结构

说来，在混合信号集成电路中，数字电源和模拟电源是分开的，这可以减小数字电路所产生的电源噪声对模拟电路的影响。考虑到衬底耦合噪声对模拟或者射频电路的影响是通过衬底调制效应（改变晶体管的阈值电压）或者晶体管的结电容耦合来发生的，因此常用的一种提高模拟或者射频电路对衬底耦合噪声抑制能力的措施是将模拟地和衬底接在一起，从而消除晶体管的衬底调制效应。为了说明这一问题，我们来看图14-81所示电路。 它是一个普通的电阻负载共源放大器。在图(a)中，模拟地和衬底分开，当衬底上存在噪声电压时，该噪声电压加到M_1的体端，改变M_1的体端电压，而M_1的栅端、源端电压都保持不变，因此衬底噪声会通过衬底调制效应在M_1 的漏端引入一个噪声电流成分。而在图(b)中，模拟地和衬底接在一起，当衬底上存在噪声电压时，M_1的栅端、源端和体端都跟衬底保持相同波动，但V_{SB}保持不变，因此M_1不会受到衬底调制效应的影响，从而减小了衬底耦合噪声对模拟电路的影响。在将模拟地和衬底接在一起后，衬底耦合噪声对模拟电路的影响仅通过晶体管的漏体电容或者晶体管的漏源导纳耦合到输出，为了进一步衰减它们的影响，可以采用Cascode技术。

除了采用模拟地和衬底相连来增强模拟电路或者射频电路对衬底耦合噪声的抑制能力之外，人们还总结出了一些其它的规则：NMOS管仅用在DC电流源电路中，而且NMOS管的各端电势都以衬底作为参考；PMOS管作为信号处理元件，PMOS管可以放在n阱中，对衬底噪声具有一定的抑制作用，n阱应具有足够的接触孔以降低寄生阻抗；模拟或者射频电路采取全差分操作，并通过一个共模控制电路来提供一个尽可能理想的共模电平；对不以衬底为参考电势的信号线或者焊盘进行合理的屏蔽，屏蔽可以采用接电源的n阱、多晶或者底层金属来达到。对于射频集成电路来说，NMOS管具有更高的性能，因此NMOS管常作

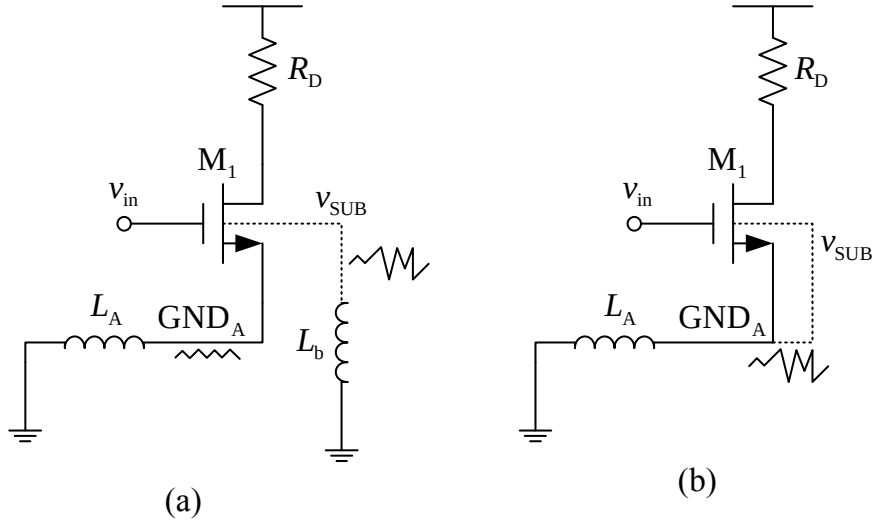


图 14-81 模拟地的不同接法对模拟电路的影响

为信号处理元件，这时需将NMOS管放在深n阱中来加强隔离。

在采取了以上措施后，混合信号集成还存在一个模拟电路与外界环境的接口问题。外界输入芯片的信号通常是以理想地为参考电势的单端信号，如何提供与外界环境的单端接口也是一个很重要的问题。图14-82给出了一个解决这一问题的方法。 数字部分采用了多个V_{DDD}和V_{SSD}管脚，衬底连接到数字

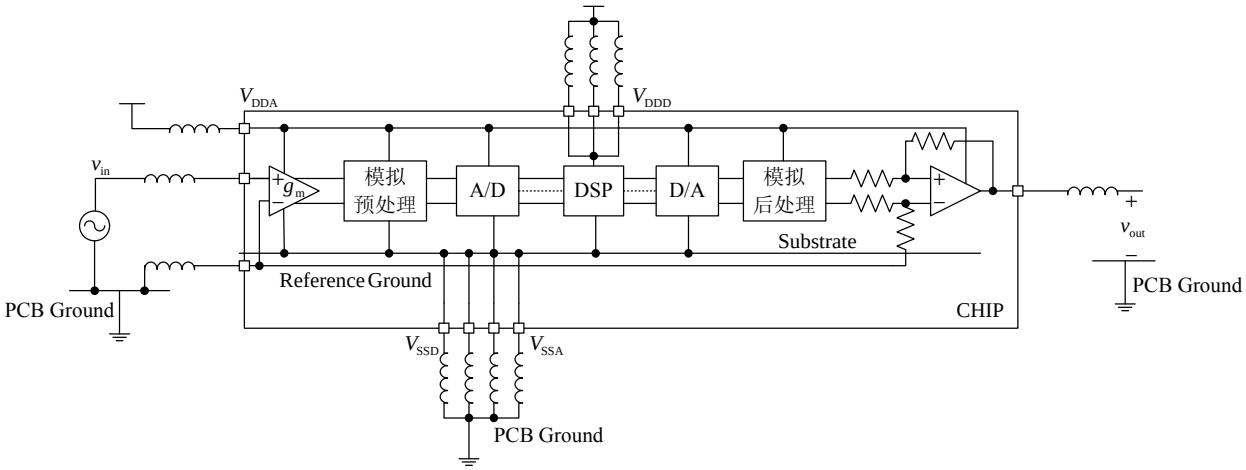


图 14-82 混合信号集成电路与外接环境的接口电路

地V_{SSD}以防止数字电路的Latch-Up效应。模拟电路部分由一个单独的电源V_{DDA}供电，地线则通过足够多的衬底接触孔接到衬底上，使得模拟地与衬底保持相同电势。为了提供和芯片外界的单端信号接口，芯片上还需要一个干净的参考信号，称为参考地，参考地通过键合线连接到PCB板的理想地平面上，这根线上必须仅流过直流电流或者很低频的信号电流，使得参考地线上的电压不会受到di/dt效应的影响。这根线也应该采取合理的屏蔽措施，避免衬底耦合噪声耦合到这根线上。输入信号以参考地作为参考，经第一级转变为一个差分信号，通过合理的共模反馈控制，可以控制差分输出信号的共模电平不会受到衬底耦合噪声的影响。该差分信号经进一步处理后转变为数字信号，在数字域进行处理，然后又转换到模拟域进行处理。在最后一级，芯片上的差分信号又经过差分-单端转换（以参考地线作为参考信号）转变为单端信号。以上的处理过程可以总结为：电路的电源线都以衬底作为参考电势，而信号则以干净参考地作为参考电势。

为了减小衬底耦合噪声，模拟电路或者射频电路所处理信号的频带与数字电路的时钟频率以及片上电源滤波网络的谐振频率之间的关系也需要仔细考虑。实验中发现，衬底耦合噪声在数字电路时钟的谐波或者子谐波频率处达到最大，因此数字电路的时钟频率应该仔细规划，使得数字电路时钟的谐波或者子谐波

频率不位于模拟电路或者射频电路所处理信号的频带范围内。片上电源滤波网络的谐振频率也应该避开数字电路时钟的谐波或者子谐波频率。另外，考虑到在片上电源滤波网络的谐振频率处，衬底耦合噪声被放大，片上电源滤波网络的谐振频率也不应位于模拟电路或者射频电路所处理信号的频带范围内。

对于模拟或者射频电路来说，提高它们的共模抑制比或者电源电压抑制比也是有效降低衬底耦合噪声干扰的措施，这涉及到具体的电路模块设计问题，本处不再展开。

§14.4.5 抗干扰设计

在混合信号集成电路中，除了上节介绍的衬底耦合噪声外，互连线所引入的寄生效应也会降低电路的性能。首先，互连线存在寄生阻抗和寄生容抗，可等效为分布式*RC*网络，给互连线上传输的信号引入互连线延迟，并延长信号状态转换的速率（称之为信号色散，dispersion），如图14-83所示。 在深亚微米工

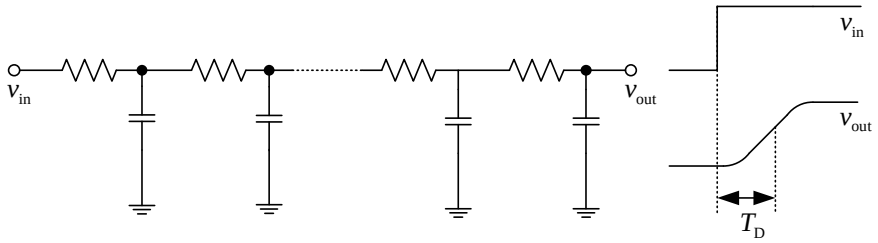


图 14-83 互连线的寄生阻抗和寄生容抗会引起信号延迟和色散

艺下，互连线延迟已经是限制数字电路工作速度的重要因素。对模拟电路来说，这种寄生效应会造成采样时刻抖动以及降低电路带宽等影响。其次，互连线与衬底的耦合电容会使得互连线上的信号与衬底噪声之间互相耦合，互连线上的强信号（如时钟）会耦合到衬底，增大衬底耦合噪声，而衬底噪声也会耦合进互连线上，干扰互连线上传输的微弱敏感信号。最后，互连线之间的信号串绕也是噪声耦合的一种重要机制。图14-84对这一问题进行了说明。 一个共源放大器位于数字电路周围，CK、V_A、V_B、$V_{A\cdot B}$是强数字

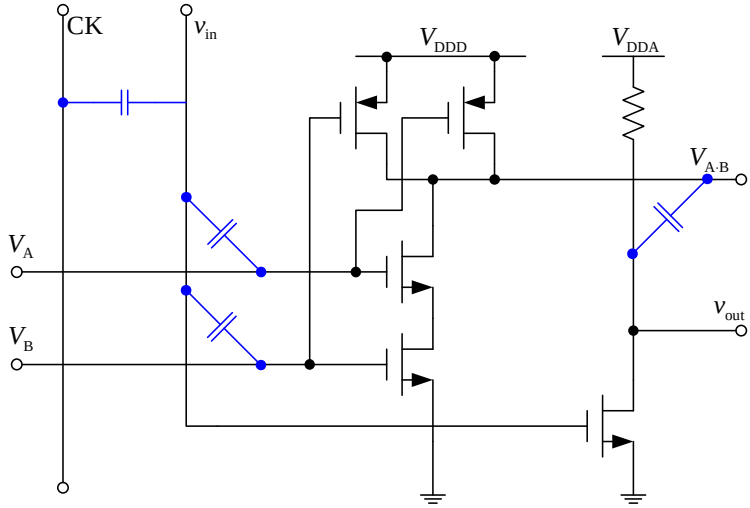


图 14-84 互连线之间的信号串绕

信号，v_{in}、v_{out}是微弱模拟信号。v_{in}、v_{out}线与CK、V_A、V_B、$V_{A\cdot B}$存在寄生耦合电容，通过这些耦合电容，V_A、V_B、$V_{A\cdot B}$线上的状态转换会串绕到模拟信号线上，影响模拟信号线上传输的微弱信号。由于数字信号很强，而模拟信号很弱，微小的耦合电容就会使得模拟信号线上的串绕信号足够强，对模拟信号造成极大的干扰，甚至使得模拟信号完全淹没在串绕信号之中。

为了解决这种信号串绕问题，可以采取三种办法。第一种办法是采用远距离隔离，将模拟电路与数字电路分开布局，减小它们之间的耦合，这是最有效的一种办法，但是对于某些电路来说，完全隔离数字电路和模拟电路是做不到的，如数模变换器或者锁相环等。

第二种办法是模拟电路采用差分操作，使得串绕信号对模拟信号来说是一个共模信号，这样就不会对电路的性能造成影响。图14-85对这一办法进行了说明。 数字信号线上的状态转换都同时耦合到差分模拟信

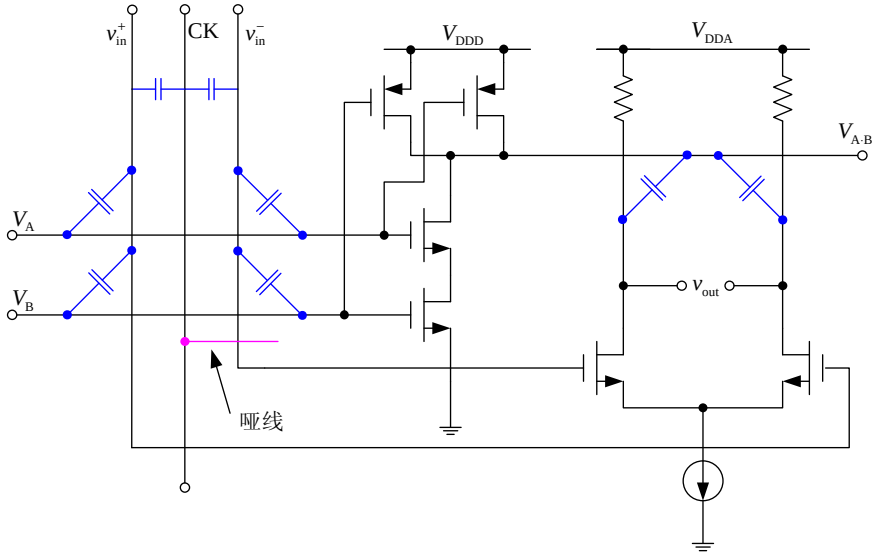


图 14-85 模拟电路采用差分操作来减小信号串绕的影响

号线上，如果差分模拟信号线与数字信号线之间的耦合电容完全匹配，则串绕信号对差分模拟信号来说就是一个共模信号，这微小的共模串绕不会干扰模拟信号的操作。因此，对这种解决信号串绕的办法来说，差分信号线与数字信号线之间的寄生耦合电容的匹配是很重要的，在设计版图时，差分模拟信号线必须关于数字信号线对称分布。在某些情况下，可以如图中所示引入“哑”线来保证寄生耦合电容之间的匹配。

解决信号串绕的第三种办法是利用信号屏蔽技术。图14-86给出了一种常用的信号屏蔽技术，在敏感模拟信号线周围插入了接地的同层金属线。 这样，来自周围数字互连线上的电磁场就终结在这些接地的同层

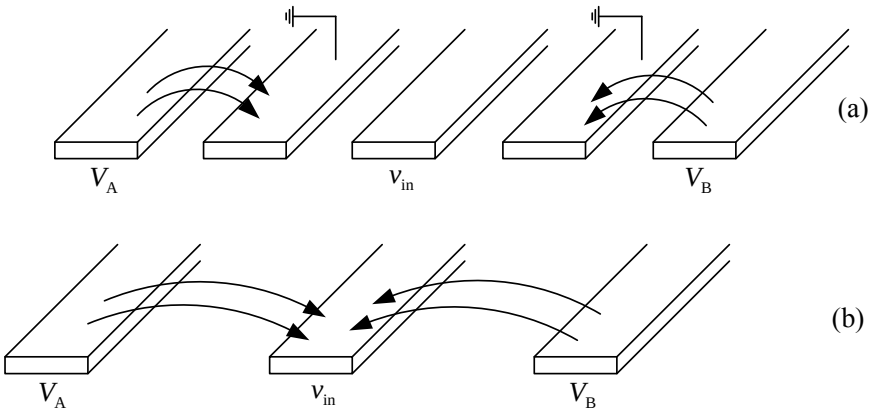


图 14-86 信号屏蔽技术

金属线上，从而不会干扰敏感模拟信号线。图14-87给出了另一种信号屏蔽技术。 敏感的模拟信号线被接地的上、下两层不同的金属线包围，形成一个金属屏蔽空间，从而使得敏感的模拟信号不会受到任何外部电磁场的干扰。信号屏蔽技术可以将敏感信号线屏蔽起来，消除了其它信号对它们的干扰，但是，屏蔽技术会使得布线很复杂，而且会导致信号线与地线之间的寄生电容增加。

封装也会引入信号串绕问题。如前所说，封装时键合线之间、管脚之间都存在互感和耦合电容，这些都会造成信号串绕。图14-88对这一情况进行了说明。 模拟电源线V_{DDA}和模拟信号线v_{in}会受到周围数字电源或者信号线的干扰。因此合理的焊盘和封装布局是非常重要的，远距离隔离依然是最有效的措施。如果远距离隔离实现起来存在困难，减小封装串绕的另两种办法如图14-89所示： 第一种办法是使得键合线的走

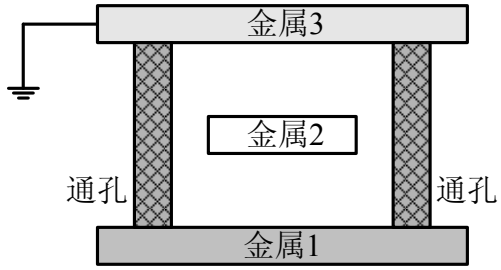


图 14-87 另一种信号屏蔽技术

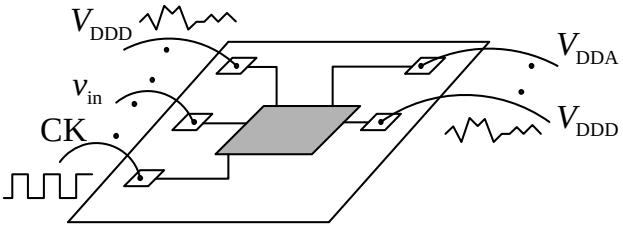


图 14-88 封装时键合线之间、管脚之间存在的互感和耦合电容引起信号串绕

线方向互相垂直（(a)图），第二种办法是在敏感键合线之间插入地线（(b)图）或者在敏感信号线周围插入地线（(c)图），这些都可以减小封装所带来的串绕。

对封装的寄生效应来说，键合线之间、管脚之间存在的互感会增加封装的寄生电感量，从而增加衬底耦合噪声。为了减小封装产生的互感，除了利用14-89 所示的两种办法之外，第三种办法是考虑到电源线和地线之间、差分信号之间流过电流的方向相反，因此它们之间的互感会降低各自封装的寄生电感量，如图14-90 所示。在设计芯片焊盘和封装布局时，可以利用这种效应来降低封装的寄生效应。

§14.5 总结

本章讨论了射频集成电路的后端设计问题，包括合理的版图设计、焊盘设计、ESD防护电路设计以及混合信号集成中的信号完整性问题等。由于射频电路工作频率很高，信号又很微弱，因此后端设计对射频集成电路的性能具有极大的影响，高性能的电路设计如果没有良好的后端设计相配合，所实现的射频电路的性能可能也会很差。通过本章的介绍，读者可以对影响射频电路性能的后端设计因素有所了解，在进行电路设计时，可以及早将后端设计的影响因素考虑在内，尽可能降低后端设计对电路性能的影响。

参考文献

1 Gray P R, Hurst P J, Lewis S H, etc. Analysis and Design of Analog Integrated Circuits, Fourth Edition. New York: John Wiley & Sons, Inc., 2001

2 Razavi B. Design of Analog CMOS Integarted Circuits. Singapore: MCGraw-Hill Higher Education, 2001

3 Wang A. On-Chip ESD Protection For Integrated Circuits–An IC Design Perspective. Boston/Dordrecht/London: Kluwer Academic Publishers, 2002

4 Stéphane Donnay, Georges Gielen. Substrate Noise Coupling in Mixed-Signal ASICs. Boston/Dordrecht/London: Kluwer Academic Publishers, 2003

5 Arthur Van Roermund, Michiel Steyaert, Johan H. Huijsing. Analog Circuit Design–Fractional-N synthesizers, Design for Robustness, Line and Bus Drivers. Boston/Dordrecht/London: Kluwer Academic Publishers, 2003

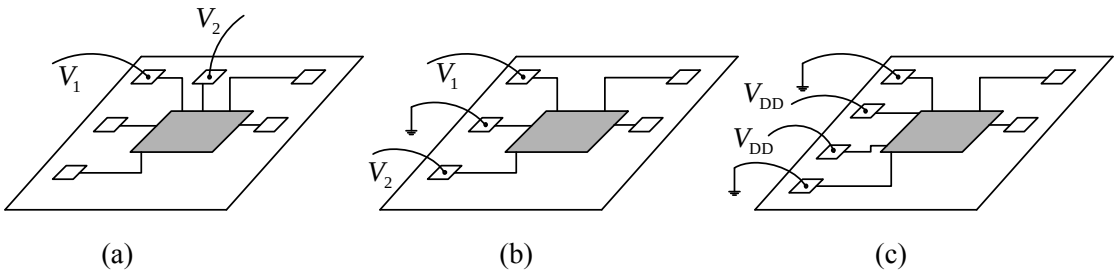


图 14-89 减小封装串绕

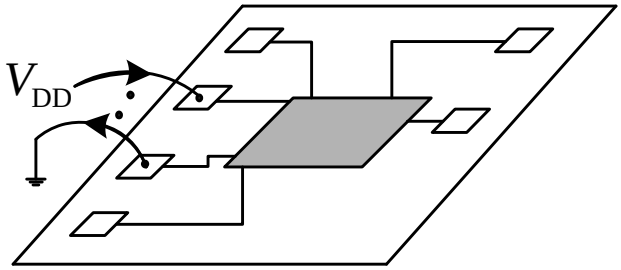


图 14-90 将流过电流方向相反但大小相同的键合线放在一起可以降低封装引入的寄生电感量

习题

1. 在模拟集成电路和射频集成电路的版图设计中，除了考虑版图设计规则外，还应该考虑哪些版图设计准则以提高模拟或者射频集成电路的性能？
2. 说明天线效应产生的原因以及预防办法。
3. 在一个大规模集成电路中，参考源的分布要考虑哪些因素？
4. 解释在射频频段，焊盘会引入信号能量损耗的原因。
5. 说明ESD引起芯片失效的原因以及ESD防护的基本原理。
6. 常用的ESD防护器件有哪些？解释它们的工作原理。
7. 说明芯片输入端ESD防护设计和输出端ESD防护设计的异同。
8. 解释在混合信号集成电路中衬底噪声耦合的产生原因。
9. 说明在混合信号集成电路中减小衬底噪声耦合的措施。

第十五章　DCS-1800无线接收机模拟前端

前面各章介绍了无线收发机模拟前端中各种模块电路的分析和设计方法，本章将综合前面各章的知识，以一个DCS-1800无线接收机模拟前端为例来讨论无线接收机从系统描述到具体实现的过程。通过该过程的介绍，读者可以初步了解无线收发机模拟前端的总体设计过程，并可以以这个例子为参考，设计自己的无线接收机模拟前端。

§15.1　DCS-1800无线通信系统概要

DCS-1800也被称为PCN或者GSM-1800，它同GSM-900（全球通）一样，也是一种蜂窝数字通信系统，位于基站网络覆盖范围内的移动台同最近的基站进行通信，并能够在保持通信的前提下在不同的蜂窝之间漫游，如图15-1所示。实际上，DCS-1800是GSM-900的高频版本，这两个通信系统的数字部分（通信协议、调制方法、算法等）完全相同，射频接口部分是它们之间的惟一差别。

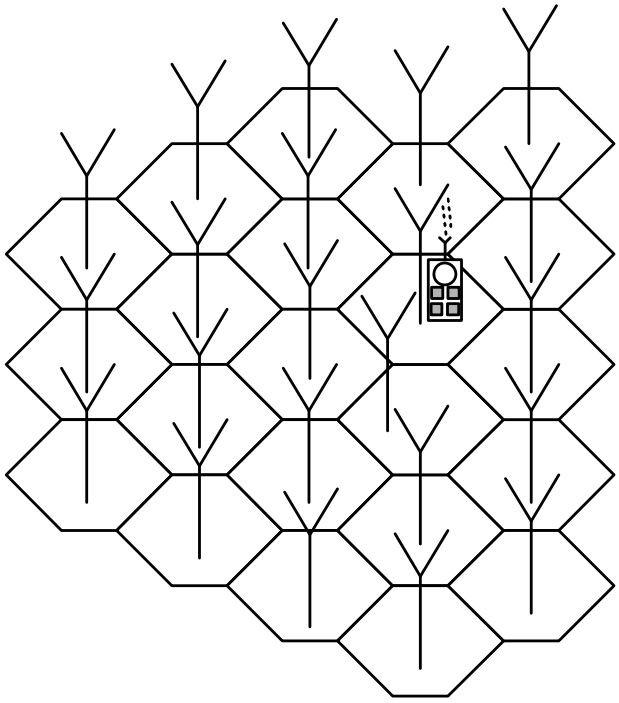


图 15-1 蜂窝通信系统

DCS-1800无线通信系统所占用的频带宽度为150MHz，被分为上频带（频率范围为1710～1785MHz）和下频带（频率范围为1805～1880MHz）两部分，其中，下频带用来发射数据，上频带用来接收数据（均相对于移动台），如图15-2所示。

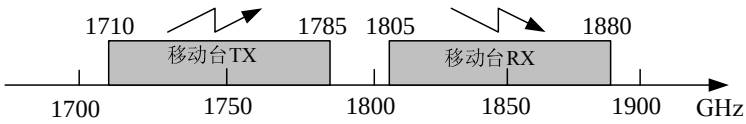


图 15-2 DCS-1800无线通信系统的频带

DCS-1800无线通信系统使用了频分复用（Frequency-division multiple access, FDMA）和时分复用（Time-division multiple access, TDMA）技术来提高通信系统的网络容量。频分复用是用频谱搬移的方

法使不同信号占据不同的频率范围；时分复用是用脉冲调制的方法使不同信号占据不同的时间区间。在频分复用中，系统的可用频带被分成若干个互不交叠的频段，每路信号只占据其中的一个频段；而在时分复用中，系统的时间单元被分成互不重叠的时间段（该时间段被称为时隙，slot），各路信号只在固定的时隙内传输数据。对于DCS-1800无线通信系统来说，上、下两个频带均被划分为372个物理信道，信道带宽为200kHz（FDMA）。移动台同基站之间的一次通信仅占用其中的一个物理信道。在时间上，DCS-1800无线通信系统是以TDMA帧的形式传输数据的，每一帧由八个连续的时隙构成，每一个时隙对应于一个虚拟信道（TDMA）。在移动台同基站的一次通信中，移动台被动态分配一个物理信道和一个虚拟信道，在虚拟信道所对应的时隙内，移动台是唯一使用那个物理信道（载波频率）的发射机/接收机；而在另一个时隙内，不同的移动台可以使用相同的物理信道同基站进行通信，这样就提高了系统的容量。DCS-1800和GSM无线通信系统的帧结构一样，均如图15-3所示，传输13个TDMA帧所需要的时间精确等于60ms，在每一个时隙内，移动台要传输156.25位数据，因此DCS-1800系统的数据率约为270.833kbps。

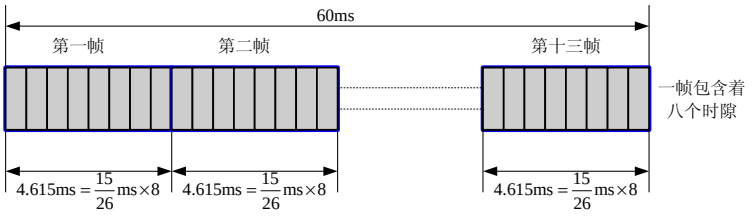


图 15-3 DCS-1800系统的帧结构

§15.2 调制方案

DCS-1800无线通信系统采用了高斯最小频移键控（Gaussian Minimum Shift Keying，GMSK）调制方式，GMSK是MSK的高斯平滑形式，它们都属于二进制频移键控（2FSK）中的特殊类型。2FSK调制的包络是恒定的，因此属于恒包络调制，无线发射机中的功放可以采用高效率的非线性功率放大器。本节我们就来介绍GMSK调制的基本特性。

§15.2.1 MSK调制

MSK是二进制频移键控（2FSK）中的一种特殊类型，它具有正交信号的最小频差，在相邻符号交界处相位保持连续。这类连续相位FSK可表示为：

$$S_{\mathrm{MSK}}(t) = \mathrm{A}\cos[\omega_{\mathrm{c}}t + \varphi(t)] \tag{15-1}$$

其中，$\varphi(t)$为随时间连续变化的相位，ω_{c}为未调载波频率，A为已调信号幅度。

对于MSK调制来说

$$\Delta\omega = \omega_2 - \omega_1 = \frac{\pi}{T_{\mathrm{b}}} \tag{15-2}$$

其中，ω_1、ω_2是2FSK信号的两个频率，T_{b}是二进制位流的周期（$1/T_{\mathrm{b}}$即为数据率）。则

$$\omega_{\mathrm{c}} = \frac{1}{2}(\omega_1 + \omega_2) \tag{15-3}$$

$$\varphi(t) = p_{\mathrm{n}}\frac{\Delta\omega t}{2} + \varphi(0) \qquad 0 \le t \le T_{\mathrm{b}} \tag{15-4}$$

其中，$p_{\mathrm{n}} = \pm 1$分别表示二进制信息1和0，是二进制位流的非归零码（NRZ）形式；$\varphi(0)$是初始相位。由此MSK信号可以写为：

$$S_{\mathrm{MSK}}(t) = \mathrm{A}\cos[\omega_{\mathrm{c}}t + \frac{p_{\mathrm{n}}\pi t}{2T_{\mathrm{b}}} + \varphi(0)] \qquad 0 \le t \le T_{\mathrm{b}} \tag{15-5}$$

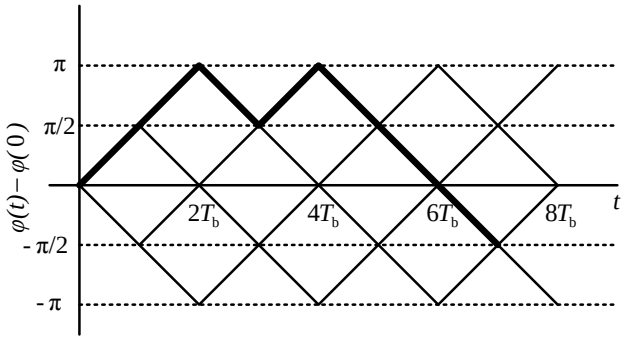


图 15-4 MSK信号的相位网格图

由式15-5可知，在每个信息比特间隔内载波相位变化$+\pi/2$或者$-\pi/2$，正负号取决于二进制数据是1还是0。假设初始相位$\varphi(0)=0$，则$\varphi(t)$随时间变化的规律可以用图15-4所示的网格来表示。每条相位路径表示不同的信息序列（如图中粗线路径所对应的信息序列为1101000）。图15-5 展示了从二进制位流产生MSK调制信号的过程，这里假设$\omega_c=2\pi/T_b$，因此$\omega_1=3\pi/(4T_b)$、$\omega_2=5\pi/(4T_b)$。

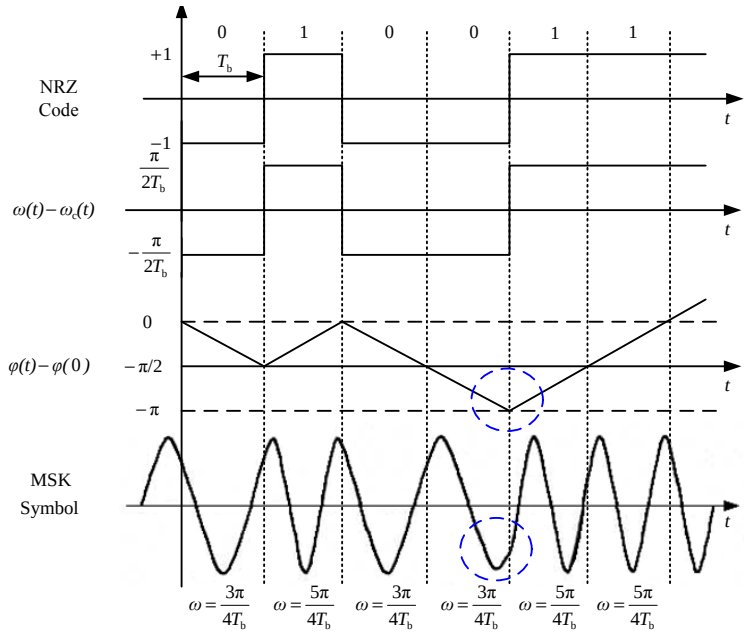


图 15-5 MSK调制信号的产生过程

如果发射机系统采用超外差结构，则式15-5所示的低频信号可以直接进行上变频，然后发射出去。但如果发射机系统采用正交上变频结构，那么调制器需要提供I、Q两路正交信号，这可以通过对式15-1进行三角变换而得到

$$S_{\mathrm{MSK}}(t)=\mathrm{A}\cos[\varphi(t)]\cos(\omega_c t)-\mathrm{A}\sin[\varphi(t)]\sin(\omega_c t) \tag{15-6}$$

这是一个关于$\sin[\varphi(t)]$和$\cos[\varphi(t)]$的两维正交信号，它位于一个圆周上，表示了MSK信号相位$\varphi(t)$的轨迹，如图15-6所示，称为星图。图中的黑点表示了二进制信息位结束时刻（nT_b时刻）MSK信号的相位。根据输入位流信息，下一个T_b时刻MSK信号的相位顺时针方向旋转$\pi/2$（数据为0）或者逆时针方向旋转$\pi/2$（数据为1）。

虽然MSK信号在相位上是连续的，但在二进制信息位结束时相位会突然发生变化，引起信号的瞬时频率发生突变，导致MSK波形出现尖锐拐角，如图15-5虚线圆所示。瞬时频率的突然变化会引起MSK的频谱扩散，对其它信道的信号造成干扰。为了解决这种问题，可以对MSK信号进行高斯型平滑，这就是GMSK调制。

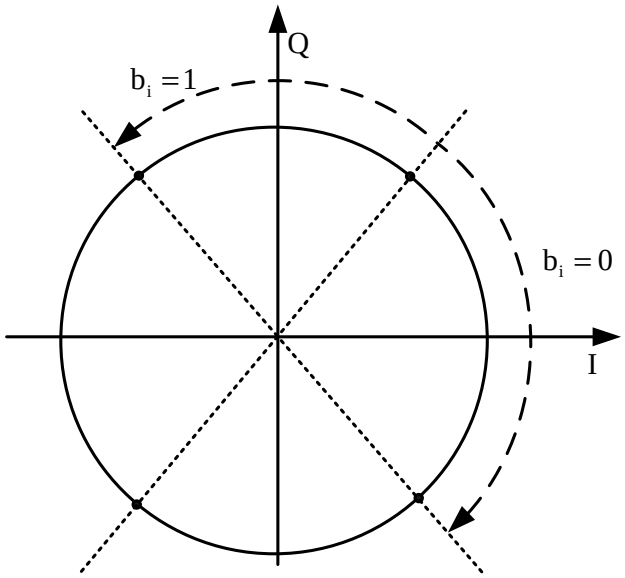


图 15-6 MSK调制信号的星图

§15.2.2 GMSK调制

在GMSK调制中，基带信号首先经高斯滤波器成形为高斯型脉冲，然后再进行MSK调制。由于成形后的高斯脉冲包络无陡峭沿，亦无拐点，因此相位路径和瞬时频率转换得以进一步平滑，导致GMSK的频谱分布更紧凑，降低了发射机的信道外辐射和频谱增生效应。相对于数据率来说，高斯滤波器的3dB带宽B通常很窄，因此在时域上高斯型脉冲会扩展到相邻符号内，引起相邻符号间干扰（Inter-symbol Interference, ISI）。例如，对于DCS-1800系统或者GSM系统来说，$BT_b = 0.3$，GMSK信号的当前相位会受到数据位流中相邻四位数据的影响，导致GMSK信号的星图上每个象限内会出现三个点。为了说明这一点，我们来看GMSK的调制过程。

在GMSK调制中，二进制信号先转化为非归零码，然后送到高斯滤波器进行高斯成形。高斯滤波器的带宽为$0.3/T_b$，因此在时域上，高斯成形的结果相当于非归零码与周期为$3T_b$的高斯脉冲进行卷积

$$\Delta\omega_{\mathrm{GMSK}}(t) = \Delta\omega_{\mathrm{MSK}} \otimes h(t) \tag{15-7}$$

其中

$$h(t) = \frac{\sqrt{2\pi}\mathrm{B}}{\sqrt{\ln 2}} \exp(-\frac{2\pi^2}{\ln 2}\mathrm{B}^2 t^2) \tag{15-8}$$

因此，卷积后的结果会扩展到相邻的$4T_b$时间间隔内，对相邻间隔内的信号瞬时频率产生干扰。原MSK信号在一个符号周期内（T_b时间段）产生的$\pi/2$相位变化也会扩展到四个符号周期内（$4T_b$时间段），在相邻四个符号周期内产生的相位影响分别为ϵ、$\pi/4-\epsilon$、$\pi/4-\epsilon$和ϵ，如图15-7所示，图中同时给出了原MSK信号的瞬时频率和瞬时相位变化曲线以作为对比。

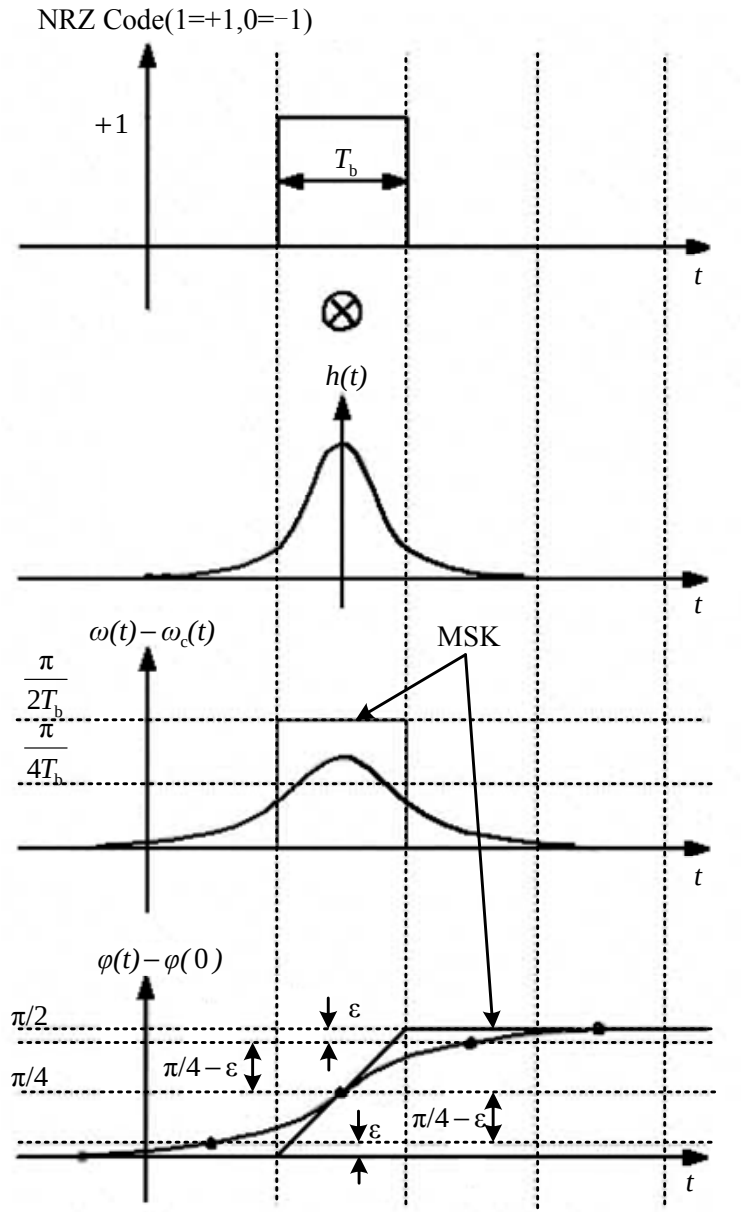


图 15-7 GMSK信号的瞬时频率和相位变化曲线

图15-8展示了从二进制位流产生GMSK调制信号的过程。它是对图15-7所示模板周期移动后叠加的结果，其中，GMSK调制过程用粗线表示，而MSK调制过程则用细线表示。从图中可以看出，GMSK信号的瞬时频率和相位变化比MSK信号要平滑，信号波形不会出现尖锐的拐角，各个时间点对瞬时频率的微分值都是存在的，这些将使得GMSK信号的频谱比MSK要紧凑，降低了发射机的信道外辐射和频谱增生效应。

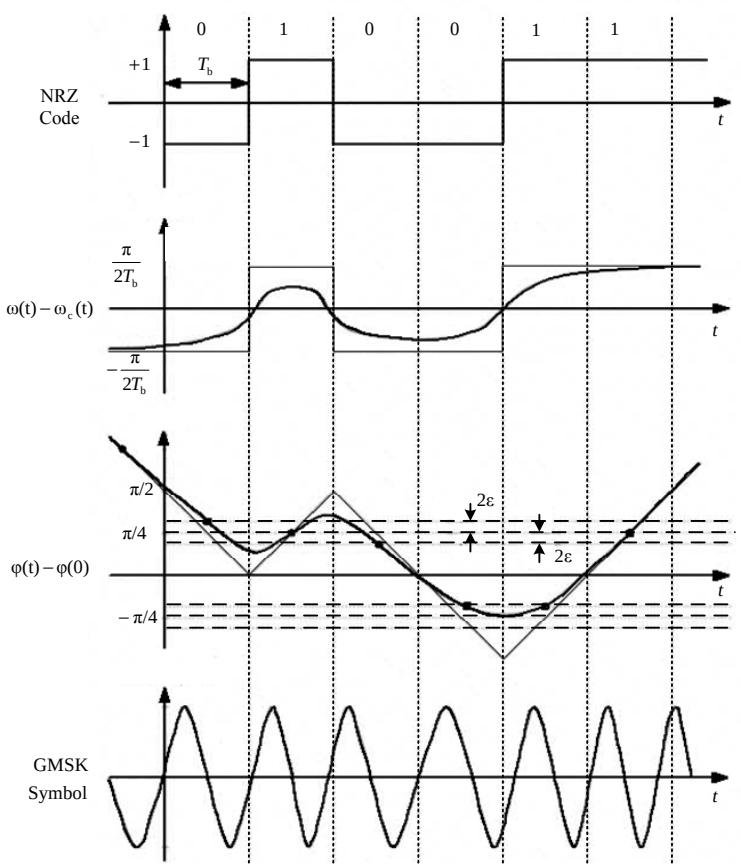


图 15-8 GMSK信号的产生过程

如前所说，GMSK信号的瞬时频率和相位变化会受到相邻符号的影响，因此，GMSK调制的相位转换表是非常复杂的。但幸运的是，相位转换大部分由前一个符号和当前符号所决定，如果这两个符号不同，在一个符号周期T_b内的净相位转换近似为0；而如果这两个符号相同，则根据当前符号是0还是1，在一个符号周期T_b内的净相位转换近似为$-\pi/2$或者$+\pi/2$。更前面的符号和将来的符号对当前相位的影响仅为ϵ，代表一个很小的扰动。

图15-9给出了GMSK调制方案的星图。同MSK调制方案不同，在星图的每一个象限内，相位轨迹是三个点组成的群，群中不同点之间的角距离是2ϵ。对于GMSK解调电路来说，仅需要判断当前相位轨迹所在的象限就可以恢复出原始数据，并不需要判别出精确的点位置。

图15-10给出了DCS-1800无线通信系统中GMSK信号的功率谱，所用的积分带宽为30kHz。可以看到，即使采用GMSK调制方案，泄漏进相邻信道内的能量还是很大的，会对邻近信道内的信号造成干扰，因此在这种通信系统中，一般要求同一个蜂窝内各移动台所用的物理信道频率间隔要保持在400kHz以上。

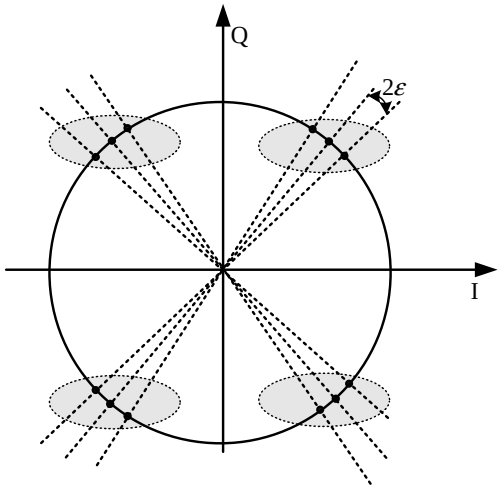


图 15-9 GMSK信号的星图

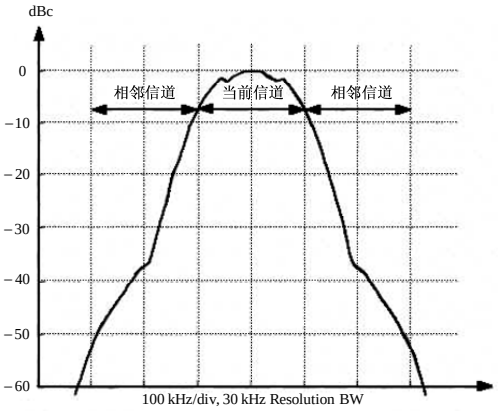


图 15-10 DCS-1800系统GMSK信号的频谱

§15.3 无线接收机系统结构

本章讨论的DCS-1800无线接收机采用了低中频结构，其结构如图15-11所示。 天线接收到的射频信号

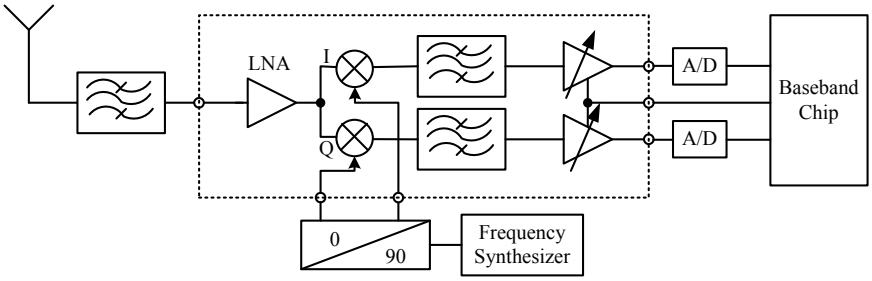


图 15-11 DCS-1800无线接收机的系统结构

由射频滤波器进行滤波，滤除带外信号的干扰；然后由低噪声放大器进行放大，放大后的信号同小数频率合成器提供的正交本振信号进行正交混频，混频后的结果(100kHz中频信号)由一个低通滤波器进行抗混叠滤波，最后经可变增益放大器放大后送给模数变换器转换为数字信号，送往基带处理芯片进行进一步处理。中频频率选定为100kHz，可以使得下变频器的本振信号频率正好位于两个信道中心频率的中间，避免了本振信号辐射或者本振信号泄漏对信道内信号的干扰。

可变增益放大器的增益控制、镜像抑制功能、信道选择功能以及直流失调消除等都是在数字基带处理芯片内完成的，减小了接收机模拟前端的设计难度。图15-12 给出了基带处理芯片的结构框图。 模拟前端

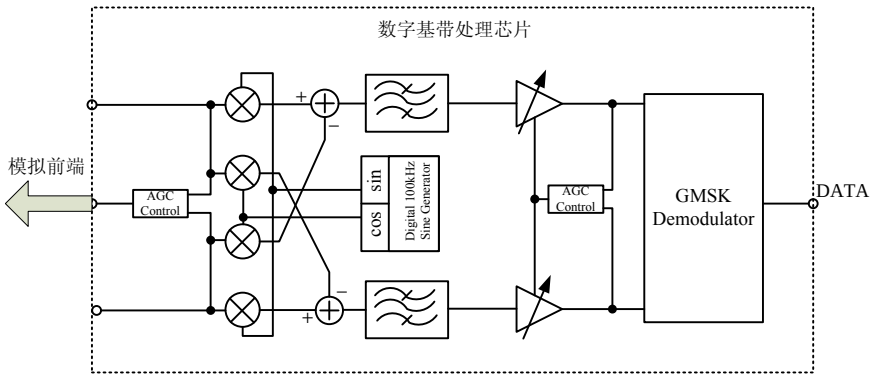


图 15-12 DCS-1800无线接收机基带处理芯片的结构框图

送来的正交中频信号在数字复混频器中同正交中频本振信号进行混频，该混频过程将100kHz中频信号转换到直流，并同时对镜像信号进行抑制。混频后的有用信号经信道选择滤波器滤波和自动增益环路放大后，送给GMSK解调器进行解调，恢复出原始数据流。在模拟前端混频过程中产生的直流成分经数字复混频器混频后被转换到100kHz频率处，并为数字低通滤波器所滤除，这样就消除了直流失调的影响。

§15.4 接收机模拟前端性能规划

基带处理芯片除了要实现上面提到的功能外，还要实现DCS-1800无线通信系统规定的通信协议，包含着很复杂的内容，本章不对此进行讨论。我们要讨论的是，如何实现图15-11所示的接收机模拟前端。在设计该模拟前端的具体电路之前，我们先要进行系统规划，这包含着两个步骤，第一步是将DCS-1800标准的要求转化为可测量的接收机模拟前端性能指标：DCS-1800标准规定了各种负载条件下（如相邻信道干扰、阻塞强度、低输入功率等）接收机必须具有的最小接收质量，但这些规定对模拟前端来说是不可测量的，因此需要进行转化。第二步是将对接收机整体性能的要求分解到各个模块，制定各个模块电路所应具有的性能指标，用以指导模块电路设计。只有经过这两步系统规划过程，模块电路设计才有了具体的目标，也

才可能保证我们所设计出的接收机模拟前端能够满足DCS-1800标准的要求。下面我们从DCS-1800标准出发，推导对接收机模拟前端各项性能指标的要求。

§15.4.1 噪声系数

接收机模拟前端的噪声系数同通信系统的灵敏度（最小输入信号功率）和接收机模拟前端的最小信噪比有关（见第四章），即

$$\mathrm{F(dB)} = \mathrm{P_{min}(dBm/Hz)} - \mathrm{SNR_{min}} + 174\mathrm{dBm/Hz} \tag{15-9}$$

通信系统的灵敏度是由标准规定的，对于DCS-1800系统来说，它的灵敏度可分为三个不同的等级。其中，第一、第二等级要求接收机在保证误码率（BER）小于2%前提下灵敏度达到-100dBm，而第三等级要求接收机在保证误码率小于2%前提下灵敏度达到-102dBm。可以看到，第三类要求是最严格的，因此我们着重于实现第三等级的要求。

接收机模拟前端的最小信噪比同通信系统采用的调制方式有关。图15-13给出了理论上GMSK调制方式的误码率与信噪比之间的关系曲线。 其中，横轴E_b/N_0表示噪声带宽等于数据率时接收机模拟前端的信

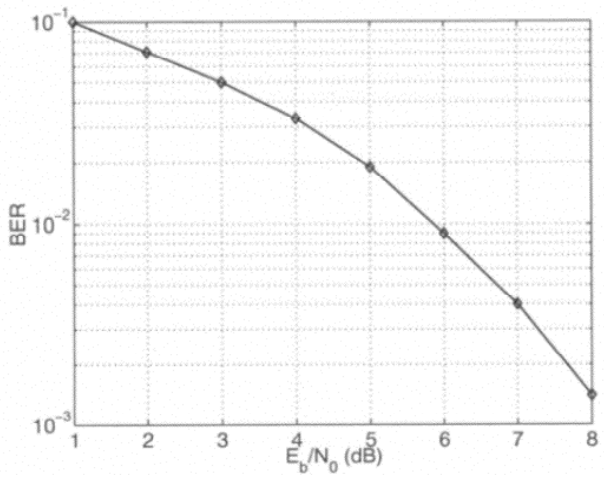


图 15-13 GMSK接收机系统的误码率与信噪比之间的关系

噪比。从图中可以看到，为了达到2%的误码率，$(E_b/N_0)_{\min} \approx 4.9$dB。考虑到DCS-1800系统的数据率约为270.833kbps，而所占用的信道带宽为200kHz，因此接收机模拟前端的最小信噪比为：

$$\mathrm{SNR_{min}} = (E_b/N_0)_{\min} + 10\log 270.833\mathrm{k} - 10\log 200\mathrm{k} \approx 6.2\mathrm{dB} \tag{15-10}$$

为了留有一定的设计余量，我们将$\mathrm{SNR_{min}}$定义为7dB，满足这种信噪比要求的接收机所达到的误码率约为1.2%。

因此，我们所设计的接收机模拟前端的噪声系数要小于如下值：

$$\mathrm{F(dB)} = -102\mathrm{dBm} - 10\log(200\mathrm{kHz}) - 7\mathrm{dB} + 174\mathrm{dBm/Hz} = 12\mathrm{dB} \tag{15-11}$$

考虑到图15-11中片外射频滤波器会带来约3dB的损耗，因此集成接收机模拟前端的噪声系数应小于9dB。

§15.4.2 镜像抑制率

对接收机模拟前端镜像抑制率的要求可以从DCS-1800标准中对参考干扰性能的描述中推导出来。DCS-1800标准要求在同信道干扰（co-channel）和相邻信道干扰存在的情况下，接收机接收数据的误码率小于4%。所谓同信道干扰，是指在蜂窝网络中远离目前所在蜂窝的移动台使用同当前有用信号相同的物理信道（即相同的载波频率）所产生的干扰信号。相邻信道干扰是在同一个蜂窝内或者相邻蜂窝内

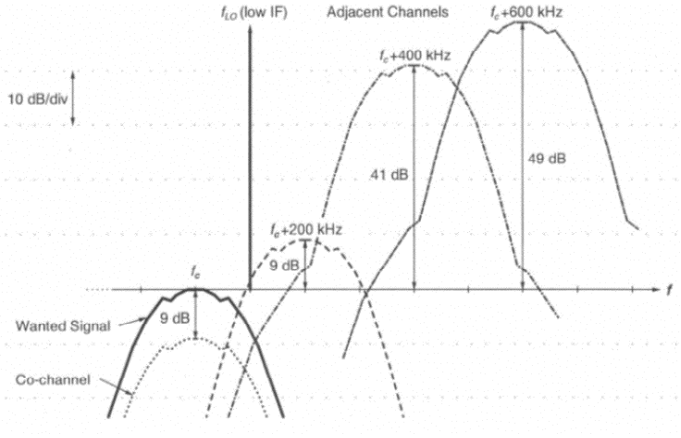


图 15-14 DCS-1800标准规定的同信道干扰和相邻信道干扰

其它移动台使用相邻的物理信道传输数据所产生的干扰信号。图15-14 给出了DCS-1800接收机达到4%的误码率时应能承受的同信道干扰和相邻信道干扰的强度。 接收机接收到的同信道干扰源比有用信号弱9dB，第一个相邻信道（200kHz频偏信道）干扰源比有用信号强9dB，第二个相邻信道（400kHz频偏信道）干扰源比有用信号强41dB，第三个相邻信道（600kHz频偏信道）干扰源比有用信号强49dB。需要注意的是，在测量接收机的参考干扰性能时，接收机的输入有用信号要比参考灵敏度高20dB，保证接收机不会受到噪声的影响，而且干扰源都必须是随机连续的GMSK调制信号。另外在一次测试中仅能出现一种干扰源（其中，600kHz频偏信道产生干扰的影响不要求测试）。

当干扰源和有用信号关于本振频率对称时，混频后的干扰信号直接叠加在有用信号上，形成镜像信号干扰。图15-15给出了在同信道干扰和相邻信道干扰都存在情况下低中频DCS-1800接收机输出信号I+jQ的功率谱密度分布。下面我们依靠这张图来推导接收机应具有的镜像抑制率。

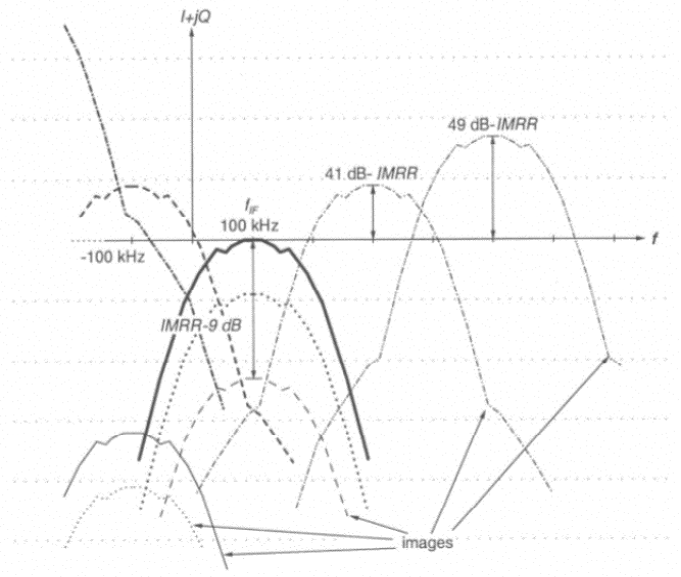


图 15-15 存在同信道干扰和相邻信道干扰时DCS-1800低中频接收机的I+jQ输出

如果接收机接收到的信号中存在同信道干扰源，但接收机的镜像抑制率为无穷大，则按照DCS-1800标准的要求（图15-14），接收机的信噪比应等于9dB （同信道干扰源同有用信号无法区分，因此无法滤除）。考虑到在出现同信道干扰时，接收机的误码率性能能够满足DCS-1800标准的要求，因此镜像抑制率有限的接收机达到参考干扰性能（误码率率小于4%）时接收机的信噪比必须小于9。顺着这种思路，我们

可以推导出接收机在200kHz频偏处的镜像抑制率要求。由于200kHz频偏处的镜像信号（第一个相邻信道内的信号）在混频后直接叠加在有用信号上，同同信道干扰的频率位置相同，因此，只要下变频后200kHz频偏处的信号小于同信道干扰信号的强度，接收机就能够满足DCS-1800标准对参考干扰性能的要求。由此可以推导出接收机在200kHz频偏处的镜像抑制率为：

$$9\text{dB} - (-9\text{dB}) = 18\text{dB} \tag{15-12}$$

这是一个悲观估计，实际所需要的镜像抑制率小于上面所给出的值。

接收机对400kHz频偏处的镜像抑制率要求更高，下面我们对此进行说明。在下变频后，400kHz频偏处的信号（第二个相邻信道内的信号）被转移到300kHz频率处，比100kHz有用中频信号高了200kHz，如图15-15中细点划线所示。在200kHz频率处，这个信号的尾巴会干扰有用信号，因此在混频之前必须对第二个相邻信道内的信号进行抑制。按照DCS-1800标准的要求，400kHz频偏处的干扰源可能比有用信号强41dB。考虑到200kHz频偏信号的尾巴也会干扰有用信号，但这时仍能保证接收机的性能（图15-14），而400kHz频偏处的镜像信号在下变频后位于与图15-14中200kHz频偏相邻信道信号相同的频率位置，因此，对400kHz频率处的镜像信号抑制率仅需要将400kHz频偏处的镜像信号抑制到图15-14中200kHz频偏处信号的水平就可以了。由于图15-14中200kHz频偏处的干扰源强度可能比有用信号高9dB，这要求接收机在400kHz频偏处的镜像抑制率为：

$$41\text{dB} - 9\text{dB} = 32\text{dB} \tag{15-13}$$

这也是一个悲观估计，实际所需要的镜像抑制率小于上面所给出的值。

以上推导过程采用将下变频后的镜像信号频谱同参考干扰性能测试频谱（图15-14）相对比的办法求出了对接收机镜像抑制率的要求，如同前面所说，这是一个悲观估计，接收机实际需要的镜像抑制率小于上面给出的数值。如果能用系统仿真工具（如ADS）并配合相应的GMSK信源进行系统级仿真，则根据对接收机误码率的要求可以准确地仿真出接收机所应具有的镜像抑制率性能。但考虑到上面推导出的镜像抑制率要求实现起来并不存在很大困难，因此通常用这种办法来确定接收机的镜像抑制率性能。

§15.4.3 本振泄漏

在接收机中，低噪声放大器的反向隔离性能有限，并且混频器的差分本振信号可能存在相位不匹配，这些都会导致本振信号泄漏到接收机输入端，并通过天线辐射出去，形成本振泄漏。DCS-1800标准要求接收机在1GHz～12.75GHz范围内杂散辐射功率（spurious power emission）小于-47dBm，考虑到射频滤波器的衰减为3dB，因此泄漏到接收机输入端的本振信号功率必须小于-44dBm。

§15.4.4 交调性能

DCS-1800标准要求第三等级接收机在−45dBm静态正弦型干扰信号（位于800kHz频偏处）和−45dBm GMSK型干扰信号（位于1.6MHz频偏处）存在的情况下，仍然能够正确解调−99dBm（比参考灵敏度高3dB）的有用信号，误码率要求小于2%。从这条要求出发，我们可以推导出对接收机模拟前端三阶交调性能的要求。

考虑到射频滤波器的衰减为3dB，两个干扰源到达接收机输入端的功率均为−48dBm，干扰源的总功率约为−45dBm。按照要求，在这两种干扰源存在的情况下接收机在接收−99dBm − 3dB（3dB为射频滤波器衰减）的有用信号时信噪比仍应高于7dB，如图15-16所示。

由图15-16可知，对接收机三阶交调性能的要求为：

$$\text{IIP}_3 > -13\text{dBm} \tag{15-14}$$

但这只是问题的一个方面。考虑到DCS-1800标准规定有用信号的最大输入功率为−23dBm，因此接收机在接收这个强信号时，必须保证有用信号不会被它自己的交调积所淹没。在最坏情况下，要求三阶交调积小于有用信号7dB，保证信噪比保持在7dB以上，根据同样的原理，可以推导出

$$\text{IP}_3 > -22.5\text{dBm} \tag{15-15}$$

考虑到留有一定的设计余量，接收机的输入三阶交调点定为−7.5dBm。

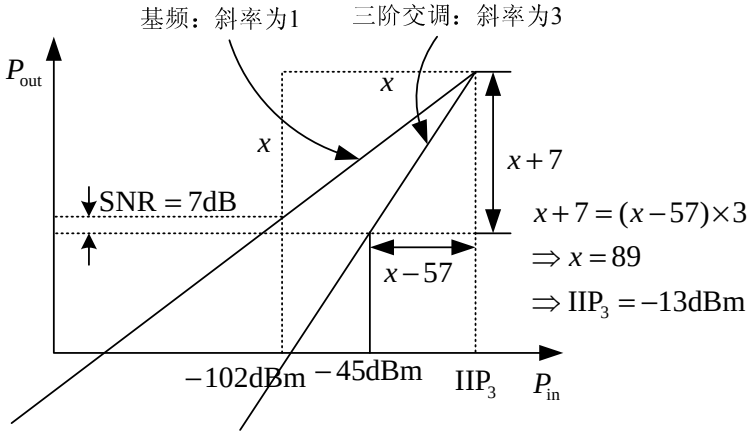


图 15-16 由DCS-1800标准推导无线接收机的三阶交调点

§15.4.5 相位噪声

根据DCS-1800标准，在接收机接收的信号中包含有正弦型强阻塞信号时，接收机必须仍能够正确解调-99dBm的有用信号，误码率要求小于2%。这些正弦型强阻塞信号的强度与频偏之间的关系如图15-17所示。带外阻塞信号会被射频滤波器所滤除，因此带内阻塞信号是接收机遇到的最强阻塞信号。

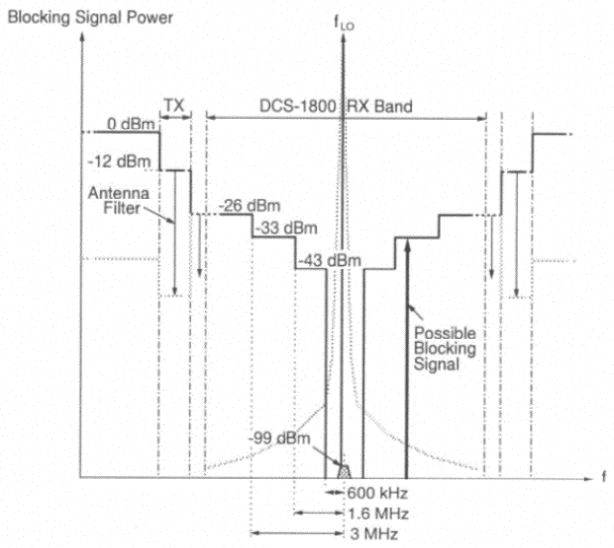


图 15-17 DCS-1800标准规定的阻塞信号

当本振信号是理想信号时，上述那条标准对接收机的要求是：接收机接收链路上的各模块不会因为强阻塞信号的出现而出现饱和；模数变换器应具有足够大的动态范围能够对有用信号和强阻塞信号同时进行采样。但实际上，本振信号会受到相位噪声的影响，非理想的本振信号会将阻塞信号转换到有用信号频带内，降低接收机的信噪比；而且，非理想本振信号也会将相邻信道的信号转换到有用信号频带内，恶化接收机的参考干扰性能。因此，接收机的本振信号必须具有足够低的相位噪声。

如果本振信号存在相位噪声，那么混频后可能被转换到有用信号频带内的阻塞信号包括：400kHz频偏处的相邻信道信号（比有用信号强41dB）、600kHz频偏处的-43dBm阻塞信号、1.6MHz频偏处的-33dBm阻塞信号以及3MHz频偏处的-26dBm阻塞信号。为了保证接收机在下变频后的信噪比仍然高于7dB，本振信号的相位噪声必须满足如下要求：

$$\mathcal{L}\{400\mathrm{kHz}\} \le -41\mathrm{dB} - 7\mathrm{dB} - 10\log(200\mathrm{kHz}) = -101\mathrm{dBc/Hz} \tag{15-16}$$

$$\mathcal{L}\{600\text{kHz}\} \leq -102\text{dBm} + 3\text{dB} - (-43\text{dBm}) - 7\text{dB} - 10\log(200\text{kHz}) = -116\text{dBc/Hz} \tag{15-17}$$

$$\mathcal{L}\{1.6\text{MHz}\} \leq -102\text{dBm} + 3\text{dB} - (-33\text{dBm}) - 7\text{dB} - 10\log(200\text{kHz}) = -126\text{dBc/Hz} \tag{15-18}$$

$$\mathcal{L}\{3\text{MHz}\} \leq -102\text{dBm} + 3\text{dB} - (-26\text{dBm}) - 7\text{dB} - 10\log(200\text{kHz}) = -133\text{dBc/Hz} \tag{15-19}$$

如果频率合成器的相位噪声按20dB/decace的速率下降，则3MHz频偏处的相位噪声要求是最严格的。

§15.4.6 杂散抑制（spurious suppression）

从图15-17可以看到，最强带内阻塞信号强度为-26dBm，在这种条件下，接收机应仍然能正确解调-99dBm的有用信号，误码率要求小于2%，因此本振信号的杂散抑制率必须大于如下值：

$$-99\text{dBm} - 7\text{dB} - (-26\text{dBm}) = -80\text{dBc} \tag{15-20}$$

表15-1给出了上面各节所推导出的接收机模拟前端应具有的性能指标以及考虑设计余量后的设计指标。

表 15-1 低中频接收机模拟前端的性能指标

性能参数	DCS-1800标准要求指标	设计指标
噪声系数	< 8.87dB	5dB
镜像抑制率	> 32dB	32dB
三阶交调点	> -13dBm	-7.5dBm
本振泄漏	< -44dBm	< -44dBm
600kHz频偏处的相位噪声	< -125.8dBc/Hz	< -125.8dBc/Hz
3MHz频偏处的相位噪声	< -143.7dBc/Hz	< -143.7dBc/Hz
杂散抑制	> 80dBc	> 80dBc

§15.5 模块电路性能规划

将接收机模拟前端的整体性能指标分解到各个模块是一个复杂的过程，在设计时通常会根据一定的规则确定各个模块的初始指标，用以指导这些模块电路的设计；在具体设计过程中，需要根据各个模块之间的相互影响，对各模块分配的初始指标进行合理调节。本节我们来介绍如何确定各个模块的初始指标。

§15.5.1 低噪声放大器

低噪声放大器的增益要求受到两方面因素的影响：第一，低噪声放大器的增益必须足够高，用以压缩后面各级的噪声（特别是混频过程中产生的噪声）；第二，低噪声放大器的增益不能太高，避免在强阻塞信号出现时混频器发生饱和。考虑到带内最强阻塞信号为-26dBm，因此低噪声放大器的最大增益由下式决定：

$$\text{gain} \leq P_{\text{in-mixer}} - (-26\text{dBm} - 3\text{dB}) \tag{15-21}$$

其中，$P_{\text{in-mixer}}$是混频器所能承受的最大输入信号功率。若假设$P_{\text{in-mixer}} = -10$dBm（$0.2\text{V}_{\text{pp}}$），那么低噪声放大器的最大增益仅能为19dB。在本设计中，低噪声放大器的增益设为18dB。在这种增益下，低噪声放大器所能处理的最大输入信号应为：

$$-26\text{dBm} - 3\text{dB} = -29\text{dBm} \tag{15-22}$$

低噪声放大器输入端的最强有用信号为-23dBm，如果低噪声放大器的增益仍保持为18dB，则混频器输入端的信号功率为

$$-23\text{dBm}-3\text{dB}+18\text{dB}=-8\text{dBm} \tag{15-23}$$

已经超过了混频器的承受能力。因此，在处理强有用信号（强度大于-26dBm）时，低噪声放大器必须被旁路，射频信号应直接加到混频器的输入端。

低噪声放大器的噪声系数应尽量低，但考虑到混频器的高噪声系数和低噪声放大器的有限增益，让低噪声放大器的噪声系数小于3dB将没有意义，因为在这种情况下，混频器的噪声将起主要作用，因此低噪声放大器的噪声系数指标定为3dB。

考虑到实现能力，低噪声放大器的三阶交调点被设定为-4dBm。

§15.5.2 正交混频器

整个接收机模拟前端的噪声系数定为5dB，考虑到低噪声放大器的噪声系数为3dB，增益为18dB，采用级联系统的噪声系数计算公式，可以算出正交下变频器的噪声系数为18.6dB。可以证明，单混频器的噪声系数要比正交混频器的噪声系数高3dB，因此单混频器的噪声系数约为21.6dB。

整个接收机模拟前端的三阶交调点定为-7.5dBm，考虑到低噪声放大器的三阶交调点被设定为-4dBm，增益为18dB，按照级联系统的三阶交调点计算公式，可以算出混频器的三阶交调点必须大于$+14$dBm。

§15.5.3 VGA-Filter

低通滤波器和VGA的主要作用是对带内阻塞信号和相邻信道信号进行滤波并根据信号强度自动调节增益从而降低对模数变换器动态范围的要求。下面的讨论假设我们所采用的滤波器是一个没有频率调谐功能的一阶滤波器，截止频率为$300\text{kHz}\pm75\text{kHz}$，这种滤波器很容易实现。如果增加该滤波器的阶数，就可以增加对带内阻塞信号和相邻信道信号的抑制能力，可以进一步减轻对模数变换器动态范围的要求。

这个一阶低通滤波器对400kHz频偏处的相邻信道信号（比有用信号强41dB）、600kHz频偏处的相邻信道信号（比有用信号强49dB）、600kHz频偏处的阻塞信号（-43dBm）、3MHz 频偏处的阻塞信号（-26dBm）的抑制率分别为2dB、4.5dB、5.5dB和23.5dB。为了将这些干扰信号以及有用信号都容纳在模数变换器的动态范围内，模数变换器的动态范围必须大于以下各式所确定的值：

$$41\text{dB}-2\text{dB}+7\text{dB}=46\text{dB} \tag{15-24}$$

$$49\text{dB}-4.5\text{dB}+7\text{dB}=51.5\text{dB} \tag{15-25}$$

$$-43\text{dBm}-5.5\text{dB}-(-102\text{dBm}+3\text{dB})+7\text{dB}=57.5\text{dB} \tag{15-26}$$

$$-26\text{dBm}-23.5\text{dB}-(-102\text{dBm}+3\text{dB})+7\text{dB}=56.5\text{dB} \tag{15-27}$$

上面各式中的$-102\text{dBm}+3\text{dB}$是测量接收机的阻塞性能时输入信号的功率（DCS-1800标准规定），7dB是接收机的信噪比。可以看到，模数变换器的动态范围应约为60dB（10位）。

下面我们来分析一下VGA的增益范围。VGA必须保证在式15-24到式15-27成立的前提下有用信号被最大程度的放大以利用模数变换器的动态范围。若假设VGA的输出能力为$+11$dBm（$2V_{pp}$），则为了保证式15-25成立（它比式15-24更严格），接收机的最高增益必须为：

$$+11\text{dBm}-(-102\text{dBm}+20\text{dB}-3\text{dB}+49\text{dB}-4.5\text{dB})=51.5\text{dB} \tag{15-28}$$

上式中的20dB是考虑到测试相邻信道干扰性能时，接收机的输入信号功率要比参考灵敏度高20dB；3dB代表射频滤波器的衰减。

为了保证式15-26成立（它比式15-27更严格），接收机的最高增益必须为：

$$+11\text{dBm}-(-43\text{dBm}-5.5\text{dB}-3\text{dB})=62.5\text{dB} \tag{15-29}$$

这个增益要求更严格，因此接收机的最高增益应为62.5dB，考虑到低噪声放大器提供18dB的增益，因此VGA所提供的最高增益应为44.5dB。

VGA的最小增益由最强有用信号决定，如果将该信号放大到模数变换器的动态范围，则接收机的增益为：

$$+11\text{dBm}-(-23\text{dBm}-3\text{dB})=37\text{dB} \tag{15-30}$$

考虑到低噪声放大器在这种情况下已经被旁路，因此VGA的最小增益必须大于37dB。

本章讨论的接收机中，VGA的增益范围为19dB～43dB，并以6dB为一个步长，它的增益控制信号由数字基带处理芯片提供。

§15.5.4 模数变换器

在上面我们已经说明，模数变换器的动态范围应约为60dB（10位），但考虑到要在数字基带处理芯片中实现信道均衡和GMSK解调器以及直流失调影响、VGA增益不连续变化（这里我们以6dB为一个步长）的影响等因素，模数变换器的动态范围需要增加四位，其中三位是考虑到信号均衡和GMSK解调器的要求而增加的，剩余的一位是考虑到直流失调影响以及VGA增益不连续变化影响而增加的。因此在这个接收机中，模数变换器是一个200kHz带宽的14位变换器，这用当前的CMOS工艺是比较容易实现的。

§15.5.5 正交性能

该接收机对镜像信号抑制率的要求为32dB，考虑到I、Q通道幅度和相位不匹配对镜像抑制率的影响为：

$$\text{IMRR}=10\log_{10}\left(\frac{A_{\text{IQ}}+\frac{1}{A_{\text{IQ}}}+2\cos(\Delta\Phi)}{A_{\text{IQ}}+\frac{1}{A_{\text{IQ}}}-2\cos(\Delta\Phi)}\right) \tag{15-31}$$

其中

$$A_{\text{IQ}}=\frac{A_{\text{I}}}{A_{\text{Q}}} \tag{15-32}$$

$$\Delta\Phi=\frac{\pi}{180}(\phi_{\text{I}}-\phi_{\text{Q}}) \tag{15-33}$$

A_{I}、A_{Q}是I通道和Q通道的增益，ϕ_{I}、ϕ_{Q}是I通道信号和Q通道信号的相位。图15-18给出了镜像抑制率与I、Q通道幅度、相位不匹配之间的关系。从图中可以看出，要达到32 dB的镜像抑制率，I、Q通道的幅度不匹配应小于0.3dB/0.4dB，而相位不匹配应仅为2度/1度。

§15.5.6 总结

将上面各节的结果进行总结，可以得到表15-2，它列出了接收机模拟前端中各模块的设计指标。

而图15-19则给出了该低中频接收机的级图。 其中①表示了最小可检测信号（参考灵敏度）经接收机各模块处理后的功率变化情况；②表示比参考灵敏度高3dB的信号经接收机各模块处理后的功率变化情况；③表示接收机输出端测量的最大阻塞信号（−43dBm@600kHz）经接收机各模块处理后的功率变化情况；④表示了接收机输入端的最大阻塞信号（−26dBm@3MHz）经接收机各模块处理后的功率变化情况；⑤表示测量参考干扰性能时的输入信号经接收机各模块处理后的功率变化情况；⑥表示了最大相邻信道信号经接收机各模块处理后的功率变化情况；⑦表示了最大有用信号经接收机各模块处理后的功率变化情况。

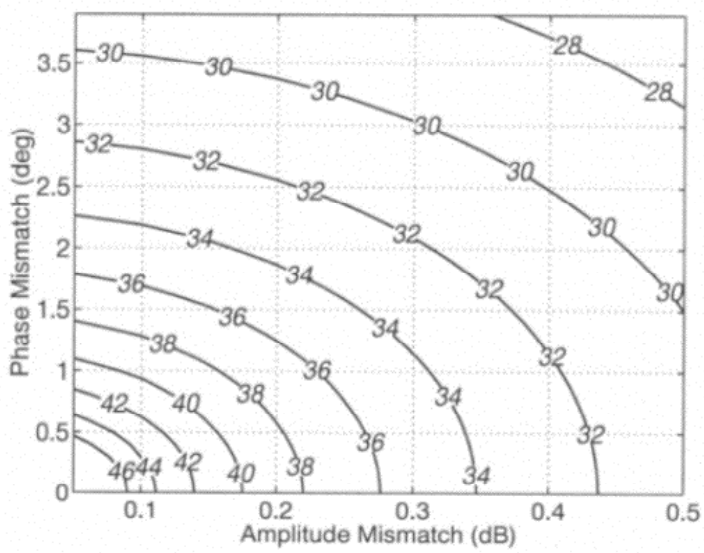


图 15-18 镜像抑制率与I、Q通道幅度和相位不匹配之间的关系

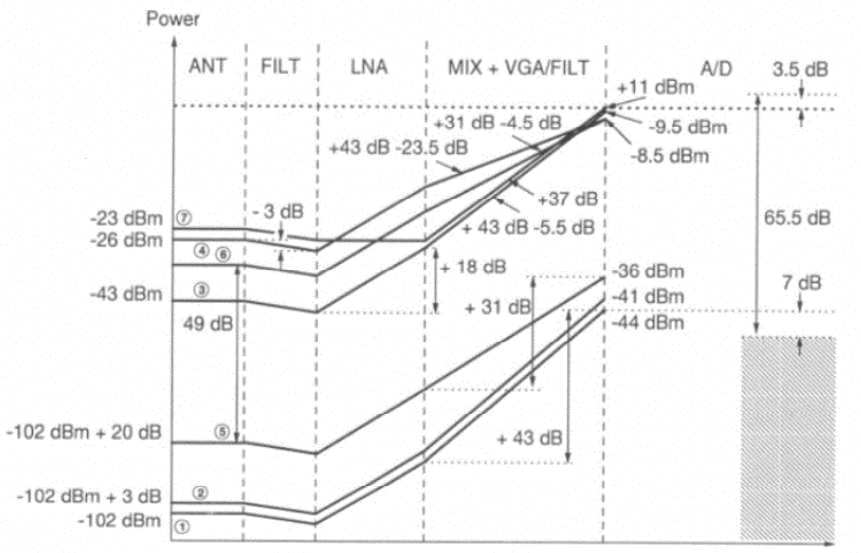


图 15-19 DCS-1800低中频接收机模拟前端的级图

§15.6 电路描述

在确定了接收机模拟前端中各模块电路的设计指标后，我们就可以开始设计具体电路。图15-20给出了这个低中频接收机模拟前端的结构，所使用的电源电压为2V，所采用的工艺为0.25μm CMOS工艺。 在接收机链路上，射频信号被一个输入匹配的单端低噪声放大器放大，放大后的信号被送到I、Q两个通道的下变频器中进行混频，混频后的结果由差分可变增益放大器/滤波器进行放大和滤波，输出信号经模数变换后转换到数字域由基带处理芯片进行进一步处理。在本接收机中，有用中频信号频率为100kHz。

§15.6.1 低噪声放大器

低噪声放大器采用了“低噪声放大器”一章中介绍过的电感源简并型Cascode放大器结构，*RLC*谐振电路为它提供负载，如图15-21所示。 图中同时给出了低噪声放大器与混频器的接口电路。该放大器可采用等高线设计法进行设计，这种方法我们已经在“低噪声放大器”一章中进行了详细讨论，本处不再重复。

表 15-2 接收机模拟前端中各模块的设计指标

LNA	输入反射系数	<-10dB
	增益	18dB
	噪声系数	<3dB
	三阶交调点	>-4dBm
	输入1dB压缩点	-29dBm
Mixer	中频频率	100kHz
	转换增益	0dB
	单边带噪声系数（正交混频器I+jQ）	<18.6dB
	单边带噪声系数（单混频器）	<21.6dB
	三阶交调点	$>+14$dBm
	镜像抑制率	>32dB
	I、Q通道幅度不匹配	<0.3dB
	I、Q通道相位不匹配	$<2^\circ$
	输入1dB压缩点	-10dBm
VGA/Filter	增益级	19dB/25dB/31dB/37dB/43dB
	滤波器截止频率	300kHz
	输出1dB压缩点	+14.5dBm
A/D	动态范围	14位

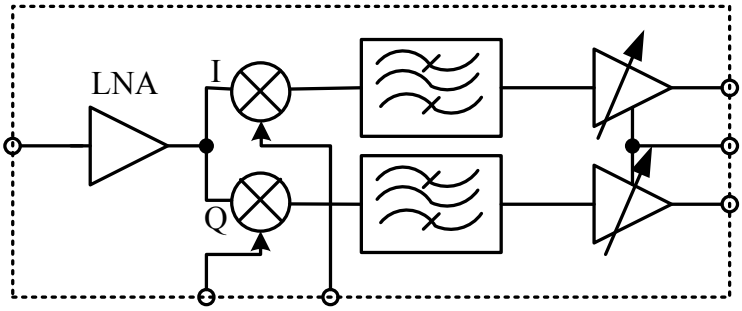


图 15-20 应用于DCS-1800无线通信系统的低中频接收机模拟前端

与单片低噪声放大器不同，这个低噪声放大器直接驱动后面I、Q两个通道的混频器，放大器的负载为混频器的输入栅电容C_{mixer}，而不是测试设备的50欧姆阻抗，该电容可作为RLC谐振负载的一部分。为了使混频器的偏置能够单独设定，低噪声放大器和混频器之间使用了交流耦合。图15-21中，C_{k}是交流耦合电容。低噪声放大器的输出信号会在C_{k}和C_{mixer}之间进行分压，降低了放大器的增益。作为补偿，需要增加放大器的增益预算，在功耗一定时这会增加放大器输出端的品质因子。因此，为了不使放大器的品质因子太高，C_{k}不能太小，使得信号在通过交流耦合电容C_{k}时衰减不是太大。C_{k}的最大电容量取决于两个因素，第一个因素是芯片面积，第二个因素是C_{k}与衬底之间的寄生电容。若假设C_{k}与衬底之间的寄生电容为fC_{k}，则可以证明，使得信号通过交流耦合电容C_{k}衰减最小的优化电容值为

$$C_{\text{k,opt}}=\sqrt{\frac{C_{\text{n,LNA}}C_{\text{mixer}}}{f}} \tag{15-34}$$

其中，$C_{\text{n,LNA}}$是低噪声放大器核心电路在输出节点引入的寄生电容量（包括Cascode晶体管的漏端寄生结电容和电感L_{d}的寄生电容）。在实际设计时，可以根据上式来确定交流耦合电容C_{k}的大小。

放大器的负载是片上电感L_{d}与一个多晶电阻R_{poly}的并联（R_{d}是电感L_{d}的寄生串联阻抗）。加

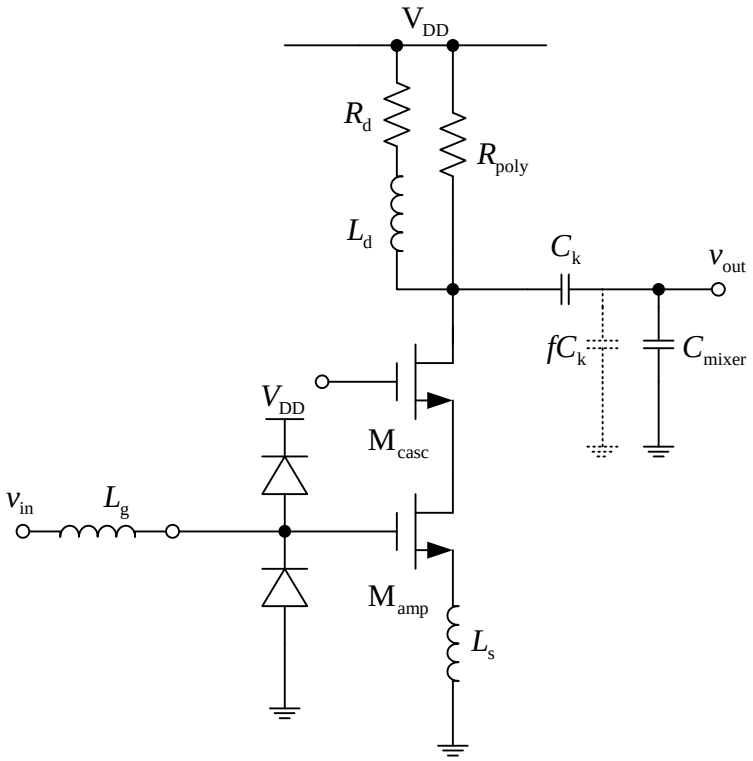


图 15-21 低噪声放大器的电路图

入R_{poly}的目的是考虑到需要准确控制放大器的负载网络谐振频率和品质因子，如果没有R_{poly}，则在设计电感L_{d}时，需要设计电感量和品质因子（寄生串联阻抗R_{d}）都等于某一特定值的电感，这会使得电感的设计非常困难。但加入R_{poly}之后，只需要设计一个电感量满足要求的电感L_{d}，然后通过合理调节电阻R_{poly}，可以使得放大器负载网络的谐振频率和品质因子都满足要求，因此电阻R_{poly}的加入提供了一个额外的自由度，便于电感的设计。由于R_{poly}一般远大于R_{d}，因此绝大部分直流电流都会流过片上电感L_{d}，R_{poly}上不会产生额外的直流压降。

在低噪声放大器中，电感L_{d}和L_{s}都采用了片上螺旋型电感，而电阻R_{poly}则采用了多晶电阻。仿真结果表明该低噪声放大器在1.84GHz频率处增益达到最大，PVC增益为18.5dB，噪声系数约为2.2dB，输入三阶交调点约为2dBm，输入反射系数为−13dB，采用2V电源，消耗的电流约为5mA。晶体管M_{amp}的尺寸为350μm/0.25μm，Cascode晶体管的尺寸为200μm/0.25μm。

§15.6.2 正交混频器

低噪声放大器的单端输出信号直接送到I、Q两个支路的混频器中，同正交本振信号进行正交混频。图15-22给出了单通道混频器的电路图。 可以看到，该混频器实际上是“混频器”一章中详细讨论过的单平衡混频器，只不过在这里为了适应低压操作，采用了电流折叠结构。M_1、M_2组成的Cascode结构作为单平衡混频器的输入级，而$\text{M}_{4\text{a}}$、$\text{M}_{4\text{b}}$则是混频开关管，电流源$\text{M}_{5\text{a}}$、$\text{M}_{5\text{b}}$为开关管提供恒定的偏置电流。混频过程产生的交流信号电流送到后级的跨阻放大器中，经放大后转变为电压信号。

Cascode晶体管M_2的加入，可以增加输入级的反向隔离度，避免混频过程产生的高阶谐波对晶体管M_1漏端节点a的影响。使用Cascode结构，还可以降低本振信号馈通效应，而且可以降低M_1的Miller效应。为了减小流过M_2的电流，从而降低M_3的电流噪声贡献以及减小M_2、M_3在开关节点b引入的寄生电容，M_1的大部分偏置电流由另一个PMOS电流源M_6提供。由于M_6的过驱动电压$V_{\text{GS}}-V_{\text{t}}$很高，因此晶体管$\text{M}_6$产生的电流噪声要远小于$\text{M}_3$。这是由于为了使得节点b具有足够摆幅，$\text{M}_3$ 的过驱动电压$V_{\text{GS}}-V_{\text{t}}$不能很高，因此在提供相同电流的情况下，$\text{M}_3$引入的电流噪声要比$\text{M}_6$引入的电流噪声大。流过晶体管$\text{M}_2$的最小电流由如下因素决定：节点a的Miller效应，节点a所引入的极点以及M_1产生的最大射频信号电流。

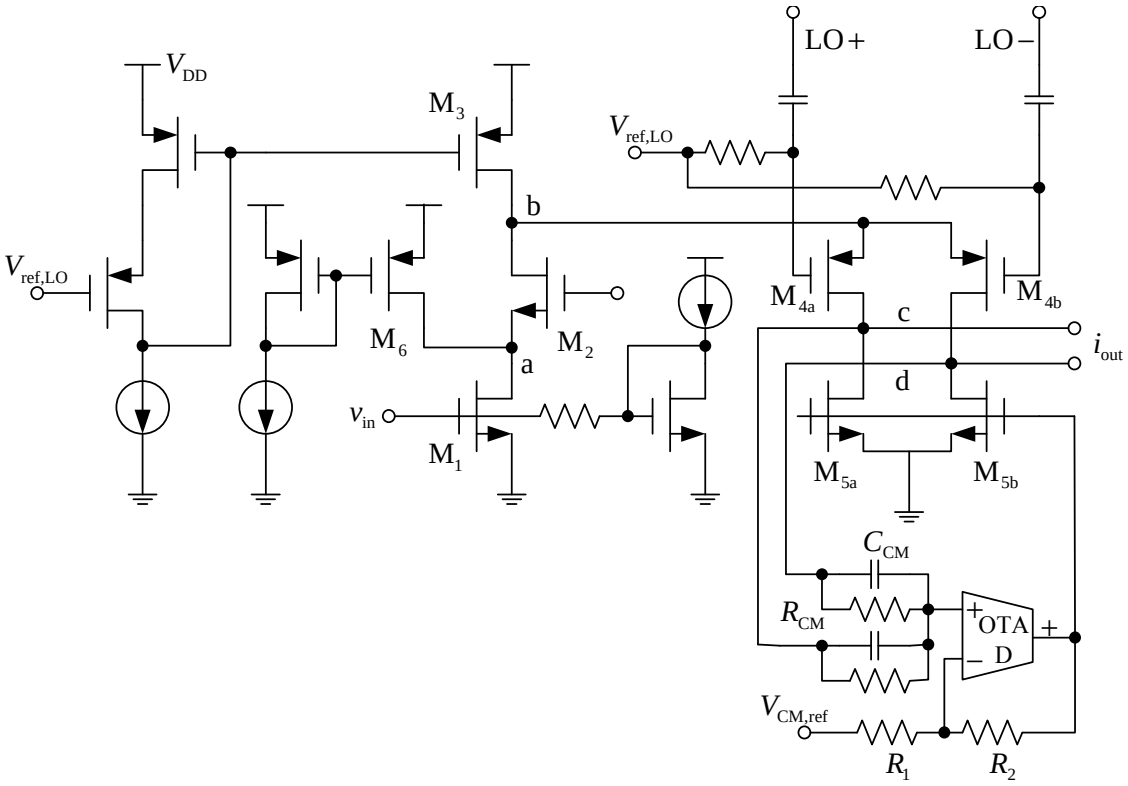


图 15-22 混频器的电路图

M_1将低噪声放大器的输出电压信号转变为电流信号，是混频器中的一个关键晶体管。它的$V_{GS}-V_T$决定了混频器的线性度，它的跨导会影响混频器的噪声系数，而它的面积则决定了I、Q两个通道之间的匹配性能。

开关管M_{4a}、M_{4b}采用了偏置于饱和区的PMOS晶体管，一方面这是电流折叠结构所必须的，另一方面PMOS晶体管的$1/f$噪声远小于NMOS管，因此可以提供更优良的$1/f$噪声性能。本振信号幅度必须足够大，使得开关管能够快速在导通和截止之间切换，减小混频过程所引入的损耗。

该混频器还利用了一个共模反馈环路来设置输出节点的共模电平。电阻R_{CM}感知混频器的输出共模电平，然后与一个参考电平进行比较，比较后的结果反馈到电流源M_{5a} 和M_{5b}的栅极，调节混频器的输出共模电平，使输出共模电平稳定在某一个预设的参考电平上。电容C_{CM}的作用是在高频时对电阻R_{CM}进行旁路，使得整个环路在高频下能够保持稳定。其中所用到的跨导器OTA D如图15-23所示，它是一个MOS型二极管作负载的差分放大器。

单平衡混频器的设计方程和设计考虑我们在“混频器”一章中已经详细讨论过，虽然这里的混频器采用了电流折叠结构，但基本思想是一样的，因此“混频器”一章中所提供的知识可以直接用来指导这个混频器的设计优化过程。仿真结果表明该混频器的噪声系数为17.7dB，转换跨导约为4.26mS，输入三阶交调点为+17dBmV，采用2V电源，所消耗的电流约为7.5mA。晶体管M_1的尺寸为75μm/0.5μm，偏置电流为5.1mA；晶体管M_2的尺寸为110μm/0.25μm，偏置电流为2.5mA；晶体管M_3的尺寸为320μm/0.25μm，偏置电流为3.7mA；开关管M_{4a}、M_{4b}的尺寸为160μm/0.25μm，偏置电流为0.6mA；电流源M_{5a}、M_{5b}的尺寸为120μm/12μm；晶体管M_6的尺寸为50μm/0.25μm。

§15.6.3 差分可变增益放大器/滤波器

混频器产生的差分输出电流送到可变增益放大器中，经放大和滤波后转变为电压信号。可变增益放大器是一个带有反馈网络的两级全差分Miller补偿（Miller补偿电容为C_C）高增益跨导器，如图15-24所示。

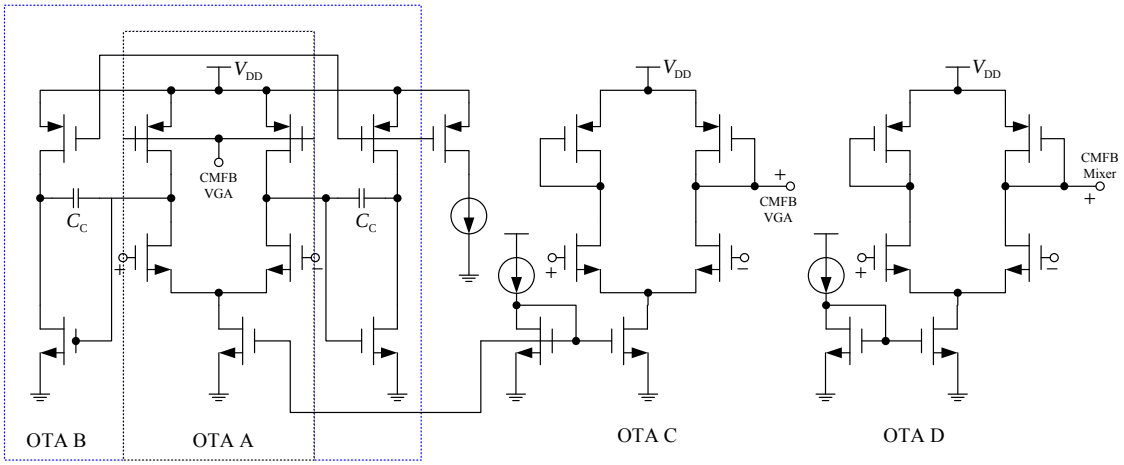


图 15-23 接收机模拟前端中的各种跨导器

反馈网络由下列五组开关RC并联网络构成

$$(R_f, C_f), (R_f, C_f), (\frac{R_f}{2}, 2C_f), (\frac{R_f}{4}, 4C_f), (\frac{R_f}{8}, 8C_f) \tag{15-35}$$

在低频下，VGA的输入阻抗是反馈网络中各电阻的并联，这是很低的阻抗，可以最大程度的吸取混频器产生的信号电流，并且可以提供高线性度的电流-电压转换。在高频下，开关RC并联网络将形成低通滤波器，对高频信号进行滤波。

VGA输入端并联的电容C_V可以将注入的本振信号以及混频过程中产生的其它高频信号都短路到地，避免了这些高频信号进入VGA环路中。电容C_V的电容量必须足够大，保证这些高频信号都能短路到地。

这个可变增益放大器的低频增益为：

$$A = g_{m,mixer} \cdot R_N \tag{15-36}$$

其中，$g_{m,mixer}$是混频器的有效转换跨导，R_N是反馈网络的低频阻抗。因此通过控制不同的RC并联网络组合，可以实现可变增益。当所有的开关都断开时，$R_N = R_f$，放大器具有最大增益，最大低频增益为$g_{m,mixer} \cdot R_f$；当最靠近跨导器OTA A、OTA B的一个开关闭合而其它的开关断开时，$R_N = R_f/2$，放大器的增益为$g_{m,mixer} \cdot R_f/2$，下降了6dB；当最靠近跨导器OTA A、OTA B的两个开关闭合而其它的开关断开时，$R_N = R_f/4$，放大器的增益为$g_{m,mixer} \cdot R_f/4$，又下降了6dB；当最靠近跨导器OTA A、OTA B的三个开关闭合而其它的开关断开时，$R_N = R_f/8$，放大器的增益为$g_{m,mixer} \cdot R_f/8$，又下降了6dB；当所有的开关都闭合时，$R_N = R_f/16$，放大器的增益为$g_{m,mixer} \cdot R_f/16$，又下降了6dB；这样就实现了增益步长为6dB的五档可变增益放大器，开关管（大尺寸NMOS管）的开关状态由基带处理芯片反馈回的增益控制信号来控制。

反馈网络除了提供电流-电压转换功能外，RC并联网络还实现了一阶低通滤波功能和模数变换器之前必须具有的抗混叠滤波功能。这个低通滤波器的3dB带宽为：

$$\mathrm{BW} = \frac{1}{2\pi R_f C_f} \tag{15-37}$$

因此，根据对VGA增益的要求就可以求出R_f，而根据对低通滤波器3dB带宽的要求，就可以确定C_f的值。在这个接收机中，$R_f = 33\mathrm{k}\Omega$，$C_f = 16\mathrm{pF}$，低通滤波器的3dB带宽约为300kHz。

该可变增益放大器中所用到的跨导器示于图15-23中，OTA A、OTAB构成一个带有Miller补偿的两级全差分高增益放大器，同混频器一样的共模反馈控制电路控制着这个全差分放大器的输出共模电平。在设计跨导器OTA A、OTA B时，除了保证具有高增益外，宽增益带宽积以及稳定性都是必须考虑的，但这些都是低频模拟集成电路中的基本内容，此处不再详述。

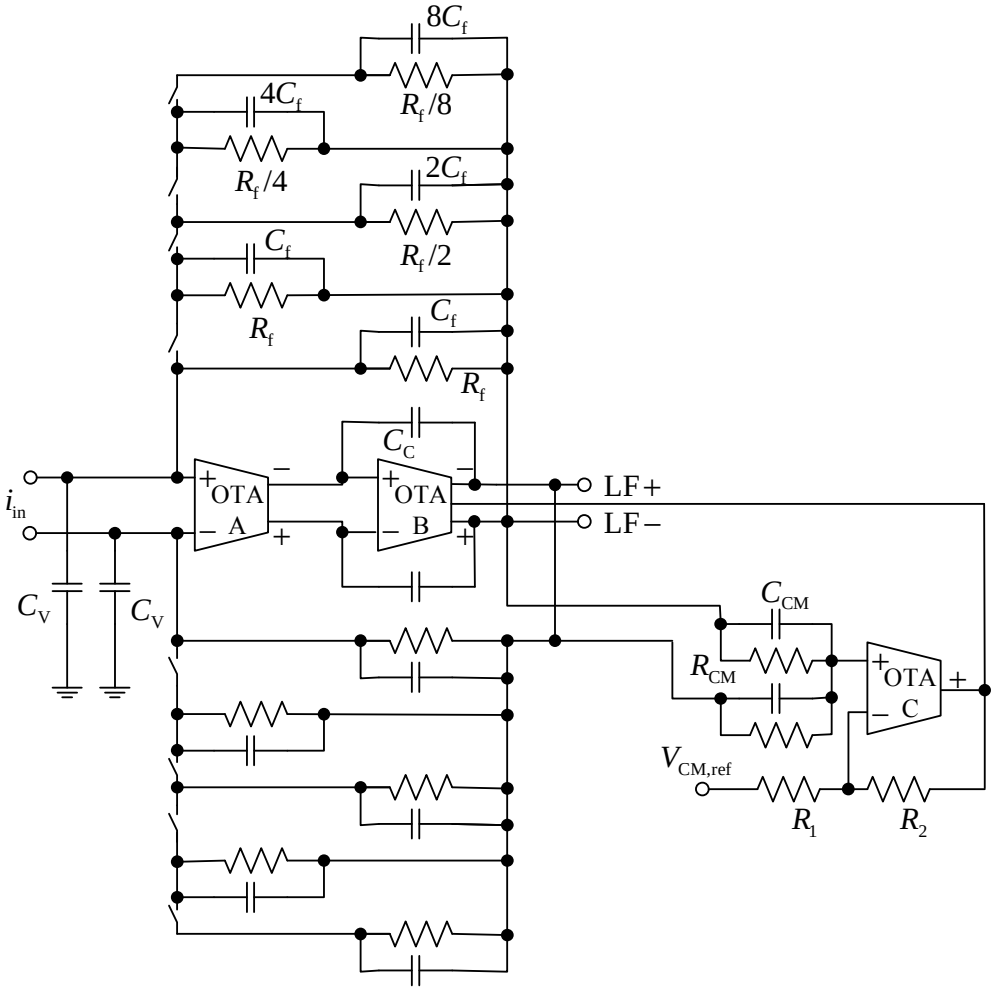


图 15-24 可变增益放大器/滤波器的电路图

§15.7 测试结果

该接收机模拟前端已经采用0.25μm浅掺杂衬底型CMOS工艺实现，图15-25给出了它的芯片显微照片。 这个一个完整的DCS-1800无线收发机芯片，包括了上面讨论的接收机模拟前端以及发射机模拟前端和小数频率合成器，接收机模拟前端位于芯片的左半部分。各个模块之间采用了远距离隔离、双带保护环、片上电源滤波电容等措施来避免各个模块之间的干扰。在版图设计时，I、Q通道的匹配性以及片上VCO与LNA之间良好的隔离是需要仔细考虑的因素。

图15-26给出了接收机模拟前端的测试转换增益曲线，从图中可以看出，该接收机模拟前端的最高增益为54.5dB（1.83GHz），并且可以以6dB为步长进行变化，3dB带宽约为300kHz。

图15-27给出了当输入信号功率变化时接收机模拟前端增益和输出信号功率的变化曲线。 从图中可以很明显的看出，该接收机模拟前端所能处理的最大输入信号功率受限于模拟前端输出端发生饱和和截止。在最低增益下，最大输入信号功率可以达到-23dBm，最大输出功率为+16.9dBmv。

图15-28给出了接收机模拟前端的输入反射系数，在1.65GHz～2.1GHz内，输入反射系数小于−10dB，在1.72GHz～1.97GHz内，输入反射系数甚至小于−15dB。说明该接收机具有很好的输入阻抗匹配性能。

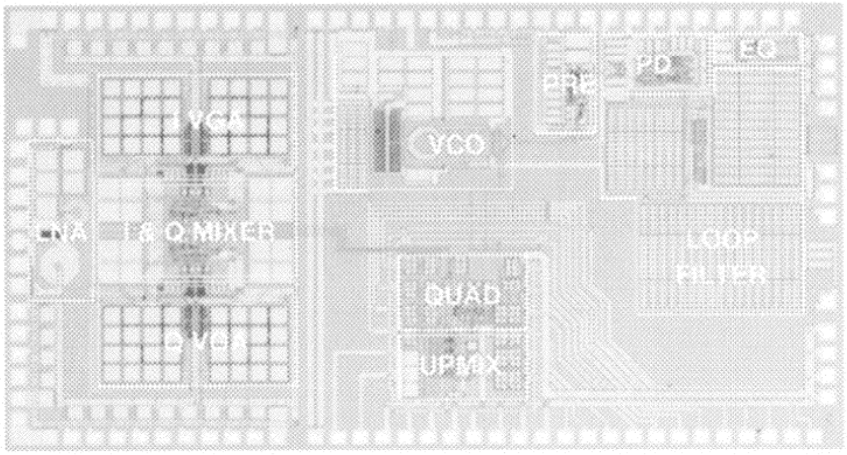


图 15-25 DCS-1800无线收发机模拟前端的芯片显微照片

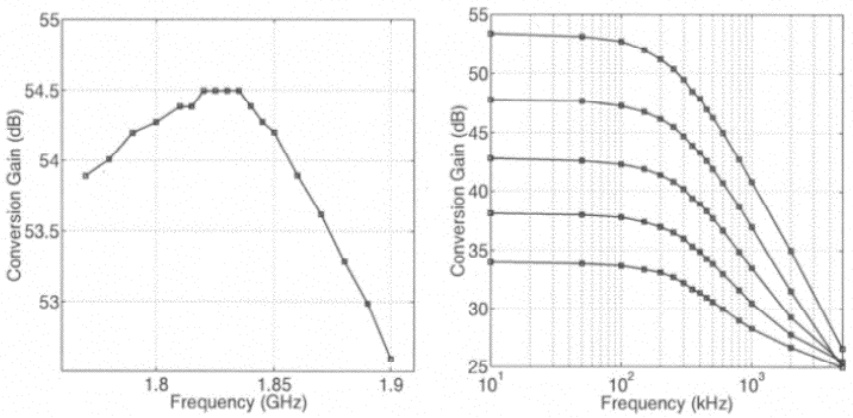


图 15-26 接收机模拟前端的测试转换增益曲线

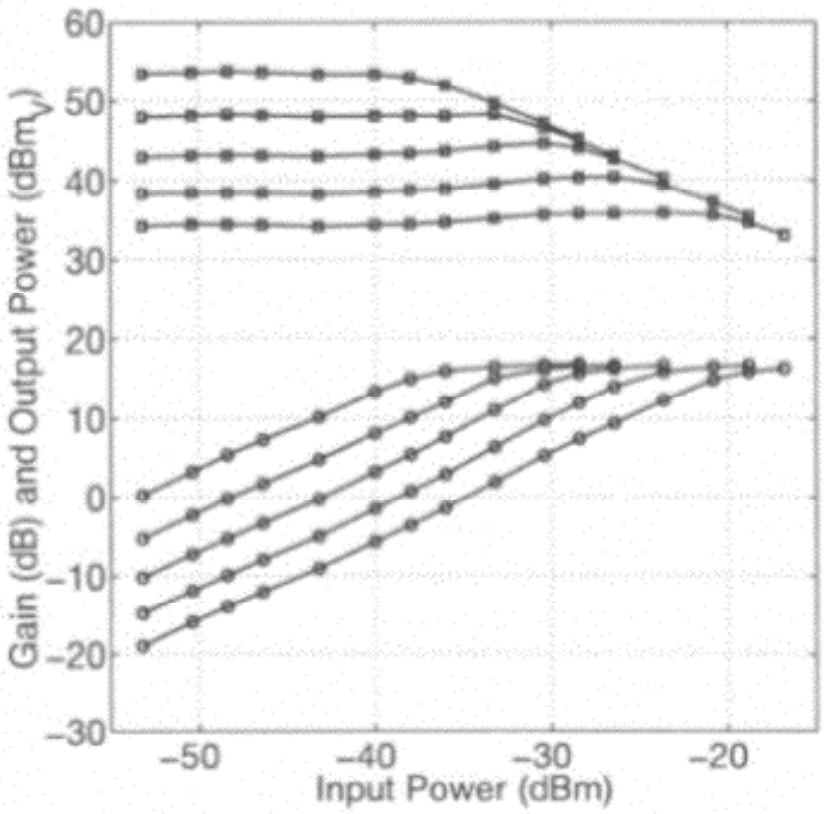


图 15-27 当输入信号功率变化时接收机模拟前端增益和输出信号功率的变化曲线

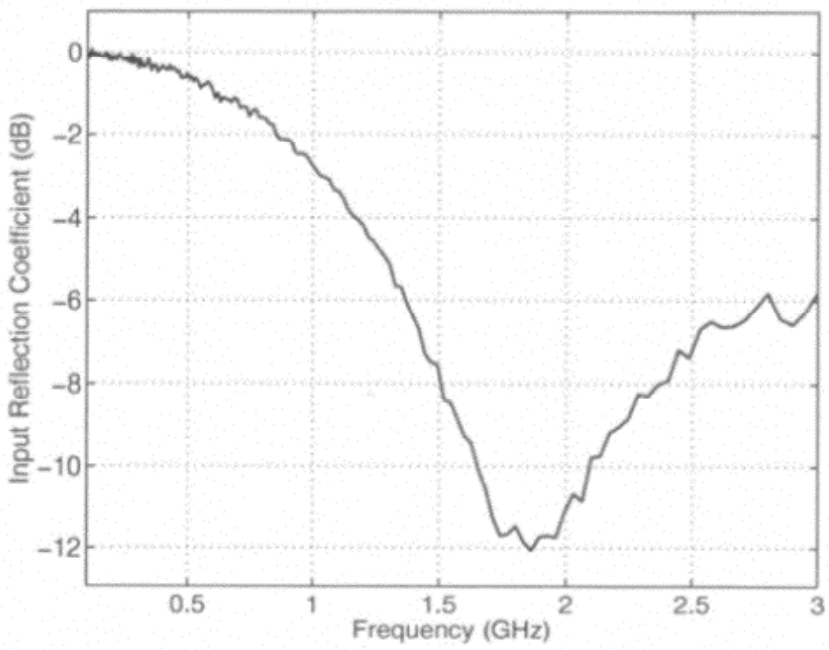


图 15-28 接收机模拟前端的输入反射系数

图15-29给出了接收机模拟前端的噪声系数测试曲线。 对以100kHz为中心的200kHz带宽内低中频接收

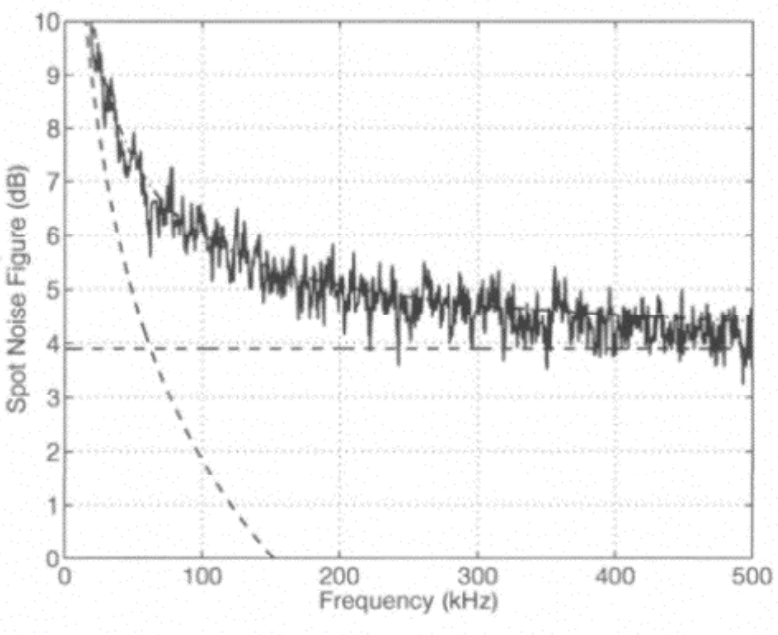


图 15-29 接收机模拟前端的噪声系数测试曲线

机的输出（I + jQ）噪声积分的结果即为该接收机的总噪声系数，约为6.2dB，其中，大部分是由白噪声引起的（约占3.9dB），其余部分由$1/f$噪声贡献（图中虚线）。

图15-30给出了该接收机模拟前端的镜像抑制测试结果，在偏离载波200kHz处的镜像抑制性能最差，约为32.2dB，但这已经可以满足系统要求。

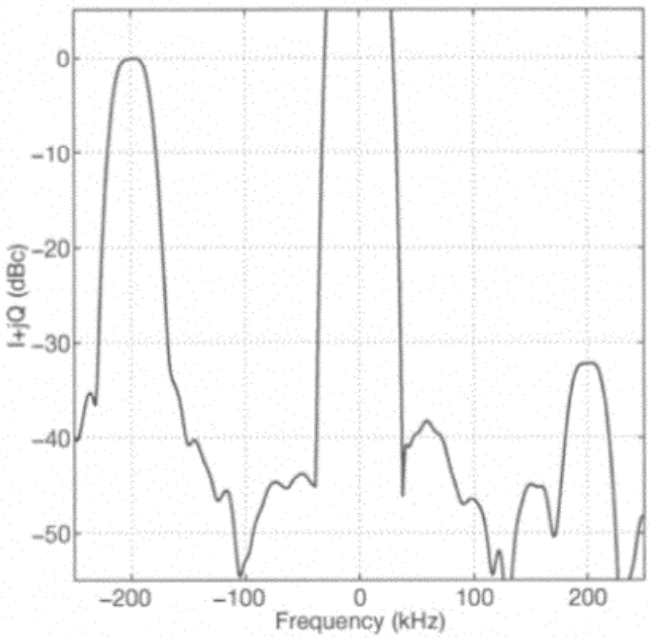


图 15-30 接收机模拟前端的镜像抑制测试结果

15-31给出了接收机模拟前端在不同增益下的二阶交调性能和三阶交调性能测试结果。 在各种增益

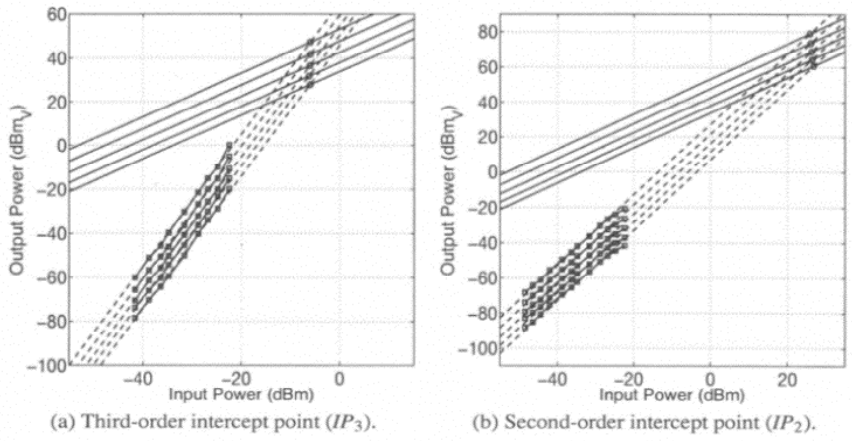


图 15-31 对接收机模拟前端在不同增益下的二阶交调性能和三阶交调性能的测试结果

下，输入三阶交调点都大于−6dBm，输入二阶交调点都大于+26dBm。

图15-32给出了给接收机输入GMSK信号时接收机I通道输出的频域和时域波形。 可以看到，输出信号

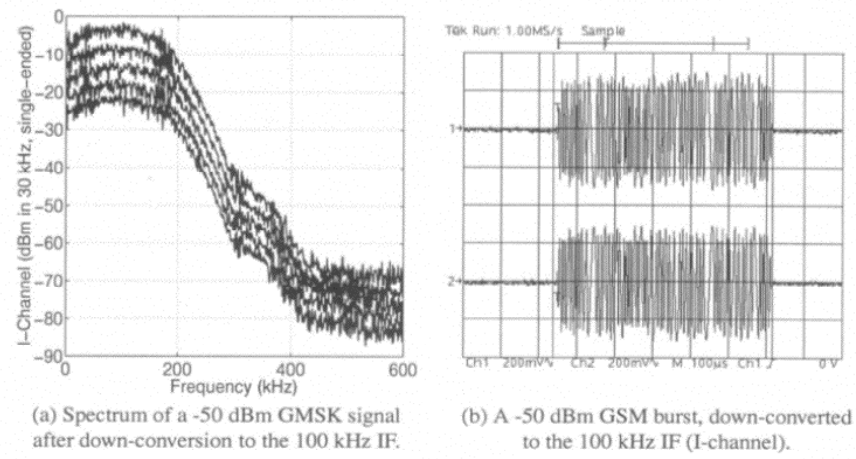
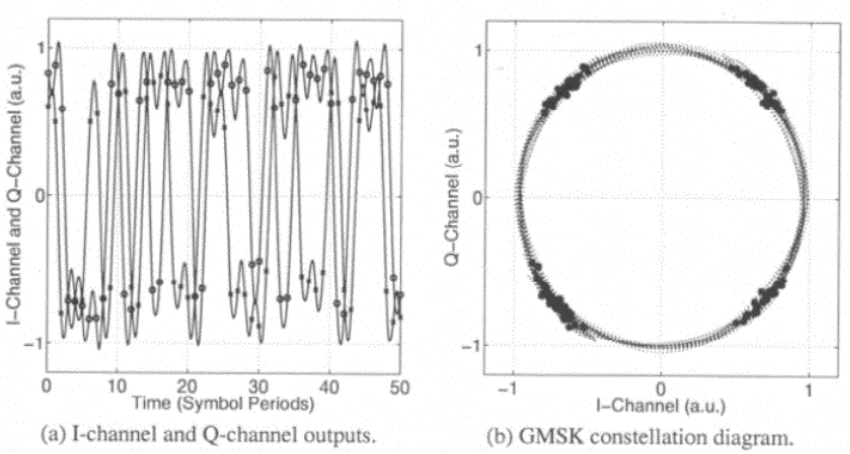


图 15-32 给接收机输入GMSK信号时接收机I通道输出的频域和时域波形

的频谱同GMSK信号的理想频谱是很接近的。输入GMSK信号的时域波形如图15-33（a）所示，图（b）给出了它的星图。 星图上的点位于四个象限内，每个象限内的点是一个点群，同理想GMSK星图不同的是，每一点群包含了多个点，而不是理想情况下的三个点，这是由GMSK信号发生器的非理想因素引起的，但这四个象限内的点都是很容易区分的，并不会影响接收机的接收性能。图15-34给出了GMSK信号的眼图，它是从I通道波形中取出连续的49段，每一段包含了连续的三个符号，然后将这49段的波形叠加起来得到的结果。眼图的张开程度反应了发射机的性能。

表15-3对接收机模拟前端的测试结果进行了总结。



(a) I-channel and Q-channel outputs. (b) GMSK constellation diagram.

图 15-33 输入GMSK信号的时域波形和星图

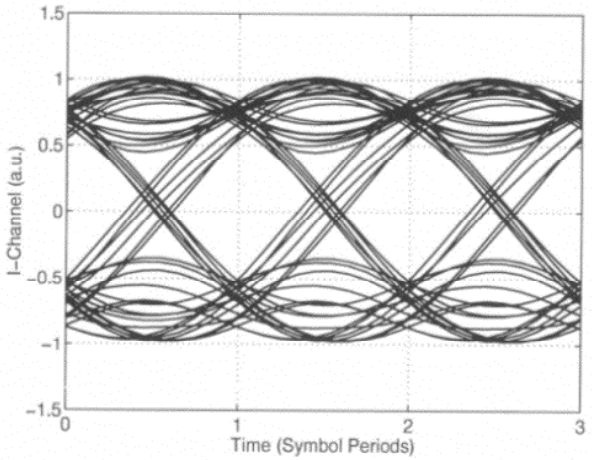


图 15-34 输入GMSK信号的眼图

表 15-3 接收机模拟前端的测试结果总结

噪声系数	6.2dB	镜像抑制率	32.2dB
白噪声	3.9dB	幅度不匹配	0.3dB
$1/f$噪声	2.4dB	相位不匹配	2.1°
最大转换增益	54.5dB	输入反射系数	−11.5dB
本振泄漏	−63dBm	最大输出信号功率	+14.8dBm
三阶交调点	−6dBm	二阶交调点	+26dBm
功耗	113mW	工艺	0.25μm CMOS

参考文献

1 Janssens Johan, Steyaert M. CMOS Cellular Receiver Front-ends–From Specification to Realization. Boston/Dordrecht/London: Kluwer Academic Publishers, 2002

2 Crols J, Steyaert M. CMOS Wireless Transceiver Design. Boston/Dordrecht/London: Kluwer Academic Publishers, 1997

3 曹志刚, 钱亚生. 现代通信原理. 北京: 清华大学出版社，1992