

### 采样数据系统基本原理

#### 典型DSP采样数据系统

典型采样数据DSP系统框图如图3.1所示。在实际执行模数转换之前，模拟信号通常会通过某种信号调理电路，执行放大、衰减或滤波等功能。如果模拟信号的来源是温度、压力、流速或力，则需要使用适当的传感器，首先将物理量转化为电压或电流。

实际的模数转换过程涉及到两个关键概念：离散时间采样和量化所致有限振幅分辨率。了解这些概念对于DSP应用至关重要。

采样数据系统的主要元件

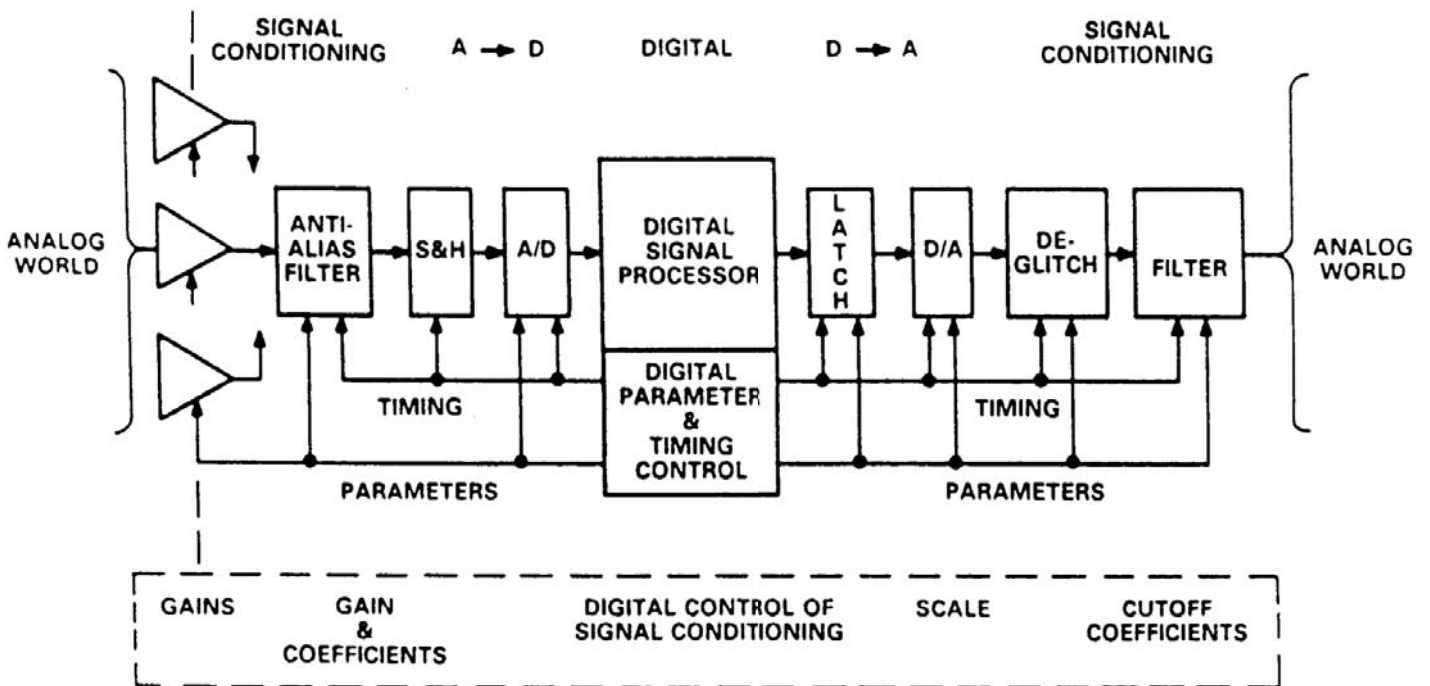


图3.1

**模拟信号的离散时间采样**

模拟信号的离散时间和振幅采样的概念如图3.2所示。连续模拟数据必须以离散的时间间隔 $t_s$ 采样，该时间间隔必须精心选择，确保采样数据能精确描述原始模拟信号。很显然，采样越多(采样速率越快)，模拟信号的数字表示就越精确。如果采样较少(采样速率较慢)，则少到某一点时，模拟信号的关键信息将因得不到采样而丢失。这使我们可以得出关于奈奎斯特准则的陈述，如图3.3所示。

**模拟信号的离散采样**

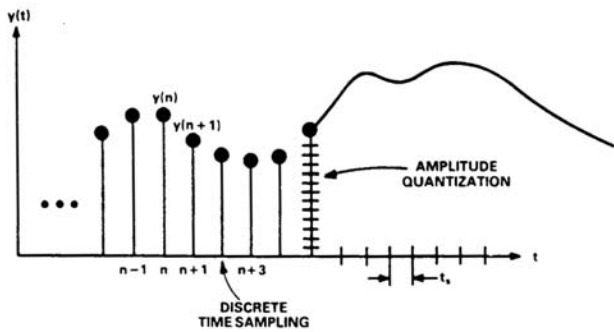


图3.2

**奈奎斯特准则**

- 为避免信息丢失，带宽为 $f_a$ 的模拟信号必须以 $f_s > 2f_a$ 的采样速率进行采样。
- 若 $f_s < 2f_a$ ，则模拟信号带宽中将发生混叠现象。

图3.3

为了理解混叠对时域和频域的影响，首先请考虑图3.4所示的一个采样正弦波信号的时域表示的四种情况。第一种情况中的采样数量显然是充足的，可以保留该正弦波的信息。第二种情况中，每个周期只采集了四个样本，仍然足以保留该正弦波的信息。第三种情况表示 $f_s = 2f_a$ 这种模糊的极限条件。如果采样点与正弦波之间的关系协调不当，导致刚好在零交越处对正弦波进行采样(而不是图中所示的峰值处)，则会丢失关于该正弦波的所有信息。第四种情况表示 $f_s < 2f_a$ 这种情况，从样本获得的信息显示正弦波的频率低于 $f_s/2$ ，即带外信号混叠到DC与 $f_s/2$ 之间的奈奎

斯特带宽中。随着采样速率进一步降低，并且模拟输入频率 $f_a$ 趋近于采样频率 $f_s$ ，混叠信号在频谱中将趋近于DC。

**混叠的时域效应**

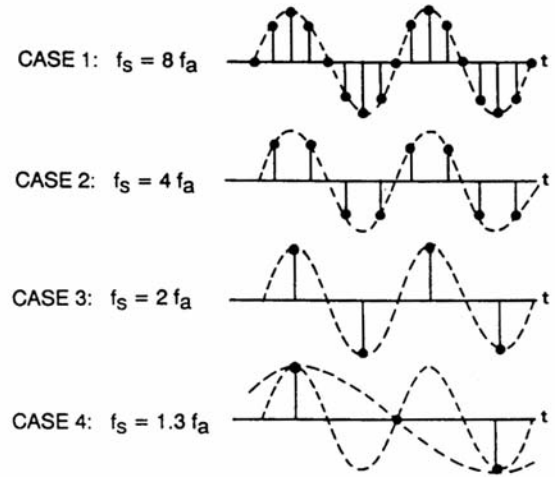


图3.4

上述情况的对应频域表示如图3.5所示。请注意，以采样速率 $f_s$ 对模拟信号 $f_a$ 进行采样时，实际上会产生两种混叠频率成分： $f_s + f_a$ 和 $f_s - f_a$ 。上混叠( $f_s + f_a$ )很少构成问题，因为它位于奈奎斯特带宽之外。下混叠成分( $f_s - f_a$ )则不然，当输入信号超过奈奎斯特带宽 $f_s/2$ 时，它就会引发问题。

**混叠的频域效应**

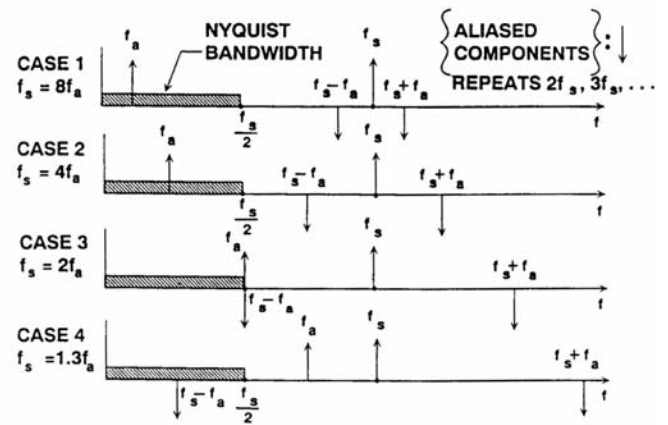


图3.5

由以上的讨论可知，ADC之前必须放置抗混叠滤波器，它在 $f_s/2$ 及以上频率必须有足够的阻带衰减，以防止不需要的带内混叠。混叠也可能源自不在奈奎斯特带宽范围内的基本信号的谐波，或者源自ADC输入端的未滤波宽带噪声。

混叠对采样数据系统动态范围的影响如图3.6所示。上图显示奈奎斯特频率点的所需状态，其中混叠成分与输入信号相交于所需动态范围以下的一点。下图显示较高频率动态范围受到混叠成分限制的状况。这种状况将导致较高频率时的整体信噪比降低，而且混叠带外信号音或谐波可能会引起失真，如图3.7所示。

混叠对动态范围的频域效应

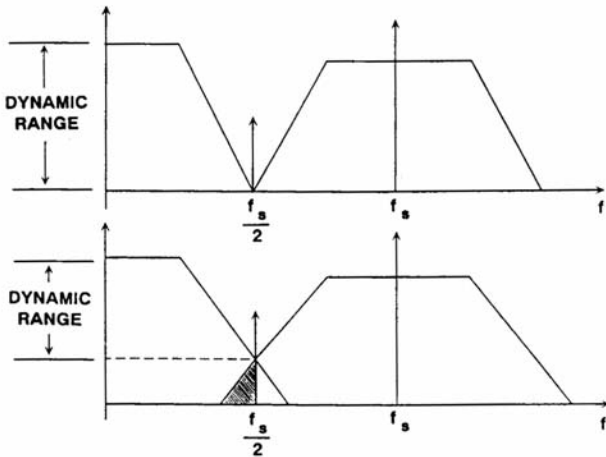


图3.6

混叠引起的干扰信号音

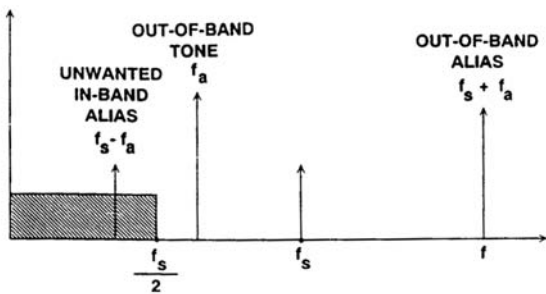


图3.7

抗混叠滤波器的选择

现在我们应该清楚，对于给定模拟输入带宽 $f_a$ ，抗混叠滤波器的要求不仅与采样速率 $f_s$ 相关，而且与所需的系统动态范围相关。所谓动态范围，简言之是指预期最大信号与必须解析的最小信号的比值，通常用dB表示。我们当前关心的是混叠对动态范围的限制。ADC量化噪声及其它非线性因素的限制效应将在稍后讨论。下面的经验法则对于滤波器的选择可能过于严格，但其原理是有效的，并且可调整以适合实际的系统要求。

抗混叠滤波器的要求

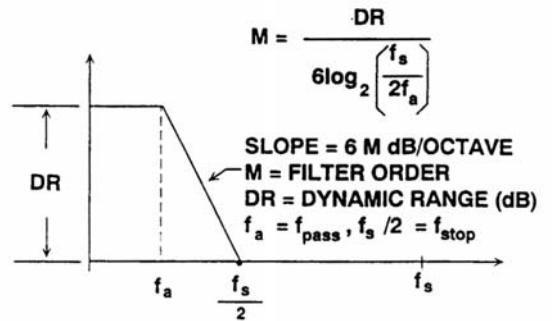


图3.8

首先，设置抗混叠滤波器的转折频率等于所需的模拟输入带宽 $f_a$ ，这就定义了滤波器的通带 $f_{pass}=f_a$ 。定义滤波器阻带的起始频率 $f_{stop}=f_s/2$ 。令滤波器阻带衰减等于所需的较高频率动态范围DR，用dB表示。这些参数定义滤波器的过渡带特征，即它必须在 $\log_2(f_{stop}/f_{pass})$ 倍频程上实现与动态范围相等的阻带衰减。然后便可确定为实现该过渡带斜率所需的滤波器近似阶数M(极点数)，因为滤波器滚降约为每倍频程6M dB。图3.9显示了一个简单的计算示例，其中信号带宽 $f_a$ 为3 kHz，采样速率 $f_s$ 为12 kHz，要求60 dB的动态范围。计算表明，需要一个10极点滤波器。请注意，在实践中，设计8极点以上的模拟滤波器非常困难，设计12极点以上的滤波器则几乎不可能成功，除非是经验丰富的滤波器设计人员。到目前为止，尚未考虑滤波器的相位特征以及带内和带外纹波要求。如果加上这些参数，抗混叠滤波器的设计工作将令人望而生畏。

抗混叠滤波器示例

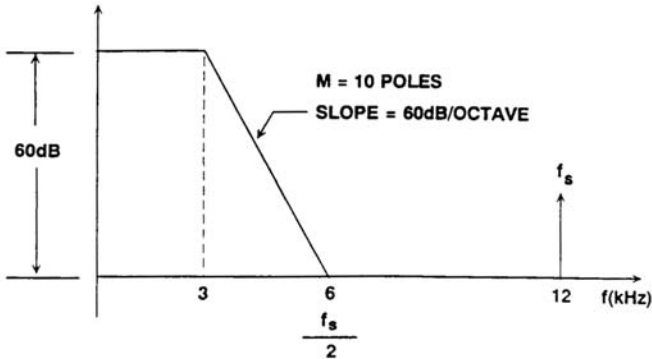


图3.9

上述用于确定抗混叠滤波器复杂度的经验法则假设满量程信号可以出现在奈奎斯特频率以上的所有输入频率。实际情况通常并非如此，而且在输入频率较高时，所处理的信号会有一些自然衰减。例如，在上例中，如果奈奎斯特频率及以上频率的信号已经衰减了12 dB，则在6 kHz的奈奎斯特频率时仅需要48 dB的滤波器阻带衰减。这说明，仅需要一个8极点滤波器。图3.10显示了这一情况。

带外衰减对抗混叠滤波器的影响

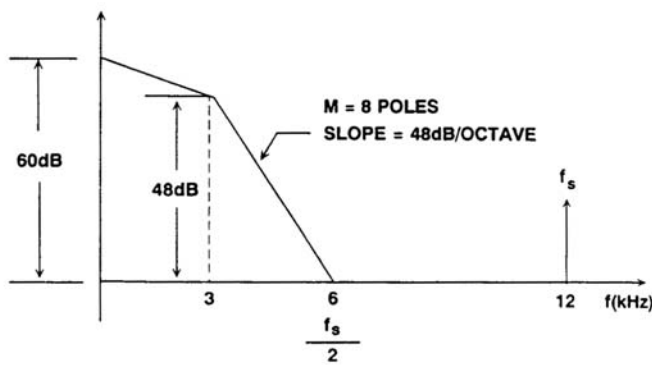


图3.10

由以上讨论可知，通过提高采样速率(称为“过采样”)，可以降低对抗混叠滤波器的要求。在后面的研讨会中我们将看到，有一类特殊的ADC和DAC，称为Σ-Δ型转换器，它们本身就是过采样转换器，可以极大地降低抗混叠滤波器的复杂度。

过采样与抽取

正如前面所讨论的，对输入信号进行过采样的主要好处是可以简化抗混叠滤波器的要求。当然，过采样也有不利的一面，即它会提高ADC输出数据速率，DSP必须能够跟上该速率，以便维持实时操作。如果数据须以串行形式传输，则它将占用更多频谱资源。一种有吸引力的替代方案是同时运用模拟滤波和数字滤波技术、过采样以及一种称为“抽取”的处理过程。图3.11所示为传统情形，其中所有抗混叠工作都由ADC之前的模拟输入滤波器承担。图3.12则不同，过采样比K(K为整数)将奈奎斯特频率提高至 $Kf_s/2$ ，从而可降低输入模拟滤波器的滚降要求。ADC之后的数字滤波器(第7节将详细讨论数字滤波)根据 $f_s$ 实行抗混叠功能，并且在 $f_s/2$ 时有足够的阻带衰减，可以实现所需的动态范围。在后面的研讨会中我们将了解到，具有锐截止特征和良好相位响应的数字滤波器远比相应的模拟滤波器容易实现(假设DSP速度足够快)。有限脉冲响应(FIR)滤波器可以设计成具有线性相位特征。由于数字抗混叠滤波器已将带宽降至 $f_s/2$ ，因此数字滤波器提供的数据实际上含有冗余信息，没有必要查看每个样本。事实上，每K个样本只需要查看一个样本。这一过程称为“抽取”，将在关于Σ-Δ型转换器的研讨会部分(第6节)中予以详细讨论。此外，实际的抽取工作可以由FIR滤波器本身通过计算每K个输入样本的一个输出来执行。这种过采样与抽取原理是实际DSP的最重要原理之一。

采用模拟低通滤波器进行奈奎斯特采样

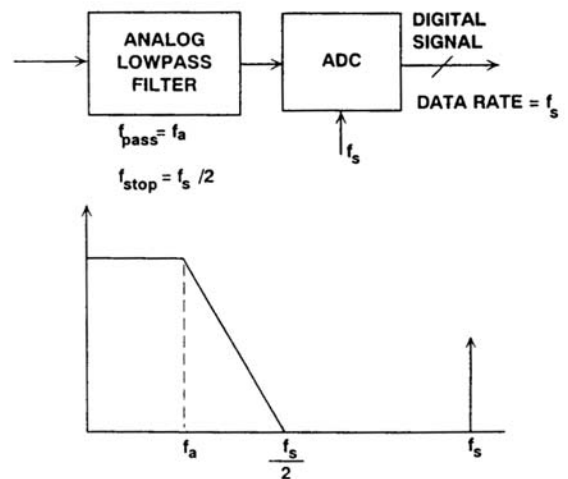


图3.11

采用模拟和数字滤波进行过采样

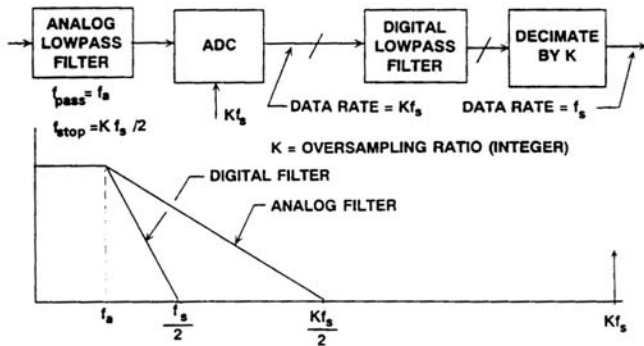


图3.12

欠采样及其应用

在本节中我们将了解到，有些DSP应用完全可以接受混叠，并能有效地加以利用。当由ADC进行数字化处理的模拟信号超过 $f_s/2$ 时，这种状况常被称为“超奈奎斯特频率”或“欠采样”。奈奎斯特准则表明，为保留信息，进行数字化处理的信号的带宽(非实际频率)不应超过 $f_s/2$ 。举例来说，考虑一种电信传输多路复用器应用，其中频分多路复用(FDM)数据占用60 kHz至108 kHz的带宽，以112 kHz的频率对其进行采样。图3.13显示了该信号的频谱以及混叠成分的位置。在系统的接收端，重构DAC之后的滤波器为带通滤波器，而不是低通滤波器，必须滤除4 kHz至52 kHz范围内的混叠成分，以及位于采样频率112 kHz的成分。

FDM信号的超奈奎斯特频率采样

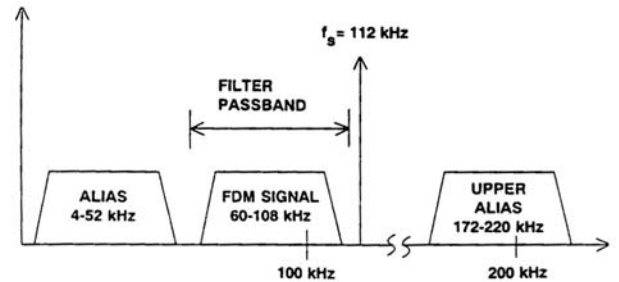


图3.13

超奈奎斯特频率操作的另一种应用中频信号至基带的直接转换。在采用ADC和DSP的大多数传统通信和雷达接收机所用的系统中，来自接收机前端的中频(IF)信号由混频器和低通滤波器下变频或解调为基带信号，如图3.14所示。最终中频级使用一个与信号载波频率相位一致的本振。混频器输出包含一个基带信号，它与两路输入之间的相位差成比例。混频器之后是低通滤波器、放大器和ADC。典型混频器的转换损耗在4 dB至6 dB之间。当信噪比受限于前端时，去除混频器将可以改善接收机的整体噪声系数。

模拟下变频或解调

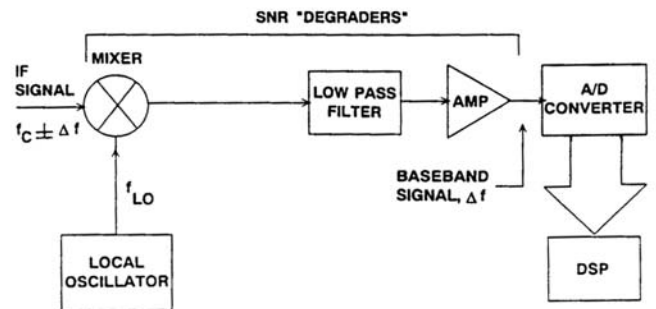


图3.14

如果以与本振频率相等的速率对中频信号进行采样，则可以去除混频器(如图3.15所示)。现在，ADC起到解调器的作用。如果ADC的采样频率与模拟信号的频率相同，数字化输出将为一个DC值。模拟信号与采样频率的任何偏差看起来都像是拍频 $Df$ ，由此便可完成解调过程。

## 直接中频转数字下变频或解调

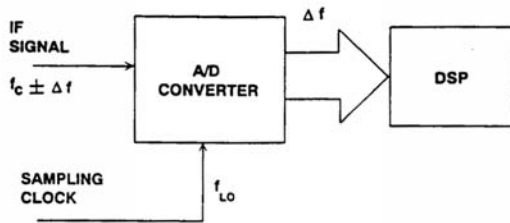


图3.15

来自ADC的数据必须由DSP使用FFT处理，计算数字化信号的实部和虚部。为了保留解调信号中包含的相位信息，这种处理是必要的。

显而易见，当ADC在超奈奎斯特频率环境中工作时，必须知道转换器针对奈奎斯特频率以上的输入频率的动态性能。输入频率较高时，ADC的信噪比和谐波失真性能通常会降低，因此针对所需输入频率的交流性能必须足以满足系统需求。超奈奎斯特频率操作通常要求对高频输入信号更为鲁棒的ADC，而不是只能用于低于奈奎斯特频率的应用的ADC。

## 量化所致有限振幅分辨率的影响

采样数据系统需要考虑的第二种主要影响是模数或数模转换过程导致的有限振幅分辨率的影响。讨论中，我们将称ADC(或DAC)的位数为转换器的分辨率 $N$ 。对于ADC，输入范围分为 $2^N$ 个离散级，各级由一个 $N$ 位二进制字表示。对于DAC，输入由 $N$ 位二进制字组成，输出有 $2^N$ 个可能的离散级。图3.16显示位数 $N$ 、对应的级数 $2^N$ 以及最低有效位(LSB)的权重，权重用两种方式表示：一为百分比，一为用dB  $[20 \log_{10}(2^N)]$ 或 $6.02N$  dB表示的比率。此比值(表示为百分比或dB)代表转换器的动态范围，即最大可解析信号与最小可解析信号的比值。这里必须指出，图3.16中的动态范围值表示理想ADC和DAC的动态范围值，而没有考虑谐波和交调失真等交流性能限制。这些值也不代表信号与量化噪声的理论比值。有关这些话题，我们将在稍后再作讨论。

## ADC和DAC的分辨率及动态范围

位数 $N$	级数 $2^N$	%, $100/2^N$	dB, $6N$
8	256	0.4	48
10	1024	0.1	60
12	4096	0.025	72
14	16384	0.006	84
16	65536	0.0015	96
18	262144	0.0004	108
20	1048576	0.0001	120
22	4194304	0.000025	132
24	16777216	0.000006	144

图3.16

## 量化理论、信噪比及有效位

ADC和DAC的有限分辨率导致信噪比(SNR)有一个理论限值，它是位数 $N$ 的函数。为了进行有意义的测量，用稍低于转换器限幅范围的满量程正弦波输入激励ADC。这会导致样本与样本间的误差，从而产生量化噪声。这可以用数学方法说明：在奈奎斯特带宽范围内测得的量化所致均方根噪声电压可以用我们熟悉的公式 $q/\sqrt{12}$ 表示，其中 $q$ 为转换器最低有效位(LSB)的权重。LSB的值 $q$ 的计算方法是将ADC或DAC的满量程范围除以 $2^N$ 。在没有误差源的理想转换器中，理论上的均方根量化噪声电压也与输入信号振幅和频率无关。关于这一简单公式的推导过程，请参考以下文献：

W.R. Bennett, *Spectra of Quantized Signals*, BSTJ 27, pp. 446-472, July 1948

对于满量程正弦波输入，可以进一步得知，理论上的均方根信号与量化噪声比的计算公式为：

$$\text{SNR} = 6.02N + 1.76\text{dB}$$

量化噪声基本知识

- 奈奎斯特带宽 $f_s/2$ 范围内的均方根量化噪声:

$$q/\sqrt{12}$$

- 奈奎斯特带宽范围内的满量程正弦波均方根信号与均方根噪声比:

$$SNR = 6.02N + 1.76dB$$

- 有效位数(ENOB):

$$ENOB = \frac{SNR_{ACTUAL} - 1.76dB}{6.02}$$

图3.17

应注意，均方根量化噪声一般近似等于奈奎斯特带宽范围内的宽带噪声。但是，这一规则在某些条件下不成立。如果量化误差信号与进行数字化处理的信号之间存在相关关系，则量化噪声可能集中在输入信号的谐波上，而不是均匀分散于整个带宽范围内。当输入信号为正弦波且为采样频率的分频谐波时，极有可能发生上述情况。

测试ADC时，通常将一个纯正弦波信号施加于ADC的输入端，并利用DSP技术计算SNR，如图3.18所示。快速傅里叶变换(FFT)处理有限数量的时间样本，并将其转换到频谱中，例如图3.19针对12位200 kSPS采样ADC AD678所示的频谱。然后，用频谱计算SNR和基本输入信号的谐波，这与模拟频谱分析仪非常相似。首先计算信号的均方根值，然后计算奈奎斯特带宽范围内所有其它频率成分(这不仅包含噪声，而且包含失真产物)的均方根值。这两个量的比值用dB表示即为信噪比(SNR)。ADC的各种噪声源，包括积分和微分非线性、失码以及ADC内部噪声源，导致测得的SNR低于理论值 $6.02N+1.67dB$ 。此外，这些误差通常是输入压摆率的函数，因此会随着输入频率的提高而增大。计算噪声的均方根值时，习惯上要包括基本信号的谐波。有时候将这一参数称为信号与噪声加失真比 $S/(N+D)$ ，但通常是简单地称为信噪比SNR。采样ADC(12位、200 kSPS)AD678的 $S/(N+D)$ 的典型曲线如图3.20所示。

ADC动态测试

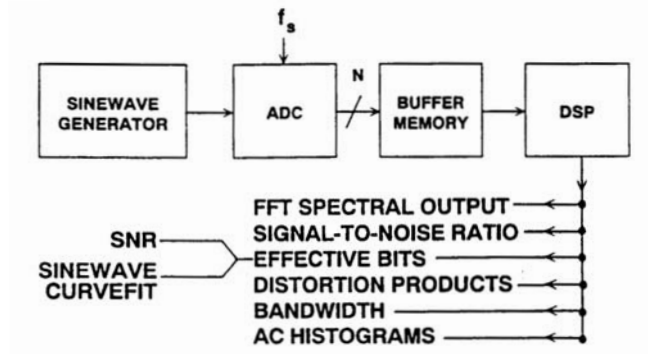


图3.18

12位、200 kSPS ADC AD678的2048点FFT输出

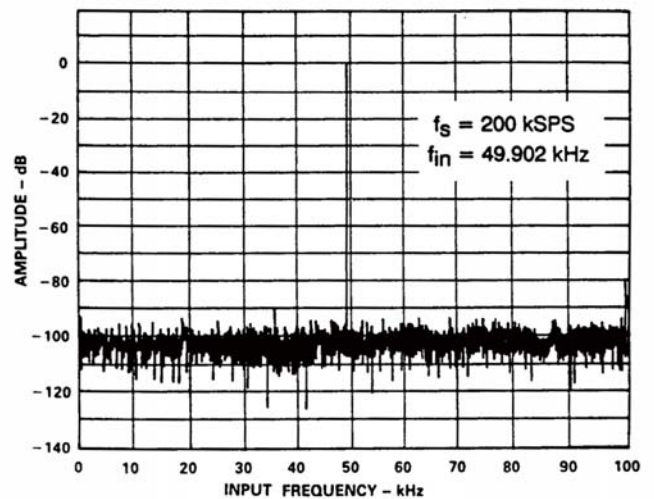


图3.19

解释SNR的另一种方法是使用有效位数或ENOB。有效位计算方法是利用测得的SNR值，求解SNR公式中的N(参见图3.17)。例如，理想的12位ADC具有74 dB的理论SNR值，对应于12个有效位。如果测得的SNR为68 dB，则它对应于11个有效位。这说明，实际的12位ADC的性能与理想的11位ADC的性能相当。图3.20也在SNR曲线上显示了AD678的ENOB性能。请注意，在低频时，AD678的有效位数超过11.4。

也可以利用正弦波曲线拟合方法计算有效位数。采用这种方法时，需将一个正弦波施加于ADC，并采集若干样本。

12位、200 kSPS ADC AD678的S/(N+D)和有效位数

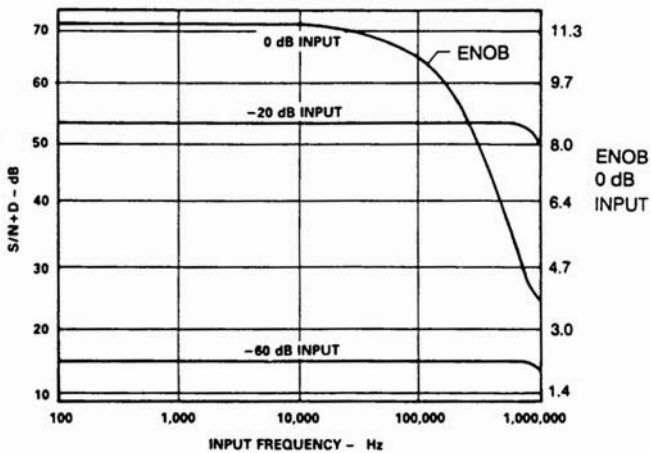


图3.20

这种方法不是对时间样本执行FFT，而是计算数据点的最佳拟合正弦波。选择正弦波振幅、偏移、频率和相位的原则是要使实际正弦波数据点与理论正弦波之间的均方根误差最小。同样，理想ADC的理论均方根误差为 $q/\sqrt{12}$ 。利用图3.21所示公式，计算实际正弦波与理论正弦波之间的均方根误差以及有效位数。使用正弦波曲线拟合方法测得的ENOB与使用SNR技术获得的ENOB之间具有良好的相关性。如果SNR计算所用的信号小于满量程，则为使这两种方法相关，必须增加一个校正系数，如下图所示。

使用正弦波曲线拟合方法计算ENOB

- $Q_A$  = 由拟合正弦波得到的实际均方根误差
- $Q_T$  = 由最佳拟合正弦波得到的理论N位均方根误差 =  $q/\sqrt{12}$
- $ENOB = N - \log_2 \left[ \frac{Q_A}{Q_T} \right]$  与SNR相关:
- $SNR = \frac{SNR_{实际} - 1.76DB + 低千满量程的信号水平}{6.02}$

图3.21

根据信号动态范围选择ADC分辨率

针对给定应用选择适当的ADC远不止是牵涉到确定所需位数和采样速率，还必须根据所处理的模拟信号考察ADC的直流和交流特性，找到适当的匹配。显然，这一过程不可避免地会涉及到性能与成本的权衡。

DSP应用和动态范围要求

APPLICATION	SIGNAL BANDWIDTH	DYNAMIC RANGE	ADC # BITS
Seismology	10Hz	146dB	24
Digital Audio	20kHz	100dB	18
Echo Cancelling	4kHz	84dB	14
Speech Processing	4kHz	74dB	12
V.32 Modems	4kHz	74db	14
Ultrasound	15MHz	60dB	10
Radar	5MHz	74dB	12
Broadband Receivers	5MHz	86dB	14

图3.22

图3.22显示了许多适合DSP处理的应用，并给出了对应信号的近似带宽和动态范围。动态范围实际上有两方面：直流和交流。直流动态范围对应于图3.22中提供的值(忽略ADC静态误差)。交流动态范围则与ADC的谐波失真性能相关。例如，在数字频谱分析应用中，满量程正弦波输入信号的谐波会限制系统在大信号存在的情况下解析小信号的能力。交流线性通常用谐波失真或总谐波失真(THD)表示。对于实际的ADC，位数可能并不能很好地指示转换器的谐波失真性能。交流动态范围低于SNR公式所预测的动态范围 $6.02N + 1.76dB$ 。由于这些原因，数据手册必须包含直流和交流特性，以使用户根据应用做出明智的选择。



### ADC静态传递特性

描述ADC静态性能的基本特性如图3.23所示。

#### ADC静态特性

- 微分非线性(DNL)
- 积分非线性(INL)
- 失码
- 增益误差
- 偏移误差

图3.23

在一个3位ADC的理想传递函数中(图3.24), 模拟输入信号位于水平轴, 数字输出位于垂直轴。ADC的数字输出在一定的输入信号范围内有效。对于给定输出码, 输入的量称为码的宽度。理想宽度为1 LSB(最低有效位), 但实际上, 每个码的宽度均与其相邻码不同。码宽度与理想的1 LSB值的偏差称为微分非线性或DNL。一个具有多种不同误差的3位ADC的传递函数如图3.25所示。请注意, 码100因为相邻码的DNL误差较大而丢失。在闭环系统中, 失码可能会产生振荡和摆动, 因此该参数对于这种应用中的ADC选择非常重要。

积分非线性或INL通常是相对于码中心来测量。通过端点画一条直线, 码中心与该理想直线的最大偏差即为INL, 如图3.25所示。一些情况下, 积分非线性相对于最佳拟合直线来定义, 该直线通常利用最小二乘法来计算。

增益和偏移误差均等地影响所有码, 通常用比较传统的技术从系统中予以消除。

#### 理想3位ADC的传递函数

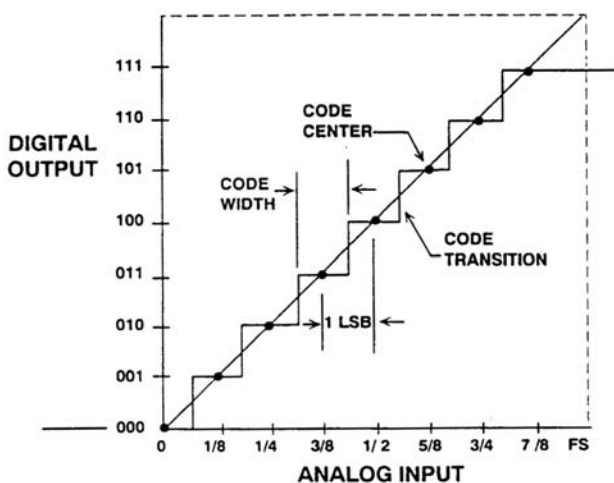


图3.24

### 非理想3位ADC的传递函数

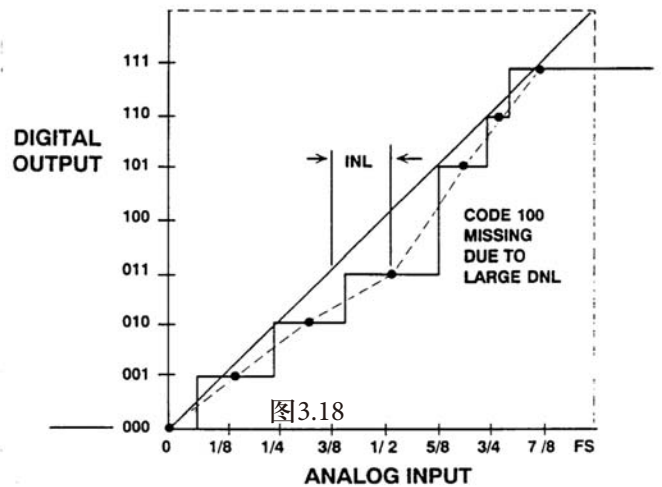


图3.25

### DAC静态传递特性

描述DAC静态传递特性的基本特性如图3.26所示。

#### DAC静态特性

- 微分非线性(DNL)
- 积分非线性(INL)
- 非单调性
- 增益误差
- 偏移误差

图3.26

一个理想3位DAC的静态传递函数如图3.27所示。数字输入值位于水平轴上, 对应的模拟输出值位于垂直轴上。与ADC不同, DAC不会有失码。针对每个数字输入码, 都会产生一个离散的模拟输出电压。微分非线性定义为相邻模拟输出值之间的间隔与理想的1 LSB值的偏差。过大的DNL误差可能导致非单调性状况, 如图3.28所示。如果数字码输入的提高引起模拟输出值的降低, 则认为DAC为非单调性。相反, 如果DAC传递特性的斜率在整个范围内具有相同的符号, 则认为DAC为单调性。在闭环系统中, 非单调性状况会产生振荡, 因此这一特性对于这种应用中的DAC选择非常重要。

## 理想3位DAC的传递函数

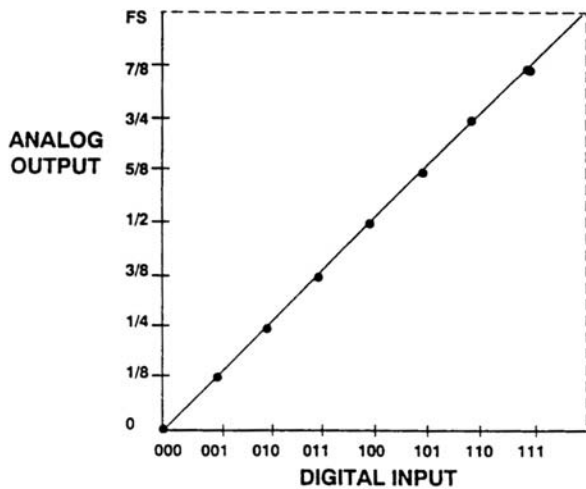


图3.27

## 非理想3位DAC的传递函数

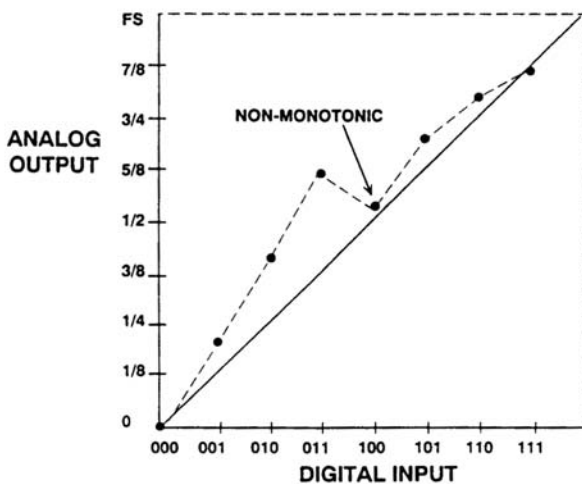


图3.28

积分非线性定义为模拟输出值相对于通过端点所画的理想直线的最大偏差。与ADC一样，INL也可以相对于最佳拟合直线来定义。

增益和偏移的定义与ADC相似，并且均等地影响所有模拟输出值。

## ADC动态性能

为了能用于大多数DSP应用，ADC必须具有可接受的直流和交流特性。ADC的最重要动态特性列表如图3.29所示。

## ADC动态特性

- 信号与噪声加失真比(S/N + D)及有效位数
- 峰值杂散、峰值谐波成分及无杂散动态范围(SFDR)
- 总谐波失真(THD)
- 全功率带宽(FPBW)
- 全线性带宽
- 交调失真(IMD)
- 孔径延迟时间和孔径抖动
- 瞬态响应
- 过压恢复

图3.29

稍后我们将看到，有许多架构适合DSP ADC设计，大部分架构都要求在转换器之前放置一个采样保持放大器(SHA)，如图3.30所示。值得注意的例外是Flash型转换器和 $\Sigma$ - $\Delta$ 型转换器，后者尤为重要。为获得SHA-ADC对的完整动态性能，必须将二者集成在同一芯片上，或者至少作为一个完整的功能单元提供。否则，由单个器件的特性确定SHA-ADC组合的整体动态性能几乎是不可能的。对ADC的完整直流和交流特性的要求催生了内置片上SHA的采样ADC。这些转换器不存在SHA与ADC接口的问题，并为用户提供了完整的直流和交流特性。

内置采样保持功能的ADC

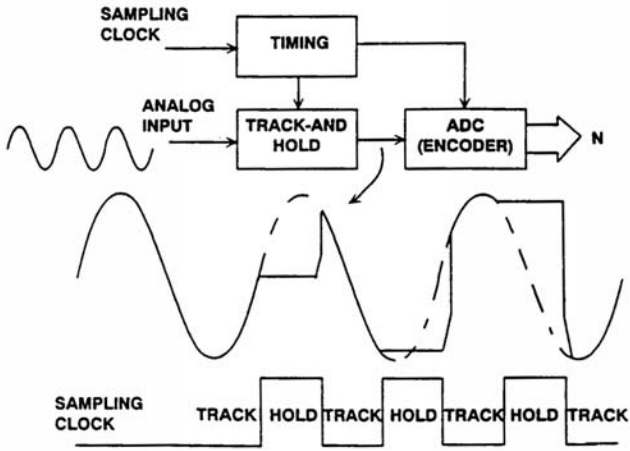
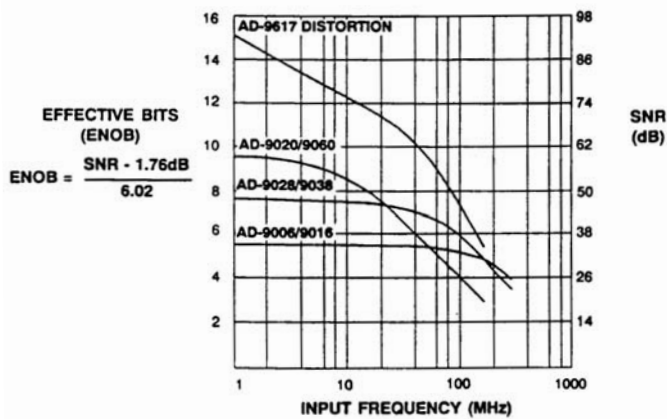


图3.30

信噪比和有效位数

正如之前所讨论的，信噪比特性大概是当今业界所用的内涵最丰富的交流特性。将谐波失真的影响包含在这一特性中是常规做法，因此(S/N+D)定义为测得的输入信号的均方根值与奈奎斯特频率以下的所有其它频谱成分(包括谐波，但不包括DC)的均方根和的比值。图3.31显示了三种高速Flash型ADC的(S/N+D)典型曲线图。图中同时显示了电流反馈型运算放大器AD9617的谐波失真性能，以供比较。SNR测量结果也可以用有效位数或ENOB表示，图3.31也显示了这一点。

FLASH型ADC及运算放大器的动态性能



FLASH型ADC	分辨率	采样速率
AD9020	10 BITS	40 MSPS
AD9060	10 BITS	60 MSPS
AD9028/9038	8 BITS	250 MSPS
AD9006/9016	6 BITS	400 MSPS

图3.31

峰值杂散、峰值谐波成分及无杂散动态范围 (SFDR)

峰值杂散或峰值谐波成分是输入信号和DC之外最大的频谱成分。该值表示为相对于满量程输入信号的均方根值的dB值。峰值杂散特性有时也称为无杂散动态范围(SFDR)。图3.32显示了AD678的峰值杂散性能典型曲线。

AD678的峰值杂散响应(200 kSPS、非平均2048点FFT)

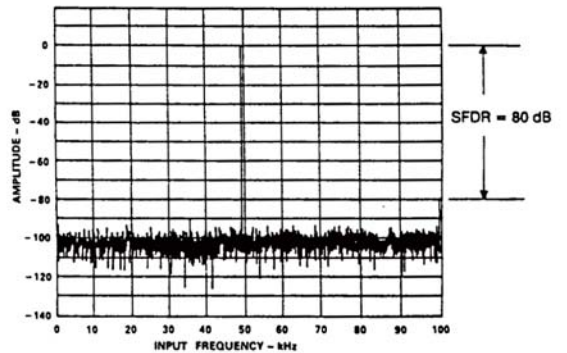


图3.32

总谐波失真(THD)

总谐波失真(THD)指前六个谐波成分的均方根和与满量程输入信号的均方根值之比，用百分比或dB表示。对于高于奈奎斯特频率的输入信号或谐波，用其混叠成分计算。图3.33显示了AD678的典型THD性能。

AD678的总谐波失真、全功率带宽和全线性带宽

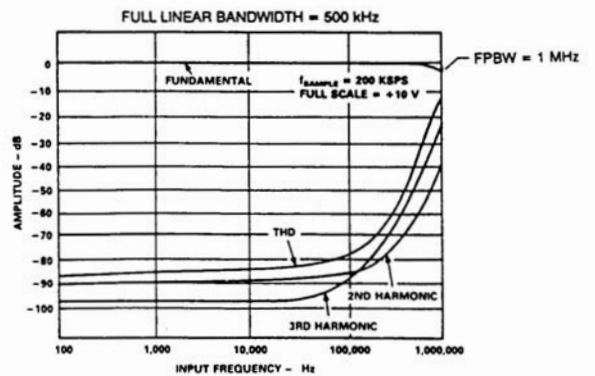


图3.33

### 全功率带宽

ADC的全功率带宽(FPBW)是指针对满量程输入，重构(使用FFT)基本频率的振幅比满量程低3 dB时的输入频率。从图3.33可以看出，AD678的满功率带宽约为1 MHz。然而，为使该特性有意义，必须将它与SNR、ENOB和谐波失真结合起来考察，从而确定ADC在FPBW频率的真正动态范围。

### 全线性带宽

ADC的全线性带宽是指达到输入采样保持(SHA)的压摆率时的输入频率。此时，重构正弦波的振幅降低不到-0.1 dB。一旦超过此频率，采样输入信号的失真将显著增大。AD678 ADC已针对输入带宽进行优化，可以对显著高于转换器奈奎斯特频率的输入信号进行欠采样。AD678的全线性带宽为500 kHz，图3.33也显示了这一点。

### 交调失真(IMD)

当输入由两种频率(F1和F2)的正弦波组成时，便会发生交调失真(IMD)。任何具有非线性的器件都会在和频率和差频率 $mF1 \pm nF2$ 时产生(m+n)阶失真积，其中m、n = 0,1,2,3...。交调项指m或n不等于0的那些项。例如，二阶项为(F1 + F2)和(F1 - F2)，三阶项为(2F1 + F2)、(2F1 - F2)、(F1 + 2F2)和(F1 - 2F2) (参见图3.34)。IMD积表示为测得的输入信号的均方根和与失真项的均方根之和的dB比。施加于ADC的两个信号具有相同的振幅，其和的峰值与满量程相差-0.5 dB。IMD积归一化为0 dB输入信号。图3.35显示了AD678的典型IMD FFT曲线。

### 交调积

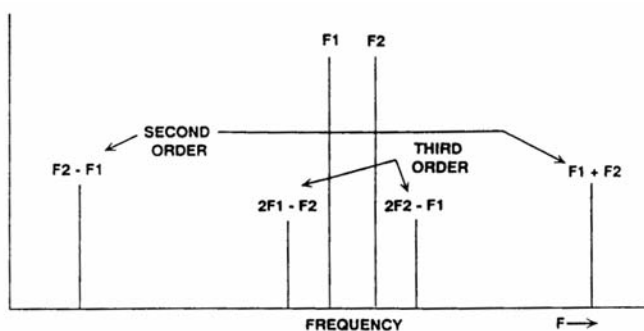


图3.34

### AD678的IMD曲线 (F1 = 9.08 kHz, F2 = 9.58 kHz, $f_s = 200$ kSPS)

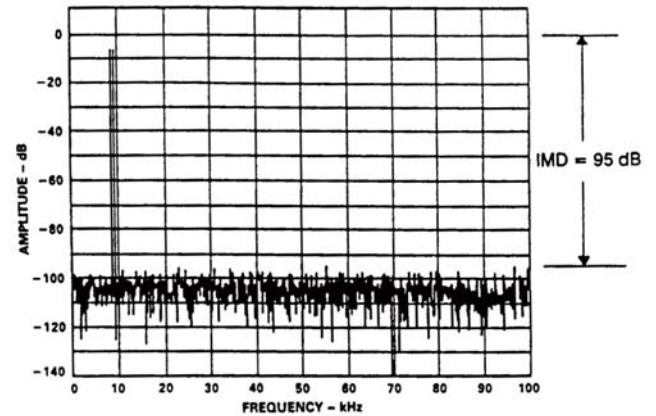


图3.35

### 用直方图方法获得交流线性曲线

对于这种测量，需将一个满量程正弦波施加于ADC，并采集大量样本。每个码的出现次数记录在直方图上，如图3.36左上方曲线所示。对于12位转换器，为了获得有统计意义的结果，需要采集数百万样本。直方图应符合正弦波的理想概率密度分布，如图3.36右上方曲线所示。然后，利用正弦波概率密度函数归一化直方图数据，以获得图中下方曲线所示的DNL图。积分非线性可以通过编制累积直方图来确定。累积直方柱宽度为传递水平。图3.37所示为12位、100kSPS ADC AD7870以100 kSPS速率对一个25 kHz输入信号进行数字化处理时，利用直方图方法获得的交流线性曲线。图中没有出现较大的尖峰，表明具有良好的差分线性度。有关数学计算的详细信息，请参考AD7870数据手册。

用直方图计算交流线性

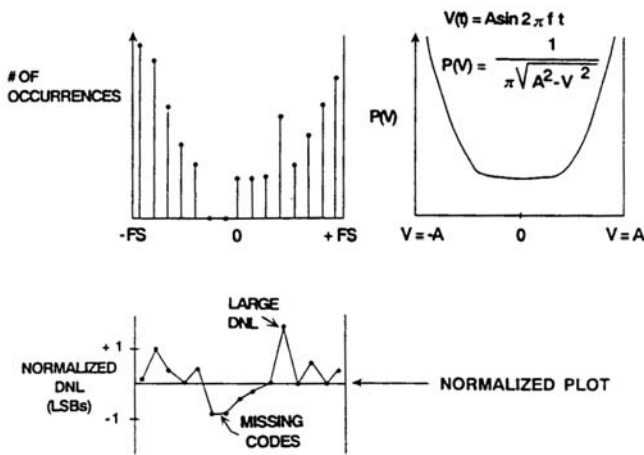


图3.36

AD7870的交流线性12位、100 kSPS ADC，25 kHz输入

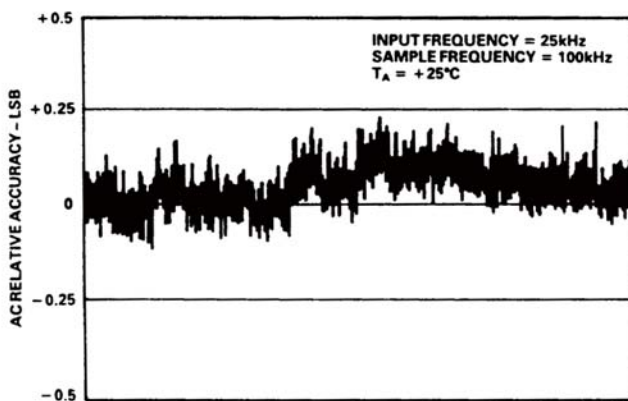


图3.37

孔径延迟时间(或有效孔径延迟时间)

孔径延迟时间(有时也称为孔径时间)指从采样时钟的前沿到ADC实际采样的时间量(参见图3.38)。这一特性之所以重要,是因为它有助于用户知道相对于输入信号时序,何时应用采样时钟。在多个ADC处理动态信号时需要同步采样或需要彼此跟踪的其它应用中,必须知道各器件之间关于该参数的差异或容差。

有效孔径延迟时间的测量

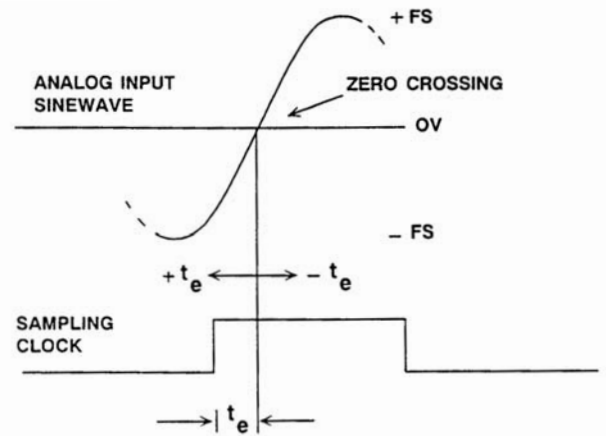


图3.38

孔径抖动

孔径抖动指样本与样本之间在实际采样的有效时间点上的差异,如图3.39所示。这些误差的产生原因一般有多种。在实际的ADC中,经常会有干扰源对采样时钟进行相位调制;不良布局、旁路和接地技术引起的宽带随机噪声、电源线噪声或数字噪声都可能成为干扰源。由此造成的误差可以用均方根时间抖动来表示。均方根孔径抖动引起的相应均方根电压误差会降低ADC的整体信噪比。输入正弦波上的相位抖动可以产生与采样时钟上的抖动相同的影响。

孔径抖动的影响

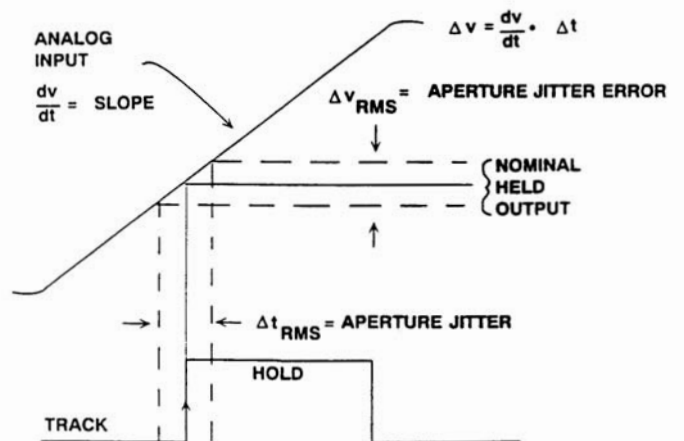


图3.39

图3.40显示了不同孔径抖动值时孔径抖动这一单个因素对SNR产生的影响，它是满量程正弦波输入频率的函数。关于SNR与孔径抖动的关系方程式的推导过程，请参考文献1。

**孔径抖动对SNR的影响**

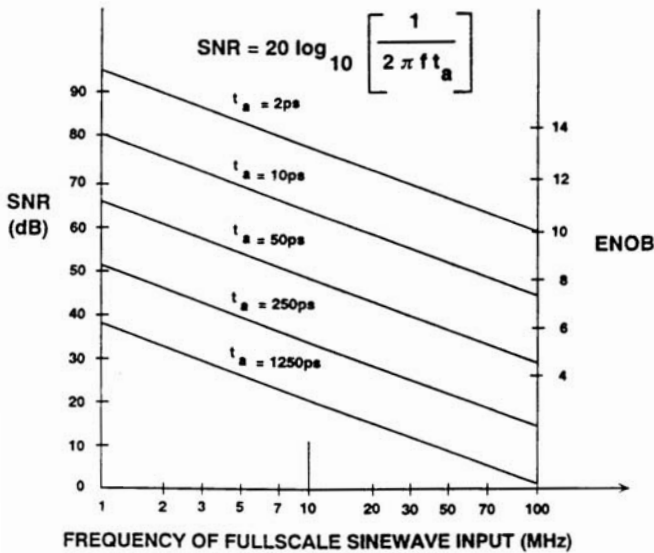


图3.40

**瞬态响应或建立时间**

ADC的瞬态响应(或建立时间)是指在施加满量程阶跃输入后，ADC建立至额定精度所需的时间(参见图3.41)。在ADC采用模拟多路复用器驱动的应用中，如图3.42所示，这一特性至关重要。多路复用器输出可以使ADC的输入发生满量程幅度的跳变。如果多路复用器和ADC均未充分建立至所需精度，则将引起直流通道与通道间串扰。

**ADC瞬态响应**

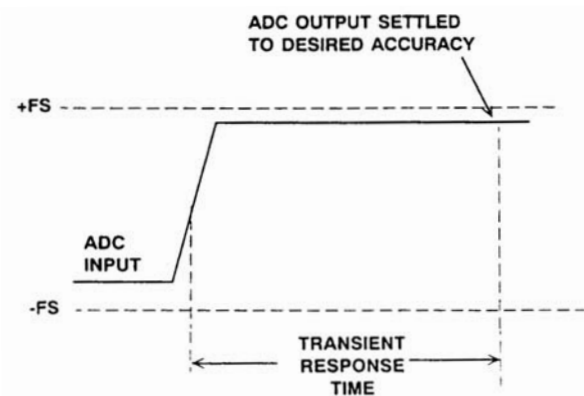


图3.41

**使用模拟多路复用器的传统数据采集系统**

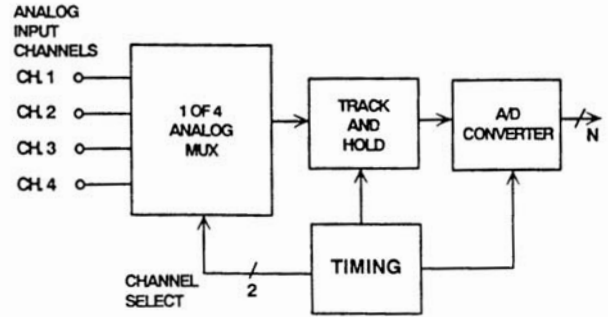


图3.42

**过压恢复时间**

过压恢复时间定义为从过压信号重新进入转换器范围时开始到ADC达到规定精度所需的时间量，如图3.43所示。这一特性通常是针对超出ADC输入范围50%的信号而言。无需赘言，ADC对于超量程信号应起到理想限幅器的作用；在过压状况下，ADC应产生正满量程码或负满量程码。一些转换器会提供超量程和欠量程标志，以便激活增益调整电路。

**ADC过压恢复时间**

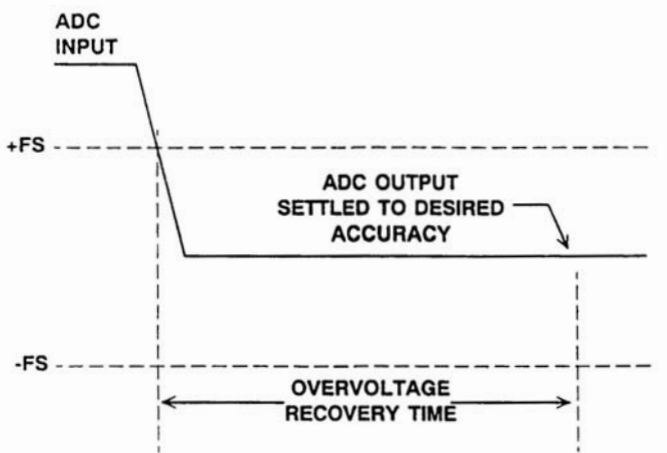


图3.43

## DAC动态性能

大多数DSP应用最终都要重构动态模拟信号，因此DAC的交流性能与ADC性能一样重要。DAC的主要交流特性如图3.45所示。

## DAC动态特性

- 建立时间
- 毛刺脉冲面积
- 谐波失真
- 信噪比
- 音频专用特性

图3.44

## 建立时间

DAC的建立时间传统上定义为从数字输入转换(通常从50%点开始测量)到DAC输出建立至某一误差带(通常为1/2 LSB, 以最终值为中心)以内的时间。如图3.45所示, 建立时间的一部分可能要归因于开关的固定传输延迟。如果DAC有一组输入锁存器或寄存器, 则建立时间应从锁存器选通脉冲或寄存器时钟脉冲的50%点开始测量。DAC满量程建立时间是相对于从000...0至111...1的数字输入转换而言。DAC中量程建立时间是相对于从011...1到100...0或从100...0到011...1的数字输入转换而言。

仅仅相对于输出, 定义DAC建立时间也是完全正确的, 如图3.46所示。此时, 建立时间是指从输出离开以初始值为中心的 $\pm 1/2$  LSB误差带到输出停留在以最终值为中心的 $\pm 1/2$  LSB误差带以内的时间量。这样,  $\pm 1/2$  LSB满量程建立时间对应的最大容许DAC更新速率即为 $f_{\max} = 1/t_s$ 。如果DAC输入的样本与样本间变化值始终低于满量程, 则可以使用更快的更新速率。

## DAC建立时间波形

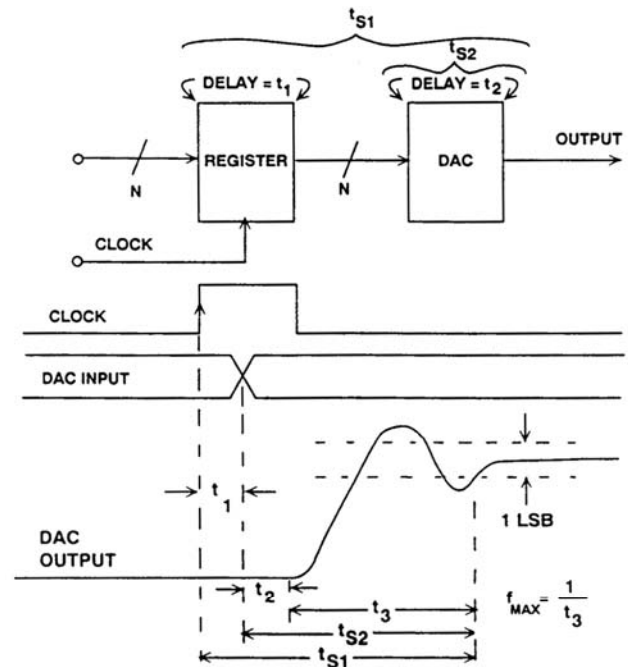


图3.45

## 相对于DAC输出定义的建立时间

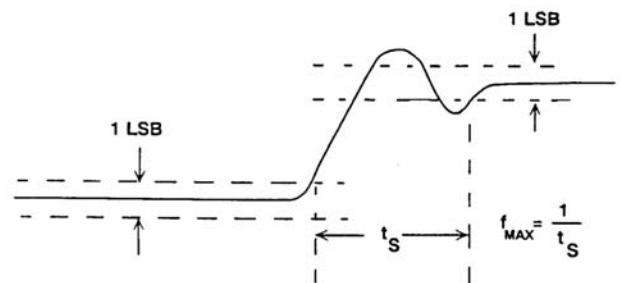


图3.46

## 毛刺脉冲面积

理解毛刺脉冲面积的最佳方法是考察图3.47所示的波形。DAC突波的产生原因是数字输入逻辑偏斜和DAC开关的传输延迟不一致(但 $\Sigma$ - $\Delta$ 型DAC架构是一个值得关注的例外, 后面的研讨会将予以讨论)。毛刺通常在中量程转换时最大, 因为此时DAC中的所有位都要改变。011...1到100...0转换所产生的毛刺通常与100...0到011...1转换所产生的毛刺不同, 因此必须单独分析每种情况。毛刺脉冲面积就是特定毛刺的面积, 通常以pV-s为单位来表示; 因此, 为使不同DAC之间的比较有意义, 必须知道DAC的满量程输出电压。使用“毛刺能量”这一术语是不正确的, 因为单位pV-s并不是能量的度量标准。

从图3.47可以看出, 有6个可能的毛刺脉冲面积需要处理。

突波脉冲波形

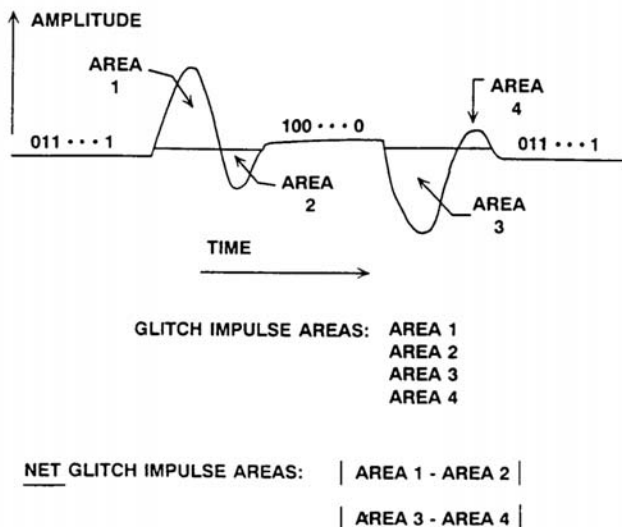


图3.47

每次转换有两个相关的毛刺脉冲，将其面积分别称为1、2、3、4。此外，考虑与各次转换相关的“净毛刺脉冲”也很有用。净毛刺脉冲面积分别为AREA

1 - AREA 2和AREA 3 - AREA 4。因此，当查看DAC数据手册上的毛刺脉冲面积特性时，如果制造商说明得不够清楚，则很可能会造成混淆。

无论滤波与否，毛刺脉冲面积保持不变。快速建立时间并不总是意味着毛刺脉冲面积小。比较理想的状况是，对于每次转换，DAC的净毛刺脉冲面积为0，即AREA 1 - AREA 2 = AREA 3 - AREA 4 = 0。当然，在理想状况下，所有四个面积均为0。

谐波失真

净毛刺脉冲面积与码相关，因此当DAC重构正弦波时，它会产生谐波。在重构正弦波的一个周期内，净中量程毛刺

会出现两次(在每个零交越上)，因而会产生正弦波的第二个谐波，如图3.48所示。请注意，重新混叠到奈奎斯特带宽内的正弦波的较高阶谐波无法滤波。很难预测特定净毛刺脉冲面积引起的谐波失真，因此，为了充分评估重构DAC的动态性能，这两个特性均需要考虑。

总谐波失真(THD)可以用DSP技术来测量，如图3.49所示，其中对18位音频DAC AD1860进行了测试。该DAC采用频率为990.5 Hz的18位数字正弦波来驱动，DAC更新速率为176.4 kHz。DSP对输出测试波形的4096个样本进行数字化处理，包含该正弦波的23个完整周期。对测试结果执行4096点快速傅里叶变换(FFT)。然后，根据FFT结果计算总谐波失真和SNR。陷波滤波器可防止990.5 Hz的大振幅基波成分进入数字转换器，因此数字转换器的全部范围均可专门用于处理噪声和谐波成分。图3.50显示了满量程输入和-20 dB输入两种情况的典型THD加噪声图。应注意，这些测量中并未使用去毛刺器和MSB调整技术。

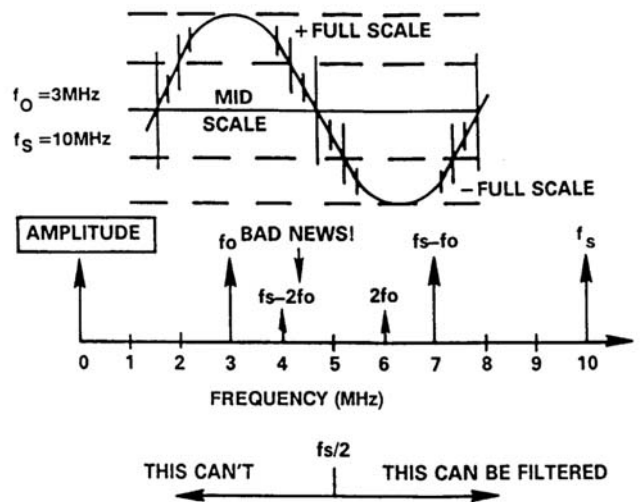


图3.48

18位音频DAC AD1860的FFT测试

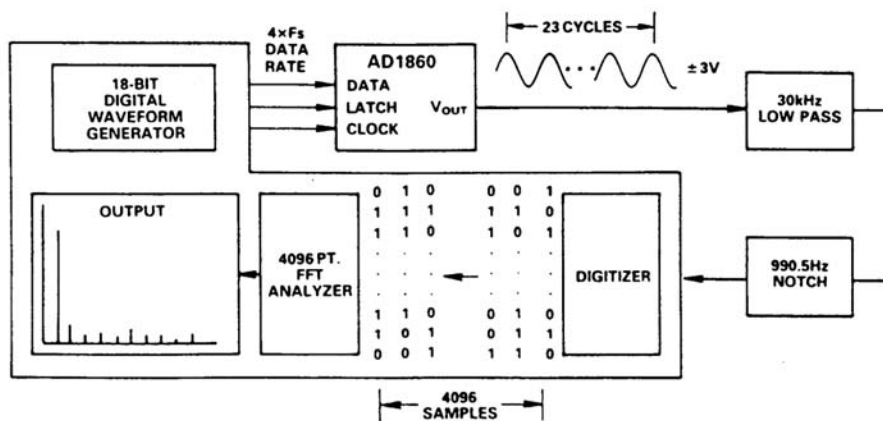


图3.49



**利用FFT方法测得的18位音频DAC AD1860的总谐波失真**

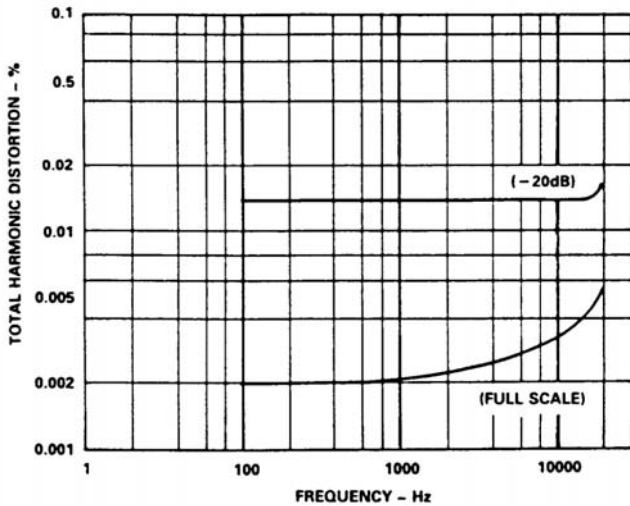


图3.50

**用SHA去除DAC的毛刺**

用SHA可以去除DAC的毛刺，如图3.51所示。就在要将新数据锁存至DAC之前，将SHA置于保持模式，从而将DAC开关突变与输出隔离。SHA所产生的开关瞬变与码无关，并且以更新频率出现，因此很容易予以滤除。

**SHA用作去突波器**

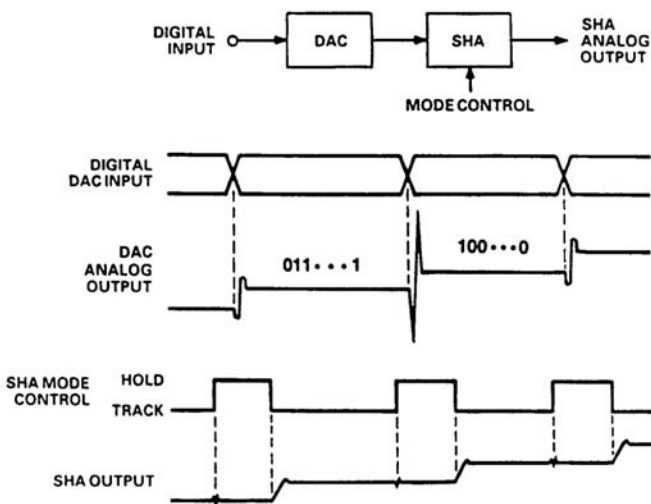


图3.51

**Sin(x)/x频率滚降效应**

重构DAC的输出可以形象地表示为一系列矩形脉冲，其宽度等于更新速率的倒数，如图3.52所示。请注意，相对于低频值，重构信号在奈奎斯特频率极限时低3.92 dB。有时在DAC之后放置一个反向sin(x)/x滤波器，以校正此效应。

**SIN X/X滚降**

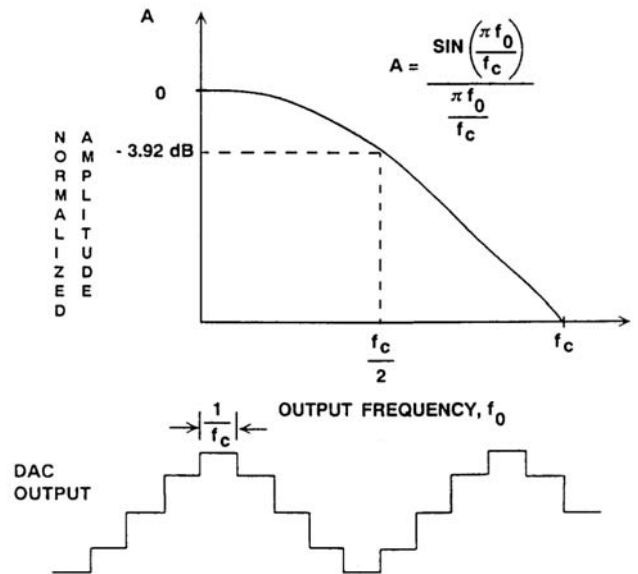


图3.52

开关电容滤波器

信号滤波一度完全是在连续模拟域中由无源器件(通常是电感、电阻和电容)的配置来执行。后来,通过缓冲和增益的运放构建的有源滤波器为滤波器设计人员提供了更大的灵活性和更高的性能,但仍然是在模拟信号上连续工作。DSP技术催生了稳定而灵活的离散时间数字滤波器,采样模拟信号完全由数值计算来处理,其中所用的一些滤波算法无法由连续时间模拟滤波器来实现。

开关电容滤波器(SCF)是一种中间类型的器件,综合了连续时间和离散时间两方面特征。这种滤波器通常利用CMOS开关和电容实现,以模拟电阻的行为。因此,许多滤波器架构都可以完全由单芯片器件来实现,而无需外部器件。开关电容滤波器与DSP技术一起,在语音和音频带宽信号应用中特别有用。由于开关电容滤波器是采样器件,因此关于离散时间采样的所有概念均适用于这种器件:奈奎斯特定理、混叠等等。

滤波技术

- 晶振、SAW滤波器
- 无源器件(电阻、电感和电容)
- 有源滤波器(电阻、电容和运放)
- 开关电容滤波器(用CMOS开关和电容取代电阻)
- 数字滤波器(利用数值计算实现,可能没有对应的模拟器件)

图3.53

利用图3.54所示的电荷转移概念,可以十分清楚地了解开关电容充当电阻的基本概念。如果电容从 $V_1$ 切换至 $V_2$ ,则将发生瞬时电荷转移,  $\Delta Q = C(V_1 - V_2)$ , 电荷流入或流出 $V_2$ 。其中包含的假设条件是C没有串联电阻,而且 $V_1$ 和 $V_2$ 为理想电压源。如果该开关以某一时钟频率 $f_s$ (周期为T)来回开合,则 $V_1$ 与 $V_2$ 之间将有一个平均电流*i*流过,  $i = \Delta Q/T = C\Delta V/T$ 。提供同样大小平均电流的等效电阻“R”为:

$$“R” = \Delta V/i = T/C = 1/(Cf_s)$$

开关电容“电阻”

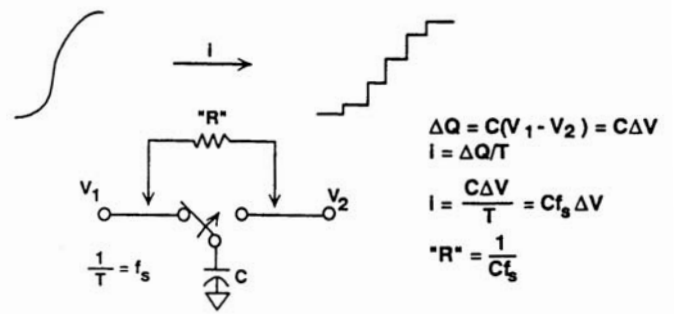


图3.54

在集成电路中,单刀双掷开关利用CMOS开关实现,由非重叠的双相时钟驱动,如图3.55。为使这种技术有效,开关必须具有非常低的导通电阻和非常高的关断电阻,而CMOS技术正好能提供这样的开关。

开关电容的CMOS实现方法

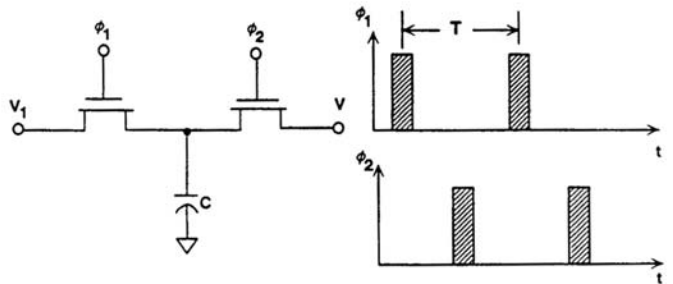


图3.55

利用这种等效的开关电容电阻,可以实现许多传统的无源和有源滤波器配置。图3.56显示了一个单极点无源RC滤波器及其等效的开关电容滤波器。RC滤波器的-3 dB频率为 $1/(2\pi R_1 C_1)$ 。对于开关电容滤波器,

$$f_{3dB} = f_s C_1 / (2\pi C_2)$$

无源RC网络的等效开关电容

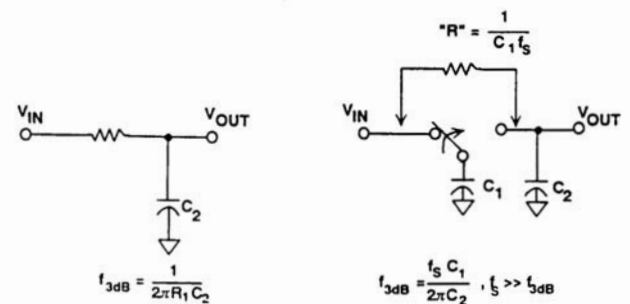


图3.56

请注意，对于开关电容滤波器，带宽取决于采样速率和电容值之比。为使时间采样和电荷共享的影响最小，必须做出一个重要假设，即 $f_c \gg f_{3dB}$  (通常要求50到100倍)。因此，当使用开关电容滤波器概念时，临界频率由电容比和采样时钟频率决定，二者均可以非常精确且无漂移。

采用开关电容滤波器进行音频和语音滤波，可以大大减小无源器件的物理尺寸。构建音频滤波器时，若要使用合理大小的单芯片电容(约10 pF)，则要求电阻在10 MΩ数量级。以100 kHz速率切换一个1 pF电容可以轻松实现该电阻值，所需硅面积约为0.01 mm<sup>2</sup>。如果使用多晶硅或扩散技术来实现10 MΩ电阻，则所需面积至少要大100倍。

### 开关电容滤波器的优势

- 滤波器带宽与电容成比例，而不是与绝对值成比例
- 滤波器带宽随时钟频率而变化
- 像经典模拟滤波器一样定义
- 音频频率要求低值电容：以100 kSPS切换  
1 pF电容等效于10 MΩ电阻
- 非常适合DSP CMOS工艺

图3.57

开关电容电阻与其它电容和运放一起使用，可以实现传统RC有源滤波器中使用的许多电路配置。与数字滤波器不同，开关电容滤波器完全可以像模拟滤波器一样定义。图3.58显示了一个一阶连续时间有源低通RC滤波器及其对应的开关电容滤波器。

开关电容滤波器对模拟信号进行采样，因此通常必须前置连续时间抗混叠滤波器，以消除奈奎斯特频率以上的频谱成分。由于开关电容滤波器的采样速率通常远高于其通带，因此一个单极点或双极点RC滤波器通常就能达到上述目的。

### Sin(x)/x频率滚降效应

重构DAC的输出可以形象地表示为一系列矩形脉冲，其宽度等于更新速率的倒数，如图3.52所示。请注意，相对于低频值，重构信号在奈奎斯特频率极限时低3.92 dB。有时在DAC之后放置一个反向sin(x)/x滤波器，以校正此效应。

### SIN X/X滚降

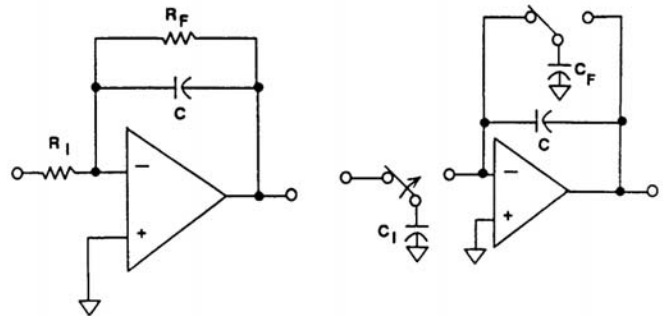


图3.58

为了对电源线噪声等干扰信号实行充分的共模抑制，模拟电路经常使用差分放大器。开关电容滤波器的设计也可以使用这些原则。图3.59显示了一个有源差分积分器及其等效的开关电容。除了能提供对噪声的良好共模抑制比(CMRR)之外，差分配置还能对开关操作引起的瞬变实行共模抑制。开关电容积分器经常用于Σ-Δ型ADC的调制器电路中，这将在后面的研讨会予以讨论。

### 有源差分积分器及其等效开关电容滤波器

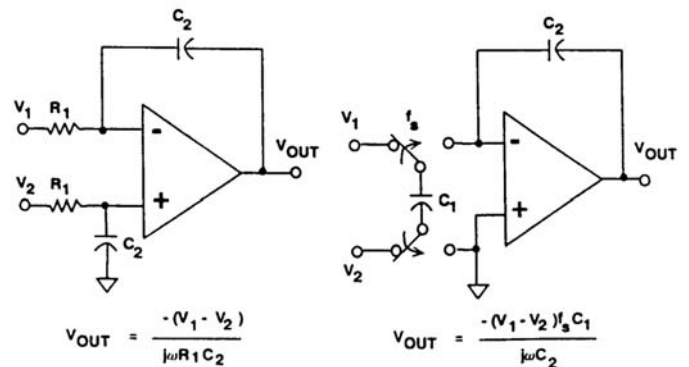


图3.59

开关电容滤波器也有多种局限性和误差源。它只能在音频带宽内使用，因为利用目前的CMOS技术还不能轻松地实现数百kHz以上的采样速率。开关电容和运放会引入随机噪声，泄漏电流则可能会产生失调误差。来自开关本身的时钟馈通可能会产生同步误差。最后，由于开关电容滤波器是采样器件，因此为了防止混叠引起误差，通常要求较大的过采样比。

### 开关电容滤波器的局限性和误差源

- 局限于较低频率
- 噪声、失调、失真
- 必须遵从奈奎斯特采样法则
- 开关本身会导致时钟馈通(要求抗混叠滤波器)

图3.60

### 参考文献

1. Frederic J. Harris, "On the Use of Windows for Harmonic Analysis with the Discrete Fourier Transform", **IEEE Proceedings**, Vol. 66, No. 1, Jan. 1978, pp. 51-83.
2. Joey Doernberg, Hae-Seung Lee, David A. Hodges, "Full Speed Testing of A/D Converters", **IEEE Journal of Solid State Circuits**, Vol. SC-19, No. 6, Dec. 1984, pp. 820-827.
3. James R. Andrews, Barry A. Bell, Norris S. Nahman, and Eugene E. Baldwin, "Reference Waveform Flat Pulse Generator", **IEEE Transactions on Instrumentation and Measurement**, Vol. IM-32, No. 1, March 1983, pp. 27-32.
4. Brendan Coleman, Pat Meehan, John Reidy and Pat Weeks, "Coherent Sampling Helps When Specifying DSP A/D Converters", **EDN**, October 15, 1987, pp. 145-152.
5. Howard K Schoenwetter, "A Programmable Voltage Step Generator for Testing Waveform Recorders", **IEEE Transactions on Instrumentation and Measurement**, Vol. IM-33, No. 3, Sept. 1984, pp. 196-200.
6. Robert W. Ramirez, **The FFT: Fundamental and Concepts**, Prentice-Hall, 1985.
7. R.B. Blackman and J.W. Tukey, **The Measurement of Power Spectra**, Dover Publications, New York, 1958.
8. James J. Colotti, "Digital Dynamic Analysis of A/D Conversion Systems Through Evaluation Software Based on FFT/DFT Analysis", **RF Expo East 1987 Proceedings**, Cardiff Publishing Co., pp. 245-272.
9. Sid Kaufman, "Multistage Error Correcting A/D Converters", **Electronic Products**, April 18, 1983, pp. 103-110.
10. **HP Journal**, Nov. 1982, Vol. 33, No. 11
11. HP Product Note 5180A-2.
12. **HP Journal**, April 1988, Vol. 39, No. 2.
13. **HP Journal**, June 1988, Vol. 39, No. 3.
14. Dan Sheingold, Editor, **Analog-to-Digital Conversion Handbook, Third Edition**, Prentice-Hall, 1986.

15. W.R. Bennett, "Spectra of Quantized Signals", **Bell System Technical Journal**, No. 27, July 1948, pp. 446-472.
16. G.A. Gray and G.W. Zeoli, "Quantization and Saturation Noise Due to Analog-Digital Conversion", **IEEE Transactions on Aerospace and Electronic Systems**, Jan. 1971, pp. 222-223.
17. M.J. Tant, **The White Noise Book**, Marconi Instruments, July 1974.
18. W.A. Kester, "PCM Signal Codecs for Video Applications", **SMPTE Journal**, No. 88, November 1979, pp. 770-778.
19. Lawrence Rabiner and Bernard Gold, **Theory and Application of Digital Signal Processing**, Prentice-Hall, 1975.
20. Matthew Mahoney, **DSP -Based Testing of Analog and Mixed-Signal Circuits**, IEEE Computer Society Press, Washington, D.C., 1987.
21. IEEE Trial-Use Standard for Digitizing Waveform Recorders, No. 1057-1988.
22. Richard J. Higgins, **Digital Signal Processing in VLSI**, Prentice-Hall, 1990.
23. **High Speed Design Seminar**, Analog Devices, 1990.
24. M. S. Ghauri and K R. Laker, **Modern Filter Design: Active RC and Switched Capacitors**, Prentice Hall, 1981.
25. Brodersen, Gray, and Hodges, MOS Switched-Capacitor Filters, **Proc. IEEE Vol. 67**, January 1979, pp. 61 - 65.
26. J. T. Caves, et. al., *Sampled Analog Filtering Using Switched Capacitors as Resistor Equivalents*, **IEEE J. Solid State Circuits Vol SC-12**, pp. 592 - 599.