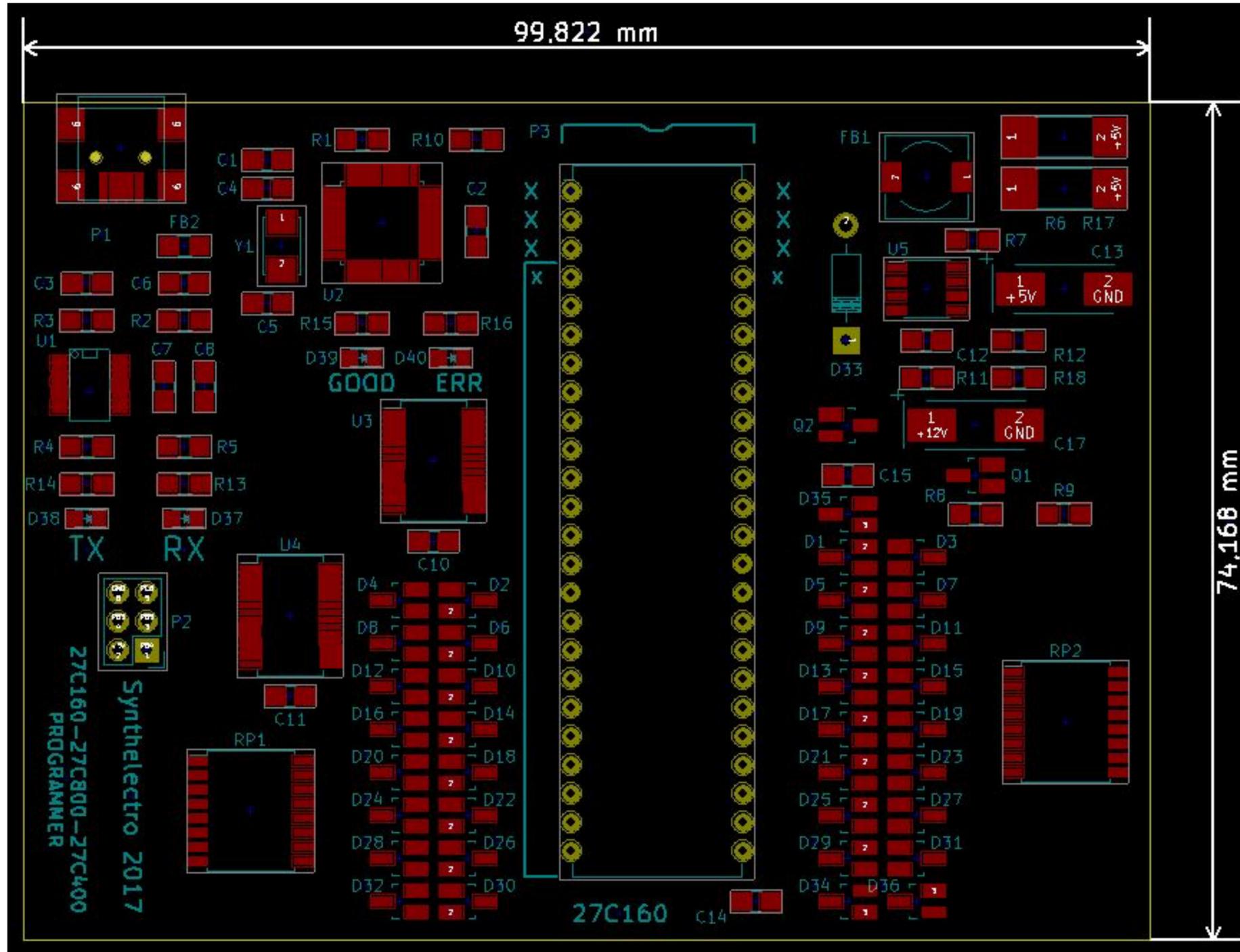


# PCB封装库的建立

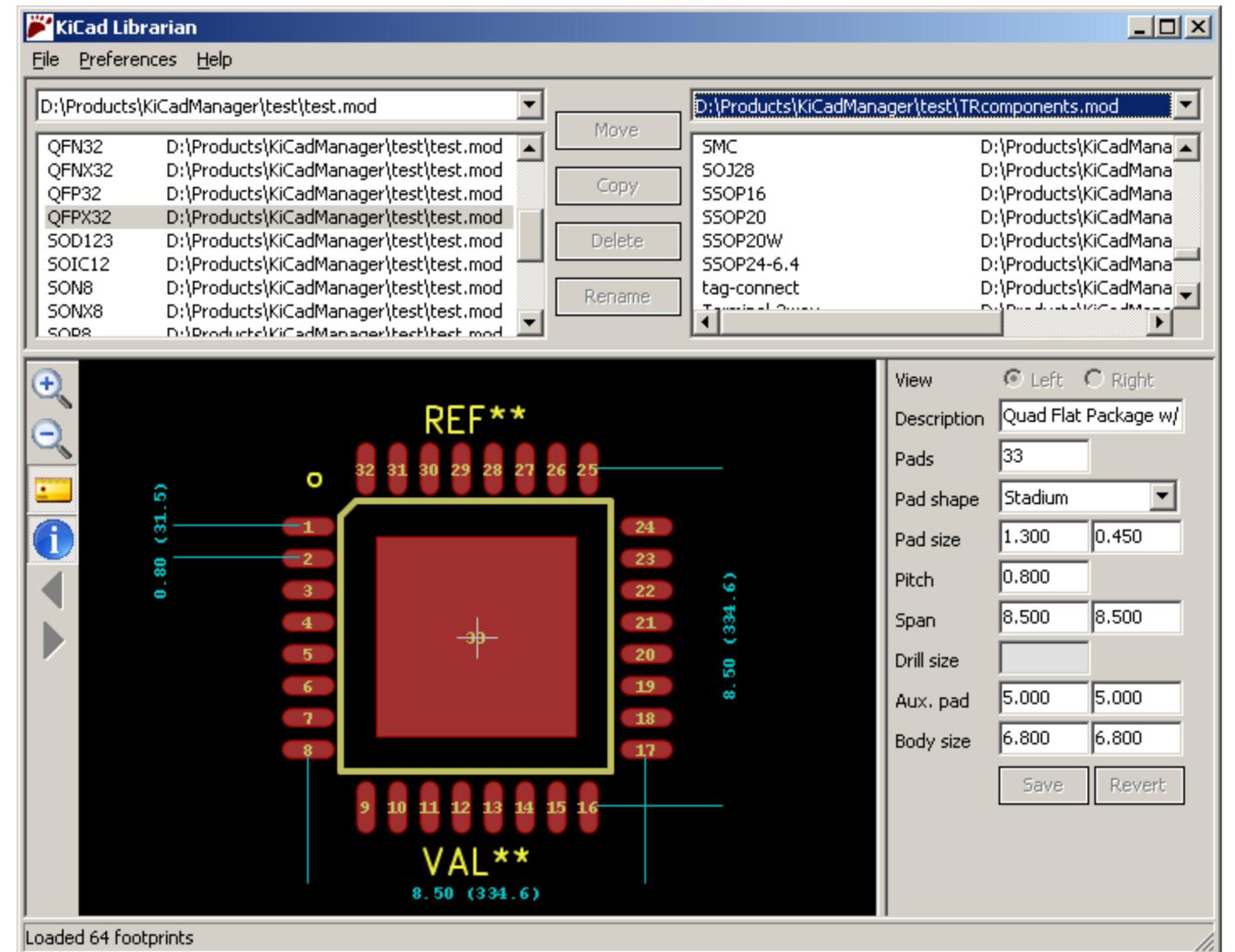
对应物理器件

# 封装库 (Footprint) - 器件通过封装库的焊盘安装在PCB板上



# 重要的事情再说一遍 - 建库要仔细!

- 严格参照元器件数据手册中的封装规格来建
- 与原理图要严格对应 - 封装的命名、管脚的编号
- 适合焊接、生产
- 打印出来跟实物对比验证



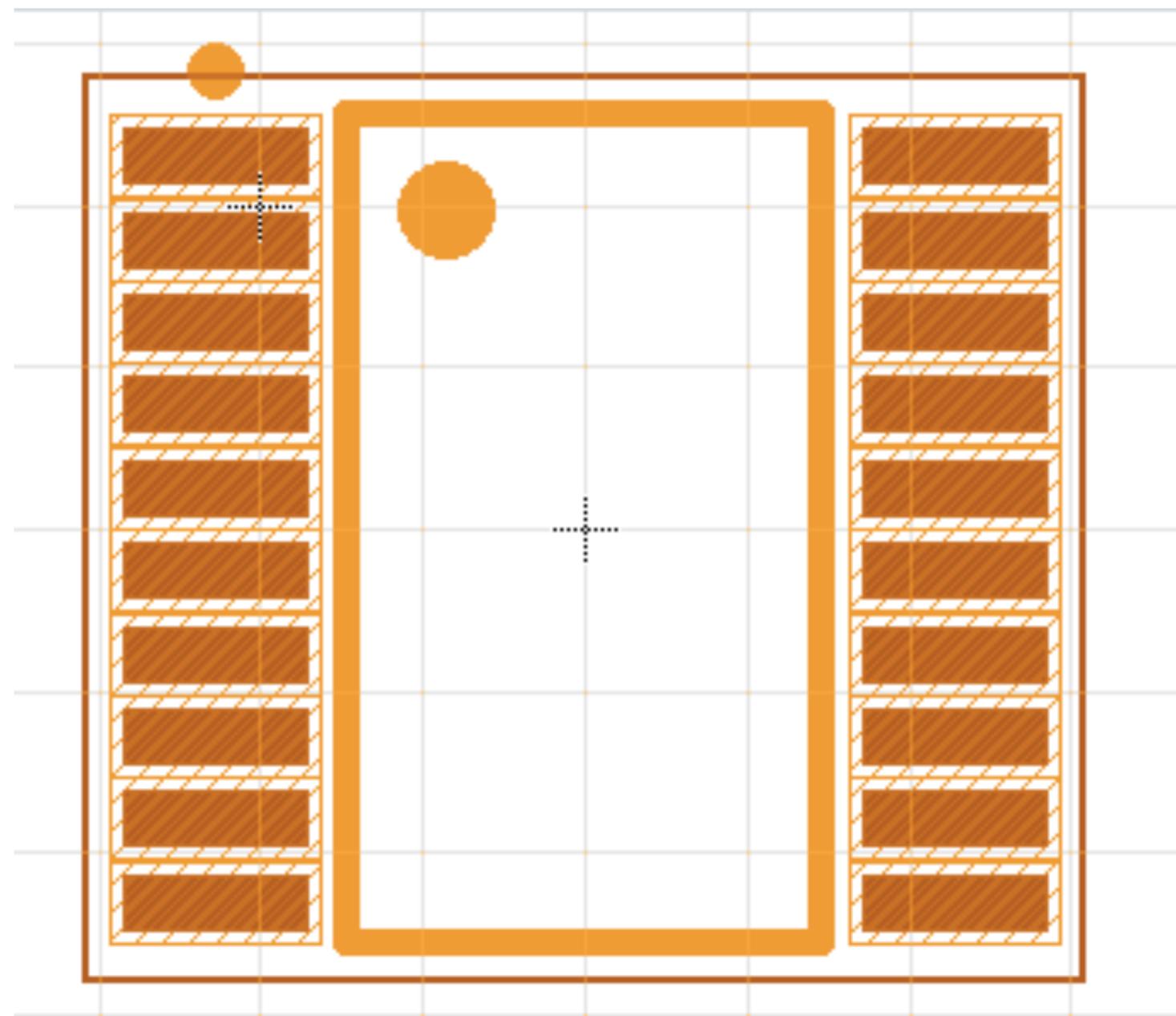
# PCB封装库的来源

- CAD工具自带的标准库（安装选装或官网下载）
- 现有参考设计源图中提取
- 半导体原厂（TI、ADI等）设计文件下载
- 第三方网站下载 - Ultra Librarian、SamsacSys
- 自己创建

The logo for Altium, featuring the word "Altium" in a bold, italicized, black sans-serif font.The logo for Cadence, featuring the word "cadence" in a lowercase, black sans-serif font with a red horizontal bar above the letter "a".The logo for OrCAD, featuring the word "OrCAD" in a red sans-serif font with a trademark symbol, and "CADENCE PCB SOLUTIONS" in a smaller black font below it.The logo for Mentor Graphics, featuring the words "Mentor Graphics" in a red, stylized sans-serif font.The logo for Analog Devices, featuring a black square with a white play button icon, the words "ANALOG DEVICES" in a bold black sans-serif font, and the tagline "AHEAD OF WHAT'S POSSIBLE™" in a smaller black font below it.The logo for NXP, featuring the letters "NXP" in a bold, multi-colored sans-serif font (N is blue, X is green, P is yellow).The logo for Silicon Labs, featuring a red stylized "S" icon and the words "SILICON LABS" in a black sans-serif font below it.The logo for Texas Instruments, featuring a red outline of the state of Texas and the words "TEXAS INSTRUMENTS" in a black sans-serif font to its right.The logo for SnapEDA, featuring a stylized hand icon holding a chip and the words "SnapEDA" in a grey and orange sans-serif font.The logo for PCB Libraries, featuring a stylized chip icon and the words "PCB Libraries" in a blue and black sans-serif font.The logo for SamacSys, featuring the words "SamacSys" in a white sans-serif font on a blue rectangular background.The logo for Ultra Librarian, featuring a stylized chip icon and the words "Ultra Librarian" in a black sans-serif font.

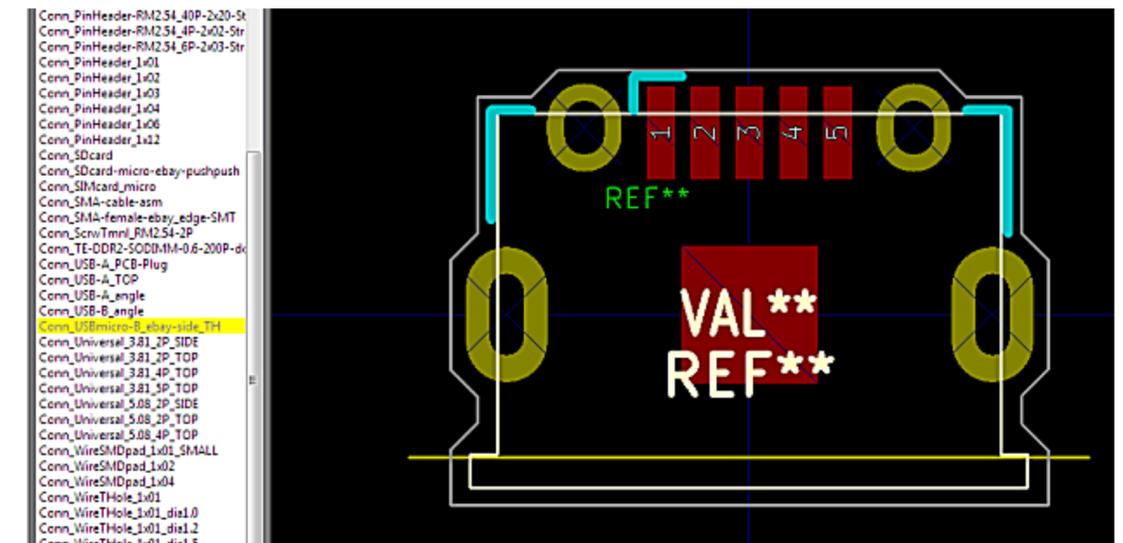
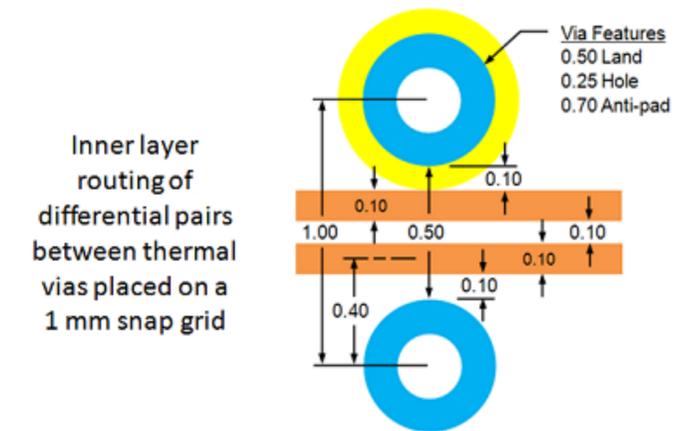
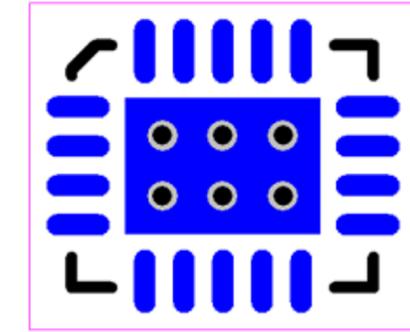
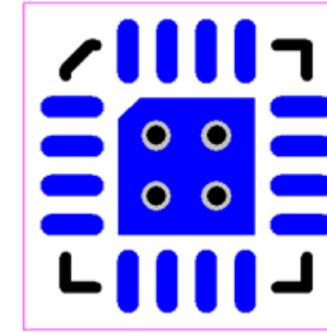
# 元器件封装库的构成三元素

- 焊盘 (形状、位置、编号)
- 外形轮廓
- 丝印标注
- 3D模型 (STEP)

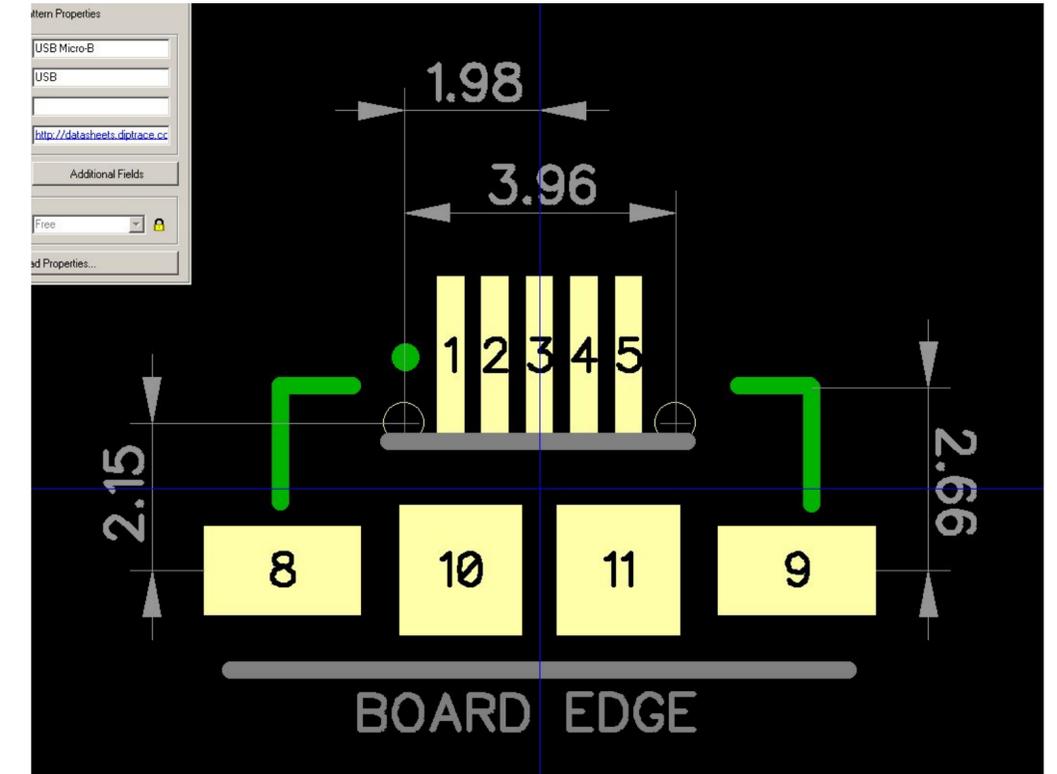
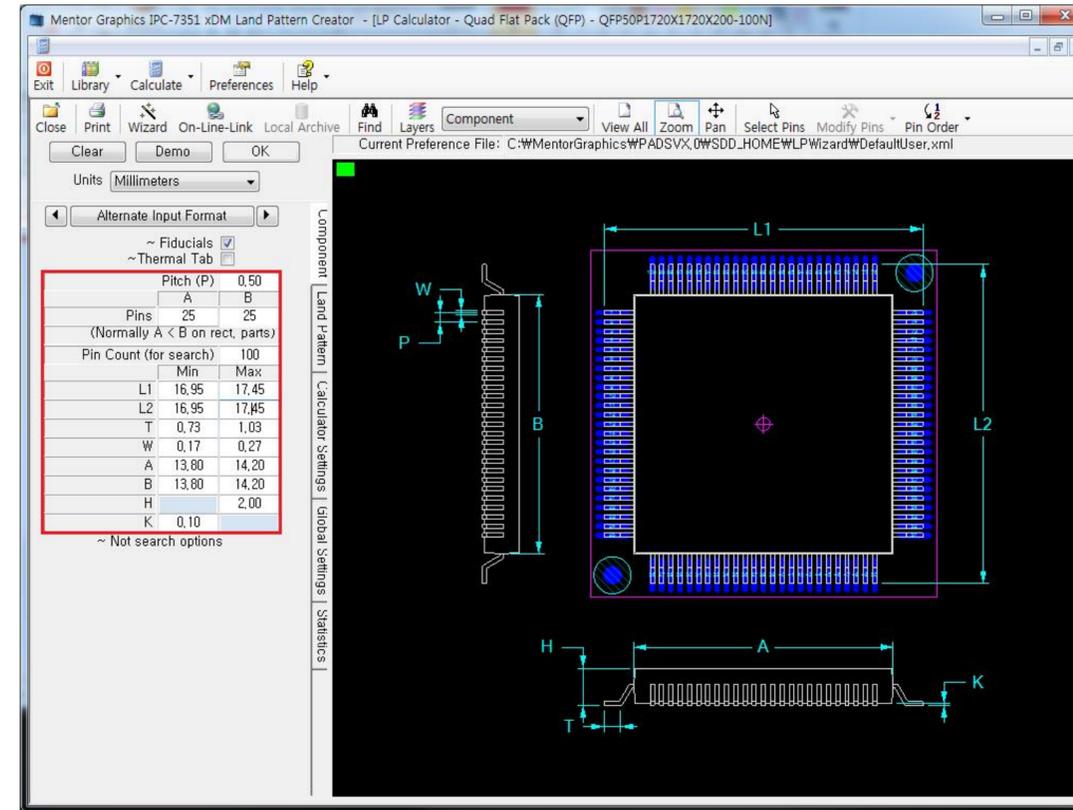
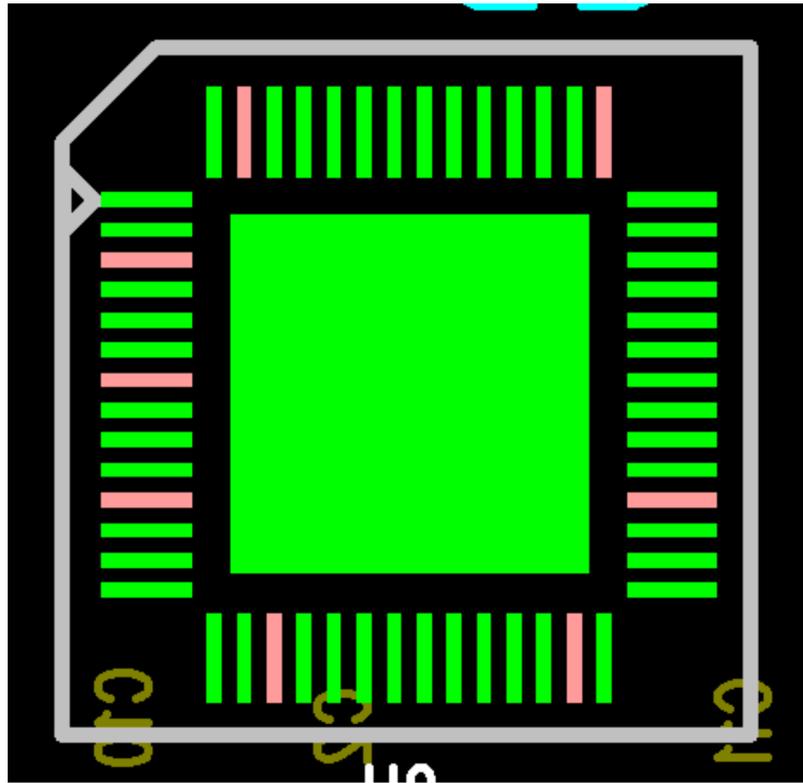


# 焊盘 - Pad/Land

- 选择焊盘类型 - 器件形状、大小、布置形式、振动、受热、受力等因素
- 泪滴状焊盘 - 发热且受力较大、电流较大
- 各元件焊盘孔的大小要按照元件引脚粗细分别编辑确定
- 注意焊盘和焊盘中心间距是否与器件管脚中心间距一致

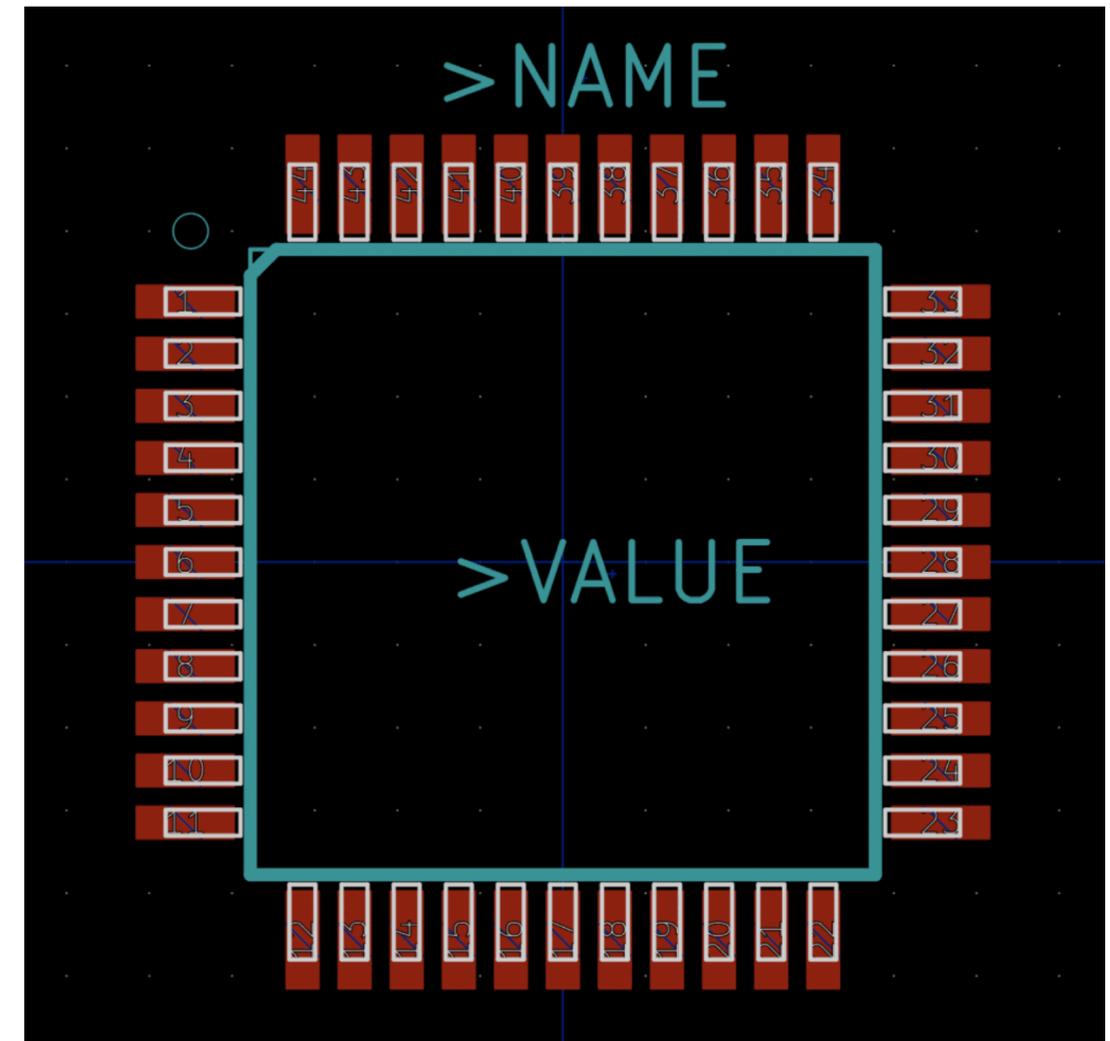
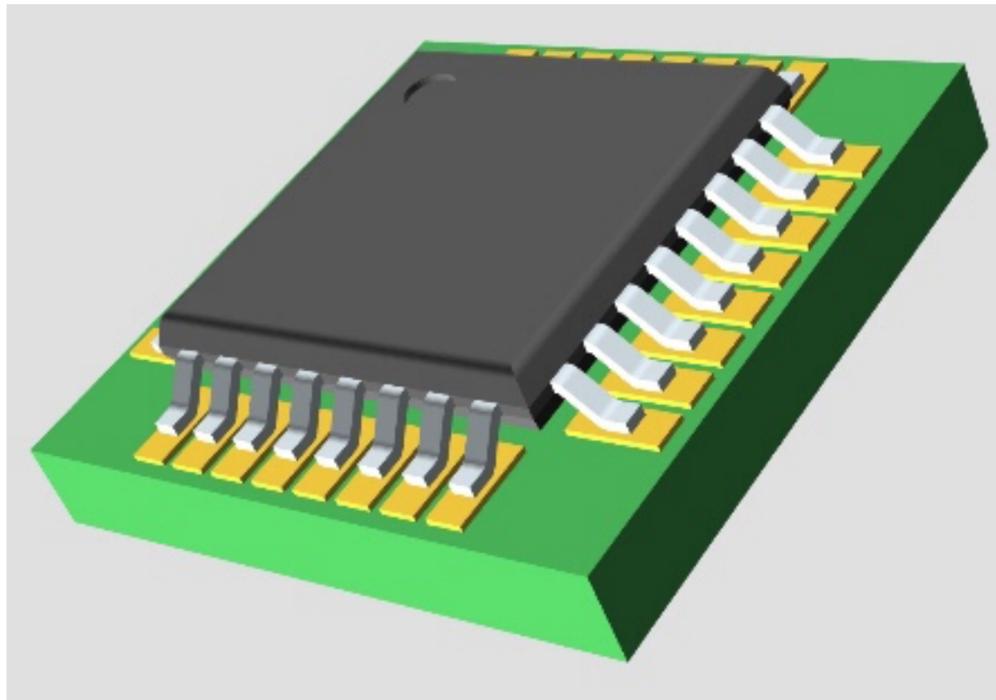


# 外形轮廓 - 元器件不能冲突，尤其是焊接、安装

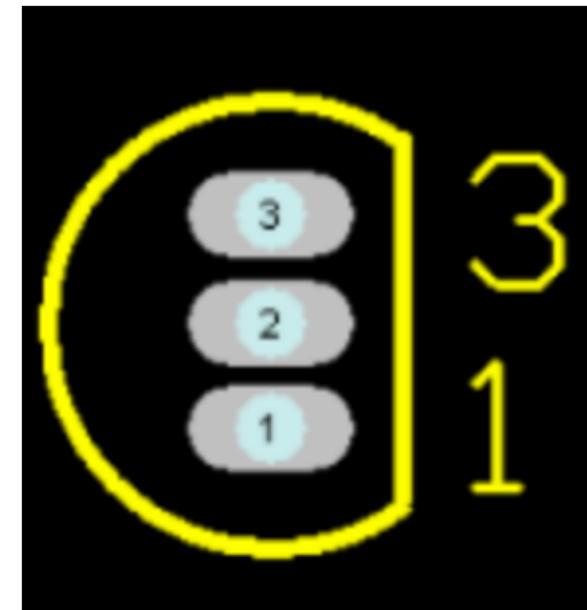
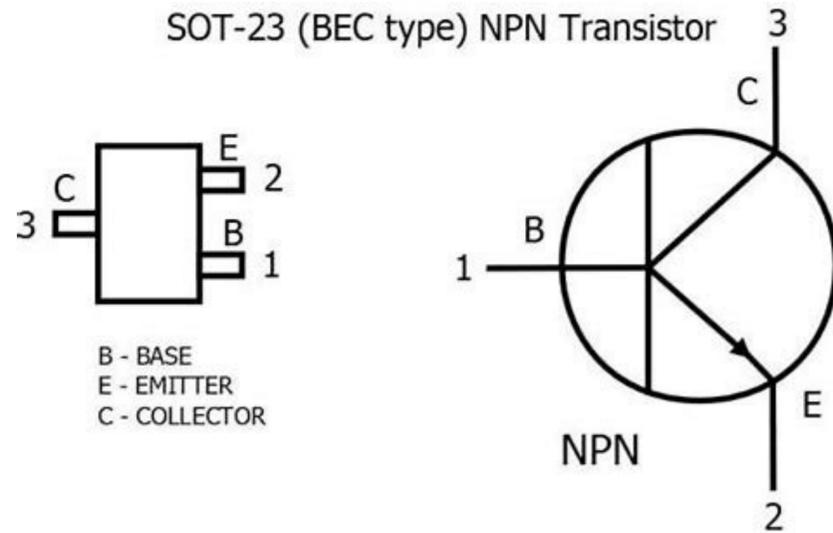
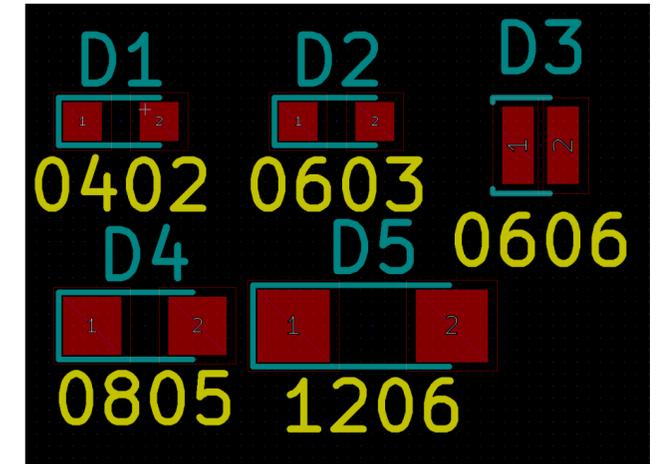
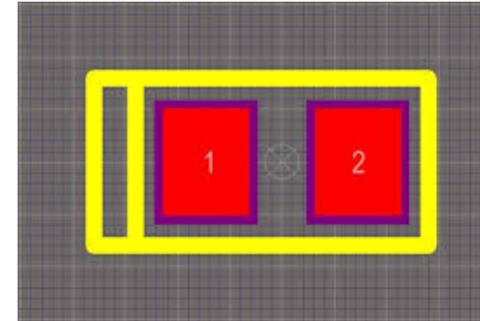
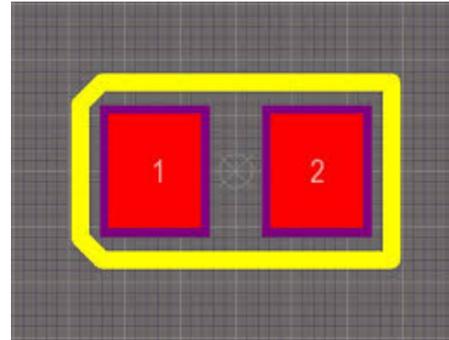
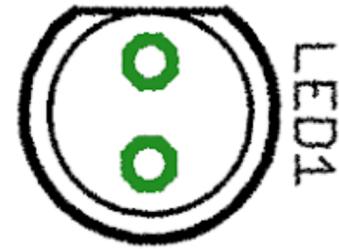
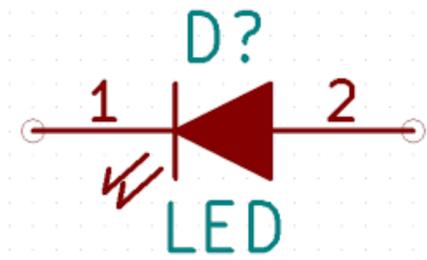


焊盘大小：管脚焊盘宽度同数据手册中一致或略宽

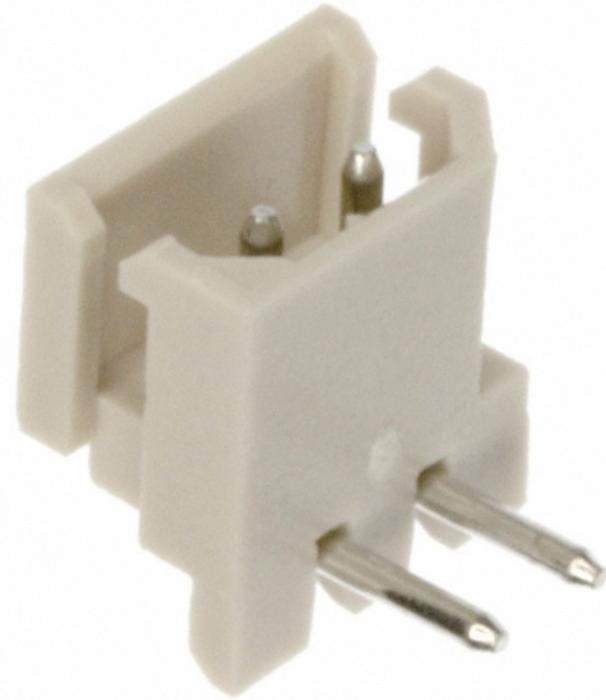
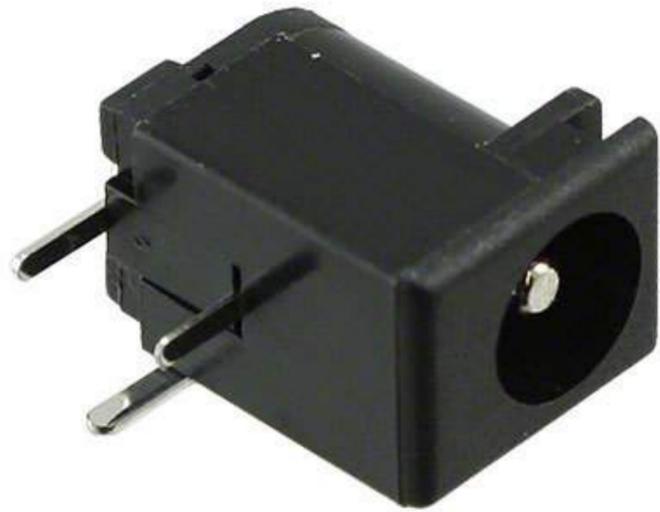
管脚长度略长于数据手册中器件的管脚长度



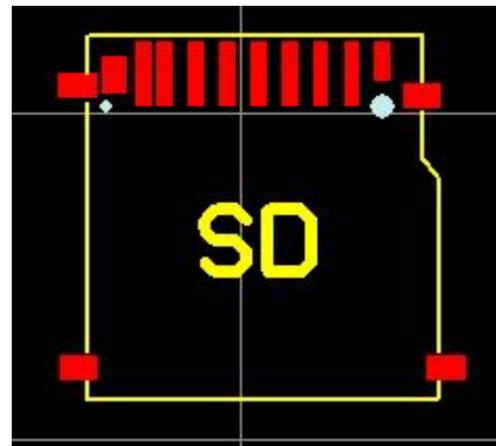
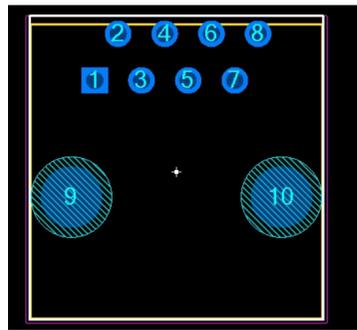
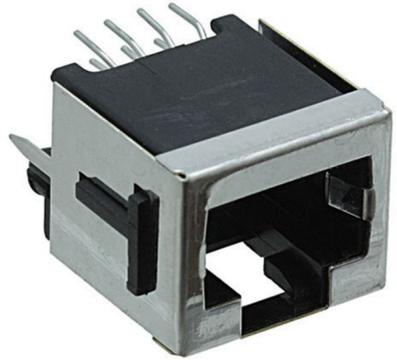
# 封装库和原理图符号库的管脚编号要对应并有丝印标记



# 通孔的器件封装库 - 注意管脚的粗细和形状



# 注意定位用的管脚 - 位置、编号、孔径、接地与否?



**GCT**

**USB3135-30-A**

USB3100 Series 5 Pin SMT Right Angle Top Mount Micro USB Receptacle w/ Peg

Availability: **In Stock**

Package Type: **N/A (Add Suggestion)**

Average Price: **\$0.39 USD**

CAD Models: **Symbol and Footprint**

[Add to Library](#)

[See Datasheet PDF](#)

[Buy Component](#)

Symbol and Footprint Library /

2D Model  3D Model

GCT Approved by GCT

Symbol

Footprint (Unlink Footprint)

VBUS  
D-  
D+  
ID  
GND  
SHIELD

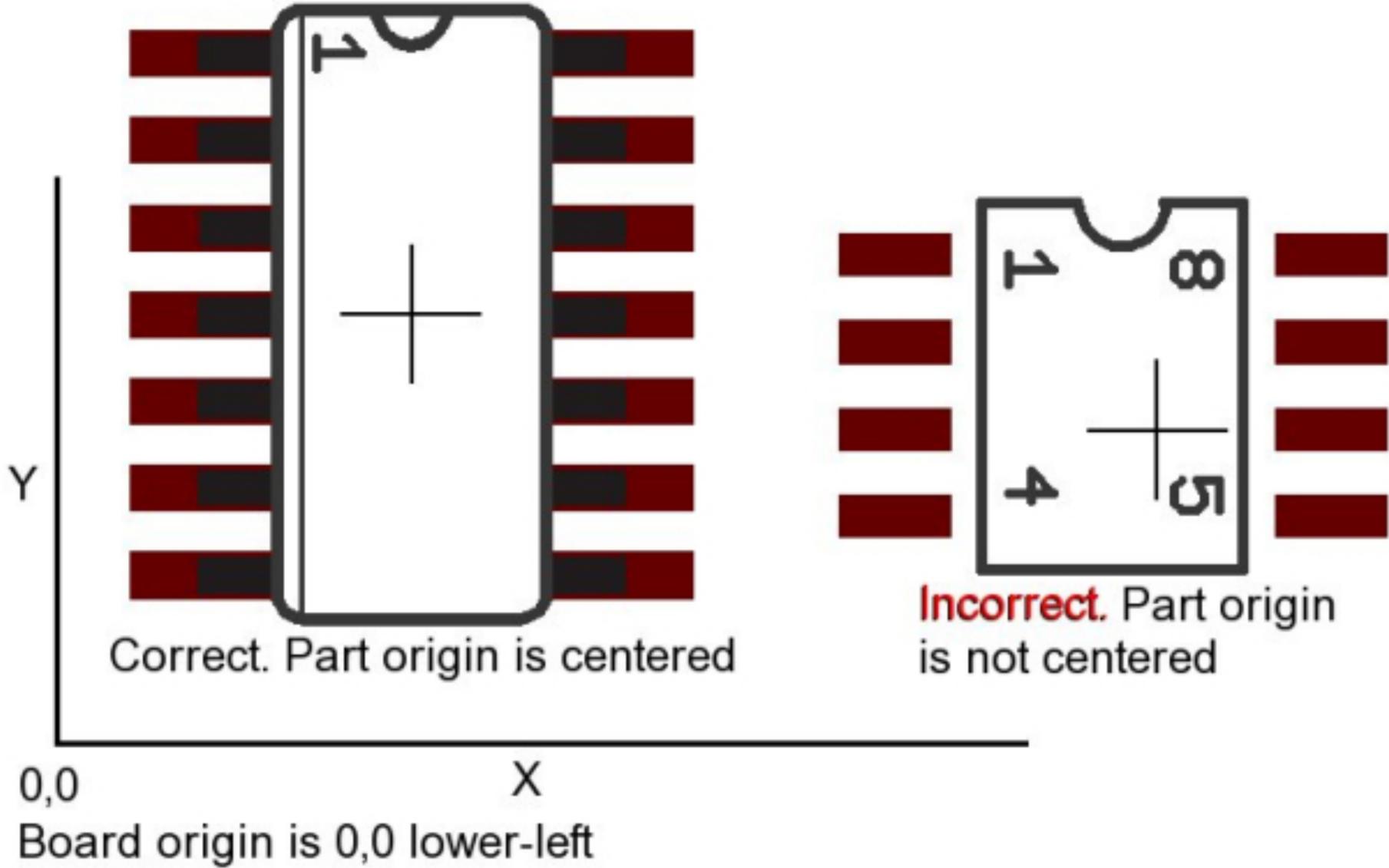
USB3135-XX-X\_REVB

GCT\_USB3135-XX-X\_REVB

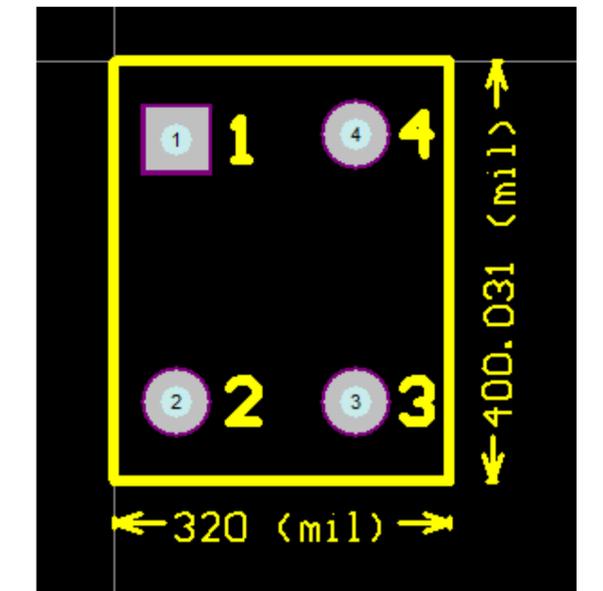
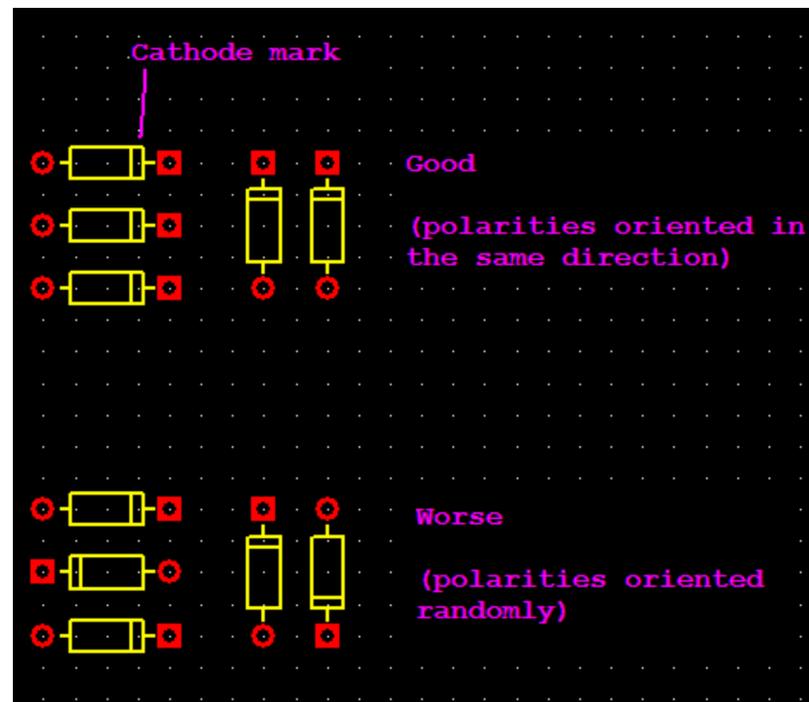
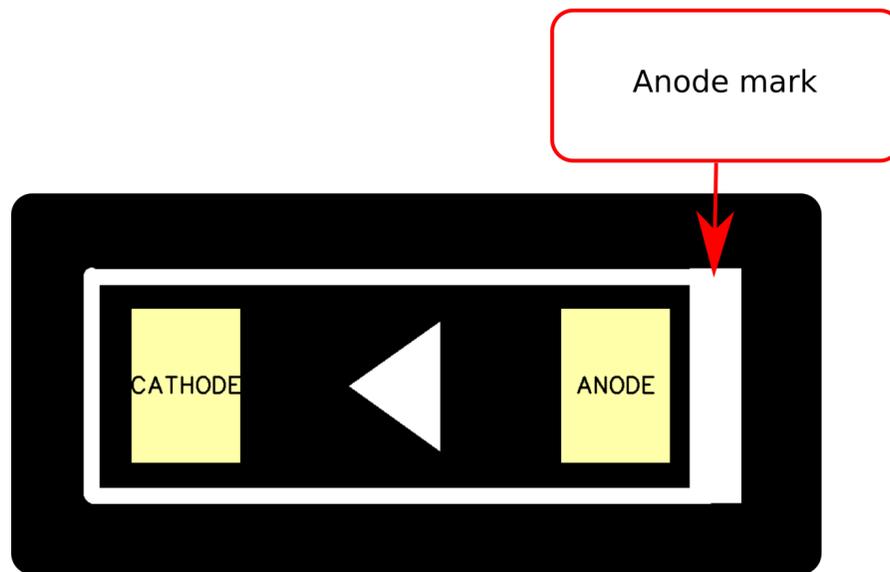
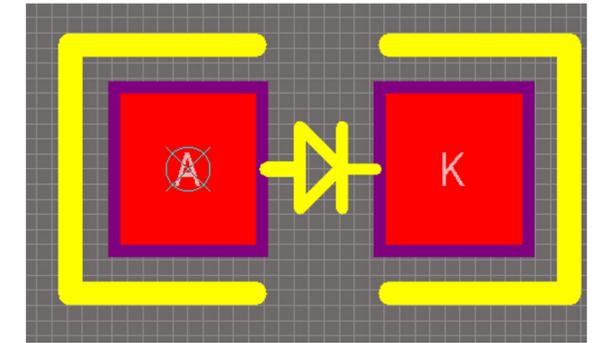
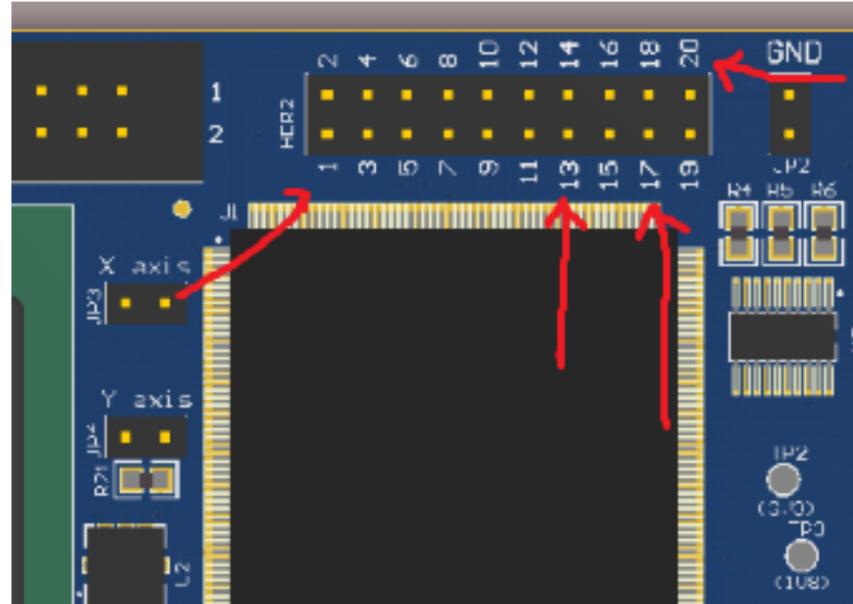
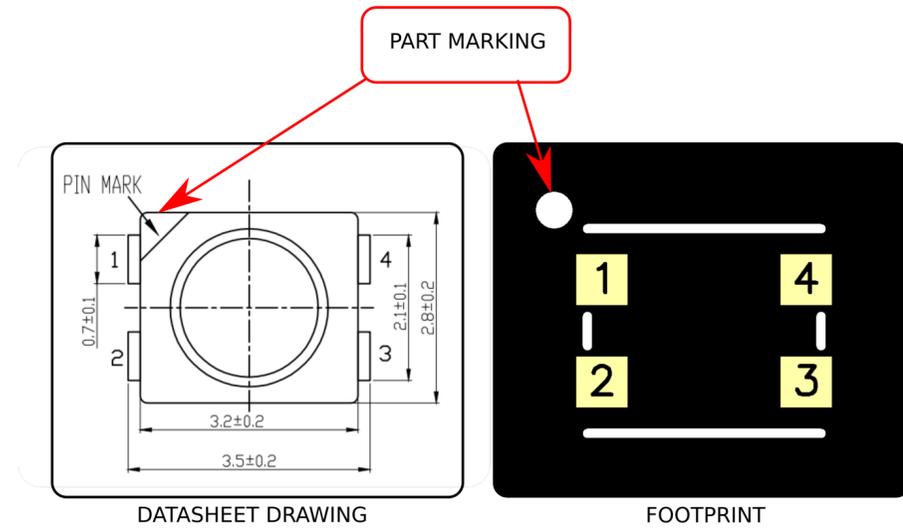
[Download Symbol and Footprint](#)  
Downloaded 2 times

[Download Footprint](#)  
Downloaded 3 times

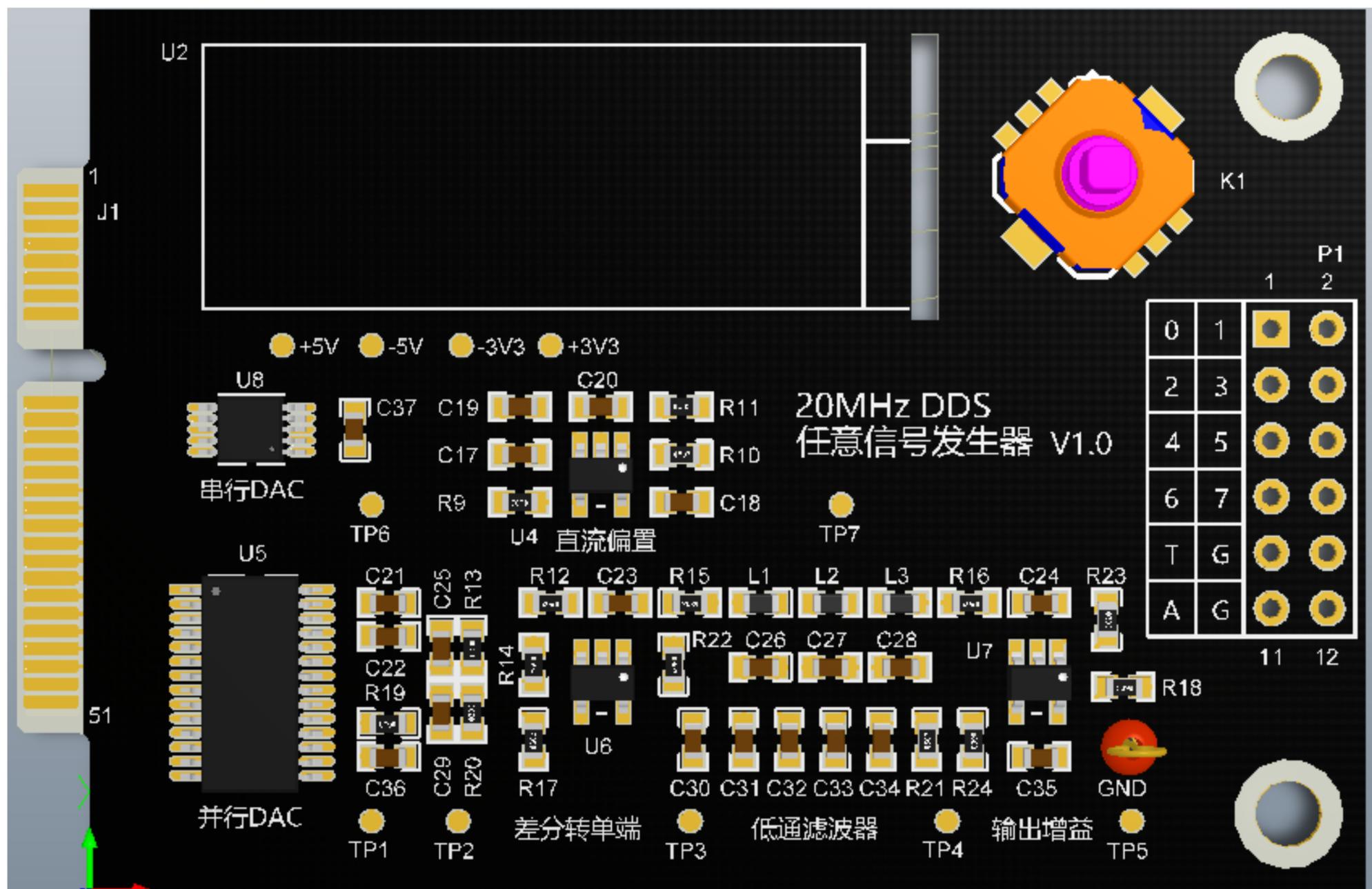
# 设定好原点



# 明确、正确的丝印标注



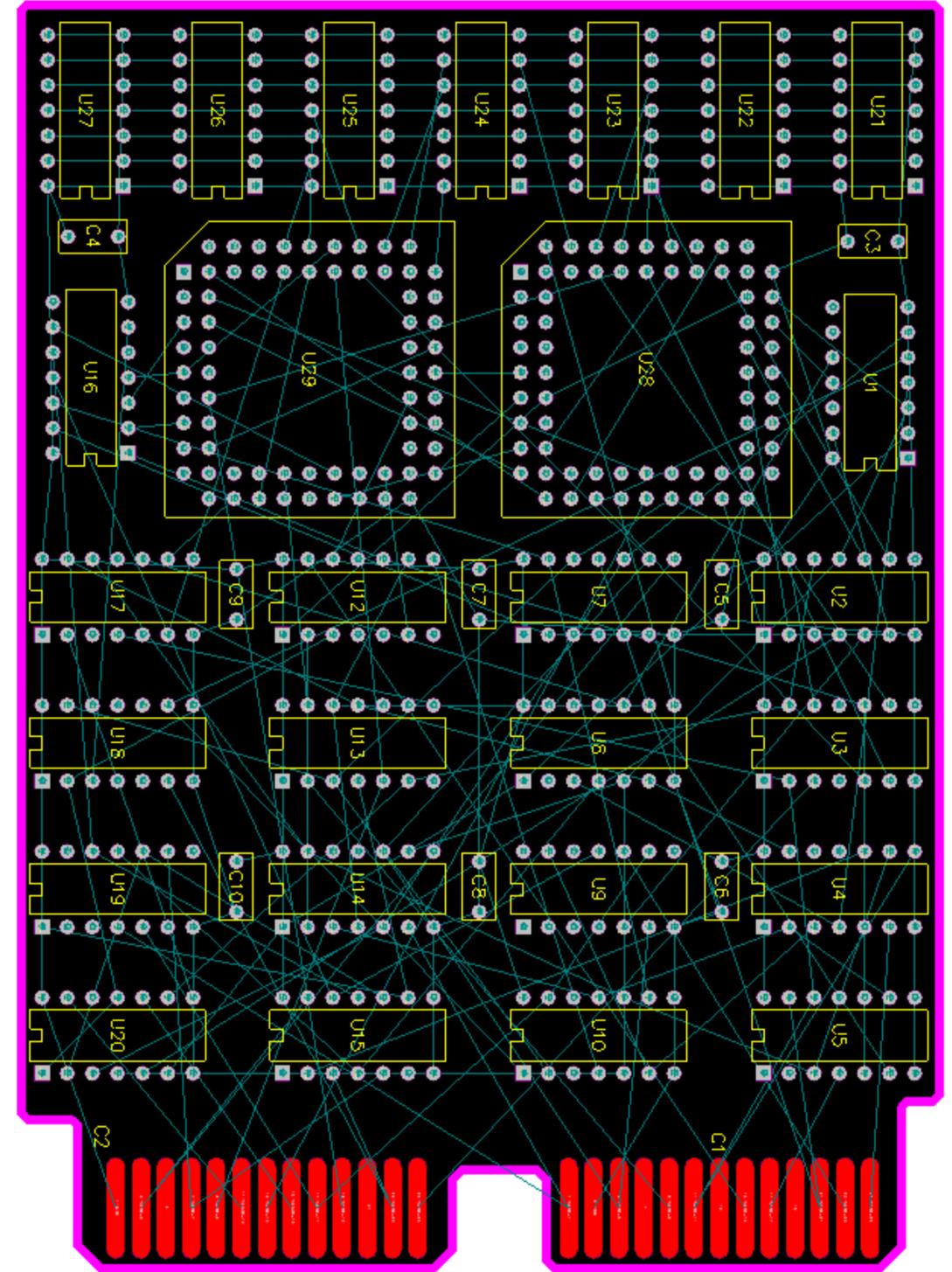




## PCB设计之元器件布局策略

# 核心要点

- 不建议自动布局，几乎没用
- 未完成布局，尽量不要布线，随时根据review可能调整
- 综合考虑：机械结构、散热、将来布线的方便性、电磁干扰、可靠性、信号完整性、先主后次
- 器件的摆放在保证关键器件的位置需求之外，要考虑到布局的规整、板卡的美观，尤其是无源器件的排列方向
- 布局完成以后可以对设计文件及有关信息进行返回标注于原理图，使PCB板中的有关信息与原理图一致
- 器件编号/名称摆放位置规则、易读、风格统一



# 布局步骤1 - 结构要求



- 根据需要划定外形轮廓，根据与外界的连接要求放置连接器
- 机械结构方面 - 外部接插件、显示器件等的安放位置应整齐，从3D角度考虑，板内部接插件应考虑总装时机箱内线束的美观，较重元器件应该分散放置
- 散热方面 - 散热器、风扇，与周围的电解电容、晶振等怕热器件隔开；竖放的板子发热器件放在板子最上面，双面放器件时底层不放发热的器件
- 电磁干扰方面 - 高频器件、EMI考虑，预留保护地线的走线空间、总线信号的成组分布、微小信号的抗干扰隔离带的空间和保护、差分信号的成对出现
- 设计禁止布线层和机械结构：物理尺寸、定位孔/安装孔的位置、接插件的位置、禁止布线层的位置，标准板可调用现有的向导

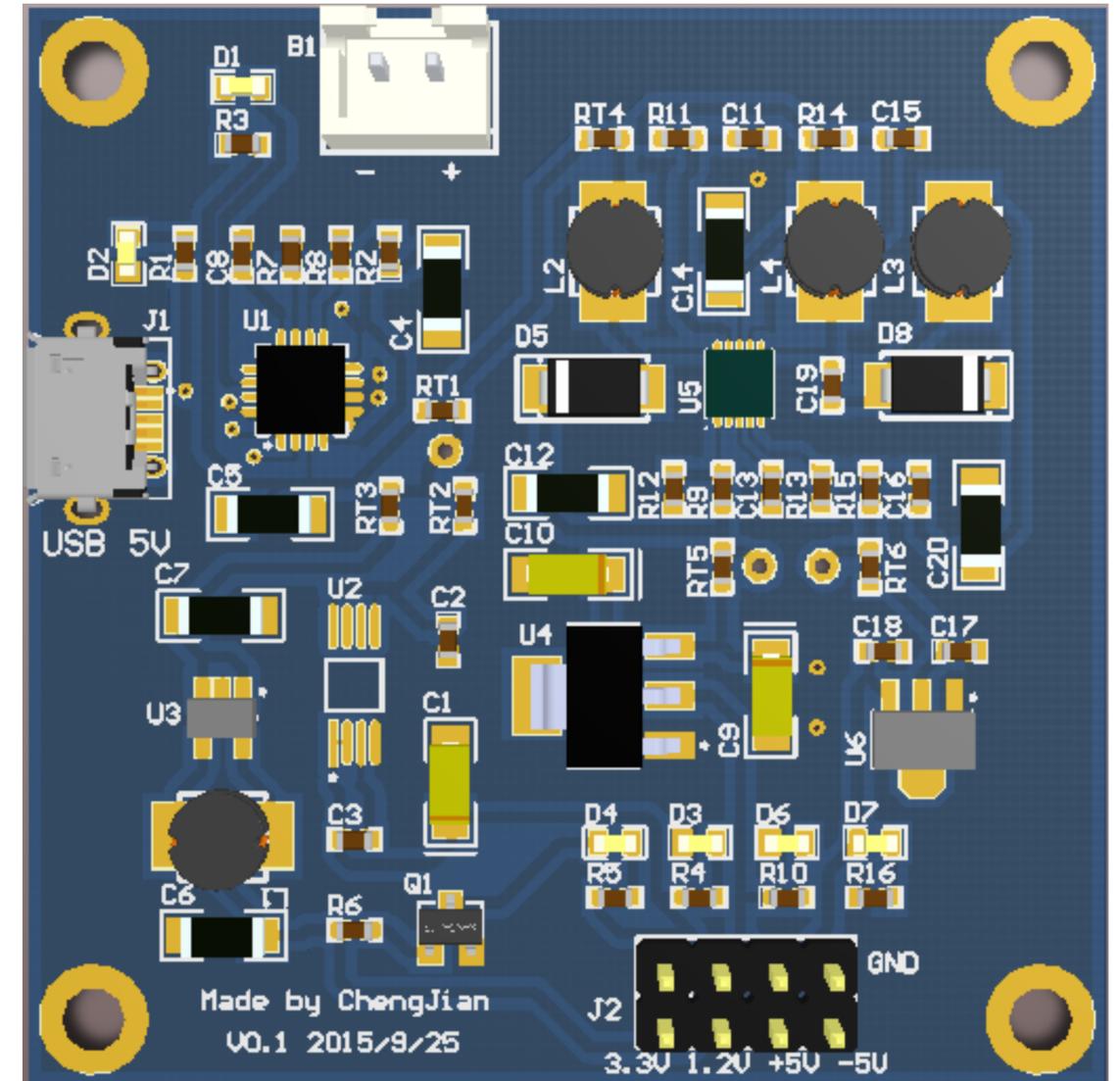
# 无物理限制的板卡尺寸设定

- 大小适中:

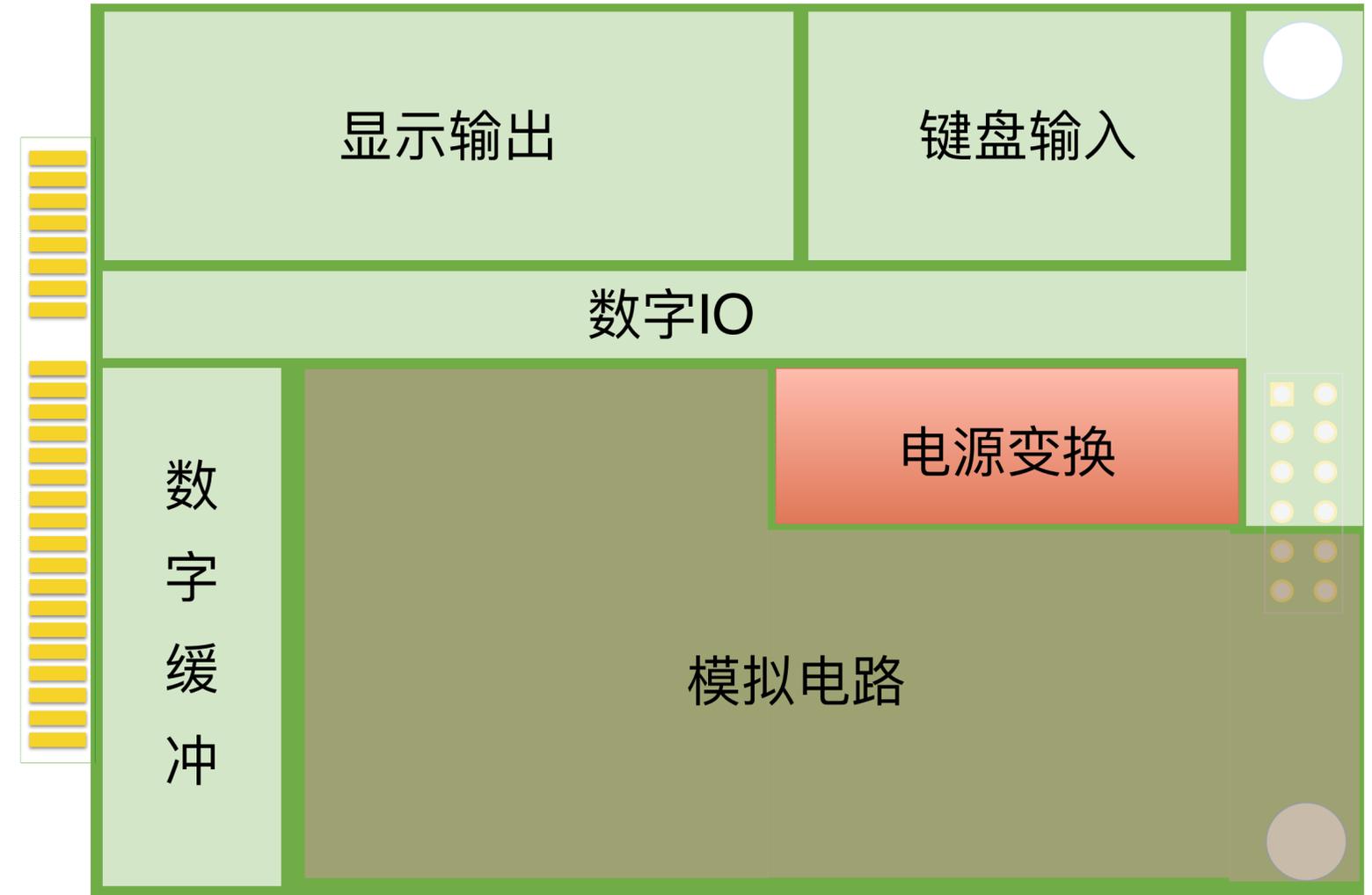
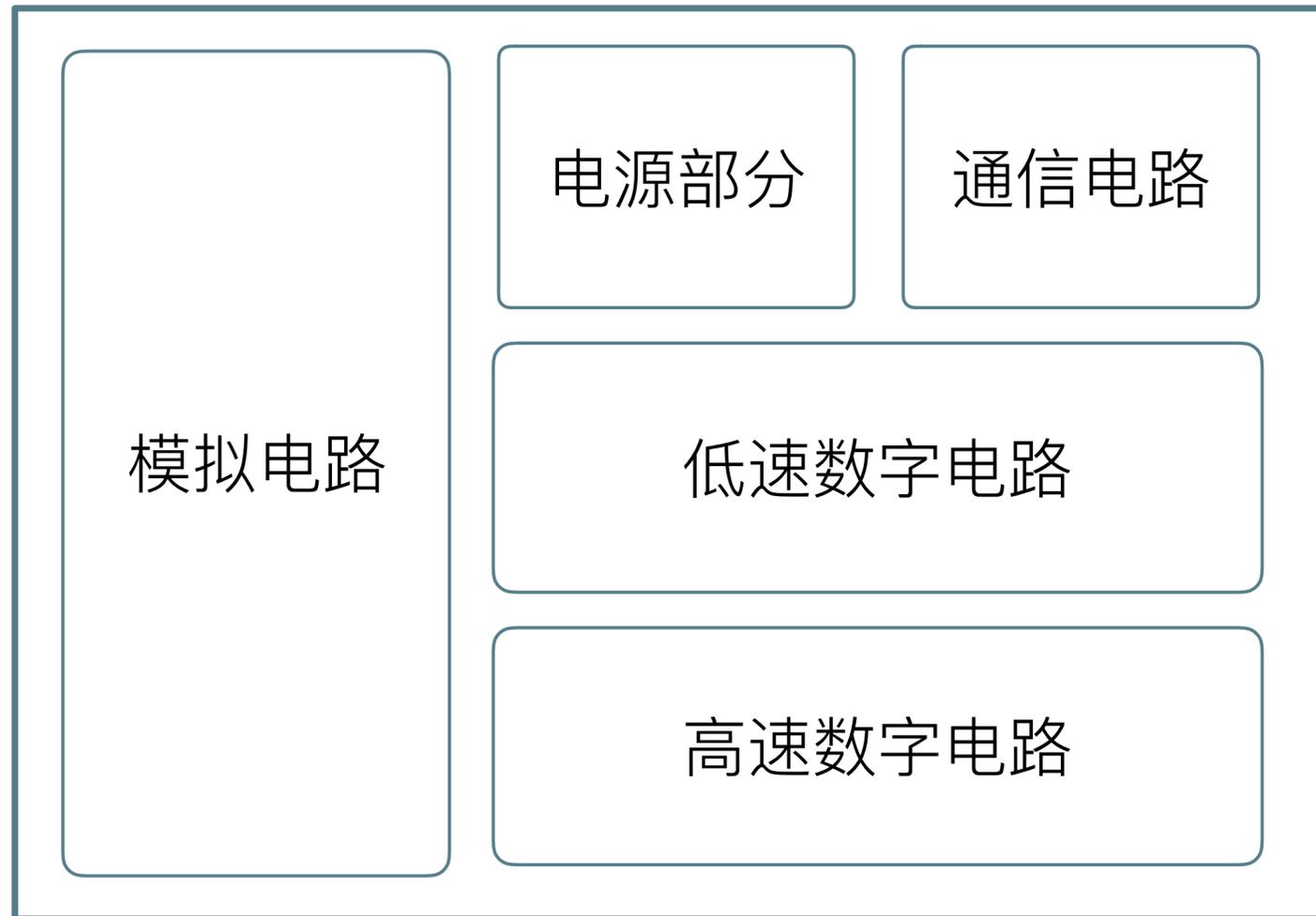
- 过大 - 线条长、阻抗增加、抗噪声能力下降、成本增加
- 过小 - 散热不好, 易受临近线条干扰
- 整体美观 - 布局均衡、疏密有致

- 成本:

- 板子的层数 - 根据尺寸、性能要求和器件的封装决定
- 单板的面积 - 大小适中、加工方便
- 加工成本
  - ▶ 拼板
  - ▶ 原材料利用率: 1020mm\*1020mm和1020mm\*1220mm居多



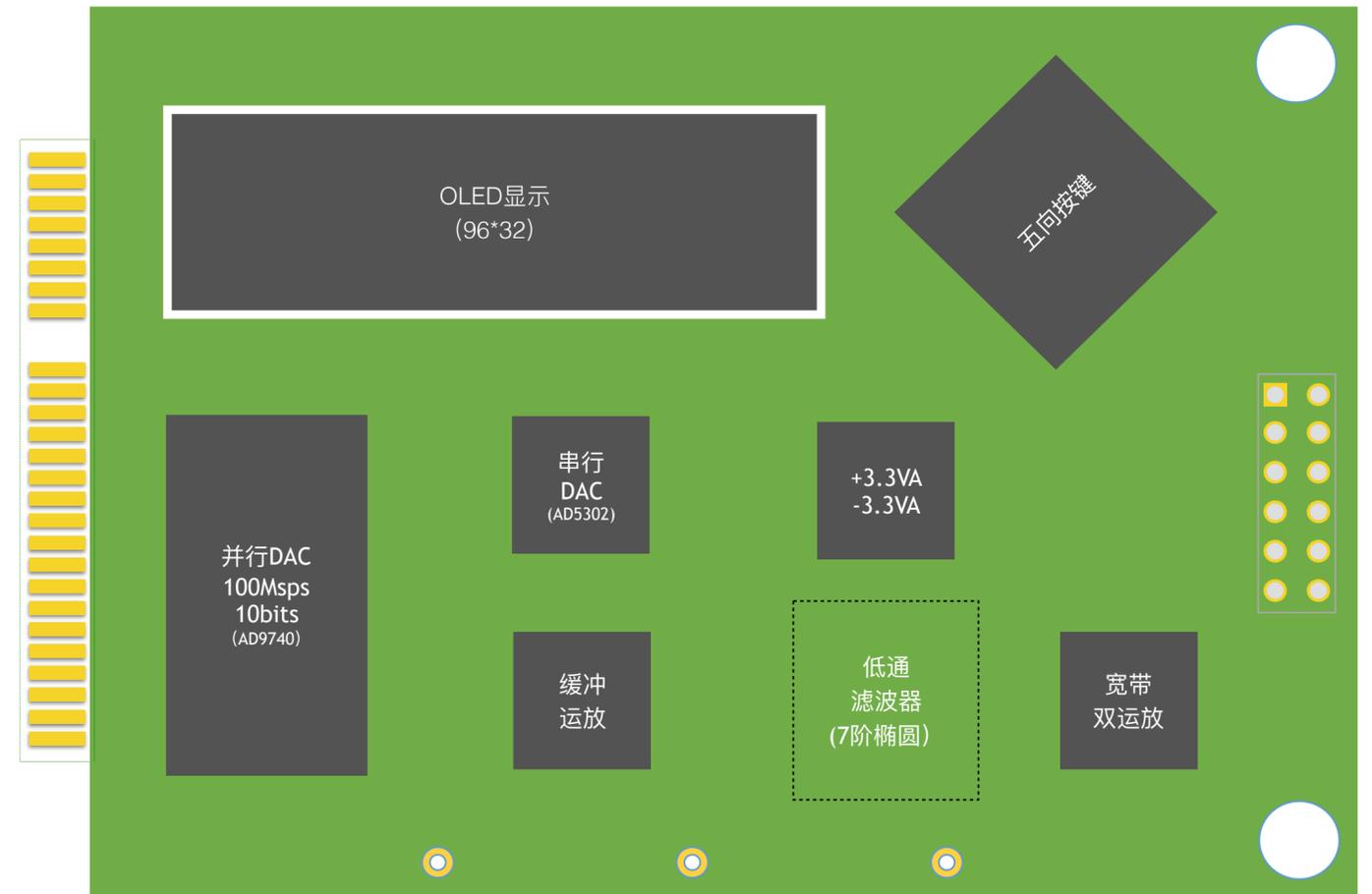
## 布局步骤2 - 按照功能分割区块



- 功能模块分区 - 功能、类型、连接关系分区，模拟/数字、高频/低频、大功率/小信号
- 不同功能区块的供电/接地可能不同

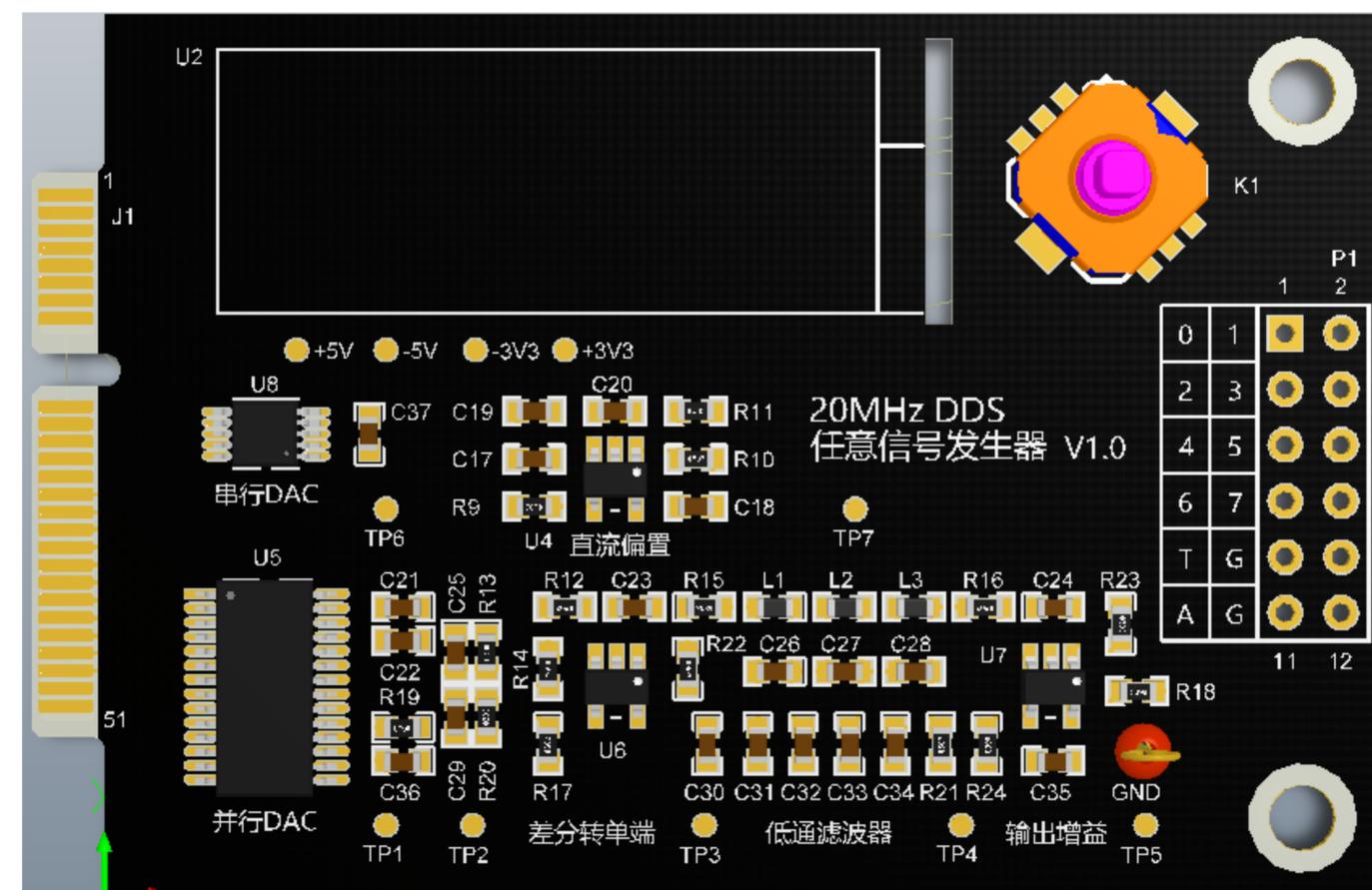
# 布局步骤3 - 摆放关键器件

- 单面板 - 元器件一律顶层
- 双面板 - 元器件一般放顶层，元器件过密时把高度有限、发热量少的器件（贴片阻、容、IC）放底层
- **MCU** - 注意MCU和周边辅助电路及其它芯片的联系，注意时钟线引脚以及晶振的放置位置
- **FPGA** - 管脚多、连线多，可以根据实际情况调整FPGA引脚的分配
- **混合型器件（ADC、DAC）** - 数字信号和模拟信号朝各自的布线区域，同时考虑到器件方向的一致性，将混合器件放在数字和模拟布线区的交界处
- 热敏器件和发热器件之间有适当的隔离

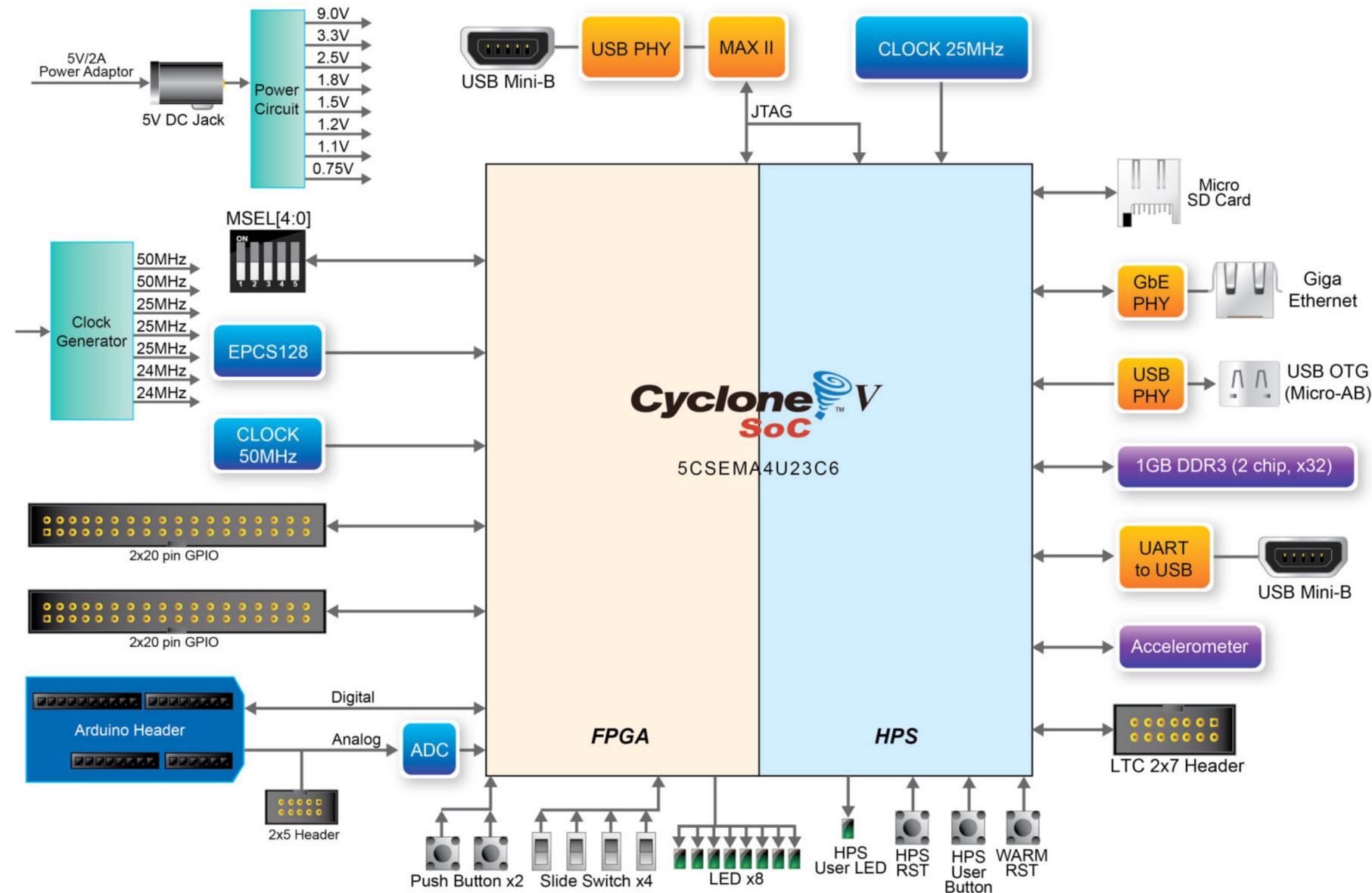


## 布局步骤4 - 摆放周边器件：性能、美观

- 注意数字/模拟信号的区别，数字/模拟元器件以及相应走线尽量远离并限定在各自的布线区域内
- 注意元器件离板边缘的距离，所有的器件均放置在离板的边缘3mm以内或 至少大于板厚
- 特殊元器件要求 - BGA器件周围2mm不能有任何器件，晶振下面最好不要有信号走线
- 信号的测试点放置在方便观测仪器测试的位置，不影响信号质量，接地点要方便探头的连接
- 布线要求 - 分布密度适当，保证布线空间但不宜走线过长增加信号延时，去耦电容、匹配电阻注意位置
- 可安装性和可焊接性，器件的排列方向、波峰焊方向、焊接面元器件的高度



# FPGA器件的管脚灵活应用



- 充分利用FPGA的IO可编程配置的优势
- 根据PCB的布局调整原理图的连接甚至原理图符号库的管脚排列
- 专用管脚不可动 - 时钟、JTAG等
- 注意同一组IO的属性一致性，比如LVDS
- 认真阅读数据手册
- 适用于IO可灵活配置的MCU

# 布局的检查

- 打印检查 - 拿实物验证
- 符合PCB制造工艺要求、有无定位标记？定位接插件要精确定位
- 元器件在2D、3D上不要有冲突，注意器件的实际尺寸，尤其是高度，在焊接面布局的元器件，高度一般不超过3mm
- 是否疏密有致、排列整齐、全部布完
- 需经常更换的器件是否方便更换？插件板插入设备是否方便？



# PCB的布线

最短路径、减少干扰

# PCB布线流程

1. 了解制造厂商的制造规范 - 线宽、线间距、过孔要求、层数要求
2. 确定层数并定义各层的功能
3. 设计布线规则 - 线宽、线间距、过孔大小
4. 定义不同net的走线宽度
5. 关键信号线走线 - 电源、时钟、差分信号、敏感的模拟信号....
6. 其它信号线走线
7. 铺地/电源
8. DRC检查
9. 对照原理图上的连线逐线高亮检查
- 10.调整丝印

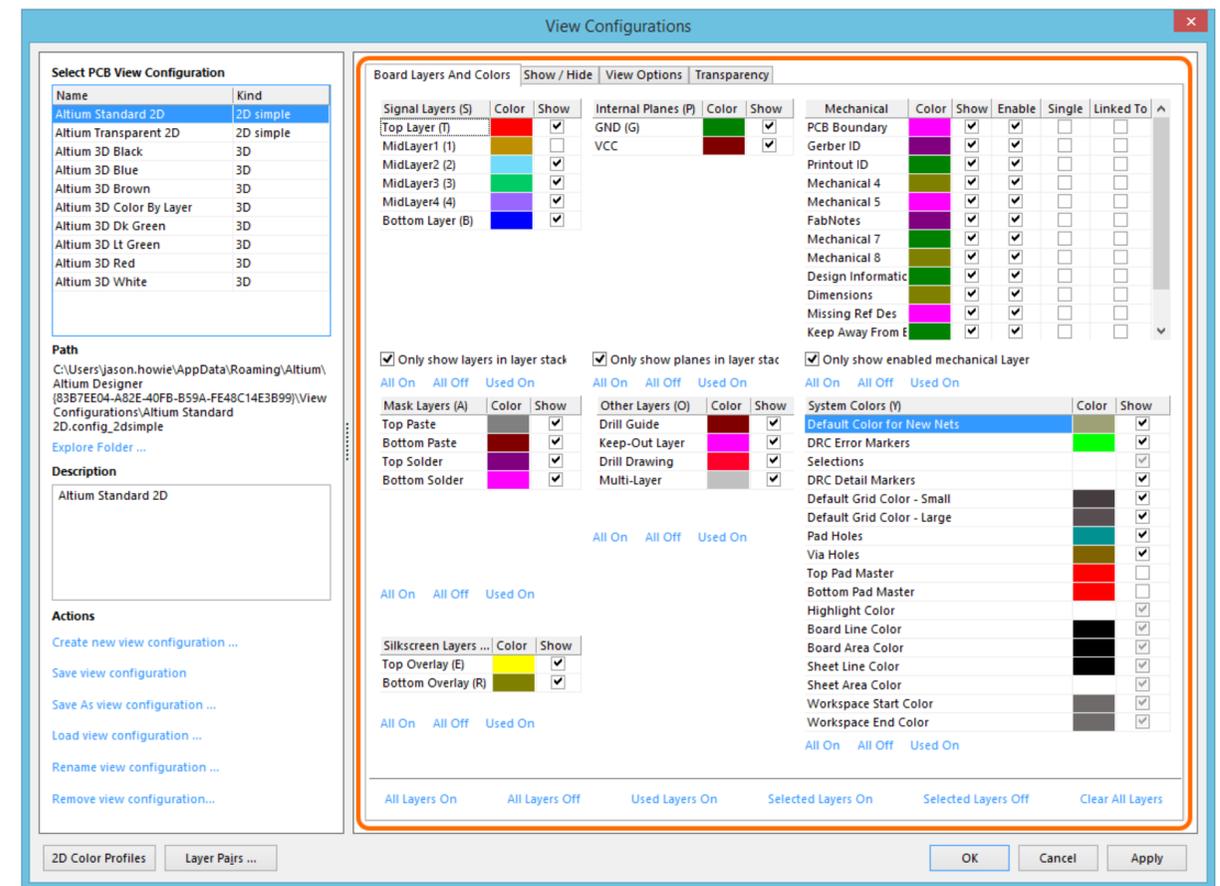
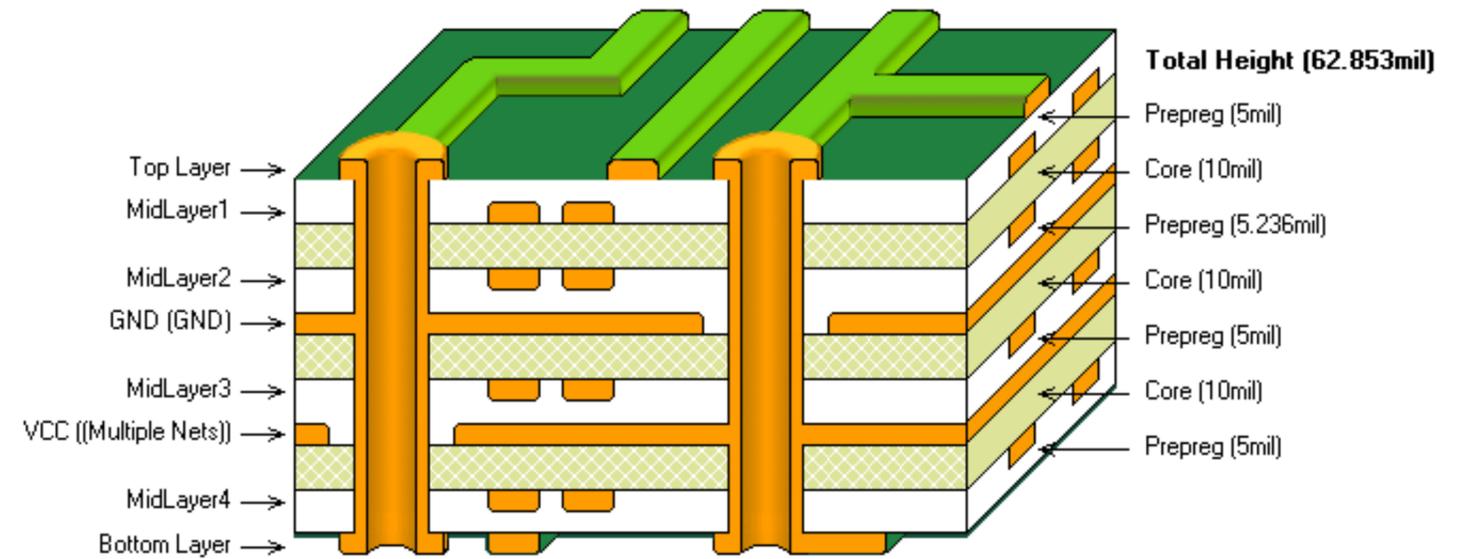
# 选择层数

- 根据电路特点规划层数：

- 高速/低速、模拟/数字、阻抗要求
- 器件封装及散出
- 抗干扰、可靠性要求
- 成本

- 定义各层的功能

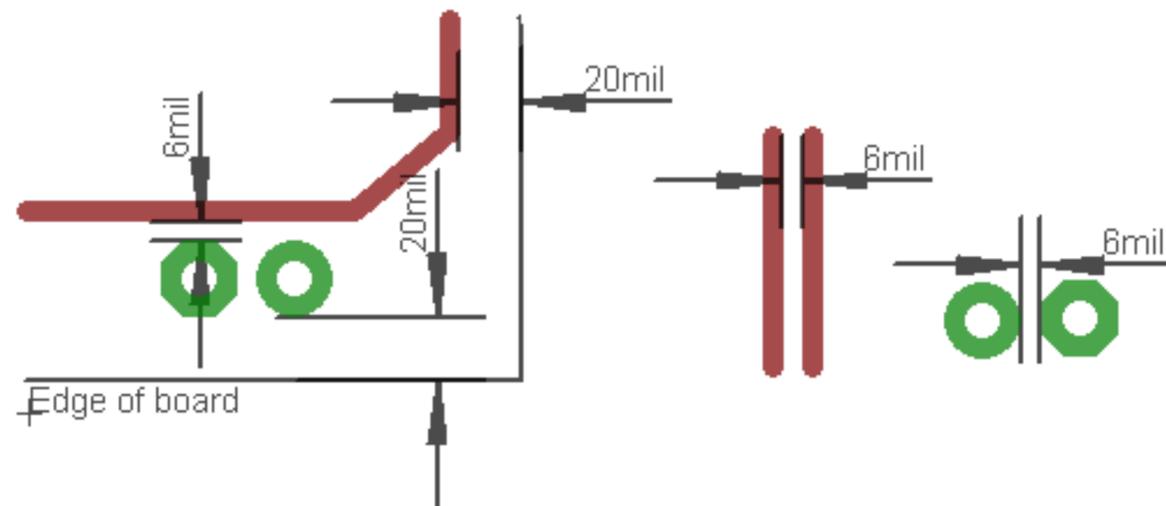
- 关闭未曾用过的层



# 设定布线规则



Minimum trace/silkscreen/text/hole size

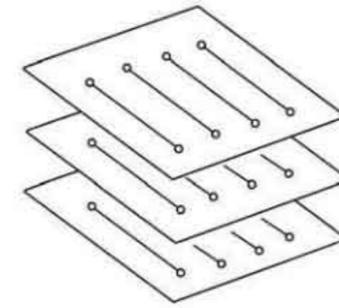


Minimum trace/via/pad space

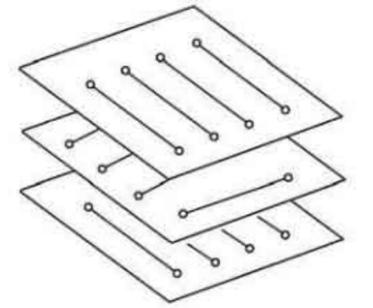
- 线宽 - 不同的net可以单独定义
- 过孔形状和孔径（内径、外径）
- 丝印的文字字体和字号
- 安全间距：
  - 走线和走线之间
  - 走线和孔径之间
  - 孔径和孔径之间
  - 走线/孔径和板卡边沿之间
- 走线层面和方向 - 此处可设置使用的走线层和每层的主要走线方向。

# 一般走线规则

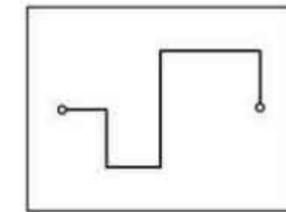
- 走线方向
  - 输入和输出端的导线应尽量避免相邻平行
  - 相邻层的走线方向成正交结构
  - 避免将不同的信号线在相邻层走成同一方向，以减少不必要的层间窜扰
  - 当 PCB 布线受到结构限制（如某些背板）难以避免出现平行布线时，特别是在信号速率较高时，应考虑用地平面隔离各布线层，用地线隔离各信号线
- 器件和器件之间的走线尽可能短且直
- 电源及临界信号走线使用宽线，电源线要根据电流的大小计算需要的宽度
- 确保模拟、数字线路相互分离，不要将数字信号线和模拟信号线并行布线，避免在ADC封装的下方铺设数字信号线
- 相同属性的一组总线，应尽量并排走线，做到尽量等长。同一级电路的接地点应尽量靠近，并且本级电路的电源滤波电容也应接在该级接地点上



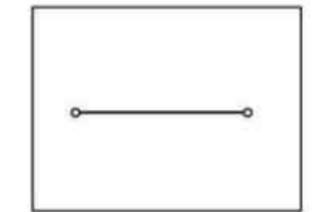
错误布线



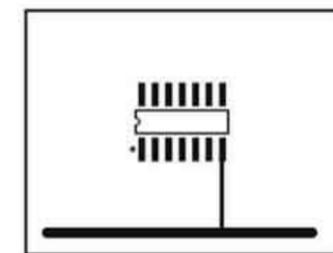
正确布线



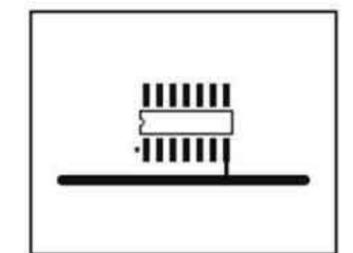
错误布线



正确布线

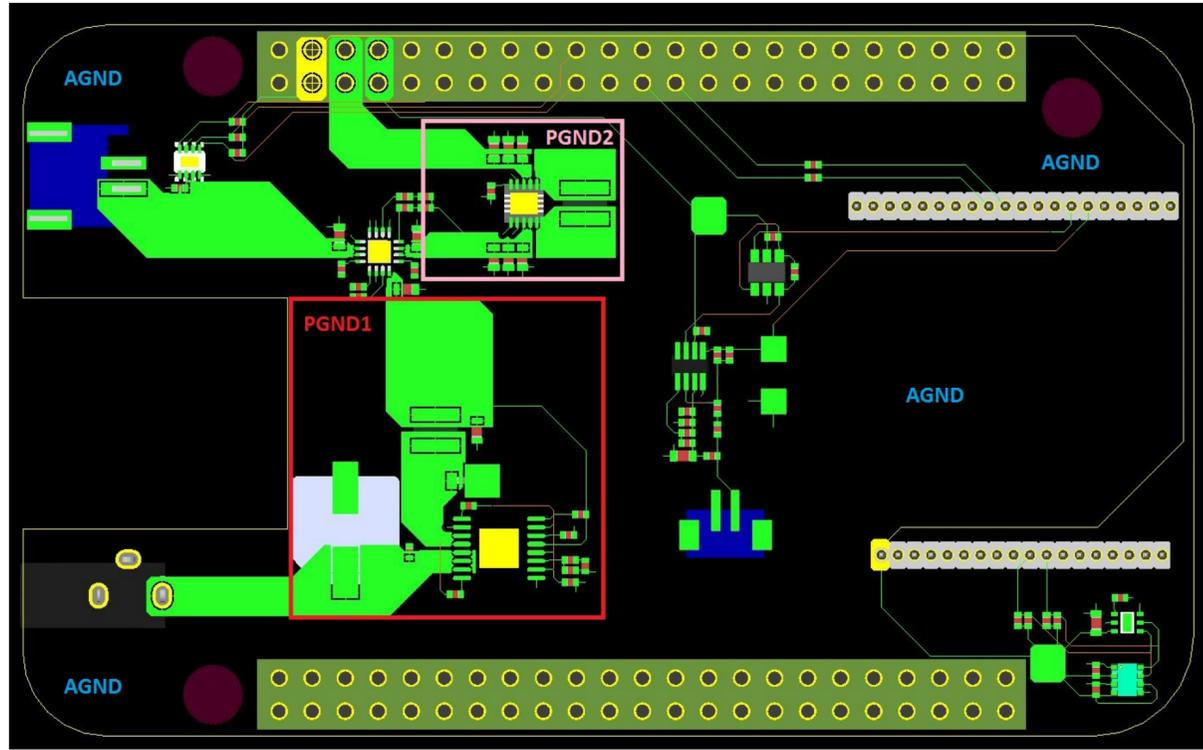


错误布线

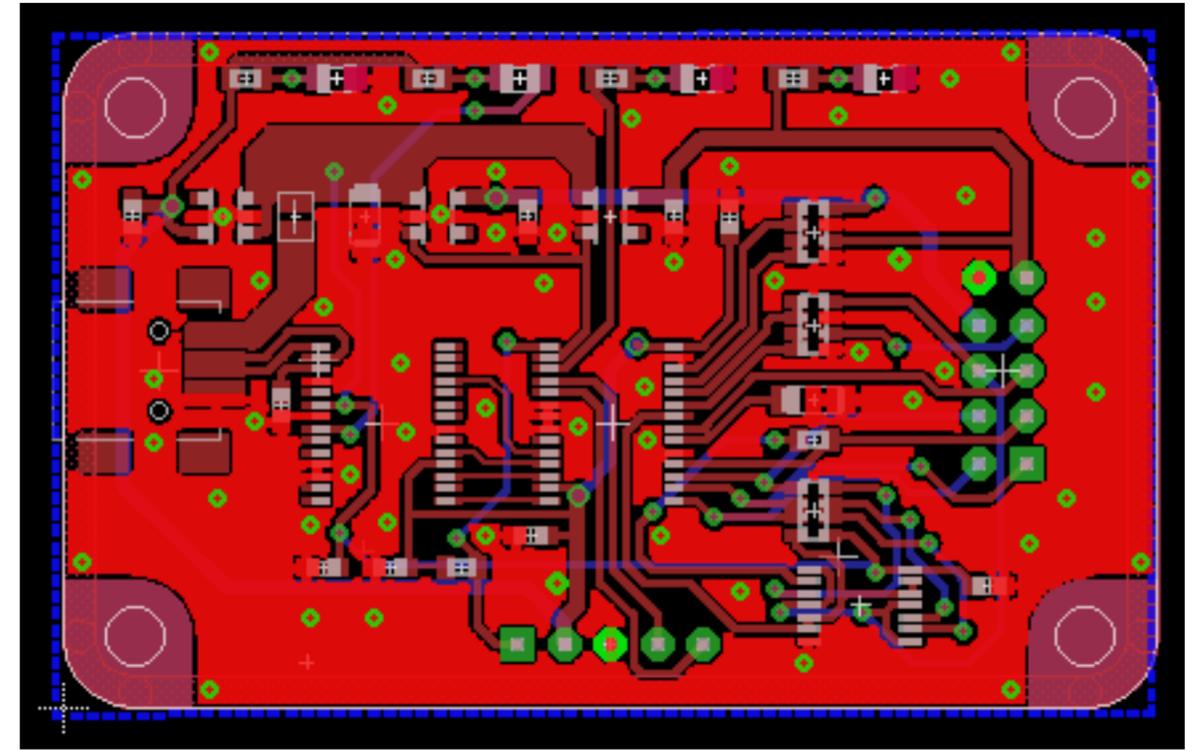


正确布线

# 接地和填充



- 多层板可以采用独立的地层，数字信号分布在一侧，模拟信号分布在另一侧
- 最好是地线比电源线宽，它们的关系是：地线 > 电源线 > 信号线。
- 数字地与模拟地分开



- 用大面积铜层做地线用，把没被用上的地方都与地相连接作为地线用
- 抑制高频干扰、降低电源或地线的阻抗、方便布线
- 注意分割铺设的区域、设定好铺设规则

# 电源布线及去偶

- 电源线尽可能粗 - 减少环路阻抗，从而降低压降、干扰。
- 供电方向 - 与数据、信号的传递方向相反，即：从未级向前级推进的供电方式，这样有助于增强抗噪声能力。
- 采用两个电源平面分别连接所有AVDD和DVDD，每个PCB板的AVDD和DVDD引脚至少增加一个 $10\mu\text{F}$ 去耦电容。
- 在器件的AVDD和DVDD的引脚与地之间连接 $0.1\mu\text{F}$ 陶瓷去耦电容，电容须靠近器件放置，以便降低寄生电感，尽可能采用贴片电容
- 去耦电容的多少和值取决于器件工作的速度、负载、管脚数量、布线难度，数字电路的如果有多个电源管脚，尽可能在每一个电源管脚放置一个 $0.1\mu\text{F}$ 的去耦电容，当有些电源管脚距离很近且布局困难的时候，这些电源管脚可以共享一个去耦电容

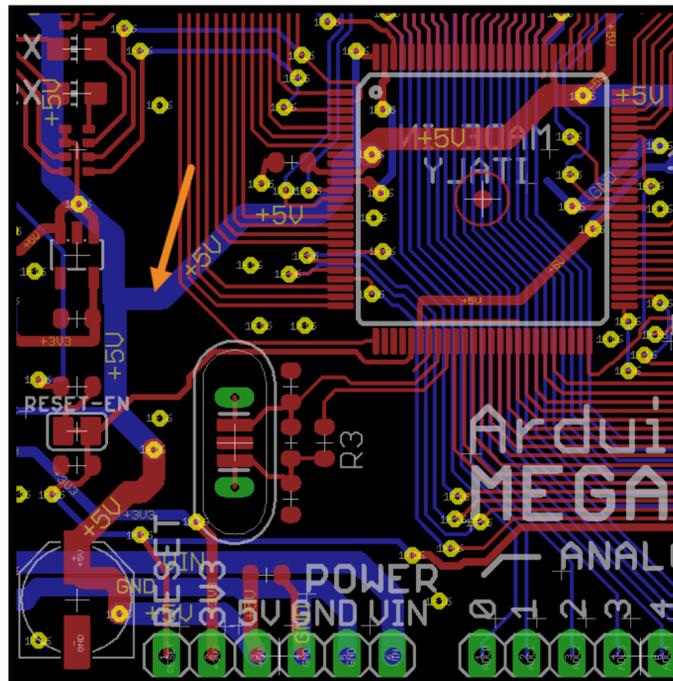
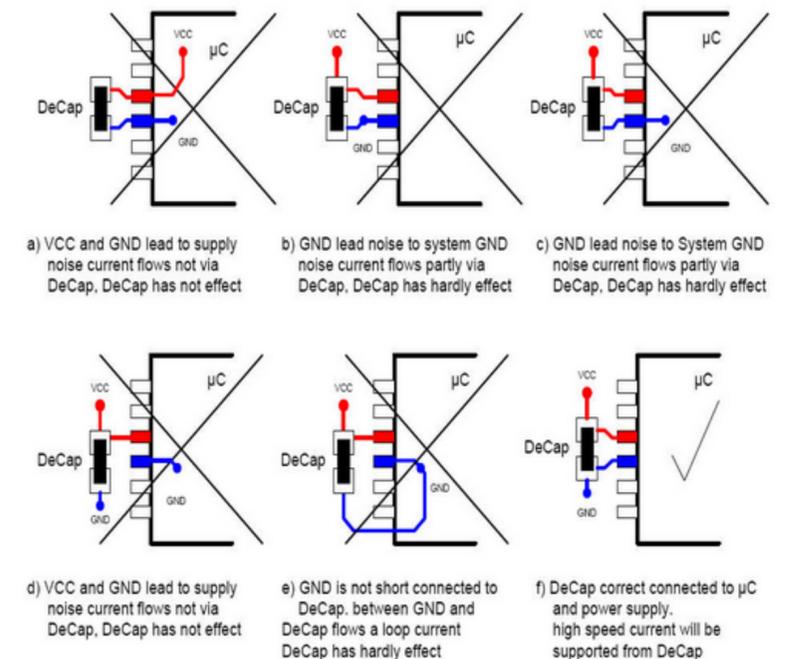
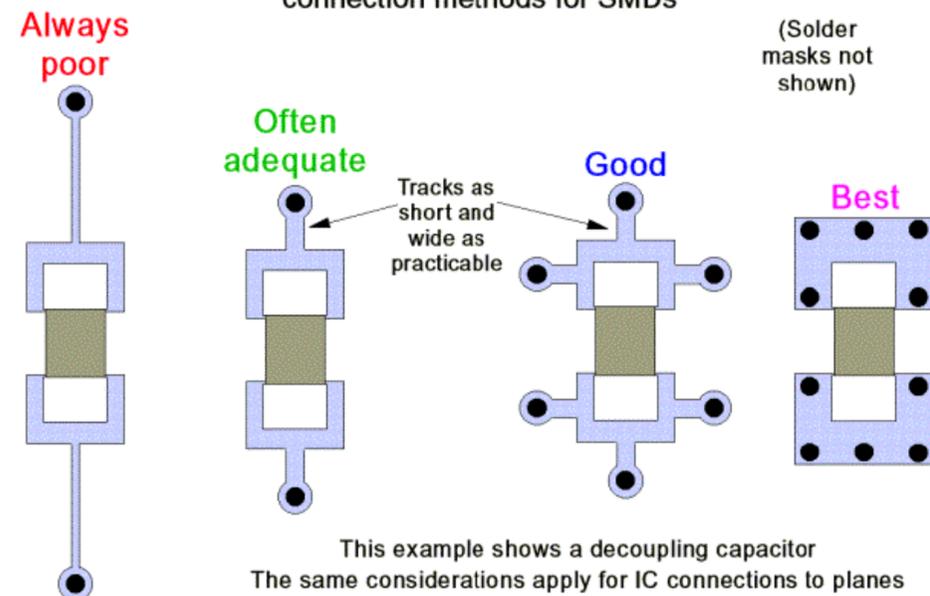
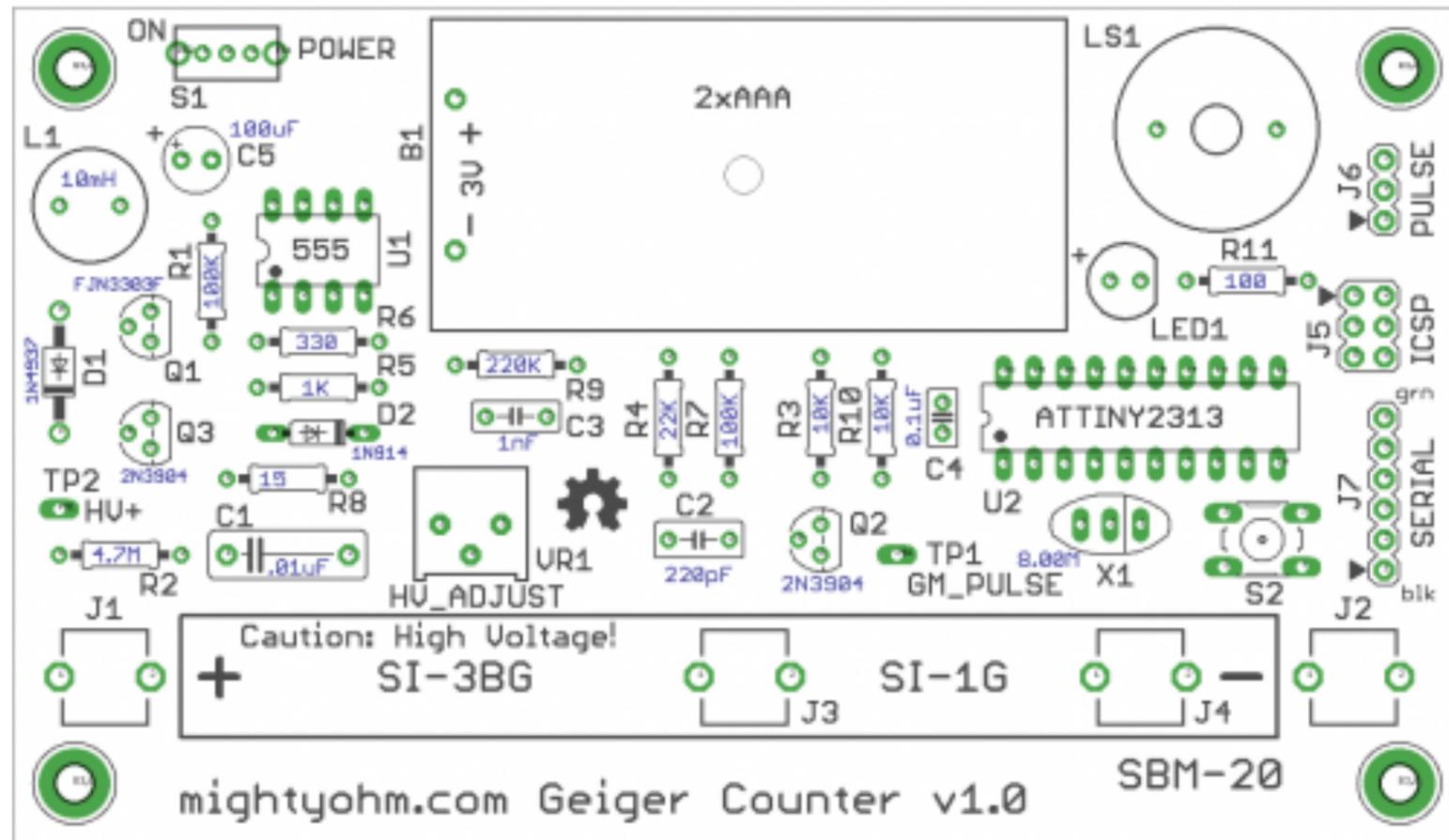


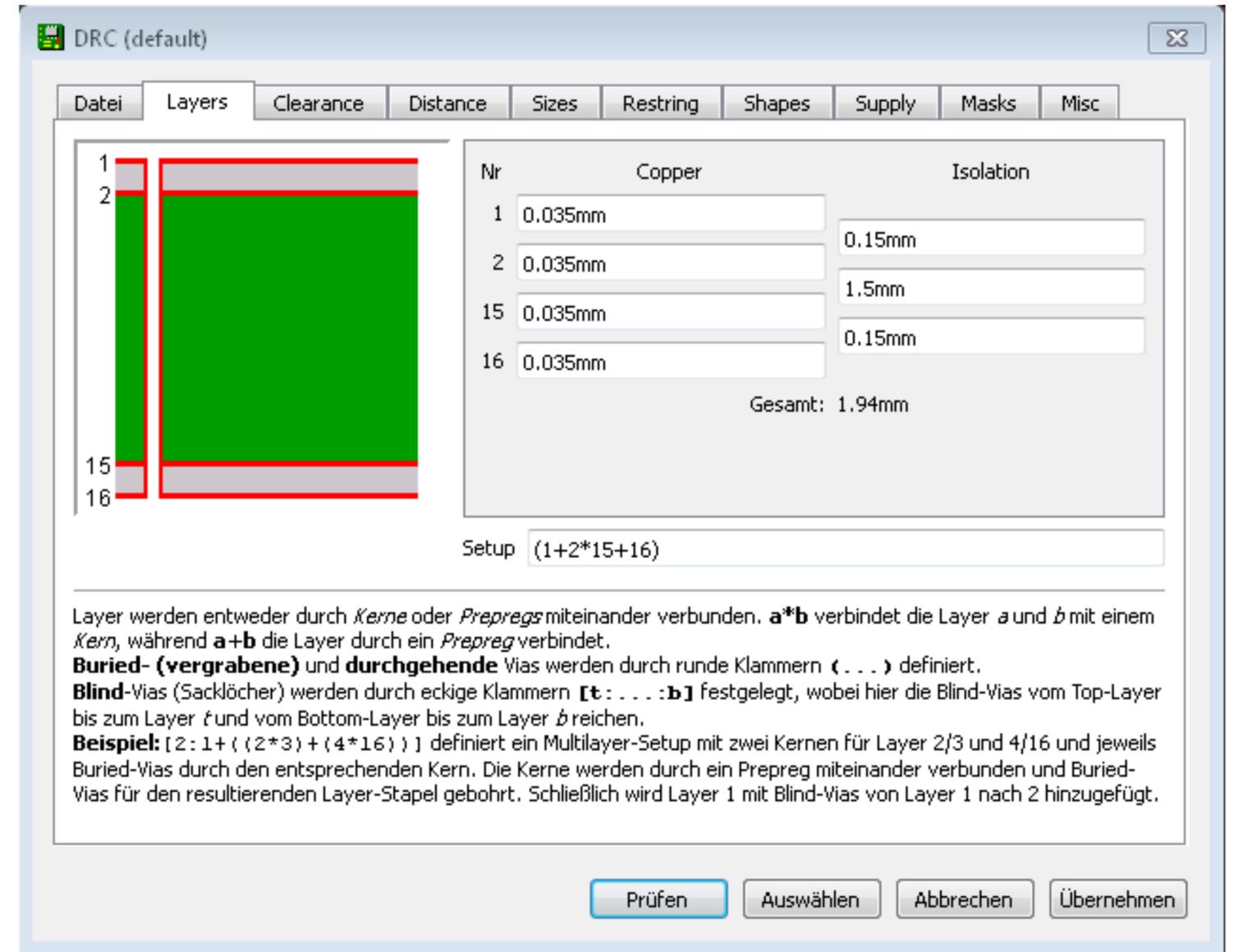
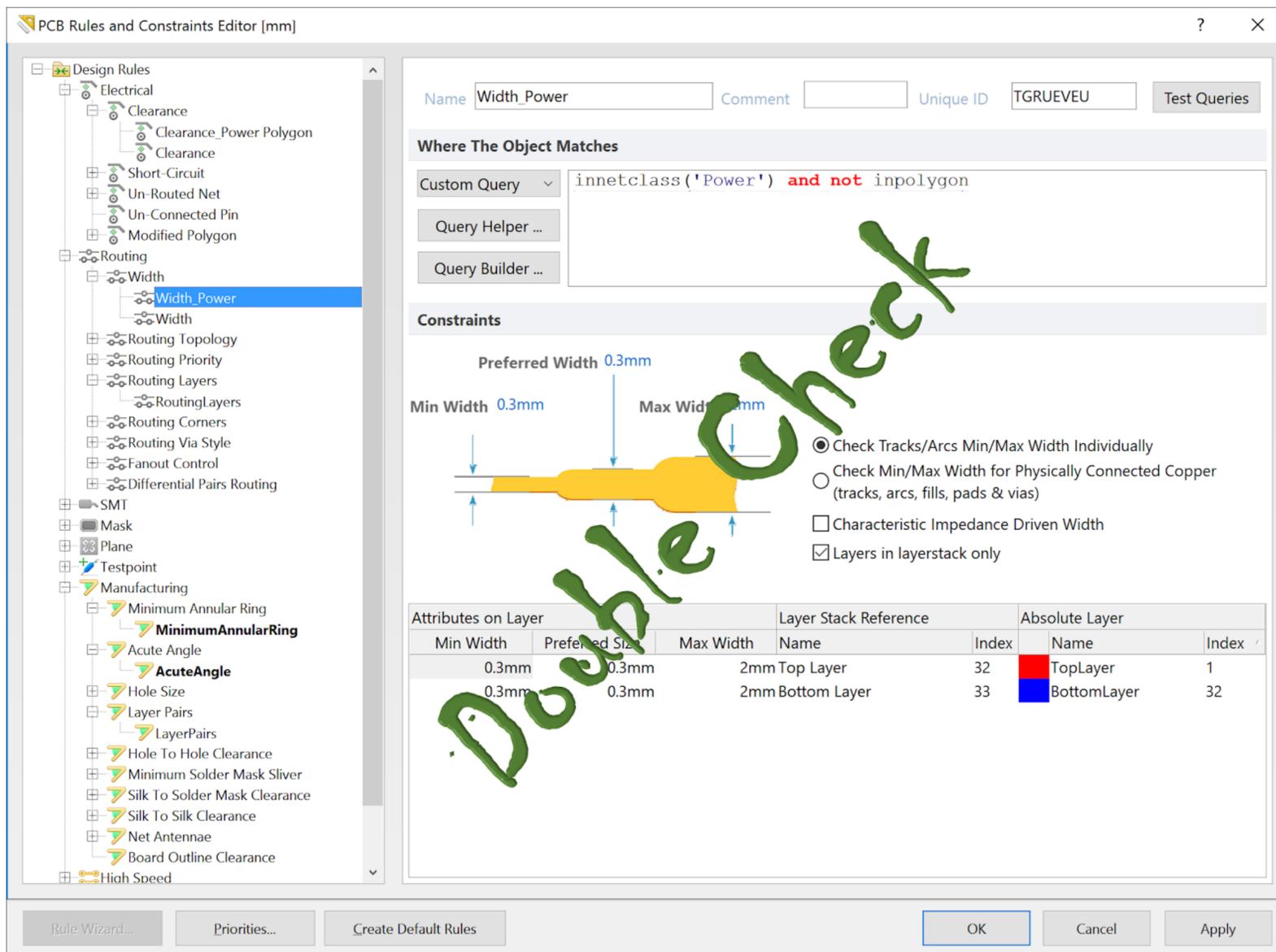
Figure 5C A comparison of the partial inductances of various plane connection methods for SMDs



# 丝印



- 在PCB上下两表面印刷上标识图案和文字代号的专用层，开发者、测试、安装者、使用者都会用到
- 清楚、规则、整齐、归属明确、无歧义
- 字符不能覆盖在焊盘或过孔上，同一层的丝印不能互相重叠
- 清楚表明元器件、连接器装联的方向，极性器件如指示灯、三极管、跳塞、开关、端子、配线需要明确的极性标识
- 器件密集的区域可以将丝印字符对应、有序地放置在其他区域并加上适当标识
- 丝印字体一般采用EDA软件支持的缺省字体，AD的不好，需要修改



## 检查

1. ERC (电气规则检查)
2. DRC (设计规则检查) - 线宽、线间距、加工厂工艺要求、高速设置、短路
3. 对照原理图逐线高亮检查