



模拟电子器件基础教程

- ADI智库出品 -

ADI 智库

一站式电子技术宝库



简介

模拟电路设计本身是一个非常复杂的学科，而对相关器件的了解更是学习中的重中之重，本期电子书教程主要围绕模拟电子器件，梳理有关模拟设计基础的基本设计技术。包括理想的运算放大器基础知识、运算放大器错误源和规格以及专业放大器，如仪表放大器、可变增益放大器、对数放大器、模拟倍频器、模拟开关和基准电压源等。

本书共计 65 篇文章、18 万字，目的是为广大从事该模拟设计的工程师以及电子工程相关学子提供学习资料和设计参考指南。

ADI 智库
一站式电子技术宝库

ADI 智库是 ADI 公司面向中国工程师打造的一站式资源分享平台，除了汇聚 ADI 官网的海量技术资料、视频外，还有大量首发的、免费的培训课程、视频直播等。九大领域、十项技术，加入 ADI 智库，您可以尽情的浏览收藏、下载相关资源。此外，您还可一键报名线上线下会议活动，更有参会提醒等贴心服务。

*ADI 智库出版社已推出多本电子书，关注微信公众号『ADI 智库』回复“电子书”，即可查看或下载所有电子本。

目录

运算放大器	7
理想的电压反馈型(VFB)运算放大器	7
反相放大器	13
反相求和放大器	14
半波整流器	16
全波整流器	21
电流反馈(CFB)运算放大器	28
电压反馈型运算放大器的增益和带宽	34
运算放大器开环增益与开环增益非线性	42
运算放大器带宽和带宽平坦度	47
运算放大器建立时间	53
高速电压反馈运算放大器	57
高速电流反馈运算放大器	68
运算放大器输入失调电压	74
运算放大器总输出失调电压计算	84
斩波稳定（自稳零）精密运算放大器	85
运算放大器输入偏置电流	91
运算放大器输入阻抗	97
运算放大器电源抑制比(PSRR)与电源电压	99
运算放大器输入和输出共模与差分电压范围	102
运算放大器共模抑制比(CMRR)	106
运算放大器输入、输出、单电源和轨到轨问题	108
运算放大器输出相位反转和输入过压保护	121

运算放大器的使用	130
在电压反馈(VFB)和电流反馈(CFB)运算放大器之间选择	130
补偿输入电容对电流电压转换器所用电压反馈和电流反馈型运算放大器的影响 ..	136
反馈电容对 VFB 和 CFB 运算放大器的影响	141
运算放大器失真: HD、THD、THD+N、IMD、SFDR、MTPR	144
运算放大器噪声	152
设计问答	158
运算放大器噪声指数: 不要被误导	162
二阶系统的运算放大器总输出噪声计算	167
单极点系统的运算放大器总输出噪声计算	170
运算放大器噪声关系: 1/f 噪声、均方根(RMS)噪声与等效噪声带宽	172
噪声与运算放大器电路	177
电流反馈运算放大器噪声考虑因素	197
仪表放大器	198
仪表放大器基础	198
双运放仪表放大器基本配置	203
三运算放大器仪表放大器基本结构	208
仪表放大器直流误差源	212
自稳零仪表放大器	216
仪表放大器噪声	219
仪表放大器桥接电路误差预算分析	221
差分放大器和电流检测放大器	222
仪表放大器输入过压保护	227
仪表放大器输入 RFI 保护	232

仪表放大器设计问答	237
可变增益放大器.....	240
精密可变增益放大器(VGA).....	240
高速可变增益放大器(VGA).....	251
比较器	259
比较器.....	259
将运算放大器用作比较器	267
对数放大器	273
对数放大器基础知识	273
高频对数放大器	279
模拟乘法器	286
模拟乘法器	286
混频器和调制器	294
采样/保持放大器.....	307
采样/保持放大器.....	307
使用 IC 采样保持放大器	328
模拟开关和多路复用	345
模拟开关和多路复用器基本知识	345
视频多路复用器和交叉点开关.....	370
电压基准.....	376
电压基准	376
模拟电路仿真	397

模拟电路仿真.....	397
兼容 SPICE 的运算放大器宏模型.....	412
其他.....	439
低噪声放大器选择指南.....	439
放大器电路设计：如何避免常见问题.....	453
单电源应用中的偏置和去耦运算放大器.....	463
低压放大器.....	476
用于驱动 ADC 的放大器.....	480

运算放大器

理想的电压反馈型(VFB)运算放大器

运算放大器是线性设计的基本构建模块之一。在经典模式下，运算放大器由两个输入引脚和一个输出引脚构成，其中一个输入引脚使信号反相，另一个输入引脚则保持信号的相位。运算放大器的标准符号如图 1 所示。其中略去了电源引脚，该引脚显然是器件工作的必需引脚。

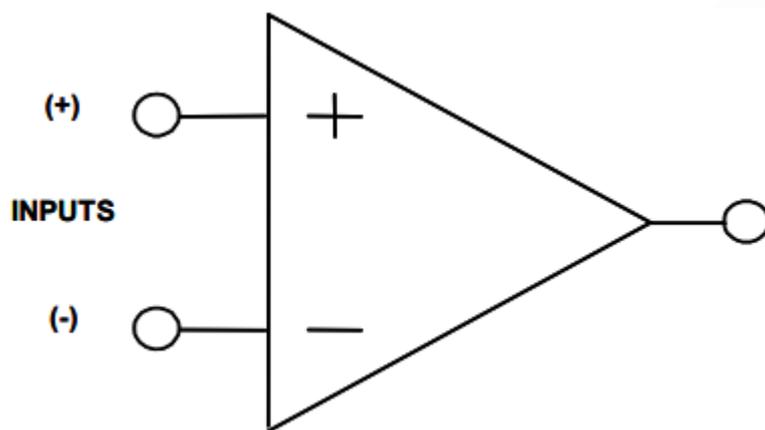


图 1: 运算放大器的标准符号

“运算放大器”的标准简称是“运放”。这一名称源于放大器设计的早期，当时运算放大器应用于模拟计算机中。（是的，第一代计算机是模拟的，不是数字的。）当这种基础放大器与几个外部元件配合使用时，可以执行各种数学“运算”，如加、积分等。模拟计算机的主要用途之一体现在第二次世界大战期间，当时，它们被用来绘制弹道轨迹。

理想的电压反馈(VFB)模型

理想的电压反馈(VFB)运算放大器经典模型具有以下特征:

1. 输入阻抗无穷大
2. 带宽无穷大

3. 电压增益无穷大
4. 零输出阻抗
5. 零功耗

虽然这些并不现实，但这些理想标准决定着运算放大器的质量。

这就是所谓的电压反馈(VFB)模型。这类运算放大器包括带宽在 10MHz 以下的几乎所有运算放大器，以及带宽更高的运算放大器的 90%。电流反馈(CFB)是另一种运算放大器架构，我们将在另一章节中讨论。图 2 总结了理想的电压反馈运算放大器的属性。

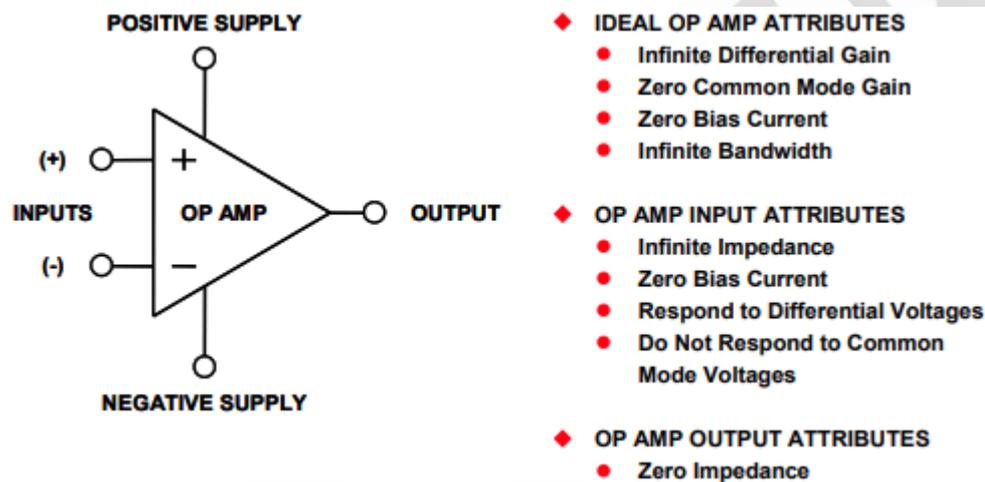


图 2: 理想的电压反馈运算放大器的属性

基本工作原理

理想的运算放大器的基本工作原理非常简单。首先，我们假定输出信号的一部分反馈至反相引脚，以建立放大器的固定增益。这是负反馈。通过运算放大器输入引脚的任何差分电压都将与放大器的开环增益（对于理想的运算放大器，该值无穷大）相乘。如果该差分电压的幅度在反相(-)引脚上为正且高于同相(+)引脚，则输出会变成负。如果差分电压的幅度在同相(+)引脚上为正且高于反相(-)引脚，则输出电压将变成正。放大器的无穷大开环增益会尝试迫使差分输入电压变为零值。只要输入和输出处于放大器的工作电压范围之内，就会使差分输入电压保持于零，输出为输入电压与反馈网络决定的增益之积。

请注意，输出对差模电压而非共模电压作出反应。

反相和同相配置

有两种基本方法可以把理想的电压反馈运算放大器配置为放大器。分别如图 3 和图 4 所示。

图 3 所示为反相配置。在该电路中，输出与输入反相。该电路的信号增益取决于所用电阻的比值，计算公式为：

$$G = -\frac{R_F}{R_G} \quad \text{等式 1}$$

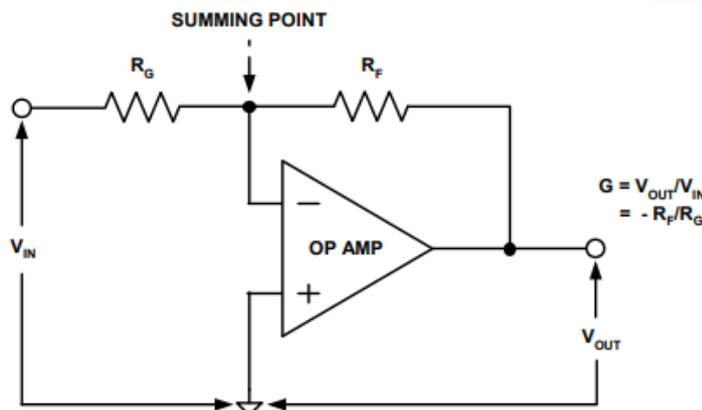


图 3：反相模式的运算放大器级

图 4 所示为同相配置。在该电路中，输出与输入同相。该电路的信号增益同样取决于所用电阻的比值，计算公式为：

$$G = 1 + \frac{R_F}{R_G} \quad \text{等式 2}$$

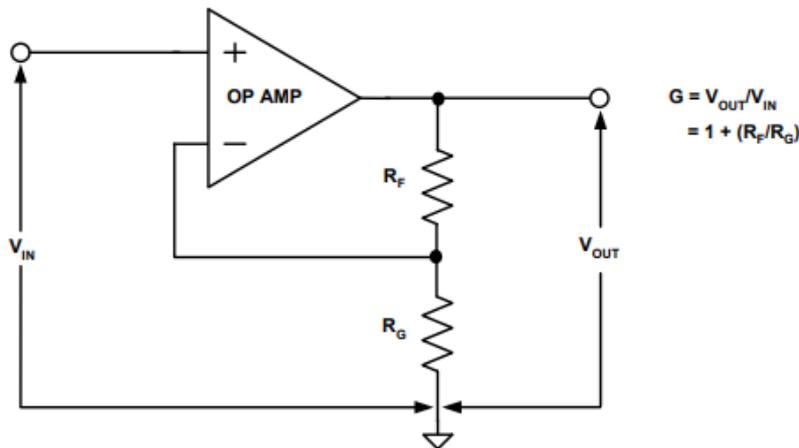


图 4: 同相模式的运算放大器级

请注意，当电路配置为最小增益 $1(R_G=\infty)$ 时，由于输出驱动分压器（增益设置网络），所以反相引脚端的最大可用电压为全部输出电压。

另外注意，在反相和同相两种配置中，反馈是从输出引脚到反相引脚。这是负反馈，对设计师来说，这有许多优势，我们将对此进行详细讨论。

另外需要注意的是，增益是以电阻的比值而不是其实际值为基础。这就意味着，设计师可以从多种值中进行选择，只需遵循某种实际限制即可。

然而，如果电阻的值太低，则需运算放大器输出引脚提供大量电流才能正常工作。这会导致运算放大器本身的功耗大幅增加，从而带来多种缺点。功耗增加会使芯片自热，结果可能改变运算放大器本身的直流特性。另外，产生热量最终可能使结温升高至 150°C 以上，而这是多数半导体常用的上限。结温为硅片本身的温度。另一方面，如果电阻值过高，就会导致噪声和寄生电容增加，结果也可能限制带宽，并有可能导致不稳定和振荡。

从实用角度来看， 10Ω 以下和 $1\text{M}\Omega$ 以上的电阻很难找到，尤其是需要精密电阻时。

计算反相运算放大器的增益

我们来详细讨论一下反相运算放大器的情况。如图 5 所示，同相引脚接地。我们假定采

用一种双极性（正和负）电源。由于运算放大器将强制使通过输入引脚的差分电压变成零，所以反相输入也会表现为地电压。事实上，这个节点通常称为“虚拟地”。

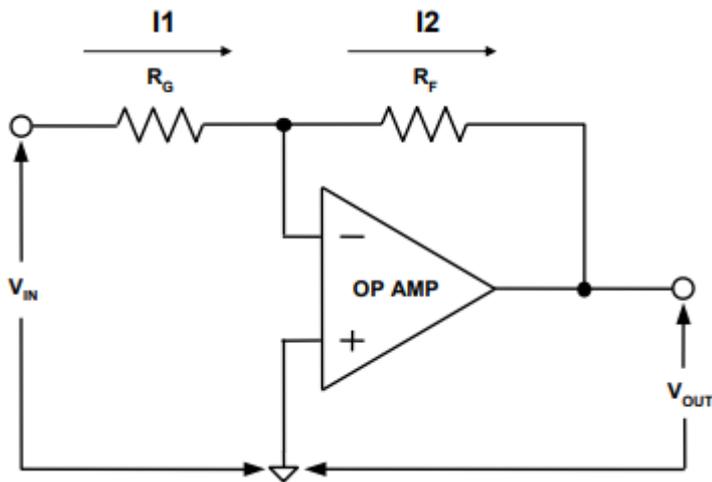


图 5: 反相放大器增益

如果向输入电阻施加电压(V_{IN})，就会通过电阻(R_G)产生电流(I_1)，因此

$$I_1 = \frac{V_{IN}}{R_G} \quad \text{等式 3}$$

由于理想的运算放大器输入阻抗无穷大，因此，不会有电流流入反相输入引脚。因此，同一电流(I_1)一定会流过反馈电阻(R_F)。由于放大器将强制使反相引脚变成地，因此，输出引脚将有电压(V_{OUT})：

$$V_{OUT} = I_1 \times R_F \quad \text{等式 4}$$

经过一些简单的算术运算，可以得到结论（等式 1），即：

$$\frac{V_{OUT}}{V_{IN}} = G = -\frac{R_F}{R_G} \quad \text{等式 5}$$

计算同相运算放大器的增益

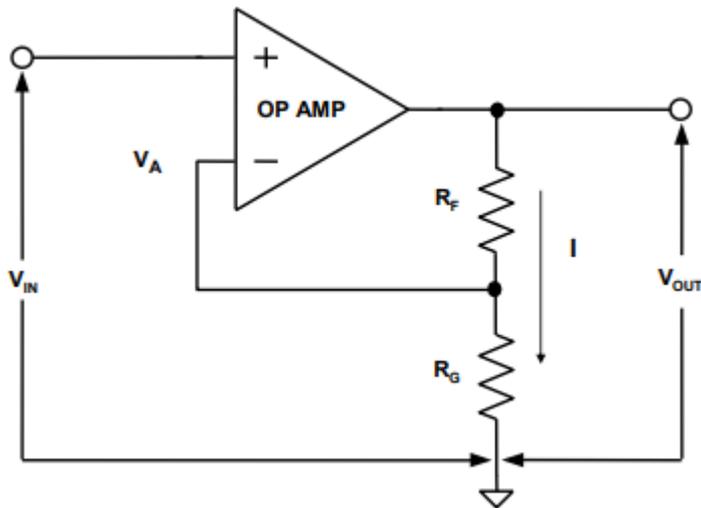


图 6：同相放大器增益

现在，我们来详细考察一下同相放大器的情况。如图 6 所示，输入电压施加于同相引脚。输出电压驱动一个由 R_F 和 R_G 构成的分压器。反相引脚(V_A)端的电压（位于两个电阻的接合处）等于

$$V_A = \frac{R_G}{R_G + R_F} V_{OUT} \quad \text{等式 6}$$

运算放大器的负反馈行为会使差分电压变成 0，因此

$$V_A = V_{IN} \quad \text{等式 7}$$

经过简单的算术运算可得：

$$\frac{V_{OUT}}{V_{IN}} = G = \frac{R_G + R_F}{R_G} = 1 + \frac{R_F}{R_G} \quad \text{等式 8}$$

与等式 2 相同。在上述讨论中，我们把增益设置元件称为电阻。事实上，它们是阻抗，而不仅仅是电阻。这样，我们可以构建依赖于频率的放大器。对于这个问题，我们将在以后的章节中详细讨论。

反相放大器

反相放大器是一种基本的运算放大器电路。

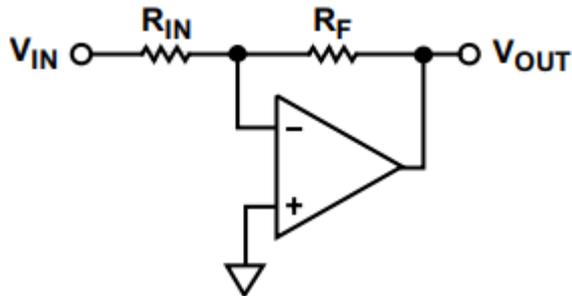


图 1: 反相放大器

设运算放大器的输入阻抗无穷大，即是说无电流流入或流出运算放大器反相输入端。由于运算放大器迫使两个输入端的电压相同，因此，反相输入端(-)看起来也像是地。这一般称为虚拟地。另外，据基尔霍夫定律，流入节点的所有电流必须从节点流出。

输入电压决定电流

$$I_{IN} = \frac{V_{IN}}{R_{IN}} \quad (\text{等式1})$$

从求和节点流出的电流等于输入电流。

$$I_{IN} = I_{OUT} \quad (\text{等式2})$$

因而，流过反馈电阻(R_F)的电压为：

$$-V_{OUT} = R_F \times I_{OUT} \quad (\text{等式3})$$

该电压为负值（相对于输入电压），因为电流从节点中流出。这也是该电路被称为反相放大器的原因所在。请注意，输入电压将按输入电阻的值来调整缩放。

在该电路中，主要的误差源是运算放大器的失调电压和偏置电流。失调电压会影响反相

输入端的视在电压。该电压将不再是 0V。偏置电流会在对电流求和时导致误差，因为将有一个小电流流入或流出运算放大器的输入端。

对于交流输入，会存在对运算放大器带宽的限制。

放大器电路的输入阻抗将为输入电阻的值。请记住，电阻的另一端为（虚拟）地。

以上讨论是以双极性电源为基础的。如果使用单电源，地将由参考节点取代，后者的电压电平为 V_{REF} ，典型取值为电源电压的一半。在此基础上，输入和输出电压将以该电压而非地为参考。

输入电流变成

$$I_{IN} = \frac{V_{IN} - V_{REF}}{R_{IN}} \quad (\text{等式4})$$

输出变成

$$V_{REF} - V_{OUT} = \frac{R_F}{R_{IN}} (V_{IN} - V_{REF}) \quad (\text{等式5})$$

反相求和放大器

反相求和放大器是反相放大器一节中所述反相放大器的一种扩展器件。然而，反相求和放大器有多路输入。

假设运算放大器的输入阻抗无穷大，因此电流不会流入或流出运算放大器的反相输入端。由于运算放大器迫使两个输入端的电压相同，因此，反相输入(-)看起来也像是地。

这一般称为虚拟地。另外，据基尔霍夫定律，流入节点的所有电流必须从节点流出。

各输入电压决定电流

$$I1 = \frac{V1}{R1} \quad (1)$$

$$I2 = \frac{V2}{R2} \quad (2)$$

依此类推。从求和节点流出的电流等于全部输入电流之和。因而，流过反馈电阻(R_f)的电压为：

$$-V_{OUT} = R_{fb} \times (I1 + I2 + \dots + IN) \quad (3)$$

或者

$$-V_{OUT} = \frac{R_{fb}}{R1} V1 + \frac{R_{fb}}{R2} V2 + \dots + \frac{R_{fb}}{Rn} VN \quad (4)$$

该电压为负值（相对于输入电压），因为电流正从节点中流出。请注意，输入电压按输入电阻的值来调整缩放。

在该电路中，主要的误差源是运算放大器的失调电压和偏置电流。失调电压会影响反相输入端的可见电压。该电压将不再是 0V。偏置电流会在对电流求和时导致误差，因为将有一个小电流流入或流出运算放大器的输入端。

大量输入导致的一个潜在问题是电路中的噪声增益。有效输入电阻为全部输入电阻的并联组合。对于大量输入，结果可能使等效输入电阻变小，从而造成较大的噪声增益。

$$NG = 1 + \frac{R_{fb}}{R_{IN \text{ eq}}} \quad (5)$$

$$R_{IN \text{ eq}} = R1 \parallel R2 \parallel \dots \parallel RN \quad (6)$$

然而，出于稳定性考虑，大噪声增益有助于确保放大器的稳定性。

由于稳定性取决于噪声增益与开环增益的相交位置，因此，较高的噪声增益会使该点远

离次级极点，从而导致不稳定。

显然，噪声增益越高，噪声也越高。对于交流输入，会存在对运算放大器带宽的限制。

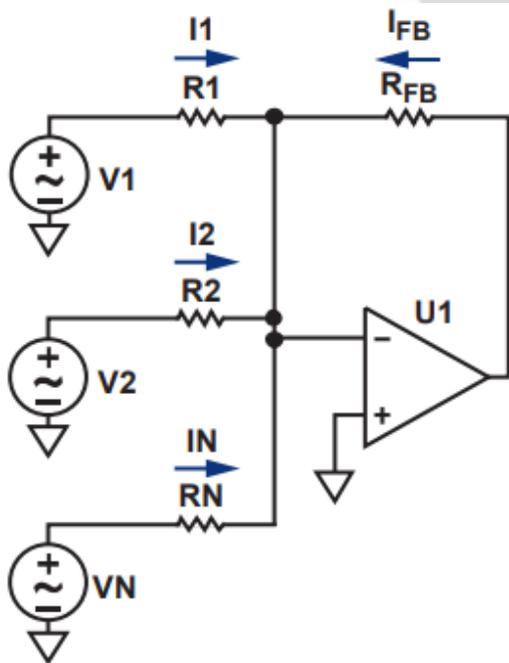
以上讨论是以双极性电源为基础的。如果使用单电源，地将由参考节点取代，后者的典型电压电平为 V_{REF} ，一般相当于电源电压的一半。在此基础上，输入和输出电压将以该电压而非地为参考。

输入电流变成

$$I_N = \frac{V_N - V_{REF}}{R_N} \quad (7)$$

其中，N 为输入数。结果输出变成

$$V_{REF} - V_{OUT} = \frac{R_{fb}}{R_1} (V_1 - V_{REF}) + (V_2 - V_{REF}) + \dots + \frac{R_{fb}}{R_N} (V_N - V_{REF})$$



10419-002

半波整流器

半波整流器通常用于从交流输入获得直流电平。这点通常用于测量交流信号的幅度。

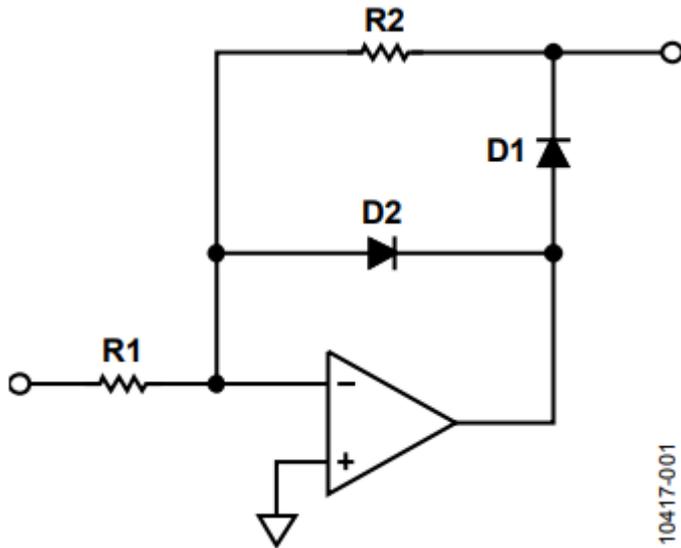
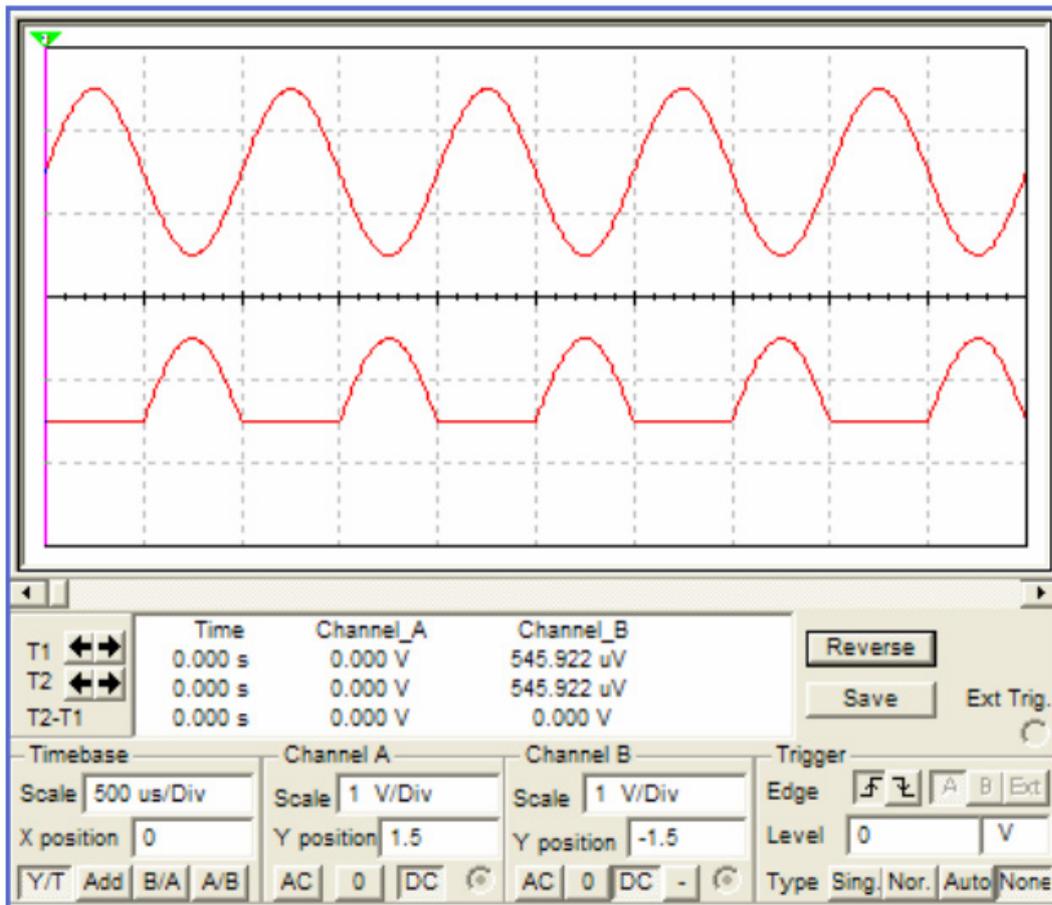


图 1: 半波整流器

为了理解半波整流器的工作原理，我们不妨假定运算放大器和二极管在理论上无正向电压。

对于正输入电压，输出会尽量变为负。这使 D2 接通，D1 断开。假设 D2 短路，结果将使输出保持于地电位，因为运算放大器的行为迫使运算放大器的输入电压保持相同电平。

对于负输入电压，输出将变为正，D1 接通，D2 断开。此时，输出端充当一个反相放大器（见章节：反相放大器），其增益由 $R2/R1$ 设定。其结果是，输出在输入（反相）负半周期之后，正半周期的输出为 0V。



10417-002

图 2：半波整流器波形

图 2 所示为半波整流器的波形。顶部曲线为输入，底部曲线则为输出。

图 3 所示为运算放大器的输出。请注意，在实际电路中，运算放大器的输出实际采用开环模式，直到达到 D2 的正向电压为止。图中所示为底部曲线（通道 C）。

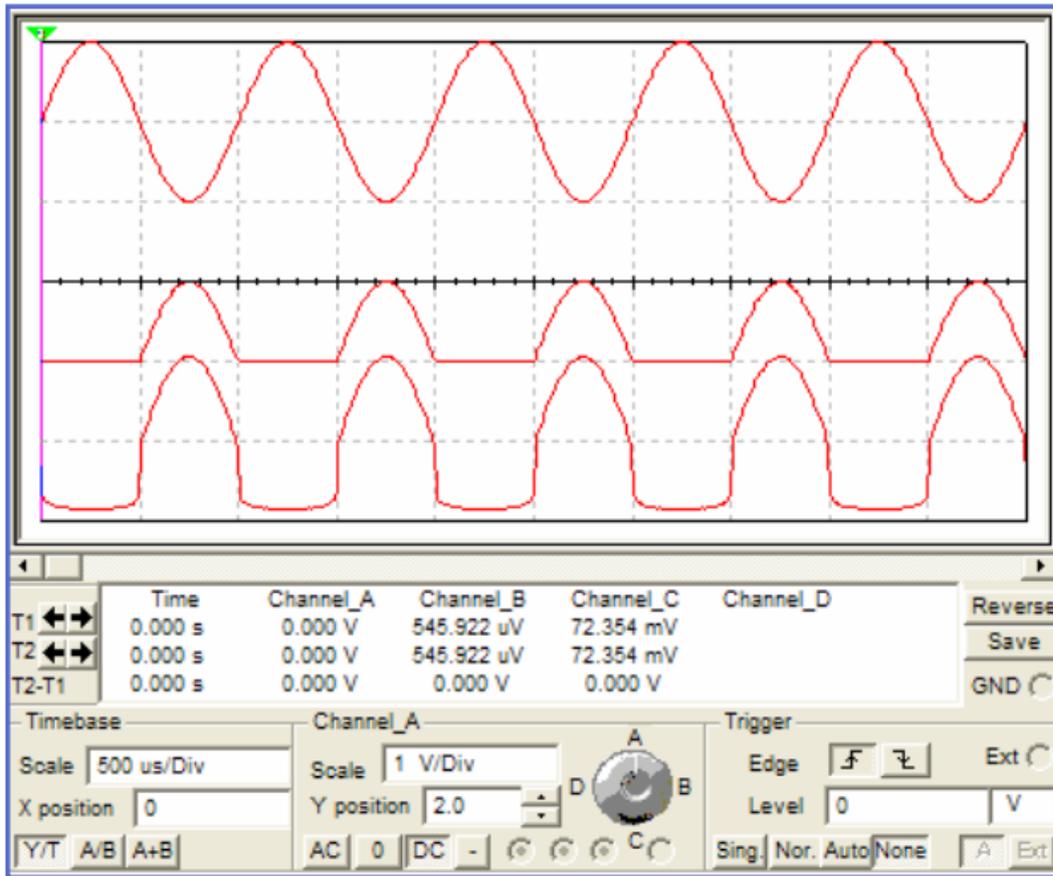


图 3: 半波整流器波形与运算放大器输出

半波整流器的输出端之后为一个滤波器，用于形成直流电平。该滤波器的转折频率应置于足够低的水平，以限制输出上的交流纹波，同时还必须足够高，以免对电路的瞬态响应速率造成严重影响。输出频谱如图 4 所示。

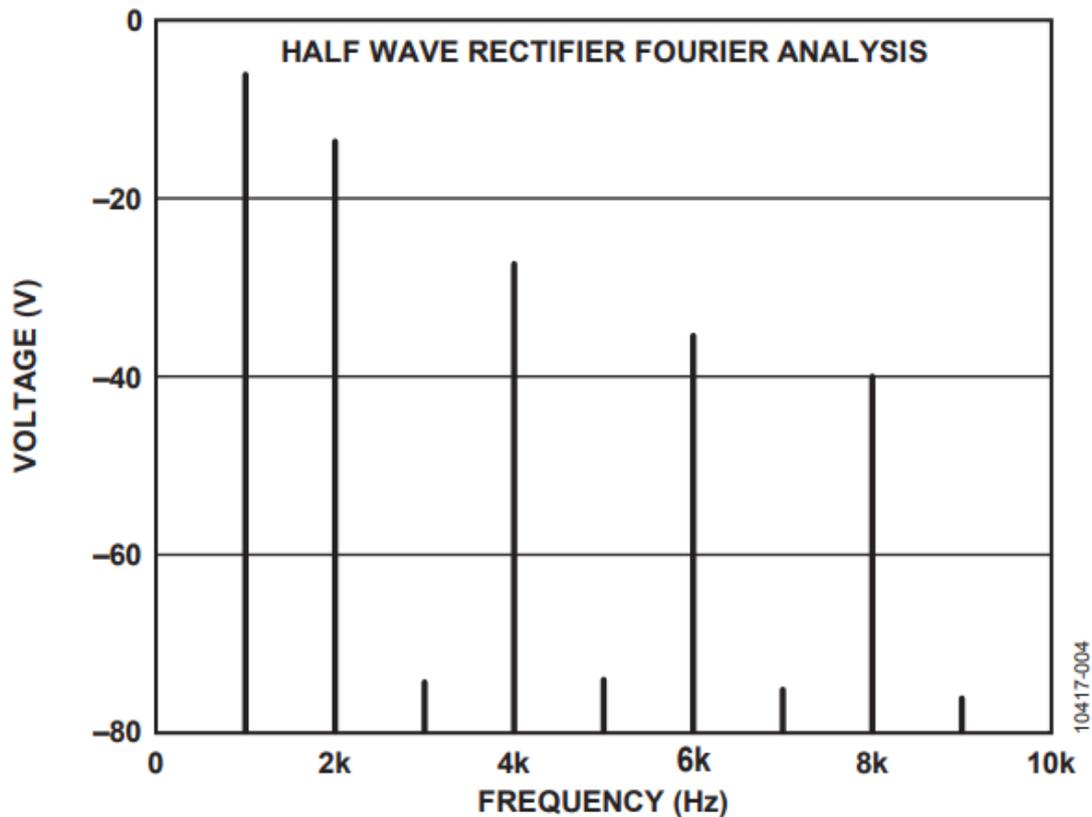


图 4：半波整流器输出频谱

通过同时反转两个二极管，可以将输出的极性转换为负。

误差项与反相放大器相同（见章节：反相放大器）。最重要的是失调项。该电路的频率响应主要由运算放大器的开环增益设定。二极管的等效并联电容和二极管导通/关断时间也会影响到频率响应，但其影响一般比运算放大器要小得多。

半波整流器的一个缺陷是，仅在输入的半周期内工作。对于中线周围的对称输入（如正弦波），这不一定会构成真正的问题。为抵消此限制，人们对该电路进行了改进，这就是全波整流器。（见章节：全波整流器）。

采用单电源电压供电时，同相输入偏置到基准电压，通常为电源电压的 $\frac{1}{2}$ 。此时，零输入信号输出为基准电压。

图 5 所示单电源半波整流器的基准电压（运算放大器同相输入端的电压）为+4V。在示意图中，地位于底部。

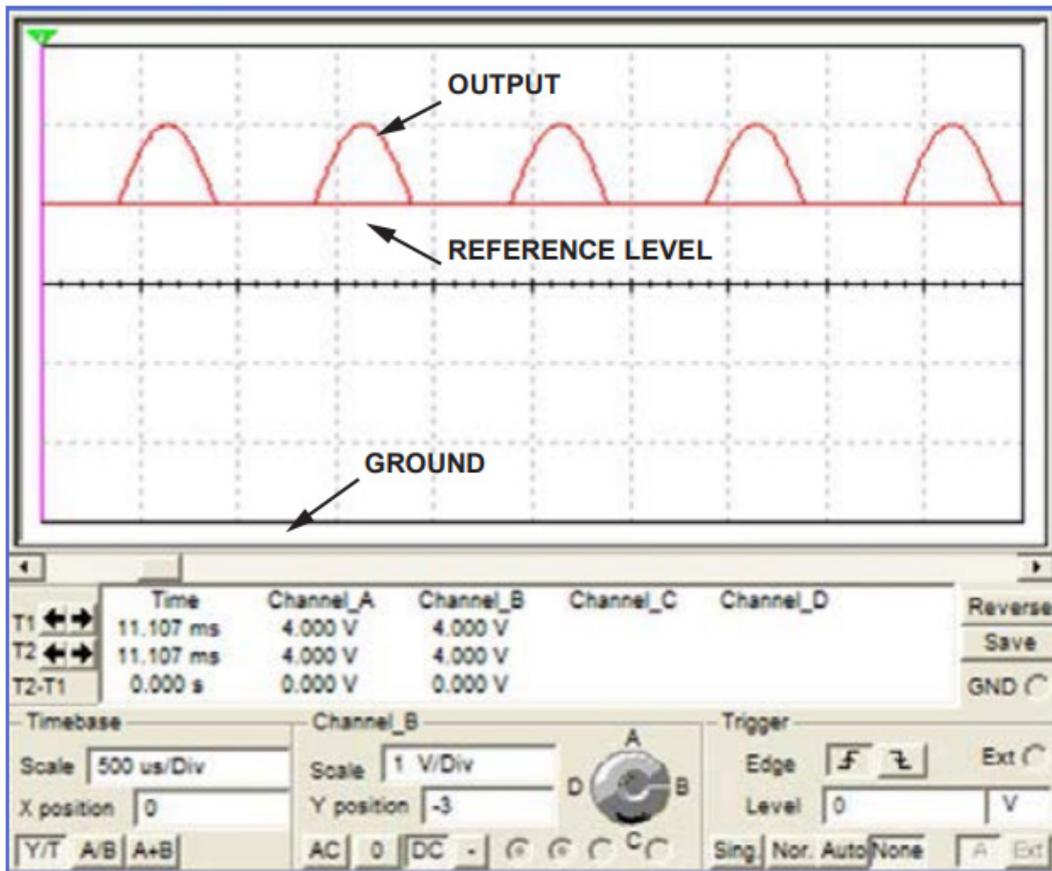


图 5：单电源半波整流器波形

输入仍然以地为参考，因此，输入端必须用串联电容进行交流耦合。频率的低端取决于输入耦合电容和输入电阻 R_1 的 RC 时间常数。对于双极性电源，电路响应可以到达直流。另外，如果上述电路以相同的基准电压为参考，则输入可能为直流耦合。如果采用电路增益，则需要格外小心。运算放大器上的频率响应要求取决于最大信号输入频率。必须有足够的开环增益，二极管才可偏置。因此，根据经验，运算放大器的带宽至少应为 20dB，在输入信号的最大频率处。

全波整流器

全波整流器通常用于从交流输入获得直流电平。这通常用于测量交流信号的幅度。全波整流器是一种均值检波器。需要与均方根检波器或峰值检波器区分开来。

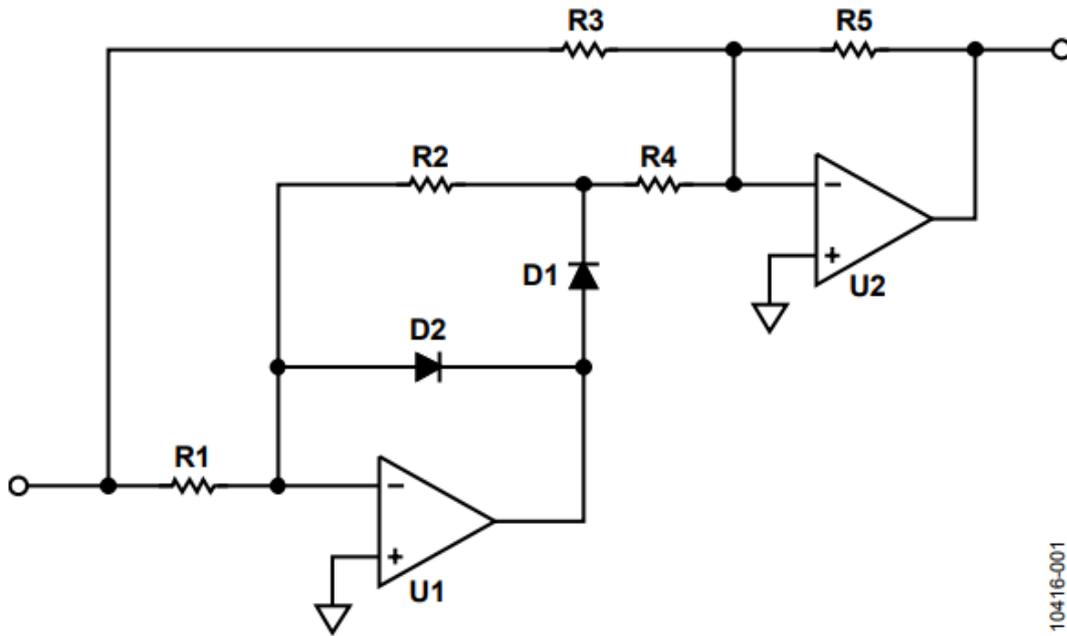


图 1: 全波整流器

全波整流器是半波整流器（见章节：半波整流器）的增强型电路。图 2 所示全波整流器为半波整流器与输入的求和电路。

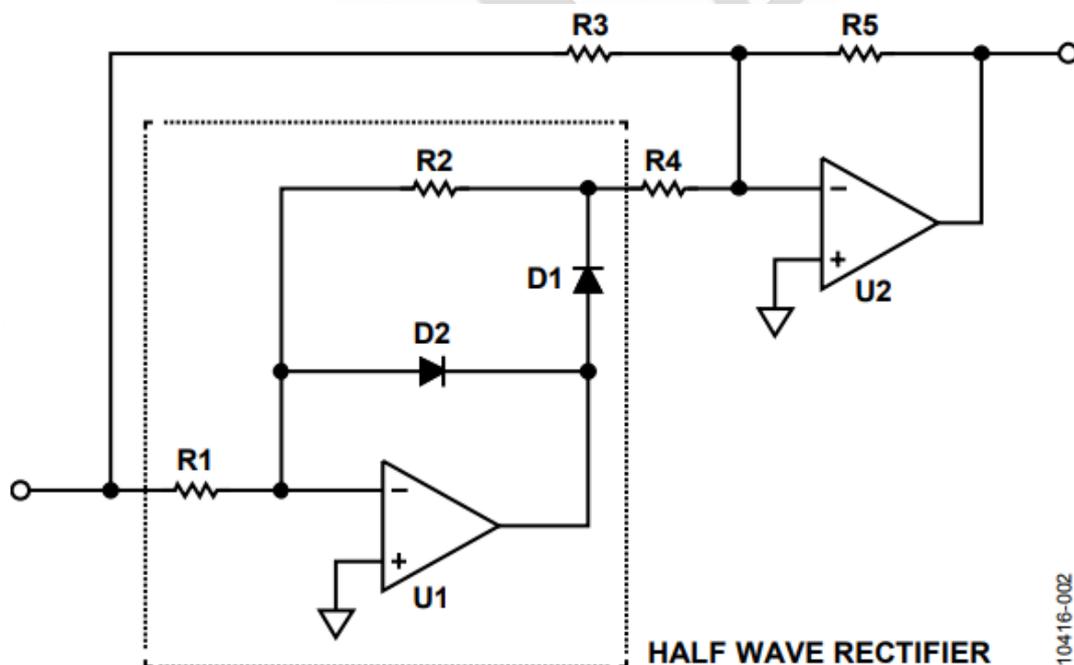


图 2: 作为半波整流器增强型器件的全波整流器

为了理解全波整流器的工作原理，我们不妨假定运算放大器和二极管在理论上无正向电

压。对于负输入电压，U1 的输出会尽量变为正，结果将接通 D1 而断开 D2。假设 D1 短路（这种情况下为接通），结果将使输出保持于地电位，因为运算放大器(U1)的行为迫使运算放大器的输入电压保持相同电平。

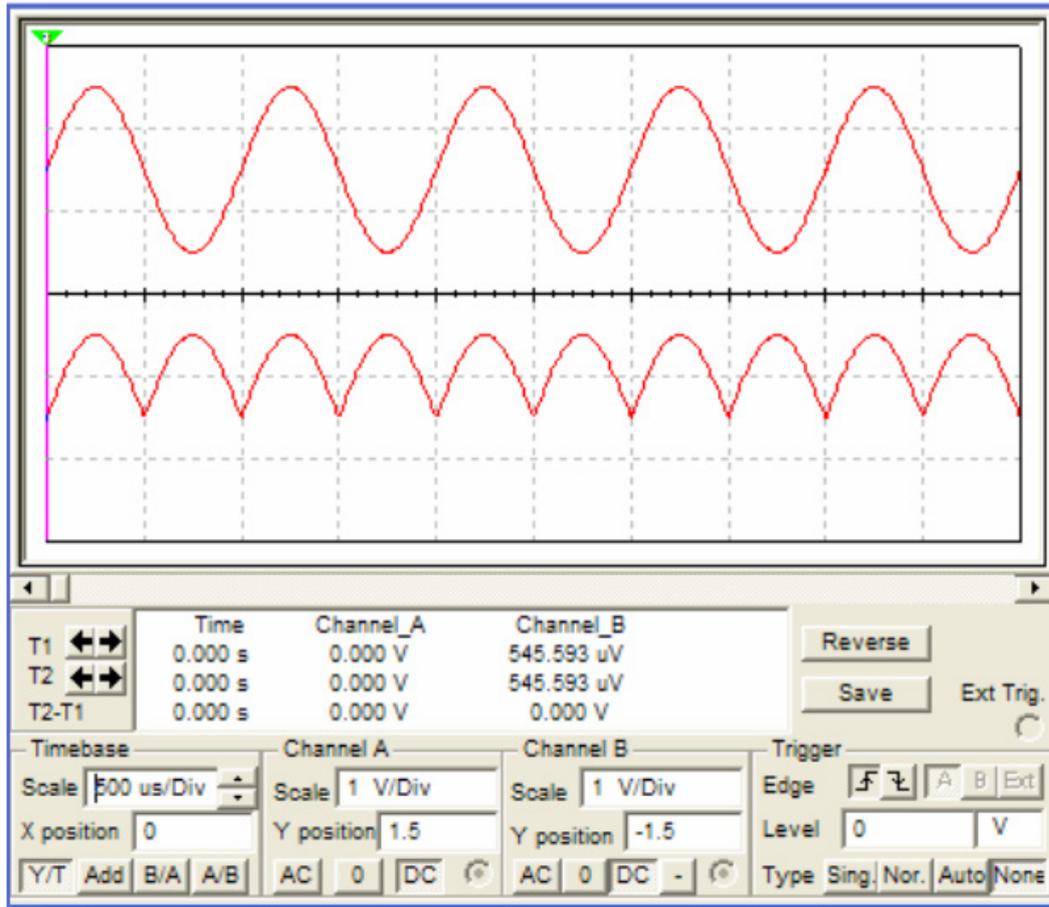
对于正输入电压，输出将变为负，D2 接通，D1 断开。此时，U1 的输出端充当一个反相放大器（见章节：反相放大器），其增益由 $R2/R1$ 设定。通常，该增益设为 1，即 $R2=R1$ 。

结果，U1 的输出在输入（反相）负半周期之后，正半周期的输出为 0V。然后，该输出成为第二级(U2)的输入之一，与输入波形求和（见章节：反相求和放大器）。

第一级（为半波整流器（见章节：半波整流器））的增益相对于输入为 2。这意味着， $R3=2R4$ 。因此，对于负半周期，输入波与参考电位（地电位）求和。U2 输出端的结果为负半周期的正增益。对于正半周期，半波整流器的反相波与输入求和，其中半波整流器的增益为 2。因此，U2 的输出端得到正半波。所得到的就是全波整流器。

半波整流器部分的增益通常设为 1($R1=R2$)。R3 和 R4 的比率匹配应非常接近（电阻值的绝对值相对而言不太重要），使半波整流器输出与输入正确求和。通过更改 R5 的值，可以非常方便地调整电路的增益。

图 3 所示为全波整流器的波形。顶部曲线为输入，底部曲线则为 U2 处的电路输出。



10416-003

图 3: 全波整流器波形

图 4 显示的是 U1 的输出和半波整流器的输出。请注意，在实际电路中，U1 的输出实际采用开环模式，直到达到 D2 的正向电压为止。图中所示为从顶部往下的第三条曲线（通道 C）。半波整流器的输出在图中表示为底部曲线（通道 D）。图 4 中所有曲线的增益都是相同的。

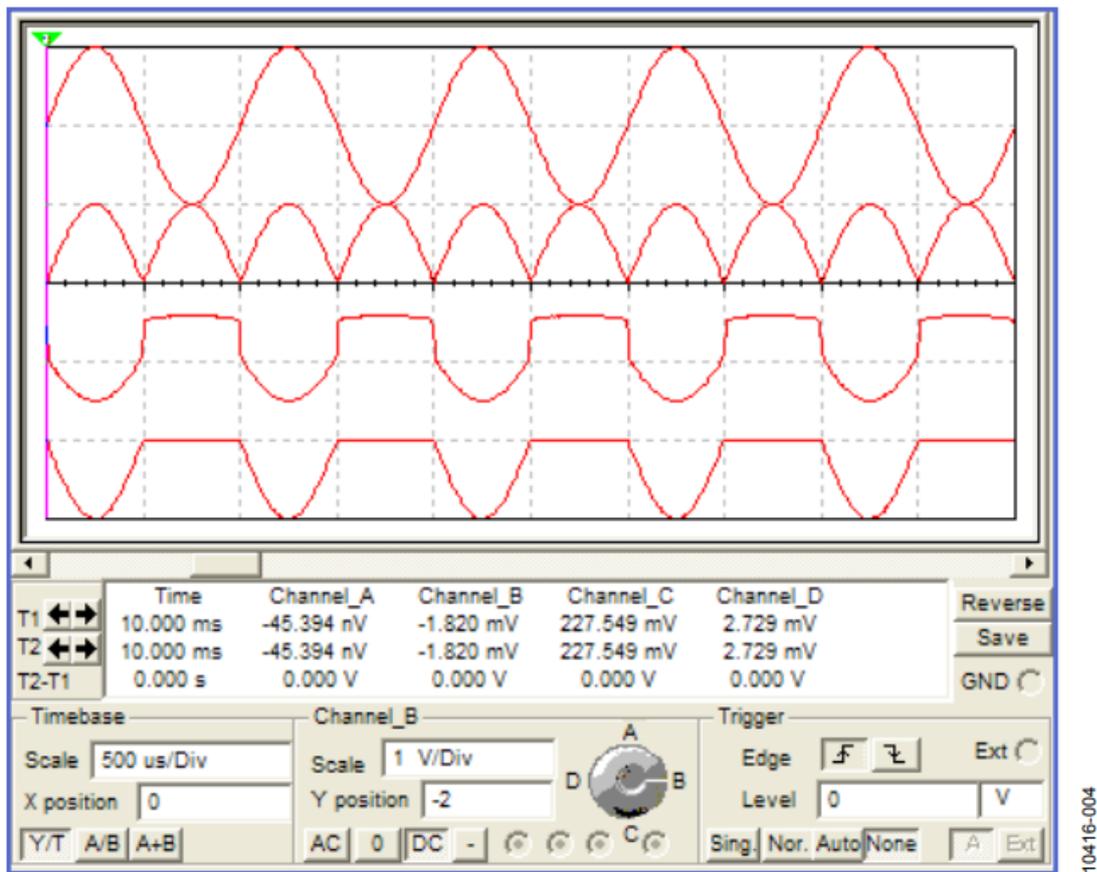


图 4: 全波整流器波形与半波整流器输出

全波整流器的输出端之后往往是一个滤波器，用于形成直流电平。该滤波器的转折频率应置于足够低的水平，以限制输出上的交流纹波，同时还必须足够高，以免对电路的瞬态响应速率造成严重影响。

输出频谱如图 5 所示。全波整流器相对于半波整流器的一个优势是，其输出的频谱以系数 2 倍乘，这是因为整流器行为导致输出谱瓣增加了一倍。

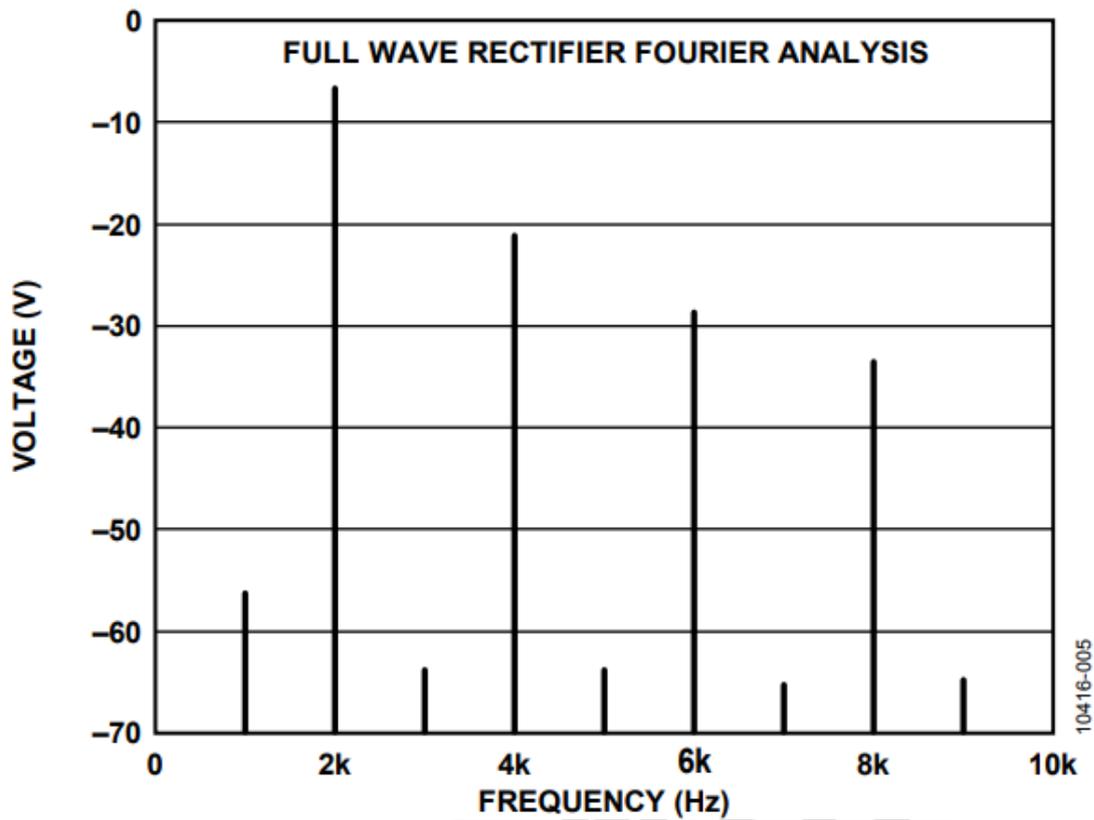
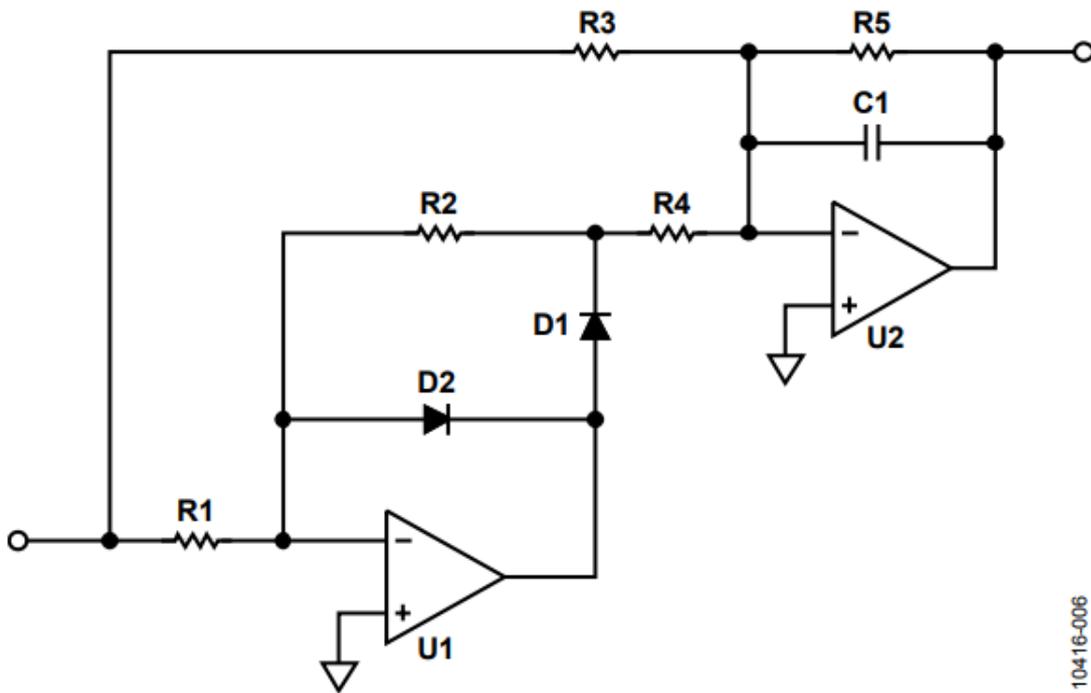


图 5: 全波整流器输出频谱

通过在反馈网络中添加一个电容, 可以将全波整流器的加法器部分转换成一个简单的滤波器。该滤波器的转折频率由电容和 R5 的值设定($F_0=1/(2\pi R5C1)$), 如图 6 所示。另外, 该电路之后可以放置一个有源滤波器。



10416-006

图 6：在反馈环路中添加一个电容可将全波整流器的输出转变成直流电平

通过同时反转两个二极管，可以将输出的极性转换为负。

全波整流器的误差项与反相放大器相同（见章节：反相放大器）。最重要的是失调项。该电路的频率响应主要由运算放大器的开环增益设定。二极管的等效并联电容和二极管导通/关断时间也会影响频率响应，但其影响一般比运算放大器的频率响应要小得多。

采用单电源电压供电时，同相输入偏置到基准电压，通常为电源电压的 $\frac{1}{2}$ 。此时，零输入信号输出为基准电压。图 7 所示单电源半波整流器的基准电压（运算放大器同相输入端的电压）为 $+4V$ 。在示意图中，地位于底部。

输入仍然以地为参考，因此，输入端必须用串联电容进行交流耦合。频率的低端取决于输入耦合电容和输入电阻 $R1$ 的 RC 时间常数。对于双极性电源，电路响应可以达到直流。另外，如果上述电路以相同的基准电压为参考，则输入可能为直流耦合。如果采用电路增益，则需要格外小心，因为基准电平和信号都放大了。

运算放大器上的频率响应要求取决于最大信号输入频率。必须有足够的开环增益，二极

管才可偏置。另外，求和操作会引起频率倍增。因此，根据经验，运算放大器的带宽至少应为 20dB，在输入信号最大频率的两倍处。

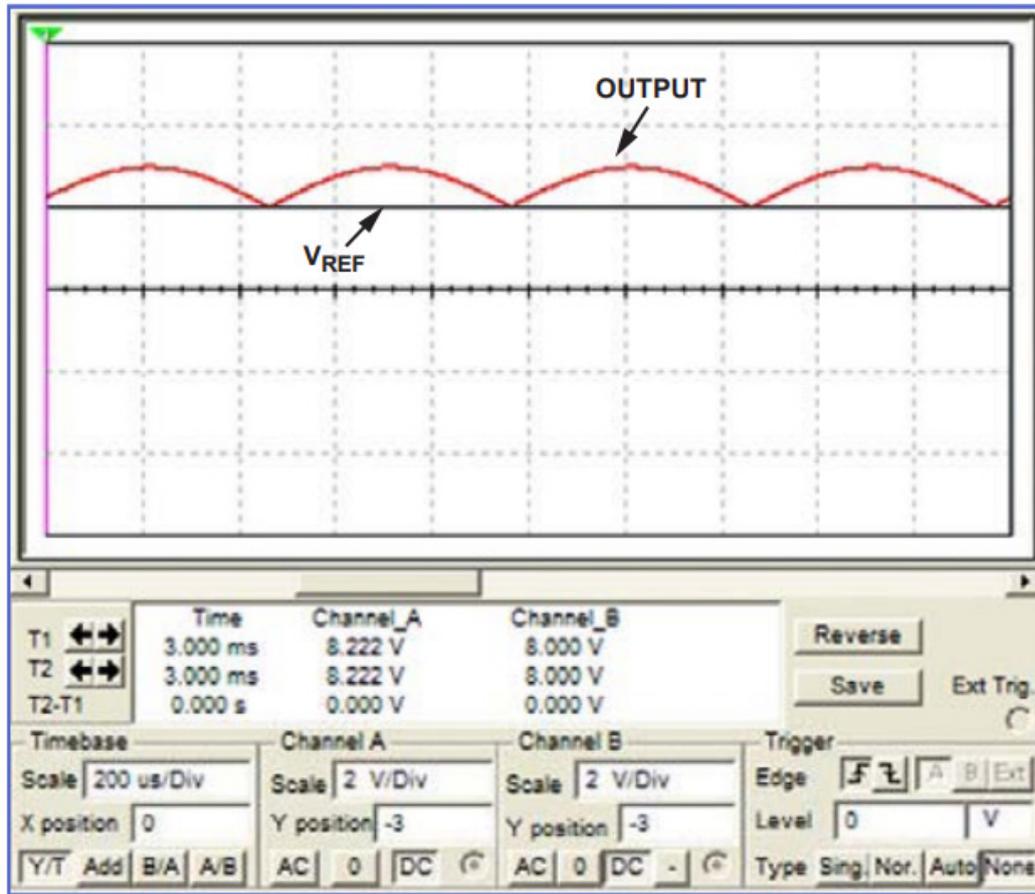


图 7：单电源半波整流器波形

电流反馈(CFB)运算放大器

本章节将详细介绍两种基本运算放大器的拓扑结构（电压反馈(VFB)与电流反馈(CFB)），并说明其差异。图 1 中再次列出了基本电压反馈运算放大器和增益公式。

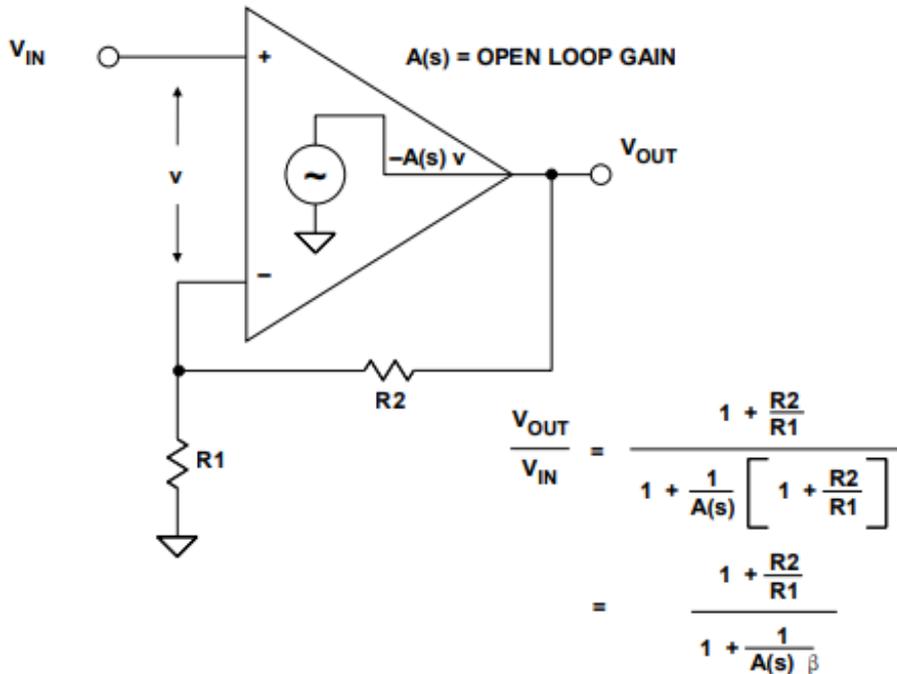


图 1: 已连接反馈网络的电压反馈运算放大器

必须注意，由于反馈网络和有限的开环增益 $A(s)$ 而产生的误差信号实际上是小电压 v 。

电流反馈放大器基本原理

图 2 所示为基本电流反馈放大器拓扑结构。注意，该模型采用一个单位增益缓冲器将同相输入连接至反相输入。理想状态下，该缓冲器的输出阻抗为零 ($R_0=0$)，误差信号为流入反相输入的小电流 i 。误差电流 i 镜像到高阻抗 $T(s)$ ， $T(s)$ 上产生的电压等于 $T(s) \cdot i$ 。

($T(s)$ 的大小通常称为开环跨导增益。)

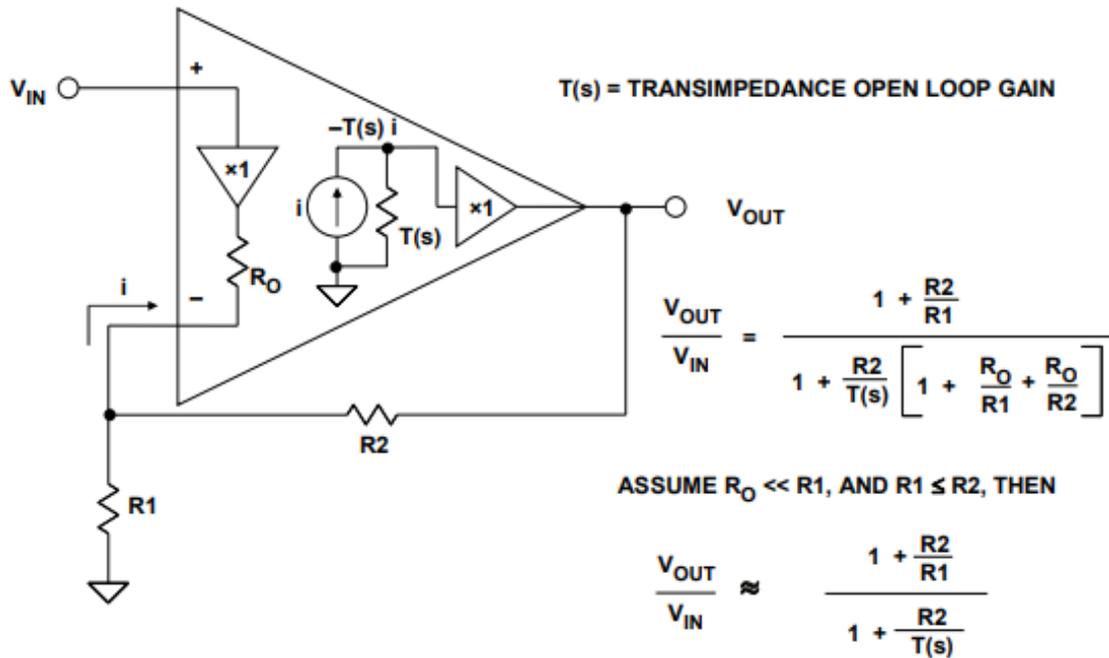


图 2: 电流反馈(CFB)运算放大器拓扑结构

接着, 该电压经过缓冲, 连接至运算放大器输出。如果假设 R_0 为零, 就很容易得出以 R_1 - R_2 反馈网络和开环跨导增益 $T(s)$ 表示闭环增益 V_{OUT}/V_{IN} 的相关表达式。 R_0 为有限值时, 也可以得出该公式, 图 3 给出了两种表达式。

此时应当注意, 电流反馈运算放大器通常称为跨导运算放大器, 因为开环传递函数实际上是一个阻抗, 如上文所述。但是, 很多常见的电路往往也使用跨导放大器这一术语, 比如电流-电压(I/V)转换器, 而 CFB 或 VFB 运算放大器都可用于 I/V 转换器。因此, 在特定应用中遇到术语跨导时应加以注意。而术语电流反馈运算放大器则很少会混淆, 因此, 提到运算放大器拓扑结构时, 最好选用这个术语。

这个简单模型中可以得出 CFB 运算放大器的几个重要特性。

- 与 VFB 运算放大器不同, CFB 运算放大器没有平衡输入。相反, 其同相输入端为高阻抗, 反相输入端为低阻抗。
- CFB 运算放大器的开环增益用 Ω 为单位来衡量 (跨导增益), 而不是 VFB 运算放大器所用的 V/V 。

- 反馈电阻 R_2 为固定值时，CFB 的闭环增益可通过改变 R_1 而发生变化，不会对闭环带宽产生重大影响。通过检查图 3 中的简化公式就可以发现这一点。分母决定整体频率响应，如果 R_2 不变，则可以改变分子中的 R_1 （从而改变增益），不影响分母，这样带宽就会保持相对稳定。

CFB 拓扑结构主要用于对高速和低失真有极高要求的场合。其基本原理基于这样一个事实：在双极型晶体管电路中，在所有其它条件相同的情况下，电流的切换速度快于电压。

图 3 所示为早期 ICCFB 运算放大器 [AD846](#) 的简化原理图，这是 ADI 公司 1988 年推出的一款放大器。注意，该器件充分利用了互补双极型(CB)工艺可以提供匹配良好的高 f_t PNP 和 NPN 晶体管的优势。

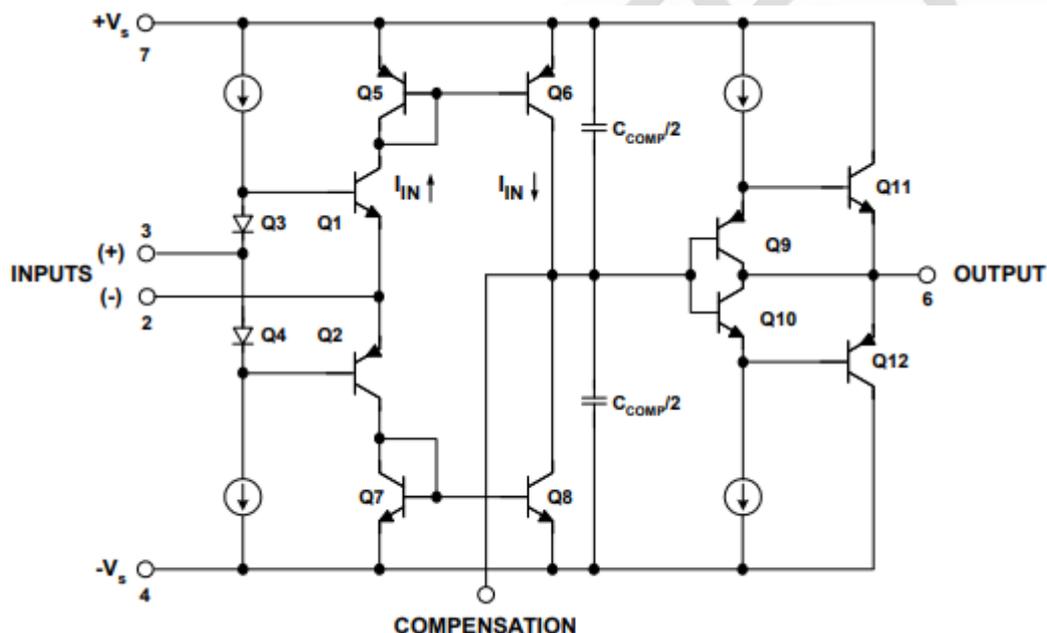


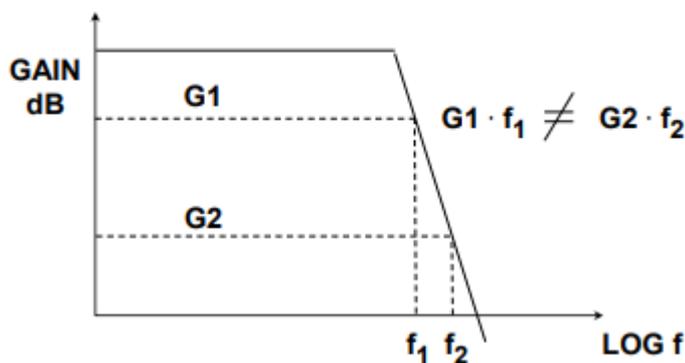
图 3: [AD846](#) 电流反馈运算放大器(1988)

晶体管 Q1-Q2 缓冲同相输入（引脚 3），并驱动反相输入（引脚 2）。Q5-Q6 和 Q7-Q8 用作电流镜，驱动高阻抗节点。CCOMP 电容提供主极点补偿，Q9、Q10、Q11 和 Q12 构成输出缓冲。为了充分利用 CFB 架构的优势，需要采用高速互补双极型(CB)IC 工艺。凭借现代 IC 工艺，这一目标很容易实现，这样就可以在放大器信号路径中实现直接耦合。

CFB 和 VFB 运算放大器的差异

CFB 和 VFB 放大器的一个主要差异就是 CFB 放大器没有恒定的增益带宽产品。CFB 运算放大器的带宽随增益变化很小，远小于在 VFB 运算放大器中看到的 6dB/倍频程，如图 4 所示。如前所述，CFB 运算放大器的带宽与反馈电阻成比例。每个 CFB 运算放大器都有最大带宽时的推荐反馈电阻值。如果电阻值增加后超过该推荐值，就要减小带宽。

如果采用阻值低于推荐值的电阻，相位裕量就会减小，放大器可能会变得不稳定。



- ◆ Feedback resistor fixed for optimum performance. Larger values reduce bandwidth, smaller values may cause instability.
- ◆ For fixed feedback resistor, changing gain has little effect on bandwidth.
- ◆ Current feedback op amps do not have a fixed gain-bandwidth product.

图 4：电流反馈放大器频率响应

控制 CFB 运算放大器应用中的增益时，需要为器件选择正确的反馈电阻(R2)，然后选择底部电阻(R1)，以产生所需的闭环增益。R2 和 R1 的增益关系与 VFB 运算放大器中的关系是相同的。

反馈电阻在不同的工作条件下可能是不同的。例如，由于寄生效应的变化，对于不同的封装类型，反馈电阻值会有所变化。图 5 所示为 [AD8001](#) 运算放大器在采用 PDIP、SOIC 和 SOT-23 封装以及不同增益时的反馈电阻。

Component	AD8001AN (PDIP) Gain					AD8001AR (SOIC) Gain					AD8001ART (SOT-23-5) Gain				
	-1	+1	+2	+10	+100	-1	+1	+2	+10	+100	-1	+1	+2	+10	+100
R_F (Ω)	649	1050	750	470	1000	604	953	681	470	1000	845	1000	768	470	1000
R_G (Ω)	649		750	51	10	604		681	51	10	845		768	51	10
R_O (Nominal) (Ω)	49.9	49.9	49.9	49.9	49.9	49.9	49.9	49.9	49.9	49.9	49.9	49.9	49.9	49.9	49.9
R_S (Ω)	0					0					0				
R_T (Nominal) (Ω)	54.9	49.9	49.9	49.9	49.9	54.9	49.9	49.9	49.9	49.9	54.9	49.9	49.9	49.9	49.9
Small Signal BW (MHz)	340	880	460	260	20	370	710	440	260	20	240	795	380	260	20
0.1 dB Flatness (MHz)	105	70	105			130	100	120			110	300	145		

图 5: [AD8001](#) 采用不同封装时的反馈电阻

CFB 放大器的反馈环路中也不应该有电容。如果反馈环路中采用电容，就会减小高频净反馈阻抗，导致运算放大器发生振荡。反相输入上的杂散电容会产生类似的效应，应去除反相端四周的接地层，尽量减小杂散电容。

使用电流反馈运算放大器时常见的错误是把反相输入直接连接到输出，试图构建单位增益电压跟随器（缓冲）。该电路会产生振荡，因为等效反馈电阻值为零。只要采用推荐的反馈电阻值，将反相输入连接至输出，就可以稳定跟随器电路。

VFB 和 CFB 放大器的另一个差异，就是 CFB 放大器的反相输入阻抗较低（通常为 50 Ω 至 100 Ω ），而同相输入阻抗则较高（通常为几百 k Ω ）。因此，CFB 放大器的输入不平衡，而 VFB 放大器的输入平衡。

CFB 拓扑结构还增强了压摆率性能。对内部补偿电容进行充电和放电的电流可以根据需要提供。不用像通常 VFB 拓扑结构中一样必须限制在固定值。对于阶跃输入，电流会不断增加（“按需电流”），直至反馈环路稳定。基本电流反馈放大器没有理论压摆率限制。只有对内部寄生电容的相关限制，而且已经通过多种方式来减少寄生电容的影响。

CFB 器件结合了高带宽和高压摆率，具有良好的失真性能，且功耗较低。

放大器的失真受放大器开环失真和闭环电路环路增益的影响。因为内部拓扑结构具有基本对称性，所以受 CFB 放大器影响产生的开环失真量较小。高带宽是造成低失真的另一个主要原因。在大多数配置中，CFB 放大器的带宽都比对应的 VFB 更大。因此，在

给定的信号频率下，具有更大的环路增益，因而失真就越低。但是，有些电压反馈结构（通常称为“四核”或“H电桥”）也采用类似工艺设计，其性能水平接近CFB，并且也可以提供“按需电流”。

总结：电流反馈(CFB)与电压反馈(VFB)电流反馈和电压反馈具有不同的应用优势。在很多应用中，CFB和VFB的差异并不明显。如今的CFB和VFB放大器性能相当，但两种拓扑结构还是各有其独特优势。电压反馈可以自由选择反馈电阻（或网络），但会因为增益而牺牲带宽。电流反馈可以在较大的增益范围内保持高带宽，但会限制反馈阻抗的选择。

总之，VFB放大器具有以下特点：

- 噪声较低
- 直流性能较好
- 反馈元件选择自由

CFB放大器具有以下特点：

- 压摆率较快
- 失真较低
- 反馈元件选择受限

电压反馈型运算放大器的增益和带宽

本章节旨在考察标定运算放大器的增益和带宽的常用方法。需要指出的是，本讨论适用于电压反馈(VFB)型运算放大器——电流反馈(CFB)型运算放大器已经在前一章节中讨论过了。

开环增益

与理想的运算放大器不同，实际的运算放大器增益是有限的。开环直流增益（通常表示为 A_{VOL} ）指放大器在反馈环路未闭合时的增益，因而有了“开环”之称。对于精密运算放大器，该增益可能非常高，为 160dB（1 亿）或以上。从直流到主导极点转折频率，该增益表现平坦。此后，增益以 6dB/8 倍频程（20dB/10 倍频程）下降。（8 倍频程指频率增加一倍，10 倍频程指频率增加十倍。）如果运算放大器有一个单极点，则开环增益继续以该速率下降，如图 1A 所示。实际的运算放大器一般有一个以上的极点，如图 1B 所示。第二个极点会使开环增益下降至 12dB/8 倍频程（40dB/10 倍频程）的速率增加一倍。如果开环增益在达到第二个极点的频率之前降至 0dB（单位增益）以下，则运算放大器在任何增益下均会无条件地保持稳定。数据手册上一般将这种情况称为单位增益稳定。如果达到第二个极点的频率且闭环增益大于 1(0db)，则放大器可能不稳定。有些运算放大器设计为只有在较高闭环增益下才保持稳定，这就是所谓的非完全补偿运算放大器。

然而，运算放大器可能在较高频率下拥有更多额外的寄生极点，前两个极点一般都是最重要的。

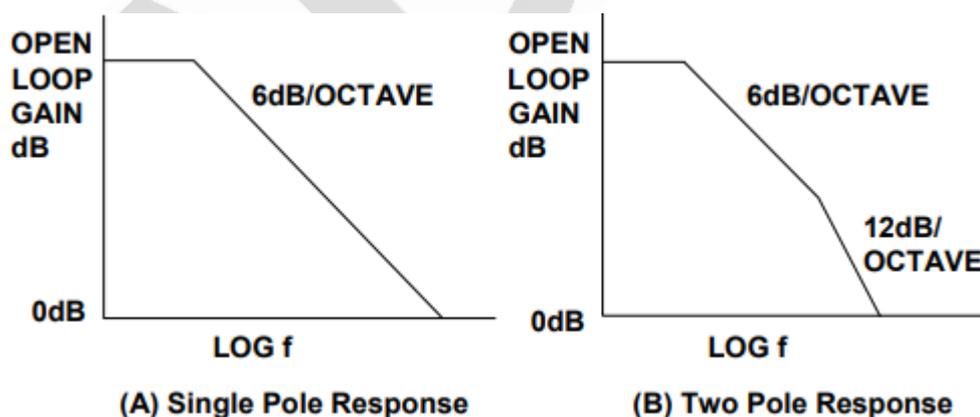


图 1: 开环增益（波特图）(A)单极点响应、(B)双极点响应

有必要了解开环增益、闭环增益、环路增益、信号增益和噪声增益之间的区别。它们性

质类似、相互关联，但也存在差异。下面我们将详细讨论。

开环增益并不是一项精确控制的参数。其范围相对较大，在规格参数中，多数情况下均表示为典型值而非最小/最大值。有些情况下，一般指高精度运算放大器，该参数会有一个最小值。

另外，开环增益可能因输出电压电平和负载而变化。这就是所谓的开环增益非线性度。该参数与温度也有一定的相关性。一般来说，这些影响很小，多数情况下都可以忽略不计。事实上，一些运算放大器的数据手册中未必包含开环增益非线性度。

闭环增益

闭环增益指放大器在反馈环路闭合时的增益，与其相反，开环增益则是放大器在反馈环路断开时的增益。闭环增益有两种形式：信号增益和噪声增益。下面对两者进行说明并加以区分。

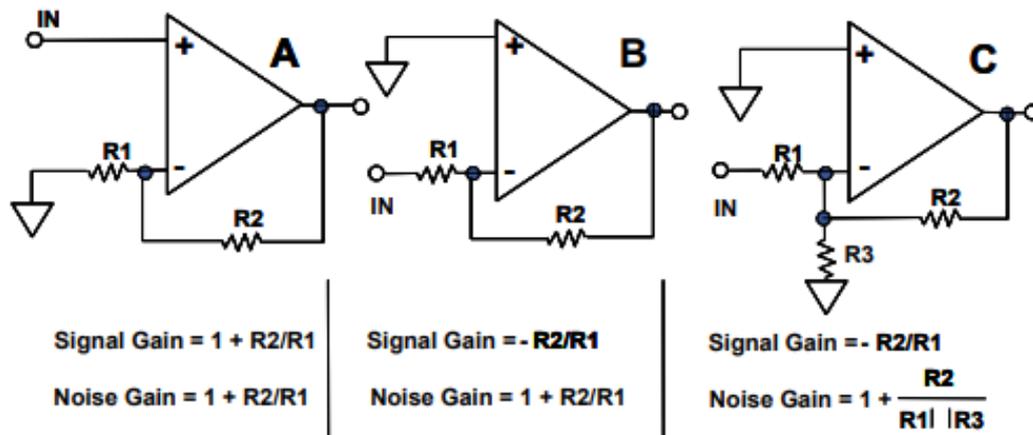
闭环放大器增益的经典表达式涉及开环增益。设 G 为实际闭环增益， N_G 为噪声增益（见下文）， A_{VOL} 为放大器的开环增益，则：

$$G = \frac{N_G}{1 + \frac{N_G}{A_{VOL}}} \quad \text{等式 1}$$

显然，如果开环增益很高，一般情况下都是如此，则电路的闭环增益就是噪声增益。

信号增益与噪声增益

信号增益指连接反馈环路时施加于输入信号的增益。在《理想的电压反馈型(VFB)运算放大器》章节中，我们讨论了反相和同相电路的增益，更确切地说，实际上就是闭环信号增益。信号增益可为正（同相模式），也可为负（反相模式），反相模式下，可能低于单位增益。信号增益是在设计信号路径元件时最重要的增益。图 2 详细展示了各种增益的情况。



- Voltage Noise and Offset Voltage of the op amp are reflected to the output by the Noise Gain.
- Noise Gain, not Signal Gain, is relevant in assessing stability.
- Circuit C has unchanged Signal Gain, but higher Noise Gain, thus better stability, worse noise, and higher output offset voltage.

图 2: 信号增益与噪声增益

反相放大器级的信号增益为:

$$\text{信号增益} = -\frac{R2}{R1}, \quad \text{等式 2}$$

同相放大器则为:

$$\text{信号增益} = 1 + \frac{R2}{R1}, \quad \text{等式 3}$$

噪声增益指出现在与运算放大器输入端串联的噪声源（输入电压噪声）或电压源（输入失调电压）上的增益。噪声增益等于

$$\text{噪声增益} = 1 + \frac{R2}{R1}, \quad \text{等式 4}$$

噪声增益等于同相放大器的信号增益。同时，反相级或同相级的噪声增益是相同的。

用于确定运算放大器稳定性的是噪声增益。噪声增益等于波特图中用到的闭环增益。上面的噪声增益表达式中用到电阻值，但是，在实际应用中，它们实际上是带有实部和虚

部的阻抗。

环路增益

开环增益与闭环增益之差称为环路增益，如图 3 所示。环路增益给出了可以在给定频率下施加于放大器的负反馈量。

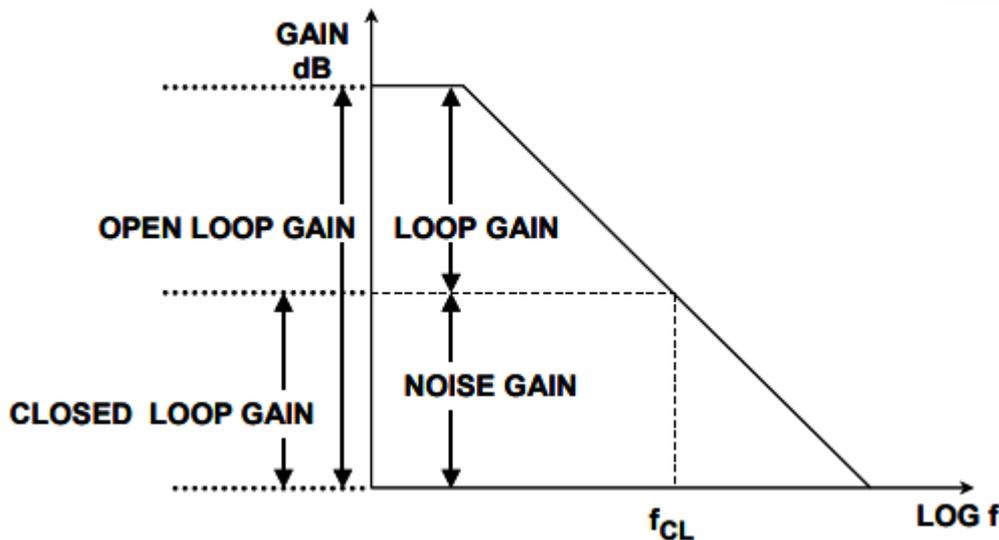


图 3: 增益定义

波特图：渐近和实际响应

基于对数-对数比例的开环增益与频率的关系坐标图称为波特图。这是评估某个运算放大器是否适合特定应用的主要工具之一。

如果在波特图上先画上开环增益，然后绘出噪声增益（如图 4 所示），则其交点将决定放大器系统的最大闭环带宽。该交点通常被称为闭环频率(F_{CL})。请记住，交点处的实际响应值比该值低 3dB。在比 F_{CL} 高和低一个 8 倍频程的频率下，渐近响应与实际响应之差将小于 1dB。

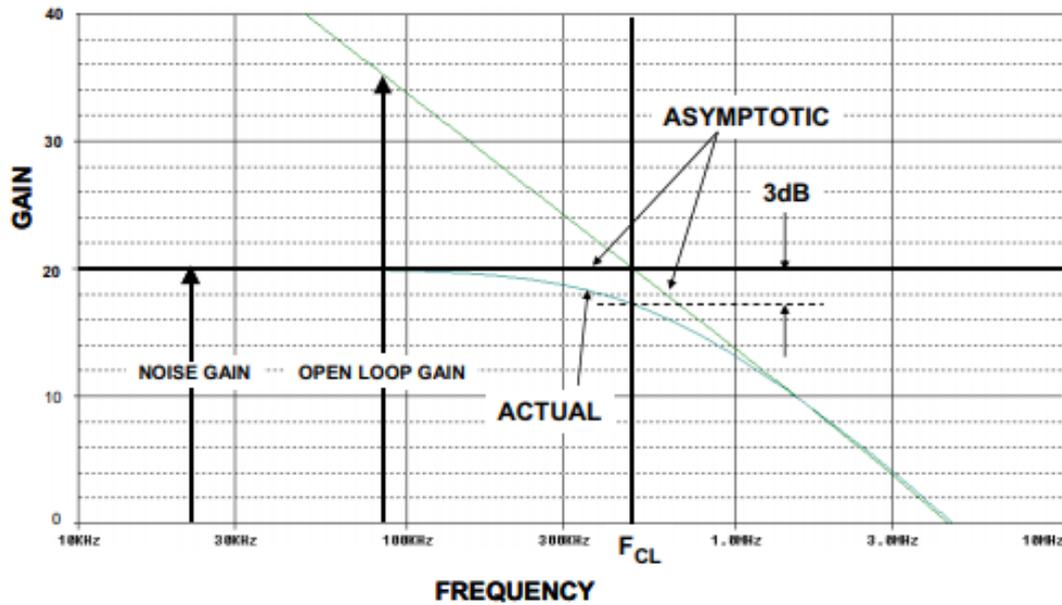


图 4：波特图——渐近响应与实际响应

波特图也可用于确定稳定性。如上所述，如果闭环增益（噪声增益）在大于 6dB/8 倍频程 (20dB/10 倍频程) 的斜率下与开环增益相交，则放大器可能不稳定 (取决于相位余量)。

增益带宽积

对于单极点响应，开环增益以 6dB/8 倍频程下降。这就是说，如果我们将频率增加一倍，增益会下降两倍。相反，如果使频率减半，则开环增益会增加一倍，如图 5 所示。结果产生所谓的增益带宽积。如果用频率乘以开环增益，其积始终为一个常数。需要注意的是，必须处于整条曲线中以 6dB/8 倍频程下降的部分。这样，我们就得到了一个品质因素，可以据此决定某个运算放大器是否适合特定的应用。请注意，增益带宽积仅对电压反馈(VFB)运算放大器有意义。有关电流反馈(CFB)运算放大器带宽的讨论见章节《电流反馈(CFB)运算放大器》。

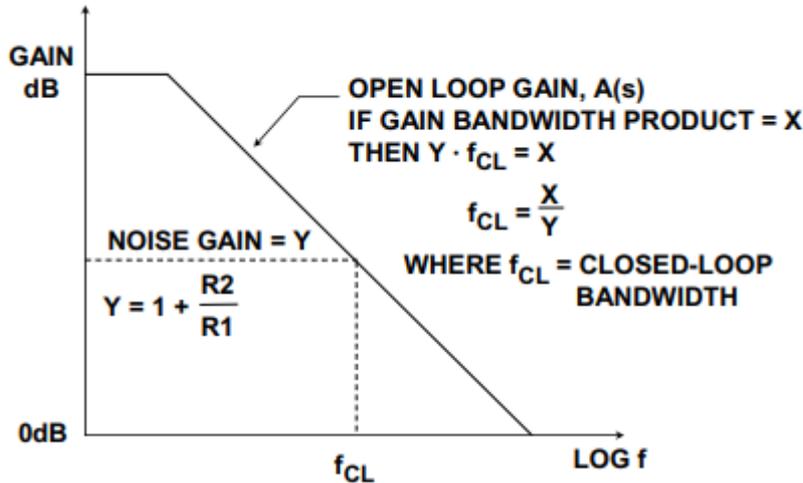


图 5：增益带宽积

例如，如果有这样一个应用，要求闭环增益为 10，带宽为 100kHz，则需要一个最低增益带宽积为 1MHz 的运算放大器。但这有点把问题过度简单化了，因为增益带宽积变化极大，而且在闭环增益与开环增益相交的位置，响应实际上要低 3dB。另外，还应该允许一定的额外余量。

在上述应用中，增益带宽积为 1MHz 的运算放大器是最低要求。保险起见，为了实现要求的性能，因数至少应该是 5。因此选择了增益带宽积为 5MHz 的运算放大器。

稳定性标准

反馈稳定性理论认为，闭环增益必须在不大于 6dB/8 倍频程（单极点响应）的斜率下与开环增益相交，才能使系统实现无条件稳定。如果响应为 12dB/8 倍频程（双极点响应），则运算放大器会发生振荡。简单起见，不妨这样设想，每个极点增加 90°相移。两个极点则会产生 180°的相移，而 180°的相移会使负反馈变成正反馈，即振荡。

那么问题是：为什么要用单位增益下不稳定的放大器呢？答案是，对于给定的放大器，如果该放大器设计时未考虑单位增益稳定性，则可在较高增益下提高带宽。这类运算放大器有时被称为非完全补偿运算放大器。然而，仍需满足稳定性标准，即闭环增益必须在 6dB/8 倍频程（单极点响应）的斜率下与开环增益相交。否则，放大器将会振荡。因

此，非完全补偿运算放大器仅在数据手册中规定的较高增益下保持稳定。

举例来说，不妨比较图 6 中的开环增益图。图中的三种器件，[AD847](#)、[AD848](#) 和 [AD849](#) 基本上采用相同的设计，只是内部补偿机制不同。[AD847](#) 为单位增益稳定型，规定增益带宽为 50MHz。[AD848](#) 在增益为 5 或以上时保持稳定，其增益带宽为 175MHz。[AD849](#) 在增益为 25 或以上时保持稳定，其增益带宽为 725MHz。由此可见，在基本设计相同的情况下，可以通过修改运算放大器的内部补偿机制来产生不同的增益带宽积，其为最低稳定增益的函数。

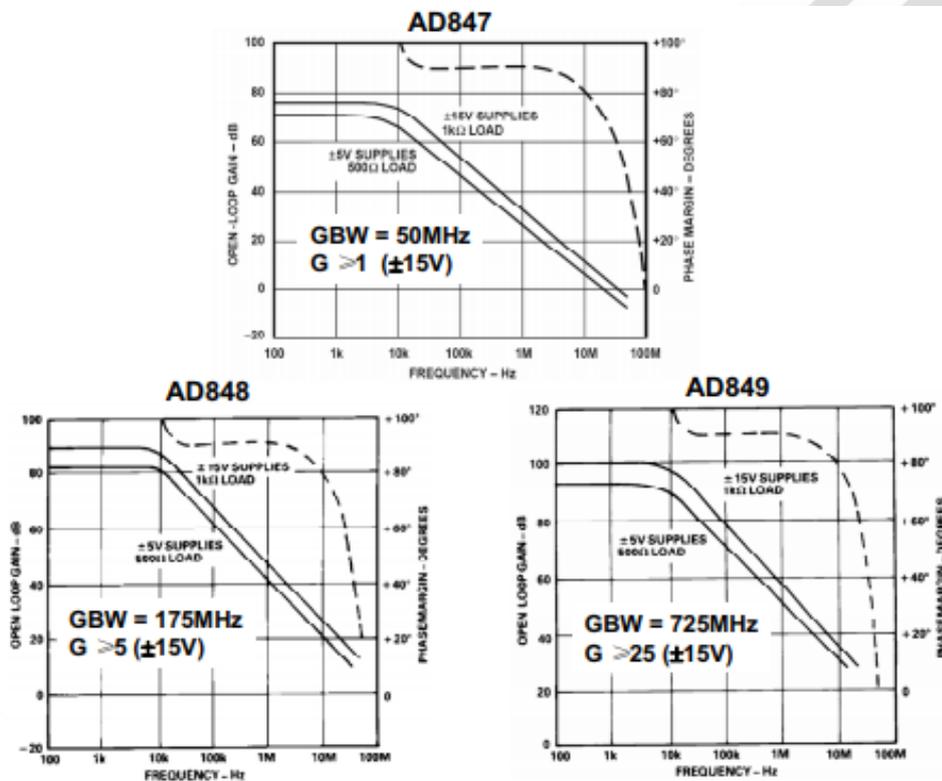


图 6: [AD847](#)、[AD848](#)、[AD849](#) 的开环增益特性、增益带宽积和最低稳定闭环增益

相位余量

衡量稳定性的一项指标是相位余量。正如幅度响应不会一直保持平坦却突然变化一样，相位响应也会从转折频率前的大约十倍频程开始逐渐变化。相位余量指在达到 180° 之前剩余的相移量，在闭环增益与开环增益相交的频率下进行测量。

低相位余量造成的结果是，增益峰值会刚好在闭环增益与开环增益的相交频率之前增加。图 7 显示了 [AD8051](#) 运算放大器的增益和相位响应。这种情况下，相位余量与单位增益频率成 45° 。

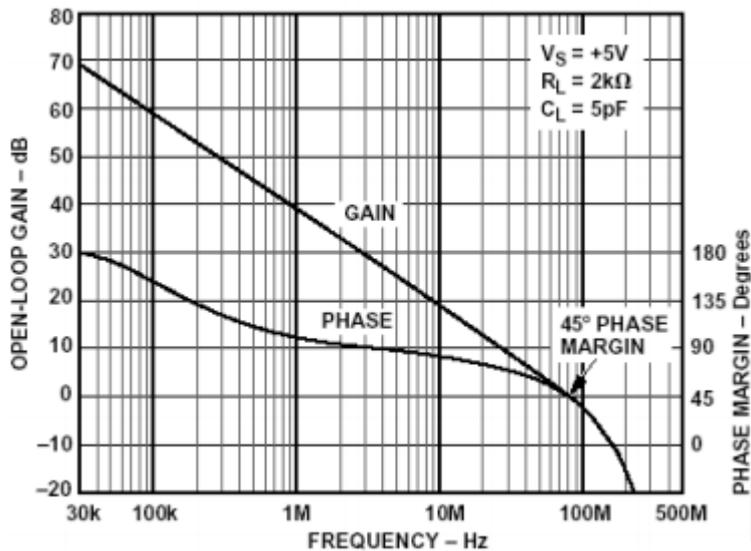


图 7: [AD8051](#) 相位余量

运算放大器开环增益与开环增益非线性

开环增益

大多数电压反馈(VFB)型运算放大器的开环电压增益（通常称为 A_{VOL} ，有时简称 A_V ）都很高。常见值从 100000 到 1000000，高精度器件则为该数值的 10 至 100 倍。有些快速运算放大器的开环增益要低得多，但是几千以下的增益不适合高精度应用。此外还要注意，开环增益对温度变化并不高度稳定，同一类型的不同器件也会存在极大差异，因此，增益值必须很高。

电压反馈运算放大器采用电压输入/电压输出方式工作，其开环增益为无量纲比，所以不需要单位。但是，数值较小时，为方便起见，数据手册会以 V/mV 或 $V/\mu V$ 代替 V/V 表示增益，电压增益也可以 dB 形式表示，换算关系为 $dB=20 \times \log A_{VOL}$ 。因此， $1V/\mu V$ 的开环增益相当于 120dB，以此类推。

电流反馈(CFB)型运算放大器采用电流输入和电压输出，因此，其开环跨导增益以 V/A 或 Ω (或 k Ω 、M Ω) 表示。增益值通常介于几百 k Ω 与几十 M Ω 之间。

根据基本反馈原理，为了保持精度，精密放大器的直流开环增益 A_{VOL} 必须很高。通过检查闭环增益公式就能发现这点，该公式包含由有限增益引起的误差。包含有限增益误差的闭环增益公式如下：

$$G_{CL} = \frac{1}{\beta} \cdot \left[\frac{1}{1 + \frac{1}{A_{VOL}\beta}} \right] \quad \text{公式 1}$$

其中， β 是反馈环路衰减，也称反馈因子（反馈网络的电压衰减）。噪声增益等于 $1/\beta$ ，因此，该公式还可以其它形式表示。将公式右端两项合并，把 NG（噪声增益）代入，可得到如下公式：

$$G_{CL} = \frac{NG}{1 + \frac{NG}{A_{VOL}}} \quad \text{公式 2}$$

公式 1 和 2 是等效的，两者均可使用。如前所述，噪声增益(NG)只是从与运算放大器输入串联的小电压源获得的增益，是同相模式下的理想放大器信号增益。如果公式 1 和 2 中的 A_{VOL} 无限大，闭环增益就和噪声增益 $1/\beta$ 完全相等。

但是，由于 $NG \ll A_{VOL}$ 且 A_{VOL} 为有限值，因此存在闭环增益误差，估算公式如下：

$$\text{Closed loop error(\%)} \approx \frac{NG}{A_{VOL}} \cdot 100 \quad \text{公式 3}$$

注意，公式 3 中的百分比形式增益误差直接与噪声增益成比例，因此，有限 A_{VOL} 对低增益的影响较小。一些示例可以说明上述增益关系的要点。

开环增益不确定性

下图 1 中，第一个示例中噪声增益为 1000，可以看出，开环增益为 200 万时，闭环增

益误差约为 0.05%。注意，若温度、输出负载和电压变化时开环增益保持不变，0.05% 的增益误差很容易通过校准从测量结果中去除，这样就不存在整体系统增益误差。但是，若开环增益改变，由此产生的闭环增益也会改变。这就导致了增益不确定性。在第二个示例中， A_{VOL} 减少至 30 万，产生的增益误差为 0.33%。这种情况会使闭环增益中产生 0.28% 的增益不确定性。大多数应用中，使用良好的放大器时，电路的增益电阻是绝对增益误差的最大来源，但是应注意，增益不确定性不能通过校准去除。

- ◆ "IDEAL" CLOSED LOOP GAIN = $1/\beta$ = NOISE GAIN (NG)
- ◆ ACTUAL CLOSED LOOP GAIN = $\frac{1}{\beta} \cdot \left| \frac{1}{1 + \frac{1}{A_{VOL} \beta}} \right| = \frac{NG}{1 + \frac{NG}{A_{VOL}}}$
- ◆ CLOSED LOOP GAIN ERROR (%) $\approx \frac{NG}{A_{VOL}} \times 100$ ($NG \ll A_{VOL}$)
- ◆ Ex. 1: Assume $A_{VOL} = 2,000,000$, $NG = 1,000$
% GAIN ERROR $\approx 0.05\%$
- ◆ Ex. 2: Assume A_{VOL} Drops to 300,000
% GAIN ERROR $\approx 0.33\%$
- ◆ CLOSED LOOP GAIN UNCERTAINTY
= $0.33\% - 0.05\% = 0.28\%$

图 1: 开环增益变化导致闭环增益不确定性

输出电平和输出负载的变化是导致运算放大器开环增益变化的最常见原因。开环增益中信号电平的变化会导致闭环增益传递函数的非线性，也无法在系统校准过程中去除。大多数运算放大器都有固定负载，因此负载的 A_{VOL} 变化一般不重要。但是， A_{VOL} 对输出信号电平的灵敏度在负载电流较高时可能会上升。

非线性的严重程度在不同类型的器件中变化很大，数据手册中一般不会明确规定。但是通常会规定最小 A_{VOL} ，选择高 A_{VOL} 的运算放大器可以将增益非线性误差的发生概率降至最低。增益非线性的来源有很多，具体取决于运算放大器的设计。其中一个常见来源是热反馈（例如从热输出级反馈至输入级）。如果温度变化是非线性误差的唯一原因，减

小输出负载可能会有所帮助。为了验证这一点，需要在空载条件下测量非线性，然后与负载条件下进行比较。

测量开环增益非线性

下图 2 所示为测量直流开环增益非线性的示波器 X-Y 显示测试电路。前文讨论的与失调电压测试电路相关的防范措施在该电路中也应注意。放大器的信号增益设置为-1。开环增益定义为输出电压的变化除以输入失调电压的变化。但是， A_{VOL} 值较大时，实际失调电压在整个输出电压摆幅内可能只改变几微伏。因此，采用 10Ω 电阻和 $R_G(1M\Omega)$ 组成的除法器时，节点电压 V_Y 按以下公式计算：

$$V_Y = \left[1 + \frac{R_G}{10\Omega} \right] V_{OS} = 100,001 \cdot V_{OS} \quad \text{公式 4}$$

选择 R_G 值是为了使 V_Y 获得可测量的电压，具体取决于 V_{OS} 的预期值。

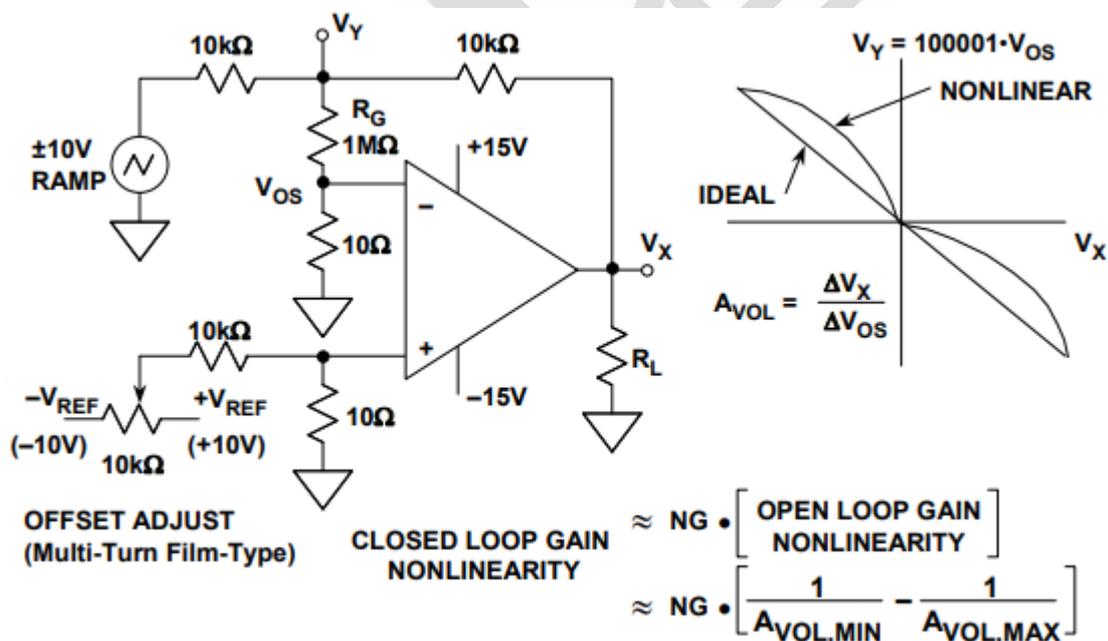


图 2：测量开环增益非线性的电路

$\pm 10V$ 斜波发生器输出乘以-1 的信号增益后，会使得运算放大器输出电压 V_X 在+10V 到 -10V 之间摆动。因为失调电压添加了增益系数，所以需要增加失调调整电位计，将初始

输出失调设置为零。选择的电阻值可以抵消高达±10mV 的输入失调电压。电位计的每一端都应采用稳定的 10V 基准电压源（如 [AD688](#)），以防止输出漂移。还应注意，由于开环增益的转折频率较低，斜坡发生器频率必须很低，可能不超过 1Hz 的几分之一（例如，[OP177](#) 为 0.1Hz）。图 2 右侧的坐标图所示为 V_Y 与 V_X 的关系图。如果不存在增益非线性，则图中所示应为斜率不变的直线， A_{VOL} 按以下公式计算：

$$A_{VOL} = \frac{\Delta V_X}{\Delta V_{OS}} = \left[1 + \frac{R_G}{10\Omega} \right] \left[\frac{\Delta V_X}{\Delta V_Y} \right] = 100,001 \cdot \left[\frac{\Delta V_X}{\Delta V_Y} \right]. \quad \text{公式 5}$$

如果存在非线性， A_{VOL} 会随着输出信号变化而动态变化。开环增益非线性的近似值根据输出电压范围内的 A_{VOL} 最大值和最小值计算，公式如下：

$$\text{Open Loop Gain Nonlinearity} = \frac{1}{A_{VOL,MIN}} - \frac{1}{A_{VOL,MAX}}. \quad \text{公式 6}$$

闭环增益非线性用开环增益非线性乘以噪声增益 NG 计算得出，公式如下：

$$\text{Closed Loop Gain Nonlinearity} \approx NG \cdot \left[\frac{1}{A_{VOL,MIN}} - \frac{1}{A_{VOL,MAX}} \right]. \quad \text{公式 7}$$

理想状态下， V_{OS} 和 V_X 的关系图是一条斜率不变的直线，斜率的倒数为开环增益 A_{VOL} 。斜率为零的水平线表示开环增益无限大。实际运算放大器中，由于存在非线性和热反馈等因素，斜率会在输出范围内发生变化。实际上，斜率甚至可以改变符号。

图 3 所示为 [OP177](#) 精密运算放大器中 V_Y （以及 V_{OS} ）与 V_X 的关系图。图中所示为 2kΩ 和 10kΩ 两种负载下的关系图。斜率的倒数根据端点计算， A_{VOL} 平均值约为 800 万。经测量， A_{VOL} 在输出电压范围内的最大值和最小值分别约为 910 万和 570 万。对应的开环增益非线性约为 0.07ppm。因此，噪声增益为 100 时，对应的闭环增益非线性约为 7ppm。

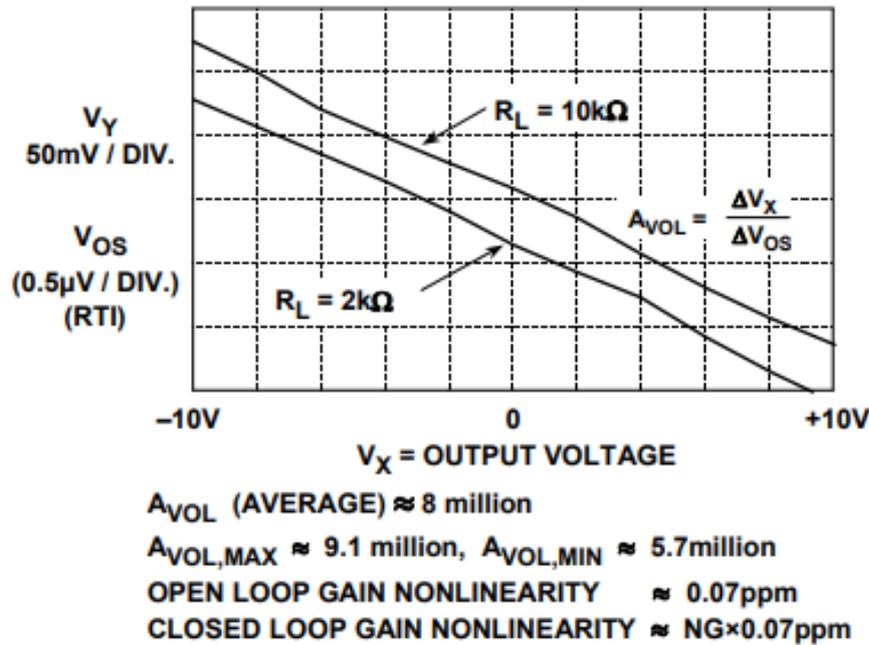


图 3: [OP177](#) 增益非线性

当然，这些非线性测量方法在高精度直流电路中最为适用。但是也适合音频之类带宽较宽的应用。例如，图 2 中的 X-Y 显示技术可以轻松显示设计不当的运算放大器输出级的交越失真。

运算放大器带宽和带宽平坦度

电压反馈型运算放大器的带宽

图 1 显示电压反馈型运算放大器的开环频率响应。有两种可能：图 1A 是最常见的情况，高直流增益以 6dB/倍频程从极低频率下降至单位增益，也就是典型的单极点响应。相比之下，图 1B 的放大器响应中具有两个极点，增益先以 6dB/倍频程下降，然后以 12dB/倍频程下降。图 1A 中的放大器称为无条件稳定或完全补偿型放大器，可配合单位噪声增益使用。该类型的放大器可在输出至反相输入的 100%反馈（包括电容）下保持稳定。

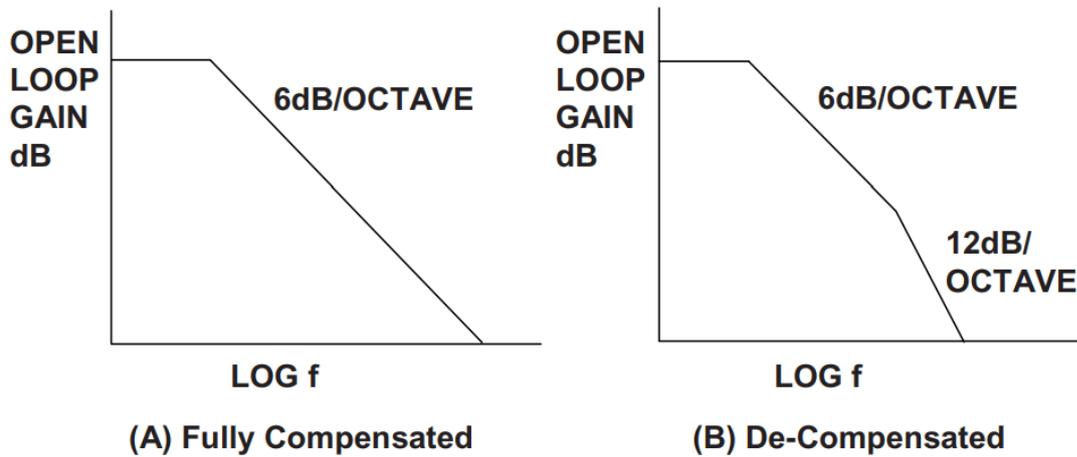


图 1: 电压反馈型运算放大器的频率响应

与图 1B 的放大器相互比较，如果该运算放大器配合特定噪声增益使用，且该噪声增益低于响应斜率从 6dB/倍频程增加至 12dB/倍频程的增益，则反馈中的相移将过大，放大器将会振荡。该类型的放大器表述为“在增益 $\geq X$ 时保持稳定”，其中 X 是发生 6dB/12dB 转换时的频率增益。当然应注意，这里参考的是噪声增益。稳定增益级可能在 2 至 25 之间，通常我们称之为“5 倍增益稳定”等等。这些非完全补偿运算放大器具有比完全补偿型放大器更高的增益带宽积，所有其他特性完全相同。因此虽然设计器件时略为复杂，但非常有用。不过，与完全补偿型运算放大器不同，非完全补偿运算放大器无法用于输出至反相输入的直接容性反馈。

两种放大器的响应斜率均为 6dB/倍频程，也就是在发生此斜率的频率范围内，该增益下的闭环增益与 3dB 闭环带宽之积恒定不变，这称为增益带宽积(GBW)，是放大器的一个品质因数。例如，如果运算放大器具有 X MHz 的 GBW 积，则在 1 倍噪声增益下的闭环带宽为 X MHz, 2 倍噪声增益下为 $X/2$ MHz, Y 倍噪声增益下为 X/Y MHz (参见下图 2)。请注意，闭环带宽是噪声增益与开环增益相交的频率。

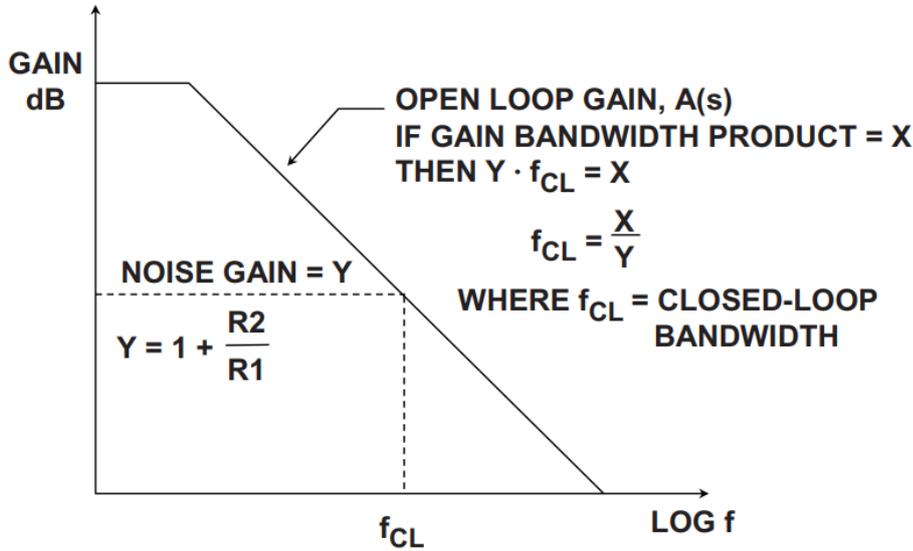


图 2: 电压反馈型运算放大器的增益带宽积

以上示例中，假定了反馈元件为电阻性。但实际情况通常需要反馈电容以提高稳定性。

下图 3 显示了典型示例，其中运算放大器的反相输入端具有电容 C1。此电容是运算放大器内部电容与可能存在的任何外部电容之和，它始终存在，并在噪声增益传递函数中引入一个极点。

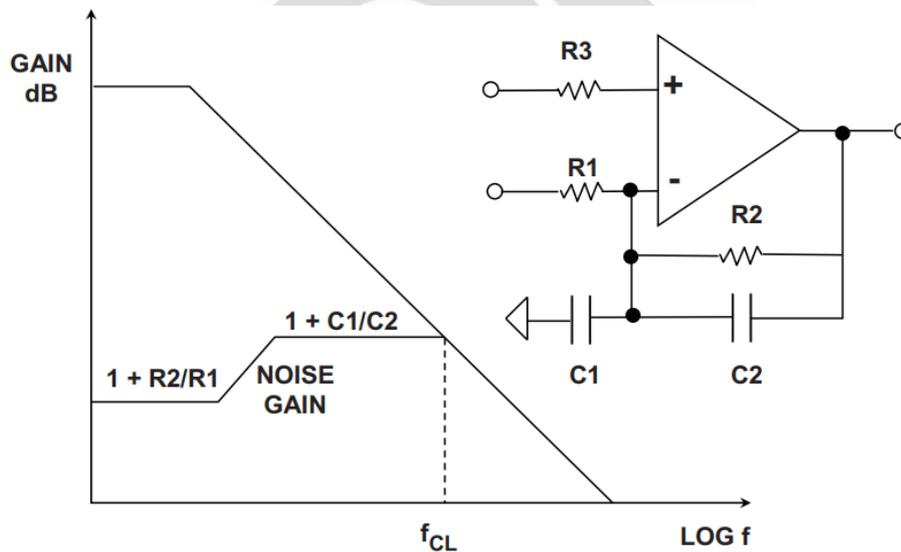


图 3: 使用电阻性和电抗性反馈元件的电压反馈型运算放大器的噪声增益波特图

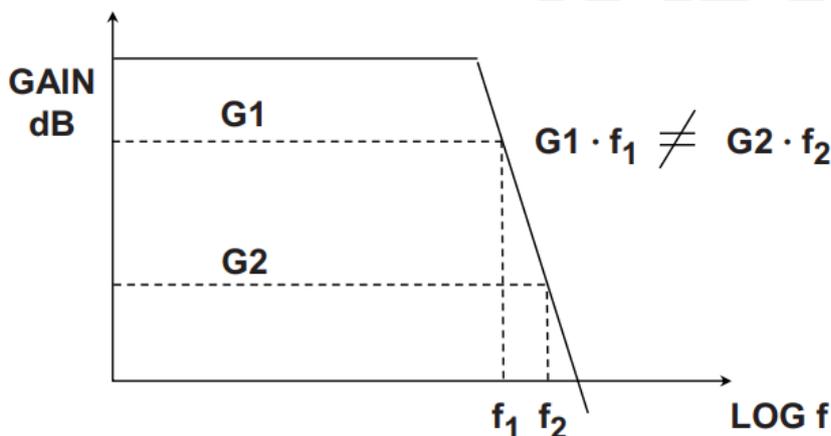
噪声增益曲线和开环增益曲线交点处的净斜率决定系统稳定性。如需无条件稳定性，噪声增益必须以小于 12dB/倍频程 (20dB/10 倍频程) 的净斜率与开环增益相交。添加反

馈电容 C2 可在噪声增益传递函数内引入一个零点，从而使电路趋于稳定。请注意，图 3 中的闭环带宽 f_{cl} 是噪声增益与开环增益相交的频率。

噪声增益波特图在分析运算放大器稳定性时是很有用的工具。制作波特图并不难。噪声增益和稳定性的进一步细节不在本节讨论范围内。

电流反馈型运算放大器的带宽

电流反馈型运算放大器与电压反馈型运算放大器不同。在容性反馈下不会保持稳定，也无法用于输出至反相输入的短路。对于 CFB 运算放大器，一般在反馈电阻时可获得最大带宽。请注意，此电阻值可随电源电压而变化—请参考器件数据手册。如果反馈电阻增大，带宽会降低。相反，如果反馈电阻减小，带宽会升高，放大器则变得不稳定。



- ◆ **Feedback resistor fixed for optimum performance. Larger values reduce bandwidth, smaller values may cause instability.**
- ◆ **For fixed feedback resistor, changing gain has little effect on bandwidth.**
- ◆ **Current feedback op amps do not have a fixed gain-bandwidth product.**

图 4：电流反馈型运算放大器的频率响应

在 CFB 运算放大器中，对于给定反馈电阻值(R2)，闭环带宽大多数情况下不受噪声增益影响，如上图 4 所示。因此 CFB 放大器不应参考增益带宽积，因为该值不恒定。控制

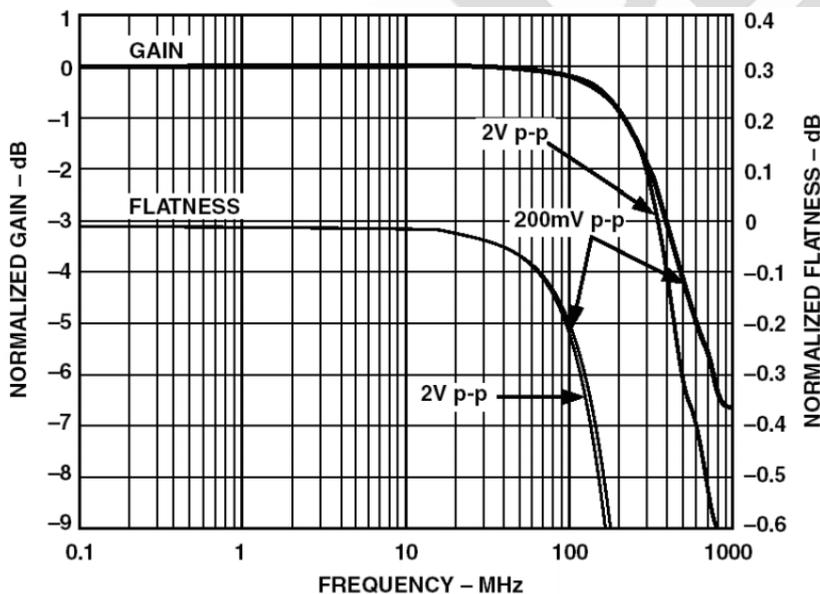
CFB 运算放大器应用中的增益时，需要为器件选择正确的反馈电阻(R2)，然后选择底部电阻(R1)，以产生所需的闭环增益。R2 和 R1 的增益关系与 VFB 运算放大器中的关系是相同的。

通常，CFB 运算放大器数据手册会提供建议电阻值表，规定了器件在增益和电源电压范围内的最大带宽。使用这些表可显著简化设计过程。

带宽平坦度

在要求严苛的专业视频之类应用中，需要在某一最大额定频率之下维持相对平坦的带宽和线性相位，仅仅指定 3dB 带宽是不够的。具体而言，习惯做法是指定 0.1dB 带宽或 0.1dB 带宽平坦度。这意味着在额定的 0.1dB 带宽频率之下，纹波不超过 0.1dB。

视频缓冲放大器一般同时指定 3dB 和 0.1dB 带宽。图 5 显示了 [AD8075](#) 三路视频缓冲器的频率响应。



3dB BANDWIDTH \approx 400MHz, 0.1dB BANDWIDTH \approx 65MHz

图 5: [AD8075](#) 三路视频缓冲器的 3dB 和 0.1dB 带宽, $G=2$, $R=150\Omega$

请注意，3dB 带宽约为 400MHz。这可以从图中标为“GAIN”的响应确定，左侧竖轴显

示了对应的增益量程（刻度为 1dB/分频）。

右侧竖轴是“FLATNESS”的响应量程，本例中刻度为 0.1dB/分频。这样就能确定 0.1dB 带宽，本例中约为 65MHz。此处应注意一点，即 3dB 和 0.1dB 标准适用带宽的差异。提供 65MHz 0.1dB 的平坦度额定值需要 400MHz 带宽的放大器（以常规方式测定）。

应注意，驱动 75Ω 源和负载端接电缆时，这些技术规格仍然适用，代表 150Ω 的阻性负载。放大器输出端的任何容性负载将导致频率响应峰化，必须予以阻止。

压摆率和全功率带宽

放大器的压摆率(SR)是其输出端上的最大电压变化率，用 V/s（或更常见的 V/μs）表示。我们曾解释过运算放大器为何在趋正和趋负转换过程中具有不同压摆率，但此分析的假设前提是高速、优良运算放大器具有合理对称的压摆率。

如果考虑峰峰值幅度为 $2V_p$ 、频率为 f 的正弦波信号，输出电压表达式应为：

$$V(t) = V_p \sin 2\pi ft. \quad \text{公式1}$$

此正弦波信号在零交越处具有最大变化率（斜率）。该最大变化率为：

$$\left. \frac{dv}{dt} \right|_{\max} = 2\pi f V_p. \quad \text{公式2}$$

要无失真地重现此信号，放大器必须能够以此速率（或更快地）响应输出电压。当放大器到达最大输出变化率或压摆率时，表示发生了压摆限制（有时也称为压摆率限制）。

因此可以看出，不会发生压摆限制的最大信号频率与信号斜率成正比，与信号幅度成反比。这样，我们便可定义运算放大器的全功率带宽(FPBW)，即额定电压输出下不会发生压摆限制的最大频率。计算方式如下，让公式 2 中的 $2V_p$ 等于放大器最大峰峰值摆幅， dV/dt 等于放大器压摆率，求解 f ；

$$FPBW = \text{Slew Rate} / 2\pi V_p$$

公式3

必须了解，压摆率和全功率带宽在某种程度上也取决于使用的电源电压以及放大器驱动的负载（特别是容性负载）。下图 6 总结了有关压摆率和全功率带宽的关键问题。作为参考，峰值输出摆幅为 1V 的运算放大器要重现 1MHz 正弦波，必须具有 6.28V/μs 的最低 SR。

◆ **Slew Rate = Maximum rate at which the output voltage of an op amp can change**

◆ **Ranges: A few volts/μs to several thousand volts/μs**

◆ **For a sinewave, $V_{\text{out}} = V_p \sin 2\pi ft$**

$$dV/dt = 2\pi f V_p \cos 2\pi ft$$

$$(dV/dt)_{\text{max}} = 2\pi f V_p$$

◆ **If $2V_p$ = full output span of op amp, then**

$$\text{Slew Rate} = (dV/dt)_{\text{max}} = 2\pi \cdot \text{FPBW} \cdot V_p$$

$$\text{FPBW} = \text{Slew Rate} / 2\pi V_p$$

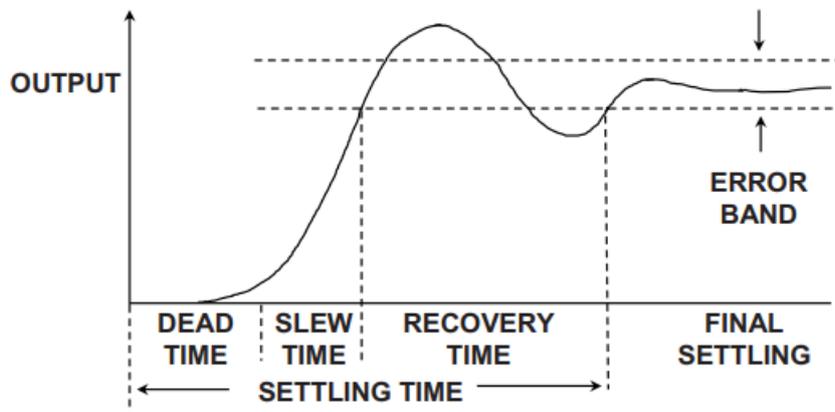
图 6：压摆率和全功率带宽

事实上，在实际电路中，设计人员会选择 SR 超过此数字的运算放大器，因为真正的运算放大器在到达压摆率限制点之前就会显示失真增加。

运算放大器建立时间

建立时间

放大器的建立时间是指输出响应输入的阶跃变化，然后进入并保持在规定误差带所需的时间，参照输入脉冲 50%点测得，如下图 1 所示。



- ◆ Error band is usually defined to be a percentage of the step 0.1%, 0.05%, 0.01%, etc.
- ◆ Settling time is non-linear; it may take 30 times as long to settle to 0.01% as to 0.1%.
- ◆ Manufacturers often choose an error band which makes the op amp look good.

图 1: 建立时间

和 DAC 器件不同，运算放大器本身没有误差带（DAC 本身具有 1LSB 的误差带，或者可能为 ± 1 LSB）。因此，除了步长（1V、5V、10V 等）等定义外，还必须选择并定义一个误差带。具体数值取决于运算放大器的性能，但由于所选数值随器件不同而不同，常常很难进行比较。之所以如此，是因为建立过程不是线性的，而且还可能包含很多不同的时间常数。例如采用介质隔离(DI)工艺的早期运算放大器。这些器件建立至满量程的 1% 很快，但建立至 10 位(0.1%)却极慢。同样，由于存在热效应，一些极高精度的运算放大器虽然可在几微秒内建立至 0.025%，但建立至 0.001%或更高水平却需要几十毫秒。

还有一点需要注意，热效应在短期建立时间（通常以纳秒计算）和长期建立时间（通常以微秒或毫秒计算）之间有很大的不同。在许多直流应用中，长期建立时间并不重要，如果确实需要的话，必须采用和短期建立时间差异较大的时标来测量。

建立时间的测量

高精度快速测量建立时间非常困难。要想产生快速、高精度、低噪声的平顶脉冲，必须十分谨慎。输入调整设置为高灵敏度时，大幅度阶跃电压会对许多示波器前端造成过驱。

下图 2 所示的测试设置示例可用于测量反相模式工作运算放大器的建立时间。“伪求和节点”的信号代表输出和输入信号之间的差值，乘以常数 k，即误差信号。

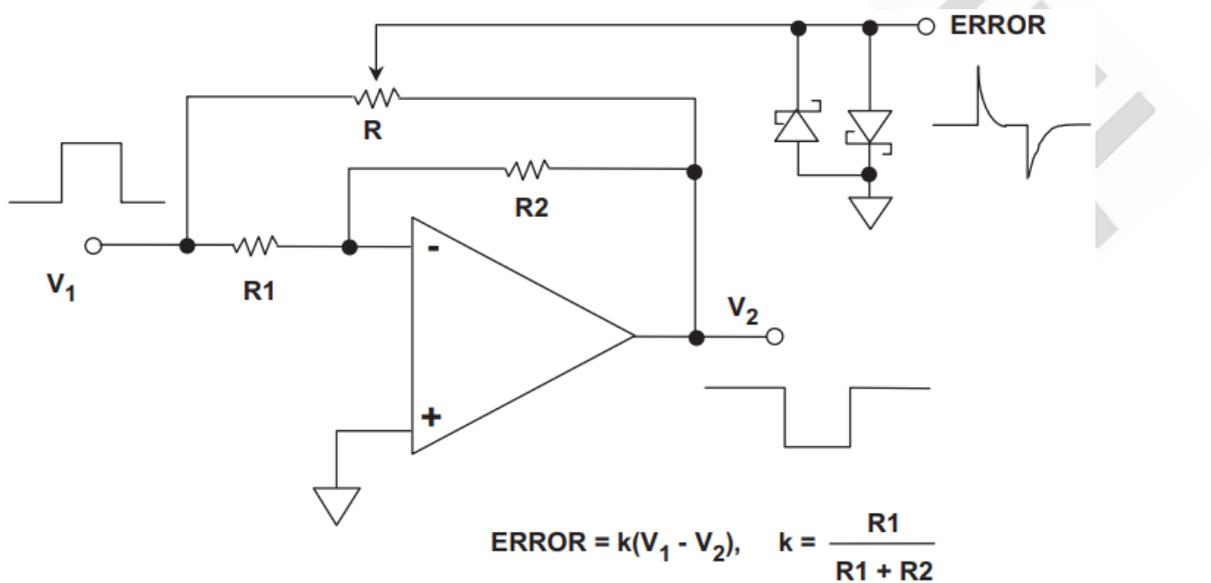


图 2：用“伪求和节点”测量建立时间

要想使建立过程可靠，必须注意很多细微之处。电阻值必须较低，以减小寄生时间常数。背对背肖特基二极管箝位有助于防止示波器过驱，实现高灵敏度。如果 $R1=R2$ ，则 $k=0.5$ 。因此，采用 10V 输入步长时，0.1% 建立时间的误差输出端误差带为 5mV。

在某些情况下，可能还需要在伪求和节点后使用第二个（极快）放大器级来增加信号电平。任何情况下都必须采用和运算放大器制造商相同的测试设置来测试建立时间，以确保有效性。许多现代数字示波器对输入过驱不敏感，可以直接用来测量误差波形，不过必须仔细查看操作手册，对每个示波器进行验证。注意，可以直接测量反相和同相模式下的建立时间。下图 3 所示为 [AD8039](#) 运算放大器平坦脉冲输入的输出阶跃响应示例。注意，0.1% 建立时间约为 18ns。

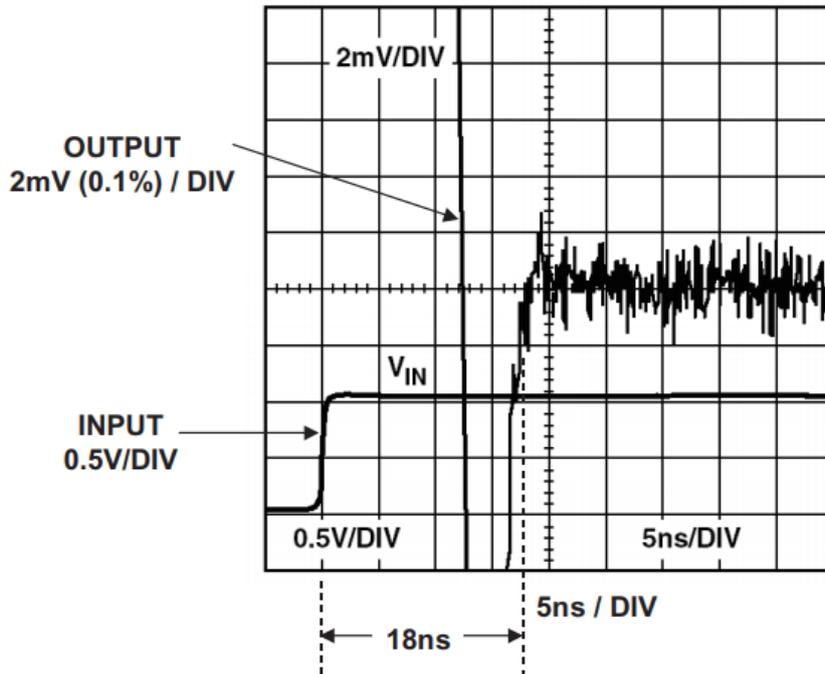


图 3: [AD8039](#) $G=+2$ 直接测量建立时间

用这种方法测量建立时间时，还必须采用能够产生具有足够平坦度脉冲的脉冲发生器源。换言之，如果被测运算放大器的 0.1% 建立时间为 20ns，施加的脉冲必须在 5ns 内建立至优于 0.05%。

这种发生器十分昂贵，但是，可以采用图 4 所示的简单电路，配合较为平坦的发生器，确保平坦脉冲输出。

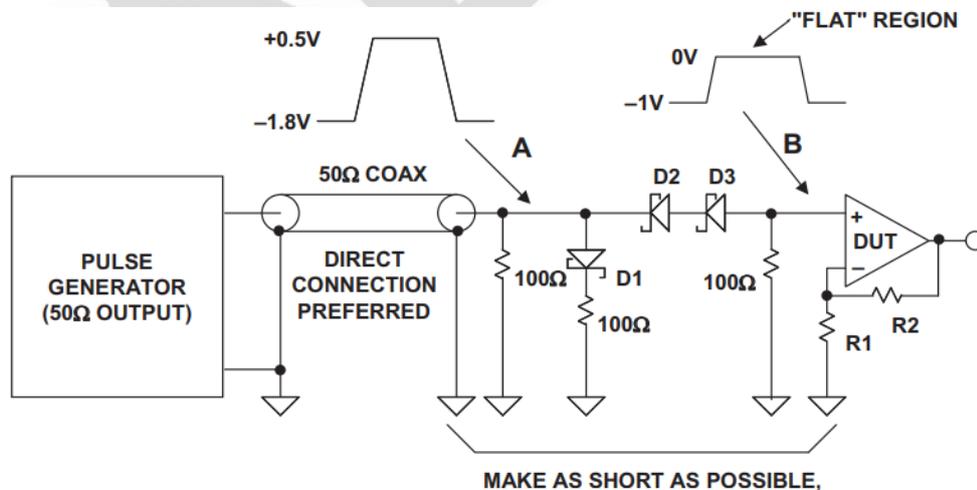


图 4: 简单的平坦脉冲发生器

如果 D1-D2-D3 采用低电容肖特基二极管，图 4 的电路可以发挥比较好的效果，所有连接的引脚长度也会降到最低。可以采用长度较短的 50Ω 同轴电缆将脉冲发生器连接至电路，但是，如果测试夹具直接连接至发生器的输出端，测试结果最好。脉冲发生器在“A”处调整至输出趋正脉冲，电压在 5ns 内从约-1.8V 上升至+0.5V（假定 DUT 建立时间约 20ns）。上升时间较短会产生响铃，上升时间较长则会缩短 DUT 建立时间，因此，实际电路需要进行一些优化，以获得较高的性能。脉冲发生器输出“A”到达 0V 以上时，D1 开始导通，D2/D3 则反向偏置。“根据定义”，忽略 D2-D3 串联组合的漏电流和杂散电容的情况下，DUT 输入端信号“B”的“0V”区域是平坦的。在“A”处脉冲为正期间，D1 二极管及 100Ω 电阻有助于维持大约 50Ω 的端电阻。

高速电压反馈运算放大器

为了针对给定应用选择正确的高速运算放大器，需要了解各种运算放大器拓扑结构以及它们之间的权衡考虑。使用最为广泛的两种拓扑结构是电压反馈(VFB)和电流反馈(CFB)。后续的章节《二阶系统的运算放大器总输出噪声计算》、《电流反馈运算放大器噪声考虑因素》、《运算放大器噪声指数：不要被误导》将概要描述过这些拓扑结构，现在，我们将更加详细地介绍这两种拓扑结构与频率相关的方面。

高速电压反馈(VFB)运算放大器拓扑结构

电压反馈(VFB)运算放大器的电路拓扑结构与电流反馈(CFB)运算放大器不同。VFB 运算放大器无疑在低频应用中最受欢迎，但 CFB 运算放大器在高频下具有一定的优势。我们将在章节《高速电流反馈运算放大器》中详细讨论高速 CFB 运算放大器，这里先谈谈更加传统的 VFB 架构。

早期的 IC 电压反馈运算放大器基于“全 NPN”工艺制成。这些工艺针对 NPN 晶体管而优化——“横向”PNP 晶体的性能相对较弱。采用这种低质 PNP 的早期 VFB 运算放大器示例包括 709、LM101 和 741。

横向 PNP 一般只用作电流源、电平转换器，或者其他非关键功能。下面的图 1 所示为基于这种工艺制成的一种典型 VFB 运算放大器的简化原理图。

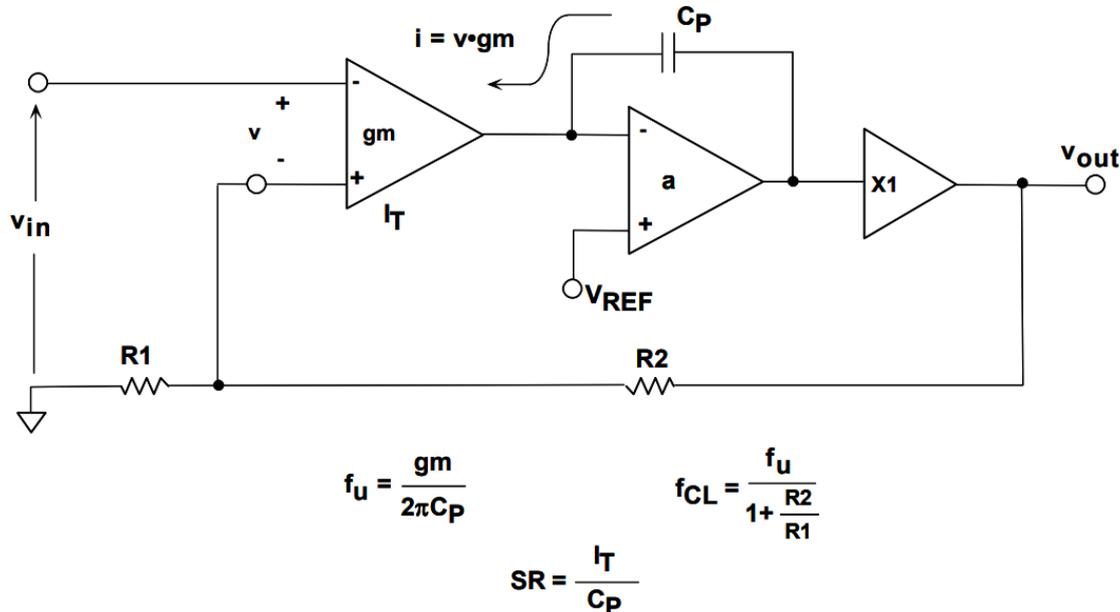


图 1: 基于“全 NPN” IC 工艺设计的电压反馈(VFB)运算放大器

输入级为一个差分对（有时称为长尾对），由双极性对(Q1,Q2)或 FET 对构成。该“ g_m ”（跨导）级将小信号差分输入电压 v 转换成一个电流 i ，其传递函数以电导率单位 $1/\Omega$ （或姆欧）测量。小信号发射极电阻 r_e 大约等于小信号 g_m 的倒数。

单个双极性晶体管的小信号 g_m 的计算公式来自以下等式:

$$g_m = \frac{1}{r_e} = \frac{q}{kT} (I_C) = \frac{q}{kT} \left(\frac{I_T}{2} \right), \text{ 或} \quad \text{等式1}$$

$$g_m \approx \left(\frac{1}{26\text{mV}} \right) \left(\frac{I_T}{2} \right) \quad \text{等式2}$$

其中， I_T 为差分对尾电流， I_C 为集电极静态偏置电流($I_C = I_T/2$)， q 为电子电荷， k 为玻尔兹曼常数， T 为绝对温度。在 $+25^\circ\text{C}$ 下， $V_T = kT/q = 26\text{mV}$ （经常称为热电压 V_T ）。

就如我们即将看到的那样，放大器单位增益带宽积 f_u 等于 $g_m/2\pi C_p$ ，其中，电容 C_p 用

于设置主极点频率。为此，尾电流 I_T 与绝对温度成比例(PTAT)。该电流会跟踪 r_e 随温度的变化情况，从而使 g_m 不依赖于温度。使 C_P 在温度范围内保持不变是相对容易的。

g_m 级的 Q2 集电极输出驱动横向 PNP 晶体管的发射极(Q3)。需要注意的是，Q3 并非用于放大信号，而是用来转换电平，即 Q2 集电极中的信号电流变化出现在 Q3 的集电极上。Q3 的集电极电流会在高阻抗节点 A 上形成一个电压， C_P 设定放大器的主极点。发射极跟随器 Q4 提供低阻抗输出。

高阻抗节点 A 处的有效负载可通过与主极点电容 C_P 并联的电阻 R_T 表示。小信号输出电压 V_{out} 等于小信号电流 i 与 R_T 和 C_P 的并联阻抗之积。

下面的图 2 所示为单极放大器的简单模型以及对应的波特图。波特图是以对数-对数比例尺绘制的。

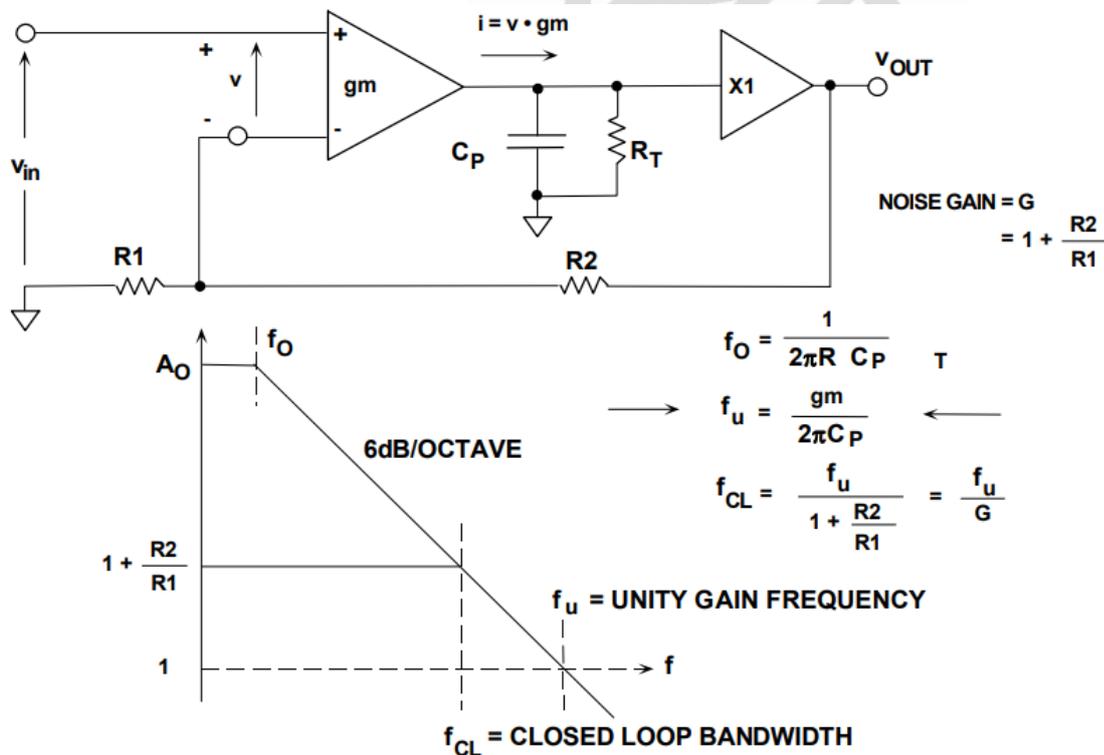


图 2: VFB 运算放大器的模型和波特图

低频断点 f_0 通过以下等式计算:

$$f_0 = \frac{1}{2\pi R_T C_P} \quad \text{等式3}$$

注意, 高频响应完全取决于 g_m 和 C_P :

$$v_{out} = v \cdot \frac{g_m}{j\omega C_P} \quad \text{等式4}$$

单位增益带宽频率 f_u 发生于 $|v_{out}|=|v|$ 时。使 $\Omega=2\pi f_u$ 且 $|v_{out}|=|v|$, 等式 4 中的 f_u 可以求解。

$$f_u = \frac{g_m}{2\pi C_P} \quad \text{等式5}$$

我们可以使用反馈理论来推导电路信号输入电压 v_{in} 及其输出电压 v_{out} 之间的闭环关系:

$$\frac{v_{out}}{v_{in}} = \frac{1 + \frac{R_2}{R_1}}{1 + \frac{j\omega C_P}{g_m} \left(1 + \frac{R_2}{R_1}\right)} \quad \text{等式6}$$

在运算放大器 3dB 闭环带宽频率 f_{cl} 下, 以下等式成立:

$$\frac{2\pi f_{cl} C_P}{g_m} \left(1 + \frac{R_2}{R_1}\right) = 1, \text{ 因此有} \quad \text{等式7}$$

$$f_{cl} = \frac{g_m}{2\pi C_P} \left(\frac{1}{1 + \frac{R_2}{R_1}} \right), \text{ 或} \quad \text{等式8}$$

$$f_{cl} = \frac{f_u}{1 + \frac{R_2}{R_1}} \quad \text{等式9}$$

这显示了 VFB 运算放大器的基本属性：闭环带宽与闭环增益之积是一个常数，即 VFB 运算放大器在多数可用频率范围内将展现一个恒定不变的增益带宽积。

如前所述，有些 VFB 运算放大器（称为非完全补偿）在单位增益下并不稳定，但根据设计，其工作时会有有一定量（较高）的闭环增益。然而，即使对这些运算放大器来说，增益带宽积在整个稳定区域内仍然是相对恒定不变的。

现在，我们考虑以下典型示例： $I_T=100\mu\text{A}$, $C_P=2\text{pF}$ 。我们发现：

$$g_m = \frac{I_T/2}{V_T} = \frac{50\mu\text{A}}{26\text{mV}} = \frac{1}{520\Omega} \quad \text{等式10}$$

$$f_u = \frac{g_m}{2\pi C_P} = \frac{1}{2\pi(520)(2 \cdot 10^{-12})} = 153\text{MHz}. \quad \text{等式11}$$

现在，我们必须考虑电路中的大信号响应。压摆率 SR 就是总的可用充电电流 $I_T/2$ ，再除以主极点电容 C_P 。对于现在考虑的示例：

$$I = C \frac{dv}{dt}, \frac{dv}{dt} = \text{SR}, \text{SR} = \frac{I}{C} \quad \text{等式12}$$

$$\text{SR} = \frac{I_T/2}{C_P} = \frac{50\mu\text{A}}{2\text{pF}} = 25\text{V}/\mu\text{s}. \quad \text{等式13}$$

现在，可以通过以下公式计算运算放大器的全功率带宽(FPBW)：

$$\text{FPBW} = \frac{\text{SR}}{2\pi A} = \frac{25\text{V}/\mu\text{s}}{2\pi \cdot 1\text{V}} = 4\text{MHz}, \quad \text{等式14}$$

其中，A 是输出信号的峰值幅度。如果假设存在 2V 峰峰值输出正弦波（这无疑是高速应用的一个合理假设），则可得到仅为 4MHz 的 FPBW，即使小信号单位增益带宽积为 153MHz！对于 2V 峰峰值输出正弦波，失真发生的频率远远低于实际 FPBW 频率。我们

必须将 SR 提高约 40 倍，以使 FPBW 等于 153MHz。唯一方法是将输入差分对的尾电流 I_T 提高相同的倍数。这意味着，要实现 160MHz 的 FPBW，则需要 4mA 的偏置电流。我们的假设是， C_P 为一个 2pF 的固定值电容，根据设计，不能降低该值。下面的图 3 对这些计算进行了总结。

- ◆ Assume that $I_T = 100\mu\text{A}$, $C_P = 2\text{pF}$

$$g_m = \frac{I_C}{V_T} = \frac{50\mu\text{A}}{26\text{mV}} = \frac{1}{520\Omega}$$

$$f_u = \frac{g_m}{2\pi C_P} = 153\text{MHz}$$

- ◆ Slew Rate = SR =

BUT FOR 2V PEAK-PEAK OUTPUT ($A = 1\text{V}$)

$$\text{FPBW} = \frac{\text{SR}}{2\pi A} = 4\text{MHz}$$

- ◆ Must increase I_T to 4mA to get FPBW = 160MHz!!

- ◆ Reduce g_m by adding emitter degeneration resistors

图 3: VFB 运算放大器的带宽和压摆率计算

实际上，运算放大器的 FPBW 应该大约为最大输出频率的 5 至 10 倍，以取得可以接受的失真性能（典型值为 55-80dBc @5-20MHz，但实际系统要求存在较大差异）。

但需要注意的是，提高尾电流会导致 g_m 按比例增加，从而使 f_u 也按比例增加。为了防止 f_u 的大幅增加而可能导致的不稳定性，可以插入电阻并使其与发射极 Q1 和 Q2 串联，从而降低 g_m （这种技术称为发射极衰减，同时能够使 g_m 传递函数线性化，从而减少失真）。

从分析可以看出，常规双极性电压反馈运算放大器的一个主要低效问题是，如果不按比例增加静态电流，则无法实现高压摆率（设 C_P 固定不变，且其合理最小值为 2 或 3pF）。

当然，这并不是说，运用这种架构设计的高速运算放大器存在缺陷，只是说目前有电路设计技术能以低得多的静态电流实现与之相当的性能。这在便携式电池供电设备中是非常重要的，因为，其中每毫瓦特的功耗都是至关重要的。

基于互补双极性工艺设计的 VFB 运算放大器

随着拥有高品质 PNP 和 NPN 晶体管的互补双极性(CB)工艺的出现，如图 4 简化原理图所示 VFB 运算放大器配置逐渐流行起来。

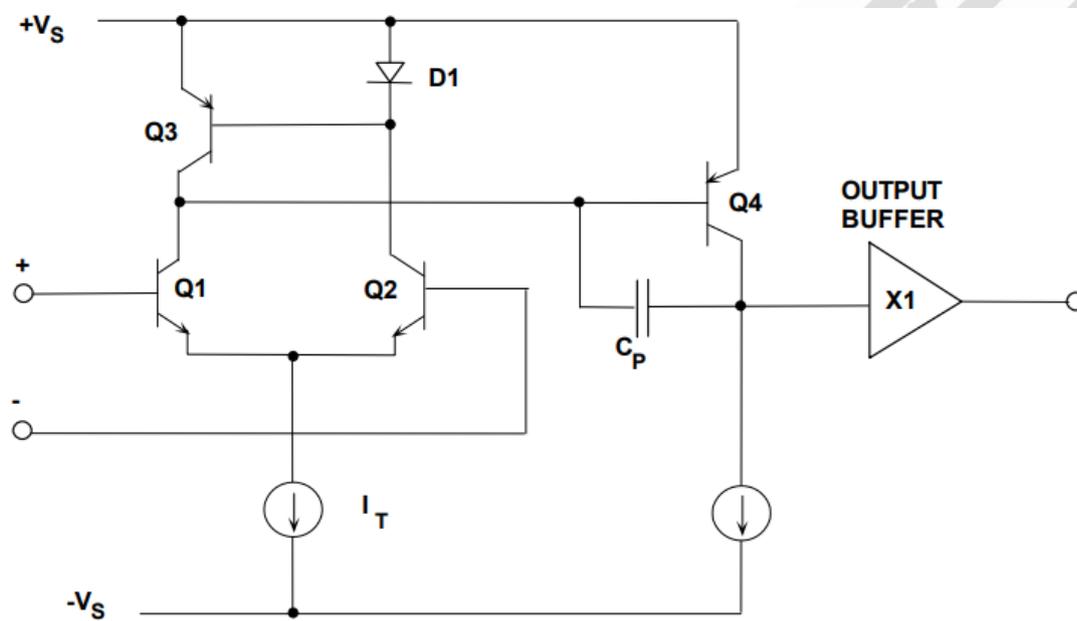


图 4: 采用两个增益级的 VFB 运算放大器

请注意，输入差分对(Q1,Q2)由一个电流镜 (Q3 和 D1) 加载。为简化起见，我们把 D1 表示为一个二极管，但它实际上是一个以二极管连接的 PNP 晶体管 (与 Q3 匹配)，其基极和集电极是相连的。本节后面部分的许多电路图都会使用这种简化图示。共用发射极晶体管 Q4 提供第二电压增益级。

由于 PNP 晶体管是以互补双极性工艺制成的，因此，其质量非常出色，并与 NPN 相匹配，因而适用于电压增益。图 4 中放大器的主极点由 C_P 设定，增益级 Q4 与局部反馈电容 C_P 的组合通常称为密勒积分器。单位增益输出缓冲器通常是一个互补发射极跟随器。

下面的图 5 所示为该双级 VFB 运算放大器的一个模型。请注意，单位增益带宽频率 f_u 仍然取决于输入级 g_m 和主极点电容 C_p 。第二增益级会提高直流开环增益，但最大压摆率仍然受到输入级尾电流的限制： $SR=I_T/C_p$

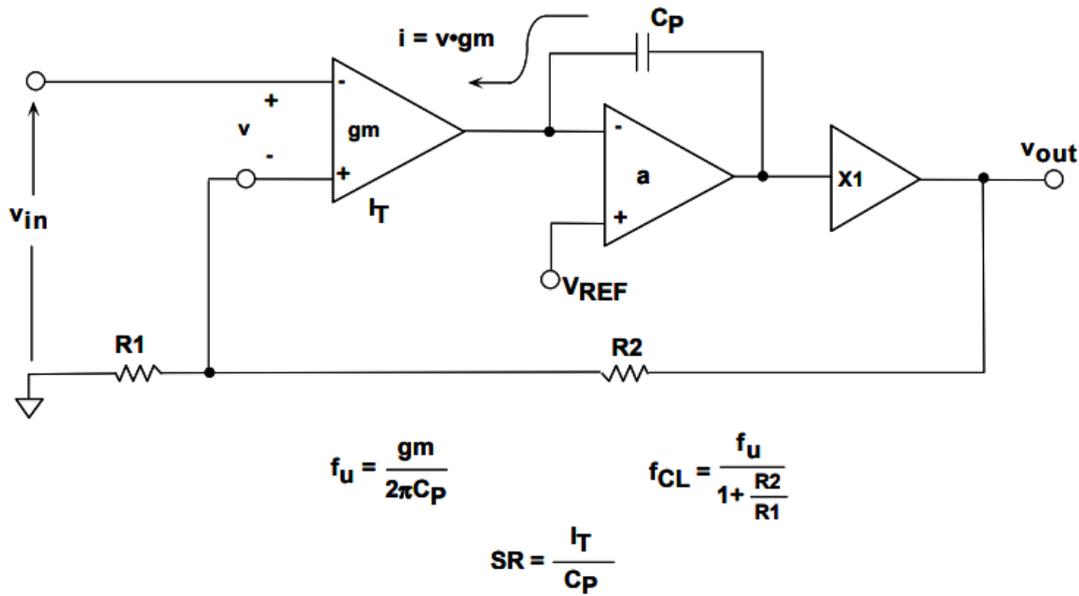


图 5：双级 VFB 运算放大器模型

诸如此类双级放大器拓扑结构被 IC 工业广泛应用于 VFB 运算放大器之中，精密和高速放大器均是如此。

另一种流行的 VFB 运算放大器架构是折叠式共源共栅，如图 6 所示。有一个行业标准视频放大器系列([AD847](#))即是以这种架构为基础的。该电路同时利用了基于 CB 工艺的快速 PNP。Q1 和 Q2 集电极中的差分信号电流馈入 PNP 共源共栅晶体管对的发射极中（术语折叠式共源共栅即源于此）。Q3 和 Q4 集电极以电流镜 D1 和 Q5 加载，电压增益则形成于 Q4-Q5 节点。这种单极架构在高阻抗节点采用结电容来实现补偿(C_{STRAY})。

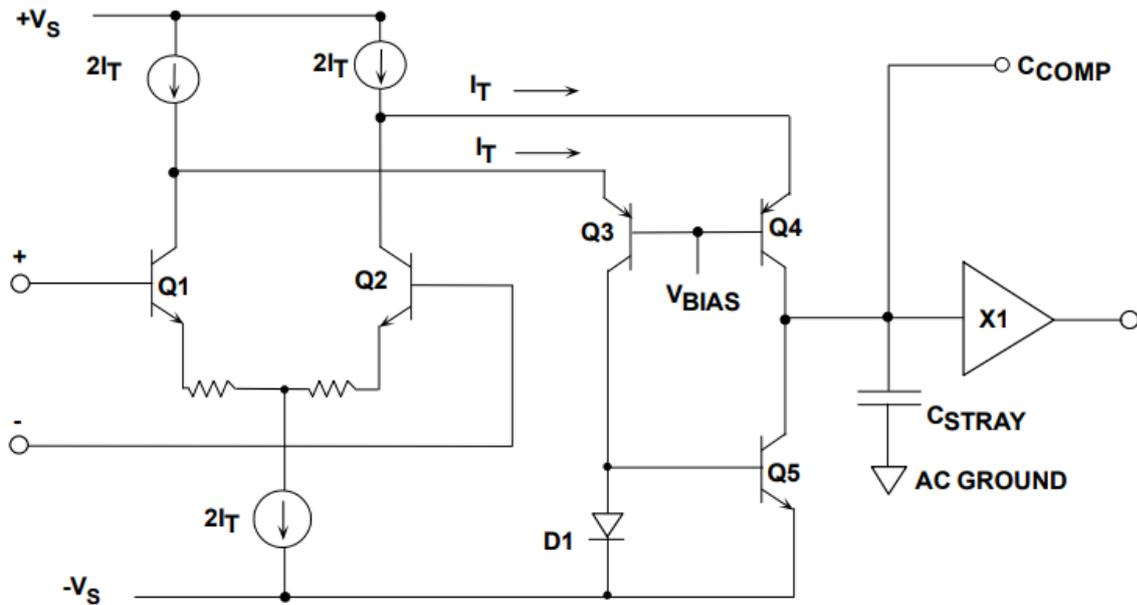


图 6: [AD847](#) 系列折叠式共源共栅晶体管的简化电路图

一些变化设计将该节点引至一个外部引脚，从而可在需要时，增加额外的外部电容。

如果 Q1 和 Q2 中无发射极衰减电阻，且不采用额外的外部补偿电容，则该电路只能在高闭环增益下保持稳定。然而，该系列同时提供单位增益补偿版本，具有适量的发射极衰减。

基于 CB 工艺的 JFET 的上市，不但有助于实现低输入偏置电流，同时可以改善压摆率折衷，这种折衷是双极性输入级中 g_m 和 I_T 之间的无赖之举。图 7 所示为 [AD845](#) 16MHz 运算放大器的简化原理图。JFET 每 mA 尾电流的 g_m 比双极性晶体管要低得多。由于 FET 的 g_m 较低，因而可以增加输入尾电流（从而增加压摆率），而无需增加 C_P 即可保持稳定。

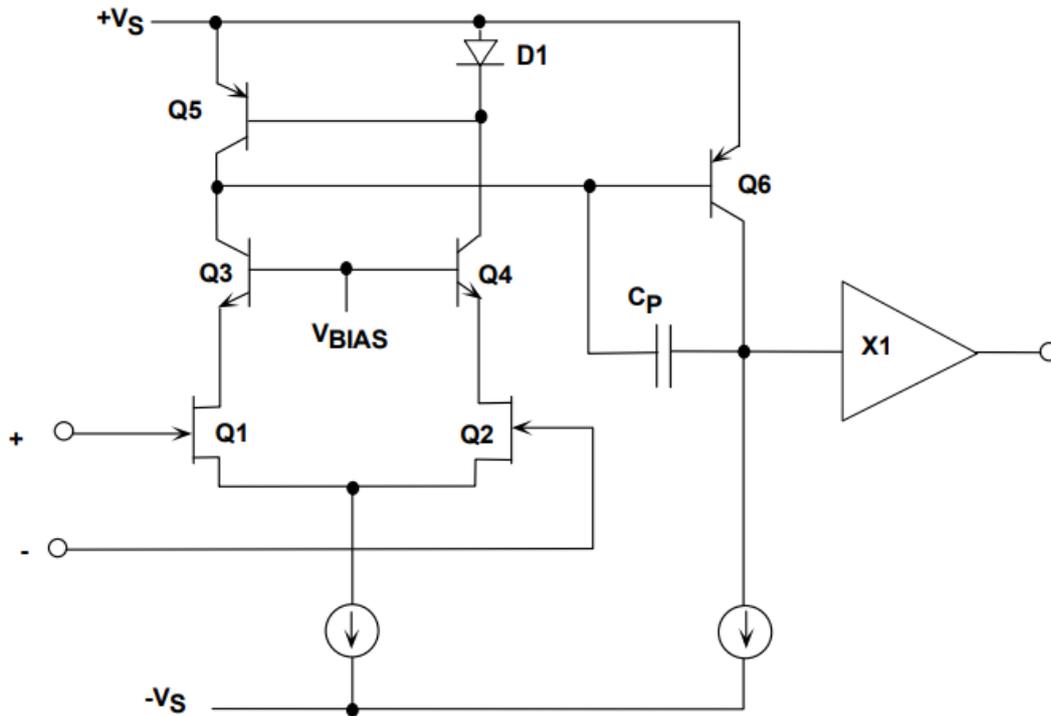


图 7: [AD845](#) BiFET 16MHz 运算放大器的简化电路图

JFET 虽然看似性能不佳，但奇怪的是，这正是快速、高压摆率输入级所需要的特性。对于一个典型的 JFET，双极性晶体管的 g_m 值约为 $I_s/1V$ (I_s 为源电流)，而不是 $I_c/26mV$ ，即 FET g_m 约低 40 倍。如此，在 JFET 用作输入级时，对于给定 g_m ，可支持高得多尾电流（以及较高的压摆率）。

直到运算放大器设计师还不得不在输入 g_m 级静态电流与压摆率和失真性能之间做出折衷。ADI 公司的一种电路核心已获得专利，该核心可按需提供电流，以对主极点电容 C_P 进行充放电，同时支持小静态电流。额外的电流与快速摆动的输入信号成比例，并且会增加静态电流。基本核心单元的简化原理图如下面的图 8 所示。

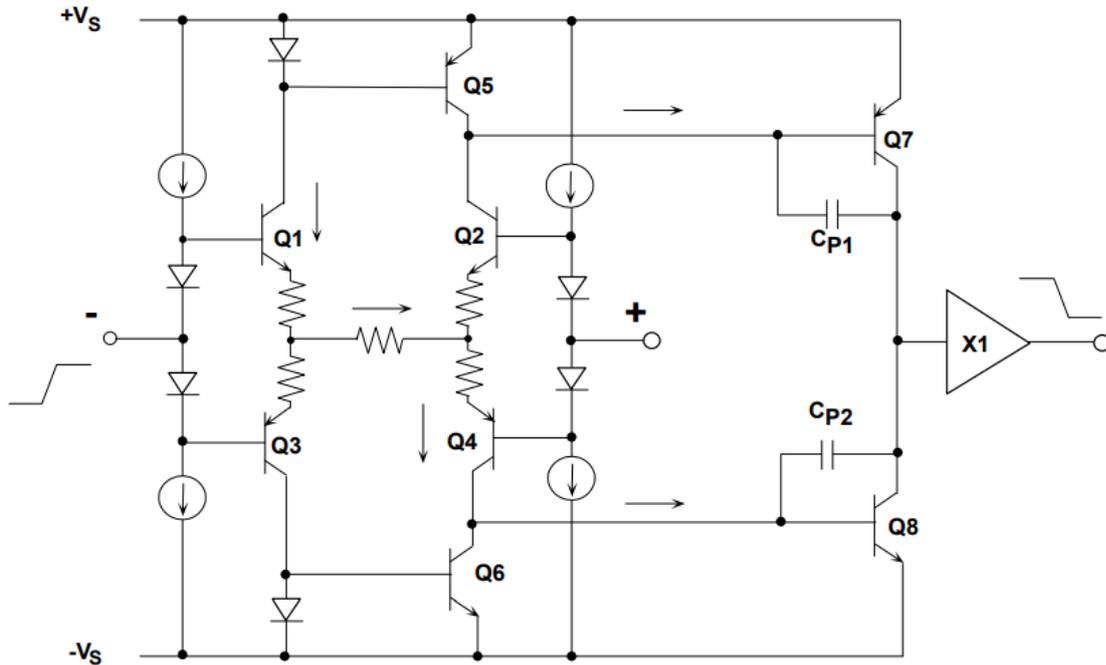


图 8: 支持按需电流的“四核”VFBgm 级

四核 (g_m 级) 由晶体管 Q1、Q2、Q3 和 Q4 构成，其发射极相互连接，如图所示。现在考虑反相输入端上的一个正阶跃电压。该电压会在 Q1 中产生一个比例电流，后者由 Q5 映射至 C_{P1} 。通过 Q1 的电流也会流过 Q4 和 C_{P2} 。

在动态范围限值处，Q2 和 Q3 会相应关闭。请注意， C_{P1} 和 C_{P2} 的充电和放电电流不受四核偏置电流的限制。但实际上，需要采用小型限流电阻，以形成一个“H”形的电阻网络，如图所示。Q7 和 Q8 形成第二增益级（由 Q5 和 Q6 集电极差分驱动），输出由一个单位增益互补发射极跟随器缓冲。

该四核配置已获得专利，同时获得专利的有确立静态偏置电流的电路（图 8 中未显示）。

“四核”也经常称为“H 桥”核心。目前已发布采用这种专有配置的多种 VFB 运算放大器，可在低静态电流水平下提供无与伦比的高频失真性能、带宽和压摆率。图 9 列出了采用这种架构的几种电压反馈运算放大器，以便进行比较。

LISTED IN ORDER OF DECREASING SUPPLY CURRENT

PART #	I_{SY} / AMP	BANDWIDTH	SLEWRATE
AD8045 (1)	19mA	1000MHz	1350V/ μ s
ADA4899-1 (1)	16.2mA	600MHz	310V/ μ s
AD8099 (1)	16mA	500MHz	1600V/ μ s
AD8074 (3)	10mA	600MHz	1600V/ μ s
AD8057 (1)	7.5mA	325MHz	1150V/ μ s
AD8038 (1)	1.5mA	350MHz	425V/ μ s

Number in () indicates single, dual, triple, or quad

图 9: 部分高速 VFB 运算放大器

高速电流反馈运算放大器

CFB 运算放大器简化电路和模型

现在，我们将详细考察高速运算放大器中非常流行的电流反馈(CFB)运算放大器拓扑结构。电路概念虽然出现在数十年之前，但要充分发挥这种架构的优势，需要采用现代高速互补双极性工艺。

众所周知，在双极型晶体管电路中，在所有其他条件相同的情况下，电流的切换速度快于电压。这构成了非饱和发射极耦合逻辑(ECL)和电流输出 DAC 等器件的基础。在电流开关节点维持低阻抗有助于降低杂散电容的影响，这是高速运行状态下最大的危害因素之一。电流镜很好地展示了如何在最少量的延迟下实现电流开关。

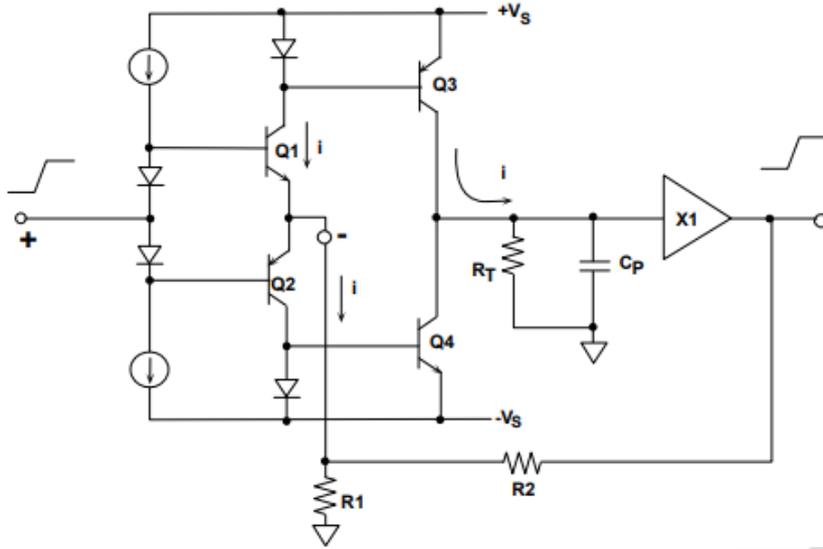


图 1: 简化版电流反馈(CFB)运算放大器

电流反馈运算放大器拓扑结构只是这些基本电流导引原理的应用。以上图 1 给出了简化的 CFB 运算放大器。同相输入端为高阻抗，并通过互补发射极跟随缓冲器 Q1 和 Q2 直接缓冲至反相输入端。注意，反相输出阻抗极低（一般为 10 至 100Ω），这是低发射极电阻造成的（理想状况下为零）。这是 CFB 与 VFB 运算放大器之间的一个基本差异，同时也 CFB 运算放大器的一个特性，使其具有了某些特有的优势。

Q1 和 Q2 的集电极输出驱动着电流镜，而电流镜则将反相输入电流映射到高阻抗节点，分别表示为 R_T 和 C_P 。高阻抗节点由一个互补单位增益发射极跟随器缓冲。从输出到反相输入的反馈发生作用，强制反相输入电流归零，这就是电流反馈这个术语的由来。注意，在理想状况下，对于零反相输入阻抗，该节点处不能存在小信号电压，只能存在小信号电流。

现在，考虑应用于 CFB 运算放大器同相输入端的一个正阶跃电压。Q1 将立即将一个成比例的电流送入外部反馈电阻，从而形成一个误差电流，而 Q3 则会将该误差电流映射至高阻抗节点。在高阻抗节点处形成的电压等于该电流与等效阻抗之积。这个术语跨导运算放大器正是源于此，因为传递函数为一个阻抗，而不是像传统 VFB 运算放大器那样，是一个无单位的电压比值。

同时注意，传递至高阻抗节点的误差电流不受输入级尾电流的限制。换言之，不同于常规 VFB 运算放大器，理想的 CFB 运算放大器中不存在压摆率限制。电流镜从电源按需提供电流。在此基础上，负反馈环路强制使输出电压达到某个值，从而将反相输出误差电流归零。

CFB 运算放大器的模型如图 2 所示，其中同时给出了相应的波特图。波特图是按对数-对数比例尺绘制的，开环增益表示为一个跨导 $T(s)$ ，其单位为欧姆。

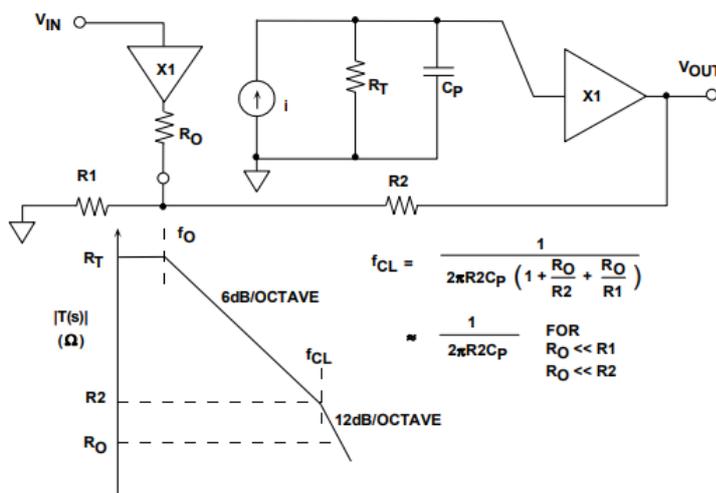


图 2: CFB 运算放大器模型与波特图

输入缓冲器的有限输出阻抗模拟为 R_0 。输入误差电流为 i 。应用负反馈原理，我们可以推出运算放大器传递函数的表达式：

$$\frac{v_{out}}{v_{in}} = \frac{1 + \frac{R_2}{R_1}}{1 + j\omega C_p R_2 \left(1 + \frac{R_0}{R_2} + \frac{R_0}{R_1} \right)} \quad \text{等式 1}$$

在运算放大器 3dB 闭环带宽频率 f_{cl} 下，以下等式成立：

$$2\pi f_{cl} C_p R_2 \left(1 + \frac{R_0}{R_2} + \frac{R_0}{R_1} \right) = 1. \quad \text{等式 2}$$

求解 f_{cl} :

$$f_{cl} = \frac{1}{2\pi C_p R_2 \left(1 + \frac{R_o}{R_2} + \frac{R_o}{R_1}\right)}, \quad \text{等式3}$$

对于条件 $R_o \ll R_2$ 和 R_1 , 等式可简化为:

$$f_{cl} = \frac{1}{2\pi C_p R_2}. \quad \text{等式4}$$

仔细考察该等式, 很快就会发现, CFB 运算放大器的闭环带宽取决于内部的主极点电容 C_p 和外部反馈电阻 R_2 , 并且独立于增益设置电阻 R_1 。独立于增益维持带宽恒定的这种能力使得 CFB 运算放大器成为宽带可编程增益放大器的理想选择。

由于闭环带宽与外部反馈电阻 R_2 成反比, 因此, CFB 运算放大器通常是针对特定 R_2 而优化的。从较佳值开始增加 R_2 的值, 结果会降低带宽, 而降低该值则可能导致振荡和不稳定, 这是高频寄生极点所致。

现代 CFB 运算放大器的性能

CFB 运算放大器 [AD8011](#) 在各种闭环增益值 (+1、+2 和+10) 下的频率响应如图 3 所示。注意, 即使是在增益为+10 时, 闭环带宽仍然大于 100MHz。在增益为+1 时发生的峰值现象是宽带 CFB 运算放大器用于同相模式时的典型特性, 其主要原因是反相输入端存在杂散电容。可以通过牺牲带宽来减少这种峰值现象, 其方法是使用一个略大的反馈电阻。

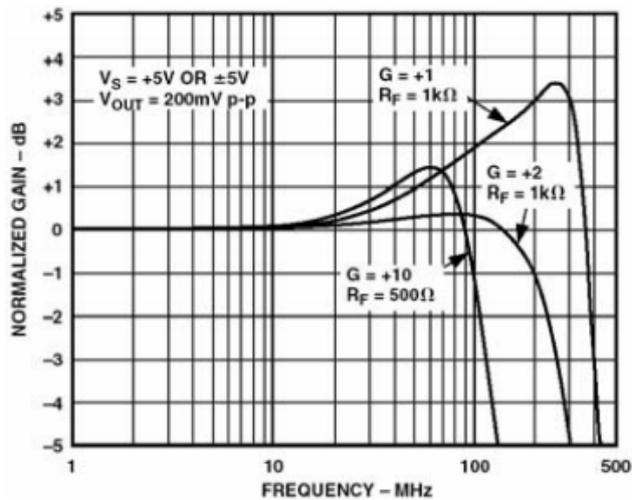


图 3: [AD8011](#) 频率响应, $G=+1$ 、 $+2$ 、 $+10$

[AD8011](#) CFB 运算放大器 (1995 年推出) 仍然代表着较高的性能, 其主要规格如下面的图 4 所示。

- ◆ 1mA Power Supply Current (+5V or ±5V)
- ◆ 300MHz Bandwidth ($G = +1$)
- ◆ 2000 V/μs Slew Rate
- ◆ 29ns Settling Time to 0.1%
- ◆ Video Specifications ($G = +2$)
 - Differential Gain Error 0.02%
 - Differential Phase Error 0.06°
 - 25MHz 0.1dB Bandwidth
- ◆ Distortion
 - 70dBc @ 5MHz
 - 62dBc @ 20MHz
- ◆ Fully Specified for ±5V or +5V Operation

图 4: [AD8011](#) 的主要技术规格

CFB 运算放大器拓扑结构的进步

传统电流反馈运算放大器使用电流镜, 限制为一个单一的增益级。[AD8011](#) (以及该系列中的其他成员) 与传统 CFB 运算放大器不一样, 采用二级增益配置, 如下面的图 5 所示。

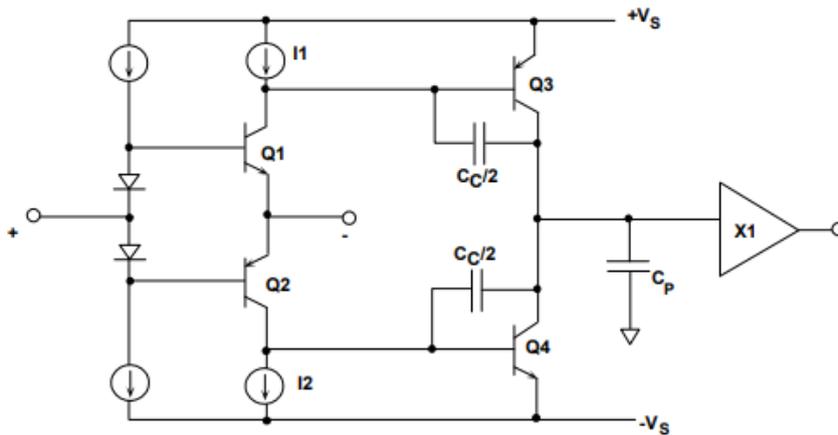


图 5: 简化的二级电流反馈运算放大器

在 [AD8011](#) 问世以前，完全互补型二增益级 CFB 运算放大器未达到实用水平，因为其功耗过高。[AD8011](#) 采用一种专利第二增益级，由一对互补放大器 (Q3 和 Q4) 构成。注意，这对放大器并未作为电流镜连接，而是作为接地发射极增益级连接。电流源 (I1 和 I2) 的详细设计以及其各自的偏置电流是二级 CFB 电路成功的关键；它们可以使放大器的静态功耗保持于低位，同时却能为快速压摆期间所需要的宽电流偏移按需提供电流。二级放大器的另一个优势是其总带宽较高（功耗相同），这意味着较低的失真以及驱动较大外部负载的能力。

图 6 简要总结了一些常见的电流反馈运算放大器。这些器件是按电源电流降序排列的。

LISTED IN ORDER OF DECREASING SUPPLY CURRENT

PART #	I_{SY} / AMP	BANDWIDTH	SLEWRATE
AD8009 (1)	16.0mA	1000MHz	5500V/ μ s
AD8000 (1)	14.3mA	1580MHz	4100V/ μ s
AD8002 (2)	11.5mA	600MHz	1200V/ μ s
AD8003 (3)	10.2mA	1650MHz	3800V/ μ s
ADA4861-3 (3)	6.83mA	730MHz	680V/ μ s
AD8001 (1)	5.0mA	880MHz	1000V/ μ s
AD8013 (3)	4.0mA	480MHz	1000V/ μ s
AD8011 (1)	1.3mA	400MHz	3500V/ μ s

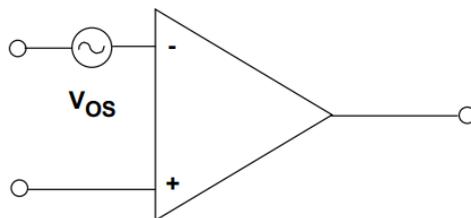
Number in () Indicates Single, Dual, Triple, or Quad

图 6: 所选 CFB 运算放大器的性能

运算放大器输入失调电压

输入失调电压定义

理想状态下，如果运算放大器的两个输入端电压完全相同，输出应为 0V。实际上，还必须在输入端施加小差分电压，强制输出达到 0。该电压称为输入失调电压 V_{OS} 。输入失调电压可以看成是电压源 V_{OS} ，与运算放大器的反相输入端串联，如图 1 所示。



◆ **Offset Voltage:** The differential voltage which must be applied to the input of an op amp to produce zero output.

◆ **Ranges:**

- Chopper Stabilized Op Amps: <math><1\mu V</math>
- General Purpose Precision Op Amps: 50-500 μV
- Best Bipolar Op Amps: 10-25 μV
- Best JFET Input Op Amps: 100-1,000 μV
- High Speed Op Amps: 100-2,000 μV
- Untrimmed CMOS Op Amps: 5,000-50,000 μV
- DigiTrim™ CMOS Op Amps: <math><100\mu V</math>-1,000 μV

图 1: 典型的运算放大器输入失调电压

斩波稳定型（也称自稳零）运算放大器的 V_{OS} 小于 1 μV （如 [AD8538](#)、[AD8551](#)、[AD8571](#)、[AD8628](#)、[AD8630](#)），最好的精密双极性运算放大器（super-beta 或偏置稳定型）的最大失调电压可低至 25 μV ([OP177E](#))。最好的调整后 JFET 输入型运算放大器的失调电压约为 100 μV ([AD8610B](#)、[AD8620B](#))，未调整的 CMOS 运算放大器则为 5 至 50mV。

但是，ADI DigiTrim™ CMOS 运算放大器的失调电压小于 100 μV （如 [AD8603](#)、[AD8607](#)、[AD8609](#)、[AD8605](#)、[AD8606](#)、[AD8608](#)）。“精密”运算放大器的 V_{OS} 一般小于 0.5mV，某些高速放大器可能略差一些，稍后将介绍 DigiTrim 技术。

输入失调电压漂移与老化效应

输入失调电压随温度变化，其温度系数称为 TCV_{OS} ，更常见的说法是温漂。失调温漂受运算放大器失调调整的影响，但是当双极性输入运算放大器的失调电压降至最低后，温漂可能会低至 $0.1\mu V/^\circ C$ ([OP177F](#) 的典型值)。对一系列通用精密运算放大器而言，更典型的温漂值范围为 1 至 $10\mu V/^\circ C$ 。大多数运算放大器都有 TCV_{OS} 额定值，但是某些却有第二个最大 V_{OS} 值，并保证在工作温度范围内实现。这样的指标用处不大，因为无法保证 TCV_{OS} 稳定不变或具有单调性。

失调电压还会随时间变化，也称老化。老化通常以 $\mu V/月$ 或 $\mu V/1000$ 小时来表示，但是可能会有问题。由于老化是一个“醉汉走路”现象，与经过时间的平方根成比例。因此， $1\mu V/1000$ 小时的老化率就会变成大约 $3\mu V/年$ （而不是 $9\mu V/年$ ）。

[OP177F](#) 的长期稳定性约为 $0.3\mu V/月$ 。这是指首次工作 30 天后的一段时间。除去刚开始工作的一小时，这些器件在最初工作 30 天内的失调电压变化通常小于 $2\mu V$ 。

由于自稳零电路会消除所有因老化产生的失调，因此斩波稳定运算放大器的长期稳定性并没有明确规定。

测量输入失调电压

测量几微伏的输入失调电压时，测试电路产生的误差不应比失调电压本身更多。图 2 所示为测量失调电压的标准电路。该电路以 1001 的噪声增益放大输入失调电压，测量采用精确数字电压表在放大器输出端完成。折合到输入端(RTI)的失调电压通过输出电压除以噪声增益计算得出。从输入端获得源阻抗较小，因而产生的偏置电流对测量的失调电压的影响可忽略不计。例如，流经 10Ω 电阻的 $2nA$ 偏置电流产生的折合到输入端误差为 $0.02\mu V$ 。

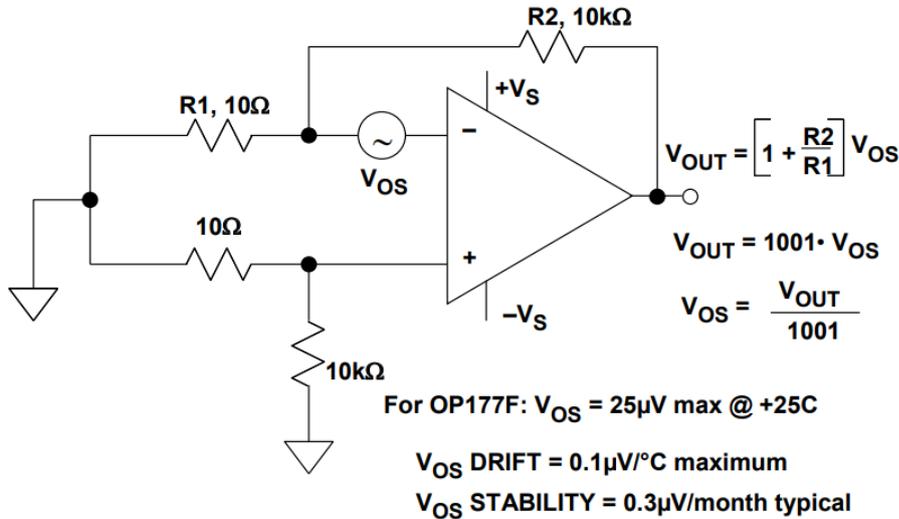


图 2：测量输入失调电压

该电路很简单，测试精密运算放大器时，除非小心注意，否则结果会不准确。可能存在的最大误差源来自寄生热电偶结点，这是在两种不同金属连接的时候形成的。该热电偶电压范围可达 $2\mu\text{V}/^\circ\text{C}$ 至 $40\mu\text{V}/^\circ\text{C}$ 以上。注意，该电路的同相输入端额外增加了“伪”电阻，目的是精确匹配/平衡反相输入路径中的热电偶结点。

测量精度还取决于元件的机械布局，确切地说，元件在 PC 板上的位置。记住，电阻等器件的两个连接点会产生两个大小相等、极性相反的热电电压（假定连接至相同金属，例如 PC 板上的铜走线）。这两个电压会相互抵消，前提是假定两者温度完全相同。连接点整洁和引线长度较短都能够尽可能减小温度梯度，提高测量精度。

应尽可能减小测试电路中的气流，这样所有的热电偶结点就能稳定在同一温度。有些情况下，电路应安放在小型封闭容器中，以消除外部气流的影响。电路应水平放置在某个表面，这样气流就会向上对流，流出电路板顶部，而不是像电路板垂直安放时那样流经元件。

测量整个温度范围的失调电压温漂是一项更加艰巨的挑战。将含有被测放大器的印刷电路板放在采用泡沫隔离的小盒子或塑料袋中，这样就可以防止恒温气流导致寄生热电偶产生温度梯度。如果需要冷测试，建议采用干式氮吹。另一种方法是

用-ermostream 加热器/冷却器对放大器本身采取局部温度循环，但是，这些器件可能会产生相当大的气流，带来麻烦。图 2 的测试电路通常适用于很多放大器。采用绝对值低的小电阻（如 10Ω ）可以尽量减小偏置电流产生的误差。

图 3 所示是另一种 V_{OS} 测量方法，适合偏置电流较高和/或不相等的情况（如采用电流反馈运算放大器时）。在这种测量方法中，一个仪表放大器通过隔离电阻连接至运算放大器输入端，并为测量提供增益。然后，仪表放大器的失调电压（采用 S 闭环测量）必须从最终的 V_{OS} 测量值中减去。

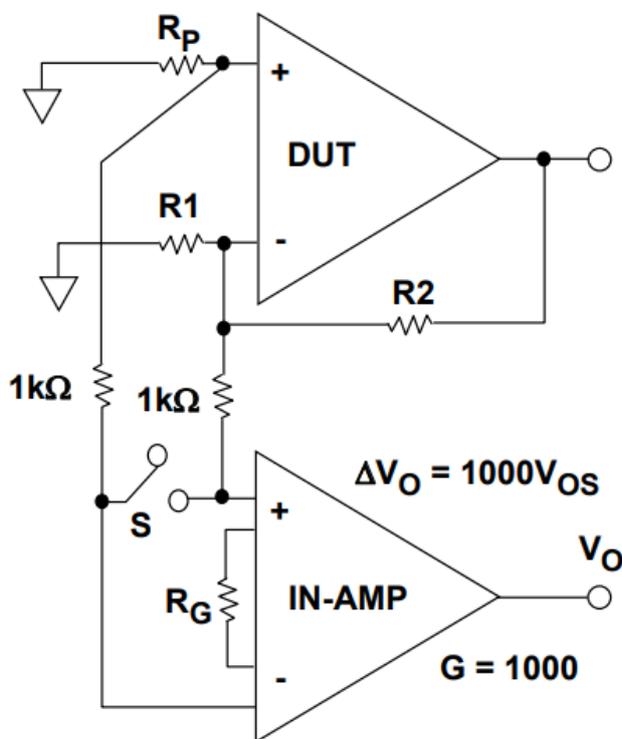
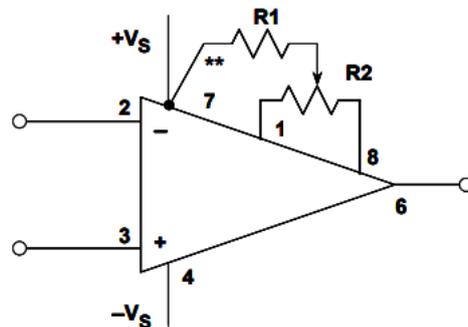


图 3：采用仪表放大器的另一种输入失调电压测量方法

采用“零点校准”引脚调整失调电压

许多单路运算放大器都有供可选失调零点校准使用的引脚。为了使用这项功能，两个引脚应通过电位计连接，游标通过电阻移动到其中一个电源，通常如图 4 所示。注意，如果游标不慎连接到错误的电源，运算放大器很可能会受损，更换运算放大器类型时，这个问题很常见。运算放大器若设计周全，其失调调整范围不会超过最低等级器件最大

V_{OS} 的两至三倍，从而尽可能降低敏感度。然而，运算放大器失调调整引脚的电压增益实际上可能大于其信号输入端的增益！因此，必须保持这些引脚无噪声。注意，千万不要采用长引线将运算放大器连接至相距较远的零值电位计。



- ◆ ** Wiper connection may be to either $+V_S$ or $-V_S$ depending on op amp
- ◆ R values depend on op amp. Consult data sheet
- ◆ Use to null out input offset voltage, not system offsets!
- ◆ There may be high gain from offset pins to output — Keep them quiet!
- ◆ Nulling offset causes increase in offset temperature coefficient, approximately $4\mu V/^\circ C$ for 1mV offset null for FET inputs

图 4：失调调整引脚

如上所述，运算放大器随温度产生的失调温漂会根据其失调调整设置发生变化。因此，应当只采用内部调整引脚来调整运算放大器自身的失调，不校正任何系统失调误差，因为这样做会导致温度漂移上升。对每毫伏零点校准失调电压而言，FET 输入运算放大器的漂移影响约为 $4\mu V/^\circ C$ 。一般而言，最好选择合适的器件/等级来控制失调电压。

失调调整（外部方法）

如果运算放大器没有失调调整引脚（常见的双路运放和所有的四路运放都没有），但仍然需要调整放大器和系统失调，就可以采用外部方法。如果利用系统可编程电压完成失调调整，这种方法同样也很有效，例如用 DAC。

采用反相运算放大器配置时，向反相输入注入电流是最简单的方法，如图 5A 所示。这种方法的缺点是由于 R3 和电位计电阻采用并行路径，噪声增益可能会有所上升。要减

少由此增加的噪声增益，可将 $\pm V_R$ 设置得足够大，这样 R_3 的值就会远大于 $R_1 \parallel R_2$ 。注意，如果电源稳定且无噪声，就可以用作 $\pm V_R$ 。

图 5B 显示如何通过向同相输入注入小失调电压来调整失调。该电路优于图 5A 的电路，因为不会增加噪声增益（但是需要增加 R_P ）。如果运算放大器与输入偏置电流匹配， R_P 应等于 $R_1 \parallel R_2$ （以尽量减小增加的失调电压）。否则， R_P 应小于 50Ω 。如果值较高，建议在高频时将 R_P 进行旁路分流。

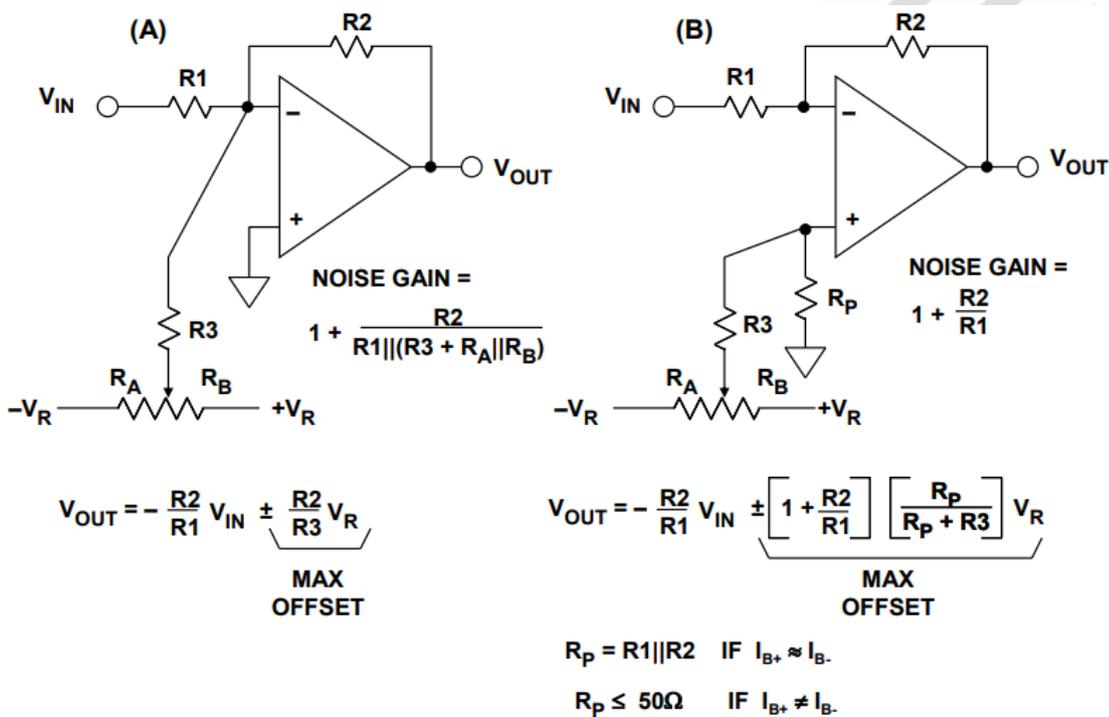


图 5：反相运算放大器外部失调调整方法

在同相模式中使用运算放大器时，可利用图 6 所示的电路注入小失调电压。该电路在失调较小时效果较好，其中 R_3 可设置为远大于 R_1 。否则就要注意，由于调整了失调电位计，信号增益可能会受到影响。但是，如果 R_3 连接至固定的低阻抗基准电压源 $\pm V_R$ ，增益就能保持稳定。

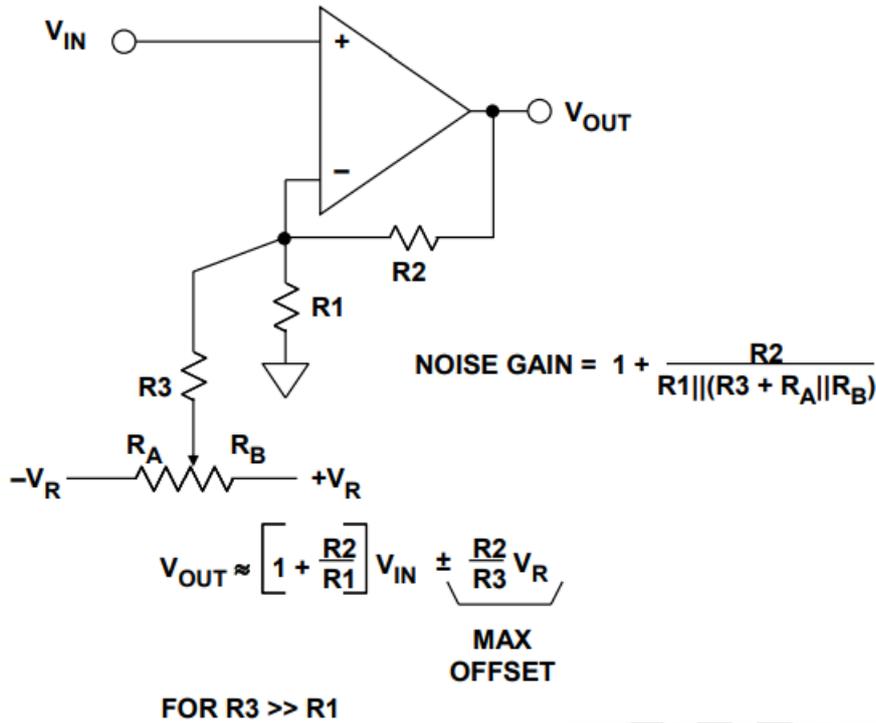


图 6: 同相运算放大器外部失调调整方法

失调电压调整过程 DigiTrim™ CMOS 运算放大器系列利用数字技术的优势，目的是尽量减小通常与 CMOS 放大器有关的失调电压。失调电压调整在器件封装好之后完成。数字码输入器件中，根据器件等级将失调电压调整至 1mV 以下。不需要进行晶圆测试，ADI 公司的专利技术 DigiTrim™ 也不需要额外的引脚来实现该功能。这些器件具有轨到轨输入和输出，NMOS 和 PMOS 并行输入级采用 DigiTrim 单独进行调整，以尽量减小两对输入输出中的失调电压。图 7 所示为典型 DigiTrim CMOS 运算放大器的功能框图。

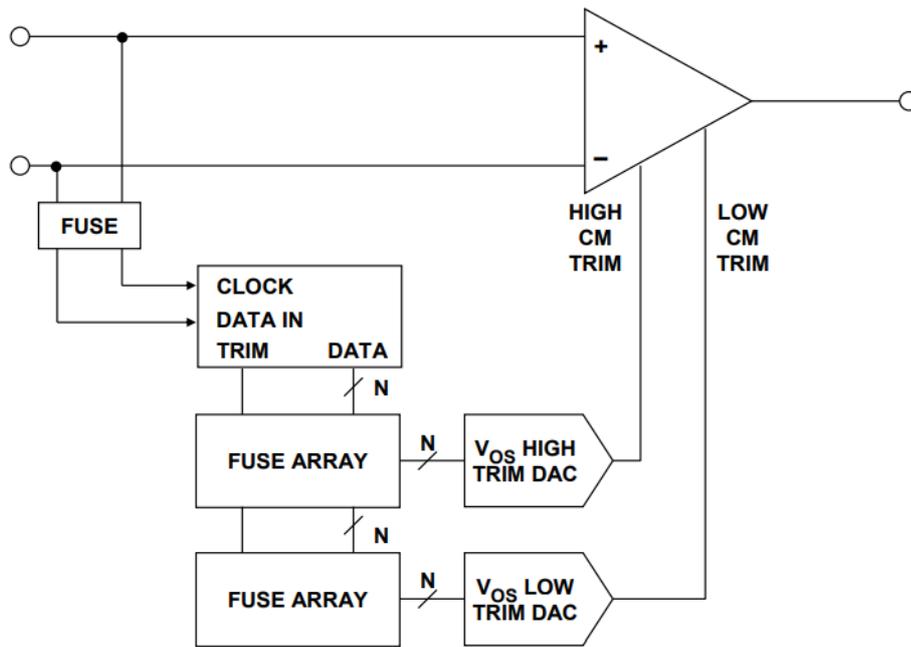


图 7: ADI 公司用于调整 CMOS 运算放大器的 DigiTrim™ 技术

DigiTrim 通过对数字加权电流源进行编程来调整失调电压。调整信息以特殊的数字序列通过现有的引脚输入。调整值可以暂时先编程、评估，然后经重新调整以实现高精度，最后再进行永久调整。调整完成后，调整电路就会闭锁，防止最终用户意外重新调整。

通过熔断晶硅熔丝实现物理调整是一种很可靠的方法，不需要额外的焊盘或引脚，也不需要特殊的测试设备。调整可以在封装后进行，这样就可以消除装配相关漂移。由于芯片产量较高，所以不需要进行晶圆级测试。

第一批采用该新技术的器件是 ADI 公司的 [AD8601](#)、[AD8602](#)、[AD8604](#) (单路、双路、四路) 轨到轨 CMOS 放大器。高低共模情况下都要进行失调调整，从而使失调电压在整个共模输入电压范围内都小于 $500\mu\text{V}$ 。运算放大器的带宽为 8MHz ，压摆率为 $5\text{V}/\mu\text{s}$ ，每个放大器的电源电流仅为 $640\mu\text{A}$ 。

[AD8603](#)、[AD8605](#)、[AD8607](#) (单路、双路、四路) 系列的最大失调电压在整个共模范围内为 $50\mu\text{V}$ 。增益带宽为 400kHz ，每个放大器的电源电流仅为 $50\mu\text{A}$ 。

现在，有必要回顾一下其他常见的调整方法。ADI 公司率先在精密放大器、基准电压源、

数据转换器和其他线性 IC 上采用薄膜电阻和激光晶圆调整技术。通过调整，可以实现高达 16 位的精度，由于薄膜电阻本身具有极佳的温度稳定性，即使不用作调整，也可以增加器件的热稳定性和精度。薄膜沉积和图案成形过程都必须严格控制。激光调整系统也非常昂贵。因为无法进行封装内调整，所以装配相关温漂不易补偿。然而，在需要高精度和稳定性的精密集成电路中，晶圆级薄膜调整可以提供连续的高调整分辨率。

齐纳击穿通过电压使晶体管基极-发射极结点上的金属短路，从而移除某个电路元件。基极-发射极结点通常称为齐纳，但其机制实际上是结点的雪崩击穿。在基极-发射极结点的雪崩击穿过程中，极高的电流密度和局部发热会引起基极和发射极结点之间产生快速金属迁移，导致结点出现金属短路。通过适当的偏置（电流、电压和时间），短路的电阻值可以变得很低。如果将一系列这样的基极-发射极结点与电阻串并联，击穿选择的结点会使部分电阻串短路，从而调整总电阻值。

封装好的 IC 中可以进行齐纳击穿调整，以补偿装配相关的失调电压温漂。但是，封装内调整需要额外的封装引脚。另一种晶圆级调整则需要额外的探测点。由于工艺特征减少，探测点不能有效进行调整。因此，调整所需的芯片面积相对稳定，不受工艺尺寸的影响。调整结构中需要某些双极性晶体管，因此，完全基于 MOS 的工艺可能不具备齐纳击穿能力。这些调整属于分立式调整，因为每次击穿都会减去预定的电阻值。增加调整分辨率需要额外的晶体管和焊盘或引脚，这会大大增加总芯片面积和/或封装成本。该技术对大尺寸工艺而言性价比最高，这种工艺中调整结构和探测点占总芯片面积的比例相对较小。

1975 年，在制定 [OP07](#) 行业标准的过程中，Precision Monolithics 公司率先使用了齐纳击穿调整技术。[OP07](#) 和其它类似器件必须能够采用 $\pm 15V$ 以上的电源工作。因此，他们采用相对较大的器件尺寸，以满足高压要求，并且额外的探测点也不会明显增加芯片面积。

联接调整(link trimming)是指采用金属切割或多晶硅联接来去除某个连接。联接调整采用激光或高电流破坏并联电阻元件上的“短路”连接。去除连接可以增加组合元件的有效

电阻。激光切割与薄膜激光调整的工作方式类似。激光束的局部高温导致材料发生变化，形成一个不导电区域，从而有效切割金属或导电晶硅连接器。

高电流联接调整法与齐纳击穿的作用相反，前者破坏导电连接，后者则形成导电连接。

联接调整结构往往比激光调整电阻结构更紧凑，通常不需要特殊工艺，但是采用激光切割时，可能必须根据激光的特点定制工艺。采用高电流调整法时，如果芯片产量较高，可能不需要晶圆级测试。激光切割法不需要额外的接触点，但是调整结构不会随着工艺特征尺寸而调整。激光切割联接不能在封装内完成，而且芯片上要有额外的探测点。此外，它还需要有额外的封装引脚进行封装内高电流调整。和齐纳击穿一样，联接调整也是分立式的。分辨率的提高需要额外的结构，会增加面积和成本。

EEPROM 调整采用特殊的非易失性数字存储器来存储调整数据。存储的数据位通过片上 DAC 控制调整电流。

存储器电池和 DAC 随工艺特征尺寸调整。封装内调整和客户系统内调整都可以实现，从而可以调整消除装配相关漂移。如果芯片产量合适，就不需要进行晶圆级测试。对正常混合信号测试器系统以外进行测试不需要特殊硬件，不过开发测试软件可能比较复杂。

由于调整可以覆写，有可能会定期对系统重新编程，以处理长期漂移，或根据新的要求修改系统特性。重新编程的周期数量可能由工艺决定，而且是有限的。大多数 EEPROM 工艺都提供足够的覆写周期，以便进行常规重新校准程序。

这种调整方法不需要特殊处理。存储的调整数据在某些情况下可能会丢失，尤其是在工作温度较高时。至少需要一个额外的数字接触点/封装引脚将调整数据输入片上存储器。

该技术可用于基于 MOS 的工艺，因为氧化物必须很薄。最大的缺点是片上 DAC 很大——通常大于其调整的放大器电路。因此，EEPROM 调整通常用于数据转换器或系统级产品，这种情况下 DAC 占总芯片面积的比例小得多。

图 8 总结了每种 ADI 调整方法的主要特点。可以看出，所有的调整方法都有各自适用的场合，目的是构建高性能线性集成电路。

PROCESS	TRIMMED AT:	SPECIAL PROCESSING	RESOLUTION
DigiTrim™	Wafer or Final Test	None	Discrete
Laser Trim	Wafer	Thin Film Resistor	Continuous
Zener Zap Trim	Wafer	None	Discrete
Link Trim	Wafer	Thin Film or Poly Resistor	Discrete
EEPROM Trim	Wafer or Final Test	EEPROM	Discrete

图 8: ADI 调整工艺技术总结

运算放大器总输出失调电压计算

计算由 I_B 和 V_{OS} 引起的总输出失调误差

通过下图 1 中所示的公式，可将所有失调电压和由偏置电流误差导致的失调电压折算至运算放大器的输入(RTI)或输出(RTO)。选择 RTI 还是 RTO 基于个人偏好。

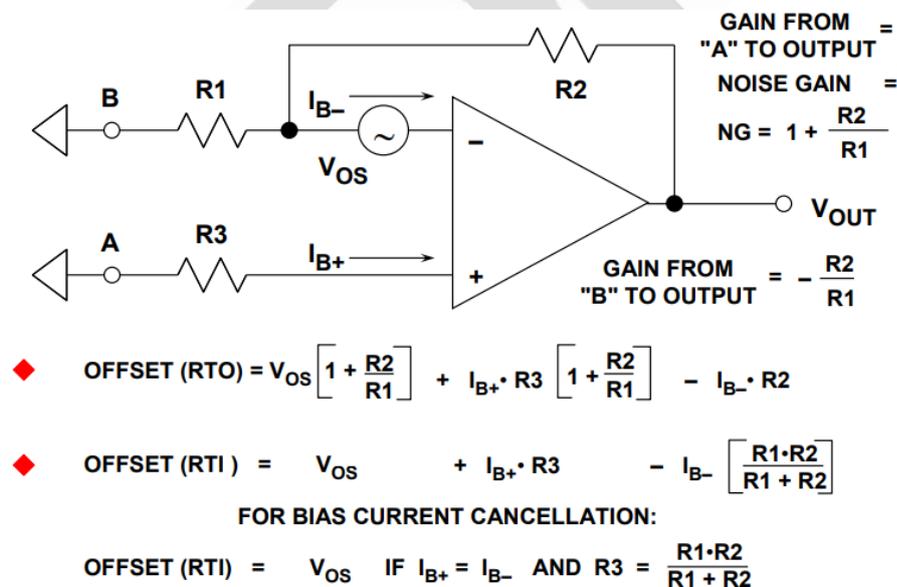


图 1: 运算放大器总失调电压模型

RTI 值可用于比较累积运算放大器失调误差和输入信号。如果运算放大器驱动附加电路，

RT0 值更适合用来比较该级和下一级的净误差。

在任何情况下，RT0 值都可以简单通过将 RTI 值与该级噪声增益 $(1+R2/R1)$ 相乘得出。

开始讨论失调误差前，需要重申一些降低失调误差的简单规则。

- 保持较低的输入/反馈阻抗值，最大程度地降低由偏置电流效应引起的失调电压。
- 不采用内部偏置补偿，而是将偏置补偿阻抗用于 VFB 运算放大器。对该阻抗进行旁路，以实现最低噪声拾取。
- 如果 VFB 运算放大器采用了内部偏置电流补偿，不要使用补偿电阻。
- 必要时，使用外部失调调整网络，使引起的漂移降至最低。
- 选择具有低失调和漂移性能的适用精密运算放大器，而不是进行调整。
- 注意热电偶效应，并使用平衡、低热误差布局，以实现高性能低漂移电路。

斩波稳定（自稳零）精密运算放大器

斩波放大器

要想获得最低的失调和漂移性能，斩波稳定（自稳零）放大器可能是唯一的解决方案。最好的双极性放大器的失调电压为 $25\mu\text{V}$ ，漂移为 $0.1\mu\text{V}/^\circ\text{C}$ 。斩波放大器尽管存在一些不利影响，但可提供低于 $5\mu\text{V}$ 的失调电压，而且不会出现明显的失调漂移，以下图 1 给出了基本的斩波放大器电路图。当开关处于“Z”（自稳零）位时，电容 C2 和 C3 将分别充电至放大器输入和输出失调电压。当开关处于“S”（采样）位时， V_{IN} 通过 R1、R2、C2、放大器、C3 和 R3 构成的路径连接至 V_{OUT} 。斩波频率通常在几百赫兹到几赫兹之间，需要注意的是，由于这是一种采样系统，因此，输入频率必须远远低于斩波频率的一半，以防止出现混叠导致的误差。R1-C1 组合充当一个抗混叠滤波器。同时假定，在达到一个稳定状态条件后，开关周期中只会传输极少量的电荷。必须选择输出电容 C4 和负载

R_L ，使自稳零周期中的 V_{OUT} 降保持最低。

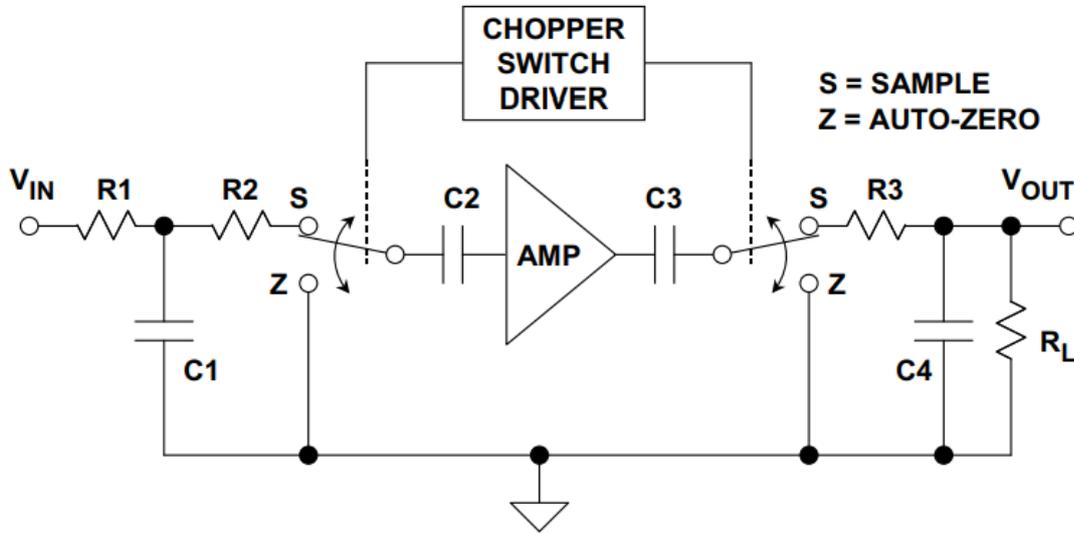


图 1: 经典斩波放大器

图 1 所示基本斩波放大器只能传递极低频率，因为需要输入滤波来防止混叠。与此相反，图 2 所示斩波稳定架构在斩波放大器应用中使用最为广泛。

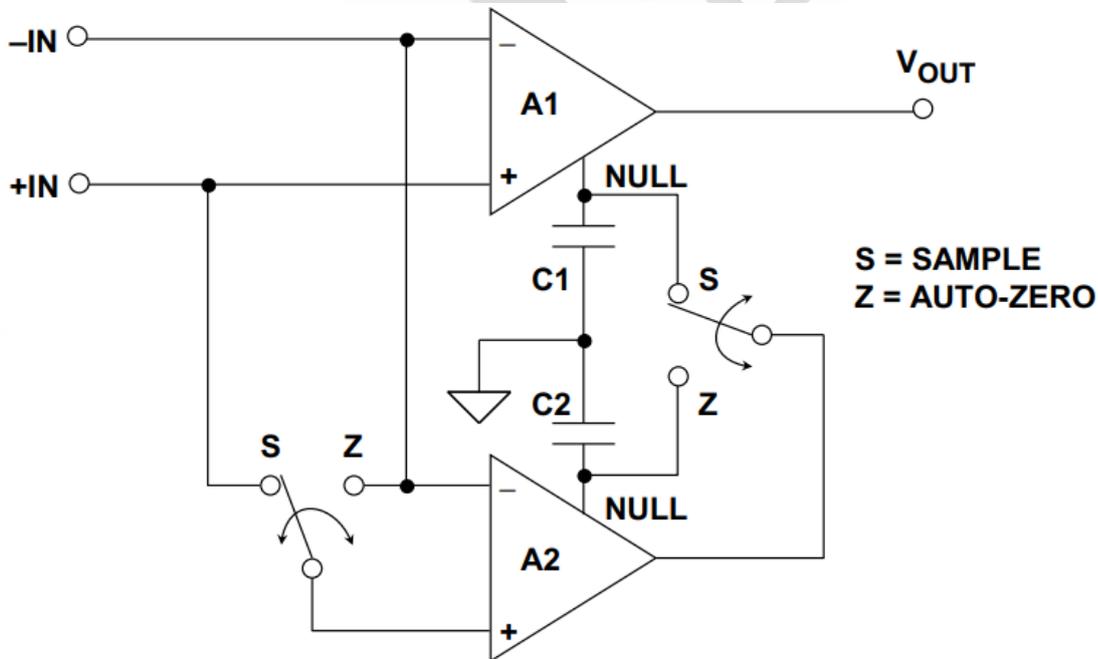


图 2: 现代自稳零（斩波稳定）运算放大器

在该电路中，A1 为主放大器，A2 为指零放大器。在采样模式（开关处于“S”位）下，

指零放大器 A2 将监控 A1 的输入失调电压，并在 A1 的零点校准引脚处施加一个合适的校正电压，从而将其输出驱动至零。然而需要注意的是，A2 也有一个输入失调电压，因此在对 A1 的失调进行零点校准之前，必须纠正自身的误差。在自稳零模式下（开关处于“Z”位），其实现方式是先暂时将 A2 从 A1 断开，将其输入端一起短路，并将其输出端耦合至自己的零校准引脚。在自稳零模式期间，A1 的校正电压由 C1 暂时保持。类似地，C2 则在采样模式期间保持 A2 的校正电压。在现代 IC 斩波稳定运算放大器中，存储电容 C1 和 C2 是片内提供的。

注意，在这种架构中，输入信号始终通过 A1 连接至输出端。因此，A1 的带宽决定着整体信号带宽，输入信号不像传统斩波放大器架构那样，限制为斩波频率的一半。然而，开关操作确实会在斩波频率下产生较小的瞬变，而该瞬变则可能与输入信号频率混合起来，结果导致交调失真。

[AD8571/AD8572/AD8574](#) 系列单电源斩波稳定运算放大器采用了一种专利扩频技术，基本消除了交调效应。这些器件采用一种伪随机斩波频率，范围在 2kHz 和 4kHz 之间。

图 3 比较了一种传统斩波稳定运算放大器的交调失真性能。

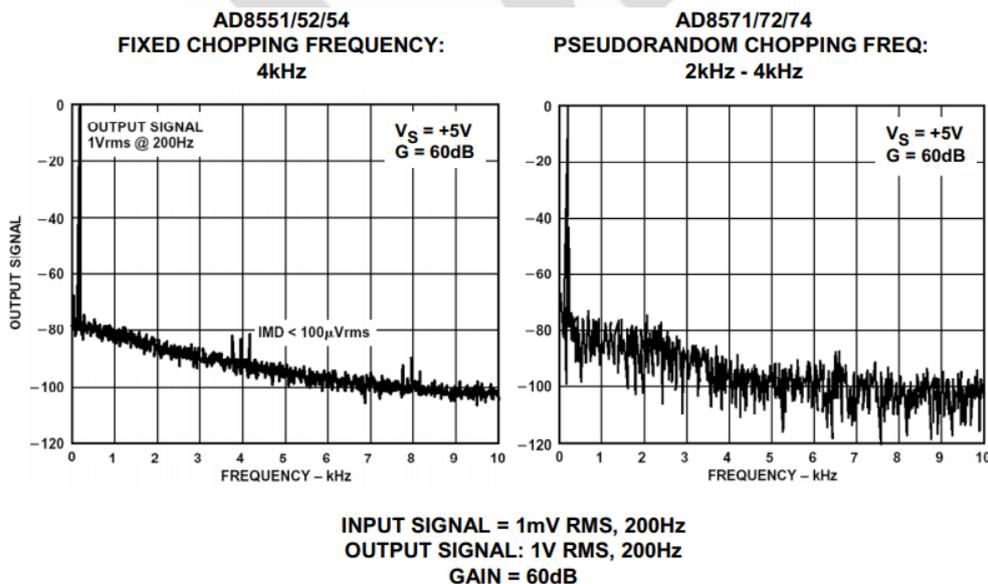


图 3：交调积：固定与伪随机斩波频率

[AD8551/AD8552/AD8554](#) (左) 采用一种固定的 4kHz 斩波频率, [AD8571/AD8572/AD8574](#) (右) 采用伪随机斩波频率。

下面的图 4 比较了固定与伪随机斩波对电压噪声的影响。注意, 对于固定斩波频率, 在奇次谐波 4kHz 下, 噪声频谱中存在显著的峰值, 而对于伪随机斩波, 频谱更统一, 只是其平均噪声电平较高。

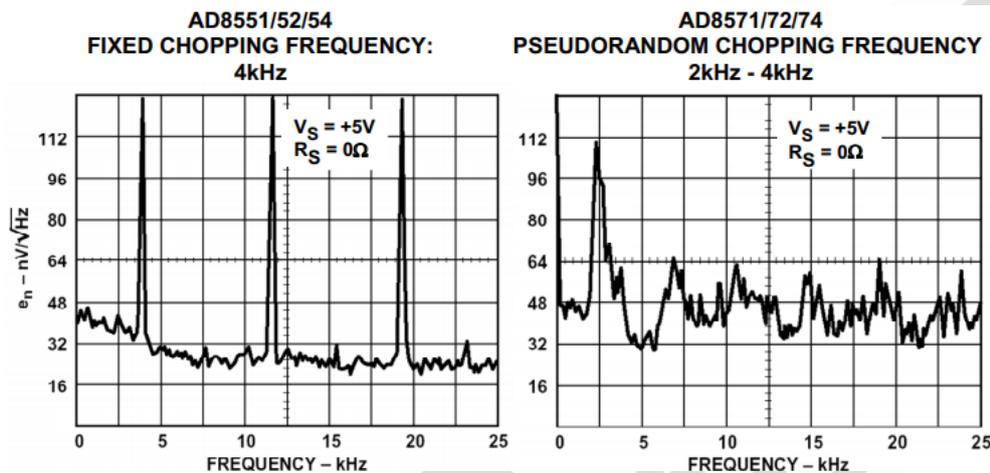


图 4: 电压噪声频谱密度比较: 固定与伪随机斩波频率

减少因自稳零放大器开关操作导致的交调效应的另一种方法是以一种专利方式将自稳零与斩波结合起来, 就如 [AD8628/AD8629/AD8630](#) 系列一样。这种独特的拓扑结构使得这些放大器能够在宽温度范围和整个工作寿命内维持低失调电压。

与前几代的自稳零放大器相比, [AD8628/AD8629/AD8630](#) 在噪声和带宽上进行了优化, 电压噪声减少了 50% 以上, 是所有自稳零放大器中最低的。其他设计采用自稳零或斩波技术来提高放大器的精度。自稳零技术使自稳零频率时的噪声能量较低, 但由于自稳零频带中混叠宽带噪声, 因此会造成低频噪声较高。斩波技术可降低低频噪声, 但斩波频率时的噪声能量较大。

[AD8628/AD8629/AD8630](#) 系列采用已获专利的乒乓式配置, 同时使用自稳零和斩波技术, 可在斩波和自稳零频率获得较低的低频噪声以及较低的能量, 从而使大部分应用的信噪

比达到最高，且不需要额外滤波。时钟频率相对较高(15kHz)，因此可简化滤波器对有效、无噪声、宽带宽的要求。该系列的噪声谱密度如图 5 所示。

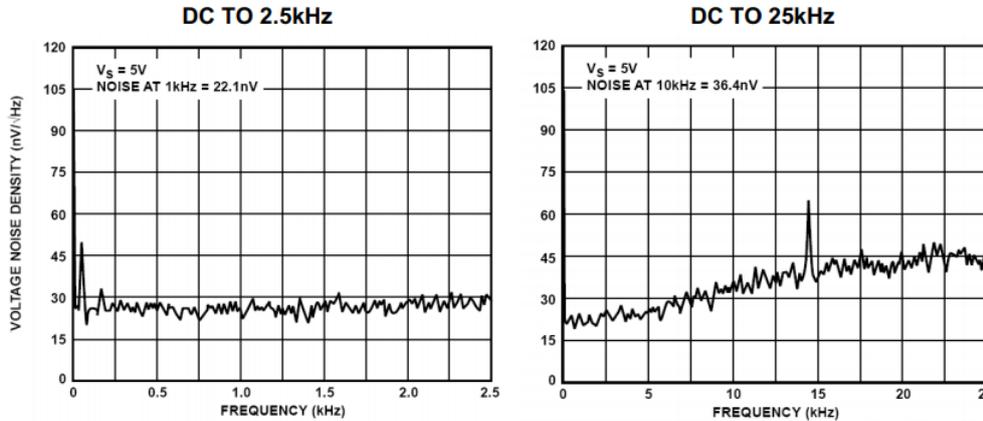


图 5: [AD8628/AD8629/AD8630](#) 系列精密零漂移、自稳零运算放大器的电压噪声谱密度

[AD8628](#) 是少数几种采用 5 引脚 TSOT 封装的自稳零放大器。这使得其交流参数要比以前的自稳零放大器有明显改善。[AD8628/AD8629/AD8630](#) 均在相对较宽的带宽范围内 (0Hz 至 10kHz) 具有低噪声特性，适合要求最高直流精度的应用。在信号带宽范围为 5kHz 至 10kHz 的系统中，[AD8628/AD8629/AD8630](#) 可提供真 16 位精度，因而是极高分辨率系统的最优选择。

[AD8628/AD8629/AD8630](#) 系列的主要特性如图 6 所示。

- ◆ Single Supply: +2.7V to +5V
- ◆ 1 μ V Typical Input Offset Voltage
- ◆ 0.002 μ V/ $^{\circ}$ C Typical Input Offset Voltage Drift
- ◆ 130dB Typical CMR, PSR
- ◆ 0.85mA Typical Supply Current/Amplifier
- ◆ 10 μ s Overload Recovery Time
- ◆ 22nV/ $\sqrt{\text{Hz}}$ Input Voltage Noise @ 1kHz
- ◆ Patented Auto-Zero and Chopper-Stabilized Technique @ 15kHz Switching Frequency
- ◆ 2.5MHz Gain-Bandwidth Product
- ◆ AD8628 (Single) in TSOT and SOT-23 Packages
- ◆ AD8629 (Dual), AD8630 (Quad)

图 6: [AD8628/AD8629/AD8630](#) 系列精密自稳零运算放大器的主要特性

需要注意的是，在应用所有斩波稳定器件时必须极其小心。这是因为，为了完全发挥出器件本身的失调和漂移性能，必须避免外部电路中的寄生热电偶效应。

斩波稳定运算放大器的噪声考虑因素

如果考察斩波放大器对低频 $1/f$ 噪声的影响，结果将发现有趣的现象。如果斩波频率明显高于 $1/f$ 输入噪声的转折频率，则斩波稳定放大器会逐个采样地连续消除 $1/f$ 噪声。理论上讲，斩波运算放大器是没有 $1/f$ 噪声的。然而，斩波操作会产生宽带噪声，其程度比精密双极性运算放大器要糟糕得多。

下面的图 7 展示了精密双极性放大器([OP177](#))与 [AD8628/AD8629/AD8630](#) 斩波稳定运算放大器的噪声性能。图下方的表格中算出了二者在各种带宽下的峰峰值噪声。

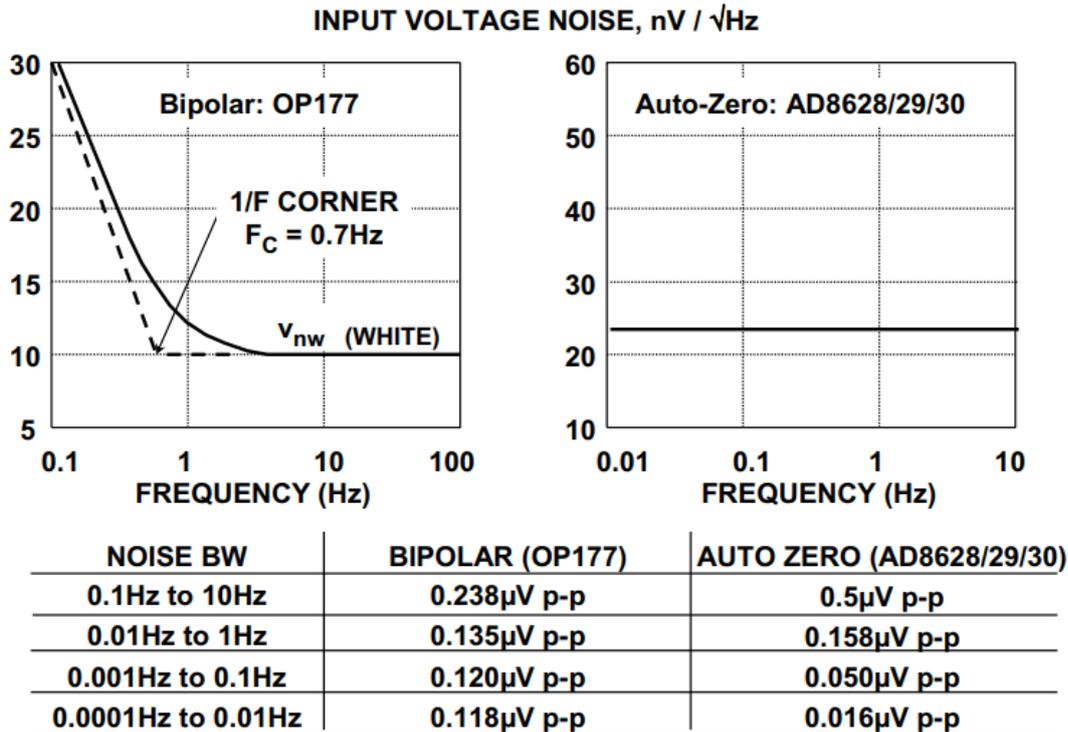


图 7：噪声：双极性与自稳零运算放大器

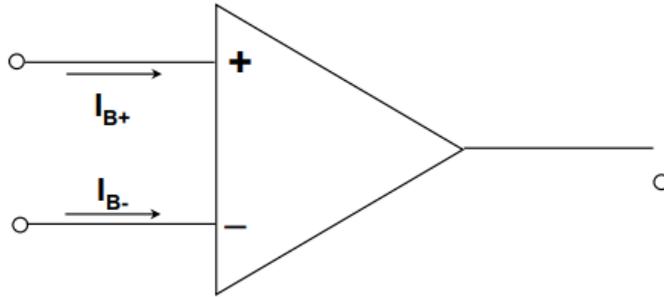
根据数据可以看出，随着频率的下降，自稳零放大器的噪声继续下降，而双极性放大器的噪声则接近一个限值，该限值取决于 $1/f$ 转折频率及其白噪声。请注意，只有在极低的频率($<0.1\text{Hz}$)下，斩波放大器的噪声性能才会优于双极性运算放大器。

为了利用斩波运算放大器没有 $1/f$ 噪声的特性，需要采用较多的滤波机制——否则，斩波运算放大器的总噪声将始终不如一个优良的双极性运算放大器。因此，选择斩波运算放大器时要看其低失调和漂移特性——而不是基于其没有 $1/f$ 噪声的特性。

运算放大器输入偏置电流

输入偏置电流定义

理想情况下，并无电流进入运算放大器的输入端。而实际操作中，始终存在两个输入偏置电流，即 I_{B+} 和 I_{B-} （参见图 1）。



- ◆ A very variable parameter!
- ◆ I_B can vary from 60 fA (1 electron every 3 μ s) to many μ A, depending on the device.
- ◆ Some structures have well-matched I_B , others do not.
- ◆ Some structures' I_B varies little with temperature, but a FET op amp's I_B doubles with every 10°C rise in temperature.
- ◆ Some structures have I_B which may flow in either direction.

图 1: 运算放大器输入偏置电流

I_B 的值大小不一，在静电计 [AD549](#) 中低至 60fA（每三毫秒通过一个电子），而在某些高速运算放大器中可达数十微安。运算放大器采用由双极性结型晶体管(BJT)或 FET 长尾对构成的简单输入结构时，偏置电流为单向流动。而采用更为复杂的输入结构时（如偏置补偿和电流反馈运算放大器），偏置电流可能是两个或以上内部电流源之间的差分电流，且可能是双向流动。

对运算放大器用户来说，偏置电流是个问题，因为当其流过外部阻抗时会产生电压，进而导致系统误差增加。以 1M Ω 源阻抗驱动同相单位增益缓冲器为例，如果 I_B 为 10nA，则会额外引入 10mV 的误差。这种误差度在任何系统中都不容忽略。

或者，如果设计人员完全忘记考虑 I_B 并且采用容性耦合，那么电路将根本不能工作！
或者，如果 I_B 足够小，那么电路或许能在电容充电期间短暂工作，结果导致更多的问题。
因此，我们应当明白，任何运算放大器电路中都不能忽略 I_B 的影响，仪表放大器电路中亦是如此。

“输入失调电流” I_{OS} 是 I_{B-} 和 I_{B+} 之差，即 $I_{OS}=I_{B+}-I_{B-}$ 。另请注意，两个偏置电流首先必须基本上具有相当良好的匹配性， I_{OS} 才有意义。多数电压反馈(VFB)型运算放大器都是如此。不过，针对电流反馈(CFB)型运算放大器等来谈 I_{OS} 就没什么意义，因为这两个电流完全不匹配。

需要注意的是，对于由两个并联级构成的轨到轨输入级，当共模电压经过跃迁区时，偏置电流方向会发生改变。因此，这类器件的偏置电流和失调电流尤其难以标定，根本不可能简单地给出最大正值/负值。

内部偏置电流消除电路

如果通过内部电流源提供该必要的偏置电流，如下文图 2 所示，那么基极电流与电流源之间的差分电流将是流入输入端的唯一“外部”电流，它可能相当小。

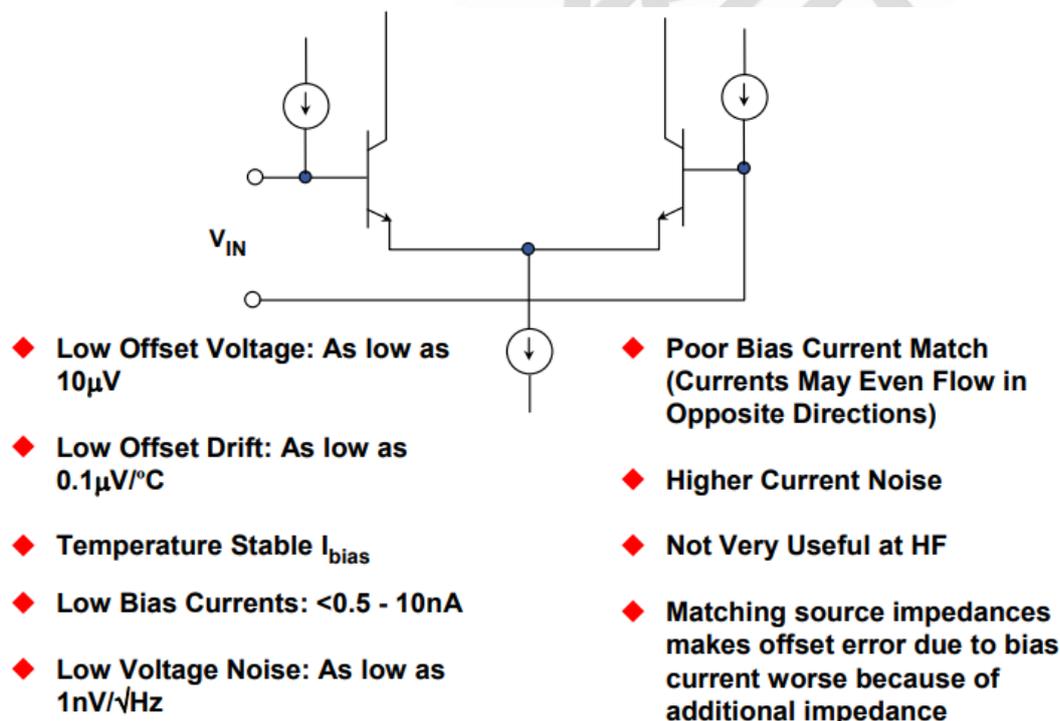


图 2：偏置电流补偿双极性输入级

多数现代精密双极性输入级运算放大器都会采用某种方式的内部偏置电流补偿，大家熟悉的 [OP07](#) 和 [OP27](#) 系列就是如此。

偏置电流补偿输入级具有简单双极性输入级的许多优良特性，例如：低电压噪声、低失调电压和低漂移。此外，它还提供具有相当温度稳定性的低偏置电流。但是，其电流噪声特性不是非常好，而且偏置电流匹配较差。

后两个副作用源于外部偏置电流，它是补偿电流源与输入晶体管基极电流的“差值”。这两个电流不可避免地具有噪声。由于无相关性，两个噪声以方和根形式相加（但直流电流采用减法）。

所产生的外部偏置电流为两个近乎相等的电流之差，因此净电流的极性是不确定的。所以，偏置补偿运算放大器的偏置电流可能不仅不匹配，而且有可能反向流动！多数应用中这点并不重要，但在有些应用中却会产生无法预料的影响（例如，在用偏置补偿运算放大器构建的采样保持(SHA)电路中，压降可能具有两种极性之一）。

许多情况下，运算放大器的数据手册中没有提到偏置电流补偿特性，而且不会提供原理示意图。通过检查偏置电流规格，很容易确定是否采用了偏置电流补偿。如果偏置电流用“±”值表示，则运算放大器非常有可能对偏置电流进行了补偿。注意，通过检查“失调电流”规格（偏置电流之差），很容易验证这一点。如果存在内部偏置电流补偿，则失调电流的幅度与偏置电流相同。如果没有偏置电流补偿，则失调电流一般比偏置电流至少低 10 倍。注意，无论偏置电流的确切幅度是多少，上述关系一般都成立。

如前所述，对于轨到轨输入级，当共模电压经过交越区时，偏置电流方向会发生改变。因此，这类器件的偏置电流和失调电流尤其难以指定，根本不可能简单地给出最大正值/负值。

消除偏置电流影响（运算放大器外部）

当运算放大器的偏置电流匹配良好时（如前所述，就像简单的双极性输入级运算放大器那样，但“不”包括内部偏置补偿运算放大器），偏置补偿电阻 R_3 ($R_3=R_1 \parallel R_2$) 会在同相输入中引入压降，以便与反相输入中 R_1 和 R_2 并联组合上的压降匹配并实现补偿。这样

可以最大程度地减少额外的失调电压误差，如图 3 所示。注意，如果 R3 大于 1kΩ，则应使用电容进行旁路，以免噪声影响。另请注意，当偏置电流匹配不佳时，这种消除偏置方式毫无用处，事实上会更糟。

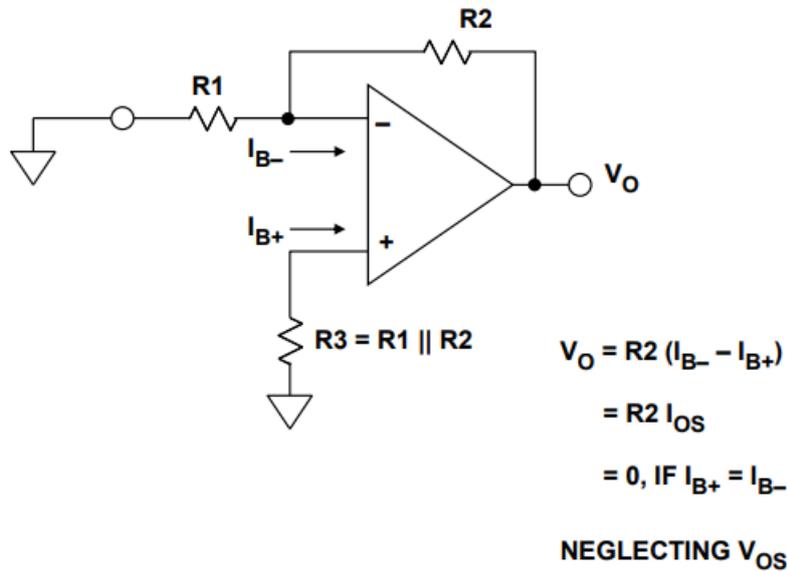
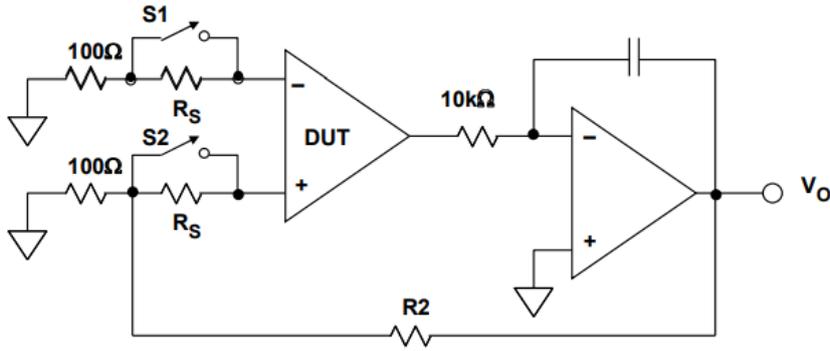


图 3：消除应用中的输入偏置电流影响

测量输入失调电流和输入偏置电流

可以利用图 4 中的测试电路来测量输入偏置电流（或输入失调电压）。要测量 I_B ，应插入大电阻 R_S 与待测输入端串联，从而产生大小等于 $I_B \times R_S$ 的显著额外失调电压。如果之前已经测量并记录实际的 V_{OS} ，则可以确定因 R_S 变化而导致的 V_{OS} 明显变化，进而可以轻松计算出 I_B 。这样即可得出 I_{B+} 和 I_{B-} 的值。 I_B 的额定值是这两个电流的平均值，即 $I_B = (I_{B+} + I_{B-}) / 2$ 。

通常，有效 R_S 值的变化范围为 100kΩ（双极性运算放大器）至 1000MΩ（某些 FET 输入器件）。



$R_S \gg 100\Omega$ (100kΩ TO 1GΩ)

S1 CLOSED TO TEST I_{B-}

S2 CLOSED TO TEST I_{B+}

BOTH CLOSED TO TEST V_{OS}

BOTH OPEN TO TEST I_{OS}

$$V_O = \left[1 + \frac{R2}{100} \right] V_{OS} + \left[1 + \frac{R2}{100} \right] I_{B+} R_S - \left[1 + \frac{R2}{100} \right] I_{B-} R_S$$

图 4: 测量输入偏置电流

对于极低的输入偏置电流，则必须采用积分技术来测量。具体方法是利用所考虑的偏置电流给电容充电，然后测量电压变化速率。如果电容和一般电路泄露可以忽略不计（电流小于 10fA 时，很难测量），则可直接根据测试电路的输出变化速率计算出该电流。基本原理如下面图 5 所示。断开一个开关，闭合另一个开关，可以分别测得 I_{B+} 或 I_{B-} 。

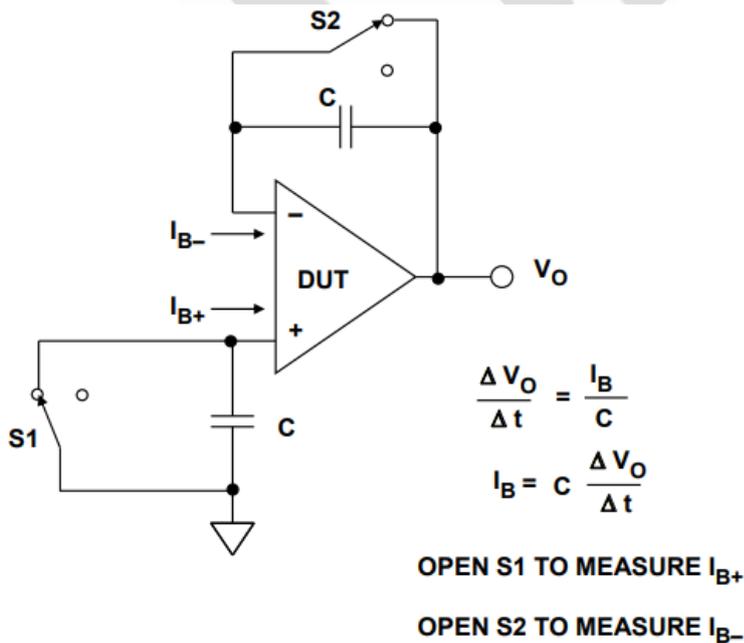


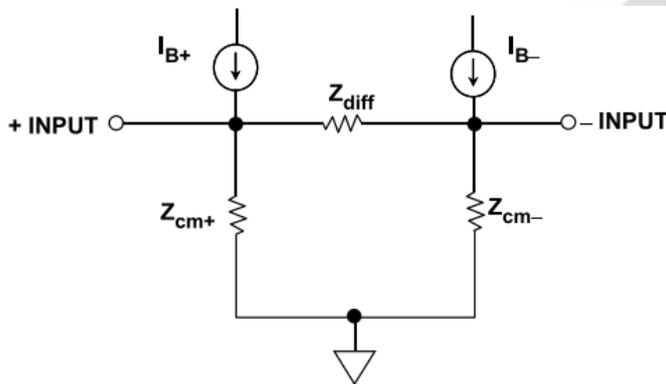
图 5: 测量极低的偏置电流

很明显，C 只可使用高品质的电容电介质，如特氟龙或聚丙烯等类型。

运算放大器输入阻抗

电压反馈(VFB)运算放大器输入阻抗

电压反馈(VFB)运算放大器通常具有差模和共模两种指定的输入阻抗。电流反馈(CFB)运算放大器通常在每个输入端将阻抗接地。不同的模型可用于不同的电压反馈运算放大器，在缺少其它信息时，使用如下图 1 的模型通常比较安全。该模型中，偏置电流从无限阻抗电流源流入输入端。



- ◆ Z_{cm+} and Z_{cm-} are the common-mode input impedance. The figure on the data sheet is for one, not both, but they are approximately equal. Z_{diff} is the differential input impedance.
- ◆ They are high resistance ($10^5 - 10^{12}\Omega$) in parallel with a small shunt capacitance (sometimes as high as 25pF).
- ◆ In most practical circuits, Z_{cm-} is swamped by negative feedback.

图 1: 输入阻抗 (电压反馈运算放大器)

共模输入阻抗数据手册中的规格参数 (Z_{cm+} 和 Z_{cm-}) 是从任一输入至地 (不是从两者至地) 的阻抗。差分输入阻抗(Z_{diff})是指两个输入之间的阻抗。这些阻抗通常是电阻性的，且阻值较高 (10^5 至 $10^{12}\Omega$)，还有一些并联电容 (通常为几 pF，有时可高达 20 至 25pF)。大多数运算放大器电路中，反相输入阻抗都通过负反馈降至极低值，起重要作用的只有 Z_{cm+} 和 Z_{diff} 。

电流反馈(CFB)运算放大器输入阻抗

电流反馈运算放大器更加简单，如图 2 所示。同相输入阻抗 Z_+ 是电阻性的，通常还有一些并联电容，且阻值较高 (10^5 至 $10^9\Omega$)； Z_- 是电抗性的 (L 或 C，具体取决于器件)，但具有 10 至 100Ω 的阻性元件，根据类型不同而有所变化。

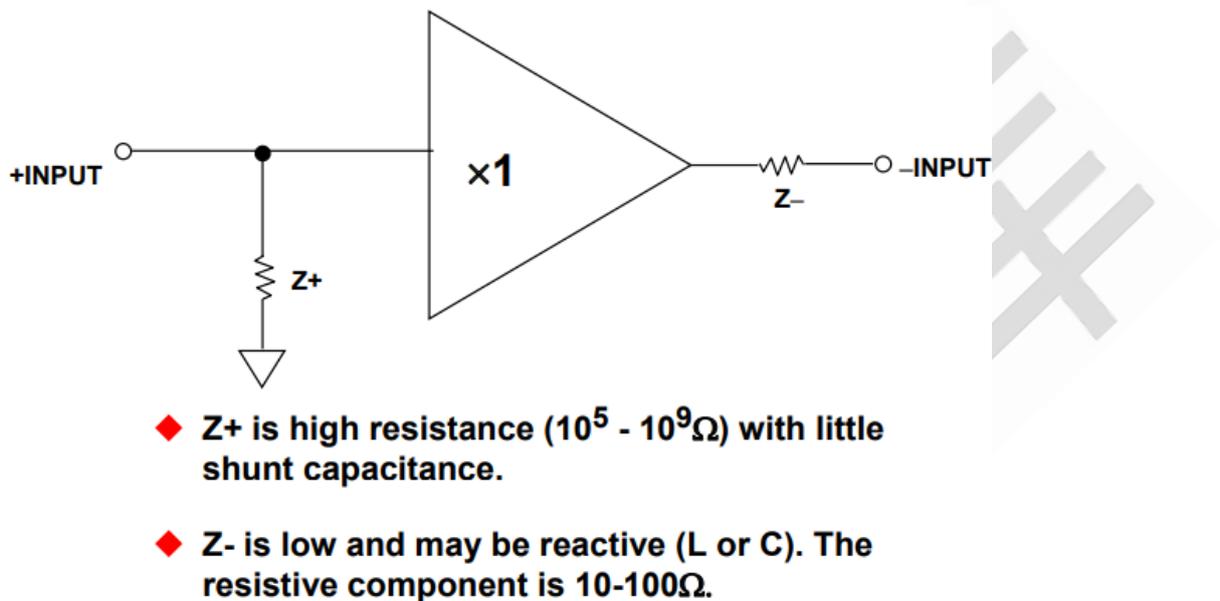


图 2：输入阻抗（电流反馈运算放大器）

运算放大器输入电容

在许多应用中，运算放大器的输入电容都不会造成问题。但是，当源阻抗较高时（如光电二极管前置放大器中），二极管电容会增大运算放大器输入电容，而且可能需要额外的反馈电容使运算放大器稳定。对高阻抗高频源而言，运算放大器的输入电容应远小于源电容。

FET 运算放大器的输入电容会产生二阶效应，尤其是在用于同相模式时。输入共模电压会调制电容，还可能导致失真。为了最大程度地降低该效应，应确保从每个运算放大器输入端获得的源阻抗（阻性与容性元件）相等。

应避免运算放大器反相输入端存在外部杂散电容，尤其是在高速应用中。反相输入周围

区域应去除接地层，从而最大程度地减小 PC 板杂散电容，此外，该引脚的所有连接都应尽量短。如上所述，反相输入电容会在运算放大器频率响应中形成一个额外极点，必须增加反馈电容以起到稳定作用。反馈电容也可以降低总闭环带宽。

在反相模式中，电流反馈运算放大器对杂散电容不太敏感，因为反相输入阻抗开始时较低。但是，在同相模式中，CFB 运算放大器反相输入的杂散电容会导致不稳定，应当注意避免。

运算放大器电源抑制比(PSRR)与电源电压

电源抑制比(PSRR)

如果运算放大器的电源发生变化，输出不应变化，但实际上通常会发生变化。如果 XV 的电源电压变化产生 YV 的输出电压变化，则该电源的 PSRR（折合到输出端）为 X/Y 。无量纲比通常称为电源电压抑制比(PSRR)，以 dB 表示时则称为电源电压抑制(PSR)。但是，PSRR 和 PSR 几乎总能互换使用，半导体行业很少有相关标准。

PSRR 或 PSR 可折合到输出端(RTO)或输入端(RTI)。RTI 值可用 RTO 值除以放大器增益得出。在传统运算放大器中，该值为噪声增益。请务必仔细阅读数据手册，因为 PSR 可能以 RTO 或 RTI 值表示。

PSR 以 dB 表示时可能为正值或负值，具体取决于 PSRR 是定义为电源电压变化除以输出电压变化，还是相反。业界对此没有公认标准，两种规则都有使用。如果放大器采用双电源，通常单独表示每个电源的 PSR。这种方法特别适合那些可用于双电源或单电源应用的放大器。

记住，PSR 通常与纹波或噪声频率密切相关，这一点至关重要，如 [OP1177](#) 运算放大器图表所示。大多数情况下，滚降的转折频率由开环增益引起，曲线斜率约为 6dB/倍频程 (20dB/十倍频程)。下图 1 所示为 [OP1177](#) PSR 的典型特性曲线。

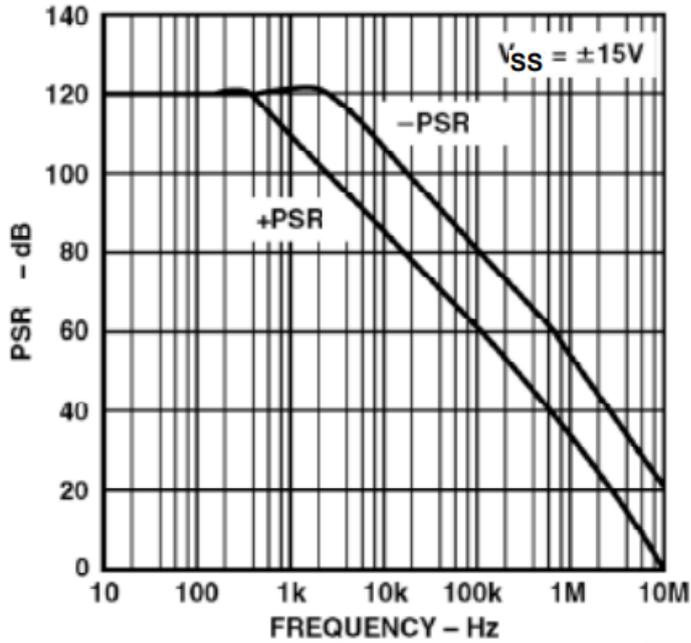


图 1: [OP1177](#) 电源抑制(PSR)

下图 2 所示为测量 PSRR 的测试设置。注意，该图与测量 CMRR 的测试设置类似（参见章节《运算放大器共模抑制比(CMRR)》）。

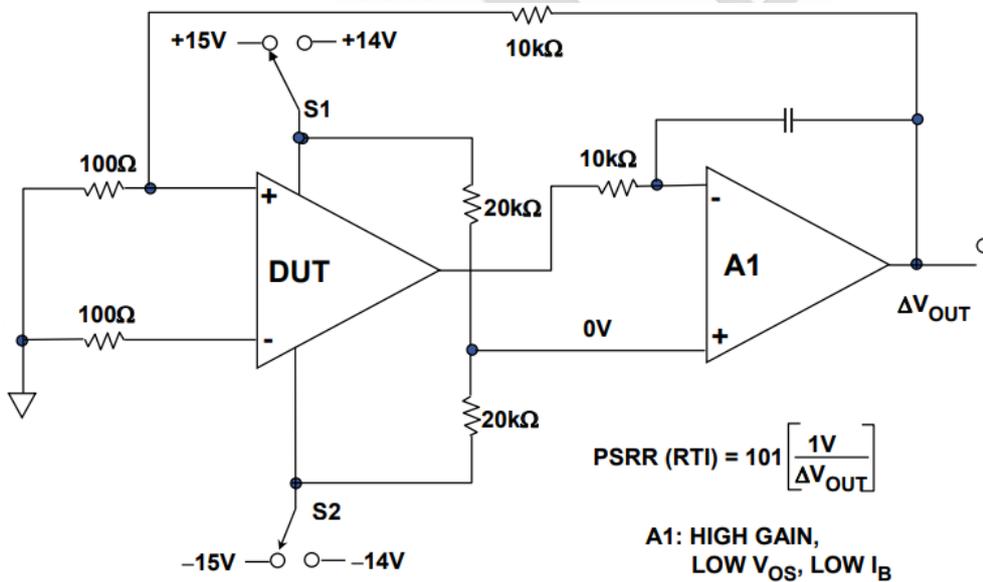


图 2: 测试电源抑制比(PSRR)的测试设置

针对 1 V 对称电源变化选择电压。也可选用其它合适的电压值，测量可以单独针对正电源和负电源进行。

电源与功耗

运算放大器没有接地端。电源电压规格通常采用 $\pm X V$ 的形式表示，但实际上也可表示为 $2X V$ 。重要的是，共模和输出范围与电源有关。这一信息可以表格或图表形式提供。

通常，数据手册会建议运算放大器在一定电源电压范围内（如 $+3V$ 至 $\pm 16.5V$ ）工作，还会列出几个电源值时的参数，以使用户进行推算。如果最低电源电压很高，通常是由于器件采用了需要阈值电压进行工作的结构（如齐纳二极管）。

数据手册还会提供功耗。任何流入某一电源引脚的电流都会从另一个引脚或输出端流出。当输出处于开路状态时，功耗很容易通过电源电压和电流计算得出。当电流流入负载时，总功耗最容易计算（记住，如果负载沿中间轨接地，则负载电流是从电源流向地，而不是在电源之间流动），只需减去负载功耗就能得出器件功耗。数据手册通常会列出详细的热阻数据，以及最大结温额定值，通过这些已知条件可以计算出功耗限值。

电源与去耦

运算放大器 PSRR 与频率有关，因此其电源必须充分去耦。低频时，如果几个器件的 PC 走线距离都不超过 10 厘米，这些器件就可以在电源上共用一个 10 至 $50\mu F$ 电容。

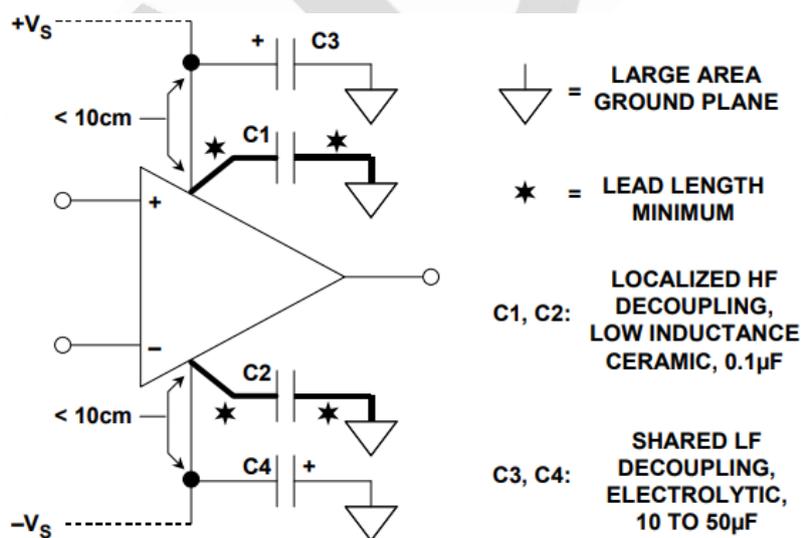


图 3: 运算放大器适用的低频与高频去耦技术

高频时，每个 IC 的电源引脚都应采用具有短引线/PC 走线、约 $0.1\mu\text{F}$ 的低电感电容进行去耦处理。这些电容还必须为运算放大器负载中的高频电流提供回路。上图 3 所示为典型的去耦电路。

运算放大器输入和输出共模与差分电压范围

输入与输出电压范围

关于实际运算放大器的容许输入和输出电压范围，有一些实际的基本问题需要考虑。显然，这不仅会根据具体器件而变化，还会根据电源电压而变化。我们可以通过器件选型来优化该性能点，首先要考虑较为基础的问题。

任何实际运算放大器输入和输出端的工作电压范围都是有限的。现代系统设计中，电源电压在不断下降，对运算放大器之类的模拟电路而言， 3V 至 5V 的总电源电压现在已十分常见。这一数值和过去的电源系统电压相差甚远，当时通常为 $\pm 15\text{V}$ （共 30V ）。

由于电压降低，必须了解输入和输出电压范围的限制——尤其是在运算放大器选择过程中。

输出共模电压范围

下图 1 大致显示了运算放大器输入和输出动态范围的限制，与两个供电轨有关。任何运算放大器都由两个电源电位供电，用正供电轨 $+V_S$ 和负供电轨 $-V_S$ 表示。运算放大器的输入和输出共模范围根据与两个供电轨电压限值的接近程度来定义。

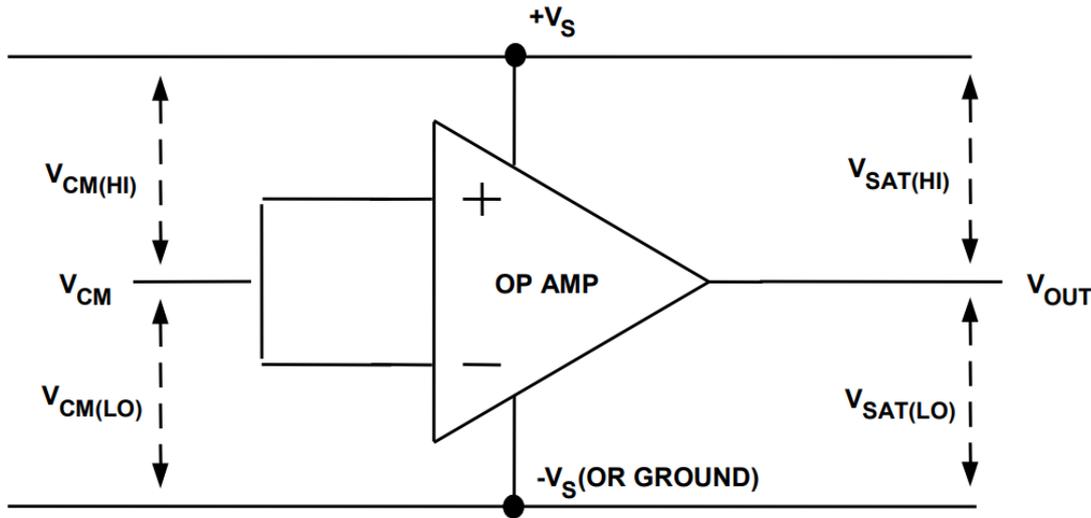


图 1: 运算放大器输入和输出共模范围

在输出端， V_{OUT} 有两个供电轨相关限制，即高电平（接近 $+V_S$ ）和低电平（接近 $-V_S$ ）。高电平时，范围可达饱和上限 $V_S - V_{SAT(HI)}$ （最大正值）。例如，如果 $+V_S$ 为 5V， $V_{SAT(HI)}$ 为 100mV，则 V_{OUT} 上限（最大正值）为 4.9V。同样，低电平时，范围可达饱和下限 $-V_S + V_{SAT(LO)}$ 。因此，如果 $-V_S$ 为接地(0V)， $V_{SAT(LO)}$ 为 50mV，则 V_{OUT} 下限为 50mV。

显然，给定运算放大器的内部设计会影响该输出共模动态范围，必要时，器件本身的设计应当最大程度地减小 $V_{SAT(HI)}$ 和 $V_{SAT(LO)}$ ，以便实现最大输出动态范围。某些类型的运算放大器就采用了这样的设计，这些放大器通常采用单电源系统专用的设计。欲了解更多详情，请参考章《运算放大器输入、输出、单电源和轨到轨问题》。

输入共模电压范围

在输入端，适用于 V_{IN} 的共模范围也有两个供电轨相关限制，即高电平（接近 $+V_S$ ）和低电平（接近 $-V_S$ ）。高电平时，范围可达共模上限 $+V_S - V_{CM(HI)}$ （最大正值）。仍以 $+V_S=5V$ 为例，如果 $V_{CM(HI)}$ 为 1V，则 V_{IN} 上限（最大共模正值）为 $+V_S - V_{CM(HI)}$ 或 4V。

下图 2 所示为采用假设运算放大器数据时确定 $V_{CM(HI)}$ 的方法，如上方曲线所示。该运算放大器会在低于图中所示曲线的 V_{CM} 输入下工作。

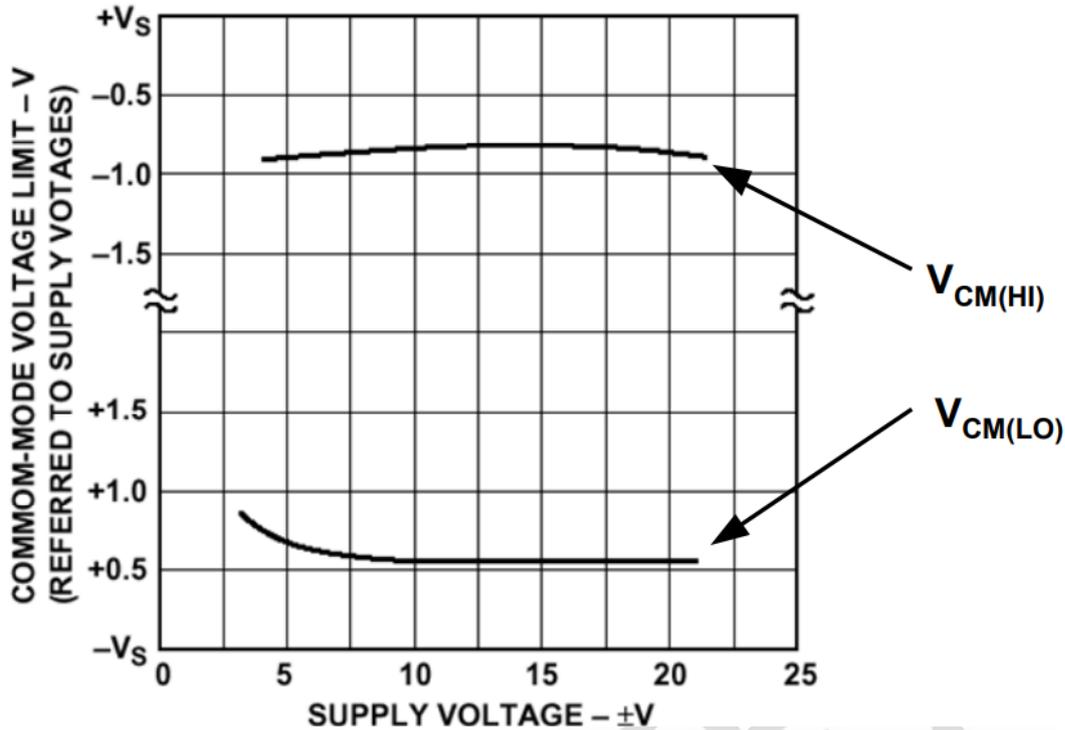


图 2：运算放大器输出共模范围图示

在实际操作中，实际运算放大器的输入共模范围通常规定为电压范围，不必以 $+V_S$ 或 $-V_S$ 为参考。例如，典型的 $\pm 15V$ 工作双电源运算放大器的额定共模工作范围为 $\pm 13V$ 。低电平时，同样也存在共模下限。通常用 $-V_S + V_{CM(LO)}$ 来表示，图 2 中所示为下方 $V_{CM(LO)}$ 曲线。如果该器件也是采用 $\pm 15V$ 电源电压，就可以代表典型性能。

以单电源为例， $-V_S = 0V$ 的情况下，如果 $V_{CM(LO)}$ 为 $100mV$ ，则共模下限为 $0V + 0.1V$ （即 $0.1V$ ）。本例显示的共模下限在 $100mV$ 的 $-V_S$ 范围之内，实际上更适合表示具有共模下限或上限（包括供电轨）的单电源器件。

换言之， $V_{CM(LO)}$ 或 $V_{CM(HI)}$ 为 $0V$ 。还有包括两个供电轨、具有共模范围的双电源器件。然而，单电源器件往往无法提供图形数据（例如图 2 所示的共模限值）但是会通过表格形式的额定电压范围来说明性能。

运算放大器差分输入电压范围

在正常工作模式下，运算放大器连接至反馈环路，因此，差分输入电压保持在 $0V$ （忽

略失调电压)。但在某些情况下(例如上电),运算放大器可能会受到不等于 0 的差分输入电压影响。某些输入结构需要限制差分输入电压来防止其受损。这些运算放大器的输入通常还具有内部背靠背二极管,放大器的简化原理图中不一定会显示这些,但是会显示 $\pm 700\text{mV}$ (最大值)的差分输入电压规格。

此外,图中还显示最大输入差分电流规格。有些放大器内置限流电阻,但这些电阻会提高噪声,因此在低噪声运算放大器中不予使用。

关于输入过压和保护的一般问题请参考章节《运算放大器输出相位反转和输入过压保护》。

输出电流与输出短路电流大多数通用运算放大器都有输出级,提供对地或对任一电源的短路保护。这通常称为无限短路保护,因为放大器可以无限地将该电流值输入短路电路。应由运算放大器提供的输出电流即为此时的输出电流。通常要设定限制,使运算放大器能够为通用运算放大器提供 10mA 输出电流。

如果运算放大器必须同时具备高精度和大输出电流,建议使用独立输出级(反馈环路内),将精密运算放大器的自发热降至最低。该附加放大器通常称为缓冲器,因为其电压增益通常为 1。

有一些运算放大器能够提供大输出电流。例如 [AD8534](#),这是一种四通道器件,四个部分的输出电流均为 250mA 。注意,如果同时从四个部分输出 250mA 电流,就会超过封装功耗规格,放大器会过热,并且可能会损坏。对低功耗的较小封装而言,这一问题更加严重。

高速运算放大器的输出电流通常不会限制在较低值,因为会影响其压摆率和驱动低阻抗的能力。大多数高速运算放大器的源电流和吸电流都在 50 至 100mA 之间,但也有一些限制在 30mA 以下。即使是具有短路保护的高速运算放大器,温度也可能会超过结温(由于短路电流较高),从而导致器件由于长时间短路而受损。

运算放大器共模抑制比(CMRR)

共模抑制比(CMRR)

如果信号均等施加至运算放大器的两个输入端，使差分输入电压不受影响，则输出也不应受影响。实际上，共模电压的变化会引起输出变化。运算放大器共模抑制比(CMRR)是指共模增益与差模增益的比值。例如，如果 Y V 的差分输入电压变化产生 1V 的输出变化， X V 的共模电压变化同样产生 1V 的变化，则 CMRR 为 X/Y 。共模抑制比以 dB 表示时，通常指共模抑制(CMR)——注意，半导体行业对使用 dB 还是比值来表示 CMR 或 CMRR 很少有统一说法。

典型的低频 CMR 值为 70dB 至 120dB，但在高频时 CMR 会变差。除了 CMRR 数值范围外，许多运算放大器数据手册还提供 CMR 与频率的关系图表，如图 1 所示 [OP177](#) 精密运算放大器的 CMRR。

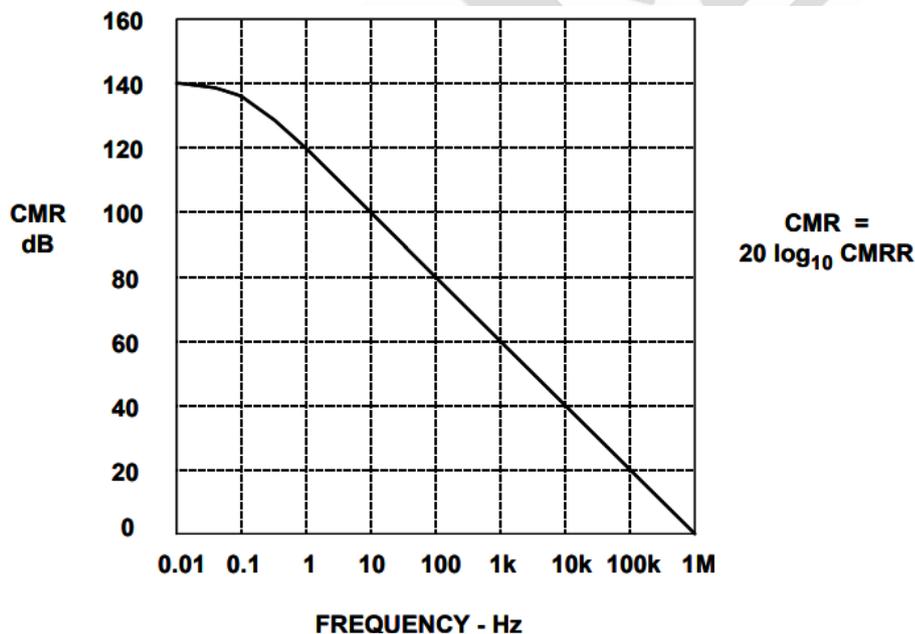


图 1: [OP177](#) 的 CMRR

在采用同相模式配置的运算放大器中，CMRR 会产生相应的输出失调电压误差，如图 2 所示。注意，反相模式工作的运算放大器 CMRR 误差较小。因为两个输入端都接地（或

虚地)，所以不存在共模动态电压。

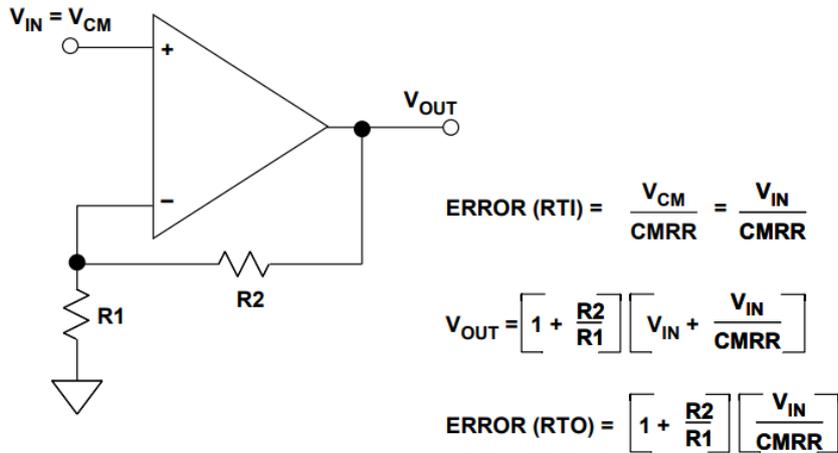


图 2：计算由共模抑制比(CMRR)造成的失调误差

测量共模抑制比

共模抑制比可以通过多种方式来测量，下图 3 所示的方法采用四个精密电阻将运算放大器配置成差分放大器，信号施加于两个输入端，从而测量输出变化——具有无限 CMRR 的放大器不会产生输出变化。该电路的固有缺点是电阻的比率匹配和运算放大器的 CMRR 一样重要。无论运算放大器多么出色，电阻对之间 0.1% 的不匹配就会导致 CMR 仅为 66dB！由于大多数运算放大器的低频 CMR 介于 80dB 和 120dB 之间，显然，该电路只能勉强用于测量 CMRR（尽管该测试非常适合测量电阻的匹配情况！）

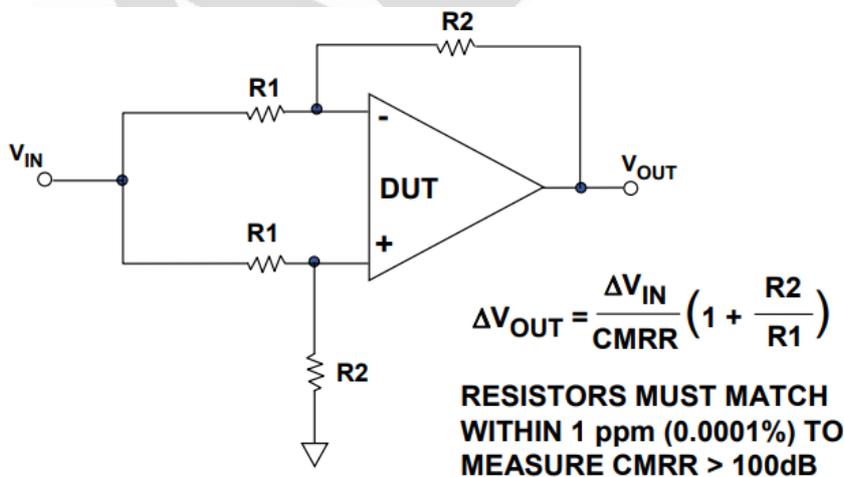


图 3：简单的共模抑制比(CMRR)测试电路

下图 4 所示的电路稍显复杂，无需电阻精确匹配即可测量 CMRR。该电路中，共模电压可以通过切换电源电压来改变。（该电路便于在测试机构中实施，采用不同电源电压连接的同样电路可用于测量电源抑制比）。

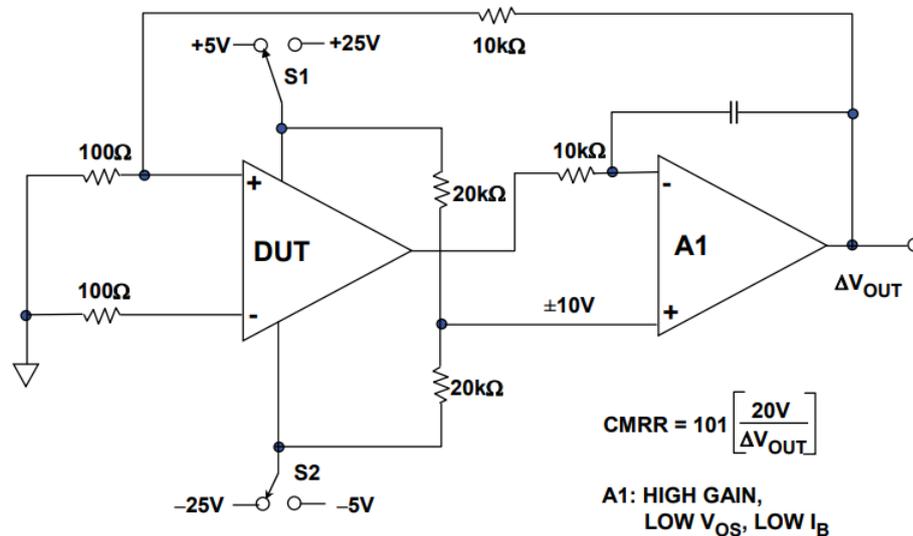


图 4：无需精密电阻的 CMRR 测试电路

该电路中所示的电源电压值适用于±15V DUT 运算放大器，共模电压范围为±10V。也可通过适当改变电压来适应其它电源和共模电压范围。集成放大器 A1 应具有高增益、低 V_{OS} 和低 I_B ，如 [OP97](#) 系列器件。

运算放大器输入、输出、单电源和轨到轨问题

单电源运算放大器问题

由于市场需求，单电源供电已成为一项日益重要的要求。汽车、机顶盒、照相机/摄像机、PC 和笔记本电脑应用要求 IC 供应商提供各种采用单电源轨供电，而性能则与双电源器件相同的线性器件。功耗现已成为线路或电池供电系统的关键参数，某些情况下甚至比成本还重要。因此，器件以低电压/低电源电流工作至关重要。与此同时，精度和精密性要求则迫使 IC 制造商要在放大器设计中做到“事半功倍”。

在单电源应用中，对放大器性能的最直接影响是输入和输出信号范围缩小。由于输入和

输出信号的偏移度更小，放大器电路对内部和外部误差源变得更敏感。在 12 位、10V 满量程系统中，精密放大器的 0.1mV 失调电压引起的误差小于 0.04LSB。但在单电源系统中，“轨到轨”精密放大器的 1mV 失调电压则代表 5V 满量程系统中的 0.8LSB 误差（或 2.5V 满量程系统中的 1.6LSB 误差）。

在某些低压单电源器件中，增益精度也会降低，因此需要仔细考虑器件选型。许多具有 120dB 左右开环增益的放大器通常都采用双电源供电，如 [OP07](#) 型等。然而，许多用于精密应用的单电源/轨到轨放大器在轻负载(>10kΩ)下通常具有 25,000 至 30,000 的开环增益。某些器件，比如 [OP113/OP213/OP413](#) 系列，确实具有高开环增益(>120dB)，适用于要求苛刻的应用。另一个例子是 [AD855x](#) 系列斩波稳定运算放大器。

除了这些限制以外，还有许多其它在双电源放大器中不是大问题的设计考虑，现在却变得很重要。例如，信噪比(SNR)性能由于信号摆幅缩小而降低。“接地基准”不再是一个简单的选择，因为一个基准电压可能只适用于某些器件，而不适用于其它器件。放大器电压噪声随着工作电流的降低而提高，带宽降低。在单电源、低功耗应用中，要利用选择相对有限的放大器实现足够的带宽和所需的精度，对系统设计来说是一个巨大的挑战。

大多数电路设计人员视“地”基准为理所当然。许多模拟电路以地基准为中心缩放输入和输出范围。在双电源应用中，将电源电压一分为二的基准电压(0V)是非常方便的，这样将使各个方向上的电源裕量相等，而且 0V 一般是低阻抗接地层的电压。然而，在单电源/轨到轨电路中，由于没有标准可依，接地基准可以在电路的电源范围内任意选择。接地基准的选择取决于待处理信号的类型和放大器特性。例如，选择负电源轨作为接地基准，可以优化输出要摆动到 0V 的运算放大器动态范围。另一方面，信号可能需要进行电平转换，以便兼容其它不是采用 0V 输入工作的器件（如 ADC 等）的输入。

为了保持低电源电压应用的宽动态范围，也需要轨到轨放大器输出级。单电源/轨到轨放大器的输出电压摆幅应在任一电源轨的至少 100mV 范围内（标称负载下）。输出电压摆幅与输出级拓扑结构和负载电流密切相关。图 1 列出了单电源运算放大器的设计问题。

- ◆ **Single Supply Offers:**
 - Lower Power
 - Battery Operated Portable Equipment
 - Requires Only One Voltage

- ◆ **Design Tradeoffs:**
 - Reduced Signal Swing Increases Sensitivity to Errors Caused by Offset Voltage, Bias Current, Finite Open-Loop Gain, Noise, etc.
 - Must Usually Share Noisy Digital Supply
 - Rail-to-Rail Input and Output Needed to Increase Signal Swing
 - Precision Less than the best Dual Supply Op Amps but not Required for All Applications
 - Many Op Amps Specified for Single Supply, but do not have Rail-to-Rail Inputs or Outputs

图 1: 单电源运算放大器设计问题

运算放大器输入级

为了正确设计所需的接口，了解运算放大器的输入和输出结构非常重要。为便于讨论，可以将输入级和输出级分别加以研究，因为目前还没有必要考虑二者的关系。

双极性输入级

图 2 所示为常见的基本双极性输入级，它包括一个“长尾”双极性晶体管对。它有许多优势：结构简单，失调电压非常低，反相和同相输入端的偏置电流匹配良好且不随温度而发生较大变化。此外，通过激光调整降低双极性运放的初始失调电压也能使其温漂最小化。这种架构曾用于非常早期的单芯片运算放大器，也运用于现代高速运算放大器。图中显示为 NPN 双极性晶体管，但其原理同样适用于 PNP 双极性晶体管。

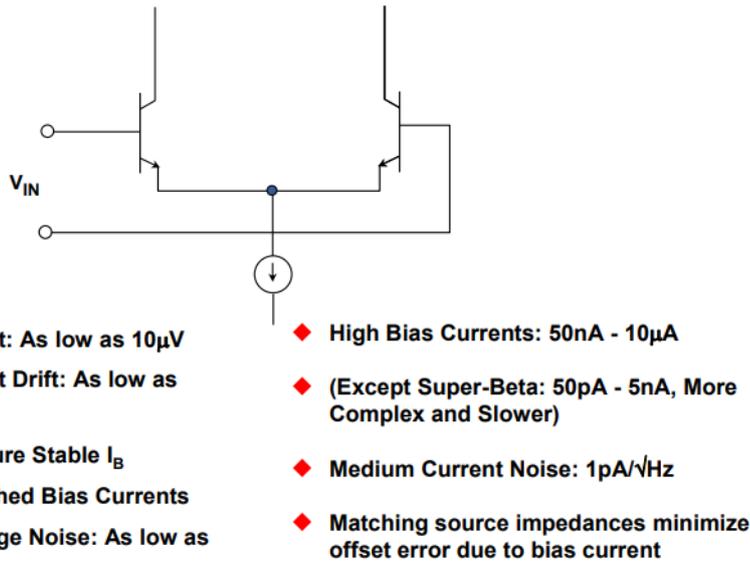


图 2: 双极性晶体管输入级

偏置电流补偿双极性输入级

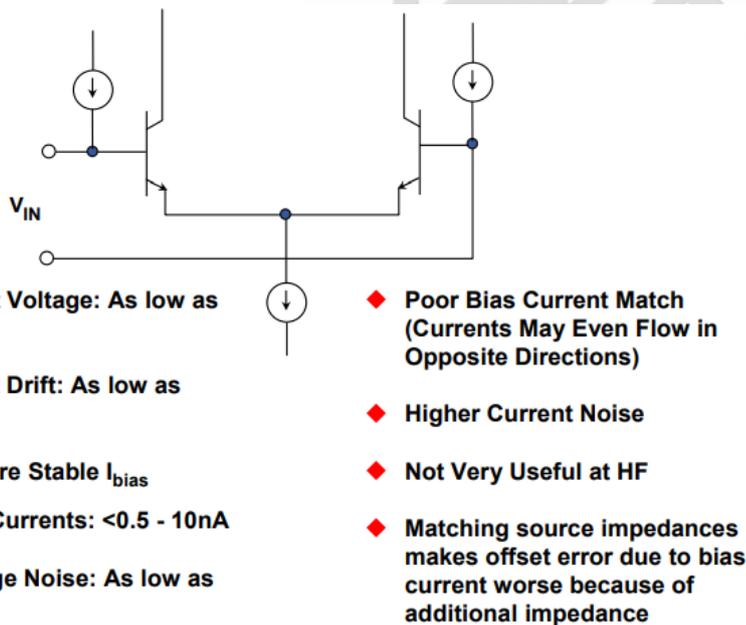


图 3: 偏置电流补偿双极性输入级

简单的双极性输入级（例如图 2 所示）会表现出高偏置电流，因为外部看到的电流事实上是两个输入晶体管的基极电流。如果通过内部电流源提供该必要的偏置电流，如图 3 所示，那么基极电流与电流源之间的差分电流将是流入输入端的唯一“外部”电流，它

可能相当小。

多数现代精密运算放大器都会采用某种方式的内部偏置电流补偿，大家熟悉的 [OP07](#) 和 [OP27](#) 系列就是如此。

偏置电流补偿输入级具有简单双极性输入级的许多优良特性，例如：低电压噪声、低失调电压和低漂移。此外，它还提供具有良好温度稳定性的低偏置电流。但是，其电流噪声特性不是非常好，而且偏置电流匹配较差。

后两个副作用源于外部偏置电流，它是补偿电流源与输入晶体管基极电流的“差值”。这两个电流不可避免地具有噪声。由于两者不相关，两个噪声以和的平方根形式相加（即使直流电流是相减的）。所产生的外部偏置电流为两个近乎相等的电流之差，因此净电流的极性是不确定的。所以，偏置补偿运算放大器的偏置电流可能既不匹配，而且有可能方向相反。

许多情况下，运算放大器的数据手册中没有提到偏置电流补偿特性，而且不会提供原理示意图。通过检查偏置电流规格，很容易确定是否采用了偏置电流补偿。如果偏置电流用“±”值表示，则运算放大器非常有可能对偏置电流进行了补偿。

注意，通过检查“失调电流”规格（偏置电流之差），很容易验证这一点。如果存在内部偏置电流补偿，则失调电流的幅度与偏置电流相同。如果没有偏置电流补偿，则失调电流一般比偏置电流至少低 10 倍。注意，无论偏置电流的确切幅度是多少，上述关系一般都成立。

偏置电流对运放输出失调电压的影响常常可以通过如下方法来消除：使两个输入端的源电阻相等。但有一点需要注意：这种做法仅对无偏置电流补偿，即输入电流匹配良好的双极性输入运算放大器有效。如果运算放大器采用内部偏置电流补偿，则向任一输入端增加额外电阻都会使输出失调变得更差！

FET 输入级

场效应晶体管(FET)具有远高于双极性结型晶体管(BJT)的输入阻抗，似乎是运算放大器输入级的理想器件。然而，并不是所有双极性 IC 工艺都能制造 FET，即使某种工艺能够制造 FET，其本身往往也会有一些问题。

FET 具有高输入阻抗、低偏置电流和良好的高频性能（在运算放大器应用中，FET 器件的较低 g_m 支持更高的尾电流，从而提高最大压摆率）。FET 的电流噪声也低得多。

另一方面，FET 长尾对的输入失调电压不如 BJT 那么好，而且用于降低失调电压的调整功能不能同时降低漂移，漂移需要单独进行调整。因此，虽然 JFET 运算放大器具有良好的失调和漂移特性，但比不上比较好的 BJT 器件。

可以将 JFET 运算放大器的电压噪声降到非常低的程度，但涉及的器件非常大，并且具有相当高的输入电容，它随输入电压而变化，因此需要权衡电压噪声与输入电容。

FET 运算放大器的偏置电流是栅极扩散层的漏电流（或栅极保护二极管的漏电流，其特性与 MOSFET 相似）。芯片温度每升高 10°C ，该漏电流就会提高一倍。因此，FET 运算放大器在 125°C 时的偏置电流比 25°C 时高 1000 倍。显然，在双极性和 FET 输入运算放大器之间进行选择时，这是一个重要考虑因素，特别是在高温应用中，双极性运算放大器的输入偏置电流实际上会降低。

到目前为止，我们从一般意义上谈到了所有类型的 FET，包括结型(JFET)和 MOS 型(MOSFET)。实践中，双极性/JFET 组合技术运算放大器（即 BiFET）的性能优于仅使用 MOSFET 或 CMOS 技术的运算放大器。虽然 ADI 和其它公司采用 MOS 或 CMOS 输入级制造高性能运算放大器，但一般而言，这些运算放大器的失调和漂移、电压噪声、高频性能不如精密双极性器件。功耗通常略低于性能相当甚至更好的双极性运算放大器。

JFET 器件需要的裕量高于 BJT 器件，因为 JFET 的夹断电压通常大于 BJT 基极-射极电压。相应地，JFET 器件更难于采用非常低的电源电压(1-2V)工作。在这方面，CMOS

具有优势，所需的裕量低于 JFET。

轨到轨输入级

如今，要求运算放大器的输入共模电压包括两个电源轨，即轨到轨共模工作，已变得非常普遍。虽然这种特性在某些应用中无疑很有用，但工程师应认识到，在为数很少的应用中，这种特性是绝对不可缺少的。应将这些应用与许多其它应用区别开来，后者例如：共模范围接近电源的应用，或者包括一个电源是必需的，但并不需要真正的输入轨到轨。

许多单电源应用要求输入共模电压范围扩展到一个电源轨（通常为地）。高端或低端电流检测应用就是这样的例子。许多放大器可以处理 0V 共模输入，这可以利用 PNP（或 PMOS）差分对（或 N 沟道 JFET 对）轻松实现，如图 4 所示。这种运算放大器的输入共模范围一般是从负电源轨（ $-V_S$ 或地）以下约 200mV 到正电源轨（ $+V_S$ ）的大约 1-2V 范围内。

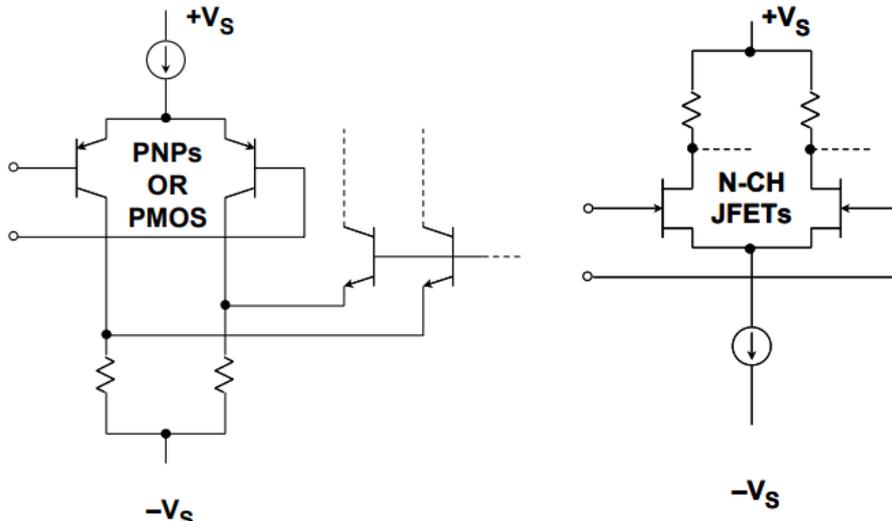


图 4：PNP/PMOS 或 N 沟道 JFET 级支持共模输入扩展到负电源轨

输入级也可以采用 NPN（或 NMOS）晶体管（或 P 沟道 JFET）设计，这种情况下，输入共模范围将包括正电源轨，并进入负电源轨的约 1-2V 范围内。这种要求通常出现在高端电流检测等应用中。[OP282/OP482](#) 输入级采用 N 沟道 JFET 输入对，其输入共模范围包括正电源轨，因而适合高端检测应用。

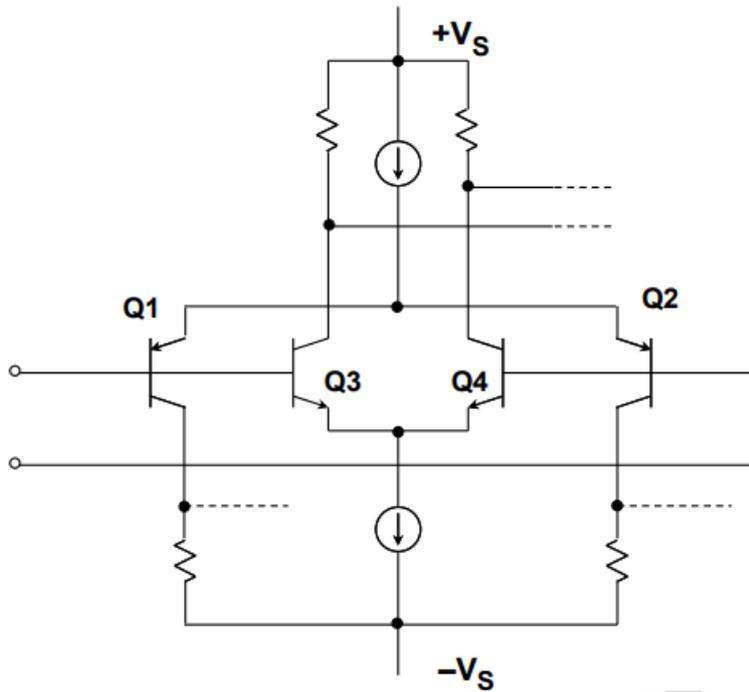


图 5：真正轨到轨双极性晶体管输入级

图 6 为真正轨到轨输入级的示意图。注意：需要使用两个长尾对，一个是 PNP 双极性晶体管 Q1-Q2，另一个是 NPN 晶体管 Q3-Q4。利用 CMOS 对也可以构建类似的输入级。

应当注意，两个晶体管对具有不同的失调电压和偏置电流，当施加的共模电压改变时，放大器的输入失调电压和输入偏置电流也会改变。事实上，当两个电流源在整个输入共模范围的大部分范围内均保持活动时，放大器输入失调电压等于两个晶体管对的平均失调电压。在某些设计中，电流源在输入共模电压范围内的某点交替关闭，当信号接近负电源时，放大器输入失调电压以 PNP 对失调电压为主；当信号接近正电源时，放大器输入失调电压以 NPN 对失调电压为主。如上所述，真正轨到轨输入级也可以采用 CMOS 晶体管构建，例如 CMOS [AD8531/AD8532/AD8534](#) 运算放大器系列就是如此。

放大器输入偏置电流是晶体管电流增益的函数，同时也是所施加输入共模电压的函数。与大家熟悉的双电源器件相比，这将导致共模抑制(CMR)性能相对较差，并且共模输入阻抗在共模输入电压范围内变化不定。选择轨到轨输入运算放大器时，特别是针对同相配置，应当认真考虑这些特性。输入失调电压、输入偏置电流和 CMR 在部分共模范围

内可能非常好，但在 NPN 与 PNP 器件交替工作区域，这些特性可能非常差。

真正轨到轨放大器的输入级设计必须在输入共模电压范围的某点，从一个差分对过渡到另一个差分对。某些器件的共模交越阈值比正电源低约 1V（信号很少出现在该区域），如 [OP191/OP291/OP491](#) 系列和 [OP279](#) 等。PNP 差分输入级的有效范围从负电源以下约 200mV 到正电源的大约 1V 范围内。在该共模范围内，放大器输入失调电压、输入偏置电流、CMR、输入噪声电压/电流主要由 PNP 差分对的特性决定。但在交越阈值时，放大器输入失调电压变为 NPN/PNP 对的平均失调电压，并且可能快速变化。

此外，如上所述，在大部分输入共模范围内，放大器偏置电流以 PNP 差分对为主；在 NPN 差分对变为有效的交越阈值处，放大器偏置电流改变极性和幅度。

[OP184/OP284/OP484](#) 系列等运算放大器采用轨到轨输入级设计，在整个输入共模电压范围的大部分范围内，NPN 和 PNP 晶体管对均有效。利用这种方法处理偏置时，不存在共模交越阈值。放大器输入失调电压为 NPN 和 PNP 级的平均失调电压，由于输入级电阻经过细致的激光调整，失调电压在整个输入共模范围内平稳地变化。

同样，一丝不苟的输入级电流平衡和输入晶体管设计，使得 [OP184](#) 系列的输入偏置电流在整个共模输入电压范围内平稳变化。例外情况发生在输入范围的极端处，此时由于寄生 PN 结的轻微正偏，放大器失调电压和偏置电流急剧提高。当输入电压在任一电源轨的大约 1V 范围内时，就会发生这种情况。

当两个差分对在整个输入共模范围的大部分范围内均有效时，放大器在共模范围中部的瞬态响应速度更快，双极性输入级快 2 倍，JFET 输入级快 $\sqrt{2}$ 倍，其原因是两个工作输入级的跨导更高。

输入级 g_m 决定放大器的压摆率和单位增益交越频率，因此，在输入共模范围的极端处，当 PNP 级（信号接近正电源轨）或 NPN 级（信号接近负电源轨）被强制切断时，响应速度会略有下降。跨导发生变化时的阈值约在任一电源轨的 1V 范围内，该行为与输入

偏置电流相似。

鉴于真正轨到轨运算放大器输入级有许多怪异之处，应当对确实需要真正轨到轨输入的应用进行仔细评估，并且应确保所选放大器的输入失调电压、输入偏置电流、共模抑制和噪声（电压和电流）是合适的。

输出级

最早期的 IC 运算放大器输出级是带有 NPN 电流源或下拉电阻的 NPN 射极跟随器，如图 6A 所示。显然，趋正信号的压摆率要大于趋负信号的压摆率。

虽然所有现代运算放大器都具有某种形式的推挽输出级，但许多放大器仍然是非对称的，一个方向的压摆率大于另一个方向的压摆率。非对称性往往会给交流信号带来失真，其产生原因一般是所用 IC 工艺的 NPN 晶体管快于 PNP 晶体管。就饱和电压而言，它还可能导致输出离一个电源更近，而离另一个电源更远。

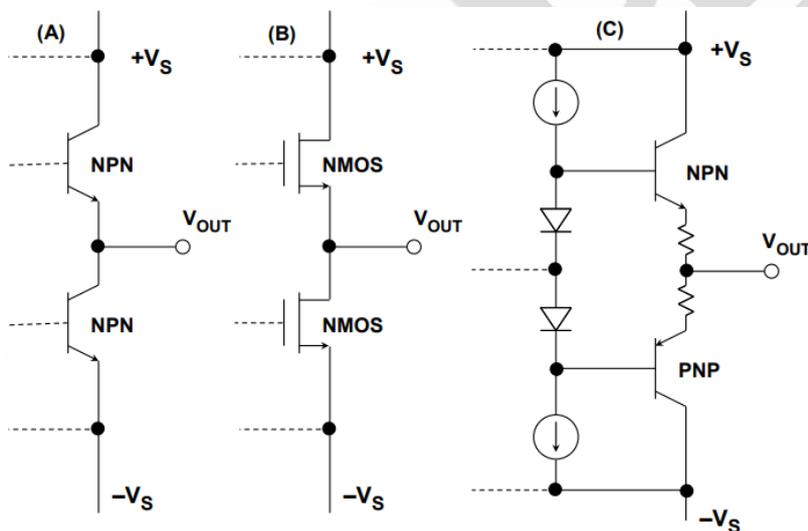


图 6: 某些传统的运算放大器输出级

许多应用要求输出仅向一个电源轨摆动，通常是负电源轨（即单电源系统中的地）。可以利用下拉电阻来使输出趋向负电源轨（前提是负载阻抗足够高，或者也以该电源轨为地），但速度缓慢。用 FET 电流源代替电阻可以加快速度，但会提高设计复杂度，如图 6B 所示。

借助现代互补双极性(CB)工艺，能够轻松获得匹配良好的高速 PNP 和 NPN 晶体管。图 6C 所示的互补射极跟随器输出级具有许多优点，最突出的一个是低输出阻抗。然而，这种输出级的输出电压只能在任一电源轨的一个 V_{BE} 压降范围内摆动。因此，采用+5V 单电源供电时，这种输出级的典型输出摆幅为+1V 至+4V。

利用图 7A 和图 7B 所示的互补共射极/共源极输出级，运算放大器的输出电压摆幅可以更接近电源轨，但这些输出级的开环输出阻抗远高于图 6C 所示的射极跟随器输出级。但在实际应用中，该放大器的高开环增益和所施加的反馈仍然能产生低输出阻抗（特别是在 10Hz 以下的频率时）。对于这类输出级，应当仔细评估存在负载时应用内部的环路增益。通常会给出运算放大器在 10kΩ（或更高）负载电阻下的最小增益。应当注意，应用负载不得低于额定负载，否则增益精度可能会受损。

还应注意，与射极跟随器输出级相比，这种输出级可能会使运算放大器对容性负载更敏感。同样，器件数据手册会说明这一点，并给出不会引起过冲或不稳定现象的最大容性负载。

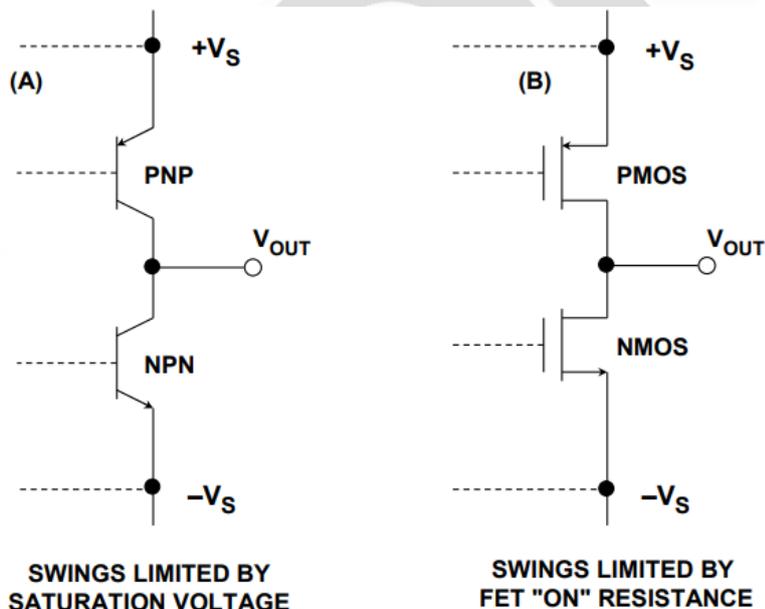


图 7：“近乎”轨到轨的输出结构

使用 BJT 的互补共射极输出级（图 7A）无法完全摆动到电源轨，只能摆动到电源轨的

晶体管饱和电压(V_{CESAT})范围内。对于较小的负载电流 (小于 $100\mu A$)，饱和电压可能低至 5 至 $10mV$ ；但是，对于较高负载电流，饱和电压可能增加至数百毫伏 (比如 $50mA$ 时为 $500mV$)。

另一方面，采用 CMOS FET 构建的输出级 (图 7B) 则可以提供近乎真正轨到轨的性能，但只能在空载条件下。如果运算放大器输出必须流出或吸入相当大的电流，则输出电压摆幅会降低，降幅为 FET 内部导通电阻上的 $I \times R$ 压降。通常而言，精密放大器的导通电阻在 100Ω 左右，但高电流驱动 CMOS 放大器的导通电阻可能小于 10Ω 。

根据以上基本原因，应该明白，根本不存在“真正轨到轨输出级”，因此图 7 的标题是“近乎”轨到轨的输出结构。运算放大器输出级能够做到的最好程度，是在轻负载条件下实现近乎轨到轨的摆幅。

单电源系统的电路设计考虑

许多波形本质上是双极性的，这意味着信号自然地以基准电平为中心摆动，基准电平通常是地。在单电源环境下，这显然不成立，因而必须对信号进行交流耦合。

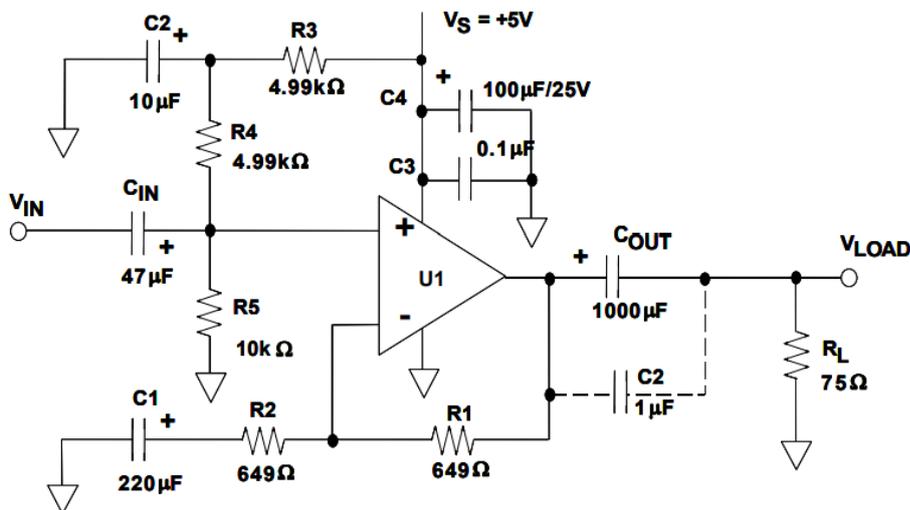


图 8: 单电源偏置

交流耦合是指应用一个高通滤波器，从而在电源电压范围的中心附近建立一个新的基准

电平，如图 8 所示。串联电容会阻隔输入信号的直流成分。转折频率（响应比中频带水平低 3dB 时的频率）由以下器件的值决定：

$$f_C = \frac{1}{2\pi R_{EQ} C}, \quad \text{公式 1}$$

其中：

$$R_{EQ} = \frac{R_4 R_5}{R_4 + R_5}. \quad \text{公式 2}$$

应注意，如有多个部分被交流耦合，则在转折频率时各部分的响应都会降低 3dB。因此，如果有两个部分的转折频率相同，则总响应将降低 6dB，三部分则会降低 9dB，依此类推。为使系统的总响应满足要求，应当考虑这一点。还应注意，从转折频率开始，幅度响应会滚降 10 倍或更多。

任意波形的交流耦合可能会带来直流耦合系统中根本不存在的一些问题，这些问题与波形占空比有关，当信号接近电源轨时尤为严重，就像在交流耦合的低电源电压系统中一样。

在诸如图 8 所示的放大器电路中，输出偏置点等于施加于运放(+)输入端的直流偏置。对于 2V_{p-p} 输出电平的对称 (50% 占空比) 波形，输出信号将围绕偏置点 (标称值 2.5V±1V，使用图 9 给出的值计算) 对称地摆动。然而，如果该脉冲波形的占空比非常高 (或非常低)，则 C_{IN} 和 R₄||R₅ 的交流均值效应将会高移或低移有效峰值电平，具体取决于占空比。这种现象的净效应是降低放大器的工作裕量，如图 9 所示。

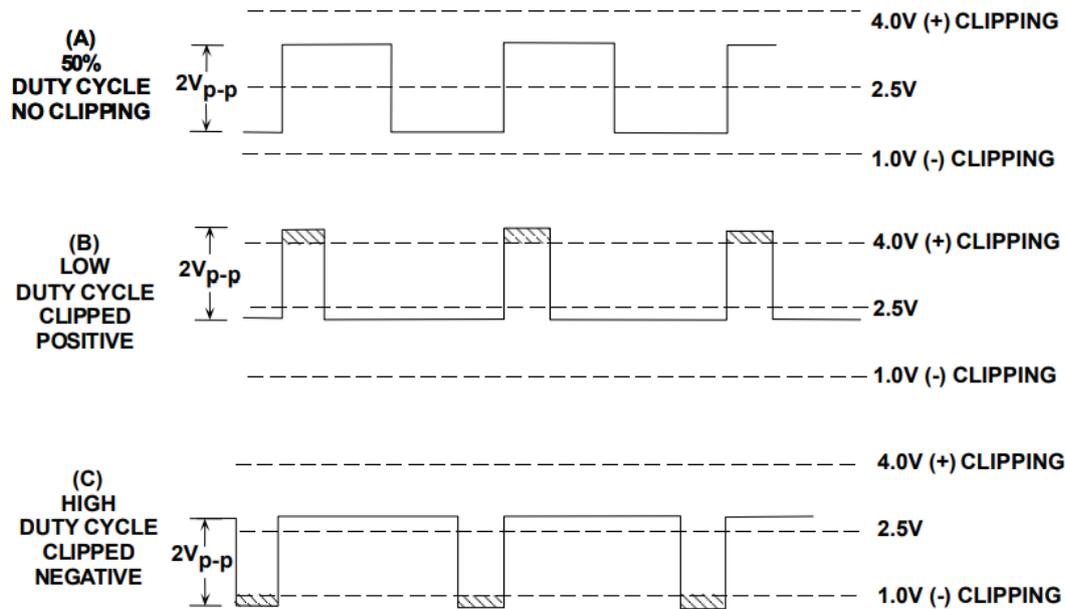


图 9：单电源偏置的裕量问题

图 9(A)所示为一个约 $2V_{p-p}$ 电平的 50% 占空比方波，信号摆幅对称偏置，位于 5V 电源放大器的上下削波点之间。该放大器（例如类似图 8 中的偏置 [AD817](#)）只能摆动到图中标出的受限直流电平，距离任一电源轨均是大约 1V。在示例(B)和(C)中，输入波形的占空比调整到高低两个极端，同时保持相同的峰峰值输入电平。在放大器输出上，可以看到(B)和(C)中的波形分别在负端和正端削波。

运算放大器输出相位反转和输入过压保护

运算放大器输出电压相位反转

本章节讨论两个与运算放大器相关的话题：输出相位反转和输入过压保护。

超过输入共模电压(CM)范围时，某些运算放大器会发生输出电压相位反转问题。其原因通常是运算放大器的一个内部级不再具有足够的偏置电压而关闭，导致输出电压摆动到相反电源轨，直到输入重新回到共模范围内为止。图 1 所示为电压跟随器的输出相位反转情况。注意，输入可能仍然在电源电压轨内，只不过高于或低于规定的共模限值之一。这通常发生在负范围，最常发生相位反转的是 JFET 和/或 BiFET 放大器，但某些双极

性单电源放大器也有可能发生。

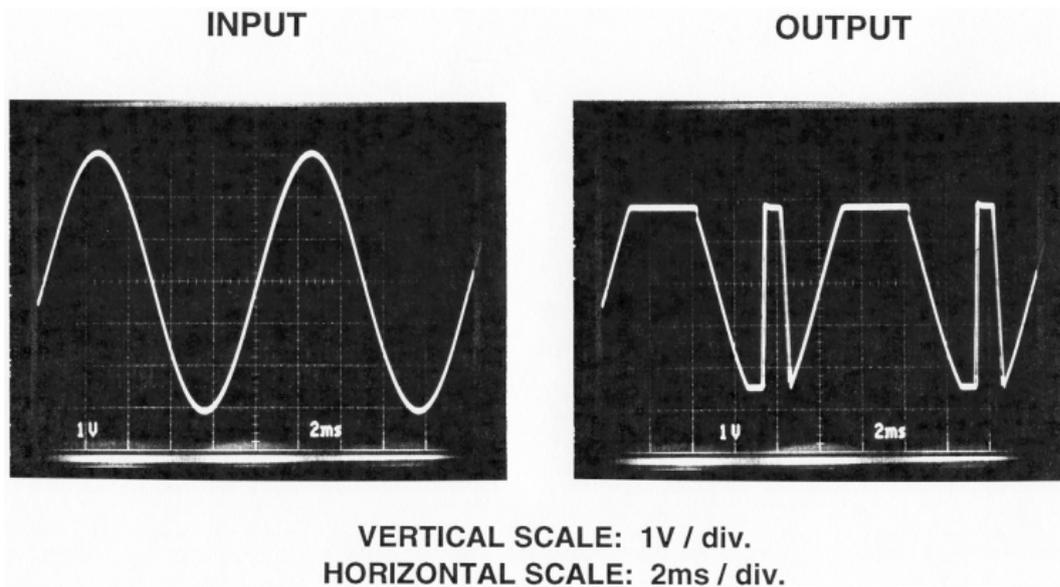


图 1: 电压跟随器的输出电压相位反转

相位反转通常只是暂时现象，但如果运算放大器在伺服环路内，相位反转可能会引起灾难性后果。

运算放大器配置为单位增益电压跟随器时，最有可能发生相位反转。在反相模式下，相位反转不是问题，因为两个输入均恒定不变，并且处于地电位（某些单电源应用中则处于中间电源电压）。

大多数现代运算放大器都会使用电路设计技术来防止相位反转。如果运算放大器能够避免相位反转，其数据手册的“主要特性”部分一般会说明这一点，但“技术规格”部分不一定会说明。

对于“轨到轨”输入运算放大器，输入共模电压包括电源轨，因此，只要输入电压不超过电源轨，运算放大器就不应发生相位反转。

图 2 显示了 [AD8625](#)（四通道）、[AD8626](#)（双通道）和 [AD8627](#)（单通道）运算放大器系列的“主要特性”和绝对最大值规格。这些放大器具有 JFET 输入，采用+5V 单电源供电时，输入共模电压范围为 0V 至+3V（最大值）。“无相位反转”特性意味着：在+3V

至+5V 的共模区间，输出不会发生相位反转。

FEATURES

SC70 package
Very low I_B: 1 pA max
Single-supply operation: 5 V to 26 V
Dual-supply operation: ±2.5 V to ±13 V
Rail-to-rail output
Low supply current: 630 μA/amp typ
Low offset voltage: 500 μV max
Unity gain stable
No phase reversal

ABSOLUTE MAXIMUM RATINGS

Absolute maximum ratings apply at 25°C, unless otherwise noted.

Table 3. Stress Ratings

Parameter	Ratings
Supply Voltage	27 V
Input Voltage	V _{S-} to V _{S+}
Differential Input Voltage	± Supply Voltage
Output Short-Circuit Duration	Indefinite
Storage Temperature Range, R Package	-65°C to +125°C
Operating Temperature Range	-40°C to +85°C
Junction Temperature Range, R Package	-65°C to +150°C
Lead Temperature Range (Soldering, 60 sec)	300°C

图 2: [AD8625/AD8626/AD8627](#) 运算放大器的“主要特性”和绝对最大值规格

某些运算放大器可能仅在输入超过电源轨时出现输出电压相位反转现象。然而，这种情况违反了输入电压的绝对最大值要求，应当避免。如果输入过压情况可能发生，则应增加适当的保护电路。多数情况下，这种保护电路也能起到防止输出电压相位反转的作用，如下文所述

输入过压保护和输出相位反转保护电路绝对最大额定值是 IC 运算放大器的电压、电流和温度限值，一旦超出该值，运算放大器就会受损。通常对输入引脚施加过大的电压会破坏或损毁运算放大器。过压状况可以分为两类：过压和静电放电(ESD)。

ESD 电压通常高达数千伏。大多数人都有被静电电击的体验。在尼龙地毯上拖着脚走，特别是在干燥环境下，并触摸金属门把手，就有可能被电到，火花从指尖飞出。CMOS 电路特别容易因 ESD 损坏，双极性电路同样可能受损。多数运算放大器的输入引脚内置 ESD 保护二极管，以便能够在 PC 板装配阶段处理 IC。为使电容和泄漏最小，这些二极管一般很小，不是用来应付数 mA 以上的持续输入电流。

只要运算放大器的输入共模电压超出其电源范围，即使电源已关闭，运算放大器也可能受损。因此，几乎所有运算放大器的绝对最大输入额定值都将最大输入电压限制在如

下电平：正负电源电压加上大约 0.3V（即 $+V_S+0.3V$ 或 $-V_S-0.3V$ ）。即使规定绝对最大输入电压等于电源电压（如图 2 所示的情况），这一经验法则也仍然适用。

虽然可能存在一些例外，但务必注意：当发生超出电源轨 0.3V 以上的过压状况时，多数 IC 运算放大器需要输入保护。

导致故障的原因并非过压本身，而是过压引起的电流会流入输入引脚。如果输入电流不超过 5mA（经验法则），则不会造成严重破坏。然而，如果输入持续处于过应力状况，偏置电流和失调电压等参数可能会发生变化。因此，过压虽然不一定会损毁运算放大器，但应极力避免。

过压保护措施一般包括在输入引脚与电源之间放置外部二极管，以及增加限流电阻（参见图 3）。二极管通常是肖特基二极管，因为其正向电压较低（通常为 300mV，硅二极管则为 700mV）。应用这些保护器件时必须谨慎。某些二极管可能有严重泄漏，额外的漏电流最终会变成运算放大器的偏置电流。某些二极管可能还有相当大的电容，这可能会限制频率响应，对高速放大器的影响尤为严重。此外，外加限流电阻 R_{LIMIT} 会增加噪声。

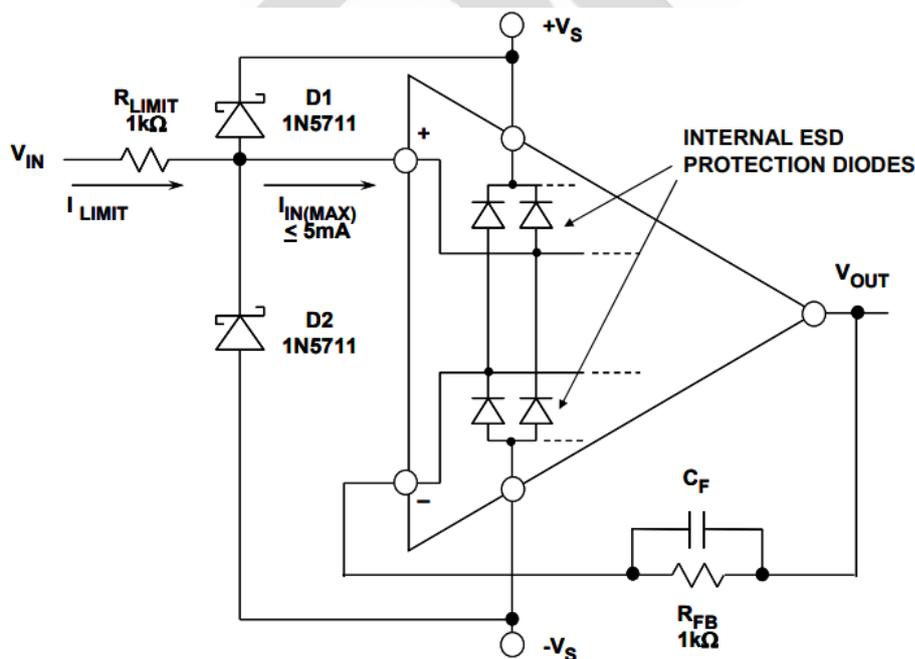


图 3：使用肖特基箝位二极管和限流电阻的通用运放过压保护网络

除非数据手册另有说明，运算放大器的输入故障电流应等于或小于 5mA 以免受损。这是一个保守的经验法则，基于典型运放输入的金属走线宽度。更高的电流会引起“金属迁移”，这是一种累积效应，如果持续发生的话，最终会导致走线开路。如果存在迁移现象，故障可能需要经过很长时间发生多次过压才会显现，这种故障非常难以发现。因此，即使一个放大器似乎能够短时间承受远高于 5mA 的过压电流，也必须将最大电流限制在 5mA（或以下），以确保长期可靠性。

某些运算放大器，如 [OP27](#) 等，内置保护二极管，但仍然需要限流。如果运算放大器具有保护二极管，它通常会规定最大差分输入电流。原理示意图上也应显示该保护电路。某些运算放大器的输入还具有背靠背二极管，这不是用于输入过压保护，而是限制差分电压。如果存在这种二极管，差分输入电压将有 $\pm 700\text{mV}$ 的绝对最大额定值。

图 3 所示电路是一个通用运算放大器共模保护电路。只要元件选择得当，大量运算放大器的输入都能获得有效保护。注意：运算放大器可能还有连接到电源的内部保护二极管（如图所示），当正向电压超出或低于相应电源轨大约 0.6V 时，该二极管就会导通。但在这种情况下，外部肖特基二极管与内部二极管并联，因而内部单元永远不会达到其阈值。将故障电流转移到外部可以消除潜在的应力，从而保护运算放大器。

外部二极管还能带来其它好处，有些可能不太明显。例如，如果允许故障电流流入运算放大器，则必须选择适当的 R_{LIMIT} ，使得在最差情况的 V_{IN} 下，最大电流不超过 5mA。这一要求可能导致 R_{LIMIT} 值相当大，相关的噪声和失调电压增加可能是设计无法接受的。举例来说，为了预防 100V 的 V_{IN} ，根据 5mA 要求， R_{LIMIT} 必须大于或等于 20k Ω 。然而，如果有外部肖特基箝位二极管，则 R_{LIMIT} 可以由最大容许的 D1-D2 电流决定，它可以大于 5mA。不过这里应小心，对于非常高的电流，肖特基二极管压降可能超过 0.6V，从而激活内部运放二极管。

为使失调电压和噪声误差最小，必须使 R_{LIMIT} 的值尽可能低。 R_{LIMIT} 与运算放大器输入端串联，产生一个与偏置电流成比例的压降。如果不校正，此电压将表现为电路失调电压

增加。因此，对于偏置电流中等且大致相等的运算放大器（大部分是双极性类型），补偿电阻 R_{FB} 用于平衡直流失调，使该误差最小。对于低偏置电流运算放大器（ $I_b \leq 10\text{nA}$ 或 FET 型），有可能不需要 R_{FB} 。为使 R_{FB} 相关噪声最小，应利用一个电容 C_F 将其旁路。

消除输出相位反转

许多情况下，增加合适的 R_{LIMIT} 电阻可以防止输出相位反转。然而，许多运算放大器制造商未必始终能够提供适合防止输出相位反转的 R_{LIMIT} 电阻值。不过，可以通过一组测试以经验来确定该值。通常，防止相位反转的 R_{LIMIT} 电阻值也会通过输入共模箝位二极管来安全地限制故障电流。如果不确定，可以从 $1\text{k}\Omega$ 的标称值开始测试。

通常而言，FET 输入运算放大器只需要限流串联电阻来提供保护，但双极性输入放大器最好同时用限流电阻和肖特基二极管来提供保护（如图 3 所示的 R_{LIMIT} 和 D2）。

输入差分保护

到目前为止的讨论都是关于过压共模状况，它通常与输入级结构固有的 PN 结正偏有关。过压保护还有一点也同样重要，那就是过大差分电压引起的过压。将过大差分电压施加于某些运算放大器时，可能导致其工作性能降低。

这种性能降低是由“反向结击穿”引发的，这是输入级导通不良的第二种情况，发生在差分过压状况下。然而，对于 PN 结反向击穿，问题的性质可能更加微妙，图 4 所示为一个运放输入级的一部分。

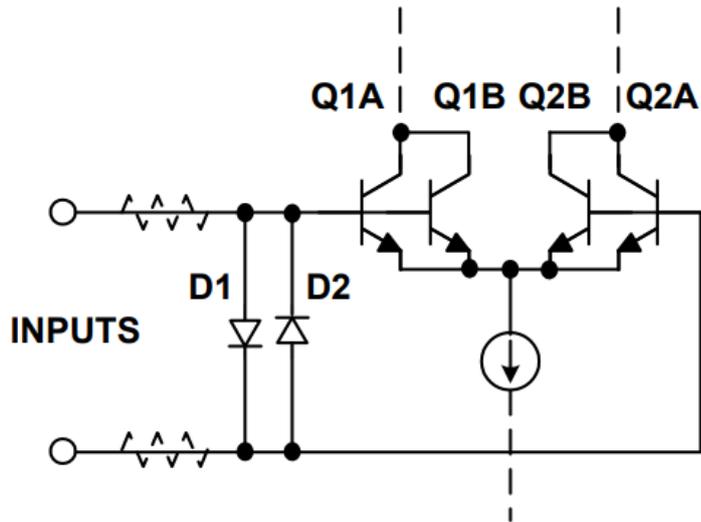


图 4: 具有 D1-D2 输入差分过压保护网络的运算放大器输入级

该电路适用于 [OP27](#) 等低噪声运算放大器，也是许多其它采用低噪声双极性晶体管来构成差分对 Q1-Q2 的放大器的典型保护电路。如果没有任何保护，可以看出，两个输入间高于大约 7V 的电压将导致 Q2 或 Q1（取决于相对极性）反向结击穿。注意，如果是射极-基极击穿，则很小的反向电流也会导致两个晶体管的增益和噪声性能下降。发生射极-基极击穿后，运算放大器参数（如偏置电流和噪声等）可能会超出额定范围。这通常是永久性的，逐渐而微妙地发生，特别是在由瞬变触发的情况下。因此，几乎所有低噪声运算放大器，无论是基于 NPN 还是 PNP，都会采用保护二极管，如输入上的 D1-D2 等。如果施加的电压超过 $\pm 0.6V$ ，这些二极管就会导通，从而保护晶体管。

虚线所示的串联电阻起到限流作用（为保护二极管提供保护），但所有情况下均未使用。例如，[AD797](#) 没有这些电阻，因为它们会降低器件的 $1nV/\sqrt{Hz}$ 额定噪声性能。注意，如果内部缺少这些电阻，则必须提供外部限流措施，以防受差分过压状况影响。显而易见，这里存在一个取舍关系，必须权衡考虑全面保护的程度与噪声性能的降幅。注意，应用电路本身可能已在运算放大器输入中提供足够的电阻，因而不需要额外的电阻。

应用低噪声双极性输入级运算放大器时，首先应检查所选器件的数据手册，看它是否具有内部保护。需要时，应增加保护二极管 D1-D2（如果运算放大器没有内置），确保避

免 Q1-Q2 射极-基极击穿。如果应用中运算放大器经历的差分瞬变高于 5V，这些二极管应能处理。普通的低电容二极管足以胜任，如 1N4148 系列。视需要增加限流电阻，以便将二极管电流限制在安全水平。

其它 IC 器件结，如基极-集电极和 JFET 栅极-源极结等，在击穿时不会表现出这样的性能降低。对于这些结，输入电流应以 5mA 为限，除非数据手册另有规定。

运算放大器和仪表放大器的这些不同过压防范措施看起来很复杂，事实上也的确如此！只要运算放大器（或仪表放大器）输入（和输出）超出设备边界条件，就可能发生危险情况或器件损毁。显然，为了实现最高可靠性，必须防患于未然。

幸运的是，大多数应用都是完全内置于设备中，通常看到的是采用同一电源系统的其它 IC 的输入和输出。因此，这种情况下一般不需要箝位和保护方案。

图 5 总结了过压考虑事项。

- ◆ **INPUT VOLTAGES MUST NOT EXCEED ABSOLUTE MAXIMUM RATINGS**
(Usually Specified With Respect to Supply Voltages)
- ◆ **Requires $V_{IN(CM)}$ Stay Within a Range Extending to $\leq 0.3V$ Beyond Rails**
($-V_S - 0.3V \geq V_{IN} \leq +V_S + 0.3V$)
- ◆ **IC Input Stage Fault Currents *Must* Be Limited**
($\leq 5mA$ Unless Otherwise Specified)
- ◆ **Avoid Reverse-Bias Breakdown in Input Stage Junctions!**
- ◆ **Differential and Common Mode Ratings Often Differ**
- ◆ **No Two Amplifiers are Exactly the Same**
- ◆ **Watch Out for Output Phase-Reversal in JFET and SS Bipolar Op Amps!**
- ◆ **Some ICs Contain *Internal* Input Protection**
 - Diode Voltage Clamps, Current Limiting Resistors (or both)
 - Absolute Maximum Ratings Must Still Be Observed

图 5：电路内过压考虑事项汇总

采用高共模电压仪表放大器的共模过压保护

在精密运算放大器之前进行阻性输入衰减，是模拟通道过压保护的终极简化方案。这一组合相当于一个支持高压的仪表放大器，如 [AD629](#) 等，它能够以线性方式对叠加于最

高±270V 共模电压的差分信号进行处理。此外，过压保护考虑最重要的一点是，片内电阻能够为最高±500V 的共模或差分电压提供保护。所有这些都是通过精密激光调整薄膜电阻阵列和运算放大器实现，如图 6 所示。

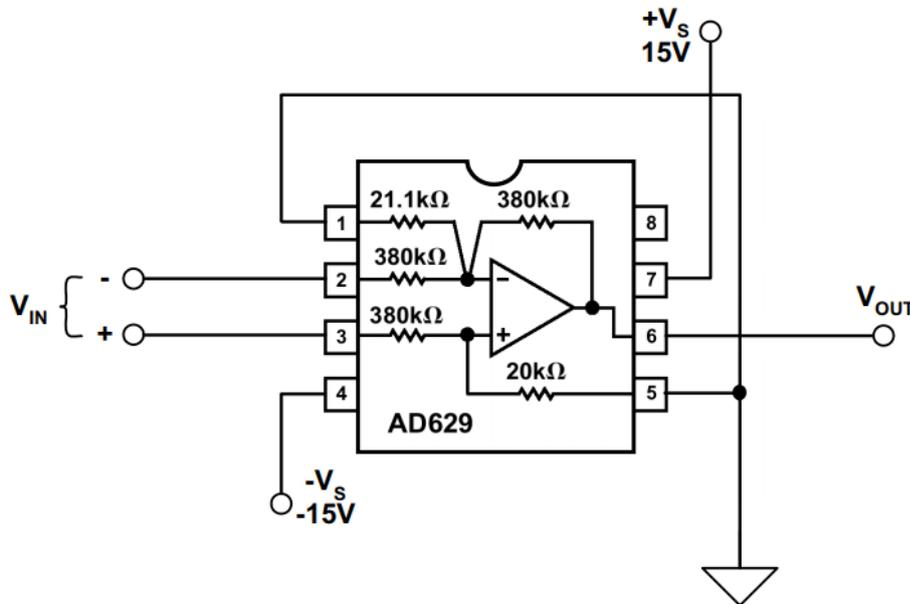


图 6: 高压仪表放大器 IC [AD629](#) 提供±500V 输入过压保护; 仅采用单个器件, 极其简单, 并且实现了防故障关断操作

分析该拓扑结构可知, 精密运算放大器 [AD629](#) 周围的阻性网络充当一个分压器, 将施加于 V_{IN} 的共模电压降低 20 倍。[AD629](#) 同时以单位增益将输入差模信号 V_{IN} 转换成以本地接地为基准的单端输出信号。增益误差不超过±0.03%或±0.05%, 失调电压不超过 0.5mV 或 1mV (取决于器件等级)。[AD629](#) 的电源电压范围是±2.5V 至±18V。

这些因素相结合, 使 [AD629](#) 成为可能经受危险瞬变电压的卡外模拟输入的简便、单器件保护解决方案。由于所用的电阻值相对较大, 因此它本身就能保护器件, 在不加电情况下, 输入电阻也能安全地限制故障电流。此外, 它还提供仪表放大器固有的运作优势: 高 CMR (500Hz 时最小值 86dB)、出色的整体直流精度和灵活、简单的极性变化。

对性能不利的一面是, 与较低增益的仪表放大器配置相比, 如 AMP03 等, 多个因素使得 [AD629](#) 的输出噪声和漂移相对较高, 包括高值电阻的约翰逊噪声和拓扑结构的高噪

声增益 (21 倍)。这些因素与电阻噪声共同提高运算放大器的噪声和漂移, 提高幅度高于典型值。当然, 这个问题是否与具体应用有关, 需要根据具体情况进行评估。

内置过压保护的 [ADA4091-2](#) 运算放大器

[ADA4091-2](#) 是一款双通道、微功耗、单电源、3MHz 带宽放大器, 具有轨到轨输入与输出特性。[ADA4091-2](#) 保证可采用+3V 至+36V 单电源供电以及±1.5V 至±18V 双电源供电。[ADA4091-2](#) 拥有过压保护输入和二极管, 允许输入电压高于或低于供电轨 12V, 非常适合鲁棒的工业应用。

具体应用包括便携式电信设备、电源控制与保护、分流检测, 以及具有宽输出范围的传感器接口。

运算放大器的使用

在电压反馈(VFB)和电流反馈(CFB)运算放大器之间选择

电流反馈和电压反馈具有不同的应用优势。在很多应用中, CFB 和 VFB 的差异并不明显。今的许多高速 CFB 和 VFB 放大器在性能上不相上下, 但各有其优缺点。本章节将考察与这两种拓扑结构相关的重要考虑因素。

CFB 和 VFB 运算放大器的直流及运行考虑因素

VFB 运算放大器

- 对于要求高开环增益、低失调电压和低偏置电流的精密低频应用, VFB 运算放大器是正确的选择。高速双极性输入 VFB 运算放大器的输入失调电压很少进行微调, 因为输入级的失调电压匹配十分出色, 一般为 1 至 3mV, 失调温度系数为 5 至 15 $\mu\text{V}/^\circ\text{C}$ 。在微调后, 可实现低于 20 μV 的输入失调电压。采用自稳零架构的运算放大器可提供低于 5 μV 的失调电压, 但我们在此不予考虑。有关自稳零运算放大器的详情, 请

参阅《斩波稳定（自稳零）精密运算放大器》章节。

- VFB 运算放大器上的输入偏置电流（无输入偏置电流补偿电路）在(+)输入端和(-)输入端大致相等，范围为 1 至 5 μA 。有的 FET 输入运算放大器的输入偏置电流不到 200fA，适用于静电计等应用。（如 [AD549](#)）。
- 因输入偏置电流引起的输出失调电压可以归零，其方法是反相和同相输入端中的有效源电阻相等。这种方法对于偏置电流 VFB 补偿运算放大器无效，因为这类放大器的输入端有额外的电流误差源。在这种情况下，净输入偏置电流不一定相等，也不一定具有相同的极性。
- VFB 运算放大器在反馈网络控制着整体响应的应用中十分有用，比如有源滤波器应用。然而，有些 VFB 运算放大器是经过非完全补偿处理的，使用时必须超过其额定的最低闭环增益。
- VFB 运算放大器的简化模型是大家耳熟能详的，所有模拟电子教材中都有论述。
- VFB 架构适用于那些需要轨到轨输入和输出的低电源电压应用。

CFB 运算放大器

- 另一方面，我们对电流反馈 CFB 运算放大器的了解较少，相关文献也不多。许多设计师选择 VFB 运算放大器，只是因为他们更了解这种放大器。
- CFB 运算放大器的开环增益和精度一般低于精密 VFB 运算放大器。
- CFB 运算放大器的反相和同相输入阻抗不相等，而且 VFB 运算放大器的输入偏置电流一般也是不相等且不相关的，因为(+)输入端和(-)输入端具有完全不同的架构。为此，外部偏置电流取消机制也不起作用。CFB 输入偏置电流的范围为 5 至 15 μA ，在反相输入端一般都较高。
- 由于 CFB 运算放大器一般是针对一个固定的反馈电阻值而优化的，因此，除设置闭

环增益以外，其反馈网络的灵活性显得不足。这使得 CFB 运算放大器不适合多数有源滤波器，Sallen-Key 滤波器除外，因为这种滤波器可以采用合适的固定反馈电阻进行设计。图 1 总结了 VFB 和 CFB 运算放大器的直流及运行考虑因素。

- CFB 架构确实适用于轨到轨输入和输出。
- ◆ **VFB 运算放大器**
 - 高开环增益和直流精度
 - 提供低失调电压 (<20 μV)
 - 提供低偏置电流 (JFET、CMOS 或偏置电流补偿) (<200 fA)
 - 平衡输入阻抗
 - 灵活的反馈网络
 - 提供轨到轨输入和输出
- ◆ **CFB 运算放大器**
 - 较低的开环增益和直流精度
 - 较高的失调电压
 - 反相输入阻抗低，同相输入阻抗高
 - 输入偏置电流不如 VFB 低，并且匹配程度不如 VFB
 - 实现最佳性能需使用固定反馈电阻

图 1: VFB 和 CFB 运算放大器的直流及运行考虑因素

VFB 和 CFB 运算放大器的交流考虑因素

VFB 运算放大器

- VFB 运算放大器的一个显著特点是，它们可在较宽的频率范围内提供恒定的增益带宽积。
- 另外，市场上有高带宽、高压摆率、低失真 VFB 运算放大器，其针对低静态电流采用了“H”桥架构。（请参阅《高速电压反馈运算放大器》章节）
- VFB 运算放大器适用于各类有源滤波器架构，因为其反馈网络非常灵活。

CFB 运算放大器

- CFB 拓扑结构主要用于对高带宽、高压摆率和低失真有极高要求的场合。有关 CFB 运算放大器交流 CFB 特性的详细讨论，请参阅《高速电流反馈运算放大器》章节。
- 对于给定的互补性双极性 IC 工艺，CFB 一般可在相同量的静态电流下产生比 VFB 高的 FPBW（因而具有较低的失真）。这是因为 CFB 几乎不存在压摆率限制。为此，其全功率带宽和小信号带宽大约相同。然而，高速 VFB 运算放大器中使用的“H”桥架构在性能上几乎与 CFB 运算放大器相当。（请参阅《高速电压反馈运算放大器》章节）
- 不同于 VFB 运算放大器，CFB 运算放大器的反相输入阻抗极低。在反相模式下将运算放大器作为 I/V 转换器使用时，这是一种优势，因为其对反相输入电容的敏感度低于 VFB。
- CFB 运算放大器的闭环带宽由内置电容以及外置反馈电阻的值决定，相对而言，是独立于增益设置电阻的（即从反相输入端到地的电阻）。这使得 CFB 运算放大器成为要求增益独立带宽的可编程增益应用的理想选择。
- 由于 CFB 运算放大器必须配合一个固定反馈电阻使用，才能实现高稳定性，因此，在除 Sallen-Key 滤波器以外，它们作为有源滤波器的应用是十分有限的。
- 在 CFB 运算放大器中，其反馈电阻上较小的杂散电容值可能导致不稳定。

- ◆ **VFB运算放大器**
 - 恒定的增益带宽积
 - 提供高压摆率和高带宽
 - 提供低失真版本
 - 灵活的反馈网络
 - 适合有源滤波器
- ◆ **CFB运算放大器**
 - 各种闭环增益下的带宽相对恒定
 - 增益带宽积不恒定
 - 针对特定工艺和功耗提供略高的压摆率和带宽（相比VFB而言）
 - 提供低失真版本
 - 实现最佳性能需使用固定反馈电阻
 - 杂散反馈电容导致不稳定
 - 难以用于非Sallen-Key型有源滤波器
 - 低反相输入阻抗降低I/V转换器应用中的输入电容影响

图 2: VFB 和 CFB 运算放大器的交流考虑因素

VFB 和 CFB 运算放大器的噪声考虑因素

VFB 运算放大器

- 市场上有些精密 VFB 运算放大器的输入电压噪声不到 $1\text{nV}/\sqrt{\text{Hz}}$ 。多数 JFET 或 CMOS 输入 VFB 运算放大器的输入电流噪声低于 $100\text{fA}/\sqrt{\text{Hz}}$ ，有些则低于 $1\text{fA}/\sqrt{\text{Hz}}$ 。然而，总输出噪声不但取决于这些值，同时也取决于闭环增益和反馈电阻的实际值。（请参阅《单极点系统的运算放大器总输出噪声计算》章节）。
- 对于 VFB 运算放大器，反相和同相输入电流噪声一般相等，而且几乎总是不相关。宽带双极性 VFB 运算放大器的典型值范围为 $0.5\text{pA}/\sqrt{\text{Hz}}$ 至 $5\text{pA}/\sqrt{\text{Hz}}$ 。当增加输入偏置电流补偿电路时，双极性输入 P 级的输入电流噪声会提高，因为它们的电流噪声不相关，因而会（以 RSS 方式）增加双极性级的内生电流噪声。然而，偏置电流补偿很少用在高速运算放大器中。

CFB 运算放大器

- CFB 运算放大器中的输入电压噪声一般低于带宽与之近似的运算放大器。其原因在于，运 VFB 算放大器中的输入级一般在较高的电流下工作，从而使发射极电阻下降，结果导致电压噪声降低。CFB 运算放大器的典型值范围为 1 至 $5\text{nV}/\sqrt{\text{Hz}}$ 。
- 然而，CFB 运算放大器的输入电流噪声一般大于 VFB 运算放大器，因为其偏置电流普遍较高。CFB 运算放大器的反相电流噪声和同相电流噪声通常不同，因为它们采用的是独特的输入架构，二者表示为独立的规格参数。多数情况下，反相输入电流噪声是二者中较大者。CFB 运算放大器的典型输入电流范围为 5 至 $40\text{pA}/\sqrt{\text{Hz}}$ 。这往往可能占据主导地位，但在电压噪声占主导地位的超高闭环增益下除外。

计算噪声的方法是写一个简单的电子表格计算程序，以自动进行计算，其中要包括所有噪声源。在章节《单极点系统的运算放大器总输出噪声计算》中讨论的等式可用于该目的。

◆ VFB运算放大器

- 提供低电压噪声 ($< 1\text{nV}/\sqrt{\text{Hz}}$)
- 提供低电流噪声 (JFET和CMOS输入)
- 反相和同相输入电流噪声相等且不相关
- 计算总噪声时必须考虑反馈网络和外部电阻值

◆ CFB运算放大器

- 低电压噪声 (1至 $5\text{nV}/\sqrt{\text{Hz}}$)
- 较高的电流噪声 (5至 $40\text{pA}/\sqrt{\text{Hz}}$) 通常是主要因素
- 计算总噪声时必须考虑反馈网络和外部电阻值

图 3: VFB 和 CFB 运算放大器的噪声考虑因素

总结

对于多数通用或高精度低频、低噪声应用，VFB 运算放大器通常是比较好的选择。VFB 运算放大器也非常适合单电源应用，因为许多此类放大器提供轨到轨输入和输出。

VFB 运算放大器具有极为灵活的反馈网络，因而适用于有源滤波器设计。

CFB 运算放大器具有较好的带宽、压摆率和失真性能，但牺牲的是直流性能、噪声以及使用固定值反馈电阻的要求。CFB 运算放大器在有源滤波器中的应用仅限于 Sallen-Key 等同相配置。

◆ 选择VFB运算放大器可获得下列优点

- 高精度、低噪声、低带宽
- 轨到轨输入和输出
- 反馈网络灵活性
- 有源滤波器

◆ 选择CFB运算放大器可获得下列优点

- 超高带宽、压摆率和极低失真
- 不同增益下的带宽相对恒定
- Sallen-Key有源滤波器

图 4：总结 VFB 与 CFB 运算放大器

补偿输入电容对电流电压转换器所用电压反馈和电流反馈型运算放大器的影响

快速运算放大器可作为电流-电压转换器，在高速光电二极管前置放大器、电流输出 DAC 缓冲器等应用中发挥重要作用。将一个 VFB 运算放大器用作 I/V 转换器的典型应用如图 1 所示。

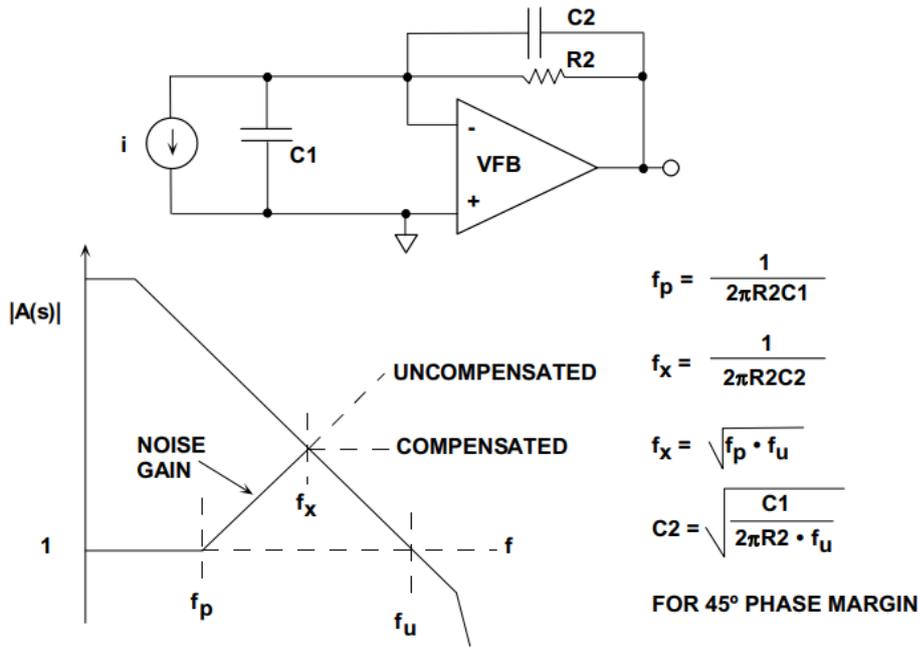


图 1: 补偿使用 VFB 运算放大器的电流-电压转换器中的输入电容

净输入电容 C1 在频率 f_p 下在噪声增益传递函数中形成一个极点，如波特图所示，其计算等式为：

$$f_p = \frac{1}{2\pi R_2 C_1} \quad \text{等式1}$$

如果不予补偿，则在交叉点频率 f_x 下的相移会导致不稳定和振荡。通过添加反馈电容 C2，由此在 f_x 下引入一个零点可以使电路保持稳定，结果产生约 45° 的相位裕量。零点的位置通过以下等式计算：

$$f_x = \frac{1}{2\pi R_2 C_2} \quad \text{等式2}$$

尽管添加 C2 实际上会略微降低极点频率，但如果 $C_2 \ll C_1$ ，则其影响可以忽略不计。频率 f_x 为 f_p 与运算放大器的单位增益带宽频率 f_u 的几何平均数。

$$f_x = \sqrt{f_p \cdot f_u} \quad \text{等式3}$$

结合等式 2 和等式 3 并求出 C2，结果得：

$$C2 = \sqrt{\frac{C1}{2\pi R2 \cdot f_u}} \quad \text{等式4}$$

当 C2 等于该值时，结果将产生大约 45°的相位裕量。将该电容的值提高 2 倍，结果会使相位裕量增至 65°左右。

实际上，可以略微改变 C2 的值，由此通过实验的方式找到其最优值，以优化输出脉冲响应。

可对 CFB 运算放大器进行简单的分析，如下面的图 2 所示。但在本例中，低反相输入阻抗 R₀ 会大幅降低对输入电容的敏感度。事实上，输入阻抗为零的理想 CFB 对任意量的输入电容都是完全不敏感的。

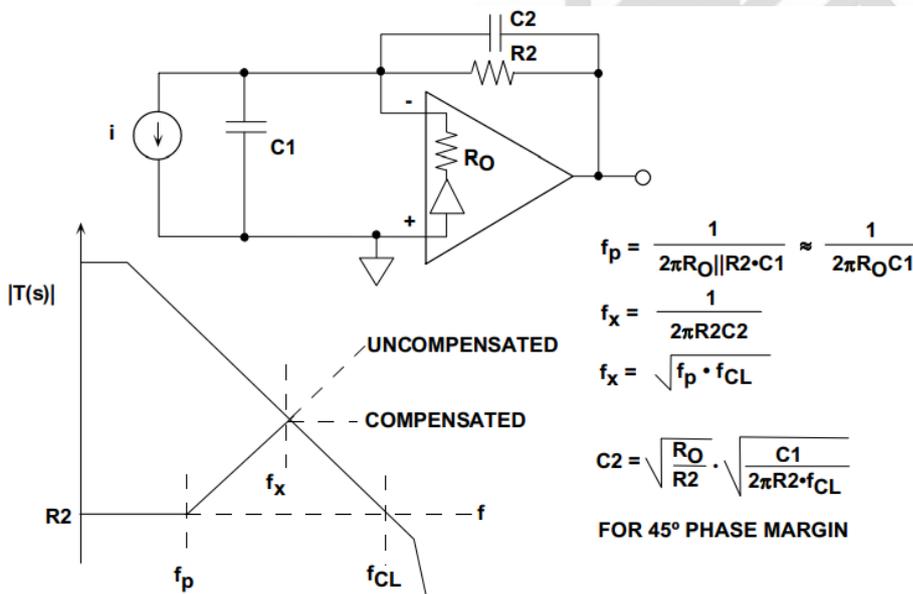


图 2：采用 CFB 运算放大器的电流-电压转换器

C1 导致的极点出现的频率为 f_p：

$$f_p = \frac{1}{2\pi(R_0 \parallel R_2)C_1} \approx \frac{1}{2\pi R_0 C_1} \quad \text{等式5}$$

该极点频率一般比 VFB 运算放大器情况下要高得多，而且如果该极点出现的频率大于运

算放大器的闭环带宽，则完全可以将其忽略。

接下来，我们将插入电容 C2，从而在频率 f_x 下引入一个补偿零：

$$f_x = \frac{1}{2\pi R_2 C_2} \quad \text{等式6}$$

就如 VFB 一样， f_x 为 f_p 和 f_{cl} 的几何平均值：

$$f_x = \sqrt{f_p \cdot f_u} \quad \text{等式7}$$

结合等式 6 和等式 7 并求出 C2，结果得：

$$C_2 = \sqrt{\frac{R_0}{R_2}} \cdot \sqrt{\frac{C_1}{2\pi R_2 \cdot f_{cl}}} \quad \text{等式8}$$

在这种配置下，使用 CFB 运算放大器具有明显的优势，只要将等式 8 与针对 VFB 运算放大器的 C2 的等式 4 进行比较，即可发现这一点。如果 VFB 的单位增益带宽积等于 CFB 的闭环带宽（最好 R_2 下），则 CFB 补偿电容 C2 的大小会减少 $\sqrt{(R_2/R_0)}$ 倍。

实际应用的比较结果如下图 3 所示。DAC 的满量程输出电流为 4mA，运算放大器反相输入端的净电容为 20pF，反馈电阻为 500Ω。在 VFB 运算放大器的情况下，C1 导致的极点出现的频率为 16MHz。对于 45° 的相位裕量，需要一个 5.6pF 的补偿电容，其信号带宽为 57MHz。

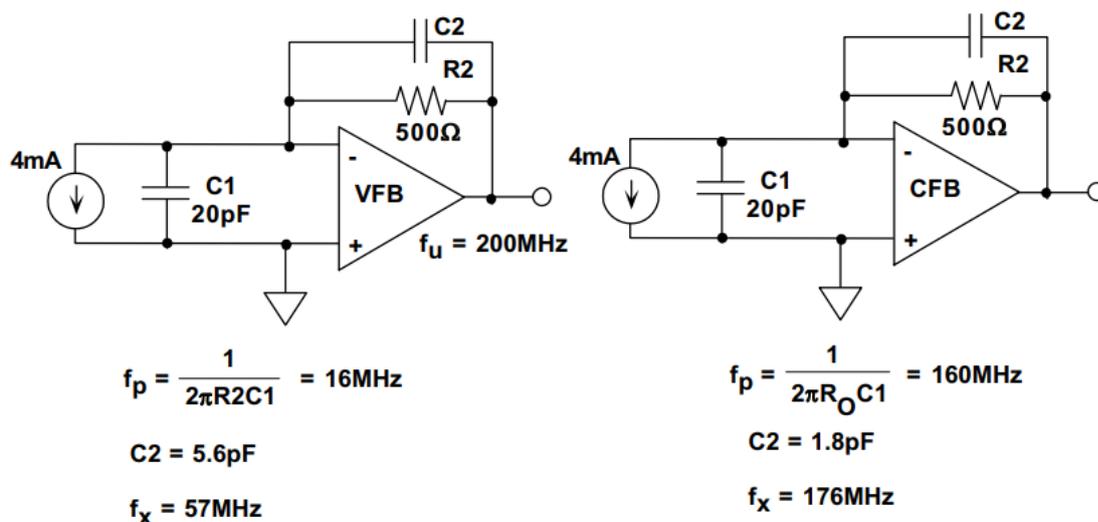


图 3: 用作 I/V 转换器时, CFB 运算放大器对输入电容的敏感度相对较低

但对于 CFB 运算放大器来说, 由于其反相输入阻抗较低($R_O=50\Omega$), 所以, 其极点出现的频率为 160MHz, 所需补偿电容约为 1.8pF, 相应的信号带宽为 176MHz。实际上, 极点频率非常接近运算放大器的闭环带宽, 因此, 很可能得不到补偿。

需要注意的是, CFB 运算放大器对反相输入电容相对不敏感的情况出现在其用于反相模式之时。但在同相模式下, 即使反相输入端只有几皮法的杂散电容, 结果也可能导致显著的增益峰值和潜在不稳定性。

CFB 运算放大器的低反相输入阻抗的另一个优势体现在以下时候: 当其用作 I/V 转换器, 以缓冲高速电流输出 DAC 的输出时。当将一个阶跃函数电流 (或 DAC 开关毛刺) 应用于 VFB 运算放大器的反相输入端时, 结果可能产生一个较大的电压瞬变, 直到信号可以通过运算放大器传播至其输出端并重新获得负反馈时为止。背靠背肖特基二极管通常用于限制该电压摆幅, 如下面的图 4 所示。这些二极管必须是低电容的小尺寸器件, 因为其电容会增加总输入电容。

另一方面, CFB 运算放大器甚至会在反馈环路闭合之前, 给快速开关电流带来低阻抗 (R_O), 从而在无需使用外部二极管的情况下实现对电压偏移的限制。结果会大幅改善 I/V 转换器的建立时间。

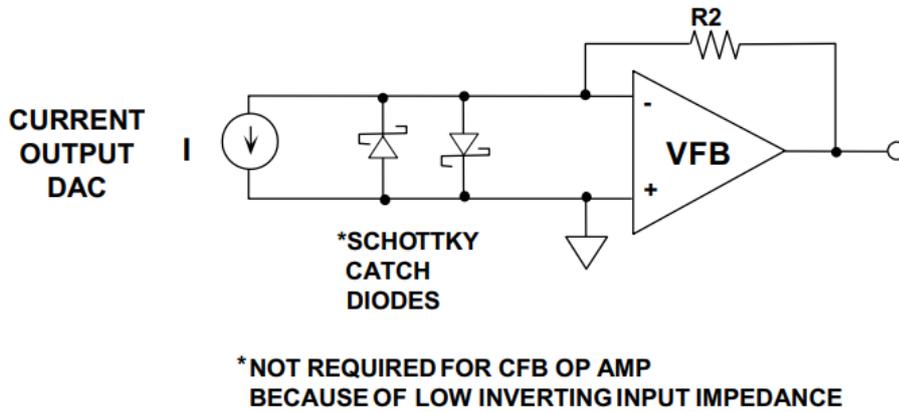


图 4: CFB 运算放大器的低反相输入阻抗有助于降低快速 DAC 瞬变的影响

反馈电容对 VFB 和 CFB 运算放大器的影响

在 VFB 运算放大器的反馈环路中使用一个电容是非常常见的做法,其目的是影响频率响应,就如在简单的单极点低通滤波器中一样,如下面的图 1 所示。结果将噪声增益绘制成了一幅波特图,用于分析稳定性和相位裕量。系统的稳定性取决于噪声增益的净斜率以及开环增益(二者相交时)。

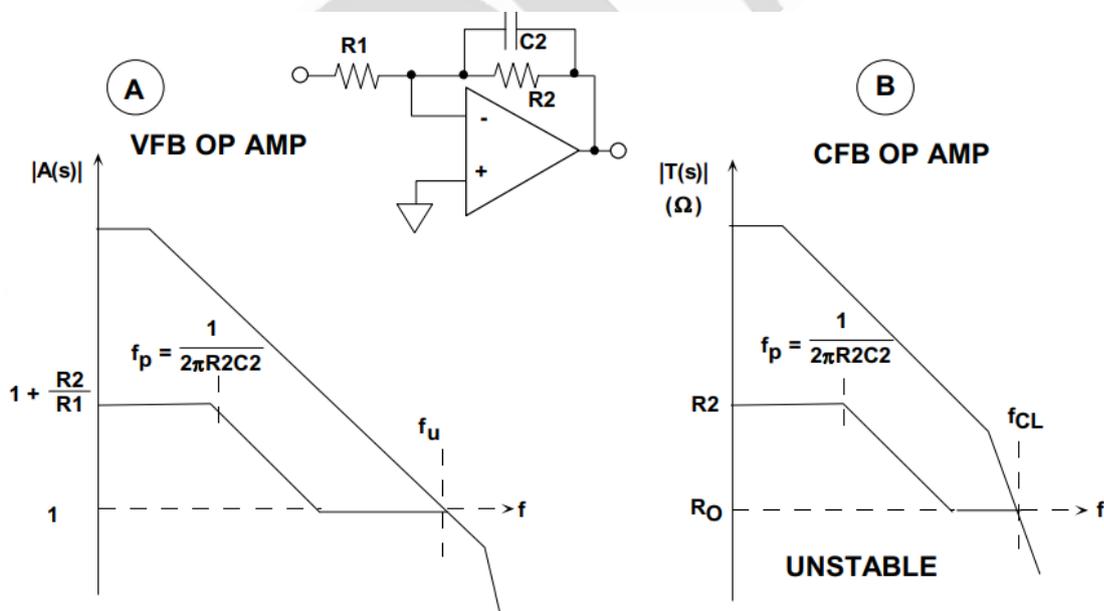


图 1: 基于反馈电容的 VFB 和 CFB 运算放大器的噪声增益稳定性分析

如需无条件稳定性,噪声增益图必须以小于 12dB/倍频程的净斜率与开环增益相交。本

例中，二者相交时的净斜率为 6dB/倍频程，表明非常稳定。请注意，对于图 1A 所示情况，频率响应中的第二个极点出现的频率显著高于 f_u 。

对于 CFB 运算放大器（图 1B），使用的分析方法相同，只是在绘制波特图时用的是开环跨导增益 $T(s)$ 。

然而，CFB 运算放大器的噪声增益（出于稳定性分析需要）定义必须重新界定，将即一个电流噪声源附于反相输入端上，如下面的图 2 所示。该电流由一个阻抗反映到输出端，我们将该阻抗定义为 CFB 运算放大器的“电流噪声增益”：

$$\text{"CURRENT NOISE GAIN"} \equiv R_O + Z_2 \left(1 + \frac{R_O}{Z_1} \right). \quad \text{等式1}$$

现在回到图 1B，观察一下 CFB 电流噪声增益图。在低频率下，CFB 电流噪声增益非常简单，为 R_2 （设 R_o 远远低于 Z_1 或 Z_2 ）。第一个极点取决于 R_2 和 C_2 。随着频率继续增加， C_2 变成短路，所有反相输入电流都会流过 R_o （再次参看图 1B）。

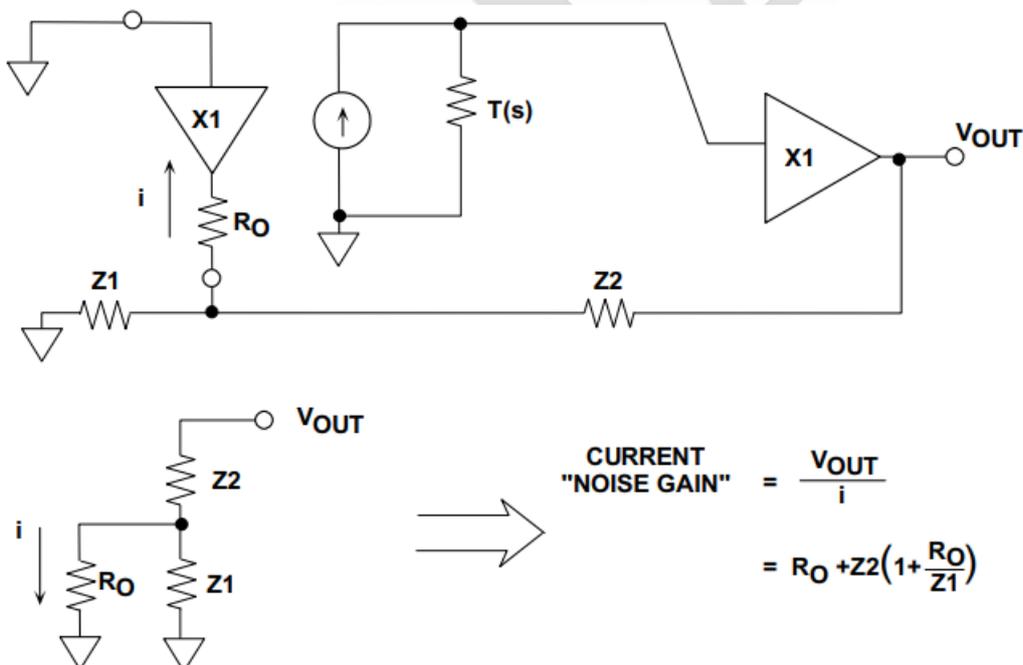


图 2：针对稳定性分析的 CFB 运算放大器电流“噪声增益”定义

CFB 运算放大器一般针对一个固定反馈电阻 R_2 而优化，以实现较高性能。跨导增益 $T(s)$

中的额外极点出现的频率高于闭环带宽 f_{cl} (由 R_2 设定)。请注意, CFB 电流噪声增益与开环 $T(s)$ 的相交点出现在 $T(s)$ 函数的斜率为 12dB/倍频程时。这表明存在不稳定情况, 而且可能有振荡。

正因如此, CFB 运算放大器不适合要求反馈环路中有电容的配置, 比如简单的有源积分器或低通滤波器。

CFB 运算放大器一般针对一个固定反馈电阻 R_2 而优化, 以实现较高性能。跨导增益 $T(s)$ 中的额外极点出现的频率高于闭环带宽 f_{cl} (由 R_2 设定)。请注意, CFB 电流噪声增益与开环 $T(s)$ 的相交点出现在 $T(s)$ 函数的斜率为 12dB/倍频程时。这表明存在不稳定情况, 而且可能有振荡。

正因如此, CFB 运算放大器不适合要求反馈环路中有电容的配置, 比如简单的有源积分器或低通滤波器。

但它们可以用于某些有源滤波器当中, 比如图 3 所示的 Sallen-Key 配置, 该配置不要求反馈网络中有电容。

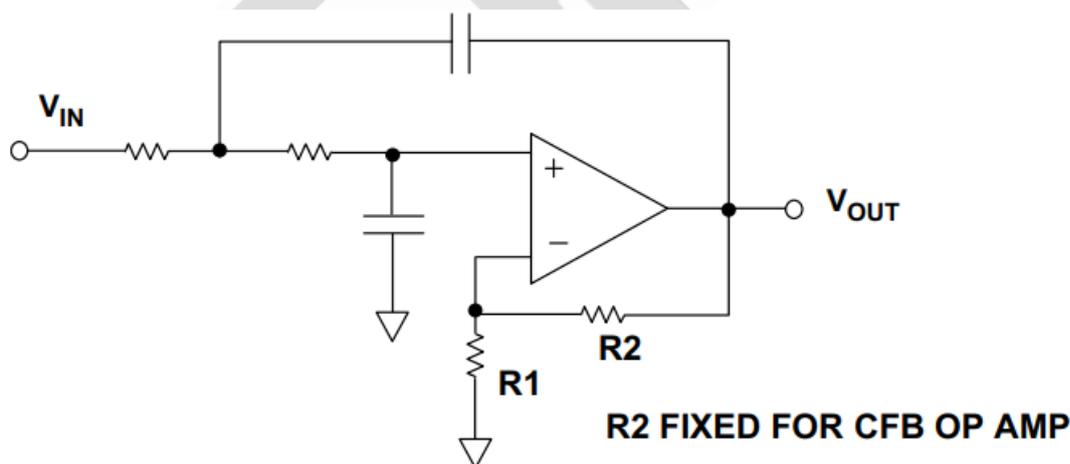


图 3: Sallen-Key 滤波器配置

另一方面, VFB 运算放大器确实能够成为非常灵活的有源滤波器。下面的图 4 所示为采用一个运算放大器 [AD8048](#) 的多路反馈 20MHz 低通滤波器示例。

一般而言，如果需要避免因放大器相移而引起问题，有源滤波器放大器的带宽应至少为滤波器带宽的 10 倍。（在该配置下，[AD8048](#) 的带宽超过 200MHz）

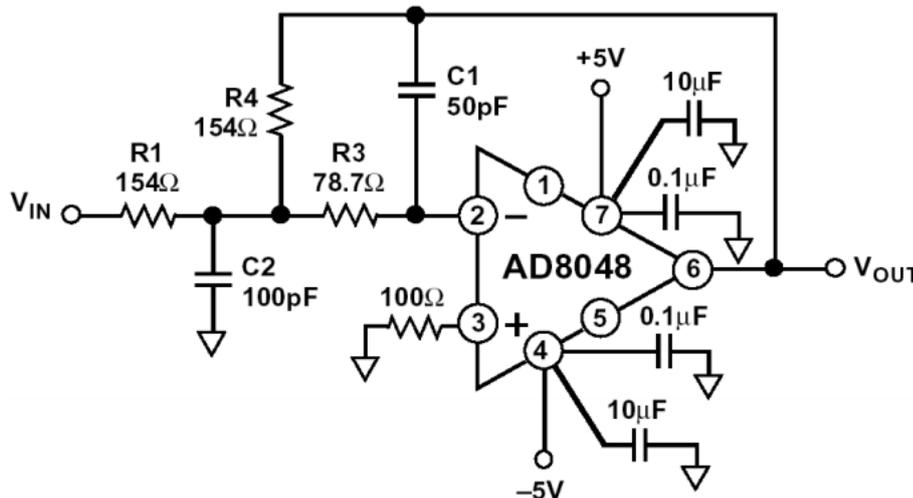


图 4：基于 [AD8048](#) VFB 运算放大器的多反馈 20MHz 低通滤波器

有关这种特定滤波器设计的详情，请参阅 [AD8048](#) 数据手册。有关有源滤波器设计的更多讨论，请参阅参电子书《滤波器设计教程》。ADI 网站上提供一个滤波器向导设计工具，以便为有源滤波器的设计提供帮助。

运算放大器失真：HD、THD、THD+N、IMD、SFDR、MTPR

谐波失真(HD)和总谐波失真(THD)

运算放大器的动态范围可以多种方式进行定义。其中一种最常见的方式是规定谐波失真、总谐波失真(THD)或总谐波失真加噪声(THD+N)。其他相关规格包括交调失真(IMD)、交调截点(IP2,IP3)、无杂散动态范围(SFDR)和多音功率比(MTPR)。

谐波失真非常简单，就是目标谐波（二阶、三阶等）的均方根(RMS)值与信号电平均方根值的比值。在音频应用中，通常表示为一个百分比，但在通信应用中，则经常表示为 dB。其测量方式是，将一个频谱纯净的正弦波应用于一个放大器，并用一个频谱分析仪观察放大器的输出。

总谐波失真(THD)为所有谐波（二阶、三阶、四阶等）的和方根值与信号方根值的比值。一般而言，在 THD 测量中，只有前五个或六个谐波是有意义的。在许多实际场合中，仅考虑二阶和三阶谐波而不考虑更高阶谐波，所带来的误差已经可以忽略了，因为更高阶项的幅度往往大幅降低了。

总谐波失真加噪声(THD+N)

总谐波失真加噪声(THD+N)为所有谐波及噪声组分在指定带宽下的和方根值与信号方根值的比值。必须注意，THD 测量不包括噪声项，而 THD+N 则包括。THD+N 测量中的噪声项必须在整个测量带宽上积分，并且必须指定该带宽才可得到有意义的测量结果。在窄带应用中，可通过滤波方式降低噪声电平，结果将降低 THD+N，从而提高信噪比(SNR)。在许多情况下（尤其是在音频应用中），当引用 THD 时，制造商实际上指的是 THD+N，因为多数测量系统并不区分谐波相关信号和其他信号。THD+N 测量一般是通过以下方法测得的，以陷波方式消除基波信号（以防止过驱），然后测量剩下的信号，其中包括噪声和失真组分。在音频应用中，一般采用 Audio Precision 出品的特殊分析仪来测量 THD+N。图 1 对 THD 和 THD+N 的定义进行了总结。

- ◆ V_s = Signal Amplitude (RMS Volts)
- ◆ V_2 = Second Harmonic Amplitude (RMS Volts)
- ◆ V_n = nth Harmonic Amplitude (RMS Volts)
- ◆ V_{noise} = RMS value of noise over measurement bandwidth

$$\text{THD + N} = \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + \dots + V_n^2 + V_{\text{noise}}^2}}{V_s}$$

$$\text{THD} = \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + \dots + V_n^2}}{V_s}$$

图 1: THD 和 THD+N 定义

交调失真(IMD)

当一个频谱纯净的正弦波通常一个放大器（或其他有源器件）时，会产生各类谐波失真积，具体取决于非线性度的性质和严重程度。然而，仅仅测量单音正弦波在各种频率下的谐波失真，无法得到对放大器在通信应用中的潜在性能进行评估时所需要的全部信息。在多数通信系统中，有多个通道在频率上是“堆叠”起来的。往往需要测定放大器在应用两个或多个指定音时产生的交调失真(IMD)。

交调失真积在 IF 和 RF 区域尤其值得关注，也是无线电接收器设计的主要关注内容之一。不仅需要考察单音正弦波输入产生的谐波失真或总谐波失真(THD)，通常同时需要考察双音产生的失真积。

如图 2 所示，两个音将产生二阶和三阶交调积。示例展示了在将两个频率 f_1 和 f_2 应用于一个非线性器件时产生的二阶和三阶积。位于 f_2+f_1 和 f_2-f_1 的二阶积离两个音非常远，可通过滤波的方式加以消除。位于 $2f_1+f_2$ 和 $2f_2+f_1$ 的三阶积也可以类似方式过滤掉。然而，位于 $2f_1-f_2$ 和 $2f_2-f_1$ 的三阶积离原始音非常近，对其进行过滤是非常困难的。三阶 IMD 积在多通道通信系统中尤其麻烦，这种应用中，通道隔离在整个频段保持不变。来自大信号（阻断器）的三阶 IMD 积可以屏蔽小信号。

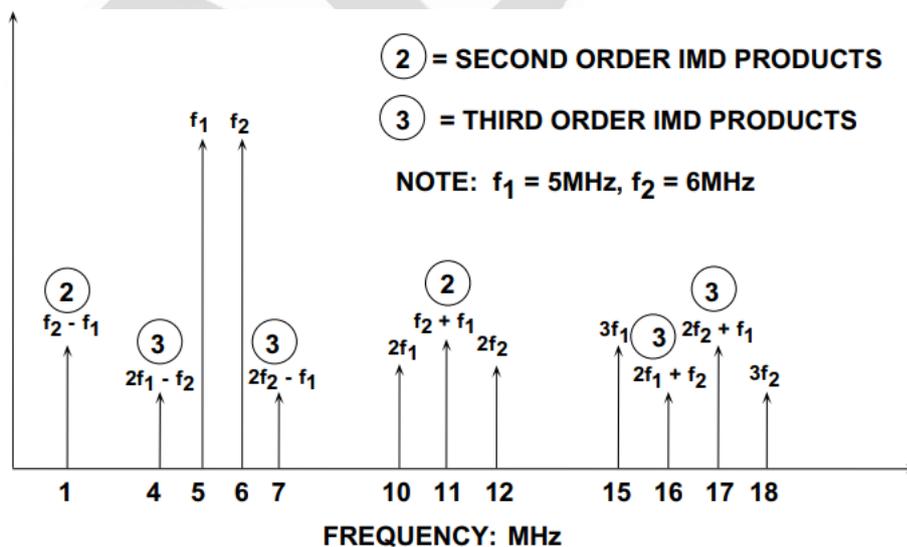


图 2：三阶和三阶交调失真积

交调截点和 1dB 压缩点

三阶 IMD 一般基于三阶交调截点测定，如下面的图 3 所示。两个频谱纯净的音被应用到系统上。单音的输出信号功率（单位：dBm）以及三阶积的相对幅度（以一个单音为基准）表示为输入信号功率的函数。基波表示为图中的 slope=1 曲线。如果通过幂级数展开逼近系统非线性度，则信号每增加 1dB，二阶 IMD 幅度将增加 2dB，如图中 slope=2 曲线所示。

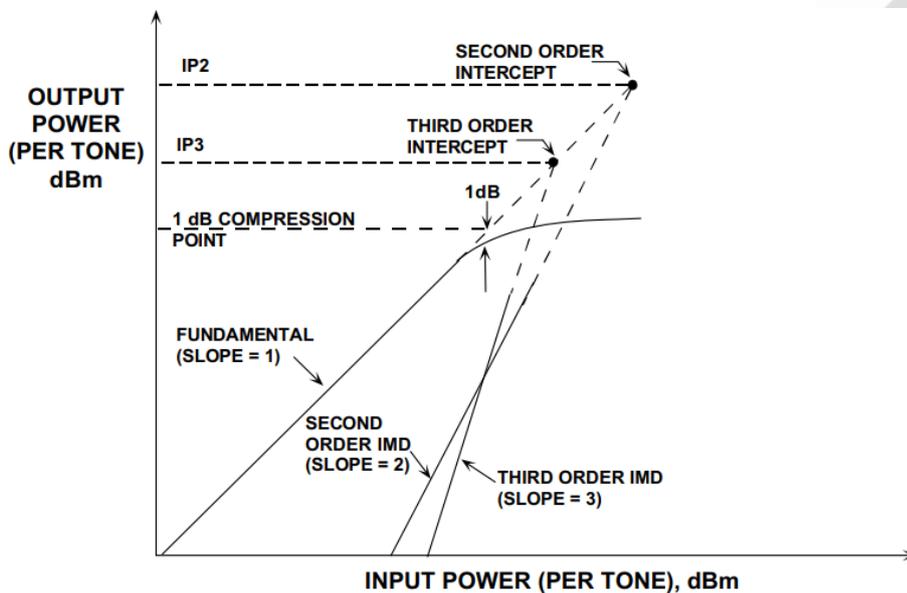


图 3：交调截点和 1dB 压缩点

类似地，信号每增加 1dB，三阶 IMD 幅度就增加 3dB，如图中 slope=3 曲线所示。在一个低电平双音输入信号和两个数据点下，则可以绘制出二阶和三阶交调失真线，如图 3 所示（其原理是，一个点和一个斜率定义一条直线）。

然而，输入信号一旦达到某种水平，输出信号就会开始软限制或压缩。这里一个相关参数是 1dB 压缩点。这就是输出信号从一个理想的输入/输出传递函数压缩 1dB 的点。在图 3 中，该点处于理想斜率=1 线变成虚线与实际响应表现出压缩迹象（实线）之间的区域中。

然而，二阶和三阶交调截线都可以延长，与理想输出信号线的延长线（虚线）相交。这

些交点分别称为二阶和三阶交调截点，表示为 IP2 和 IP3。这些功率电平值通常以传导至一个匹配负载（通常但不一定为 50Ω）的器件输出功率为基准，表示为 dBm。

应当注意，IP2、IP3 和 1dB 压缩点都是频率的函数，不出所料，频率越高，失真越严重。

对于给定的频率，在已知三阶交调截点的情况下，可以计算出三阶 IMD 积的近似电平值（为输出信号电平的函数）。下面的图 4 所示三阶交调值（典型宽带低失真放大器）为频率的函数。

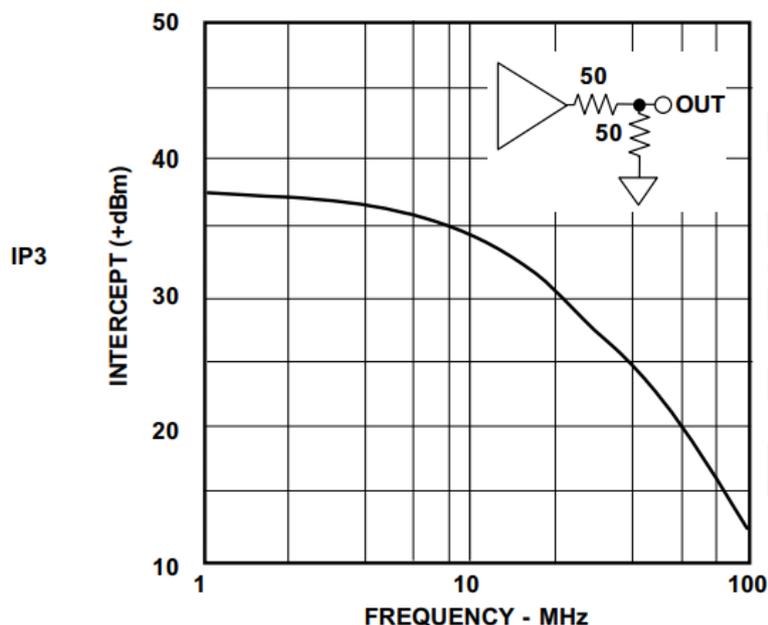


图 4：低失真放大器的三阶交调截点(IP3)与频率的关系

设运算放大器的输出信号为 5MHz，峰峰值电压为 2V，负载为 100Ω（50Ω 源和负载端接）。因此，进入 50Ω 负载的电压为 1V 峰峰值，相当于 +4dBm。从图 4 中可见，三阶交调截点在 5MHz 时的值为 36dBm。+36dBm 与 +4dBm 之差为 32dB。然后将该值乘以 2，结果得到 64dB（即三阶交调积的值，折合到单音中的功率）。因此，交调积应为 -64dBc（低于载波频率的 dB 值），或者为 -60dBm 的输出功率水平。

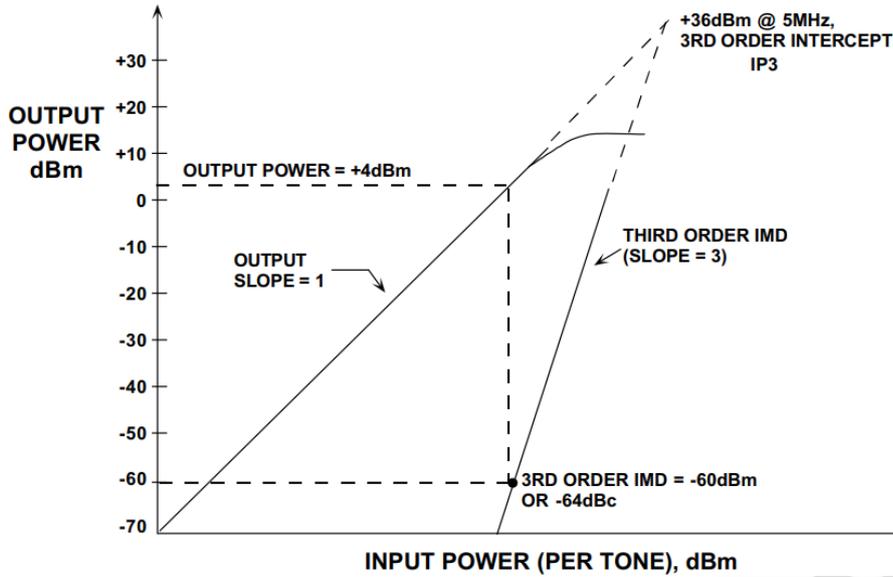


图 5: 通过 IP3 计算三阶 IMD 积的幅度

图 5 给出了本例所用的图形分析结果。运用 IP2 数据，可以对二阶交调积进行类似分析。

无杂散动态范围(SFDR)

通信系统中常见的另一种规格是无杂散动态范围(SFDR)。下面的图 6 所示为该规格的两个变体。单音 SFDR (左) 为信号 (或载波) 与目标带宽中最差杂散之间的比值。该杂散可能与信号谐波相关，也可能不相关。SFDR 可以折合到信号或载波电平(dBc)，或者折合到满量程(dBFS)。

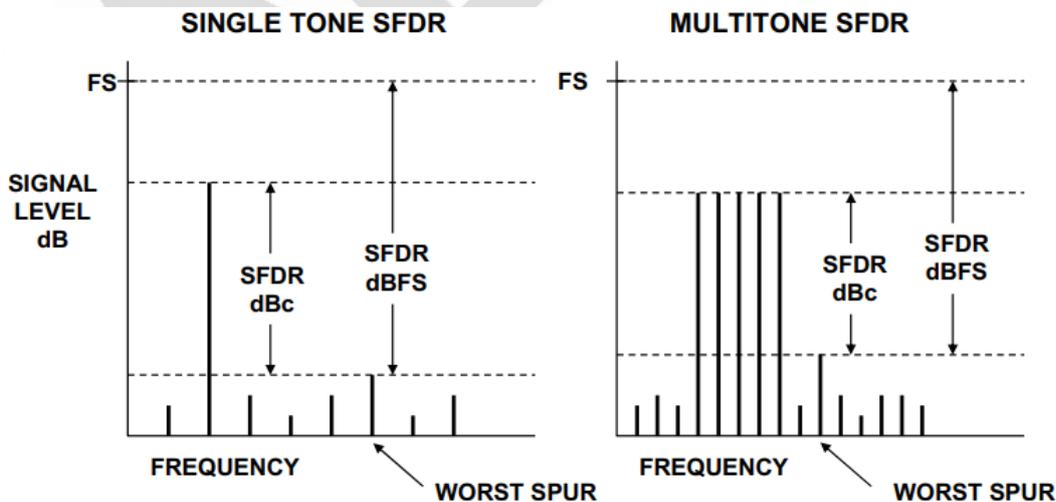


图 6: 通信系统中的无杂散动态范围(SFDR)

由于多数放大器都是软限幅器，因此更常用的是 dBc 单位。然而，在拥有用于精确定义满量程的硬限幅器的系统中（如 ADC），可能同时使用 dBc 和 dBFS。需要了解的是，二者描述的都是最差情况下的杂散幅度。SFDR 也可针对双音或多音（右）测定，由此模拟含有多个载波和通道的复杂信号。

多音功率比(MTPR)

多音功率比是描述多通道通信系统失真性能的另一种方式。下面的图 7 所示为一个 xDSL 系统中的频率分割。上游数据路径中的 QAM 信号由多个等幅音表示，其间隔频率都是相同的。一个通道被从输入信号中彻底移除（表示为空引脚），但系统非线性度导致的交调失真会使一个小信号出现在该引脚上。

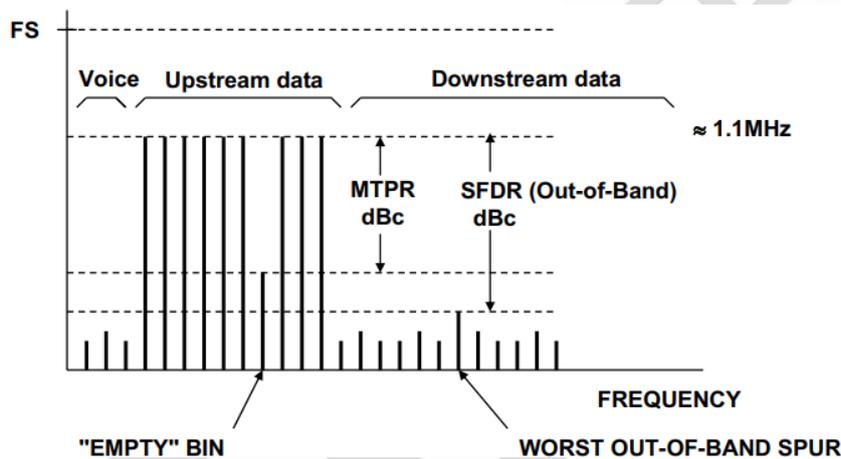


图 7: xDSL 应用中的多音功率比(MTPR)与带外 SFDR 的关系

音幅度与空引脚中的无用信号的幅度之间的比值即是多音功率比(MTPR)。同样重要的是，多音信号（模拟多个通道）交调积的幅度不得干扰语音频带中的信号，也不得干扰下游数据频带中的信号。因此，这些频带中产生的最差杂散的幅度与多音信号的幅度之间的比值被定义为带外 SFDR。

运算放大器失真与噪声对电路配置的依赖性

本章节中讨论的所有运算放大器失真规格都高度依赖于运算放大器的配置（反相或同

相)、增益、电源电压、输出电压摆幅、输出加载和输出频率。由于存在这些依赖关系，因此，运算放大器的失真和噪声规格必须包括确切的电路测试配置和条件。

由于条件存在许多的组合可能，因此，运算放大器数据手册中的规格表一般都含有最常见条件下的失真规格。针对其他条件的典型曲线一般包含在数据手册的其余部分。图 8 所示为 [AD8044](#) 高速运算放大器的这样一条曲线。这类曲线所表示的数据可能有些难以理解，因为同一图形中还显示了大量变量。

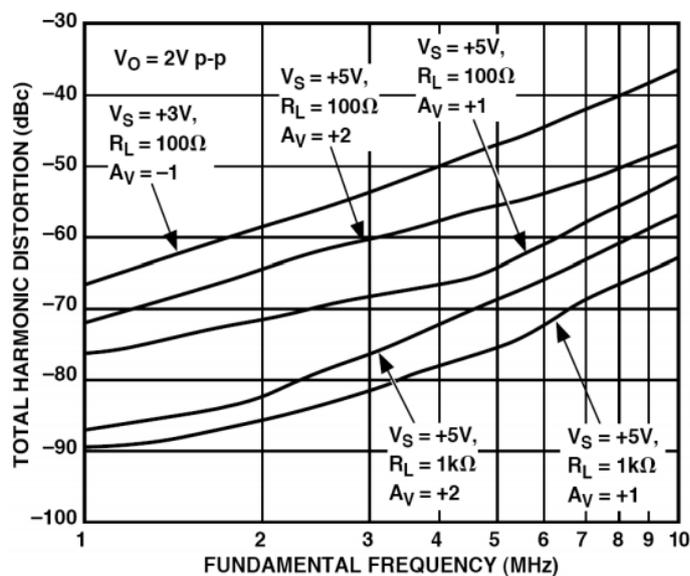


图 8: [AD8044](#) 运算放大器的 THD 与频率、增益、负载和电源电压的关系

摘要

运算放大器的失真可以归纳如下。在多数情况下，运算放大器失真会随着以下条件而恶化：

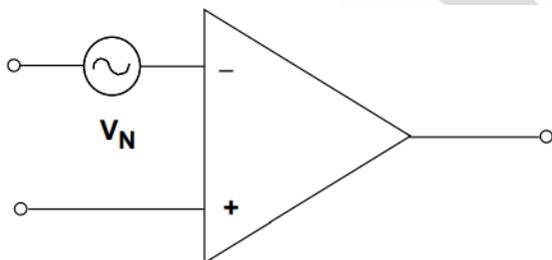
- 输出信号摆幅的增加
- 输出频率的增加
- 电源电压的下降
- 输出负载的增加（较高的输出电流）
- 闭环增益的增加

运算放大器噪声

运算放大器输入电压

噪声本章节讨论运算放大器内部产生的噪声，而不是因磁耦合和电耦合而拾取的外部噪声。虽然尽可能降低这种外部噪声也很重要，但本部分仅考虑运算放大器内部噪声。

运算放大器内部有数个噪声源（电阻噪声、电流噪声和 KT/C 噪声等），但建模时习惯将这些噪声源放到外部，视为一个以差分形式出现在两个输入端上的电压噪声源和两个电流噪声源，每个输入端各一个。这三个噪声源位于理想的“无噪声”运算放大器之外。简单的电压噪声运算放大器模型如下面的图 1 所示。三个噪声源实际上并不相关（互不影响）。两个噪声电流之间存在细微关联，但不足以在实际噪声分析时加以考虑。除这三个内部噪声源之外，还必须考虑与运算放大器配合使用的外部增益设置电阻所产生的约翰逊噪声。



◆ **Input Voltage Noise is bandwidth dependent and measured in $nV/\sqrt{\text{Hz}}$ (noise spectral density)**

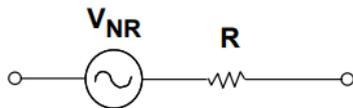
◆ **Normal Ranges are $1nV/\sqrt{\text{Hz}}$ to $20nV/\sqrt{\text{Hz}}$**

图 1: 输入电压噪声

电压噪声因运算放大器而异，可能不到 $1nV/\sqrt{\text{Hz}}$ ，也可能高达 $20nV/\sqrt{\text{Hz}}$ ，甚至更高。双极性运算放大器的电压噪声往往低于 JFET 运算放大器；虽然也可以使 JFET 运算放大器具有低电压噪声（如 [AD743/AD745](#)），但涉及的输入器件非常大，因而输入电容也就相当高。数据手册中会给出电压噪声，该值无法从其它参数中预测。

电阻噪声

讨论运算放大器电流噪声之前，必须明白实际的运算放大器电路需要使用外部电阻，而所有电阻均具有大小为 $\sqrt{4kTBR}$ 的约翰逊噪声，其中 k 表示波尔兹曼常数($1.38 \times 10^{-23} \text{J/K}$)， T 表示绝对温度， B 表示带宽，而 R 表示电阻。注意，这是电阻的固有特性——只要是电阻，就具有约翰逊噪声。简单模型如下面图 2 所示。

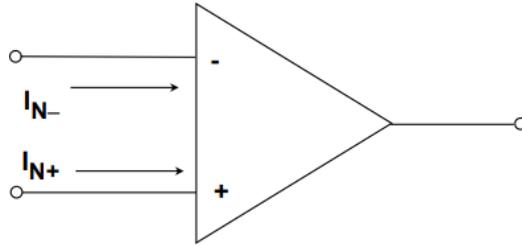


- ◆ ALL resistors have a voltage noise of $V_{NR} = \sqrt{4kTBR}$
- ◆ $T = \text{Absolute Temperature} = T(^{\circ}\text{C}) + 273.15$
- ◆ $B = \text{Bandwidth (Hz)}$
- ◆ $k = \text{Boltzmann's Constant } (1.38 \times 10^{-23} \text{J/K})$
- ◆ A 1000Ω resistor generates $4\text{nV} / \sqrt{\text{Hz}}$ @ 25°C

图 2: 电阻的约翰逊噪声

运算放大器输入电流噪声的变化范围远大于电压噪声，视输入结构而定，从大约 $0.1\text{fA}/\sqrt{\text{Hz}}$ (JFET 静电计运算放大器中) 到数 $\text{pA}/\sqrt{\text{Hz}}$ (高速双极性运算放大器中) 不等。数据手册中不一定会给出该项数据，但在简单的 BJT 或 JFET 等器件中却可以计算得出，因为在这类情况下，所有偏置电流均流入输入结点，电流噪声就是偏置电流的肖特基噪声 (或称散粒噪声)。

散粒噪声频谱密度就是 $\sqrt{2I_B q} / \sqrt{\text{Hz}}$ ，其中 I_B 表示偏置电流 (放大器内)，而 q 表示电子电荷量 ($1.6 \times 10^{-19} \text{C}$)。在偏置补偿或电流反馈运算放大器中，外部偏置电流是两个内部电流之间的“差值”，因此无法计算出电流噪声。简单电流噪声模型如下面图 3 所示。



- ◆ Normal Ranges: $0.1\text{fA}/\sqrt{\text{Hz}}$ to $10\text{pA}/\sqrt{\text{Hz}}$
- ◆ In Voltage Feedback op amps the current noise in the inverting and non-inverting inputs is uncorrelated (effectively) but roughly equal in magnitude.
- ◆ In simple BJT and JFET input stages, the current noise is the shot noise of the bias current and may be calculated from the bias current.
- ◆ In bias-compensated input stages and in current feedback op amps, the current noise cannot be calculated.
- ◆ The current noise in the two inputs of a current feedback op amp may be quite different. They may not even have the same $1/f$ corner.

图 3: 输入电流噪声

只有在阻抗中流动并进而产生噪声电压时，才需要考虑电流噪声。在运算放大器电路的输入端保持相对较低的阻抗，可以显著降低电流噪声的影响（就像相同操作也有助于将失调电压降至最低一样）。

因此，低噪声运算放大器的选择理所当然地取决于其周围的阻抗。下面将通过一些阻抗示例进一步说明。

合并噪声源

不相关的噪声电压（如均方根噪声电压 V_1 、 V_2 、 V_3 ）以“方和根”形式相加，即可得到 $\sqrt{(V_1^2+V_2^2+V_3^2)}$ 。当然，噪声功率照常相加。因此，大小是任何其他噪声电压 3-5 倍的噪声电压占据主导地位，而其他噪声电压通常可以忽略不计。这样可以简化复杂电路中的噪声评估。

确定主要噪声源

以 [OP27](#) 为例，该运算放大器具有低电压噪声 ($3\text{nV}/\sqrt{\text{Hz}}$)，但电流噪声却相当高 ($1\text{pA}/\sqrt{\text{Hz}}$)。在无源阻抗条件下，电压噪声是主要噪声源，如下面图 4 所示（左边一栏）。

当源阻抗为 $3\text{k}\Omega$ （中间一栏）时，流经 $3\text{k}\Omega$ 的 $1\text{pA}/\sqrt{\text{Hz}}$ 电流噪声就等于电压噪声，但 $3\text{k}\Omega$ 电阻的约翰逊噪声为 $7\text{nV}/\sqrt{\text{Hz}}$ ，占据主导地位。当源阻抗为 $300\text{k}\Omega$ （右边一栏）时，电流噪声部分增长 100 倍，达到 $300\text{nV}/\sqrt{\text{Hz}}$ ，电压噪声继续保持不变，而约翰逊噪声（与电阻“平方根”成比例）则增长十倍。电流噪声占据主导地位。

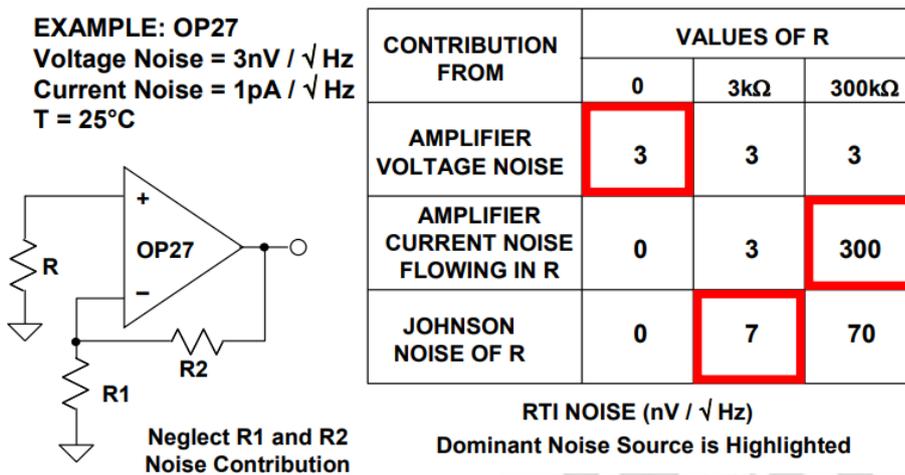


图 4：源阻抗不同时主要噪声源也不同

从上例可以看出，选择低噪声运算放大器时主要取决于信号的源阻抗，而在高阻抗条件下，电流噪声始终占据主导地位。

从下面的图 5 可以明显看出，源阻抗不同时，放大器也不同。对于低阻抗电路，明显应该选择 [OP27](#) 等低电压噪声放大器，因为这类放大器价格低廉，并且相对较高的电流噪声不会对应用造成影响。在阻抗处于中等水平时，电阻的约翰逊噪声占据主导地位，而在源阻抗非常高的情况下，则必须尽可能选择电流噪声最小的运算放大器，如 [AD549](#) 或 [AD795](#)。

目前，BiFET 放大器往往具有相对较高的电压噪声（不过电流噪声极低），因此更适合低噪声应用中的高阻抗电路，而不是低阻抗电路。[AD795](#)、[AD743](#) 和 [AD745](#) 具有极低的电压噪声和电流噪声。10kHz 时，[AD795](#) 的电压噪声和电流噪声分别为 $10\text{nV}/\sqrt{\text{Hz}}$ 和 $0.6\text{fA}/\sqrt{\text{Hz}}$ ，而 [AD743/AD745](#) 则分别为 $2.9\text{nV}/\sqrt{\text{Hz}}$ 和 $6.9\text{fA}/\sqrt{\text{Hz}}$ 。利用这些器件可以设计在宽源阻抗范围内具有低噪声性能的低噪声放大器电路。

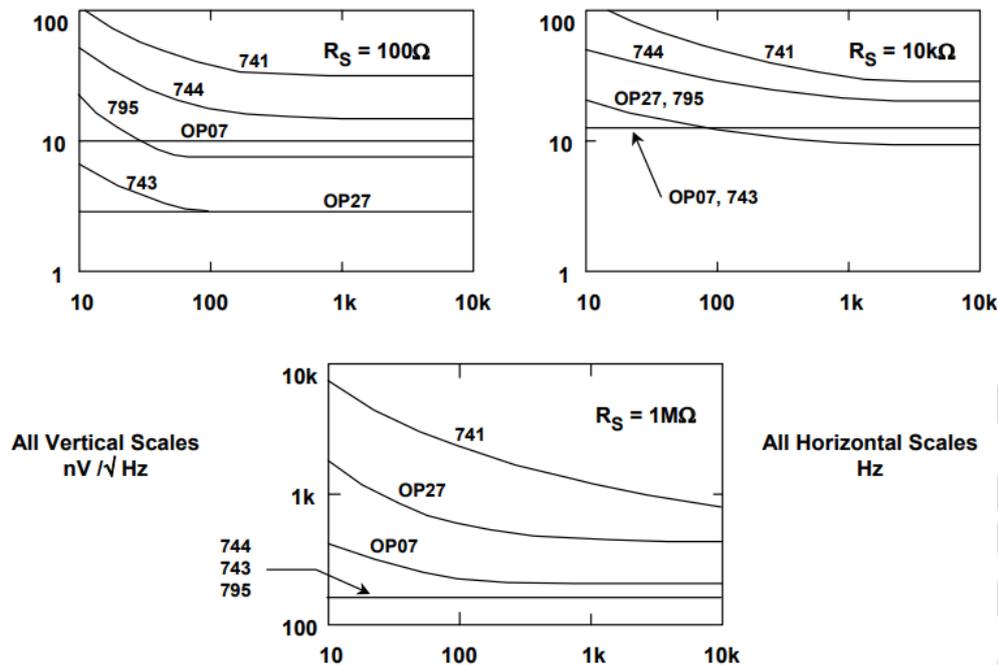
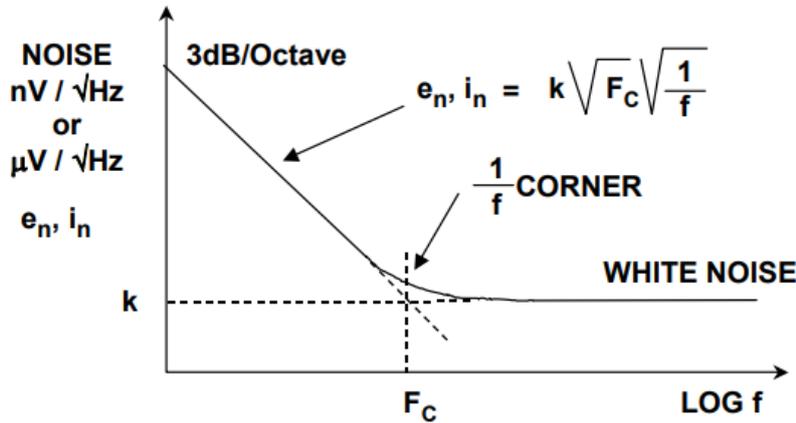


图 5：源阻抗不同时放大器也不同

电压和电流噪声的频率特性前面我们都假设噪声为“白噪声”（即其频谱密度不会随频率而变化）。这种情况适用于运算放大器的大部分频率范围，但在低频率条件下，噪声频谱密度会以 3dB/倍频程上升，如下面图 6 所示。功率频谱密度在此区域内与频率成反比，因此电压噪声频谱密度与频率的平方根成反比。因此，这种噪声通常称为“ $1/f$ 噪声”。但应注意，有些教材中仍旧使用“闪烁噪声”这个旧术语。

这种噪声开始增加时的频率称为“ $1/f$ 转折频率(F_c)”，也是品质因数之一——该频率越小越好。对于特定放大器，电压噪声和电流噪声的 $1/f$ 转折频率并不一定相同，有的电流反馈运算放大器可能具有三个 $1/f$ 转折频率：一个针对其电压噪声，另一个针对其反相输入电流噪声，还有一个则针对其同相输入电流噪声。



- ◆ **1/f Corner Frequency is a figure of merit for op amp noise performance (the lower the better)**
- ◆ **Typical Ranges: 2Hz to 2kHz**
- ◆ **Voltage Noise and Current Noise do not necessarily have the same 1/f corner frequency**

图 6：运算放大器噪声的频率特性

用来描述 1/f 区域内电压或电流噪声频谱密度的通用计算公式如下

$$e_n, i_n = k \sqrt{F_c} \sqrt{\frac{1}{f}}, \quad \text{公式 1}$$

其中，k 表示“白”电流或电压噪声电平，而 F_c 表示 1/f 转折频率。

较佳低频率、低噪声放大器的转折频率位于 1-10Hz 范围内，而 JFET 器件和更为通用的运算放大器则位于 1-100Hz 范围内。不过，超高速放大器可能会在处理能力上做出让步以便实现高速性能，从而导致 1/f 转折频率特性相当差，高达数百 Hz，甚至 1-2kHz。对于此类器件所针对的宽带应用，这点通常并不是很重要，但可能会影响其在音频条件下使用，尤其是在均衡电路中。

“爆米花”噪声

“爆米花噪声”之名源于通过音频系统播放时，它听起来像炒爆米花。该噪声由失调电

压的随机阶跃变化组成，发生间隔为 10+毫秒时间范围内的随机值。此类噪声由硅片表面存在严重污染及晶格移位所导致，而这是工艺技术不合适或原材料品质欠佳而造成的。

上世纪 60 年代首次推出单芯片运算放大器时，爆米花噪声是主要噪声源。不过，如今人们已经充分认识到爆米花噪声的成因，再加上原材料纯度高、污染程度低且生产测试可靠，对任何运算放大器制造商来说，生产基本上没有爆米花噪声的产品应该不是什么难事。因此，多数现代运算放大器教材中甚至不会提到该噪声。

设计问答

为何最近又强调低噪声放大问题？

低噪声放大的部分问题与信噪比(SNR)有关。如今，传感器电压和器件的工作电压比过去所采用的电压更低，因此与信号相比，噪声的幅度更高。另一个因素是现今的数据转换器的分辨率要高于过去，因此它们需要更干净的输入信号。

我们谈论的噪声究竟是哪一种？

这种噪声是放大器本身固有的，或者由相应的无源器件所产生并放大的。外部噪声则是系统级的问题。

这种噪声的来源是什么？

热(Johnson)噪声来源于输入和反馈电阻($e_n R_2$)、放大器的固有电压噪声(e_n)和电流噪声(i_n) (图 1)。如图 1 所示，折合到输入端的噪声方程(Noise_{RTI})显示了所有的噪声源的贡献。表达式的电阻噪声中的“k”因子是波尔兹曼常数。T 是绝对温度、R 是以欧姆为单位的电阻。一个经验法则是，1k Ω 的电阻在室温下产生的噪声为 4nV/Hz，这比某些现代运放的噪声还高。

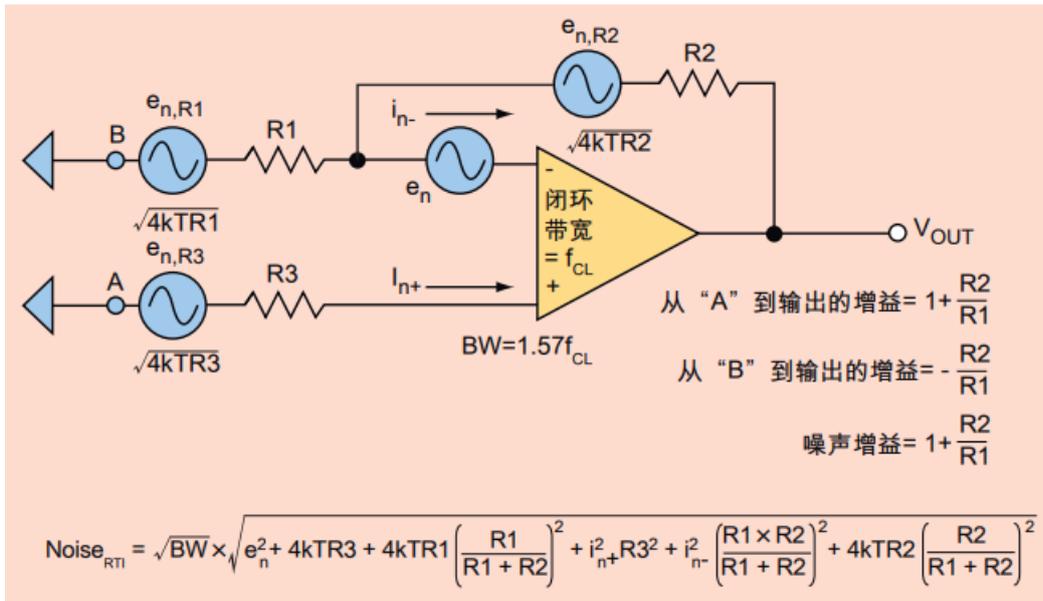


图 1: 噪声源 (外部电阻产生的热噪声、固有电压和电流噪声) 都被电路以噪声增益 $(1 + R2/R1)$ 放大。

如何表示噪声?

为了让所有的噪声源能够以先平方和再求平方根的方式简单地组合起来, 基带噪声指标以 nV (或者 pA) /Hz 来表示。只要噪声源是不相关的, 这一表示就是可行的, 于是在整个频谱上, 出现任何给定的信号幅值的概率满足正态 (高斯) 分布。

噪声在所有的频率上并非真正是恒定的, 对吧?

的确不是。e_n 和 i_n 有两个分量 (图 2a): 低频的“1/f”噪声, 其频谱密度随着频率降低而以 3dB/倍频程的速率上升, 具有分布在更高频率上平坦化频谱分布的“白”噪声。对于 1/f 噪声有着重要影响的应用来说, 在产品手册中可找到有限带宽上的峰-峰值噪声指标, 例如 0.1~10Hz (图 2b)。

什么是“拐角”频率?

它为何具有重要性? 1/f 噪声的频谱密度等于白噪声的频率点被称为 1/f 拐角频率(F_c)。它可以通过延长噪声图线的 1/f 和白噪声部分, 得到其交点来确定。它是一个重要的优

值。此外，电压和电流噪声的 $1/f$ 拐角频率不一定相同。不过一般来说只规定电压噪声。

在选用低噪声放大器的过程中，应该如何利用这一信息？

考虑所感兴趣的频带，把频带内的 rms 噪声与你的系统要求联系起来。由于噪声是以频率的平方根来表示的，各种噪声的贡献可以通过将各噪声的平方求和后再求平方根来计算。于是，在带宽 $F_L \sim F_H$ 内，总的 rms 电压噪声 $e_{n,rms}$ 可以简单表示为上述公式中， $e_{n,w}$ 是宽带白噪声， F_C 是 $1/f$ 拐角频率， F_L 和 F_H 定义了感兴趣的待测带宽。

$$e_{n,rms} = e_{n,w} \sqrt{F_C \times h \left(\frac{F_H}{F_L} \right) + (F_H - F_L)}$$

一般来说，比其它任何一个噪声分量高 4~5 倍的任何噪声分量都会成为主导噪声，而其余的分量则可以忽略不计。因此，在更高的频率上， $F_C \ln(F_H/F_L)$ 的影响不再显著，而总的 rms 噪声就等于白噪声乘以频率差的平方根。事实上，如果 F_H 远远高于 F_L ，总的 rms 噪声即等于白噪声乘以 F_H 的平方根。另一方面，当器件工作在 $1/f$ 噪声区中，总的 rms 噪声是拐角频率点的噪声水平（即白噪声水平）乘以拐角频率的平方根再乘以 $\ln(F_H/F_L)$ 。

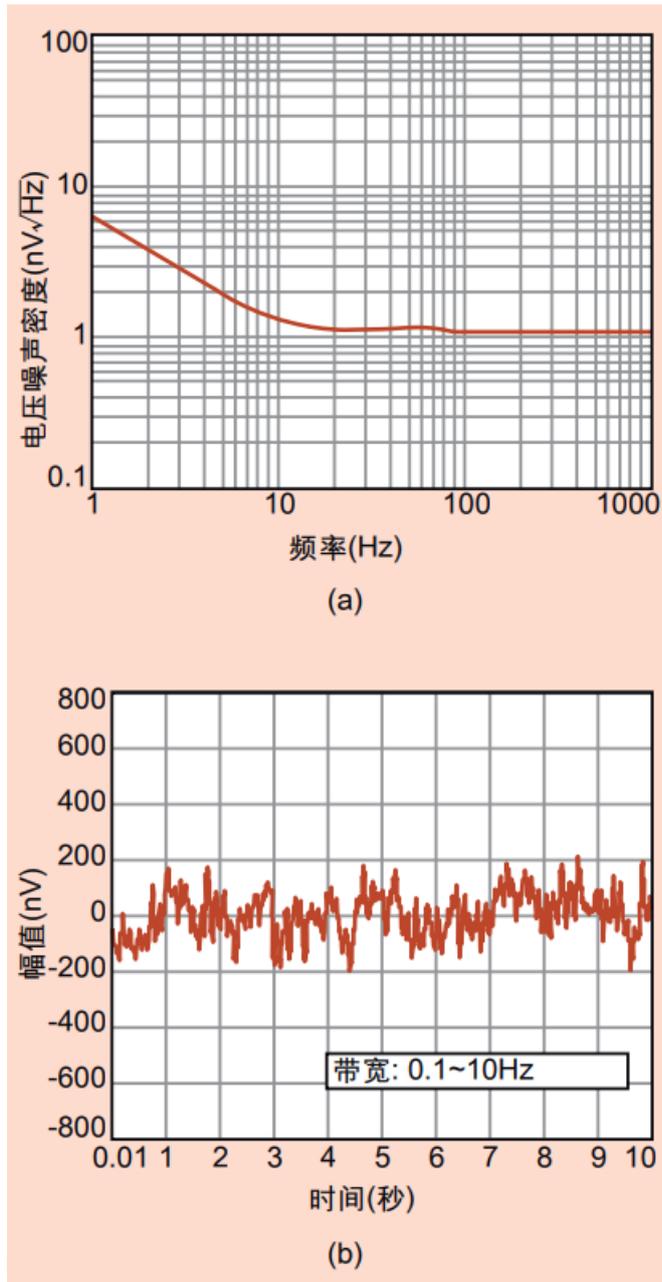


图 2: 在拐角频率以上, 固有噪声的频谱密度基本恒定。在拐角频率至 0Hz 之间, 它以 3dB/倍频程的速率上升(a)。当 1/f 噪声具有关键性影响时(b), 数据手册中可提供实际的峰-峰噪声。这两条曲线摘自 ADI 公司的 [AD8599](#) 数据手册。

电流噪声的情况如何?

图 1 中的方程的第四和第五项表明, 当电流噪声流过一个阻抗时, 它会产生一个噪声电压, 该电压将以“平方和再求平方根”的形式添加到其他的噪声电压上。此外, 虽然电

压噪声是设计者考虑的第一指标，如果电路阻抗水平高于 e_n/i_n （有时，被称为放大器的“特性噪声电阻”），电流噪声将占据主导地位。

运算放大器噪声指数：不要被误导

运算放大器噪声一般表示为输入电流和电压噪声，就如《运算放大器噪声》、《运算放大器噪声关系：1/f 噪声、均方根(RMS)噪声与等效噪声带宽》、《单极点系统的运算放大器总输出噪声计算》、《二阶系统的运算放大器总输出噪声计算》、《电流反馈运算放大器噪声考虑因素》章节中所讨论的那样。但在通信系统中，噪声一般表示为噪声系数(NF)——见下面的图 1。这会导致误解，尤其是当运算放大器被用作增益模块且运算放大器的噪声系数并非针对具体的电路条件时。为了了解如何在运算放大器上运用噪声系数，我们将首先回顾一下噪声系数的基本原理。

- ◆ **NF is usually specified for matched input/output conditions, but this is not always a system requirement**
- ◆ **Noise Figure is a popular figure of merit in RF applications: LNAs, Mixers, etc.**
- ◆ **Difficulties arise when applying NF to op amps. NF is dependent on**
 - Impedance levels
 - Feedback network
 - Closed loop gain
- ◆ **Other difficulties arise due to different definitions of NF as found in various textbooks**
- ◆ **We will start with the basics and work up to the op amp issues**

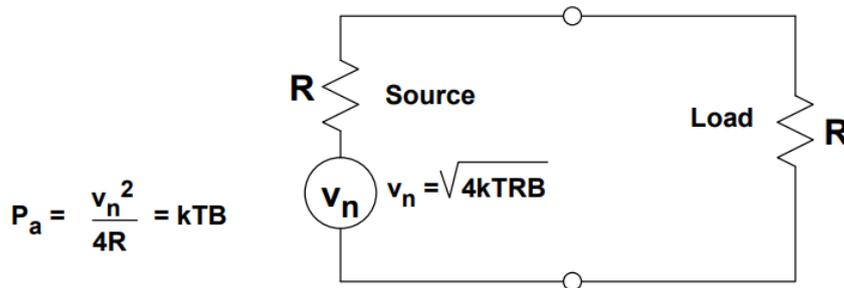
图 1：通信应用中的噪声系数(NF)

有效噪声功率

第一个概念是源的有效功率。源的有效功率是可以从源中得到的最大功率。在下面的图 2，值为 R 的电阻即为噪声源。该噪声源的热噪声为 $\sqrt{4kTB}$ 。当负载电阻也等于 R 时，会出现可以传输到理想无噪声负载的最大噪声。

在这些条件下，噪声源的最大有效噪声功率降至 kTB ，其中， k 为玻尔兹曼常数， T 为绝对温度， B 为噪声带宽。请注意，该功率独立于源电阻 R 的值。

The available power, P_a , of a source is the maximum power that can be drawn from the source. This occurs when the load resistance is equal to the source resistance.



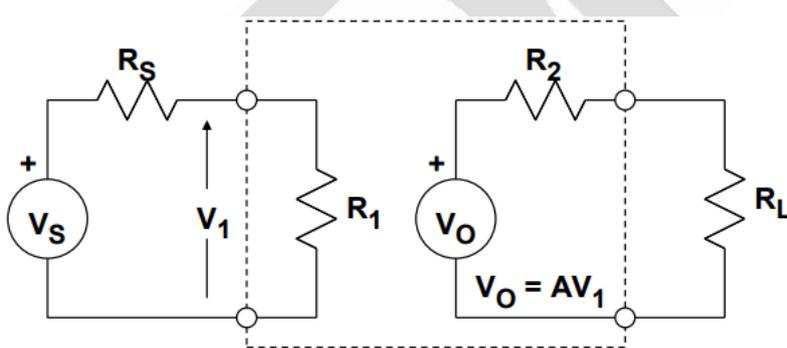
$k = 1.38 \times 10^{-23}$ Joules / K (Boltzman's Constant)
 $T =$ Temperature (assume 300K, room temperature)
 $B =$ Noise bandwidth (Hz)

$$P_a \text{ (dBm)} = -174\text{dBm} + 10 \log B$$

图 2: 来自源的有效噪声功率

有效功率

增益第二个重要概念是双端口网络的有效功率增益，如下面的图 3 所示。双端口网络由阻抗为 R_s 的信号源驱动。等式展示了来自源的有效信号功率，以及来自网络输出端的有效信号功率。简单来说，有效功率增益就是有效输出功率与源的有效功率之比。

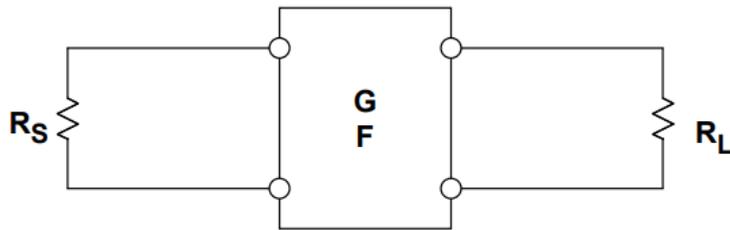


- Available signal power from source = $P_{as} = \frac{V_S^2}{4R_S}$
- Available signal power at output = $P_{ao} = \frac{V_O^2}{4R_2}$
- Available power gain = $G_a = \frac{P_{ao}}{P_{as}} = \frac{V_O^2 R_S}{V_S^2 R_2}$

图 3: 双端口网络的有效功率增益

噪声因数和噪声系数的定义

双端口网络的增益和噪声可以用有效功率增益 G 和噪声因数 F 来定义，如下面的图 4 所示。噪声因数 F 定义为总有效输出噪声功率与来自源的有效输出噪声功率之比。对于阻性源，来自源的有效噪声功率即为 kTB ，仅由源导致的输出噪声功率为 $G \cdot kTB$ 。



G = Available Power Gain of Network

$$\begin{aligned}
 F = \text{Noise Factor} &= \frac{\text{Total Available Output Noise Power}}{\text{Available Output Noise Power Due to Source Only}} \\
 &= \frac{\text{Total Available Output Noise Power}}{G \cdot kTB}
 \end{aligned}$$

$$\text{NF} = \text{Noise Figure} = 10 \log_{10} F$$

图 4：双端口噪声网络的噪声因数和噪声系数的定义。

请注意，噪声因数 F 表示为一个比值，而噪声系数 NF 则是以 dB 为单位的比值 F 。因而，一个理想的无噪声双端口网络的噪声因数为 $F=1$ ，噪声系数为 $NF=0\text{dB}$ 。我们可以用相同的定义来计算运算放大器电路的 NF ，但是，用电压噪声频谱密度和电流噪声频谱密度的平方则会简化计算，而不是使用功率或功率频谱密度（见下面的图 5）。另外，用这种方法来处理不匹配条件要容易些。

简单而言，运算放大器的噪声因数 F 就是总输出噪声频谱密度的平方与仅来自于源的输出噪声频谱密度的平方之比。噪声系数 $NF=10 \cdot \log F$ 。

- ◆ With op amps, it is easier to work with voltage and current noise spectral density, rather than power or power spectral density.
- ◆ Unmatched conditions are more easily dealt with using voltage noise spectral density analysis.
- ◆ Voltage noise spectral densities add using root-sum-squares (RSS).
- ◆ A 1000Ω resistor has a voltage noise spectral density of 4nV/√Hz @ 25°C (300K). (This is good to remember!)
- ◆ The basic definition of Noise Factor and Noise Figure in terms of voltage noise spectral density becomes:

$$\text{Noise Factor} = F = \frac{(\text{Total Output Voltage Noise Spectral Density})^2}{(\text{Output Voltage Noise Spectral Density Due to Source Only})^2}$$

$$\text{Noise Figure} = \text{NF} = 10 \log_{10} F$$

图 5: 运算放大器的噪声系数

在 RF 或 IF 增益模块中，需要定义输入阻抗。然而，在将运算放大器在同相模式下用作增益模块时，输入阻抗较高（相对于传输线路阻抗），对于会影响噪声系数的输入终端则有数种选项。这些选项被推广到带有可选输入终端的任何双端口网络中，如下面的图 6 所示。

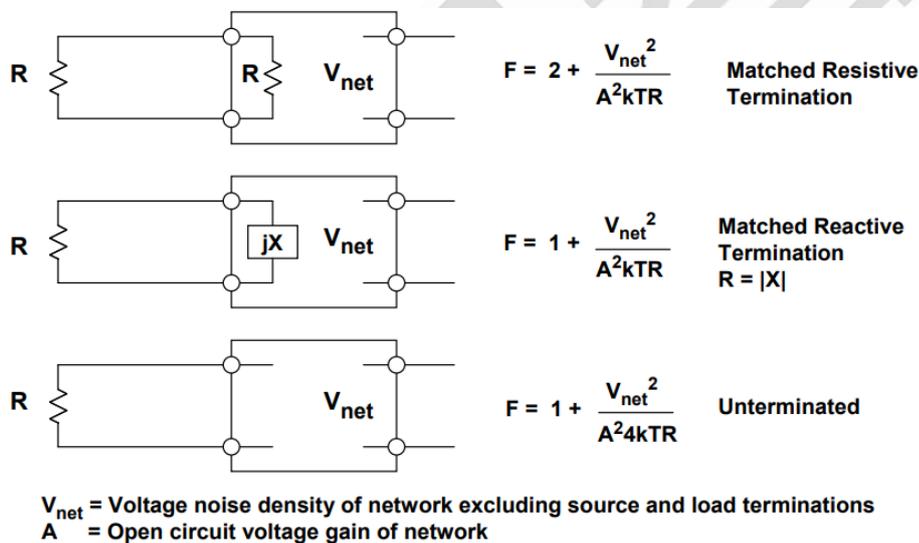


图 6: 阻性、抗性和无端接条件下的噪声因数

设网络的开路电压增益为 A ，且总输出噪声频谱密度（不包括源电阻和输入终端所导致的）等于 V_{net} 。

图 6 中，顶部示意图展示的是传统的匹配情况，其中，输入以阻性方式端接，以匹配源阻抗。这种情况下，输入终端电阻不但会使源的电压噪声衰减 2 倍，同时其热阻会导致

噪声增加。

图 6 中部示意图展示的是一种抗性匹配终端的情况。当带宽有限但以高频载波为中心时，往往要使用抗性终端。这种情况下，源电压噪声被衰减 2 倍，但抗性终端不会给总输入噪声带来更多的噪声。

图 6 底部示意图展示的是一种不匹配、末端接输入的情况。这种情况下，源的电压噪声不发生衰减，由于不存在输入终端，显然不会有输入终端导致的额外噪声！虽然这种情况不大可能出现在采用 RF/IF 增益模块（这些模块一般要求所有接口处的阻抗都能匹配）的系统中，但是，在把运算放大器用作增益模块时，这还是有可能的，因为同相配置输入阻抗相对较高。

如果假设网络的噪声 V_{net} 与源噪声相比是极小的，则显而易见的是，输入终端电阻会使总噪声系数增加 3dB，同时使总电压增益下降 2 倍。将这种情况与不存在输入终端的最低噪声情况进行比较。事实上，对于只有输入阻性匹配终端的无噪声网络来说，最低噪声系数是 3dB。只有使用匹配抗性终端才有可能得到更低的噪声系数。

另一方面，如果网络的噪声 V_{net} 相对于源噪声显得非常大，则增加阻性终端会使总噪声系数比不匹配、无终端情况增加 6dB。

总之，使用大的源电阻会导致噪声系数下降，但会增加总电路噪声，这一点非常有趣。这展现了以下重要事实：噪声系数只有在标称阻抗等级相同时才具有可比性。下面的图 7 总结了放大器输入终端对总电路噪声和噪声系数的影响。

- ◆ For a low noise network, adding the matching input termination resistor makes the noise figure 3dB worse. The voltage gain is also reduced by a factor of 2.
- ◆ For a high noise network, adding the matching termination resistor makes the noise figure 6dB worse.
- ◆ Reactive matched terminations are often used at fixed IF/RF frequencies in LNAs, mixers, etc.
- ◆ Using large source and termination resistors decreases noise figure but increases overall circuit noise.
- ◆ Noise figures should only be compared at the same impedance level.

图 7: 输入终端对噪声系数的影响

二阶系统的运算放大器总输出噪声计算

下一章节《单极点系统的运算放大器总输出噪声计算》中会分析单极点系统的总输出噪声。下面图 1 所示的电路表示一个二阶系统，其中电容 C1 表示源电容、反相输入的杂散电容、运算放大器的输入电容或这些电容的任意组合。C1 会导致噪声增益出现断点，C2 则是为取得稳定性而必须添加的电容。

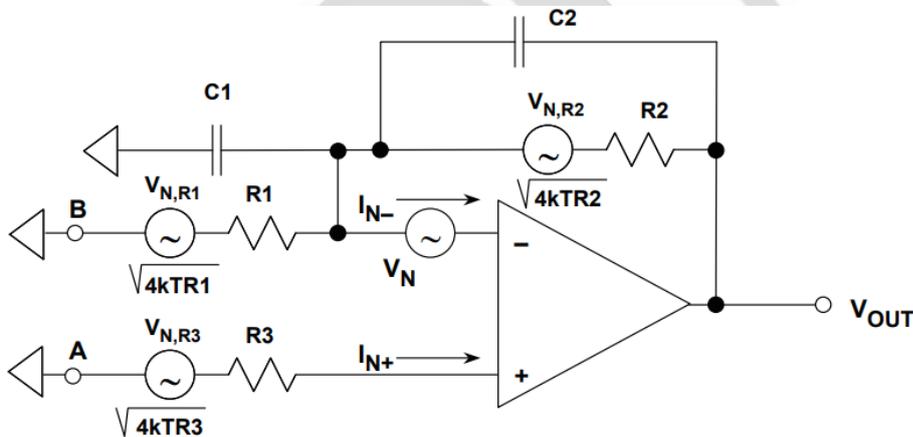


图 1: 带电抗元件的运算放大器噪声模型（二阶系统）

由于存在 C1 和 C2，噪声增益是频率的函数，并在较高频率下有峰化现象（假定选择 C2，使该二阶系统处于临界阻尼状况）。只要使 $R1 \times C1 = R2 \times C2$ ，就可以实现平坦的噪声增益。

不过，对于电流电压转换器，R1 通常为高阻抗，因此该方法不起作用。在这些情况下，

要使信号带宽最大有点复杂，详见《补偿输入电容对电流电压转换器所用电压反馈和电流反馈型运算放大器的影响》章节。

向输入端 A 施加直流信号 (B 接地) 时，增益 (即低频噪声增益) 为 $1+R_2/R_1$ 。在较高频率下，从输入端 A 到输出端的增益变为 $1+C_1/C_2$ (高频噪声增益)。

请注意，闭环带宽 f_{cl} 是噪声增益与开环增益相交点的频率。向 B 施加直流信号 (A 接地) 时，增益为 $-R_2/R_1$ ，其中高频截止点由 R_2-C_2 决定。从 B 到输出端的带宽为 $1/2\pi R_2 C_2$ 。

同相输入端的电流噪声 I_{N+} 流过 R_3 会引起 $I_{N+}R_3$ 的噪声电压，与运算放大器噪声电压 V_N 和 R_3 的约翰逊噪声 $\sqrt{4kTR_3}$ 一样，该噪声电压会被与频率相关的噪声增益放大。 R_1 的约翰逊噪声会在 $1/2\pi R_2 C_2$ 带宽范围内放大 $-R_2/R_1$ ， R_2 的约翰逊噪声则根本不会放大，而是在 $1/2\pi R_2 C_2$ 带宽范围内直接连接到输出。反相输入端的电流噪声 I_{N-} 仅会流过 R_2 ，进而在 $1/2\pi R_2 C_2$ 带宽范围内导致放大器输出端出现大小为 $I_{N-}R_2$ 的电压。

如果我们考虑这六种噪声贡献，则会发现如果 R_1 、 R_2 和 R_3 很小，那么电流噪声和约翰逊噪声的影响将降至最低，主要噪声将是运算放大器的电压噪声。随着我们增加电阻，约翰逊噪声和噪声电流产生的电压噪声将升高。

如果噪声电流很小，那么约翰逊噪声将取代电压噪声而成为主要的噪声贡献。不过，约翰逊噪声随着电阻平方根增加而升高，电流噪声电压则随着电阻增加而呈线性升高，因此最终随着电阻继续增加，噪声电流引起的电压将成为主要因素。

无论输入端是连接到节点 A 还是节点 B (另一个则接地或连接到其它低阻抗电压源)，上文分析到的这些噪声贡献都不受影响，这也是为何出现在运算放大器电压噪声 V_N 上的同相增益 $(1+Z_2/Z_1)$ 会被称为“噪声增益”的原因所在。

要计算二阶运算放大器系统的总输出 rms 噪声，需要将这六个噪声电压分别乘以相应的增益，然后在相应的频率上进行积分，如图 2 所示 (下图)。

NOISE SOURCE EXPRESSED AS A VOLTAGE	MULTIPLY BY THIS FACTOR TO REFER TO OUTPUT	INTEGRATION BANDWIDTH
Johnson noise in R3: $\sqrt{4kTR3}$	Noise Gain as a function of frequency	Closed-Loop BW
Non-inverting input current noise flowing in R3: $I_{N+}R3$	Noise Gain as a function of frequency	Closed-Loop BW
Input voltage noise: V_N	Noise Gain as a function of frequency	Closed-Loop BW
Johnson noise in R1: $\sqrt{4kTR1}$	$-R2/R1$ (Gain from B to output)	$1/2\pi R2C2$
Johnson noise in R2: $\sqrt{4kTR2}$	1	$1/2\pi R2C2$
Inverting input current noise flowing in R2: I_{N-R2}	1	$1/2\pi R2C2$

图 2: 二阶系统折合到输出端的噪声源

然后，所有输出贡献因素的和方根即代表总 rms 输出噪声。幸运的是，多数情况下，适当假设并识别主要噪声贡献因素，可以极大简化这个复杂繁琐的过程。

典型二阶系统的噪声增益如下面的图 3 所示。虽然两步内即可很容易地完成电压噪声积分，但请注意，由于存在峰化现象，因此输入电压噪声引起的输出噪声主要由噪声增益为 $1+C1/C2$ 的高频部分决定。这是二阶系统的典型响应类型。反相输入电流噪声、R1 和 R2 引起的噪声仅在 $1/2\pi R2C2$ 带宽上积分。

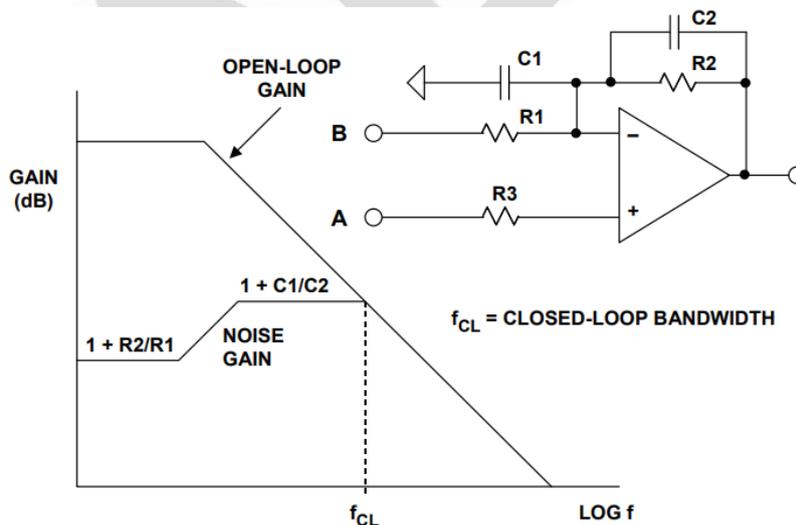


图 3: 典型二阶系统的噪声增益

单极点系统的运算放大器总输出噪声计算

噪声比一些较大噪声源少三分之一至五分之一的任何噪声源都可以忽略，几乎不会有误差。此时，两个噪声电压必须在电路内的同一点测量。要分析运算放大器电路的噪声性能，必须评估电路每一部分的噪声贡献，并确定以哪些噪声为主。为了简化后续计算，可以用噪声频谱密度来代替实际电压，从而带宽不会出现在计算公式中（噪声频谱密度一般用 nV/\sqrt{Hz} 表示，相当于 1Hz 带宽中的噪声）。

如果考虑下图 1 中的电路——由一个运算放大器和三个电阻组成的放大器 ($R3$ 代表节点 A 处的源阻抗)，可以发现六个独立噪声源：三个电阻的约翰逊噪声、运算放大器电压噪声和运算放大器各输入端的电流噪声。每个噪声源都会贡献一定的放大器输出端噪声。噪声一般用 RTI 来规定，或折合到输入端，但计算折合到输出端 (RTO) 噪声往往更容易，然后将其除以放大器的噪声增益（非信号增益）便得到 RTI 噪声。

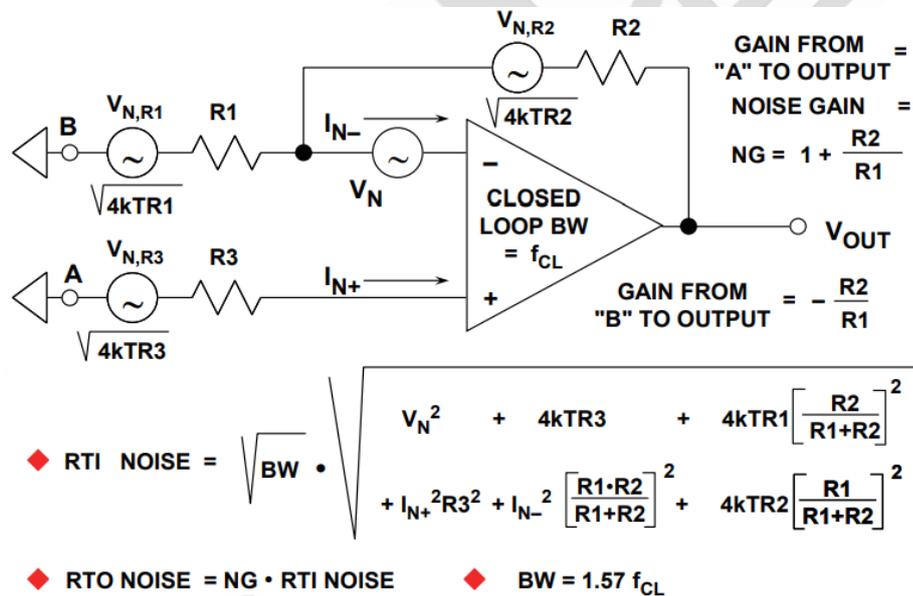


图 1: 单极点系统的运算放大器噪声模型

下图 2 详细分析了图 1 中的各噪声源是如何反映到运算放大器输出端的。有关反相输入端的电流噪声效应，还需要进一步讨论。此电流 I_{N-} 不会按预期流入 $R1$ ——放大器周围的负反馈可使得反相输入端的电位保持不变，因此从该引脚流出的电流在负反馈强制作

用下仅能流入 R2，从而产生 I_{N-R2} 输出端电压。也可以考虑 I_N 流入 R1 和 R2 并联组合产生的电压，然后通过放大器的噪声增益放大，但结果是一样的，计算反而更复杂。

NOISE SOURCE EXPRESSED AS A VOLTAGE	MULTIPLY BY THIS FACTOR TO REFER TO THE OP AMP OUTPUT
Johnson noise in R3: $\sqrt{(4kTR3)}$	Noise Gain = $1 + R2/R1$
Non-inverting input current noise flowing in R3: I_{N+R3}	Noise Gain = $1 + R2/R1$
Input voltage noise: V_N	Noise Gain = $1 + R2/R1$
Johnson noise in R1: $\sqrt{(4kTR1)}$	$-R2/R1$ (Gain from input of R1 to output)
Johnson noise in R2: $\sqrt{(4kTR2)}$	1
Inverting input current noise flowing in R2: I_{N-R2}	1

图 2：折合到输出端的噪声源(RTO)

请注意，与三个电阻相关的约翰逊噪声电压已包括在图 2 的表达式中。所有电阻的约翰逊噪声为 $\sqrt{(4kTBR)}$ ，其中 k 是玻尔兹曼常数($1.38 \times 10^{-23} \text{J/K}$)， T 是绝对温度， B 是带宽（单位为 Hz）， R 是电阻（单位为 Ω ）。一个很容易记住的简单关系是：1000 Ω 电阻在 25 $^{\circ}\text{C}$ 时产生的约翰逊噪声为 $4\text{nV}/\sqrt{\text{Hz}}$ 。

以上分析假设是单极点系统，其中反馈网络为纯阻性，且噪声增益与频率关系曲线平坦。此情况适用于大多数应用，但如果反馈网络包含电抗元件（通常为电容），则噪声增益在目标带宽内不恒定，必须使用更复杂的技术来计算总噪声。有关二阶系统噪声的考虑，请参见《二阶系统的运算放大器总输出噪声计算》章节。

运算放大器噪声关系：

1/f 噪声、均方根(RMS)噪声与等效噪声带宽

“1/f” 噪声运算放大器电流或电压噪声的一般特性如下图 1 所示。

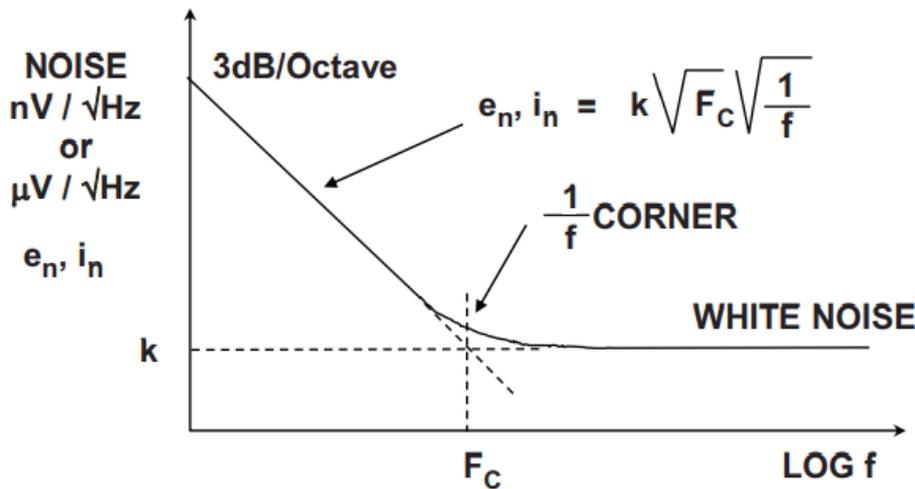


图 1：运算放大器噪声的频率特性

高频下的噪声为白噪声（即其频谱密度不会随频率而变化）。这种情况适用于运算放大器的大部分频率范围，但在低频率条件下，噪声频谱密度会以 3dB/倍频程上升，如上图 1 所示。功率频谱密度在此区域内与频率成反比，所以电压噪声频谱密度与频率的平方根成反比。因此，这种噪声通常称为“1/f 噪声”。但应注意，有些教材中仍旧使用“闪烁噪声”这个旧术语。

这种噪声开始增加时的频率称为“1/f 转折频率” (F_c)，也是品质因数之一——该频率越小越好。对于特定放大器，电压噪声和电流噪声的 1/f 转折频率并不一定相同，有的电流反馈运算放大器可能具有三个 1/f 转折频率：一个针对其电压噪声，另一个针对其反相输入电流噪声，还有一个则针对其同相输入电流噪声。

用来描述 1/f 区域内电压或电流噪声频谱密度的通用计算公式如下

$$e_n, i_n = k\sqrt{F_C} \sqrt{\frac{1}{f}}, \quad \text{公式1}$$

其中，k 表示“白”电流或电压噪声电平，而 F_C 表示 1/f 转折频率。

较佳低频率、低噪声放大器的转折频率位于 1-10Hz 范围内，而 JFET 器件和更为通用的运算放大器则位于 1-100Hz 范围内。不过，超高速放大器可能会在处理能力上做出让步以便实现高速性能，从而导致 1/f 转折频率特性相当差，高达数百 Hz，甚至 1-2kHz。对于此类器件所针对的宽带应用，这点通常并不是很重要，但可能会影响其在音频条件下使用，尤其是在均衡电路中。

均方根噪声考虑

如上所述，噪声频谱密度与频率成函数关系。为了获得均方根噪声，噪声频谱密度曲线必须在整个目标带宽上积分。在 1/f 区域中，带宽 F_L 至 F_C 内的均方根噪声由下式给出

$$v_{n,rms}(F_L, F_C) = v_{nw} \sqrt{F_C} \sqrt{\int_{F_L}^{F_C} \frac{1}{f} df} = v_{nw} \sqrt{F_C \ln \left[\frac{F_C}{F_L} \right]} \quad \text{公式2}$$

其中， v_{nw} 表示“白”区域内的电压噪声频谱密度， F_L 表示 1/f 区域中的最低目标频率，而 F_C 表示 1/f 转折频率。

下一目标区域是从 F_C 至 F_H 的“白”噪声区。该带宽内的均方根噪声由下式给出

$$v_{n,rms}(F_C, F_H) = v_{nw} \sqrt{F_H - F_C} \quad \text{公式3}$$

公式 2 和 3 可以合并，得出 F_L 至 F_H 的总均方根噪声：

$$v_{n,rms}(F_L, F_H) = v_{nw} \sqrt{F_C \ln \left[\frac{F_C}{F_L} \right] + (F_H - F_C)} \quad \text{公式4}$$

许多情况下，低频峰峰值噪声是 0.1Hz 至 10Hz 带宽内的额定值，采用运算放大器与测量器件之间的 0.1 至 10Hz 带通滤波器测得。测量结果通常表示为示波图，时间刻度为 1s/div，如下图 2 所示（针对 [OP213](#)）。

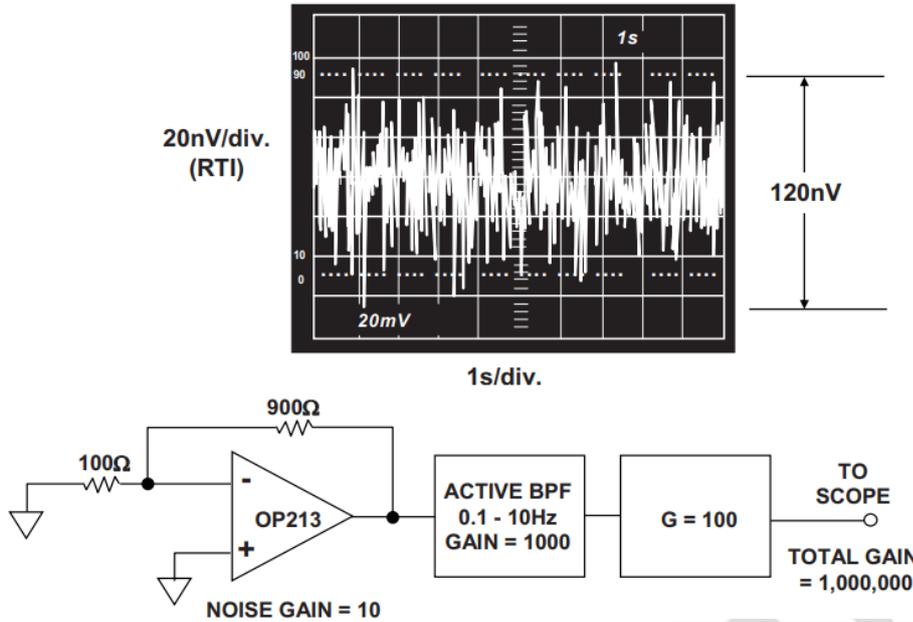
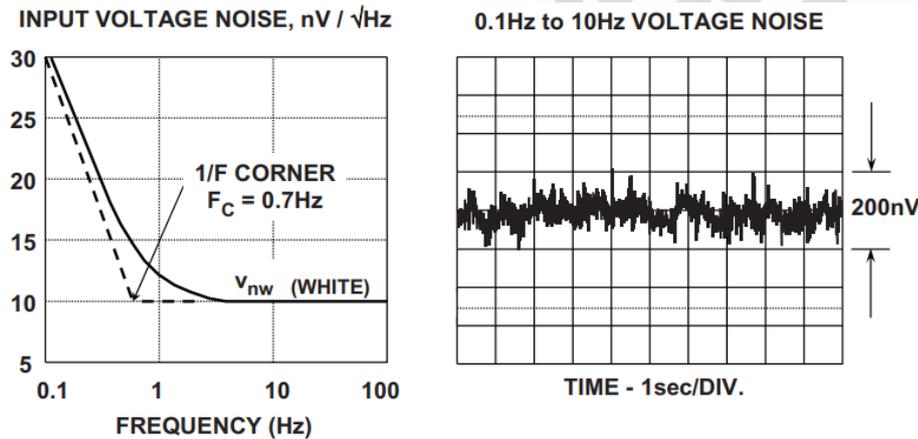


图 2: OP213 的 0.1Hz 至 10Hz 输入电压噪声



- ◆ $V_{n,rms}(F_L, F_H) = v_{nw} \sqrt{F_C \ln \left[\frac{F_C}{F_L} \right] + (F_H - F_C)}$
- ◆ For $F_L = 0.1\text{Hz}$, $F_H = 10\text{Hz}$, $v_{nw} = 10\text{nV}/\sqrt{\text{Hz}}$, $F_C = 0.7\text{Hz}$:
 - ◆ $V_{n,rms} = 33\text{nV}$
 - ◆ $V_{n,pp} = 6.6 \times 33\text{nV} = 218\text{nV}$

图 3: OP177 的输入电压噪声

在 0.1 至 10Hz 带宽内测量的 1/f 噪声可与电压噪声频谱密度相关。上图 4 的左侧显示了 OP177 输入电压噪声频谱密度，右侧显示了 0.1 至 10Hz 峰峰值噪声示波图。令公式 2 的 $F_L=0.1\text{Hz}$, $F_H=10\text{Hz}$, $F_C=0.7\text{Hz}$, $v_{nw}=10\text{nV}/\sqrt{\text{Hz}}$, 可计算 0.1 至 10Hz 带宽内的总均方根噪声值。所得值约为 33nVrms, 或 218nVp-p (将均方根值乘以 6.6 得出——参见下文)。

该值与从示波器测出的 200nV 相当。

应注意，在较高频率下，包含自然对数的公式项变得微不足道，均方根噪声表达式变为

$$V_{n,rms}(F_H, F_L) \approx v_{nw} \sqrt{F_H - F_L} . \quad \text{公式5}$$

And, if $F_H \gg F_L$,

$$V_{n,rms}(F_H) \approx v_{nw} \sqrt{F_H} . \quad \text{公式6}$$

然而，某些运算放大器（例如 [OP07](#) 和 [OP27](#)）具有在高频下略微增加的电压噪声特性。所以使用此近似值计算高频噪声时，应仔细检查运算放大器电压噪声与频率关系曲线的平坦度。

在极低频率下，当仅在 1/f 区域内工作时， $F_C \gg (F_H - F_L)$ ，均方根噪声表达式简化为

$$V_{n,rms}(F_H, F_L) \approx v_{nw} \sqrt{F_C \ln \left[\frac{F_H}{F_L} \right]} . \quad \text{公式7}$$

请注意，如果工作范围扩展至直流，则无法通过滤波减少该 1/f 噪声。令 $F_H=0.1\text{Hz}$ ， $F_L=0.001\text{Hz}$ ，仍可产生约 18nV rms 或 119nV p-p 的均方根 1/f 噪声。问题是，对长时间内的测量结果求平均值实际上对 1/f 噪声的均方根值无影响。进一步减少 1/f 噪声的方法是使用斩波稳定型运算放大器，从而消除低频噪声。

在实际操作中，几乎不可能在特定频率限值内测量噪声而不受限值外噪声的影响，因为实际滤波器的滚降特性有限。幸运的是，单极点低通滤波器引起的测量误差很容易计算。单极点低通滤波器截止频率 f_c 以上频谱内的噪声将转折频率扩展至 $1.57f_c$ 。同样，双极点滤波器的视在转折频率约为 $1.2f_c$ 。对具有两个以上极点的滤波器而言，误差校正因数通常可忽略。校正后的净带宽称为滤波器的“等效噪声带宽”（参见下图 4）。

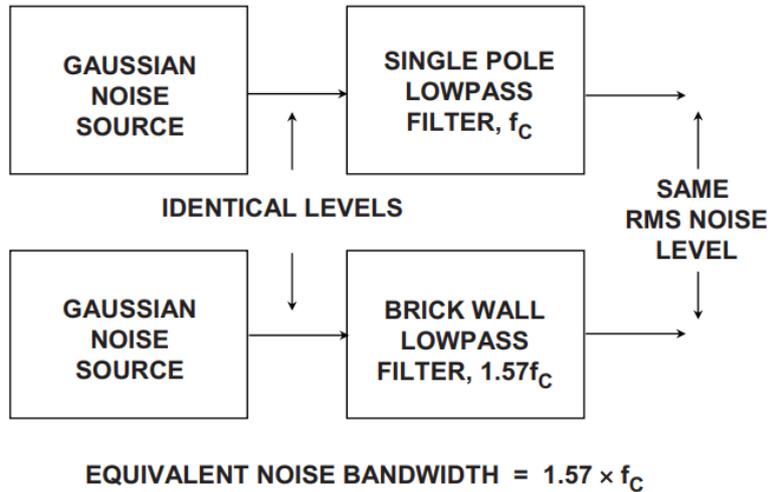


图 4: 等效噪声带宽

通常需要将均方根噪声测量值转换为峰峰值。为此，我们必须对噪声的统计性质有所了解。对于高斯噪声和给定均方根噪声值，统计学告诉我们，超过特定峰峰值的概率随着该值增加而急剧下降，但该概率永远不会为零。

因此，对于给定均方根噪声值，可以预测超过给定峰峰值的时间百分比，但不存在永远无法超过的峰峰值，如下图 5 所示。

Nominal Peak-to-Peak	% of the Time Noise will Exceed Nominal Peak-to-Peak Value
2 × rms	32%
3 × rms	13%
4 × rms	4.6%
5 × rms	1.2%
6 × rms	0.27%
6.6 × rms**	0.10%
7 × rms	0.046%
8 × rms	0.006%

****Most often used conversion factor is 6.6**

图 5: 均方根-峰峰值比

因此，峰峰值噪声规格必须写上时间限制。6.6 乘以均方根值较为合适，即该值仅在 0.1% 的时间内被超过。

噪声与运算放大器电路

即使是考虑到运放所有的已知及未知阻抗负载，运算放大器的输出中始终含有无法基于输入信号和完全已知的闭环传递函数进行预测的信号。这种不确定信号被称为噪声。导致噪声产生的因素可能是放大器电路本身，可能是其反馈环路中使用的元件，也可能是电源；噪声也可能从附近（或较远的地方）的噪声源耦合或感应至输入、输出、地回路或测量电路之中的。

无疑，设计人员对噪声的关注程度取决于两点：

- 1) 电路在目标频段所要达到的分辨率；
- 2) 避免噪声转移至非直接相关频段。由于运算放大器多用作前置放大器和高精度信号处理器，运算放大器电路的精度日益受到关注。

我们深知，试图全面且严格地分析处理噪声现象是愚蠢且毫无用处的事情，为此，本文将提供一些实用工具，用于了解、表征、计算和降低放大器直接相关的噪声。对于像接地引线、输出引线中的耦合及感应噪声，我们只将简略提及，并给出一些简单的建议，如注意屏蔽、引线保护和接地电路设计等，这些都属于系统设计和“良好电路实践”¹的范畴。

从噪声角度来看，运算放大器具有独特的优势，完全适用于低压和高精度电路，因为：

1. 可以选择特定的放大器传递函数，使其仅允许目标频段通过。
2. 可以从具有不同噪声特性的众多型号中选择适应具体需要的放大器，以便在目标频段内获得近乎理想的特性。

3. 如果噪声源已知且经过正确评估，则可预测各种放大器电路的噪声情况并达到足够的精度，从而为初步的手工设计提供依据，并具有一定的成功验证的可能性。

基本模型——电压噪声与电流噪声（图 1）

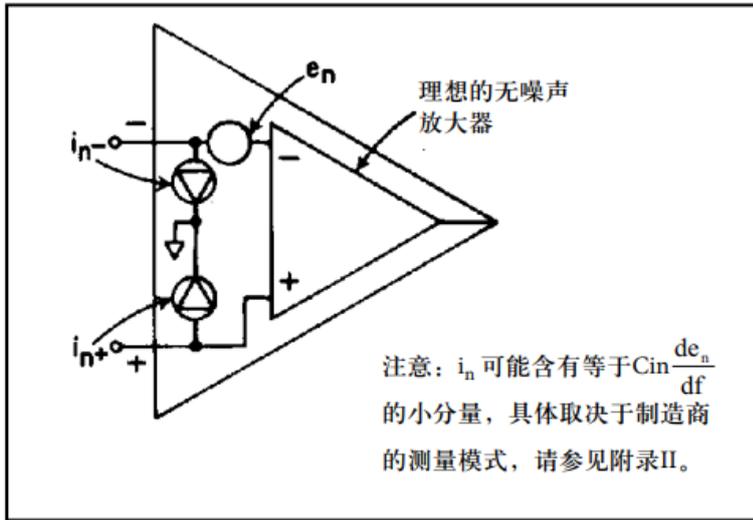


图 1: 电压与电流噪声模型

可将差分运算放大器视为理想的无噪声放大器，其噪声电流源位于各输入引脚与共模地之间，噪声电压源实际与某一侧输入引脚串联。该模型与失调分析 2 中用到的 $E_{os}-I_{bias}$ 模型非常类似，这不足为奇，因为可将 E_{os} 和 I_{bias} 视为直流噪声源，可按时间、温度等参数进行调制。在多数实际应用中，可将噪声电压源和噪声电流源视为彼此独立的。如果暂时忽略电路和放大器的动态范围因素，就如 E_{os} 和 I_{bias} 一样，噪声的瞬时电压分量可通过低阻抗、高增益电路进行测量（图 2），而瞬时电流分量则可在一个很大（理想地“无噪声的”）电阻中进行测量。如果 e_n 与 i_n 之间无交互作用，则噪声电压测量输出将与 $(1+R_2/R_1)$ 成比例，而噪声电流测量输出则仅与 R_2 成比例。

请注意，这两类噪声的瞬时和（出现于放大器输出端）为

$$e_o = \left(1 + \frac{R_2}{R_1} \right) e_n + R_2 i_n \quad (1)$$

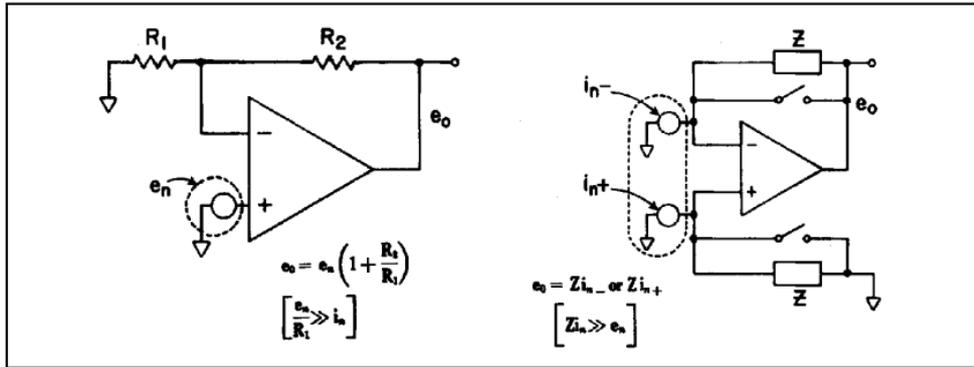


图 2: e_n 和 i_n 的基本测量法 (窄带和点噪声测量中需使用滤波器)

且在以下等式成立时, e_n 和 i_n 的相对噪声贡献相等

$$\frac{e_n}{i_n} = \frac{R_2}{1 + \frac{R_2}{R_1}} \quad (2)$$

即条件为: R_2 和 R_1 的并联等于 e_n 与 i_n 之比。当阻抗水平高于 e_n/i_n 时, 电流噪声占据主导。 e_n 和 i_n 均方根值之比有时被称为放大器在既定带宽下的“特征噪声电阻”, 在选择与既定阻抗相匹配的放大器时可当作实用的品质因素, 反之亦然。

在已知电压和阻抗的情况下, 可将从外部源耦合至放大器输入引脚的噪声视为附加性的电压信号, 或当这种信号的产生取决于放大器的某种测量方式时, 也可视为附加性电流信号。简示为图 3。

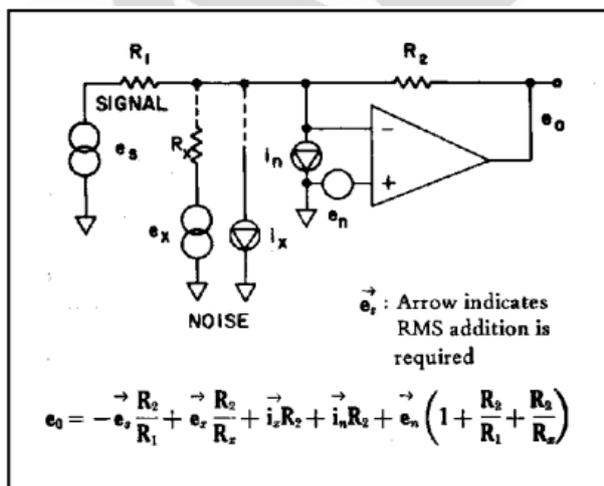


图 3: 内部和外部噪声源的贡献

噪声增益与信号增益

图 4 所示为一种反相放大器的基本反馈模型，其中含有数个阻性输入引脚。对于较大的环路增益值(Aβ)，电压噪声的噪声增益实际为 1/β 那。如果 Aβ 不是远高于单位增益，则可使用以下更精确的表达式

$$e_o = \frac{1}{\beta} \left[\frac{1}{1 + \frac{1}{A\beta}} \right] e_n \quad (3)$$

相对应的电流噪声表达式为

$$e_o = i_n Z_f \left[\frac{1}{1 + \frac{1}{A\beta}} \right] \quad (4)$$

需要注意的是，对于无源反馈元件，1/β 不会小于单位增益值，而且对于任意输入信号，该值也大于闭环增益。因此，即使信号增益小于单位增益，或者信号带宽较窄，但 en 的总频谱将出现在输出端，其值至少等于单位增益。同时需要注意，一般情况下，当 A 和 β 均为动态表达式时，如果环路增益的相移一定程度上高于 90°，则放大器在接近 Aβ=1 时的频率范围处于欠阻尼状态，则该频率下的噪声增益的峰值可能高于单位增益很多，尽管信号增益在较低的频率时就会平滑滚降。图 5 为一种简单明了、易于理解的示例。

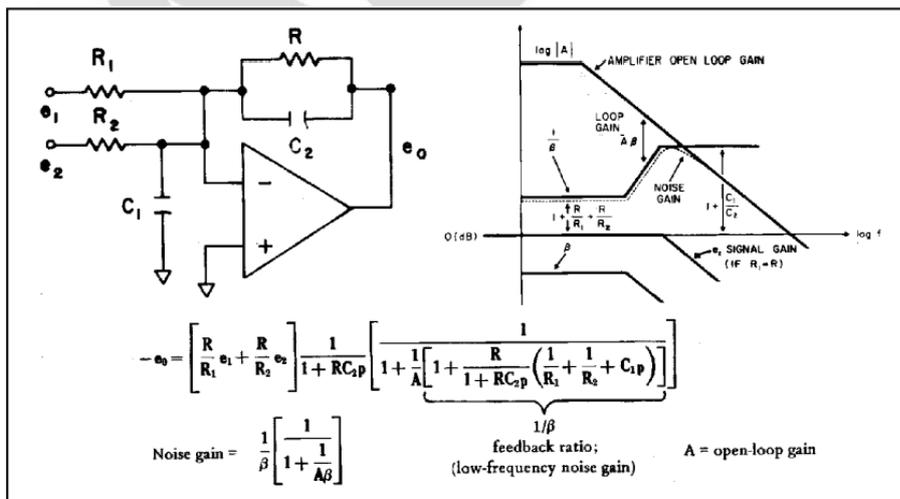


图 4: 反馈电路分析

噪声信号的组合

这个话题，我们稍后将深入讨论。不过，不妨记住以下基本概念：我们将来自不相关的源信号或噪声电压或电流的均方根值（例如，不同源的噪声或者来自同一源频谱不同部分的噪声）结合了起来，通过计算其平方和的平方根值实现加合。显然，较大数值会得到强调，较小数值将得到抑制。例如，若 $X=3Y$ ，忽略 Y 时的误差仅为 5% 左右。

$$(\sqrt{1^2 + 3^2} = \sqrt{10} \cong 3.16 \cong 3.0 \times 1.05).$$

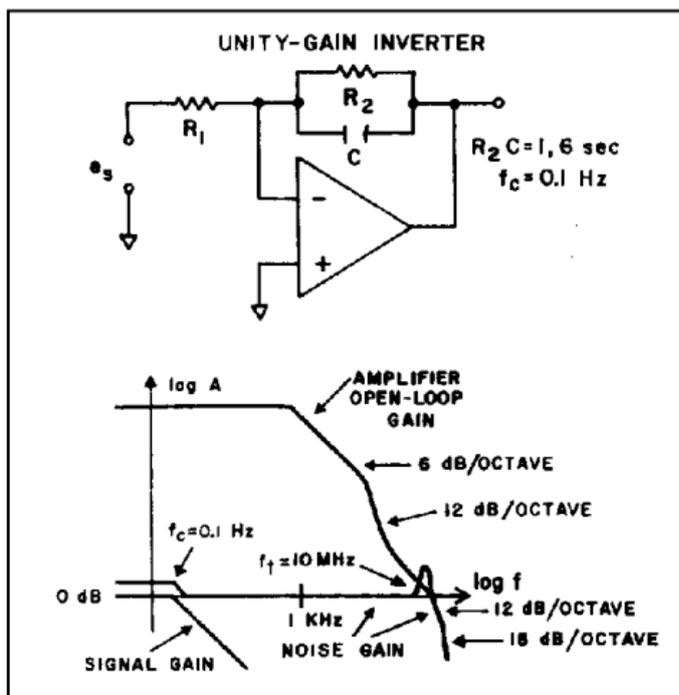


图 5：噪声带宽与信号带宽

如何表征噪声

周期性重复噪声可基于重现率、波形和幅度进行描写（如斩波器噪声）。不规则噪声则只能通过其波形和幅度进行描写，因为其变化无规律可言（在某种程度上来说，爆米花噪声属于此类）。无重复性波形的非周期性噪声（包括后文将讨论的所有随机噪声）一般通过其统计特性进行描述：均方根值、峰值和频率成分。

均方根值。多数随机噪声都存在以下特性：如果求平均值间隔较长，结果得到的均方根

值具有较大的可重复性。因此，以均值法基于较长间隔求得的目标带宽均方根值，是确定这类随机噪声特性行之有效的方式。目前为止，这是厂商和客户都比较接受的估计噪声各因素的最简便方式。电压均方根值定义如下

$$E_{\text{rms}} = \sqrt{\frac{1}{T} \int_0^T e^2 dt} \quad (5)$$

其中：

E_{rms} = 均方根电压值

T = 观测时间间隔

e = 瞬时噪声电压

其中参数替换为瞬时电流值 i ，则得到 I_{rms} ，即均方根电流值。进行均方根测量时，必须使用“真均方根”计量仪，也可将交流平均值（正弦波均方根校准型计量仪）的读数乘以因数 1.13。

峰值。噪声也可表征为任意间隔观察到的最大正幅度与最大负幅度之差。在某些应用中，当峰峰值噪声可能限制系统性能时，可能需要采用峰峰测量法。然而，从实用角度来看，由于噪声幅度分布呈高斯分布，因此最高噪声幅度的概率最低（但不为零），难以重复测得峰峰值噪声。由于均方根值容易重复测得，而且是噪声数据公认的、最常用的表示方式，因此可利用下表估算在给定均方根的情况下，超过各种峰值的概率。

标称峰峰值	噪声超过标称“峰峰值”的比率
2.0 x RMS	32%
3.0 x RMS	13%
4.0 x RMS	4.6%
5.0 x RMS	1.2%
6.0 x RMS	0.27%
6.6 x RMS	0.10%
7.0 x RMS	0.046%
8.0 x RMS	0.006%

峰峰值与均方根（高斯分布）

一般观测到的峰峰噪声值在 3xRMS 与 8xRMS 之间, 取决于观测者的耐心及可用数据量。在较高的强度下才能观测到示波器的踪迹, 然而由于大量平均求值运算是在低强度完成, 此时将产生一个较为接近均方根值的结果。另外, 市场上用于自动测量这类参数的峰值幅度分布分析仪也日益增多。

干扰噪声与固有噪声

既定电路的噪声可分为两个基本类别, 即干扰噪声 (指自电路外部拾取的噪声) 和固有噪声 (指电路内部产生的噪声)。

干扰噪声可能具有周期性, 可能不规则重复, 也可能完全随机, 通过以下预防措施, 往往可以大幅减少 (或防止) 这类噪声。比如, 采取预防措施针对由电源线频率和谐波、无线电广播站、机械开关电弧以及阻性电路中开关带来的电流或电压尖峰等所引起的电磁干扰进行改善。这类预防措施包括滤波、去耦、对引线和元件进行静电和电磁屏蔽、使用防护电位、消除地环路、对引线和元件位置方向重新排布、在继电线圈中使用阻尼二极管、尽可能选用低电路阻抗、低噪型电源和基准源等。振动引发的干扰噪声可通过

机械设计改善。图 6 中的表格列出了部分干扰噪声源、其典型值及处理方式。

外部噪声源	典型值	典型处理方式
60Hz电源	100pA	屏蔽、注意地环路、隔离电源
120 Hz 电源纹波	3μV	电源滤波
来自饱和60Hz变压器的180Hz磁场影响	0.5μV	调整元件方向
无线电广播站	1mV	屏蔽
开关电弧	1mV	对5至100MHz元件进行滤波处理、注意地环路和屏蔽
振动	10pA (10至100Hz)	适当注意机械耦合、消除输入引脚附近的大电压引线 (注: $i = \frac{d(Cv)}{dt} = C \frac{dv}{dt} + v \frac{dC}{dt}$)
电缆振动	100pA	使用低噪声 (碳涂层电解质) 电缆
电路板	比10Hz低 0.01至10 pA/ $\sqrt{\text{cps}}$	彻底清洁电路板、尽量使用特氟龙绝缘材料、采用适当的防护措施

图 6: 典型的干扰噪声源

然而，即使所有干扰噪声均得到消除，仍然存在固有噪声。固有噪声通常本质上属于随机噪声，多出现在电阻和半导体元件中，如晶体管和二极管等。（非随机固有噪声的一个例子是斩波器稳压型放大器中的斩波器噪声。）电阻元件中产生的随机噪声被称为约翰逊噪声（也称热噪声）。半导体元件中产生的随机噪声可能属于以下三类之一：肖特

基噪声（或称散粒噪声）、闪烁噪声（1/f 噪声）和爆米花噪声。

常见的随机噪声

约翰逊噪声。阻抗电阻部分存在的电子热扰动会使通过这些电阻的电荷发生随机运动，结果产生一种电压，其值等于电荷瞬时变化率（即电流）与相应电阻之积。理想的纯电抗不存在约翰逊噪声。

在带宽 B 下，电阻热扰动产生的约翰逊噪声电压可通过以下等式求得

$$E_{\text{rms}} = \sqrt{4kTRB} \quad (6)$$

其中：

k = 玻尔兹曼常数 = 1.374×10^{-23} 焦耳/0 开尔文

T = 绝对温度(开式温度)

R = 电阻(欧姆)

B = 带宽(周期/秒)

室温下，单位进一步简化，以上表达式变成

$$E_n = 0.03 \sqrt{R \times B} \cong \frac{1}{8} \sqrt{R \times B} \text{ 微伏} \quad (7)$$

其中：

R = 电阻（兆欧姆）

B = 带宽（周期/秒）约翰逊通常表示为等效电流

$$I_n = \frac{E_n}{R} = 0.13 \sqrt{\frac{B}{R}} \cong \frac{1}{8} \sqrt{\frac{B}{R}} \text{ 皮安} \quad (8)$$

通常情况下，就噪声源而言，放大器内部的约翰逊噪声不如半导体中产生的噪声重要；但是，它却是信号源和反馈电路贡献的主要噪声源，而此时的电阻值往往较高。在某些情况下，外部电路元件中的约翰逊噪声完全占据主导地位。例如，如果特定应用中的源电阻为 10 兆欧，则选择低电压噪声类放大器毫无意义，因为来自该 10 兆欧电阻的约翰

逊噪声将成为输出端的主要噪声源，放大器输入端具有高电流噪声时除外。在本例中，1kcps 带宽下的电阻噪声为 13 微伏均方根，相当于 1.3 皮安的电流噪声。

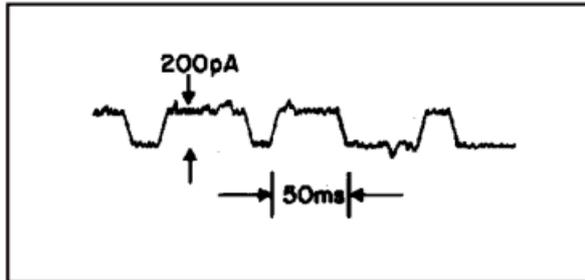


图 7: 典型“爆米花”噪声

肖特基噪声。每当电流通过晶体管结时都会产生散粒噪声。该噪声一般表示为电流，结果无疑会使阻抗产生压降，如晶体管发射器电阻。散粒噪声的简便等式为

$$I_n = 5.7 \times 10^{-4} \sqrt{IB} \quad \text{皮安} \quad (5)$$

其中:

I =结电流 (单位: 皮安)

B =目标带宽 (单位: 周期/秒)

在采用双极性输入晶体管的典型运算放大器电路中，输入晶体管基极电流通过基极-发射极结，会产生肖特基噪声分量，这是这类放大器等效噪声电流源的一部分。其他 P-N 结产生的噪声电流 (运算放大器内部)，会除以相应跨导，在输入端产生等效噪声电压。

闪烁噪声 (1/f 噪声)。在 100Hz 以下的频率范围内，多数放大器会产生另一噪声分量，超过了约翰逊噪声分量和肖特基噪声分量，并成为此类频率下的主要误差源。闪烁噪声被认为是晶体管表面缺陷引起的结果。碳素电阻在传导大电流时，可能产生与晶体管闪烁噪声类似的噪声。(当电阻中有大电流通过时，为满足低频低噪声的需要，一种良好做法是使用金属薄膜或绕线电阻)。

闪烁噪声在不同频率下的噪声贡献并不相等。这类噪声的频谱噪声密度 (定义见下文)

通常表现为-3dB/8 倍频程斜率。

爆米花噪声。有些晶体管，尤其是那些采用集成电路单芯片结构（基于某些制造商的工艺）的晶体管，会在两个 hfe 值之间不规则抖动，结果导致额外的基极电流噪声，其波形如图 7 所示。因而，多数高性能放大器的成本还包括为清除含有存在这种效应的晶体管元件或 IC 而进行的测试开销。

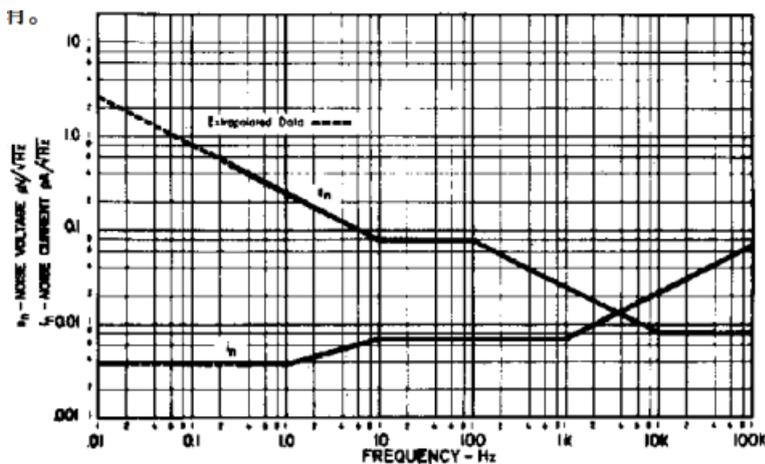


图 8：噪声频谱密度 ADI 型号 144（经济型 FET 放大器）

噪声密度频谱

噪声存在于频谱各个部分，电阻或放大器的噪声贡献因观测频率范围而不同。描述噪声特性比较有效的方式是噪声密度频谱图，其中，噪声表示为频率的函数，通常表示在对数-对数坐标轴上。

在既定频率处，频谱噪声密度 e_n 定义为均方电压基于频率的变化速率的平方根。相反，既定频段下的均方根值为频谱噪声密度在给定频段下平方的定积分再开方。

$$e_n^2 \equiv \frac{d}{df} (E_n)^2 \quad (10) \quad E_n = \sqrt{\int_{f_1}^{f_2} e_n^2 df} \quad (11)$$

由于平均功率与 E^2 成比例，该概念可以更加简单地表述为： e_n^2 与每周期每秒噪声功率的变化成比例。因此， e_n 表示为噪声电压/（平方）根周期（/秒）

根据等式 (11)，我们可以看出，为了估算积分并算出实际均方根噪声电压，需要频率下限 f_1 和上限 f_2 ，同时还需了解 e_n 随频率变化的方式。ADI 144 型器件的典型频谱密度坐标图（含 e_n 和 i_n ）如图 8 所示。

常见密度频谱配置

白噪声。在白噪声频谱中， e_n 恒定不变，为频率的函数。可见，通过理想的锐截止滤波器在既定带宽下测得的均方根值为

$$E_n = \sqrt{\int_{f_1}^{f_2} e_n^2 df} = e_n \sqrt{f_2 - f_1} \quad (12)$$

由于 $f_2 - f_1$ 定义了一种带宽（参见 6、7、8、9 四个等式中的 B），显然，约翰逊噪声和肖特基噪声均为白噪声，且约翰逊噪声的 e_n 为 $0.13\sqrt{R}$ 微伏/根周期或 $0.13\sqrt{1/R}$ 皮安/根周期（R 的单位为兆欧），肖特基噪声为 $5.7 \times 10^{-4}\sqrt{I}$ 皮安/根周期（I 的单位也为皮安）。

如果 f_1 低于 f_2 的 10%，则适用于 f_2 至“直流”范围内的所有白噪声（其误差小于 5%）的简单表达式为

$$E_n = e_n \sqrt{f_2} \quad (13)$$

粉红噪声。粉红噪声是应用了理想的 $1/f$ 噪声概念的通用术语，其中， e_n 与完全成比例，可表示为

$$e_n = K \sqrt{\frac{1}{f}} \quad (14)$$

K 表示 $f=1\text{Hz}$ 时的 e_n 值

f_2 与 f_1 之间频段的均方根噪声可通过将等式 (14) 代入等式 (11) 计算得出

$$E_n = K \sqrt{\int_{f_1}^{f_2} \frac{df}{f}} = K \sqrt{\ln\left(\frac{f_2}{f_1}\right)} \quad (15)$$

在 e_n 与频率的对数-对数坐标图中，斜率为 $-3\text{dB}/8$ 倍频程（ e_n^2 与频率的斜率为 $-6\text{dB}/8$ ）

倍频程)。由于粉红噪声的均方根值取决于定义目标频段的频率比，每 8 倍频程或十倍粉红噪声将与其他每 8 倍频程或十倍单位具有相同的均方根噪声成分。

可以在 1Hz 之下九十倍衰减范围内计算一下均方根粉红噪声 ($10^{-9}\text{Hz} \cong 1$ 周期/30 年)。如果粉红噪声在 0.1 至 1Hz 十倍频程范围内的均方根值为 1 微伏，则全部九十倍频程内的总均方根噪声为 $=3 \mu\text{V}$ 。

这就意味着，随着频率下限 f_1 接近极小值（直流），均方根粉红噪声（及理想闪烁噪声）的作用将低于环境因素、元件老化或元件寿命等导致的漂移。

散粒噪声。如果我们将频谱分成足够窄的点或区间， Δf_1 、 Δf_2 、 Δf_3 等，以使个点的 e_n （或其“均”值）恒定不变，则可通过等式(11)利用增量逼近法来估算均方根噪声 E_n 整个区间的均方根噪声，也可简单表示为各增量区间噪声的平方和的平方根：

$$E_n = \sqrt{e_{n1}^2 \Delta f_1 + e_{n2}^2 \Delta f_2 \dots} \quad (16)$$

如果所有区间均 $= \Delta f$ ，则等式(16)可简化为

$$E_n = \sqrt{\Delta f} \sqrt{e_{n1}^2 + e_{n2}^2 + \dots} \quad (17)$$

滤波器波裙误差。以上有关频率成分的讨论假定，可以通过完美的锐截止滤波器，按频段将噪声源的贡献相加。然而，在实际电路中，常见滤波器响应为单个时间常数（超前或滞后）。在超过其标称截止频率的频段下，此类滤波器仍具有较大响应。例如，为了考虑以高于 f_2 的频率通过截止频率为 f_2 的一阶滞后滤波器的白噪声，用计算整个频段低于 f_2 的均方根白噪声的等式(13)时必须再乘以 1.26。实际上，“噪声带宽”为 $f_2 \pi/2$ ，而且如果忽略以低于滤波器波裙（超过截止频率）的频率通过的噪声，结果会产生 26% 的误差。然而，需要注意的是，因忽略更高阶滤波器的波裙而导致的误差远远低于此值。6dB/8 倍频程波裙本身的均方根贡献为 $0.76e_n \sqrt{f_c}$ 。

读者注意：感谢您耐心阅读至此。现在，您已来到此次长篇讨论的重点：一种图形技术，

可用于轻松预测运算放大器电路的噪声频谱和总噪声。我们通过对相关背景知识的了解，加之运用频谱密度坐标图表示电压和电流噪声的方法，又讨论了反馈放大器电路的闭环增益和阻抗水平及特定的逼近法。

相关要点小结

1. 在每 8 倍频程或每十倍频谱下，粉红噪声贡献相等的均方根噪声增量。各增量为 $1.52K/\text{十倍频程}$ 或 $0.83K/8 \text{ 倍频程}$ ，其中， $K=e_n$ 或 $i_n/1\text{Hz}$ 。
2. 带宽上下限比例大于十倍时，白噪声的带宽基本等于带宽上限。
3. 由于加上了平方和的平方根，两个不相关噪声信号中较大的均方根值将基本等于其两个信号之和，条件是较大值至少为较小值的 3 倍（即如果其比值的 $20\log$ 大于 10dB）。
4. 放大器电路中随机频谱中不同因素的噪声不相关，因而可通过平方和相加再开方。

“粉红噪声正切”原理

考虑图 9，其中展示了任意输出噪声频谱图，采用对数电压与对数频率坐标。这完全是随意选择，仅仅是为了举个例子。注意，这可能是通过对数坐标上将放大器闭环增益（即真实噪声增益）叠加 e_n 而得到的（实际上是得到其乘积）。

首先，我们基于上节观点算出各频谱段的噪声

区间	均方根噪声	原因
1	22 μV	粉红噪声，20倍频， $\sqrt{2} \times 1.52 \times 10$
2	100 μV	白噪声，20倍频， $10 \times \sqrt{100}$
3	152 μV	粉红噪声，10倍频， $1.52 \times \sqrt{100}$
4	72 μV	6dB/8倍频程波裙， $0.76 \times 3 \times \sqrt{1000}$
5	42 μV	白噪声， $0.3 \times \sqrt{20,000}$
6	40 μV	6dB/8倍频程波裙， $0.76 \times 0.3 \times \sqrt{30,000}$

这些噪声的均方根之和为

$$\sqrt{152^2 + 100^2 + 72^2 + 42^2 + 40^2 + 22^2} = 205 \text{ 微伏}$$

指出，接近 K=100 处粉红噪声特性切点的噪声部分，其平方和的平方根为

$$\sqrt{152^2 + 100^2 + 72^2} = 196 \text{ 微伏}$$

进行深入讨论之前，我们先看看图 10 中的示例，其中所示为另一种响应。噪声记录如下：

区间	均方根噪声	原因
1	8 μ V	粉红噪声，30倍频， $K=3.16 \sqrt{3} \times 3.16 \times 1.52$
2	126 μ V	白噪声和波裙 (6dB/8倍频程) $1.26 \times 1.0 \times \sqrt{10^4}$
3	45 μ V	白噪声， $0.1 \times \sqrt{200,000}$
4	42 μ V	6dB/8倍频程波裙， $0.76 \times 0.1 \sqrt{300,000}$

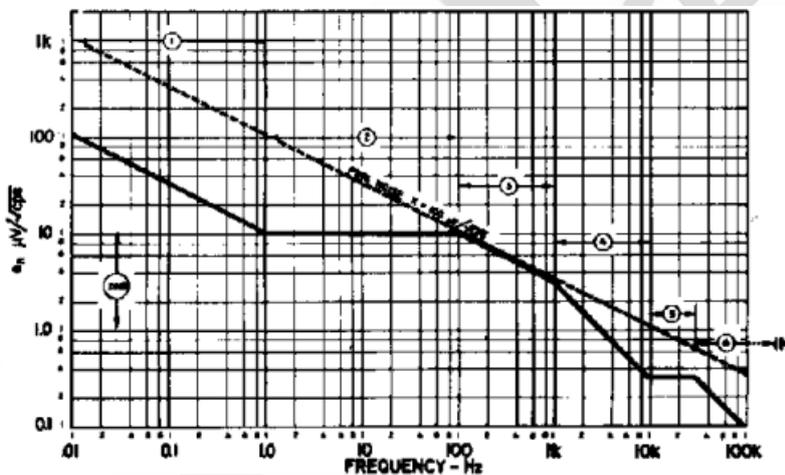


图 9

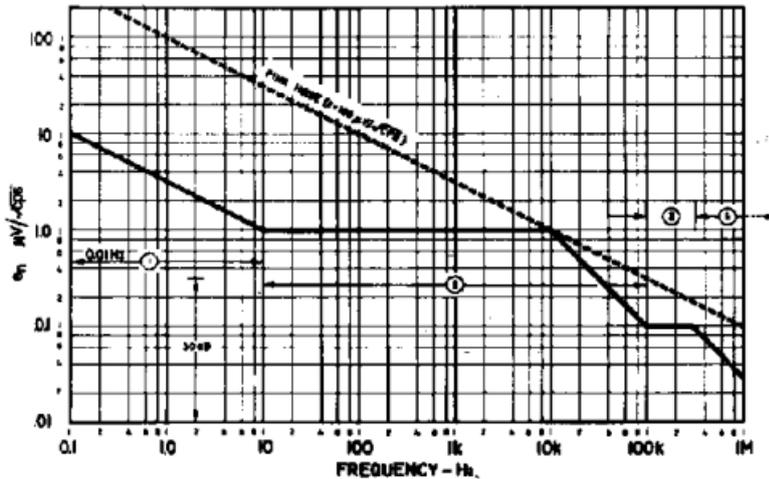


图 10

这些噪声的均方根之和为

$$\sqrt{126^2 + 45^2 + 42^2 + 8^2} = 140 \text{ 微伏}$$

注意，如果假定所有噪声均位于区间 2 之内，并完全忽略区间 1 中的可忽略误差，则误差低于 10%。另外，如果我们作出以下完全随意的假设，即存在的所有噪声均可向切线范围(10kHz)内的粉红噪声逼近 10 倍，则该值等于 $1.52 \times 100 = 152$ 微伏，保守来看，其误差低于 10%。

问题是：如果典型-3dB/8 倍频程粉红噪声斜线降低至与放大器的典型噪声输出成正比关系时，总体噪声输出的唯一重要贡献因素将来自典型放大器噪声中处于粉红噪声斜线直接相邻的那些部分。放大器典型噪声中，大大低于粉红噪声斜线的部分（偏离值一般超过 10dB）可忽略不计。其原因在于，粉红噪声斜线正是等效每 8 倍频程（或每十倍）对总噪声产生影响的轨迹。我们稍后将看到，放大器电路的最大噪声贡献因素位于切线范围内。任何其他类似区间的噪声贡献一定小得多，并且在一般比-3dB/8 倍频程斜线低 10dB 的区间中，其噪声贡献可忽略不计。

典型示例

考虑图 11 中的电路。这是一种求和放大器，其增益为 10 至 100，使用了一只 1 兆欧的电

阻，与 160pF 的电容并联。该放大器的开环直流增益为 100dB，ft 为 1MHz。

计算噪声增益

图 11 显示的是该放大器的假定开环增益频率响应图，以及反馈网络的衰减（“噪声增益”）。环路增益(Aβ)为两条曲线之差。反馈网络的衰减可表示为 x111 的不变衰减至 1kHz，而后以滚降为 6dB/8 倍频程达到单位增益（即 0dB）。

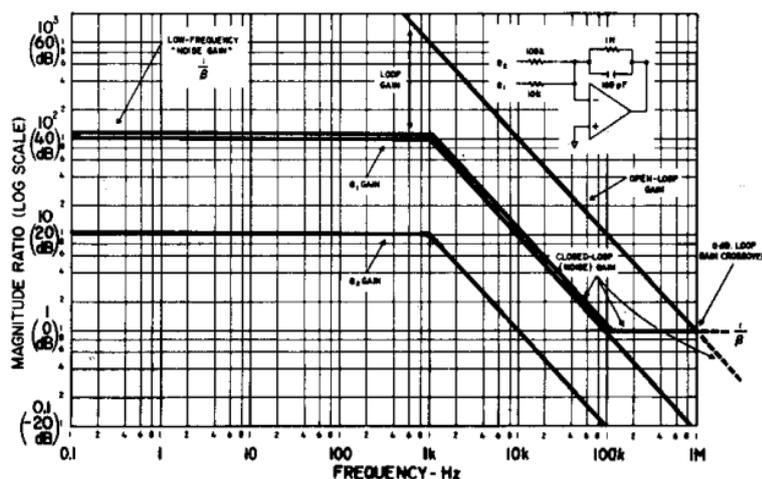


图 11: 闭环增益关系

先进行常规的稳定性分析。当前情况下，该分析非常简单：环路增益 Aβ 通过单位增益，相移约为 90°（从放大器相移 90°，从反馈网络相移 0°），既表明了良好的稳定性，而且也不存在尖峰值。因而，噪声增益在下降到单位增益约 100kHz 之后，将持续其滚降到 1MHz 附近。

明确并计算噪声源的贡献

各噪声的来源为：放大器 e_n 和 i_n ，以及三个电阻中的约翰逊噪声。首先，图 12 所示为基于对数-对数比例的 i_n 和 e_n 坐标图。（分别为虚线和下方的实线）。接下来，我们将根据上述方法，画出关于所有噪声源的有效输出噪声贡献的图线，以确定最重要的噪声源及其出现的频段，并算出电路的总均方根“固有”噪声。

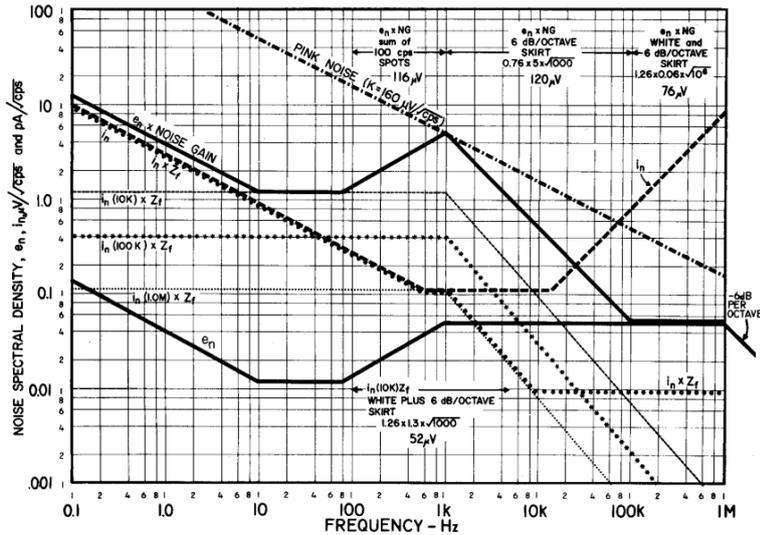


图 12: 闭环噪声频谱

放大器电压噪声(e_n)。在输出端，噪声频谱将由 e_n 乘以噪声增益构成。由于 e_n 和噪声增益均基于对数-对数坐标表示，我们将二者相加即可。（上方实线）。

放大器电流噪声(i_n)。在输出端，噪声频谱将由 i_n 乘以反馈阻抗（在 1kHz 内为 1 兆欧，随后会有 6dB/8 倍频程的滚降）构成。低频下，其结果是一条与电流曲线并行的曲线，幅值为 $i_n R_f$ ，在低于拐点频率时，曲线以 6dB/8 倍频程的速率偏离于电流曲线。（粗虚线）

电阻噪声。分析各电阻的噪声贡献更能说明问题（因为其噪声不具相关性，且将以均方根模式进行合并）。在本例中，可以将各电阻当作噪声电流源。来自三个电阻之一的电流噪声将乘以反馈阻抗，与放大器 i_n 类似（分别为虚线、星形线和细虚线）。

确定正切粉红噪声线的位置。在基于五个噪声源的输出噪声画出频谱密度曲线的基础上，可用 -3dB/8 倍频程斜率降低此斜线，直到触及任一曲线为止。结果为 e_n (\times 噪声增益) 曲线，频率为 1kHz。从定性角度来看，我们可以即刻观察到：

- 大量随机噪声将发生在 1kHz 附近，多数由放大器所致，部分来自 10k 电阻。
- 1MHz 下存在较小噪声贡献。

如果我们（以完全随意的方式）在 1kHz 范围内，以粉红噪声的十倍频程 ($k=160 \mu V / \sqrt{cps}$)

逼近所有噪声，则总均方根噪声为 $1.52 \times 160 = 244$ 微伏。基于曲线进行实际计算后，就会发现该估值是非常保守的。

计算总噪声

区间	E_{rms}	方法
100kHz以上 (放大器)	76 μ V	白噪声，-6dB/8倍频程滚降 $1.26 \times 0.06 \times 10^3$
1kHz至100kHz (放大器)	120 μ V	白噪声，-6dB/8倍频程波裙 $0.76 \times 5 \times \sqrt{1000}$
200kHz至1kHz (放大器)	116 μ V	散粒噪声，100cps散粒之和10 $\sqrt{\sum e_n^2}$
所有频率 (电阻)	52 μ V	10k 电阻，白噪声，1kHz滚降 $1.26 \times 1.3 \times 1000$

以上即是所有重要贡献，其均方根和为

$$\sqrt{76^2 + 120^2 + 116^2 + 52^2} = 190 \text{ 微伏RMS}$$

读者不妨自行练习，证明所有其他噪声源和频段的贡献较少或可忽略不计。

有关本例的进一步讨论

190 微伏的总随机噪声可折合到两个输入端之一，以确定不同信号相对噪声的比值。我们将看到，折合到 e_1 (增益为 100) 时，噪声为 1.9 微伏 RMS，折合到 e_2 (增益为 10) 时，噪声为 19 微伏 RMS。

本电路的信号“截止”频率为 1kHz。我们将看到，由于不存在尖峰值，其在 1MHz 下的噪声贡献虽然比较显著，但相对于总噪声来说，仍比较微小。不过，如果采用具有相位度较小的放大器，且信号带宽也比较小（即采用较大反馈电容），则可观测到以下现象：主要噪声集中于 1MHz 区间，即使已远远超过了所关注的通带频率。假如应用情况

确实如此，且之后没有窄带放大器可用时，则可在放大器之后设置一个低阻抗的低通 R-C 或 L-C 滤波器，以大幅减少高频噪声。如果这样，将后置的滤波器传递函数应用于输出噪声频谱，并降低粉红噪声斜线，直到再次与任一曲线相切为止。在此向电路设计人员提出一个重要建议：避免使用带宽高于应用需要的放大器（可行的话）。

噪声系数

不难发现，我们目前尚未讨论放大器的“噪声系数”。噪声系数这一指标衡量的是放大器所贡献的超出源电阻噪声的额外噪声。其计算公式为：

$$\text{N.F.} = 10_{\log} \frac{E_n^2 + I_n^2 R_s^2 + 4kTR_s B}{4kTR_s B} \quad (18)$$

其中， R_s 为源电阻。噪声系数单位为 dB，对于理想的无噪声放大器，该值为 0。对于给定放大器，若 $R_s = E_n / I_n$ （该数值被称为“最优噪声电阻”），则 N.F. 最小。需要指出，N.F. 取决于带宽，且 R_{optimum} 可能因频带而异。表达噪声系数的更好方式需要基于实际闭环配置并算出均方根噪声。对于上例，可使用以下定义

注意，对于该放大器，低频段下 R_{optimum} 为

$$\frac{0.12 \mu\text{V} / \sqrt{\text{cpa}}}{10 \text{pA} / \sqrt{\text{cpa}}} = 12 \text{k}\Omega$$

随频率变化上升为

$$\frac{0.05 \mu\text{V} / \sqrt{\text{cpa}}}{0.12 \text{pA} / \sqrt{\text{cpa}}} = 400 \text{k}\Omega @ 1 \text{kHz}$$

请注意，较好的噪声系数不一定会产生最低的噪声。在考虑同相放大器配置时会比较实用。在对不同阻抗水平的电路做实验时，不妨添加一个小信号作为基准源，以实现信噪比的最大化，而不仅仅是降低输出噪声。

电流反馈运算放大器噪声考虑因素

在多数高速运算放大器应用中，一般都需要考虑总输出均方根噪声。由于其中涉及高带宽，因此，输出均方根噪声的主要贡献因素是白噪声， $1/f$ 噪声可以忽略不计。

典型的高速运算放大器的带宽大约大于 150MHz，双极性电压反馈(VFB)输入级的输入电压噪声范围为 1 至 $20\text{nV}/\sqrt{\text{Hz}}$ 左右。

对于 VFB 运算放大器，反相和同相输入电流噪声一般相等，而且几乎总是不相关。宽带 VFB 运算放大器的典型值范围为 0.5 至 $5\text{pA}/\sqrt{\text{Hz}}$ 。当增加输入偏置电流补偿发生器时，双极性输入级的输入电流噪声会提高，因为它们的电流噪声不相关，因而会（以和的平方根的方式）增加双极性级的内生电流噪声。然而，偏置电流补偿很少用在高速运算放大器中。

电流反馈(CFB)运算放大器中的输入电压噪声一般低于带宽与之近似相同的 VFB 运算放大器。其原因在于，CFB 运算放大器中的输入级一般在较高的电流下工作，从而使发射极电阻下降，结果导致电压噪声降低。CFB 运算放大器的典型值范围为 1 至 $5\text{nV}/\sqrt{\text{Hz}}$ 。

CFB 运算放大器的输入电流噪声一般大于 VFB 运算放大器，因为其偏置电流普遍较高。CFB 运算放大器的反相电流噪声和同相电流噪声通常不同，因为它们采用的是独特的输入架构，二者表示为独立的规格参数。多数情况下，反相输入电流噪声是二者中较大者。CFB 运算放大器的典型输入电流范围为 5 至 $40\text{pA}/\sqrt{\text{Hz}}$ 。这可能占据主导地位，但如果增益极高（当 R_1 较小时）则不在此列。

输出噪声中的主要噪声源在很大程度上取决于运算放大器的闭环增益以及反馈电阻和前馈电阻的值。如果闭环增益的值较高，则运算放大器电压噪声将有可能成为输出噪声的主要贡献因素。低增益时，还需要考虑输入电流噪声的影响，这种影响可能成为主导因素，尤其是在 CFB 运算放大器的情况下。

高速运算放大器电路中的前馈电阻和反馈电阻的范围从不到 100Ω 到 1kΩ 以上不等，因此，如果不了解具体的值以及闭环增益，则很难从总体上概括它们对总输出噪声的影响。

计算噪声比较好的方法是写一个简单的电子表格程序，以自动进行计算，其中要包括所有噪声源。可以使用下面图 1 中的等式。请注意，这些对 VFB 运算放大器来说也是一样的。另外，在多数高速运算放大器应用中，对于 100Ω 或以下的源阻抗，源阻抗噪声往往可以忽略不计。

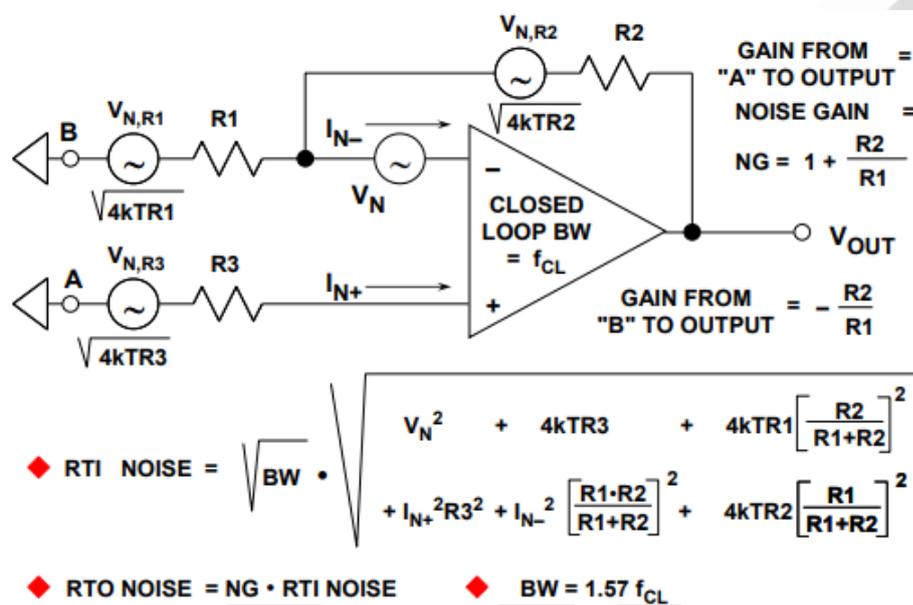


图 1: 如果仅存在少量增益尖峰现象，则 CFB 和 VFB 运算放大器使用相同的噪声模型

以上分析忽略了闭环频域响应中的增益尖峰现象的影响。然而，CFB 运算放大器中的增益尖峰如果超过 1dB 左右，结果可能导致不稳定和振铃。为此，假若增益尖峰降至最低限度，则以上模型的精度一般都能满足需要。

仪表放大器

仪表放大器基础

在所有专用放大器中，可能最常用的就是仪表放大器。仪表放大器广泛运用于许多工业

和测量领域，这些应用要求在高噪声环境下保持直流精度和增益精度，而且其中存在大共模信号（通常为交流电力线频率）。

运算放大器/仪表放大器功能差异

仪表放大器在许多重要的方面都不同于运算放大器。运算放大器是一个通用增益模块，用户可采用 R、C、和 L（有时）这些外部反馈器件，对运放进行各种设置，最终配置和电路功能实际上取决于用户。

相比之下，仪表放大器的功能和允许的工作增益范围受到较多的限制。许多情况下，仪表放大器比运算放大器更适合完成其工作——尽管仪表放大器可能实际上是由一些运算放大器组成的！人们也常常会因功能而混淆仪表放大器，称其为“运算放大器”。但是相反的情况则几乎不成立。应该认识到，仪表放大器不只是一种特殊类型的运算放大器，这两种器件的功能实际上根本不同。

有一种方法或许能较好地地区分这两种器件，就是记住：运算放大器凭借灵活的反馈，可以通过编程来实现几乎所有功能。相比之下，仪表放大器则不能通过编程实现所有功能。只能在规定范围内对增益进行编程设置。运算放大器通过大量外部器件进行配置，而仪表放大器则通过一个电阻或特定的引脚来配置其工作增益。

仪表放大器定义

仪表放大器是一个精密闭环增益模块，它有一对差分输入端和一个相对于参考端或共用端工作的单端输出，如下图 1 所示。其输入阻抗平衡并且阻值很高，典型值 $\geq 109\Omega$ 。仪表放大器采用内部反馈电阻网络，以及（通常）一个增益设置电阻 R_G ，这一点也不同于运算放大器。另外，仪表放大器的内部电阻网络和 R_G 与信号输入端隔离。仪表放大器增益还可以通过引脚选择的内部 R_G 进行预设（也与信号输入端隔离）。仪表放大器增益范围通常为 1 至 1000。

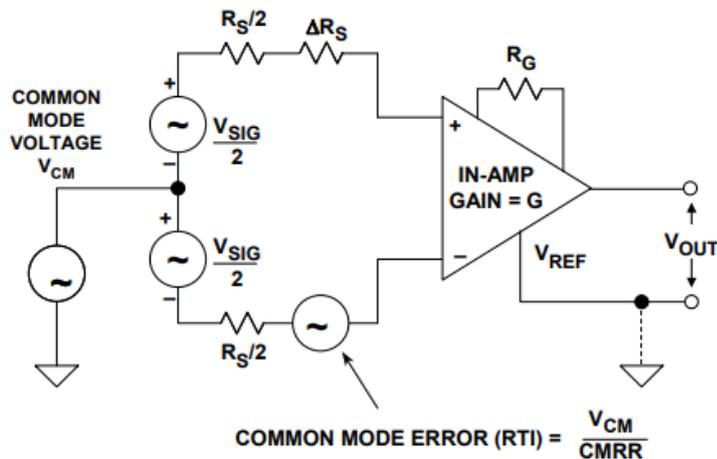


图 1: 通用仪表放大器

仪表放大器产生以某个引脚为参考的输出电压，该引脚通常称为参考引脚或 V_{REF} 。在许多应用中，该引脚连接至电路的接地端，但也可连接至其他电压端，只要其处于额定允许的电压范围即可。该特性在单电源应用中特别有用，此时输出电压通常以中间电源（即+5V 电源时为+2.5V）为参考。

为了实现高效运作，仪表放大器需能够放大微伏电平信号，同时抑制其输入端的共模(CM)信号电压。这要求仪表放大器必须具备极高的共模抑制(CMR)性能。仪表放大器的共模抑制典型值为 70 至 100dB 以上，通常增益较高时共模抑制性能更佳。

必须注意，在大多数实际应用中，仅有直流输入的共模抑制规格是不够的。工业应用中最常见的外部干扰源是 50/60Hz 的交流电源相关噪声（包括谐波）。进行差分测量时，这种干扰往往会对两个仪表放大器输入端产生相同的感应，因而干扰表现为共模输入信号。因此，确定频率范围内的共模抑制与确定其直流值同样重要。注意，两个源阻抗之间的不平衡会降低某些仪表放大器的共模抑制。ADI 公司明确规定了仪表放大器 50/60Hz 时的共模抑制，其中源阻抗不平衡为 1kΩ。

减法器或差动放大器

了解仪表放大器与减法器或差动放大器之间的差别很重要。简单的减法器或差动放大器可由四个电阻和一个运算放大器组成，如下图 2 所示。必须注意，这不是一个真正的

仪表放大器（根据之前讨论过的标准），但常用于一些需要简单的差分转单端转换的应用中。正因为使用广泛，所以需仔细研究该电路，目的是在讨论真正的仪表放大器结构之前，理解它的基本限制。

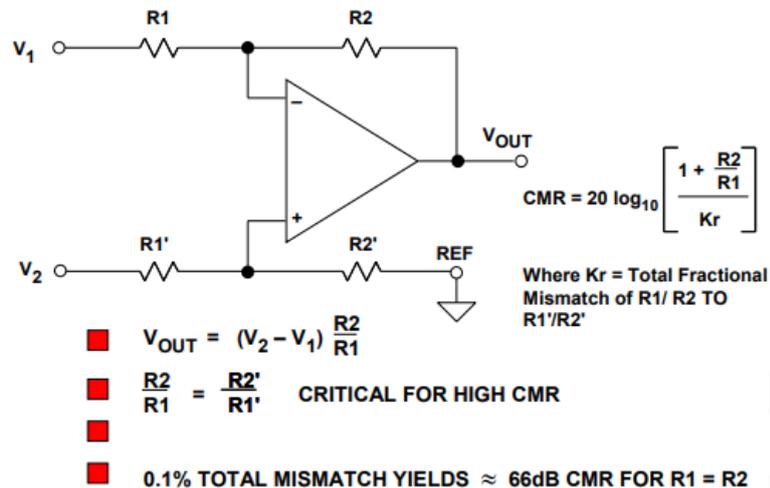


图 2：运算放大器减法器或差动放大器

这个简单电路存在几个基本问题。首先，从 V_1 和 V_2 看到的输入阻抗不平衡。从 V_1 看到的输入阻抗为 R_1 ，从 V_2 看到的输入阻抗则为 $R_1' + R_2'$ 。这个结构在共模抑制方面也相当有问题，因为即使是很小的源阻抗不平衡也会降低可用的共模抑制。采用和每个输入串联的匹配良好的开环缓冲器可以解决该问题（例如，采用精密双通道运算放大器）。但是，这会增加简单电路的复杂性，还可能会导致失调漂移和非线性。

该电路的第二个问题是共模抑制主要由电阻比匹配决定，而非运算放大器。电阻比 R_1/R_2 和 R_1'/R_2' 必须匹配得非常好以此来抑制共模噪声，至少与典型运算放大器的共模抑制相当 ($\geq 100\text{dB}$)。还应注意，电阻绝对值相对而言不太重要。

从一批电阻中选择四个 1% 的电阻可能会产生 0.1% 的净电阻比匹配，使共模抑制达到 66dB（假设 $R_1 = R_2$ ）。但是如果其中一个电阻和其它电阻相差 1%，共模抑制可能会下降至仅 46dB。显然，在电路中采用普通分离电阻所获得的性能非常有限（不采用手动匹配）。因为最好标准的现成 RNC/RNR 型电阻的容差约为 0.1%。

一般而言，这种电路最差情况下的共模抑制可通过下式计算：

$$\text{CMR(dB)} = 20 \log \left[\frac{1 + R_2 / R_1}{4K_r} \right], \quad \text{公式1}$$

其中 K_r 是小数形式的单电阻容差，此时采用 4 个分立电阻。上式显示，对于一个由 4 个没有经过挑选的相同标称值 1% 电阻组成的容差，最差情况下的共模抑制不会优于 34dB。

该电路可能会采用净匹配容差为 K_r 的单电阻网络，此时表达式如图所示，即：

$$\text{CMR(dB)} = 20 \log \left[\frac{1 + R_2 / R_1}{K_r} \right] \quad \text{公式2}$$

用公式 2 计算，假定 $R_1=R_2$ ，电阻比的净匹配容差为 0.1% 时，可得出最差情况的直流共模抑制为 66dB。注意，两种情况均假定较高的放大器共模抑制（即 >100dB）。显然，对高共模抑制而言，此类电路需要四个具有极高绝对值及温度系数匹配的单衬底电阻。此类网络采用厚/薄膜技术，Caddock 和 Vishay 公司均可提供，其比率匹配 0.01% 或更佳。

采用简单差动放大器时，与其招致高成本以及精密运算放大器和分离电阻网络带来的 PCB 面积限制，不如找出完整的单芯片解决方案。[AMP03](#) 就是这样一款精密差动放大器，其中包括片内激光修调精密薄膜电阻网络。如下图 3 所示。[AMP03F](#) 典型的共模抑制为 100dB，小信号带宽为 3MHz。

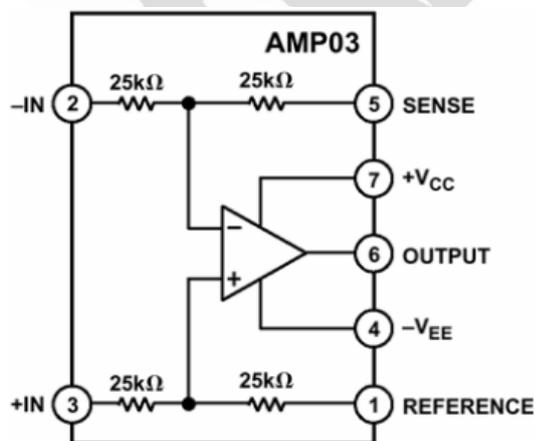


图 3: [AMP03](#) 精密差动放大器

在 [AD629](#) 差动放大器中发现了一点关于简单差动放大器的有趣变化，这款放大器针对高共模输入电压进行了优化，典型的电流检测应用如下图 4 所示。[AD629](#) 是一款单位增益差分转单端放大器，在电源电压为 $\pm 15\text{V}$ ，小信号带宽为 500kHz 情况下，可以处理 $\pm 270\text{V}$ 的共模电压。

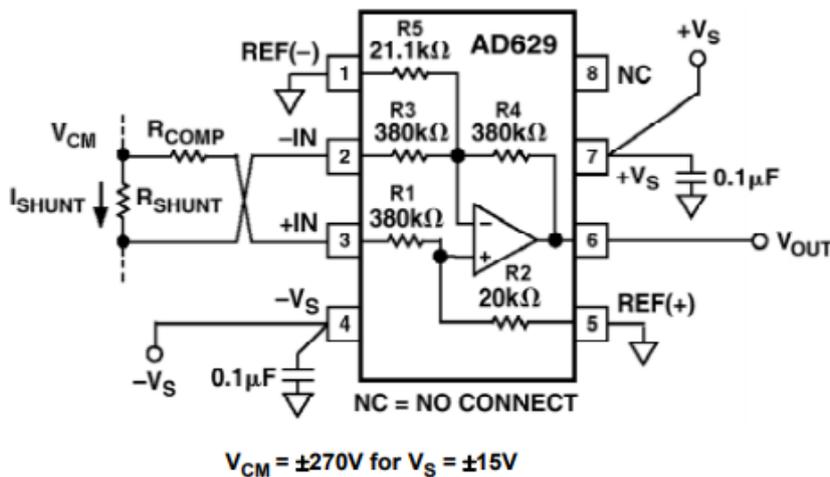


图 4：采用 [AD629](#) 差动放大器的高共模电流检测

采用 R1-R2 分压器网络将同相输入（引脚 3）衰减 20 倍，可以获得高共模电压范围。对于反相输入则选用电阻 R5，使 $R5 \parallel R3$ 等于电阻 R2。电路的噪声增益等于 $20[1+R4/(R3 \parallel R5)]$ ，从而为差分输入电压提供单位增益。通过对 R1-R5 薄膜电阻进行激光晶圆修调，可使 [AD629B](#) 的最小共模抑制达到 $86\text{dB}@500\text{Hz}$ 。在应用中，最好的做法是使两个输入的源阻抗保持平衡，因此选用虚拟电阻 RCOMP，其阻值等于分流检测电阻 RSHUNT 的阻值。

双运放仪表放大器基本配置

仪表放大器是基于运算放大器的，有两种基本配置极为常见。第一种基于双运算放大器，第二种则基于三运算放大器。图 1 所示电路称为双运放仪表放大器。双通道精密 I_C 运算放大器在大多数情况下拥有良好匹配，例如 [OP297](#) 或 [OP284](#)。电阻通常是同一芯片上的薄膜激光调整阵列。仪表放大器增益可利用外部电阻 R_G 轻松设置。无 R_G 时，增益是

$1+R_2/R_1$ 。实际应用中， R_2/R_1 比值依据所需的最小仪表放大器增益来选择。

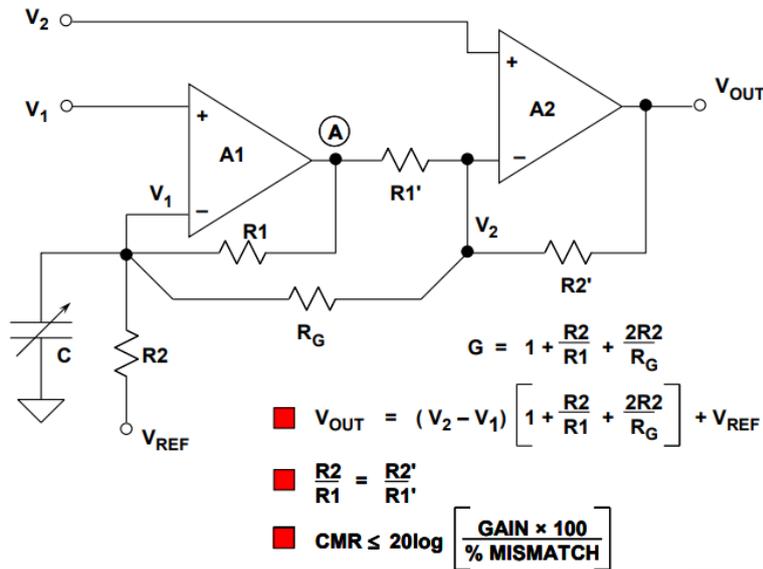


图 1: 双运放仪表放大器

双运放仪表放大器的输入阻抗本身较高，使得信号源阻抗可能较高且失衡。直流共模抑制性能受 R_1/R_2 与 R_1'/R_2' 的匹配限制。如果四个电阻中有任何一个存在不匹配，直流共模抑制比限于下值：

$$CMR \leq 20 \log \left[\frac{GAIN \times 100}{\% MISMATCH} \right] \quad \text{公式1}$$

请注意，电路净 CMR 随着仪表放大器工作增益增大而成比例提高，从而有效提升较高增益下的性能。

IC 仪表放大器特别适合同时满足增益设置电阻的比率匹配和温度跟踪需求。虽然在硅片上制造的薄膜电阻最高具有 $\pm 20\%$ 的初始容差，生产过程中的激光调整可将电阻间比率误差减小至 0.01% (100ppm)。另外，薄膜电阻温度系数之间的跟踪本身较低，通常小于 $3\text{ppm}/^\circ\text{C}$ ($0.0003\%/^\circ\text{C}$)。

使用双电源时， V_{REF} 一般直接接地。在单电源应用中， V_{REF} 通常连接至等于电源电压一半的低阻抗电压源。从 V_{REF} 到节点“ A ”的增益为 R_1/R_2 ，从节点“ A ”到输出的增益

为 R_2'/R_1' 。假定比率匹配是理想的，则从 V_{REF} 到输出的增益等于单位增益。请注意， V_{REF} 的源阻抗必须较低，否则 CMR 会降低。

双运放仪表放大器的一个主要缺点是共模电压输入范围必须相对于增益进行取舍。放大器 A1 必须将 V_1 下的信号放大 $1+R_1/R_2$ 倍。如果 $R_1 \gg R_2$ (图 1 中的低增益示例)，一旦 V_1 共模信号过高 A1 将发生饱和，结果消耗掉用于放大目标差分信号的 A1 “余量”。对于高增益($R_1 \ll R_2$)，节点 “A” 则有更多的余量，可提供更大的共模输入电压。

此配置的交流共模抑制性能一般较差，因为从 V_1 到 V_{OUT} 的信号路径具有额外的 A1 相移。此外，两个放大器在不同闭环增益下 (对应于不同带宽) 工作。图 1 所示的小调整电容 “C” 可稍微改善交流 CMR。

不使用 R_6 时，低增益($G=2$)单电源双运放仪表放大器配置结果如以上图 2 所示。

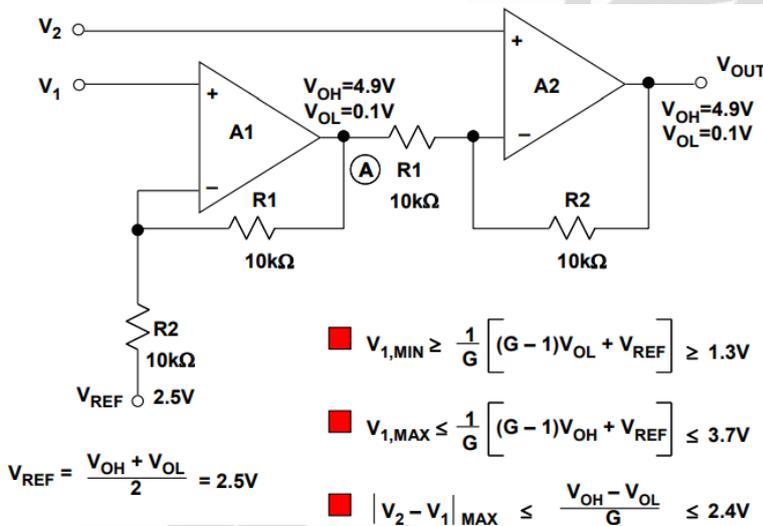


图 2: $V_S=+5V$ 、 $G=2$ 时的双运放仪表放大器单电源限制

输入共模和差分信号值必须限制，以防止 A1 或 A2 发生饱和。本例中，运算放大器在供电轨的 0.1V 内保持线性，输出上限和下限分别指定为 V_{OH} 和 V_{OL} 。这些饱和电压限值是单电源、轨到轨输出运算放大器 (例如 [AD822](#)) 的典型值。

使用图 2 的公式， V_1 的电压必须介于 1.3V 至 2.4V 之间，以防止 A1 发生饱和。请注意，

V_{REF} 连接到 V_{OH} 和 V_{OL} 的平均值(2.5V)。这是为了提供双极性差分输入信号和以+2.5V 为参考的 V_{OUT} 。

以下图 3 显示高增益($G=100$)单电源双运放仪表放大器配置。请注意，使用相同公式， V_1 的电压现在可在 0.124V 至 4.876V 间摆动。 V_{REF} 仍为 2.5V，以提供双极性输入和输出信号。

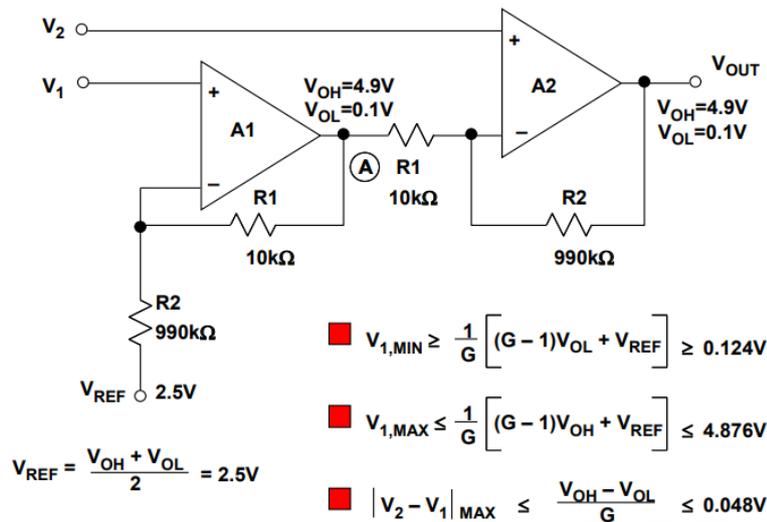


图 3: $V_S=+5V$ 、 $G=100$ 时的双运放仪表放大器单电源限制

所有这些分析都显示，采用单电源供电时，传统的双运放仪表放大器架构存在较大限制。一方面，该架构对给定增益下的容许输入 CM 范围造成限制。另一方面，它对给定 CM 输入电压下的容许增益范围造成限制。

不过，还有许多情况下，增益和 CM 电压的组合无法用图 1 至 3 的基本双运算放大器结构来支持，即使放大器是理想的（即两个供电轨均有零输出饱和电压）。

总而言之，无论增益如何，常见的双运放仪表放大器基本结构在采用单电源供电时无法提供 0V 的 CM 输入电压。消除这些单电源供电限制的唯一途径是修改仪表放大器架构。

AD627 单电源双运放仪表放大器

通过对基本双运放仪表放大器架构做一些关键修改，可以克服上述 CM 限制。以下图 4 为 AD627 仪表放大器架构，其中显示了这些在电路中实施的修改。

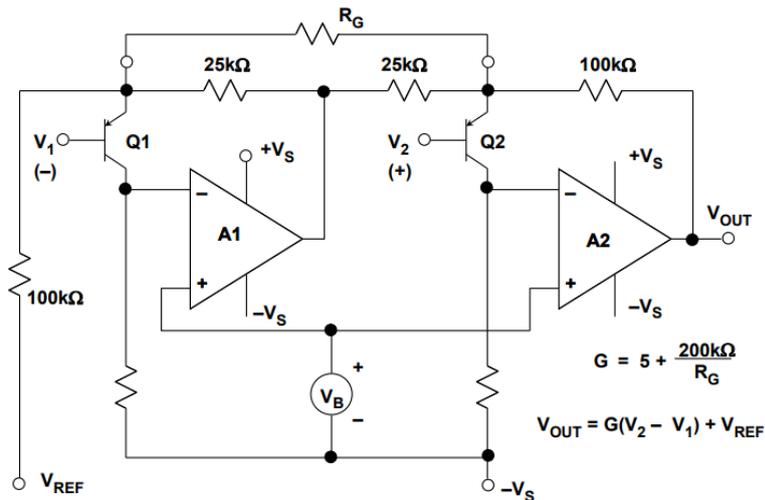


图 4: [AD627](#) 仪表放大器架构

在此电路中，两个运算放大器均由一个 PNP 共发射极输入级和一个增益级构成，分别指定为 Q1/A1 和 Q2/A2。PNP 晶体管不仅提供增益，还可对输入信号进行电平转换，将其提高约 0.5V，因此共模输入电压可到达负供电轨以下 0.1V。容许的最大正输入电压比正供电轨低 1V。

[AD627](#) 仪表放大器提供轨到轨输出摆幅，且具有宽电源电压范围 (+2.7V 至 ±18V)。无外部增益设置电阻 R_G 时，仪表放大器增益最小值为 5。通过添加外部电阻，增益最高可达 1000。使用 1kΩ 非均衡信号源、+3V 单电源且 $G=5$ 时，[AD627B](#) 在 60Hz 下的共模抑制比为 85dB。

虽然 [AD627](#) 是双运放仪表放大器，仍需注意，它没有图 1 所示基本电路的 CM 频率响应限制。由于使用专利电路，[AD627](#) CMR 的平坦频率远远高于传统分立式双运放仪表放大器可实现的水平。

[AD627](#) 数据手册详细说明了容许输入/输出电压范围，其与增益和电源电压成函数关系。交互式仪表放大器共模范围/增益计算器设计工具可以帮助用户计算仪表放大器的基本共模范围和增益。

[AD627](#) 的主要规格特性如以下图 5 所示。尽管是低功耗、单电源器件，[AD627](#) 却能够采

用传统的较高电压电源，例如±15V，而且性能出色。

- ◆ Wide Supply Range : +2.7V to ±18V
- ◆ Input Voltage Range: $-V_S - 0.1V$ to $+V_S - 1V$
- ◆ 85μA Supply Current
- ◆ Gain Range: 5 to 1000
- ◆ 75μV Maximum Input Offset Voltage (AD627B)
- ◆ 10ppm/°C Maximum Offset Voltage TC (AD627B)
- ◆ 10ppm Gain Nonlinearity
- ◆ 85dB CMR @ 60Hz, 1kΩ Source Imbalance (G = 5)
- ◆ 3μV p-p 0.1Hz to 10Hz Input Voltage Noise (G = 5)

图 5: AD627 仪表放大器主要规格特性

三运算放大器仪表放大器基本结构

第二种常见的仪表放大器架构基于三运算放大器，显示于以下图 1 中。此电路通常称为三运算放大器仪表放大器。

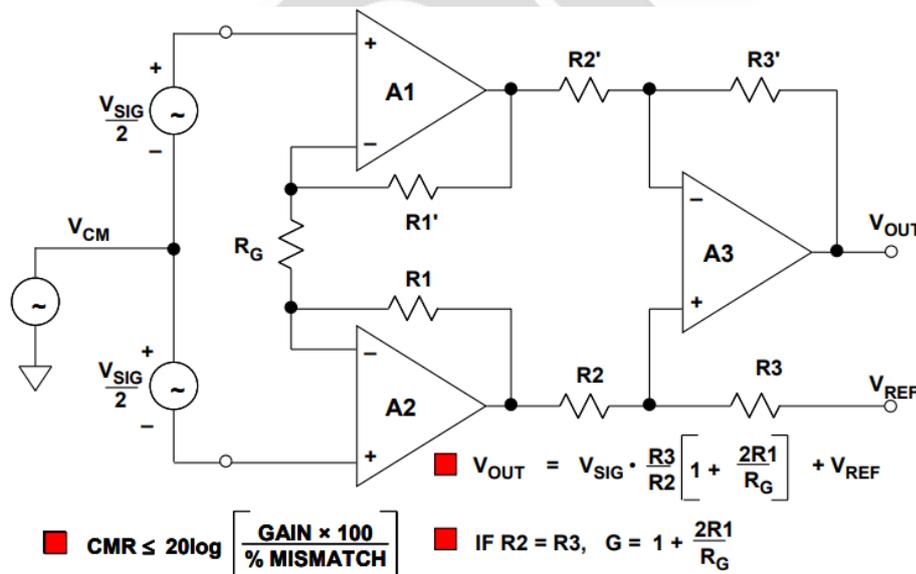


图 1: 三运算放大器仪表放大器

电阻 R_G 设置此放大器的总增益。该电阻可以是内部、外部或（软件或引脚绑定）可编

程电阻，视仪表放大器而定。在此配置下，CMR 取决于 R_3/R_2 与 R_3'/R_2' 的比率匹配。另外，共模信号的放大因子为 1，不受增益影响，（ R_G 中不会出现共模电压，即是说其中不会流过共模电流，因为运行正常的运算放大器的输入引脚之间不存在显著的电位差）。

由于 A1-A2 中的差分对 CM 增益比率较高，该仪表放大器的 CMR 理论上与增益呈比例变化。大共模信号（A1-A2 运算放大器余量限制以内）可在所有增益下处理。最后，鉴于这种配置的对称性，输入放大器中的共模误差（若采样）常常被减法器输出级消除。这些特性使得该三运算放大器仪表放大器配置能够提供最高性能，也是其大受欢迎的原因所在。

经典三运算放大器结构已经用于多种单芯片 IC 仪表放大器，包括业界标准 [AD620](#)。除了三个内部运算放大器之间的出色匹配，薄膜激光调整电阻还具有极佳的比率匹配和增益精度，而且成本远远低于使用分立式精密运算放大器和电阻网络。[AD620](#) 是单芯片 IC 仪表放大器技术的很好范例。以下图 2 给出了简化器件原理图。

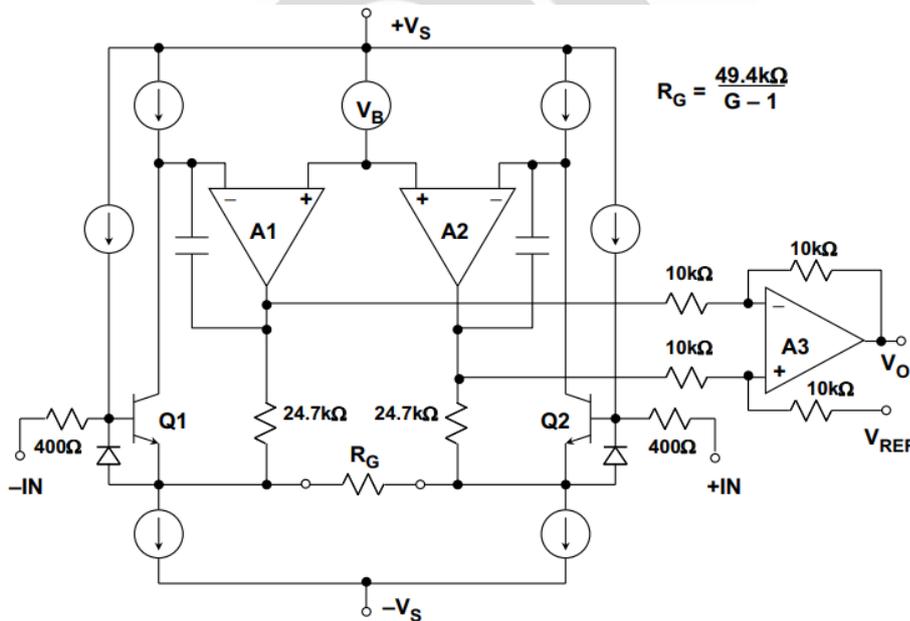


图 2: [AD620](#) 仪表放大器简化原理图

[AD620](#) 是一款颇受欢迎的仪表放大器，额定电源电压范围为 $\pm 2.3V$ 至 $\pm 18V$ 。输入电压噪

声在 1kHz 下仅为 $9\text{nV}/\sqrt{\text{Hz}}$ 。由于 Q1-Q2 使用了 Superbeta 晶体管，最大输入偏置电流仅为 1nA。

内部 400Ω 薄膜限流电阻与二极管（从 Q1 和 Q2 的发射极连接至基极）配合使用，从而提供过压保护功能。增益 G 由单一外部 R_G 电阻设置，如以下公式 1 所示。

$$G = (49.4\text{k}\Omega/R_G) + 1 \quad \text{公式1}$$

结合该公式和图 2 可以看出，AD620 内部电阻经过调整，使得标准 1% 或 0.1% 电阻可用于将增益设置为常用值。

与双运算放大器仪表放大器配置一样，三运算放大器仪表放大器的单电源供电需要清楚内部节点电压。以下图 3 显示了采用 +5V 单电源供电的仪表放大器的一般框图。各运算放大器的最大和最小容许输出电压分别指定为 V_{OH} （最高输出）和 V_{OL} （最低输出）。

请注意，从共模电压到 A1 和 A2 输出端的增益为单位增益。可以说，这些输出上的共模电压和信号电压之和必须在放大器输出电压范围内。

显然该配置无法处理 0V 或 +5V 的输入共模电压，因为 A1 和 A2 已经饱和。与双运算放大器仪表放大器一样，输出基准位于 V_{OH} 和 V_{OL} 中间，以提供双极性差分输入信号。

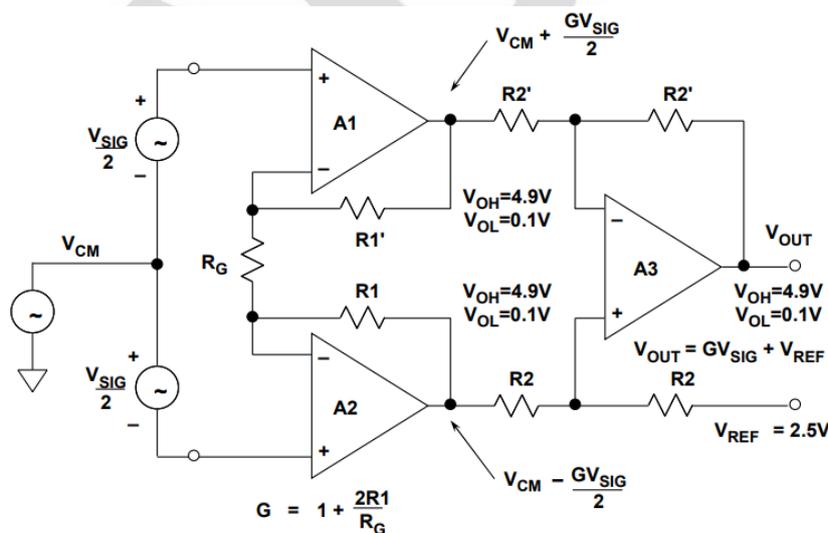


图 3: 三运算放大器仪表放大器+5V 单电源限制

虽然有许多优秀的单电源仪表放大器，最高性能的器件仍然是那些采用传统双电源供电的器件，例如上述 [AD620](#)，还有最近推出的 [AD8221](#) 和 [AD8222](#)。在特定应用中，即使像 [AD620](#) 这样专为双电源供电而设计的器件，也可在单电源系统上发挥完整精度。

[AD623](#) 单电源仪表放大器

与前述对应的双运算放大器仪表放大器一样，三运算放大器仪表放大器需要仔细设计，以实现单电源上的宽共模范围输入。以下图 4 所示的 [AD623](#) 单电源仪表放大器配置提供了很有吸引力的解决方案。该器件中，PNP 发射极跟随器电平转换器 Q1 和 Q2 使输入信号可低于负电源 150mV，同时保持在正电源的 1.5V 范围内。[AD623](#) 的额定电源电压为 +3V 至 +12V（单电源）或 ±2.5V 至 ±6V（双电源）。

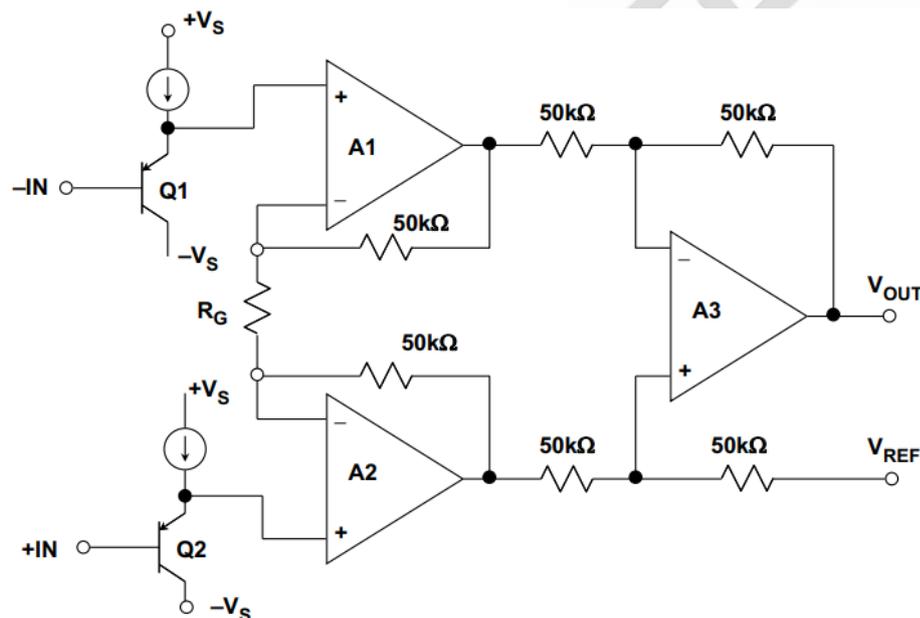


图 4: [AD623](#) 单电源仪表放大器架构

[AD623](#) 数据手册包含容许输入/输出电压范围的详细说明及数据，此范围与增益和电源电压成函数关系。此外，ADI 网站提供交互式设计工具，可为许多仪表放大器执行关于这些参数的增益和范围计算，包括 [AD623](#)。图 5 总结了 [AD623](#) 的主要规格特性。

- ◆ **Wide Supply Range: +3V to ±6V**
- ◆ **Input Voltage Range: $-V_S - 0.15V$ to $+V_S - 1.5V$**
- ◆ **575μA Maximum Supply Current**
- ◆ **Gain Range: 1 to 1000**
- ◆ **100μV Maximum Input Offset Voltage (AD623B)**
- ◆ **1μV/°C Maximum Offset Voltage TC (AD623B)**
- ◆ **50ppm Gain Nonlinearity**
- ◆ **105dB CMR @ 60Hz, 1kΩ Source Imbalance, $G \geq 100$**
- ◆ **3μV p-p 0.1Hz to 10Hz Input Voltage Noise ($G = 1$)**

图 5: [AD623](#) 仪表放大器主要规格特性

[AD8223](#) 是一款集成式单电源仪表放大器，采用单电源（+3.0V 至+25V）供电时提供轨到轨输出摆幅。输入共模电压包括负供电轨。[AD8223](#) 可以通过单一增益设置电阻进行编程，并遵照 8 引脚工业标准引脚排列配置，赋予用户出众的灵活性。不接外部电阻时，[AD8223](#) 配置为 $G=5$ ；连接外部电阻时，[AD8223](#) 可通过编程实现最高增益 1000。[AD8223](#) 利用了本章节介绍的三运算放大器架构。

仪表放大器直流误差源

仪表放大器的直流和噪声规格与常规运算放大器略有不同，因此需要进行讨论以全面了解各种误差源。增益设置电阻误差仪表放大器的增益通常通过单个电阻进行设置。如果电阻位于仪表放大器外部，则其值要么根据公式计算，要么从数据手册中的表格中选择，具体取决于所需的增益。采用外部增益设置电阻的仪表放大器有 [AD620](#)、[AD623](#)、[AD627](#)、[AD8220](#)（JFET 输入、轨到轨输出）、[AD8221](#)、[AD8222](#)、[AD8223](#) 和 [AD8224](#)。

绝对值激光晶圆调整技术允许用户通过这一个电阻对增益进行精确编程。该电阻的绝对精度和温度系数直接影响着仪表放大器的增益精度和漂移。由于外部电阻不可能精确匹配内部薄膜电阻的温度系数，因此，应选择一个低温度系数 $TC(<25\text{ppm}/^\circ\text{C})$ 金属薄膜电阻，其精度最好为 0.1%或以上。

许多仪表放大器的额定增益范围一般为 1 至 1000 或者 1 至 10000，因此，在较高增益下也能正常工作，但制造商并不保证能在这些高增益下实现特定性能水平。实践中，随着增益设置电阻变小，因金属走线和焊线电阻导致的误差将变大。这些误差再加上噪声和漂移的增加，结果可能使较高单级增益失去实用价值。另外，当反映到高增益输出时，输入失调电压可能变得很大。例如，对于增益为 10000 的输出，0.5mV 的输入失调电压将变成 5V。对于高增益，比较好的做法是用一个仪表放大器作为前置放大器，然后用一个后置放大器进一步放大。

在引脚可编程增益仪表放大器（如 [AD621](#)、[AD624](#)）中，增益设置电阻是内置的，而且匹配良好，并且器件增益精度和增益漂移规格包括了其效应。在其他方面，[AD621](#) 与外部增益编程 [AD620](#) 相似。

[AD8250](#)、[AD8251](#) 和 [AD8253](#) 同时具有引脚可编程增益和软件可编程增益，采用 ADI 公司 iCMOS[®] 工艺设计而成，工作电压为 $\pm 5V$ 至 $\pm 15V$ 。这些器件的输入阻抗处于 $G\Omega$ 范围之内。

增益误差和增益非线性度

增益误差规格为与增益方程的最大偏差。单片仪表放大器（如 [AD8221](#)（BR 级））具有极低的工厂调整增益误差，该高品质仪表放大器的最大误差为 0.02%(G=1) 和 0.15%(G=1000)。

注意，增益误差随着增益的增加而加大。尽管外部连接的增益网络允许用户精确设置增益，但外部电阻的温度系数以及网络中各电阻之间的温差都会加大整体增益误差。如果数据最终进行数字化处理并呈现给数字处理器，则可通过测量已知基准电压并乘以一个常数，来更正增益误差。

根据定义，增益非线性度指相对于输出与输入关系坐标图中一条直线的最大偏差。直线画在实际传递函数的终点之间。高品质仪表放大器的增益非线性度一般为

0.01%(100ppm)或以下，而且对推荐增益范围内的增益相对不太敏感。

输入失调电压与偏置电流误差

仪表放大器的总输入失调电压由两部分组成（见下图 1）。输入失调电压 V_{OSI} 是由增益 G 反映到仪表放大器输出端的输入失调组分。输出失调电压 V_{OSO} 则是独立于增益的。

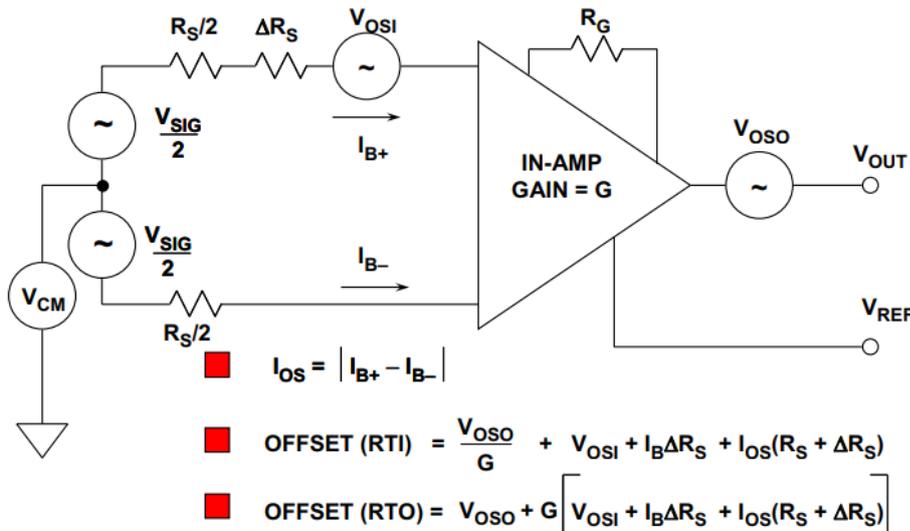


图 1: 仪表放大器失调电压模型

在低增益情况下，输出失调电压占据主导地位，在高增益下，输入失调电压较为显著。输出失调电压漂移通常在 $G=1$ 时测得（此时，输入效应并不显著），输入失调电压漂移则是在高增益下测得的漂移规格（此时，输出失调效应可忽略不计）。

折合到输入端(RTI)的总输出失调误差等于 $V_{OS1} + V_{OSO}/G$ 。仪表放大器数据手册可能会分别规定 V_{OS1} 和 V_{OSO} ，或者给出不同增益值的总 RTI 输入失调电压。

输入偏置电流也可能在仪表放大器电路中产生失调误差（同样参见图 1）。如果源电阻 R_S 的不平衡量为 ΔR_S （桥接电路通常如此），则偏置电流会导致额外的输入失调电压误差，等于 $I_B \Delta R_S$ （设 $I_{B+} \approx I_{B-} = I_B$ ）。该误差被反映到输出端，分频系数为增益 G 。

输入失调电流 I_{OS} 会在源电阻 $R_S + \Delta R_S$ 上产生输入失调电压误差，等于 $I_{OS}(R_S + \Delta R_S)$ ，同样由增益 G 反映到输出端。

共模抑制与电源抑制误差

仪表放大器共模误差同时为增益和频率的函数。ADI 针对仪表放大器规定的共模抑制是在 $1k\Omega$ 源阻抗不平衡、60Hz 频率条件下测得的。RTI 共模误差通过将共模电压 V_{CM} 除以共模抑制比 CMRR 而得到。

下面的图 2 展示的是 [AD620](#) 仪表放大器的共模抑制，为频率的函数，其源阻抗不平衡为 $1k\Omega$ 。

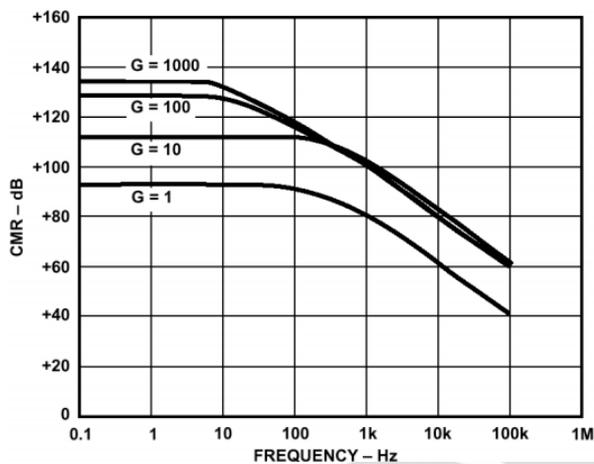


图 2: [AD620](#) 仪表放大器共模抑制(CMR)与频率的关系 (源不平衡为 $1k\Omega$)

电源抑制(PSR)同样为增益和频率的函数。对于仪表放大器来说，一般是分别规定各个电源的灵敏度，如针对 [AD620](#) 的下图 3 所示。RTI 电源抑制误差通过将电源的标称偏差除以电源抑制比 PSRR 获得。

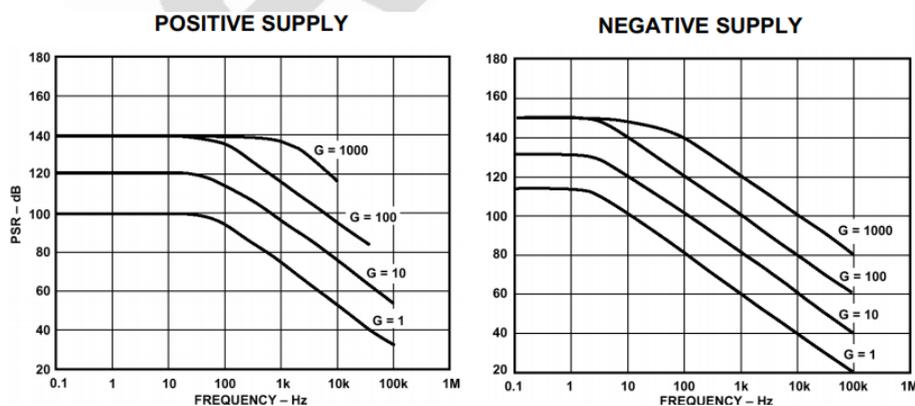


图 3: [AD620](#) 仪表放大器电源抑制(PSR)与频率的关系

由于高频下的 PSR 性能较差，因此，仪表放大器的两个电源引脚都需要去耦电容。低电感陶瓷电容（0.01 至 0.1 μ F）对于高频非常适用。低 ESR 电解电容也应位于 PC 板上的几个点，以实现低频去耦。

仪表放大器直流误差总预算

以上处理了所有直流误差源，现在，我们可以将所有源反映到仪表放大器输入端，从而算出最差情况下的直流误差预算，如下面图 4 中的表所示。

ERROR SOURCE	RTI VALUE
Gain Accuracy (ppm)	Gain Accuracy \times FS Input
Gain Nonlinearity (ppm)	Gain Nonlinearity \times FS Input
Input Offset Voltage, V_{OSI}	V_{OSI}
Output Offset Voltage, V_{OSO}	$V_{OSO} \div G$
Input Bias Current, I_B , Flowing in ΔR_S	$I_B \Delta R_S$
Input Offset Current, I_{OS} , Flowing in R_S	$I_{OS}(R_S + \Delta R_S)$
Common Mode Input Voltage, V_{CM}	$V_{CM} \div CMRR$
Power Supply Variation, ΔV_S	$\Delta V_S \div PSRR$

图 4：折合到输入端(RTI)的仪表放大器直流误差

需要注意，只需将 RTI 误差乘以仪表放大器增益，即可将直流误差折合到仪表放大器输出端(RTO)。

自稳零仪表放大器

自稳零是一种动态的失调和漂移消除技术，可将折合到输入端的电压失调降至 μ V 水平，并将电压失调漂移降至 $nV/^\circ C$ 水平。标准自稳零运算放大器的工作原理详见章节《斩波稳定（自稳零）精密运算放大器》。本章节讨论自稳零技术在仪表放大器中的应用。

[AD8230](#) 自稳零仪表放大器

[AD8230](#) 是一款仪表放大器，基于自稳零拓扑结构，同时具有高共模信号抑制性能。

内部信号路径由一个有源差分采样保持级（前置放大器）构成，其后是一个差分放大器（增益放大器）。这两个放大器以自稳零方式来最大程度地减少失调和漂移。全差分拓

扑结构会提高信号对寄生噪声和温度效应的抗扰度。放大器增益由两个外部电阻进行设置，以便于实现 TC 匹配。[AD8230](#) 可以接受的输入共模电压范围是电源电压($\pm 5V$)之内（含电源电压）。信号采样速率由一个 6kHz 片内振荡器和逻辑控制，以获得所需的非重叠时钟相位。

为了简化功能描述，我们将使用两个时序时钟相位 A 和 B 来区分内部操作的顺序，分别如图 1 和图 2 所示。相位 A（采样相位）操作如图 1 所示。

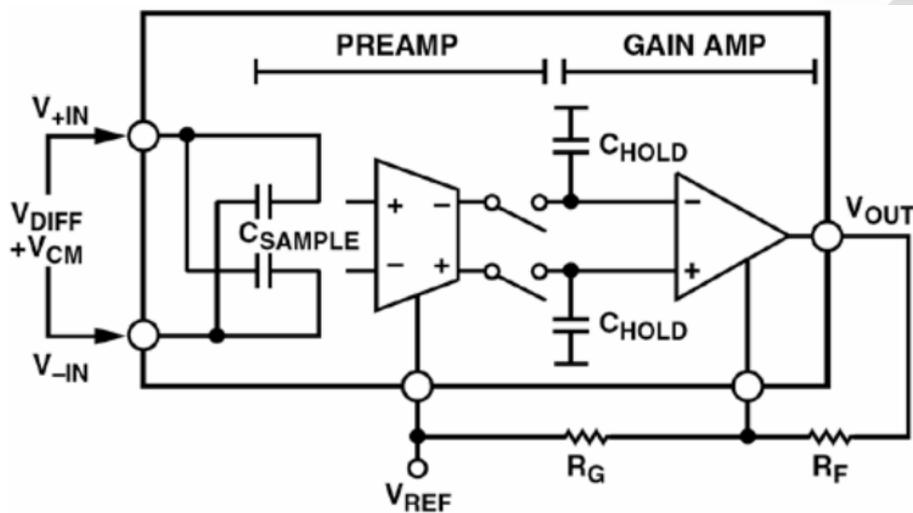


图 1: 采样相位（相位 A）中的 [AD8230](#) 自稳零仪表放大器

在相位 A 期间，采样电容在共模电位下与输入信号相连。输入信号的电压差 V_{DIFF} 存储于采样电容 C_{SAMPLE} 中。只要采样电容的共模电位不同于前置放大器，则输入的共模电位就会影响 C_{SAMPLE} 。在此期间，增益放大器与前置放大器断开，以便使其输出保持在之前采样的输入信号所设置的电平，即图 1 中 C_{HOLD} 所保持的电平。

在相位 B 中，对模拟输入信号进行采样时，结果将移除输入共模成分。相位 B 的状态如图 2 所示。

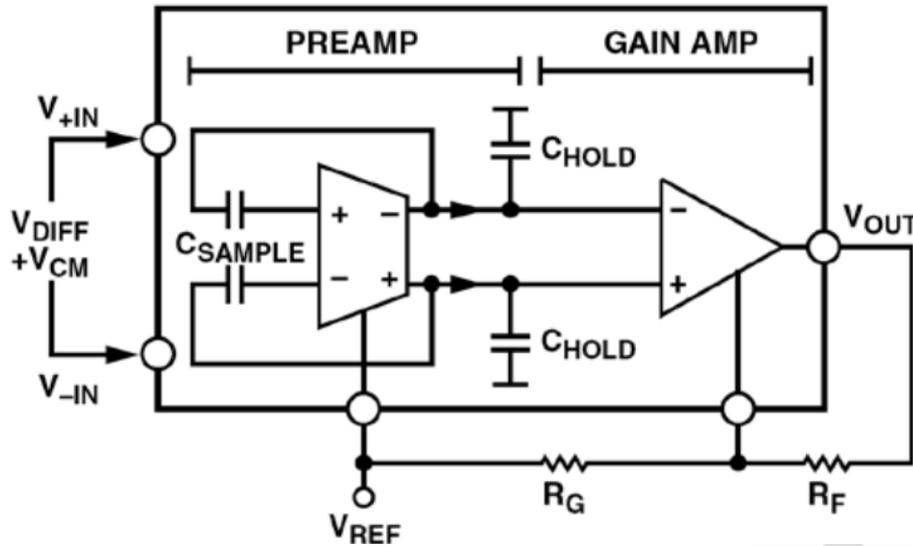


图 2：传输相位（相位 B）中的 [AD8230](#) 自稳零仪表放大器

前置放大器的共模输出保持在基准电位 V_{REF} 。当采样电容的底板连接到前置放大器的输出端时，输入信号共模电压将被拉升至放大器的共模电压 V_{REF} 。通过这种方式，采样电容达到与前置放大器相同的共模电压。剩余的差分信号出现在增益放大器上，从而刷新保持电容的信号电位，如图 2 所示。增益放大器会调理存储于保持电容 C_{HOLD} 上的更新信号。

前置放大器和增益放大器都具有自稳零特性。前置放大器在相位 A 期间（即当采样电容与信号源相连时）自动归零。通过将前置放大器的差分输入连接在一起，所产生折合到输出端的失调电压被连接至前置放大器的一个辅助端口上。负反馈会强制在辅助端口产生消除电压。在相位 B 期间，前置放大器的输入端不再短路，采样电容则与前置放大器的输入端和输出端相连。前置放大器已在相位 A 中自动归零，其失调处于最低水平。可利用一个单独的指零放大器（图中未显示）来实现自稳零功能。有关 [AD8230](#) 自稳零仪表放大器工作原理的更多详情，请参阅参考产品详情页。

尽管 [AD8230](#) 在 0.1Hz 至 10Hz 带宽范围内的峰峰值 RTI 噪声只有 $3\mu\text{V}$ ，但是其在 1kHz 下的电压噪声频谱密度为 $240\text{nV}/\sqrt{\text{Hz}}$ 。因此，[AD8230](#) 需要一个合适的输出 RC 滤波器，以将测量带宽中的噪声降至可以接受的水平。

[AD8230](#) 自稳零仪表放大器的主要规格如图 3 所示。

- ◆ Resistor programmable gain range: 101 to 1000
- ◆ Supply voltage range: $\pm 4\text{ V}$ to $\pm 8\text{ V}$
- ◆ Rail-to-rail input and output
- ◆ Maintains performance over -40°C to $+125^\circ\text{C}$
- ◆ 110 dB minimum CMR @ 60 Hz, $G = 10$ to 1000
- ◆ 10 μV maximum offset voltage (RTI, $\pm 5\text{ V}$ operation)
- ◆ 50 $\text{nV}/^\circ\text{C}$ maximum offset drift
- ◆ 20 ppm maximum gain nonlinearity
- ◆ 0.1 Hz to 10 Hz voltage noise RTI: 3 μV peak-to-peak
- ◆ Voltage noise spectral density @ 1 kHz RTI: 240 $\text{nV}/\sqrt{\text{Hz}}$

图 3: [AD8230](#) 自稳零仪表放大器的主要规格

ADI 公司针对单电源工作模式而优化的自稳零仪表放大器有 [AD8553](#)、[AD8555](#)、[AD8556](#) 和 [AD8557](#) 四款。

仪表放大器噪声

由于仪表放大器主要用于放大微小精密信号，因此，有必要了解所有相关噪声源的效应。

仪表放大器模型如下面图 1 所示。

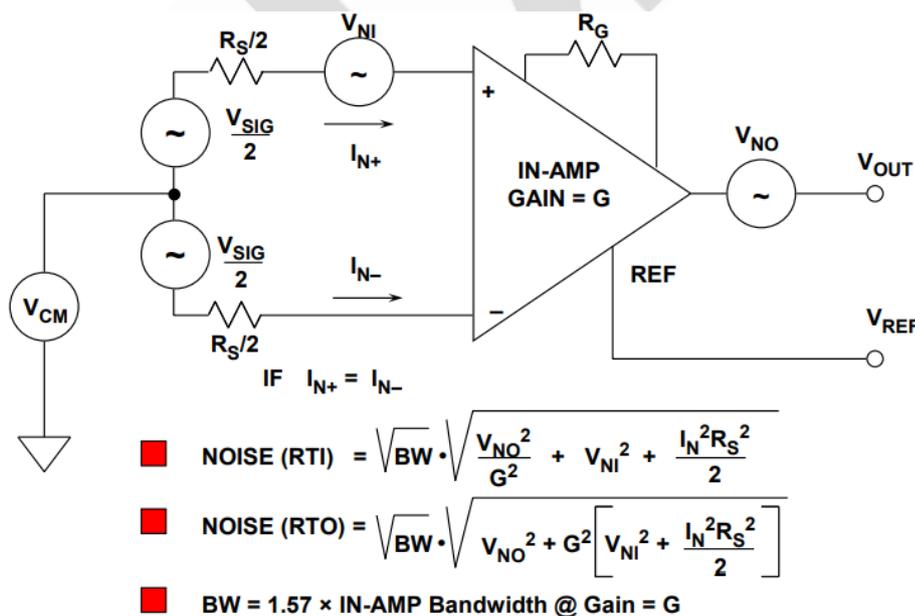


图 1: 仪表放大器噪声模型

输入电压噪声有两个来源。第一个来源表示为与输入端串联的噪声源 V_{NI} ，就如常规运算放大器电路中一样。该噪声由仪表放大器增益 G 反映到输出端。第二个噪声源是输出噪声 V_{NO} ，表示为与仪表放大器输出端串联的噪声电压。输出噪声（此处表示为 V_{OUT} ）可以通过除以增益 G ，从而折合到输入端。

与输入噪声电流 I_{N+} 和 I_{N-} 关联的噪声源也有两个。尽管 I_{N+} 和 I_{N-} 通常相等 ($I_{N+} \approx I_{N-} = I_N$)，但它们却不相关，因此，二者所产生的噪声必须以和方根(RSS)的方式求和。 I_{N+} 流过 R_S 的一半， I_{N-} 流过另一半。结果会产生两个噪声电压，其幅度各为 $I_N R_S / 2$ 。这两个噪声源分别由仪表放大器增益 G 反映到输出端。

总输出噪声是通过和方根形式对全部四个噪声源求和的方式算出的。

$$\text{NOISE(RTO)} = \sqrt{\text{BW}} \sqrt{V_{NO}^2 + G^2 \left(V_{NI}^2 + \frac{I_{N+}^2 R_S^2}{4} + \frac{I_{N-}^2 R_S^2}{4} \right)}. \quad \text{等式1}$$

如果 $I_{N+} = I_{N-} = I_N$

$$\text{NOISE(RTO)} = \sqrt{\text{BW}} \sqrt{V_{NO}^2 + G^2 \left(V_{NI}^2 + \frac{I_N^2 R_S^2}{2} \right)}. \quad \text{等式2}$$

要求总噪声（折合到输入端(RTI)），只需将上述表达式除以仪表放大器增益 G 即可。

$$\text{NOISE(RTI)} = \sqrt{\text{BW}} \sqrt{\frac{V_{NO}^2}{G^2} + \left(V_{NI}^2 + \frac{I_N^2 R_S^2}{2} \right)}. \quad \text{等式3}$$

仪表放大器数据手册通常会把总电压噪声 RTI 表示为增益的函数。噪声频谱密度同时包括输入 (V_{NI}) 和输出 (V_{NO}) 噪声贡献。输入电流噪声频谱密度分开规定。

就如在运算放大器中一样，必须将总仪表放大器噪声 RTI 在适用仪表放大器闭环带宽内进行积分，从而算出一个和方根值。带宽可以根据数据手册典型确定，其中将频率响应表示为增益的函数。

对于该带宽，计算时务必小心，因为其通常不是恒定带宽积关系（如 VFB 运算放大器即是如此）。对于 [AD620](#) 仪表放大器系列，增益带宽模式更像一个 CFB 运算放大器。在这种情况下，预测给定增益下带宽最安全的做法是使用数据手册中提供的曲线。

仪表放大器桥接电路误差预算分析

在典型应用中，有必要了解仪表放大器的误差源。下图 1 所示为一个 350Ω 的称重传感器，当用 10V 源激励时，其满量程输出为 100mV。用外部 499Ω 增益设置电阻，将 [AD620](#) 的增益设为 100。表中列出了每种误差源对 2145ppm 的总非调整误差的贡献。但需要注意的是，增益、失调和 CMR 误差都可以通过系统校准消除。其余误差——增益非线性和 0.1Hz 至 10Hz 噪声——无法通过校准消除，最终使系统分辨率限制为 42.8ppm（大约相当于 14 位精度）。当然，本例只是用于说明，但对于解决增益非线性度、LF 噪声等性能限制性误差问题具有重要意义。

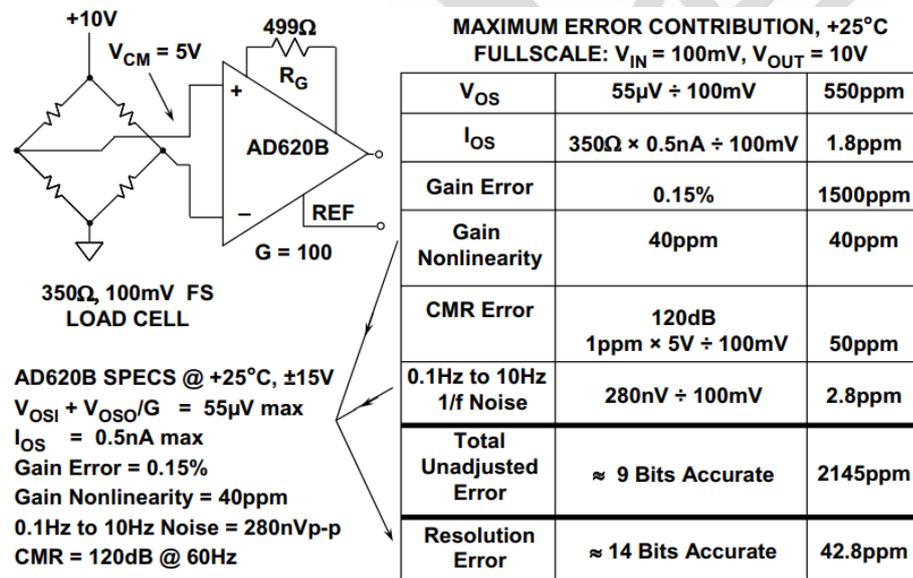


图 1: [AD620](#) 桥接放大器直流误差预算

ADI 网站上提供了一种通用型放大器（包括仪表放大器）误差预算分析工具和 Analog Bridge Wizard™ 以协助桥接电路的设计，这些设计工具请见：

<https://www.analog.com/en/design-center/design-tools-and-calculators.html>。

差动放大器和电流检测放大器

基本减法器或差动放大器

简单的减法器或差动放大器可由四个电阻和一个运算放大器组成，如下图 1 所示。必须注意，这不是一个仪表放大器（见章节《仪表放大器基础》），但常用于只需简单的差分至单端转换的应用中，如电流检测。

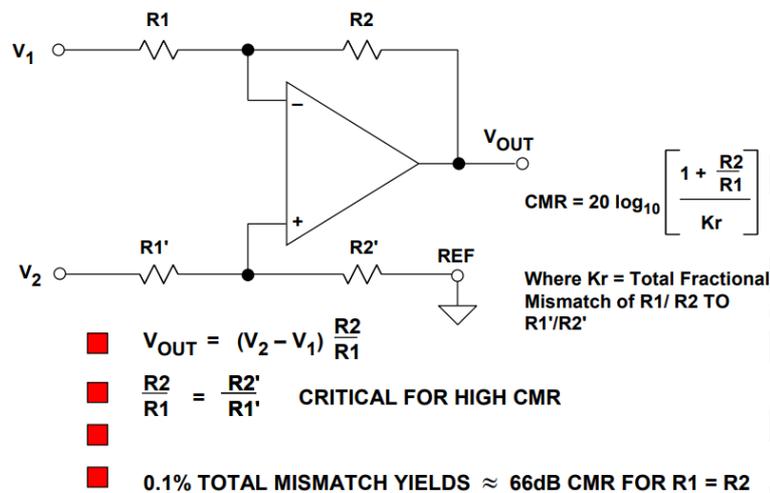


图 1: 运算放大器减法器或差动放大器

这个简单电路存在几个基本问题。首先，从 V_1 和 V_2 获得的输入阻抗不平衡。从 V_1 获得的输入阻抗为 $R1$ ，从 V_2 获得的输入阻抗则为 $R1'+R2'$ 。就共模抑制而言，配置也可能出现问题，因为即使是很小的源阻抗不平衡也会降低可用的共模抑制。采用和每个输入串联且匹配良好的开环缓冲器可以解决该问题（例如，采用精密双通道运算放大器）。但是，这会增加简单电路的复杂性，还可能会导致失调漂移和非线性。

该电路的第二个问题是共模抑制主要由电阻比匹配决定，而非运算放大器。电阻比 $R1/R2$ 和 $R1'/R2'$ 必须与抑制共模噪声严格匹配，至少与典型运算放大器的共模抑制相当 ($\geq 100\text{dB}$)。还应注意，电阻绝对值相对而言不太重要。

从一批电阻中选择四个 1% 的电阻可能会产生 0.1% 的净电阻比匹配，使共模抑制达到

66dB（假设 $R_1=R_2$ ）。但是如果其中一个电阻和其它电阻相差 1%，共模抑制可能会下降至仅 46dB。显然，该电路采用普通分离电阻所获得的性能非常有限（不采用手动匹配）。因为最好的标准现成 RNC/RNR 型电阻的容差约为 0.1%。

一般而言，这种电路最差情况下的共模抑制可通过下式计算：

$$\text{CMR(dB)} = 20 \log \left[\frac{1 + R_2 / R_1}{4K_r} \right], \quad \text{等式 1}$$

其中 K_r 是小数形式的单电阻容差，此时采用 4 个分立电阻。上式显示，4 个未选中的相同标称值的 1%电阻容差增大时，最差情况下的共模抑制不会优于 34dB。

该电路可能会采用净匹配容差为 K_r 的单电阻网络，此时表达式如图所示，即：

$$\text{CMR(dB)} = 20 \log \left[\frac{1 + R_2 / R_1}{K_r} \right] \quad \text{等式 2}$$

用公式 2 计算，假定 $R_1=R_2$ ，电阻比的净匹配容差为 0.1%时，可得出最差情况的直流共模抑制为 66dB。注意，两种情况均假定较高的放大器共模抑制（即 >100dB）。显然，对高共模抑制而言，此类电路需要四个具有极高绝对值及温度系数匹配的单基板电阻。此类网络采用厚/薄膜技术，Caddock 和 Vishay 公司均可提供，比率匹配 0.01%或更佳。采用简单差动放大器时，为了不增加精密运算放大器的成本、限制 PCB 面积及产生单独电阻网络，通常最好能找出完整的单芯片解决方案。[AMP03](#) 就是这样一款精密差动放大器，其中包括片内激光调整精密薄膜电阻网络。如下图 2 所示。[AMP03F](#) 典型的共模抑制为 100dB，小信号带宽为 3MHz。

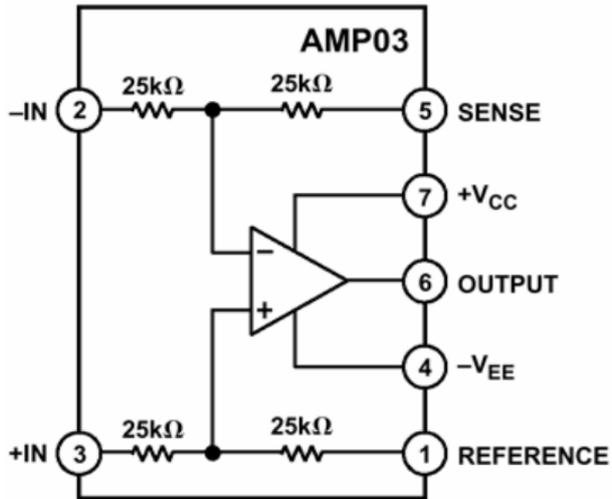


图 2: AMP03 精密差动放大器

简单的放大器还有一点值得关注，可以在 [AD629](#) 差动放大器中看到，这款放大器针对高共模输入电压进行了优化，典型的电流检测应用如下图 3 所示。[AD629](#) 是一款单位增益差分转单端放大器，可以处理 $\pm 270V$ 的共模电压，电源电压为 $\pm 15V$ ，小信号带宽为 500kHz。

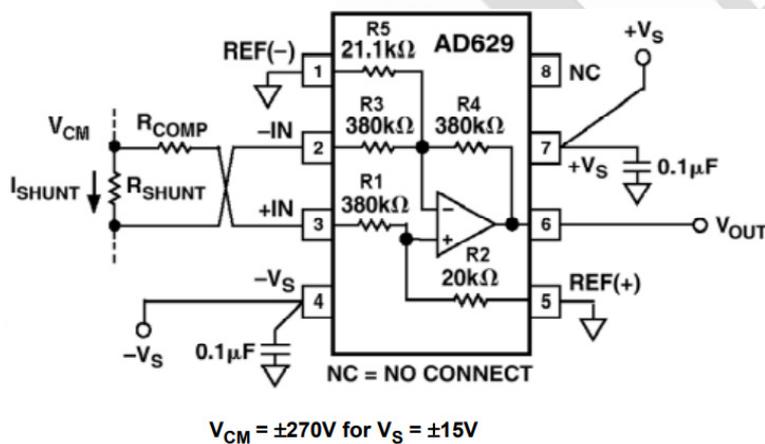


图 3: 采用 AD629 差动放大器的高共模电流检测

采用 R1-R2 分压器网络将同相输入（引脚 3）衰减 20 倍，可以获得高共模电压范围。对于反相输入则选用电阻 R5，使 $R5 \parallel R3$ 等于电阻 R2。电路的噪声增益等于 $20[1+R4/(R3 \parallel R5)]$ ，从而为差分输入电压提供单位增益。通过对 R1-R5 薄膜电阻进行激光晶圆调整，可使 [AD629B](#) 的最小共模抑制达到 86dB(500Hz)。在应用中，最好的做法

是使两个输入的源阻抗保持平衡，因此选用虚拟电阻 R_{COMP} 来平衡分流检测电阻 R_{SHUNT} 的阻值。

基于差动放大器的电流检测应用

差动放大器通常用于电流检测应用。图 4 所示为专门针对汽车应用而优化的 [AD8202](#) 差动放大器的框图。

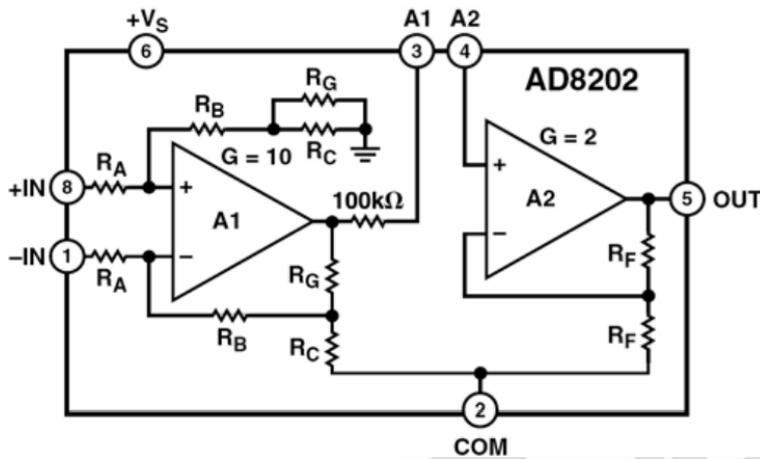


图 4: [AD8202](#) 电流检测差动放大器

A1 输入放大器配置为一个简单的减法器或差动放大器，增益为 10。A2 放大器提供大小为 2 的额外同相增益。当 [AD8202](#) 采用 3.5V 至 12V 的单电源供电时，通过使用薄膜电阻，可以支持最高 28V 的输入共模电压。薄膜电阻同时提供 0.01% 以内的匹配精度，结果产生 80dB 的总共模抑制比。

图 5 显示了如何在电池电流检测应用中将 [AD8202](#) 配置为高端和低端工作模式。箝位二极管保护 [AD8202](#) 输入，使其免受（功率器件突然关闭时产生的）感性尖峰的伤害。通过一个四引脚（开尔文检测）分流电阻来检测电流。

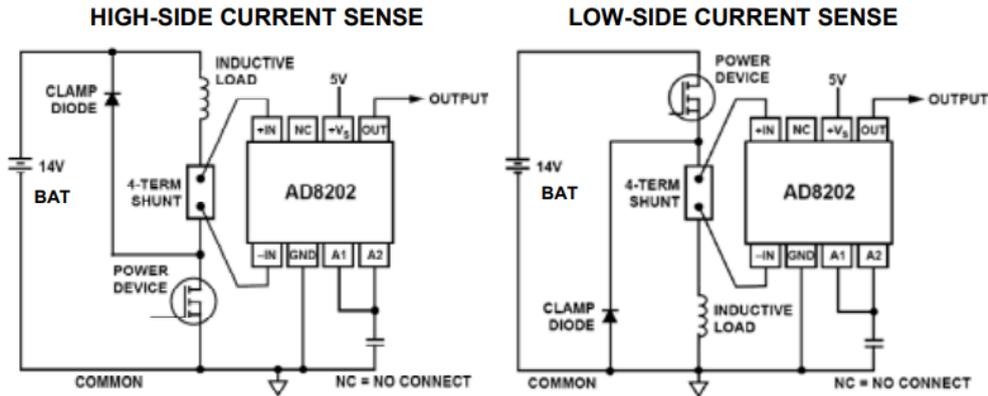


图 5: 利用 [AD8202](#) 28V 差分放大器实现高端和低端电池电流检测

前面讨论的差分放大器利用薄膜电阻来对输入电压进行分压，从而实现高共模输入电压。另一方面，[AD8210](#)、[AD8211](#)、[AD8212](#)、[AD8213](#) 和 [AD8215](#) 五款差分放大器则借助其输入晶体管的高击穿电压来实现 65V 的高共模输入电压。这样可以获得更高的带宽、更高的输入阻抗。这种架构还具有低噪声特性，因为输入信号不会先进行衰减。在典型应用中，[AD8210](#) 放大由分流电阻中流过的负载电流产生的小差分输入电压。[AD8210](#) 能够抑制高共模电压 (最高 65V)，并提供以地为参考的缓冲输出，以便与模数转换器(ADC)连接。图 6 显示了 [AD8210](#) 的原理图示意图。

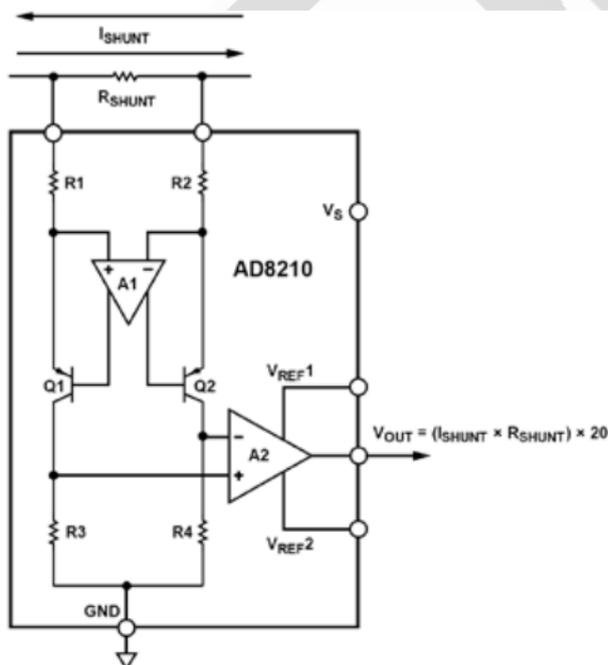


图 6: [AD8210](#) 高压(65V)双向分流监控器

[AD8210](#) 主要包括两个模块：一个差分放大器和一个仪表放大器。流经外部分流电阻的负载电流在 [AD8210](#) 的输入端产生电压。输入端通过 R1 和 R2 连接到差分放大器(A1)。放大器 A1 利用 Q1 和 Q2 调整流经 R1 和 R2 的电流,使其自身输入端上的电压为零。当 [AD8210](#) 的输入信号为 0V 时, R1 和 R2 中的电流相等。当该差分信号非零时, 一个电阻中的电流增大, 另一个电阻中的电流则减小。电流差与输入信号的大小和极性成比例。

R3 和 R4 将流经 Q1 和 Q2 的差分电流转换为差分电压。A2 配置为仪表放大器, 用于将该差分电压转换为单端输出电压。增益通过精密调整的薄膜电阻在内部设置为 20V/V。

使用 V_{REF1} 和 V_{REF2} 引脚可以轻松调整输出基准电压。在典型配置中, V_{REF1} 连接到 V_{CC} , 而 V_{REF2} 连接到 GND。这种情况下, 当输入信号为 0V 时, 输出以 $V_{CC}/2$ 为中心。

仪表放大器输入过压保护

保护仪表放大器不受过压影响

当仪表放大器的输入来自远程传感器时, 则可能会受到过压影响。如果在电源开启时将连接线断开并重新连接, 可能会产生较大的瞬态电压。感性耦合是导致电缆上产生无用电压的另一种因素, 结果可能损害仪表放大器的输入级。

从保护角度来看, 仪表放大器在许多方面与运算放大器相似。像运算放大器一样, 共模(CM)和差模(DM)输入电压必须遵循其绝对最大额定值。本章节重点讨论与仪表放大器相关的问题, 而《运算放大器输出相位反转和输入过压保护》章节更适用于运算放大器。

一些仪表放大器内置有串联电阻形式的过载保护电路。图 1 所示为 [AD620](#) 仪表放大器输入端的原理示意图, 图中显示了输入差分晶体管及其相关保护器件。

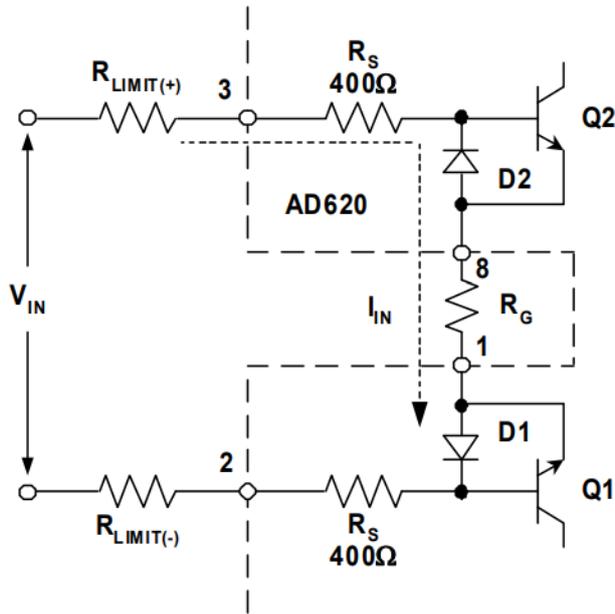


图 1: [AD620](#) 仪表放大器内部采用 D1-D2 和串联电阻 R_S 来提供保护 (可通过外部方式增加额外保护功能)

由于 400Ω 内部 R_S 保护电阻为薄膜型电阻, 因此它们不会表现出类似于二极管的 IC 基板导通现象 (如果是扩散电阻则会如此)。这意味着, 这些电阻的输入端 (引脚 3 和 2) 可能高于或低于电源电压。差分故障电流将通过内部电阻 R_S 的两倍加上外部增益电阻 R_G 之和进行限制。施加过量共模电压时, 其对应电流会受到 R_S 的限制。

输入晶体管 Q1 和 Q2 在其基极-发射极结点处有保护二极管 D1 和 D2, 以防止出现反向击穿电压。对于差分电压, 分析显示, 故障电流 I_{IN} 流过外部 R_{LIMIT} 电阻 (若有)、内部 R_S 电阻、增益设置电阻 R_G 和两个二极管压降 (Q2、D1)。对于 AD620 拓扑结构, R_G 与增益成反比; 在 1000 最大增益下, 当 R_G 为 49.9Ω 时, 将出现最差情况 (最低电阻)。因而, 最低内部路径总串联电阻约为 850Ω 。

对于 [AD620](#), 共模和差分输入电压的任意组合都应限制在一定的水平之内, 以使输入故障电流限制在 20mA (最大值) 之内。对于最低电阻情况, 17V 的纯差分电压将产生这一电流水平。对于可能超过任一供电轨的共模电压, 则应通过一个内部 ESD 保护二极管 (图 1 中未显示) 来导电, 实际上相当于将被驱输入箝位于 $+V_S$ 或 $-V_S$ 。对于这种过压

共模条件， R_S 的值(400 Ω)以及超过供电轨的过量电压决定着电流水平。例如，如果 V_{IN} 为 23V， $+V_S$ 为 15V，则 R_S 上将出现 8V 的电压，结果达到 20mA 的额定电流。对于更高的故障电压，可以通过添加外部 R_{LIMIT} 电阻来处理，以使故障电流维持在 20mA 或以下。然而，如果 R_{LIMIT} 电阻产生的约翰逊噪声（对于 1000 Ω 电阻，25 $^{\circ}$ C 时该噪声为 $4nV/\sqrt{Hz}$ ）过大，则可能限制系统的性能。

最大容许输入故障电流由仪表放大器数据手册规定，可能因器件而异。另外，数据手册一般会讨论输入电路和推荐的保护方法。

如果需要额外保护（不仅仅是像上文所述那样添加 R_{LIMIT} 电阻），图 2 给出了 [AD620](#) 一类仪表放大器的通用外部电压保护电路。

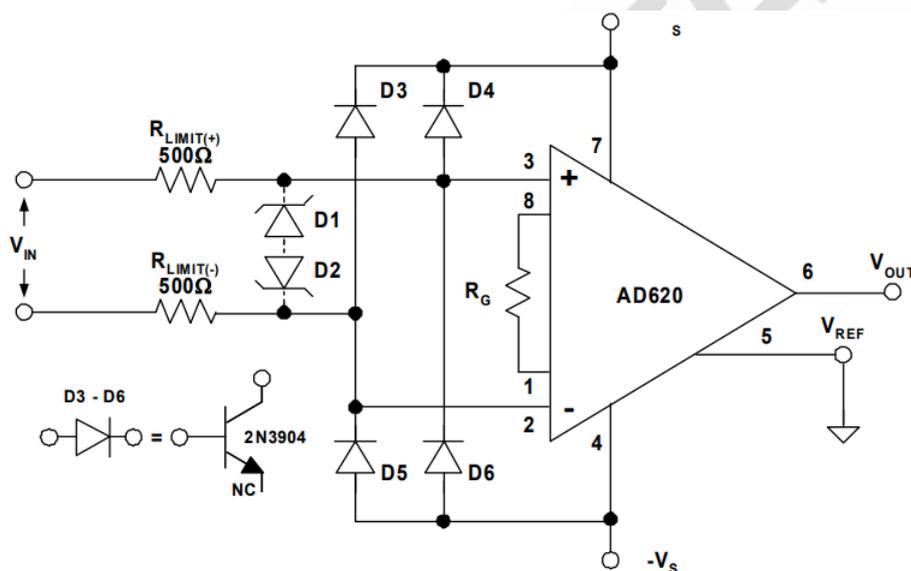


图 2: [AD620](#) 以及其它仪表放大器的通用二极管保护电路采用 D3-D6 来实现共模箝位，并采用串联电阻 R_{LIMIT} 来提供保护

在该电路中，低泄漏二极管 D3-D6 用作共模箝位。由于仪表放大器偏置电流可能只有 1nA 左右（对于 [AD620](#)），因此必须使用低泄漏二极管，尤其是高源阻抗的情况。一种很好的方法是检查二极管的规格，以确保二极管在仪表放大器内部 ESD 保护二极管开始吸电流之前就导通。尽管标准肖特基二极管具有出色的输入保护能力，但其漏电流可能高

达数 mA。然而，快速肖特基二极管（如 International Rectifier 的 SD101 系列）的最大漏电流为 200nA，典型功耗为 400mW。

需要注意的是，二极管不仅基本上必须具有低泄露，而且还必须在最高预期温度下保持低泄漏。这表明需要使用 FET 型二极管或所示的晶体管集电极-基极型二极管。选择 R_{LIMIT} 电阻是为了限制故障条件下的最大二极管电流。如果使用额外的差分保护，则可使用背对背齐纳或 Transzorb 箝位，以 D1-D2 表示。如果这样做，则应仔细考虑这些二极管的泄漏情况。

许多单电源仪表放大器的拓扑结构与图 3 虚线框中的双放大器仪表放大器电路类似。

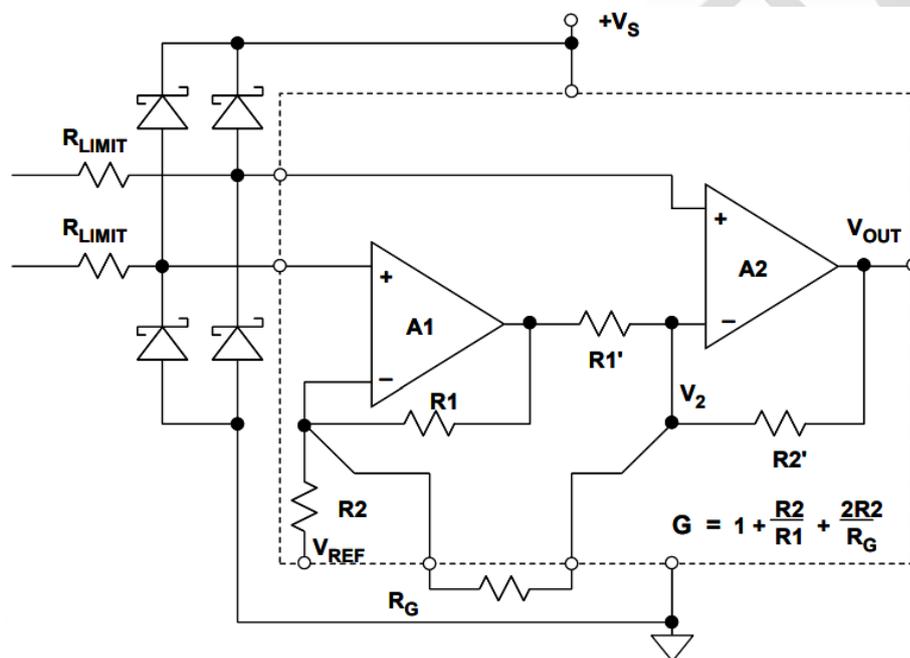


图 3: 单电源仪表放大器可能要求、也可能不要求具有电阻和箝位二极管形式的外部保护。就外部保护元件的必要性而言，给定仪表放大器可能需要、也可能不需要使用它们。每种情况都需要单独考虑。例如，一些仪表放大器采用了图中所示的箝位二极管，不过是内置的而已。[AD623](#) 就是这样一种器件，但它缺少串联电阻，必要时可以在外部添加。请注意，这种方法允许优化 R_{LIMIT} 值以提供保护，对于不需要保护的应用，其对噪声的影响可以忽略不计。

另外，一些仪表放大器同时具有内部保护电阻和箝位二极管，[AD627](#)即是这样一个例子。在该器件中，内部保护足以耐受最高超过电源 40V 的瞬态电压（内部电阻中存在 20mA 故障电流）。对于高于该值的过压水平，可以增加外部 R_{LIMIT} 电阻。

按图中所示在两个输入端放置肖特基二极管就是一种仪表放大器保护选项，不过前提是源阻抗很小，以致二极管漏电流产生的误差处于可接受水平。如果内部未专门提供箝位，则可使用肖特基二极管。请注意，在许多情况下，由于现代仪表放大器内置保护网络，因而不需要这些二极管。但同样，对此并无硬性规定，因而始终都应该查阅数据手册，然后再敲定应用设计。

总而言之，图 4 总结了本节讨论的仪表放大器的主要在线过压问题。

- ◆ **INPUT VOLTAGES MUST NOT EXCEED ABSOLUTE MAXIMUM RATINGS**
(Usually Specified With Respect to Supply Voltages)
- ◆ **Requires $V_{IN(CM)}$ Stay Within a Range Extending to $\leq 0.3V$ Beyond Rails**
($-V_S - 0.3V \geq V_{IN} \leq +V_S + 0.3V$)
- ◆ **IC Input Stage Fault Currents *Must* Be Limited**
($\leq 5mA$ Unless Otherwise Specified)
- ◆ **Avoid Reverse-Bias Breakdown in Input Stage Junctions!**
- ◆ **Differential and Common Mode Ratings Often Differ**
- ◆ **Some ICs Contain *Internal* Input Protection**
 - Diode Voltage Clamps, Current Limiting Resistors (or both)
 - Absolute Maximum Ratings Must Still Be Observed
- ◆ **No Two Amplifiers are Exactly the Same**
- ◆ **Always consult the in-amp data sheet for overvoltage protection recommendations**

图 4：仪表放大器过压问题小结

这些针对运算放大器和仪表放大器的过压防范措施看起来非常复杂吧，确实很复杂！只要运算放大器（或仪表放大器）输入（和输出）超出设备边界条件，就可能发生危险情况或器件损毁。显然，为了实现最高可靠性，必须防患于未然。

幸运的是，许多应用都是完全内置于设备中，通常看到的是采用同一电源系统的其它 IC 的输入和输出。因此，这种情况下一般不需要箝位和保护方案。

仪表放大器输入 RFI 保护

保护仪表放大器不受 RFI 影响

在实际应用中，必须处理日益增多的射频干扰(RFI)，对于信号传输线路较长且信号强度较低的情况尤其如此，这是仪表放大器的典型应用，因为其本身具有共模抑制能力，所以该器件能从较强共模噪声和干扰中提取较弱的差分信号。但有个潜在问题却往往被忽视，即仪表放大器中存在的射频整流问题。当存在强射频干扰时，集成电路的内部结点可能对干扰进行整流，然后以直流输出失调误差表现出来。

仪表放大器输入端的共模信号通常被其共模抑制的性能衰减了。但遗憾的是，射频整流仍然会发生，因为即使最好的仪表放大器在信号频率高于 20kHz 时，实际上也不能抑制共模噪声。放大器的输入级可能对强射频信号进行整流，然后以直流失调误差表现出来。一旦经过整流后，在仪表放大器输出端的低通滤波器将无法消除这种误差。如果射频干扰为间歇性，那么它会导致测量误差，但无法被觉察到。

共模(CM)和差模(DM)RC 输入滤波器

对于仪表放大器的器件级应用需进行适当的滤波，通用方法如图 1 所示。在此电路中，仪表放大器可以是数种器件之一。仪表放大器前相对复杂的平衡 RC 滤波器负责执行所有高频滤波。仪表放大器则通过其增益设置电阻 (图中未显示) 设置为应用所需的增益。

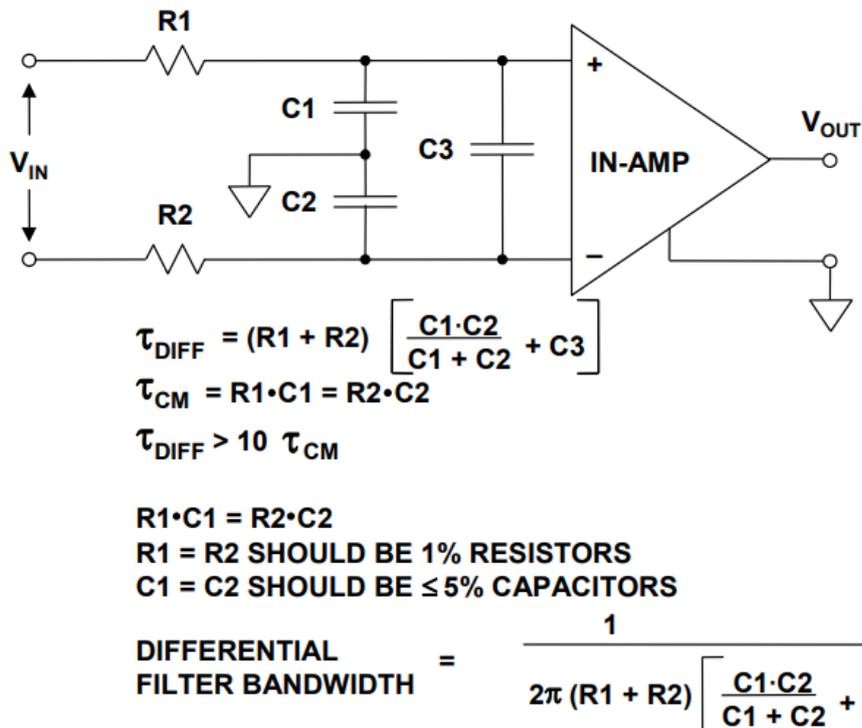


图 1: 代码跃迁噪声（折合到输入端噪声）及其对 ADC 传递函数的影响

注意，该滤波器针对 CM (R1-C1 和 R2-C2) 以及差模(DM)信号 (R1+R2 和 C3 与串联的 C1-C2 并联) 提供完全平衡的滤波。如果 R1-R2 和 C1-C2 匹配不佳， V_{IN} 处的某些输入共模信号将转换为仪表放大器输入端的差模信号。因此，C1 和 C2 的匹配精度至少应达到 5%。此外，R1 和 R2 应该采用 1% 金属薄膜电阻，以便帮助实现这一匹配精度。

此处假设 V_{IN} 引脚处的源阻抗小于 R1-R2，并且相互匹配。在此类滤波器中，所选的 C3 应该至少比 C1 或 C2 ($C3 \geq 10C1, 10C2$) 大 10 倍，以抑制因 R1-C1 和 R2-C2 时间常数不匹配所引起的 CM-DM 转换而导致的杂散差分信号。

假设 $C3 \gg C1$ ，由此得到 CM 滤波器带宽为 $1/2\pi R1 \cdot C1$ ，而 DM 滤波器带宽则大约为 $1/4\pi R1 \cdot C3$ 。

总体 DM 滤波器带宽应至少为输入信号带宽的 100 倍。滤波器元件应对称安装在具有较大面积接地层的电路板上，并且应该靠近仪表放大器的输入端，以便获得比较好的性能。

图 2 显示了一系列适合各种不同仪表放大器的此类滤波器。RC 元件应根据不同仪表放

大器进行定制，具体如表中所示。选择这些滤波器元件是为了实现低 EMI/RFI 灵敏度和低噪声增长的合理平衡（与无滤波器的相应仪表放大器相比）。

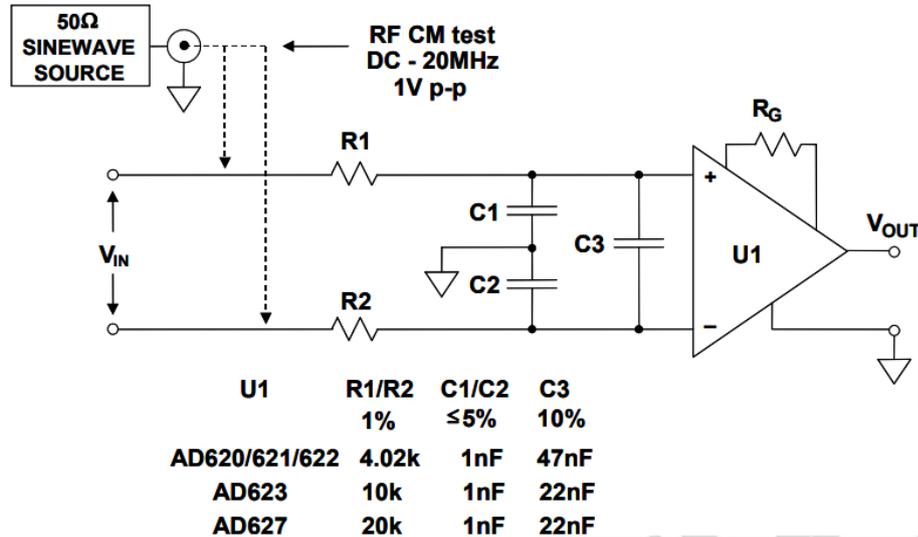


图 2: 灵活的共模和差模 RC EMI/RFI 滤波器对 [AD620](#) 系列、[AD623](#)、[AD627](#) 及其它仪表放大器有效

要测试配置的 EMI/RFI 灵敏度, 可以向输入电阻施加 1Vp-pCM 信号, 如上所述。当 [AD620](#) 等常用仪表放大器在增益为 1000 下工作时, 20MHz 范围内观测到的最大 RTI 输入失调电压漂移为 1.5μV。在 [AD620](#) 滤波器示例中, 差分带宽约为 400Hz。

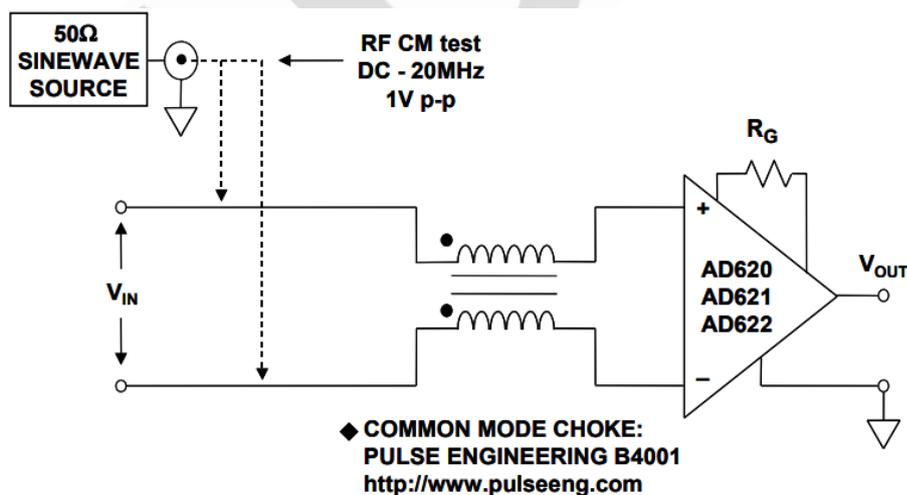


图 3: 针对简单和最低噪声 EMI/RFI 滤波器操作, 共模扼流圈对 [AD620](#) 系列仪表放大器有效

除了元件数较少之外，去除电阻后，基于扼流圈的滤波器还具有低噪声特性。不过，关键是要选择合适的共模扼流圈。上文图 3 所示电路中使用的扼流圈是 Pulse Engineering B4001。G=1000 时，DC 至 20MHz 范围内测得的最大 RTI 失调漂移为 $4.5\mu\text{V}$ 。针对该滤波器，用户既可以采用 B4001 等现成扼流圈，也可以自行构建扼流圈。线圈的平衡非常重要，因此建议使用双线。当然，磁芯材料必须能在预期频带内工作。注意，与图 1 中的 RC 系列滤波器不同，单纯的扼流圈滤波器不提供差分滤波。可以选择添加差模滤波功能，即在扼流圈之后的第二级添加图 1 中的 R1-C3-R2 连接。

采用 X2Y[®]电容的共模滤波器

图 4 显示 X2Y 电容的连接图。这类器件尺寸非常小，配有三个引脚并具有四个外部连接——A、B、G1 和 G2。

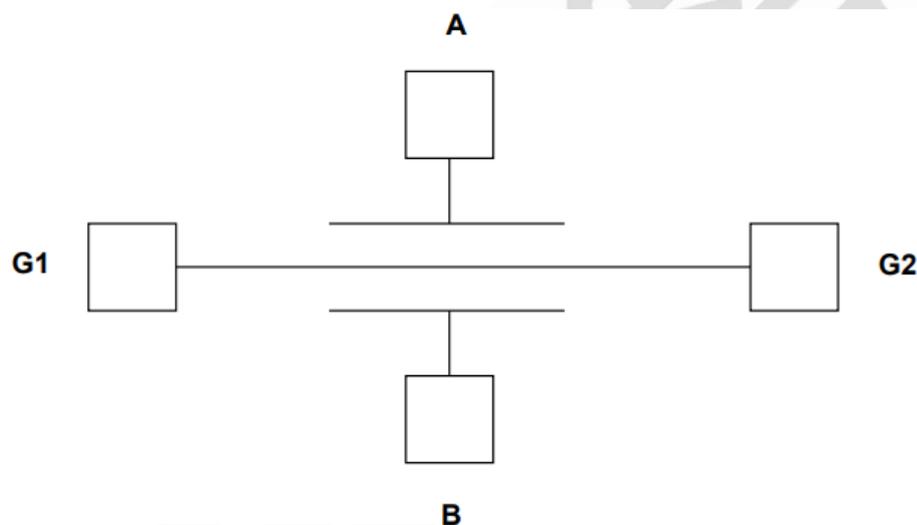


图 4: X2Y[®]电容静电模型

G1 和 G2 引脚在器件内部相连。X2Y 电容的内部板结构形成一种集成电路，具有一些有趣的特性。从静电角度来看，三个电节点构成两个电容，这两个电容共享 G1 和 G2 引脚。制造工艺会自动严格匹配这两个电容。此外，X2Y 结构包含有效的自动变压器/共模扼流圈。因此，当共模滤波器使用这类器件时，与类似 RC 滤波器相比，高于滤波器转折频率的共模信号衰减幅度更大。因此，通常无需电容 C3，进而节省了成本和电路板空间。

图 5A 所示为传统的 RC 共模滤波器，而图 5B 所示为采用 X2Y 器件的共模滤波器电路。
图 6 比较了这两种滤波器的 RF 衰减性能。

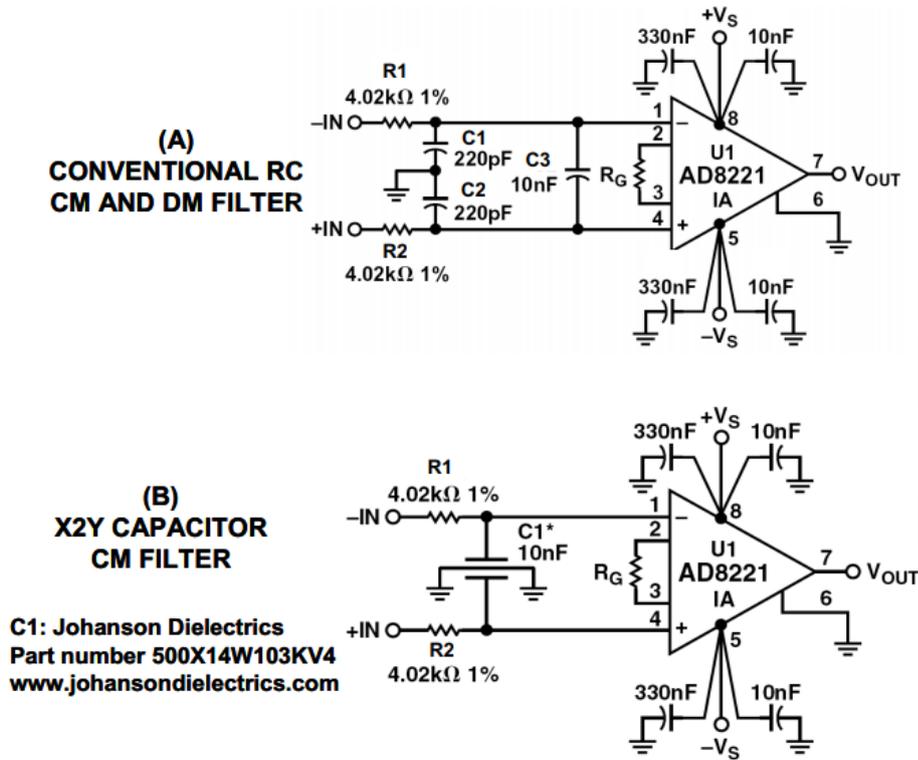


图 5: 传统 RC 滤波器和 X2Y CM 滤波器

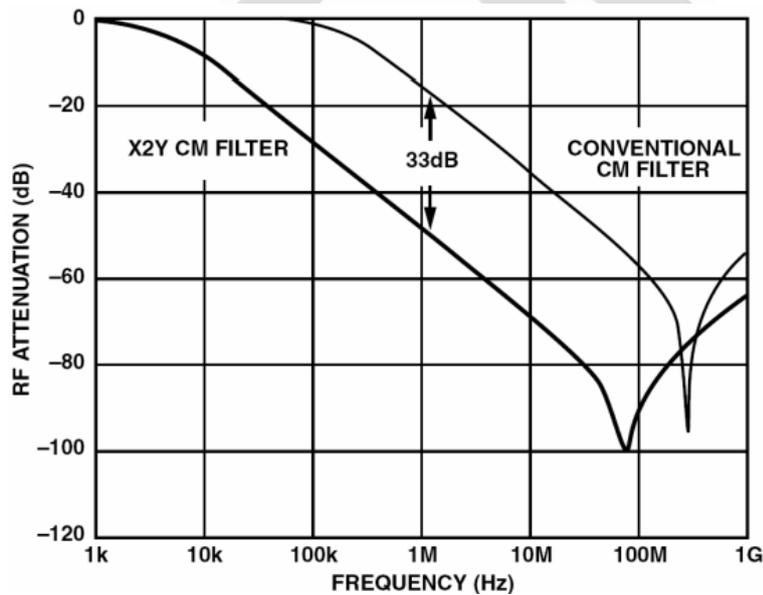


图 6: X2Y 共模滤波器与传统 RC 共模滤波器的 RF 衰减性能比较

仪表放大器设计问答

仪表放大器有什么作用？

仪表放大器用来测量噪声环境中的弱信号。由于噪声通常是共模的，而信号应该是差分的，所以仪表放大器利用其共模抑制(CMR)特性将有用信号与噪声区分开。

在仪表放大器应用中的信号源通常具有几千欧姆(kΩ)甚至更大的输出阻抗，因此仪表放大器应该具有非常高的输入阻抗（通常能够达到数吉欧姆）。仪表放大器的工作频率一般从直流(DC)到大约 1MHz 之间。当频率超过 1MHz 时，输入电容问题比输入电阻更重要。通常使用差分放大器处理高速应用，这样虽然提高了速度，但却降低了输入阻抗。

仪表放大器有那些主要技术指标？

设计仪表放大器的工程师需要考虑的主要性能指标包括：电源电流、-3dB 带宽、共模抑制比(CMRR)、输入失调电压和失调电压随温度的漂移以及输入端的噪声和输入偏置电流。

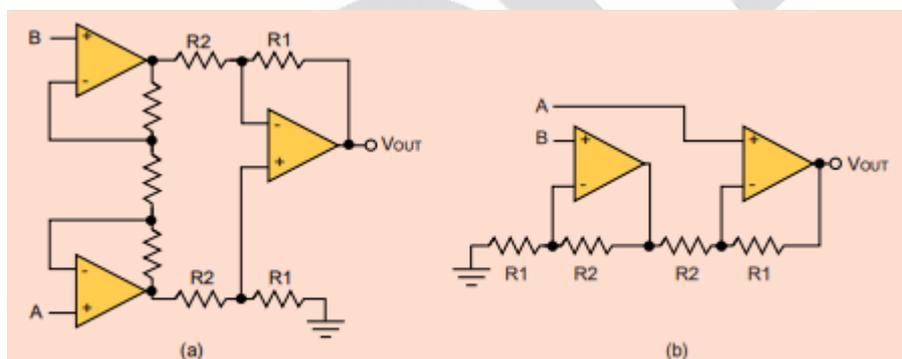


图 1：大多数仪表放大器使用三个运算放大器构成。其中一个放大器用作差分放大器，另两个运算放大器用作缓冲放大器(a)；用两只运算放大器构成的仪表放大器由于结构简化而牺牲性能(b)。

仪表放大器的内部原理如何？

大多数的仪表放大器是由三个运算放大器构成。

这些运算放大器可分为两级：两个运算放大器用作前置放大器，其后跟随一个差分放大器（如图 1a 所示）。前置放大器提供高输入阻抗、低噪声和增益级。差分放大器抑制共模噪声，并能提供必要的额外增益。

仪表放大器仅三个运算放大器是不是仪表放大器的唯一架构？

其实不是，另一种仪表放大器架构是采用两个运算放大器，它可节省元件数量，但却存在两个缺点（见图 1b）：1. 非对称的体系结构降低了 CMRR，尤其是在高频情况下；2. 仅用一级放大使其增益受到限制。由于输出级的误差影响到输入级，从而导致折合到输入端的噪声和失调误差变大。

如何防止仪表放大器的输入端过压？

设计工程师需要外部限流电阻器防止太大的驱动电流在内部 ESD 箝位二极管产生过压。限流电阻器的阻值取决于仪表放大器的噪声水平、电源电压和所需的过压保护。仪表放大器的使用说明中给出了推荐值。

由于限流电阻器增加了噪声，所以另一种方法是使用外部大电流箝位二极管，以大幅度减小阻值。不幸的是，大多数普通二极管都具有很高的泄漏电流，会在仪表放大器输出端产生很大的失调误差；由于这种漏电流与温度呈指数关系增加，所以设计工程师在高阻抗信号源应用中不应使用普通二极管。

什么是 RFI 滤波？它是如何工作的？

传感器和仪表放大器之间很长的线路会受到射频干扰(RFI)。仪表放大器对 RF 整流之后会表现为 DC 输出失调误差。图 2 显示的是一种在 RF 干扰到达仪表放大器之前滤除 RF 干扰的解决方案。元件 R1a 和 C1a 构成同相输入端的低通滤波器，同样，元件 R1b 和 C1b 构成反相输入端的低通滤波器。

重要的是上述两个低通滤波器的截止频率应该很好地匹配，否则会将共模信号转换成差

分信号。C2 至少是 C1 的 10 倍，高频时由于两输入端“短路”，这个要求有点放宽。尽管如此，C1a 和 C1b 匹配仍然至关重要。它们应该选用±5%的 C0G 薄膜电容器。以上两种滤波器的差分带宽为 $[1/2\pi R(2 \times C2 + C1)]$ ，其共模带宽为 $[1/(2\pi R1C1)]$ 。

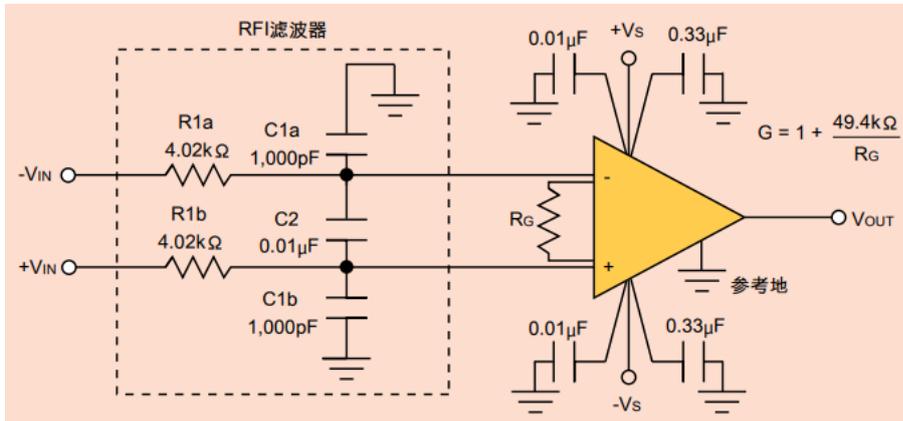


图 2: RFI 滤波器有助于处理 RF 干扰。

在购买单片仪表放大器和用分立放大器构建仪表放大器之间如何平衡?

使用分立的运算放大器构建一个仪表放大器最主要的理由可能是您没有找到您所需要的现成仪表放大器。现在，由各个不同制造商提供的运算放大器已有 5,000 多种，其中仪表放大器大约有 100 种。

如果您能找到满足您性能要求的单片仪表放大器，那么您会认识到选用现成的单片仪表放大器而不用自己构建是合理的。这样，您不会浪费开发时间，而且单片仪表放大器也能够节省尺寸。

另外，单片仪表放大器的 CMRR 更高，而且利用片内的许多电阻器，其内部寄生效应会比分立解决方案减小很多。其它优点包括任何电流额定值条件下的噪声和带宽指标在单片设计中通常都会更好。

可变增益放大器

精密可变增益放大器(VGA)

具有宽动态范围的多数数据采集系统都需要以某种方法来调整模数转换器(ADC)的输入信号电平。ADC 满量程输入电压范围通常介于 1V 至 10V 之间。为了实现转换器的额定精度，最大输入信号应非常接近其满量程电压。

然而，传感器的输出电压范围非常宽。小传感器电压需要高增益，但对于大输出，高增益会导致放大器或 ADC 饱和。因此，需要某种增益可预测、可控制的器件。具有可编程增益的放大器有多种应用，图 1 列出了其中的一部分。

- ◆ **Instrumentation**
- ◆ **Photodiode amplifier circuits**
- ◆ **Ultrasound preamplifiers**
- ◆ **Sonar preamplifiers**
- ◆ **Wide dynamic range sensors**
- ◆ **Driving ADCs (some ADCs have on-chip VGAs)**
- ◆ **Automatic gain control (AGC) loops**
- ◆ **Gain control**
 - **Resistor programmable**
 - **Pin programmable**
 - **Continuous analog voltage**
 - **Digital (5 to 8-bits typical)**

图 1: 可变增益放大器(VGA)的应用

此类器件的增益由直流电压控制，或者，更常见的情况是由数字输入控制。这种器件被称为“可变增益放大器(VGA)”或“可编程增益放大器(PGA)”。

对于电压控制 VGA，通常是使增益（用 dB 表示）与线性控制电压成比例。

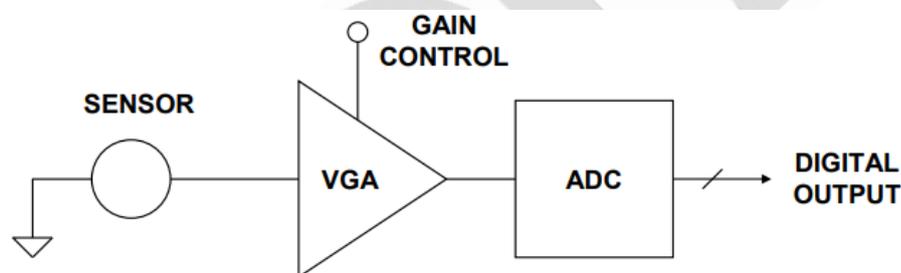
数字控制 VGA 可能配置用于获得几个可选的“十倍频程增益”（如 10、100、1000 等），

或配置用于获得“二进制增益”（如 1、2、4、8 等）。许多情况下，增益范围（用 dB 表示）分为相等的步进，具体由 5 至 8 位控制字决定。当然，这是最终系统的函数，也是理想的类型。

需要注意的是，以上应用示例的一个共同因素是所处理的不同类型信号是多种多样的。有些可能要求宽带宽和低失真，其他则可能要求极低噪声，源阻抗从高到低。输入可能是单端，也可能是差分。

VGA 的输出可能需要驱动 ADC 某个定义的输入范围，也可能是较小子系统的一部分，比如 AGC 或增益范围调整环路。其后的电路有多种类别，能满足部分这些要求。

VGA 通常位于传感器及其 ADC 之间，如下面的图 2 所示。额外的信号调理可能发生在 VGA 之前或之后，具体视应用而定。例如，光电二极管需要在其自己与 VGA 之间放置一个电流-电压转换器。在多数其他系统中，最好先放置增益，并对较大的信号进行调理。这样可减少信号调理电路引入的误差。



- ◆ Used to increase the dynamic range of the system
- ◆ A VGA with a gain of 1 to 2 theoretically increases the dynamic range by 6dB.
- ◆ A gain of 1 to 4 gives a 12dB increase, etc.

图 2：数据采样系统中的 VGA

为了弄清可变增益的好处，我们不妨假设一个具有两个增益设置（即 1 和 2）的理想 VGA。系统的动态范围增加 6dB。通过将增益增加到最大值 4，动态范围会增加 12dB。如果 ADC 的 LSB 等于 10mV 输入电压，则该 ADC 无法分辨更小的信号，但是，当 VGA 的增

益增加至 2 时，则可以分辨 5mV 的输入信号。因此，处理器可以将 VGA 增益信息与 ADC 数字输出相结合，从而使其分辨率提高 1 位。本质上，这与增加 ADC 的分辨率是一样的。事实上，目前有一些 ADC 通过片内 VGA 来增加动态范围（如 AD77xx 系列）。

精密 VGA 的设计问题

在实际应用中，VGA 并不理想，必须研究并了解其误差源。下面的图 3 总结了 VGA 的各种设计问题。

- ◆ How to switch the gain
- ◆ Effects of the switch on-resistance (R_{ON})
- ◆ Gain accuracy
- ◆ Gain and offset drift over temperature
- ◆ Gain linearity
- ◆ Bandwidth versus gain
- ◆ DC offset
- ◆ Settling time after switching gain
- ◆ Harmonic distortion, two-tone intermodulation distortion, IP3, SFDR
- ◆ Noise
- ◆ Input / output impedance

图 3: VGA 设计问题

一个 VGA 设计的基本问题在于对增益精确编程。机电继电器具有极小的导通电阻(R_{ON})，但并不适合增益切换，原因是速度慢、尺寸大且价格昂贵。CMOS 开关虽然尺寸小，但其 R_{ON} 会受电压/温度影响，而且还存在杂散电容，有可能会影响 VGA 交流参数。

为了了解 R_{ON} 对性能的影响，我们来考虑下面图 4 中的不良 VGA 设计。一个同相运算放大器有 4 个不同的增益设置电阻，各通过一个开关接地， R_{ON} 为 100 Ω 至 500 Ω 。即使当 R_{ON} 低至 25 Ω 时，16 增益误差为 2.4%，比 8 位还要差！ R_{ON} 还会随温度而变化，在开关间也会发生变化。

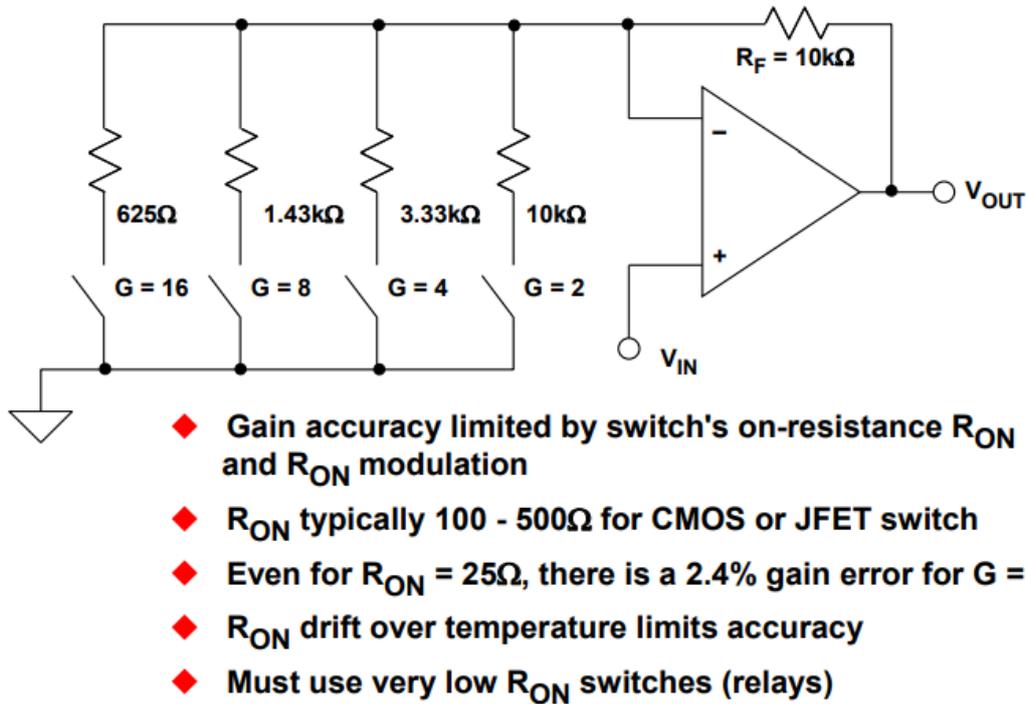
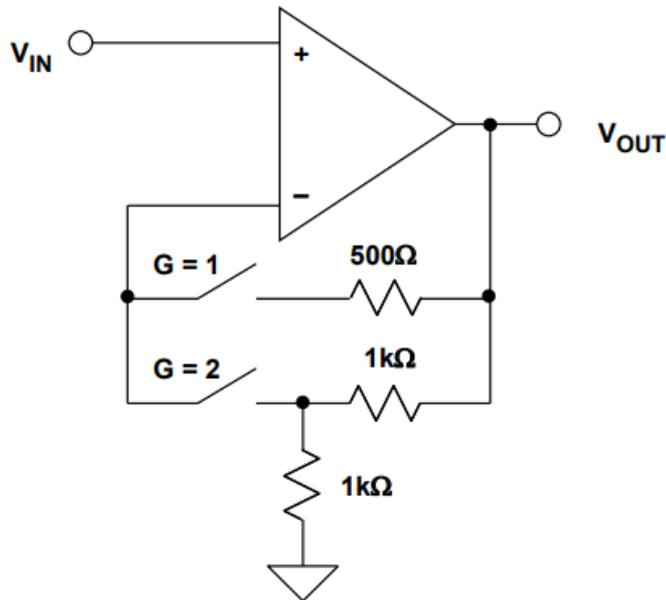


图 4：设计不佳的 VGA

要尝试“修复”该设计，可以增加电阻，但随之而来的是噪声和失调问题。对于这种电路，提高精度的唯一方法是使用几乎不存在 R_{ON} 的继电器。只有在这种情况下，继电器仅数 $m\Omega$ 的 R_{ON} 只会产生较小的误差（与 625Ω 相比）。

最好使用对 R_{ON} 不敏感的电路。在下面的图 5 中，开关与运算放大器的反相输入串联。由于运算放大器的输入阻抗非常大，因而开关 R_{ON} 不再相干，而此时的增益完全由外部电阻决定。请注意——如果运算放大器偏置电流较高， R_{ON} 可能会增加较小的失调误差（如果情况确实如此，则可在 V_{IN} 用一个等效电阻进行补偿）。



- ◆ R_{ON} is not in series with gain setting resistors
- ◆ R_{ON} is small compared to input impedance
- ◆ Only slight offset errors occur due to bias current flowing through the switches

图 5：替代 VGA 配置降低 R_{ON} 的影响

下文展示几个基于上述概念和其它概念的低频 VGA 电路。

[AD526](#) 软件可编程 VGA

AD526 放大器采用前面提到的 VGA 架构，并集成到单芯片上，如图 6 所示。[AD526](#) 有 5 个二进制增益设置，范围为 1 至 16，其内部 JFET 开关与放大器反相输入端相连，如图 5 所示。增益电阻经过激光调整，最大增益误差仅为 0.02%，线性度为 0.001%。在负载端连接 FORCE/SENSE 端子可以确保获得最高精度（同时允许针对低阻抗负载，使用可选的单位增益缓冲器）。[AD526](#) 由一个锁存数字接口控制。

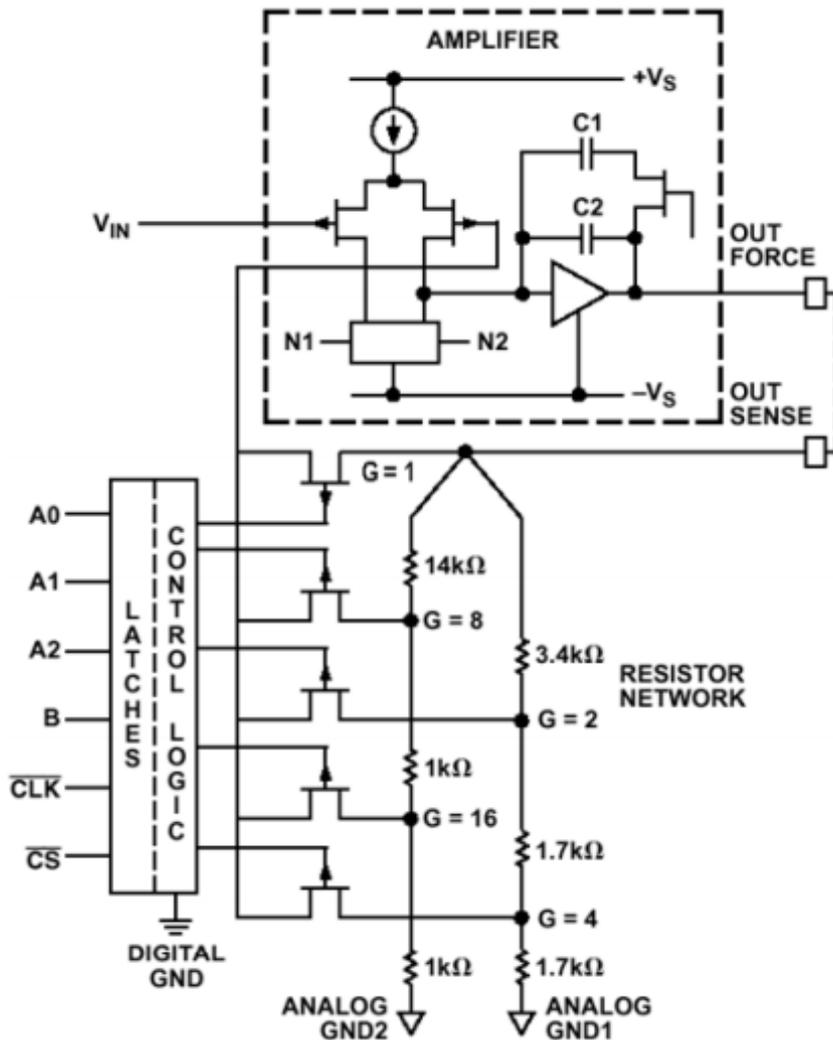


图 6: [AD526](#) 软件可编程 VGA 的原理示意图

低噪声 VGA

相同的设计概念可以用来构建低噪声 VGA，如下面的图 7 所示。其中使用了一个运算放大器、一个四通道开关和多个精密电阻。噪声较低的 [AD797](#) 取代了 [AD526](#) 的 JFET 输入运算放大器，但该电路几乎可以使用任何电压反馈运算放大器。选择 [ADG412](#) 的原因是其 R_{ON} 为 35Ω 。

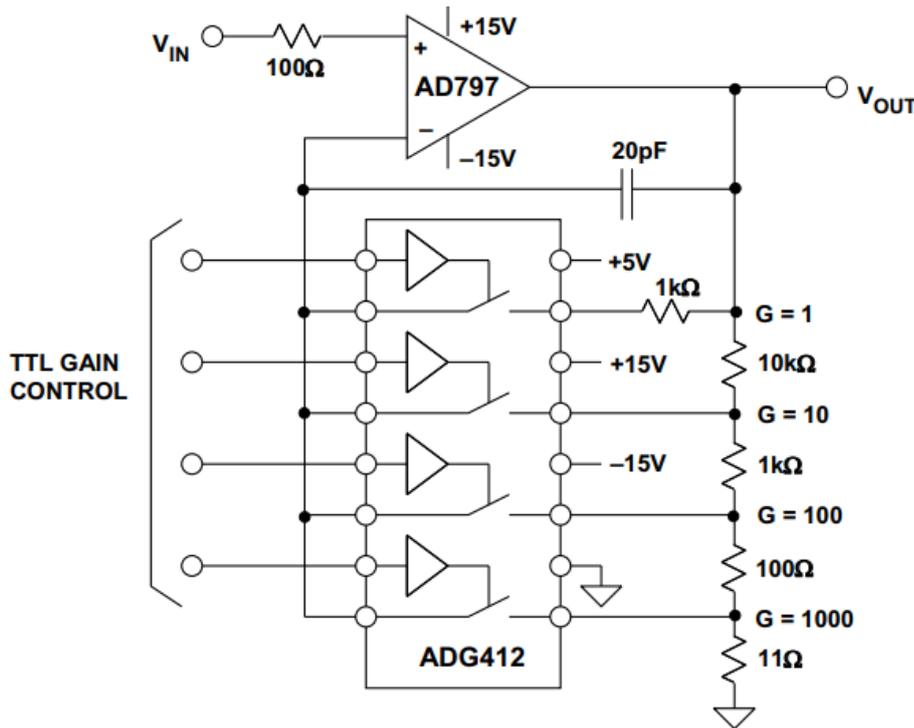


图 7: 采用 [AD797](#) 和 [ADG412](#) 构成的一种极低噪声 VGA

选择这些电阻是为了产生 1、10、100 和 1000 的十倍频程增益，但是，如果需要其他增益，可以轻松更改电阻值。理想情况下，应该使用一个调整电阻网络，以获得初始增益精度和低温漂特性。20pF 的反馈电容确保了稳定性，并在切换增益时保持输出电压不变。开关的控制信号会先将第一个开关关闭几纳秒，然后再开启第二个开关。在此期间，运算放大器为开环。如果没有电容，输出会开始摆动。相反，电容会在开关期间保持输出电压不变。由于两个开关同时断开的时间非常短，因此只需要 20pF。对于较慢的开关，可能需要较大的电容。

增益为 1000 时，VGA 的输入电压噪声频谱密度仅为 $1.65\text{nV}/\sqrt{\text{Hz}}(1\text{kHz})$ ，略高于仅使用 [AD797](#) 时的噪声性能。出现增加的原因在于 [ADG412](#) 的噪声以及流过 R_{ON} 的 [AD797](#) 电流噪声。

VGA 的精度对于决定系统整体精度非常重要。[AD797](#) 的偏置电流为 $0.9\mu\text{A}$ ，流过 $35\Omega R_{\text{ON}}$ 时，结果会额外导致 $31.5\mu\text{V}$ 的失调误差。与 [AD797](#) 的失调相加后，总 V_{OS} 变为 $71.5\mu\text{V}$

(最大值)。失调温度漂移受偏置电流和 R_{ON} 变化的影响。计算显示，总温度系数从 $0.6\mu\text{V}/^\circ\text{C}$ 增加至 $1.6\mu\text{V}/^\circ\text{C}$ 。请注意，尽管这些误差很小（最后可能无关紧要），但仍然需要知道它们的存在。

在实际应用中，电路精度和增益 TC 将由外部电阻决定。共模范围、输入偏置电流等输入特性完全取决于 [AD797](#)。

DAC 编程 VGA 另一种 VGA 结构在运算放大器的反馈环路中利用一个 DAC 来调整数字控制下的增益，如下面的图 8 所示。DAC 的数字码控制其相对于基准输入 V_{REF} 的衰减，其功能类似于电位计。衰减反馈信号可以增加闭环增益。

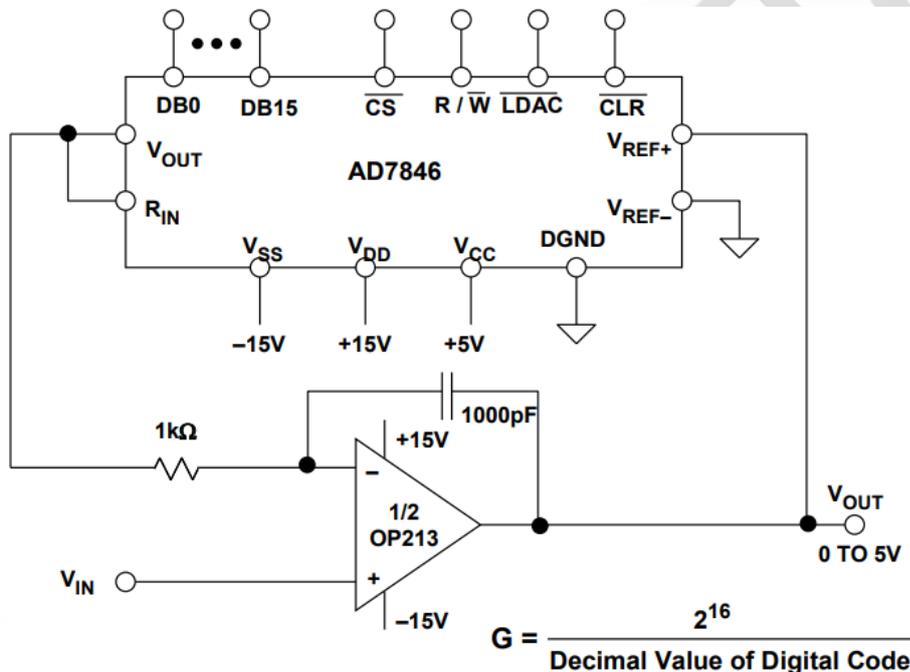


图 8：在运算放大器的反馈路径中采用 DAC 的二进制增益 VGA

这种同相 VGA 要求使用带电压模式输出的乘法 DAC。请注意，乘法 DAC 具有宽基准电压范围，其中包括零。对于 VGA 的多数应用来说，基准输入必须能够处理双极性信号。[AD7846](#) 是一款符合这些要求的 16 位转换器。在本应用中，它采用标准的二象限乘法模式。

[OP213](#) 是一款低漂移、低噪声放大器，但放大器的选择非常灵活，具体取决于计划的应用。输入电压范围取决于 [AD7846](#) 的输出摆幅，比正电源低 3V，比负电源高 4V。反馈

环路中使用了一个 1000pF 的电容器以保持稳定。

电路增益通过调整 DAC 的数字输入来设置，计算公式如图 8 所示。 D_{0-15} 表示数字码的十进制值。例如，如果所有位均设为高电平，增益将为 $65,536/65,535=1.000015$ 。如果 8 个最低有效位设为高电平，其他位设为低电平，则增益为 $65,536/255=257$ 。

当增益为+1 时，电路的带宽较高，达 4MHz。不过，该值会随增益而下降，当增益为 256 时，带宽仅为 600Hz。如果增益带宽积为常数，则当增益为 256 时，带宽应为 15.6kHz；但是，DAC 的内部电容会使带宽降至 600Hz。

电路的增益精度取决于 DAC 的分辨率和增益设置。当增益为 1 时，所有位均开启，精度取决于 DAC 的 DNL 规格，其最大值为 ± 1 LSB。因此，在 16 位系统中，增益精度等于 1 LSB，或 0.003%。

不过，随着增益的增加，开启的位将减少。当增益为 256 时，只有位 8 开启。增益精度仍然取决于 ± 1 LSB 的 DNL，但现在只是与最低的 8 位相比。因此，在 8 位系统中，增益精度降至 1 LSB，或 0.4%。如果增益增加至 256 以上，增益精度将进一步下降。设计人员必须确定可以接受的精度水平。在这个具体电路中，增益限制在 256 以内。

差分输入 VGA

采用运算放大器的同相 VGA 电路可以轻松适应单电源工作模式，但是当需要差分输入时，则应使用单电源仪表放大器，如 [AD623](#)、[AD627](#) 或 [AMP04](#)。下面图 9 所示的单电源仪表放大器 VGA 中，[AMP04](#) 与一个外部 [ADG511](#) CMOS 开关配合使用。

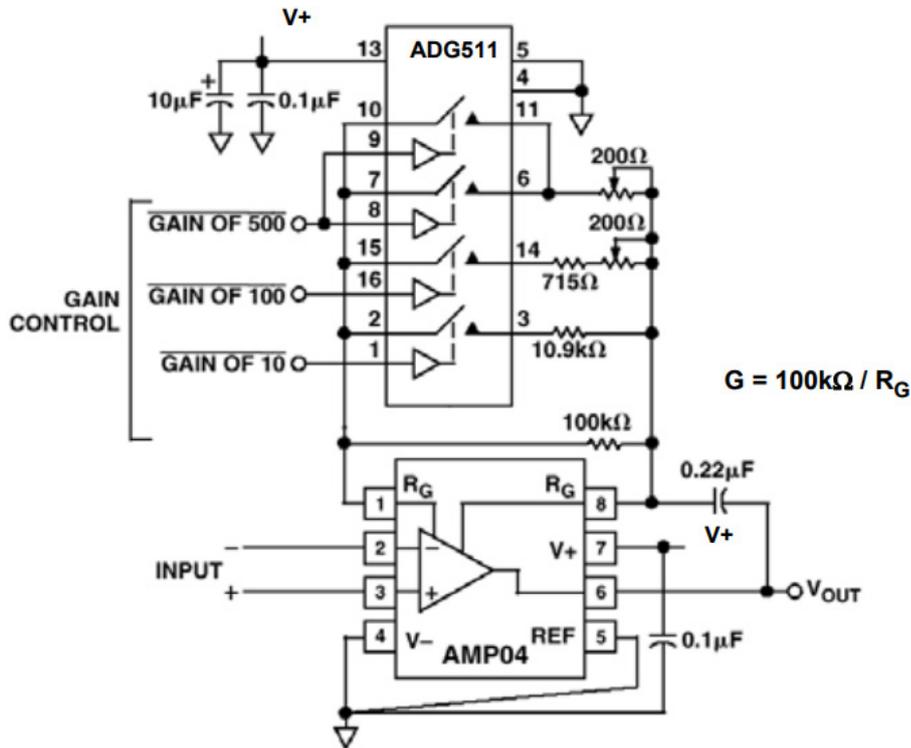


图 9: 采用 [AMP04](#) 仪表放大器和 [ADG511](#) 开关的单电源仪表 VGA

该电路的可选增益为 1、10、100 和 500，由一个 [ADG511](#) 进行控制。该电路选择 ADG511 作为具有低 R_{ON} (45Ω) 的单电源开关。该电路的缺点是，电路增益取决于开关的 R_{ON} 。较高增益下需要进行调整，才能实现目标精度。当增益为 500 时，两个开关并联使用，若不进行调整，其阻抗会导致 10% 的增益误差。

可编程增益仪表放大器

[AD8250](#) 是一款数字可编程增益 (1、2、5 和 10) iCMOS® 仪表放大器，具有 GΩ 输入阻抗、低输出噪声、低失真特性，适合与传感器进行接口，并驱动高采样速率的模数转换器(ADC)。它拥有 10MHz 带宽、-110dB 的低总谐波失真(THD)，以及达到 0.001% 精度时 615ns 的快速建立时间。保证的失调漂移和增益漂移分别为 $1.7\mu\text{V}/^\circ\text{C}$ 和 $10\text{ppm}/^\circ\text{C}(G=10)$ 。除了具有宽输入共模电压范围之外，在 DC 至 50kHz 范围内，当增益为 1 时，这款器件还具有 80dB 的共模抑制能力。

精密直流性能与高速能力的结合则使 [AD8250](#) 成为数据采集应用的绝佳选择。此外，这

款单芯片解决方案还可简化设计与制造，并通过保持内部电阻与放大器的高度匹配来改善仪表性能。[AD8250](#) 用户接口由一个并行端口组成，用户可采用两种不同的方法来设置增益（参见图 10 所示的功能框图和频率响应）。一种方式是用 WR 输入锁存通过总线发送的 2 比特字。另一种方式是用透明增益模式，在这一模式下，由增益端口处的逻辑电平状态决定增益。

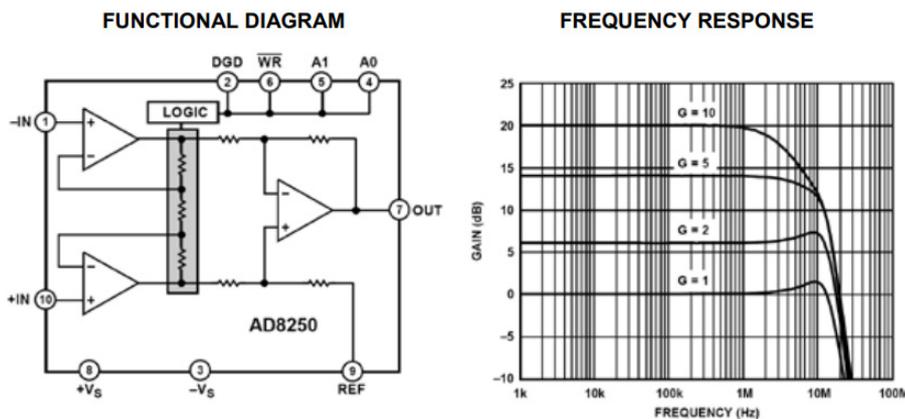


图 10: [AD8250](#) iCMOS 可编程增益仪表放大器

[AD8251](#) 与 [AD8250](#) 类似，但具有可编程增益 1、2、4 和 8。[AD8253](#) 的可编程增益为 1、10、100 和 1000。

片上集成 VGA/PGA 的 ADC

一些 ADC（如 AD77xx 测量系列）内置 VGA 和其它调理电路。对于这些器件，电路设计要简单得多，因为不需要外部 VGA 及其控制逻辑。另外，VGA 的所有误差都包含在 ADC 的规格中，误差计算很方便。VGA 增益通过公用 ADC 串行接口进行控制，转换时会考虑到增益设置，因而节省了确定输入电压所需要的额外计算。

ADC 和 VGA 的这种结合十分有用，为高精度系统的实现创造了条件，而且电路设计工作量极少。举例来说，下面图 11 显示的是 [AD7730](#) Σ - Δ 型测量 ADC 的原理示意图，该 ADC 经过专门优化，可直接对低压电桥输出（满量程低至 10mV）进行数字化处理，使无噪声分辨率大于 16 位，而且无需使用外部信号调理电路。

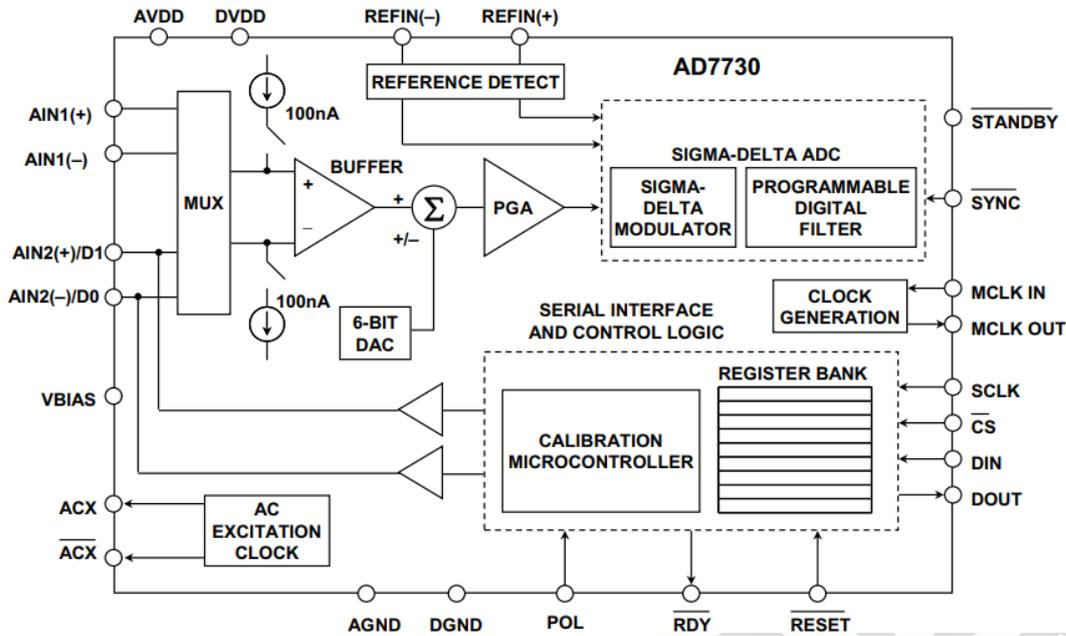


图 11: [AD7730](#) Σ - Δ 型测量 ADC (片上集成 VGA)

高速可变增益放大器(VGA)

高频可变增益放大器(VGA)的全面而详细参数不仅包括传统运算放大器的交流参数 (带宽、压摆率、建立时间), 而且还应说明通信专用参数。这些参数包括谐波失真性能、无杂散动态范围(SFDR)、交调失真、交调截点 (IP2、IP3)、噪声和噪声系数(NF)。图 1 列出了这些参数。

- ◆ **Noise**
 - Noise referred to output (RTO)
 - Noise referred to input (RTI)
- ◆ **Distortion**
 - Second and third order intercept points (IP2, IP3)
 - Spurious free dynamic range (SFDR)
 - Harmonic distortion
 - ◆ Single-tone
 - ◆ Multi-tone
 - ◆ Out-of-band
 - Multitone Power Ratio (MTPR)
 - Noise Factor (NF), Noise Figure (NF)

图 1: 通信系统中的动态范围参数

本章节将重点讨论适合通信系统的 VGA。VGA 是否适合通信系统取决于这些参数是否满足系统性能。文中将探讨模拟控制式和数字控制式 VGA。

自动增益控制(AGC)系统中的可变增益放大器(VGA)

宽带、低失真可变增益放大器在通信系统中应用非常广泛。例如，无线电接收机中的自动增益控制(AGC)，如图 2 所示。通常，由于传播路径存在差异，接收到的能量表现出很大的动态范围，需要在接收机内进行动态范围压缩。

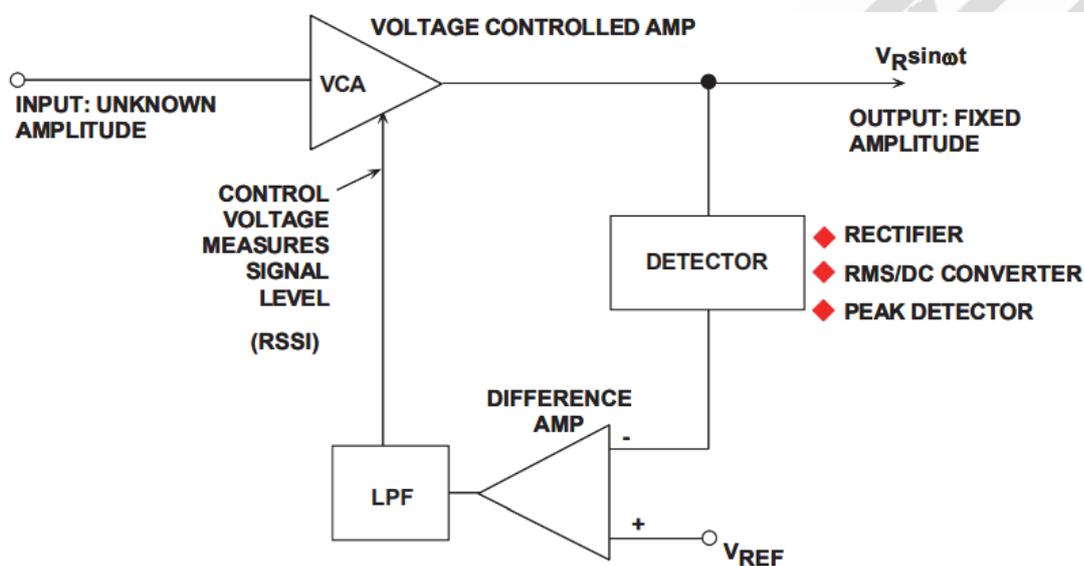


图 2：典型的自动增益控制(AGC)系统

这种情况下，所需信息蕴含在调制包络中（无论采用何种调制模式），而不是载波的绝对幅度。例如，1MHz 的载波被调制到 1kHz 上，调制深度为 30%，不管接收到的载波电平是 0dBm 还是 -120dBm，传递的信息都是相同的。存在较大输入变化时，通常会在接收机内利用某种类型的自动增益控制(AGC)功能，将载波幅度调整到某个归一化参考水平。AGC 电路用作动态范围压缩器，能够在多个载波周期的间隔内响应某个信号衡量指标（通常为幅度平均值）。

因此，它们需要时间来根据接收信号电平差异做出调整。利用峰值检波方法可以缩短信号电平突然提高所需的响应时间，但稳定性会受到一定损害，因为瞬态噪声尖峰现在可

以激活 AGC 检测电路。非线性滤波和“延迟 AGC”概念对于优化 AGC 系统很有用。实践中有很多折衷考虑。

值得注意的是，一个 AGC 环路实际上有两路输出。当然，较为明显的输出是幅度稳定信号。不太明显的输出则是 VCA 的控制电压。实际上，此电压衡量输入信号的幅度平均值。如果系统经过精确调整，则控制电压可用于衡量输入信号，有时也称为“接收信号强度指示(RSSI)”。给定适用的精密 VCA 增益控制法则，利用后面这点便可以实施针对输入信号电平进行校准的接收系统。

压控可变增益放大器

[ADL5391](#) 等模拟乘法器可以用作可变增益放大器，如下面图 3 所示。控制电压施加于其中一路输入，信号则施加于另一路输入。采用这种配置时，增益与控制电压成正比。

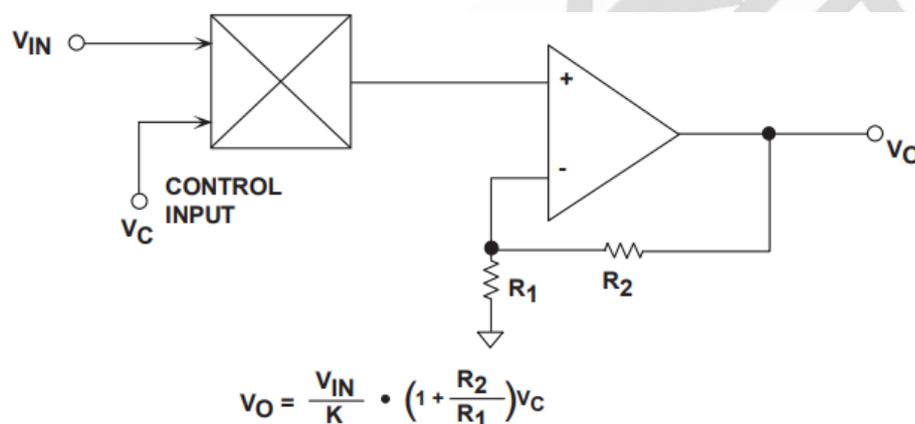


图 3：将乘法器用作压控可变增益放大器

对于大多数采用模拟乘法器构建的 VCA，其增益与以 V 为单位的控制电压成线性关系，而且往往存在噪声。但是，所需的 VCA 能够将宽增益范围与恒定带宽和相位、低噪声与大信号处理能力以及低失真与低功耗相结合，同时提供精确、稳定的线性 dB 增益。X-AMP™系列可以利用一个独特而精致的解决方案（针对指数放大器）实现这些非常严苛且相互冲突的目标。概念非常简单：固定增益放大器后接通过特殊方式利用电压来控制其衰减的无源宽带衰减器（见图 4）。

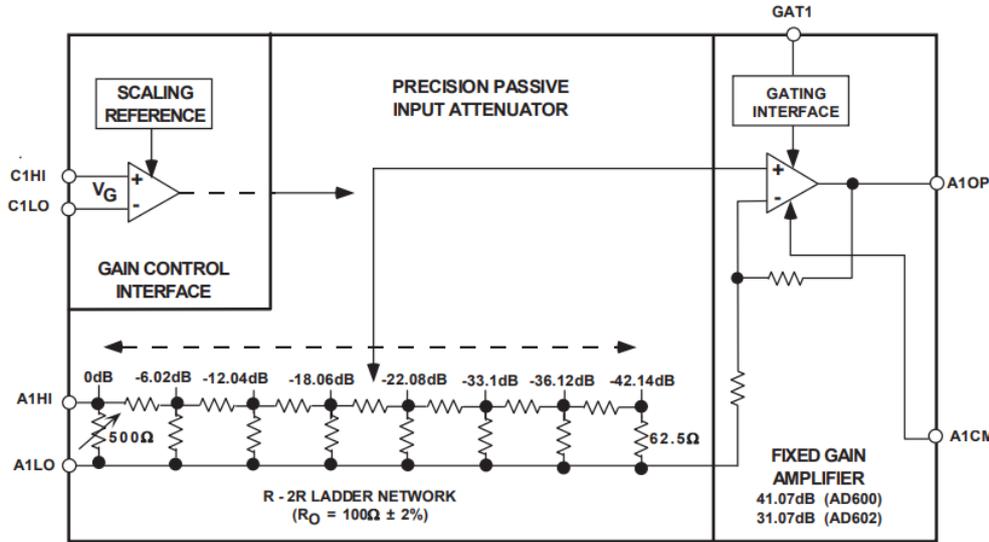


图 4: X-Amp 框图

该放大器具有优秀的低噪声性能，负反馈则用于精确定义其较高增益（约 30 至 40dB）并将失真降至最低。由于该放大器的增益是固定的，因此其交流和瞬变响应特性也是不变的，包括失真和群延迟；由于其增益较高，因此其输入永远不会由超过数毫伏的电压驱动。因此，该器件始终工作在其小信号响应范围内。

衰减器是一个 7 级（8 抽头）R-2R 梯形网络。所有相邻抽头之间的电压比都正好为 2，即 6.02dB。这为实现精密线性 dB 特性奠定了基础。总体衰减为 42.14dB。如图所示，该放大器的输入可以连接到这些抽头中的任意一个，甚至可以在这些抽头之间进行插值，而且偏差很小，只有约±0.2dB。总增益的变化范围是固定增益（最大值）到比最大值小 42.14dB 的值。例如，在 [AD600](#) 中，固定增益为 41.07dB（电压增益为 113）；使用此选项时，整个增益范围为 -1.07dB 至 +41.07dB。该增益与控制电压之间的关系为 $G_{dB}=32V_G+20$ ，其中 V_G 的单位为伏特(V)。

$V_G=0$ 时的增益经过激光调整至绝对精度±0.2dB。增益调整比例由片上带隙基准电压源（由两个通道共享）决定，该电压源经过激光调整以获得高精度和低温度系数。图 5 所示为 [AD600](#) 和 [AD602](#) 的增益与差分控制电压之间的关系。

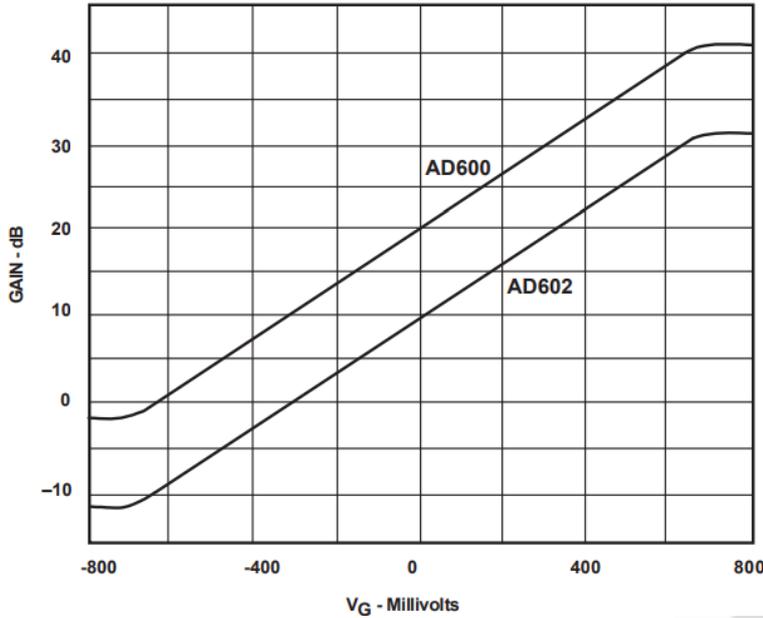


图 5: X-Amp 传递函数

为了了解 X-AMP™系列的工作方式，请考虑图 6 所示的示意图。请注意，八个抽头各自均连接到八个双极性差分对（用作由电流控制的跨导(g_m)级）之一的一个输入端；所有这些 g_m 级的另一个输入端则连接到放大器用于决定增益的反馈网络 R_{F1}/R_{F2} 。当发射极偏置电流 I_E 被送至 8 个晶体管对之一（此处未显示具体方式）时，它成为完整放大器的输入级。

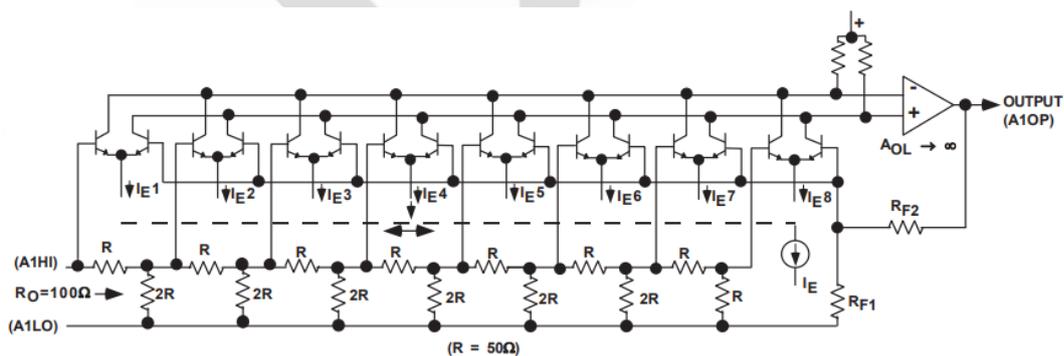


图 6: X-Amp 原理示意图

当 I_E 连接至左侧的对时，信号输入直接连接到放大器，从而产生最大增益。凭借良好的开环设计并辅以负反馈，使得即使在较高频率条件下，失真也非常低。如果 I_E 现在被突然切换至第二对，那么总增益会下降正好 6.02dB，而由于只有一个 g_m 级保持有效，因

此失真仍旧会很低。

在现实中，偏置电流会“逐渐”从第一对传递到第二对。当 I_E 在两个 g_m 级之间均衡分配时，这两个级都激活；当运算放大器中的两个输入级争抢环路控制（其中一个获得完整信号，而另一个获得刚好一半信号）时，就会出现这种情况。

分析表明，有效增益会减少 $20\log 1.5$ （即 3.52dB），而不是大家首先预想的 3dB。在整个范围内均衡分配时，该误差相当于 $\pm 0.25\text{dB}$ 的增益纹波；不过，插值电路实际上会生成偏置电流的高斯分布，有些 I_E 始终在相邻级中流动。这使得增益函数更加平滑，并真正地减少纹波。随着 I_E 逐渐向右移动，总增益会逐渐下降。

X-AMP™ 折合到输入端的总噪声为 $1.4\text{nV}/\sqrt{\text{Hz}}$ ，仅略大于 100Ω 电阻的热噪声（ 25°C 时为 $1.29\text{nV}/\sqrt{\text{Hz}}$ ）；折合到输入端的噪声是恒定的，而不受衰减器设置影响，因此输出噪声始终是恒定的且不受增益影响。

	BANDWIDTH	DISTORTION	NOISE	INPUT Z	SUPPLY
AD600/602	35MHz	-60dBc @ 10MHz	$1.4\text{nV}/\sqrt{\text{Hz}}$	100Ω	$\pm 5\text{V}$
AD603	90MHz	-60dBc @ 10MHz	$1.3\text{nV}/\sqrt{\text{Hz}}$	100Ω	$\pm 5\text{V}$
AD604	40MHz	-43dBc @ 10MHz	$0.8\text{nV}/\sqrt{\text{Hz}}$	$300\text{k}\Omega$	$\pm 5\text{V}$
AD605	40MHz	-51dBc @ 10MHz	$1.8\text{nV}/\sqrt{\text{Hz}}$	200Ω	+5V
AD8367	500MHz	IP3 = +33dBm @ 140MHz	NF = 7.5dB @ 140MHz	200Ω	+2.7 to +5.5V
AD8368	800MHz	IP3 = +33dBm @ 140MHz	NF = 9.5dB @ 140MHz	50Ω	+4.5 to +5.5V

图 7：总结了很多 X-AMP 系列的特性

数字控制式 VGA

在某些情况下，以数字方式控制信号电平可能会大有好处。上行电缆调制解调器驱动器便是一例，如 [AD8325](#)。

由于数据速率远高于标准拨号连接，有线调制解调器越来越受欢迎。除接收数据（下行）之外，有线调制解调器还能发射数据（上行）。这就要求使用低失真的数字控制式可变增益放大器，且该放大器能够以 $1V_{rms}$ 的标称电平（+11.2dBm 或 60dBmV）驱动 75Ω 同轴电缆。[AD8325](#) 就是适合此应用的有线电视(CATV)上行线路驱动器系列的一款产品。[AD8325](#) 的增益由一个 8 位串行字控制，该字在 59.45dB 范围内决定所需增益，进而产生 0.7526dB/LSB 的增益变化。[AD8325](#) 框图如下面图 8 所示。

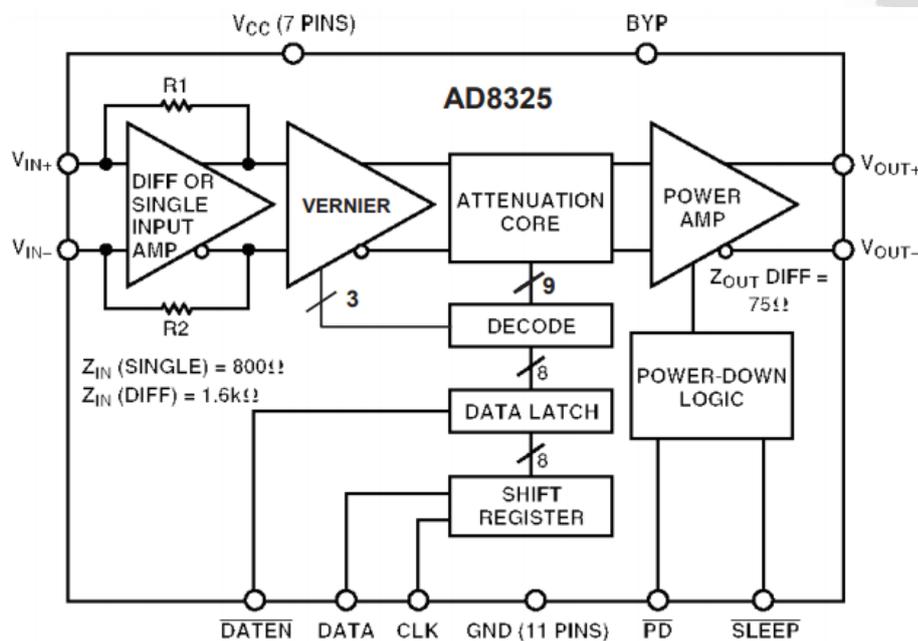


图 8: [AD8325](#) CATV 数字控制式可变增益放大器

[AD8325](#) 具有一个可变衰减器内核，以数字方式控制衰减，范围为 0dB 至 -59.45dB。输入缓冲器的增益大约为 +30dB，因此得到的总增益范围为 -29.45dB 至 +30.0dB。在上电模式下，[AD8325](#) 包括四个模拟功能。输入放大器（前置放大器）可以采用单端或差分配置。8 位控制字解码成一个 3 位字和一个 9 位字，前者驱动游标级（精密增益调整），后者则驱动衰减内核(DAC)。游标级中实现 0.7526dB/LSB 分辨率，总衰减约为 5.25dB。在游标级之后，由 DAC 提供 [AD8325](#) 衰减的批处理（9 位或 54dB）。

前置放大器和游标增益模块中的信号为差分形式，以提高 PSRR 和线性度。差分电流从 DAC 馈入输出级，后者将这些电流放大到驱动 75Ω 负载所需的合适电平。

[AD8325](#) 在上电和关断情况下均可保持恒定的 75Ω 动态输出阻抗，这是该器件的一项主要性能和成本优势。输出级利用负反馈来实现 75Ω 差分动态输出阻抗。这样便无需使用外部 75Ω 端接电阻，进而产生是标准运算放大器两倍的有效输出电压。

这些特性使得 [AD8325](#) 能够采用 +5V 单电源工作并且仍能提供所需的输出功率。在 21MHz 带宽、输出电平最高为 $1V_{rms}(+11.2dBm)$ 时，失真性能为 $-57dBc$ 。

[AD8370](#) 是一款低成本、数字控制、可变增益放大器，可以提供精密增益控制、高 $IP3$ 和低噪声系数。框图如图 9 所示。

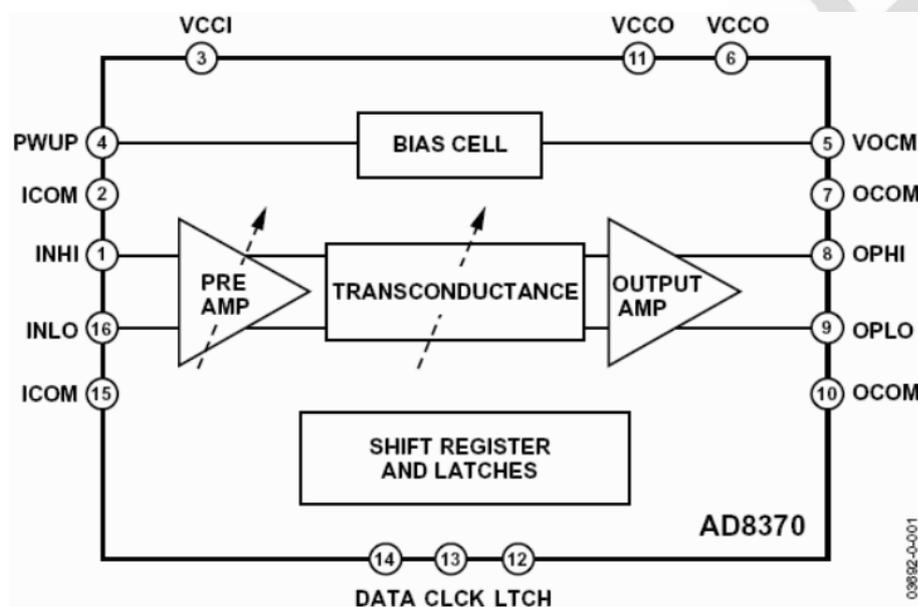


图 9: 750MHz 数字控制式 VGA [AD8370](#)

[AD8370](#) 具有出色的失真性能和宽带宽。对于宽输入动态范围应用，[AD8370](#) 能提供以下两种输入范围：高增益模式和低增益模式。一个游标 7 位跨导(G_m)级能够以优于 2dB 的分辨率提供 28dB 增益范围，以优于 1dB 的分辨率提供 22dB 的增益范围。第二种增益范围比第一种要高 17dB，可选择用于改善噪声性能。[AD8370](#) 的电源由 PWUP 引脚的逻辑电平提供，在关断模式下，其功耗小于 4mA，可以提供出色的输入-输出隔离。关断模式下工作时，增益设置保持不变。

[AD8370](#) 的增益控制通过一个 8 位串行增益控制字实现。MSB 在两个增益范围之间进行

选择，余下的 7 位则以精确线性增益步进调整总增益。

[AD8375](#) 是一款差分可变增益放大器，由一个 150Ω 数字控制式无源衰减器后接高线性度跨导放大器组成，如图 10 所示。

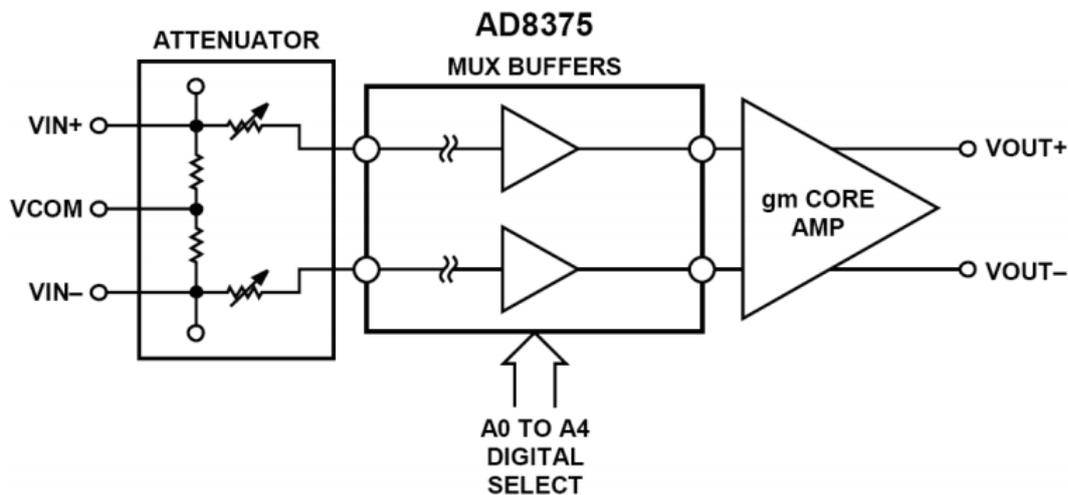


图 10: 630MHz 低失真数字控制式 VGA [AD8375](#)

一个 5 位二进制代码以 1dB 步进更改衰减设置，从而使得器件的增益从 20dB（代码 0）变为 -4dB（代码 24 及以上）。最大增益设置下，器件的噪声系数约为 8dB，并会随着增益下降而增加。噪声系数的增加量与增益的减少量相等。在输出端测得的器件线性度是一阶的，且与增益设置无关。增益介于 0dB 至 20dB 之间时，140MHz 条件下 150Ω 负载的 OIP3 约为 50dBm（每个信号音 3dBm）。增益设置为 0dB 以下时，则会下降至约 45dBm。

比较器

比较器

比较器基础知识

比较器与运算放大器类似，有两个输入端（反相和同相）及一个输出端（见图 1）。但

比较器是专门设计用于比较两个输入端的电压的。因此，比较器工作时具有非线性特性。比较器工作于开环模式，提供一个双态逻辑输出电压。这两个状态代表两个输入之间的净差（包括比较器输入失调电压的影响）的符号。因此，如果同相输入端的输入信号超过反相输入端的信号（加上失调电压 V_{OS} ），比较器的输出为逻辑“1”，反之则为逻辑“0”。比较器一般用于需要将某个变化信号电平与固定电平（通常为基准电压）相比较的应用之中。由于比较器实际上是一种 1 位模数转换器(ADC)，因而是所有 ADC 中的一个基本元件。（有关作为 ADC 构建模块的比较器的详情，请参见[《找出那些难以琢磨、稍纵即逝的 ADC 闪码和亚稳状态》](#)）。

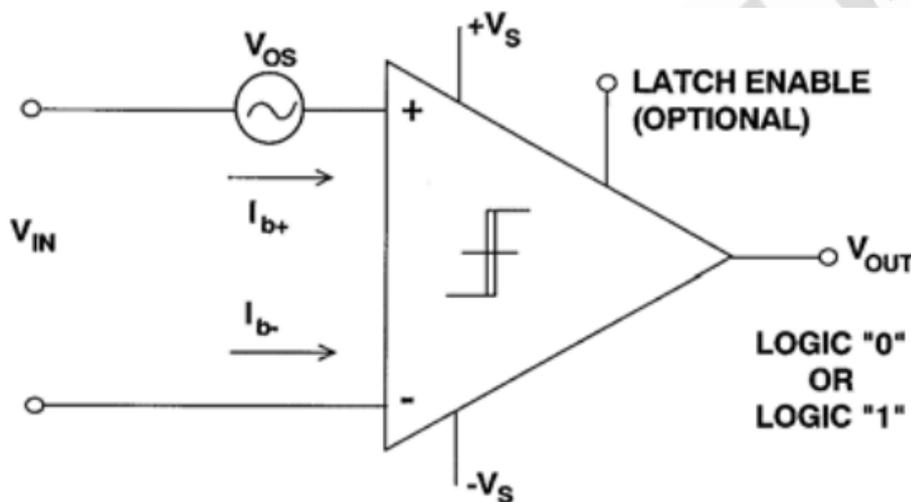


图 1: 比较器符号

比较器的直流规格与运算放大器相似：输入失调电压、输入偏置电流、失调和漂移、共模输入范围、增益、CMR 和 PSR。标准的逻辑相关直流、时序和接口规格都与比较器输出相关。

比较器的主要交流规格为传播延迟（见图 2）：指差分输入信号跨过失调电压之后，输出达到跃迁的 50% 点所需要的时间——在方波（幅度通常为 100mV）时失调电压是超过某个预设的输入值（通常为 5mV 或 10mV）。

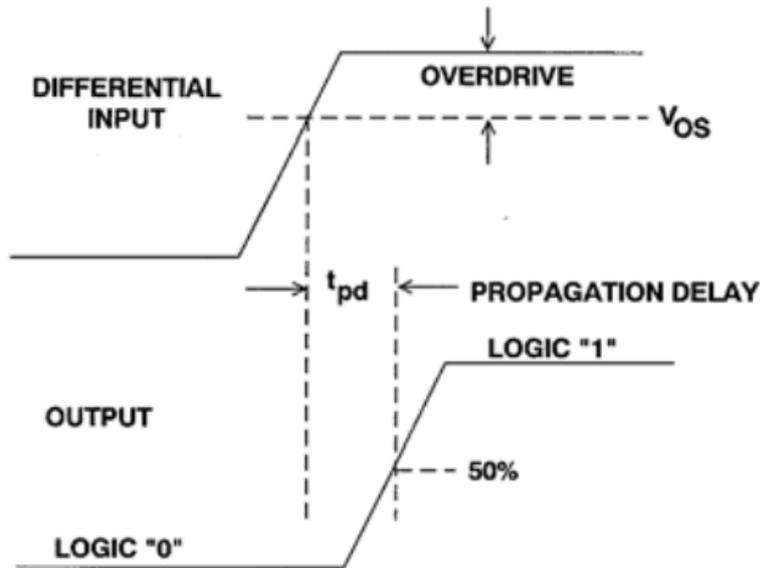


图 2: 比较器的传播延迟

在真正的比较器中，随着输入过驱的增加，传播延迟会有一定程度的减小。作为过驱的函数的传播延迟的这种变化被称为消散，如图 3 所示。

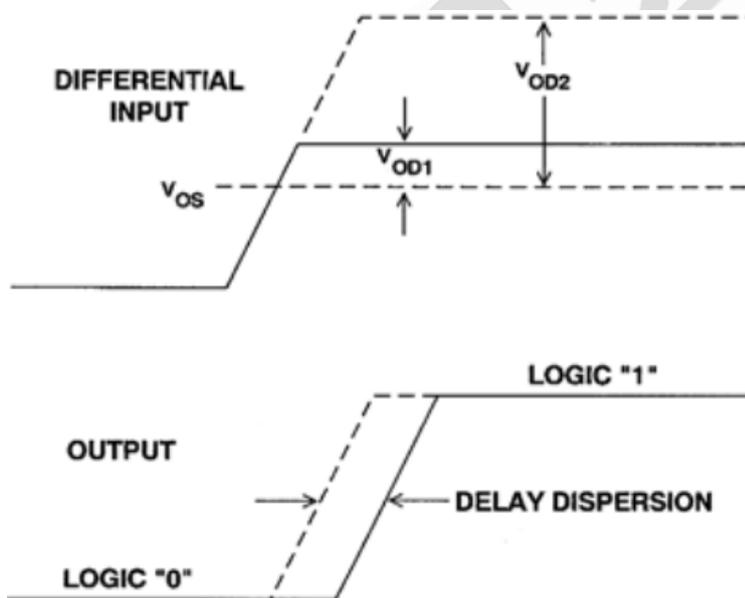


图 3: 比较器的延迟消散

比较器迟滞

在嘈杂环境中，或者当输入信号达到或接近开关阈值，而比较器不便进行连续切换时，给比较器传递函数增加迟滞（指应用少量的正反馈）通常会有所帮助。当将变化相对较

慢的输入与直流电平相比较时，情况即是如此。噪声可能使输出在输出电平之间切换多次。具有迟滞特性的比较器传递函数如图 4 所示。

如果输入电压从负向达到开关阈值(V_{OS})，则比较器在输入跨越 $V_{OS}+V_H/2$ 时从“0”切换为“1”。此时新的开关阈值变为 $V_{OS}-V_H/2$ 。比较器输出将保持“1”状态，直到从正向低于阈值 $V_{OS}-V_H/2$ 为止。除非超过以 $V_{OS}\pm V_H/2$ 为边界的范围，否则以 V_{OS} 为中心的输入噪声不会引起比较器切换状态。

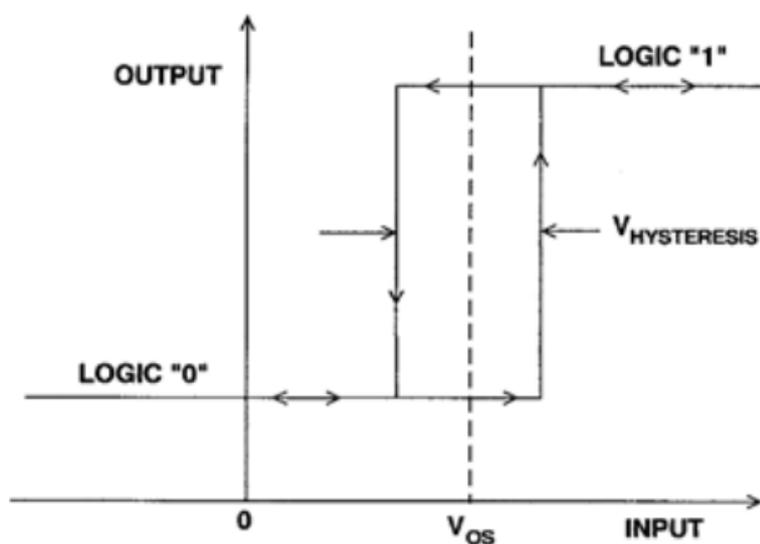
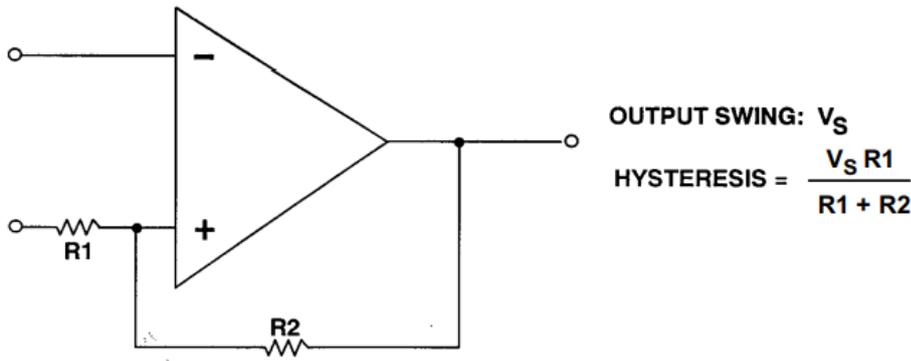


图 4：迟滞的影响

迟滞可以通过两个电阻实现（见图 5），迟滞量与两个电阻之比成比例。比较器信号输入可连接到反相或同相输入，但是，如果连接的是反相输入，则源阻抗必须低至不会对 $R1$ 产生显著影响的水平（当然，如果源阻抗具有较高的可预测性，也可用作 $R1$ ）。



- Input signal may be applied to either input but its source impedance must be low if it is applied to R1

图 5: 迟滞的应用

如果跳变电压处于比较器两个输出电压的中间（对称电源和地基准即是如此），则迟滞将使正负阈值等距离偏离跳变点电压；但是，如果跳变点更接近两个输出中的一个，则阈值呈不对称关系处于跳变点电压左右。

为了计算迟滞，设比较器的两个输出电压分别为 V_P 和 V_N 。比较器跳变点电压为 V_{TP} 。负阈值为：

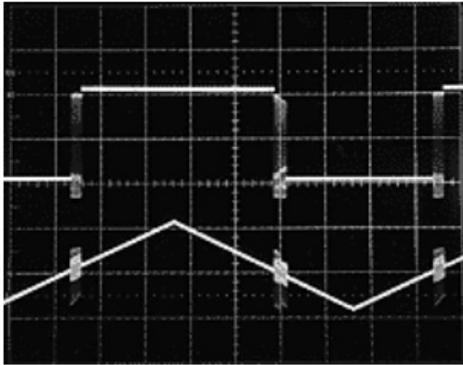
$$\text{NEGATIVE THRESHOLD} = \frac{(R1 + R2)V_{TP} - R1V_N}{R2} \quad \text{等式 1}$$

正阈值电压为：

$$\text{POSITIVE THRESHOLD} = \frac{(R1 + R2)V_{TP} - R1V_P}{R2} \quad \text{等式 2}$$

图 6 展示的是如何用外部迟滞来改善比较器的响应。

NO EXTERNAL HYSTERESIS



5 mV EXTERNAL HYSTERESIS

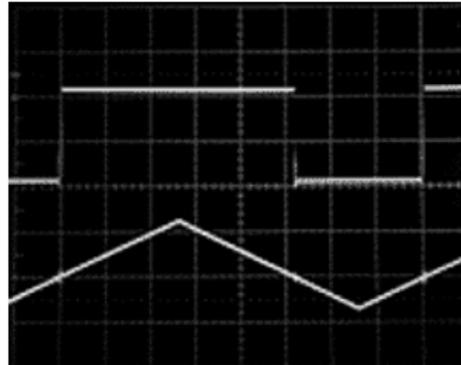


图 6：迟滞有助于净化比较器的响应

使用外部迟滞的问题是输出电压取决于电源电压和负载。这意味着，迟滞电压会因应用不同而异。虽然这会影响分辨率，但迟滞通常只占该范围的极小一部分，而且安全余量可以达到计算结果的两到三（或更多）倍，所以并不是一个严重问题。换用几个比较器可以帮助您确立对安全余量的信心。反馈请勿使用绕线电阻，其电感会造成更大问题。

别忘了给比较器增加额外的迟滞同时会降低比较器的有效分辨率。可分辨的最小信号等于阈值电压之差，即 $V_P - V_N$ 。

有些比较器内置迟滞，[AD790](#) 即是这样的例子（见图 7）。额定迟滞电压为 $500\mu\text{V}$ 。当然，应用外部迟滞会替代该迟滞。

[AD790](#) 还有一个优势。输入（模拟）端的电源不一定与输出端相同。输出摆幅是从 VLOGIC 到 GND。输入电源可为 $\pm 15\text{V}$ ，最低为 $+5\text{V}$ 和地电压。

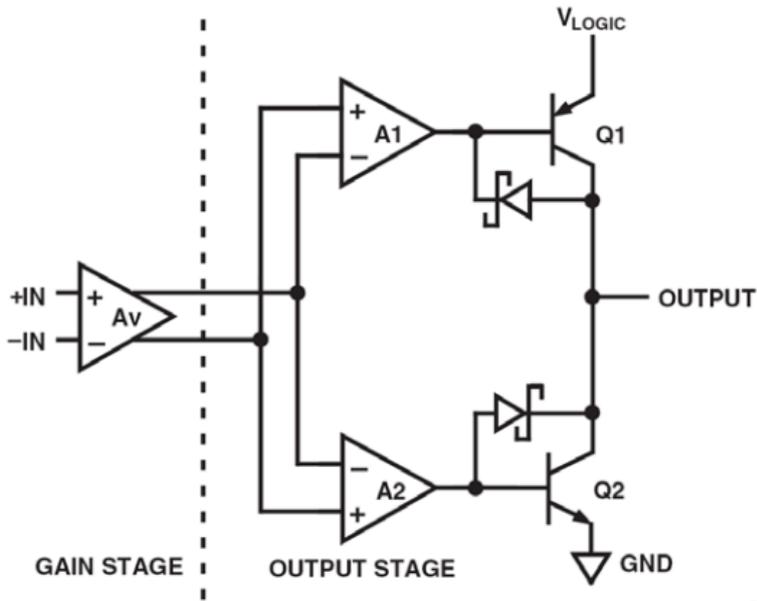


图 7: [AD790](#) 功能框图

比较器的输出为开路集电极（TTL 逻辑）或开路漏电极（CMOS 逻辑）很常见。这样，就可以与适合后继电路的任何逻辑电平相接口。请注意，必须遵循容许的最大输出电压，但这通常并非什么大问题。

窗口比较器

窗口比较器利用基准电压不同、输入电压相同的两个比较器。比较器以特有方式与一个逻辑电路相连，当输入信号处于两个基准电压之间时，最终的输出逻辑电平有效，如图 8 所示。

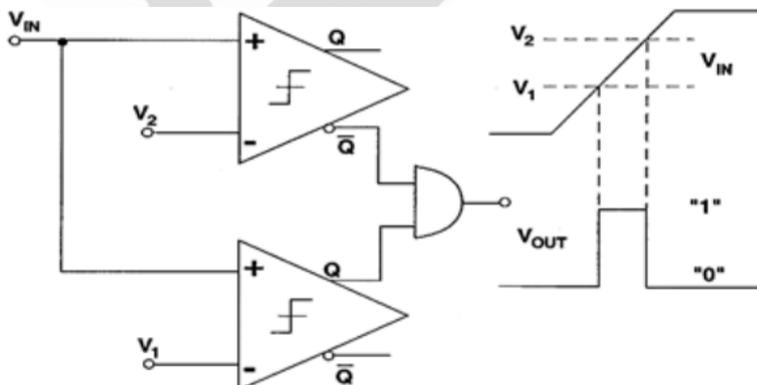


图 8: 窗口比较器

锁存器使能功能

许多比较器内置一个锁存器。锁存器使能信号有两个状态：比较（跟踪）和锁存（保持）。当锁存器使能信号处于比较状态时，比较器输出会持续对净差分输入信号的符号做出反应。当锁存器使能信号过渡到锁存状态，比较器输出将变为逻辑“1”或逻辑“0”，具体取决于差分输入信号在使能信号跃迁时的符号（这里，我们忽略了设置和保持时间，也忽略了与锁存器使能功能相关的输出传播延迟）。即使许多比较器有锁存器使能功能，它们也经常只是工作于比较模式。

比较器的内置锁存器使能功能在 ADC 应用中尤其有用，因为它允许在已知时刻记录比较器的输出。Flash 转换器即利用了这一概念，以共用一个锁存器使能线路的多个并联比较器。与锁存器使能功能相关的典型时序特性如图 9 所示。

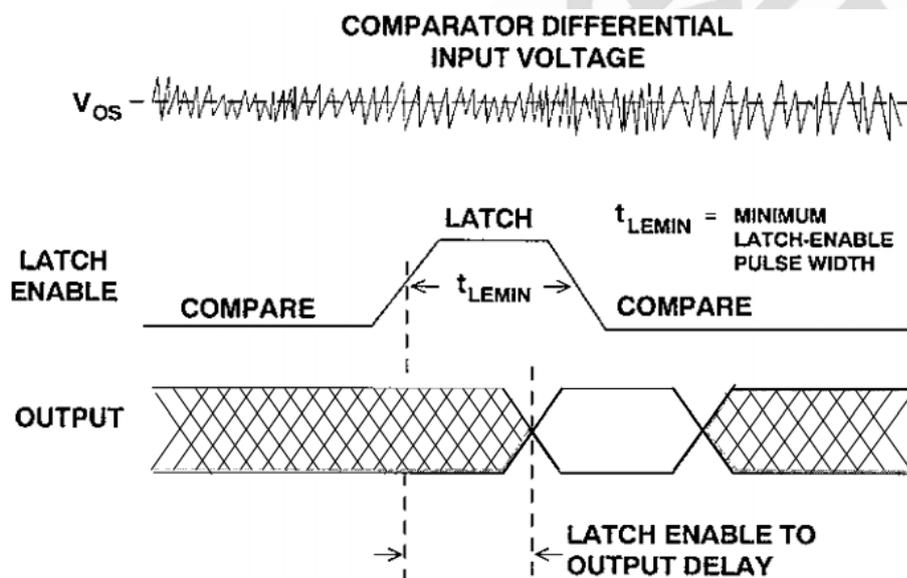


图 9：输出锁存器的影响

锁存器使能置位与输出逻辑摆幅 50%点之间的延迟被称为锁存使能输出延迟。趋正和趋负输出在这方面可能有所不同。与锁存器使能功能相关的其他关键规格是容许的最小锁存器使能脉冲宽度。该规格决定着比较器可选通的最大频率。

快速比较器因具有较高的增益和带宽，因而应用起来具有一定的困难。在使用比较器时，

必须正确应用高速电路布局、接地、去耦和信号路径。这一点再强调也不为过。最大的问题是，当输入信号非常接近或者等于开关阈值时，它们很可能产生振荡。

当将一个慢速信号与一个直流基准电压相比较时，也有可能发生这种情况。利用迟滞和较窄的锁存器使能脉冲一般有助于改善这种情况。TTL 或 CMOS 输出比较器比 ECL 比较器更容易振荡，因为它们具有较大的输出摆幅和快速边沿，而且随着输出切换状态，电源电流会产生尖峰。结果有可能以噪声形式反馈给输入。

将运算放大器用作比较器

运算放大器和比较器乍看似乎可以互换，实际上，两者还是存在一些重要差异。比较器用于开环系统，旨在从其输出端驱动逻辑电路，以及在高速条件下工作，通常比较稳定。运算放大器的用途不同于比较器，过驱时可能会饱和，使得恢复速度相对较慢。施加较大差分电压时，很多运算放大器的输入级都会出现异常表现，实际上，运算放大器的差分输入电压范围通常存在限制。运算放大器输出也很少兼容逻辑电路。

但是仍有很多人试图将运算放大器用作比较器。这种做法在低速和低分辨率时或许可行，但是大多数情况下结果并不理想。单靠参考运算放大器数据手册不能解决将运算放大器用作比较器的所有相关问题，因为运算放大器设计的目的并非用作比较器。

最常见的问题是速度（之前已经提到过）、输入结构的影响（保护二极管、FET 放大器的相位翻转等）、输出结构（并非用于驱动逻辑电路）、迟滞、稳定性，以及共模效应。

速度考虑因素

大多数比较器速度都很快，不过很多运算放大器速度也很快。为什么将运算放大器用作比较器时会造成低速度呢？

比较器用于大差分输入电压，而运算放大器工作时，差分输入电压一般会在负反馈的作用下下降至最低。当运算放大器过驱时，有时仅几毫伏也可能导致过载，其中有些放大级

可能发生饱和。这种情况下，器件需要相对较长的时间从饱和中恢复，因此，如果发生饱和，其速度将比始终不饱和时慢得多（参见图 1）。

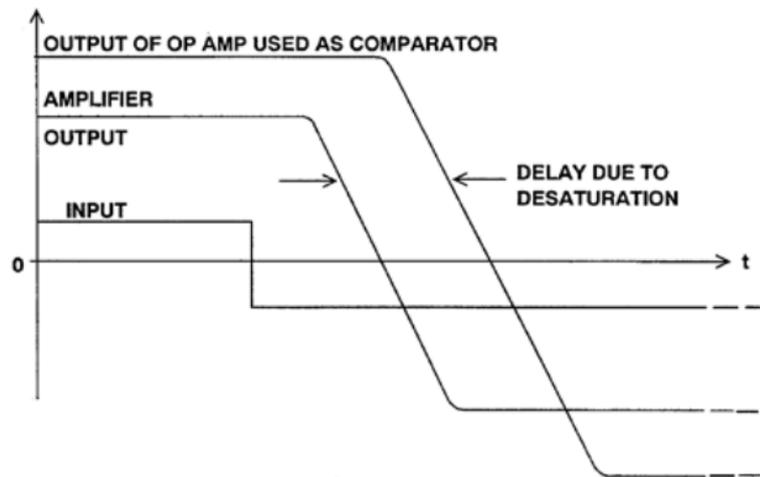


图 1: 放大器用作比较器时的放大器速度饱和效应

过驱运算放大器的饱和恢复时间很可能远远超过放大器的正常群延迟，并且通常取决于过驱量。由于仅有少数运算放大器明确规定从不同程度过驱状态恢复所需的时间，因此，一般说来，有必要根据特定应用的具体过驱情况，通过实验确定放大器的特性。

对这类实验的结果应持谨慎态度，通过比较器（运算放大器）的传播延迟值（用于最差条件下的设计计算）应至少为所有实验中最差值的两倍。

输出考虑因素

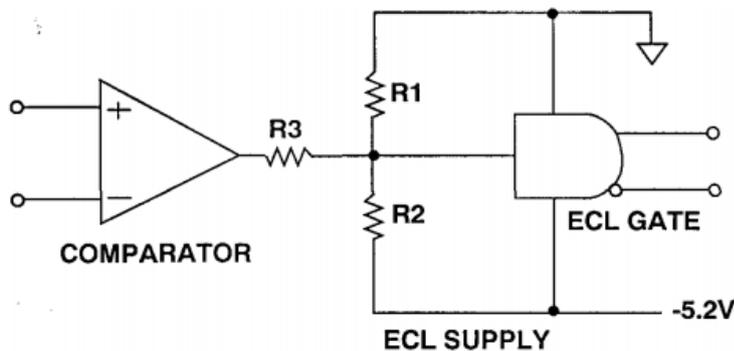
比较器的输出端用于驱动特定逻辑电路系列，运算放大器的输出端则用于在供电轨之间摆动。

通常，运算放大器比较器驱动的逻辑电路不会共用运算放大器的电源，运算放大器轨到轨摆动可能会超出逻辑供电轨，很可能会破坏逻辑电路，引起短路后还可能会破坏运算放大器。

有三种逻辑电路必须考虑，即 ECL、TTL 和 CMOS。

ECL 是一种极快的电流导引逻辑系列。基于上述原因，当应用中涉及 ECL 的最高速度时，运算放大器不太可能会用作比较器，因此，通常只需注意从运算放大器的信号摆幅驱动 ECL 逻辑电平，因杂散电容造成的额外速度损失并不重要。只需采用三个电阻即可，如图 2 所示。

图中选用了 R1、R2 和 R3，当运算放大器输出为正值时，栅级电平为-0.8V，当输出较低时，栅级电平为-1.6V。ECL 有时候采用正电源而不是负电源(即另外一个供电轨接地)，采用的基本接口电路相同，但是数值必须重新计算。



■ LOW RESISTOR VALUES WILL MINIMIZE THE EFFECT OF STRAY CAPACITANCE BUT INCREASE POWER CONSUMPTION

图 2：驱动 ECL 逻辑电路的运算放大器比较器

虽然 CMOS 和 TTL 输入结构、逻辑电平和电流差别很大（尽管有些 CMOS 明确规定可以采用 TTL 输入电平工作），但由于这两种逻辑电路都在逻辑 0（接近 0V）和逻辑 1（接近 5V）时工作，因此非常适合采用相同的接口电路。

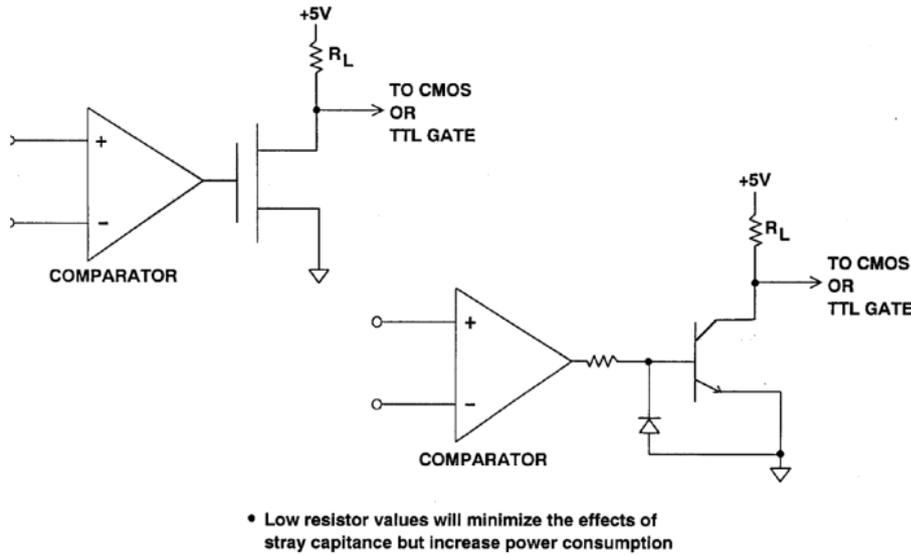
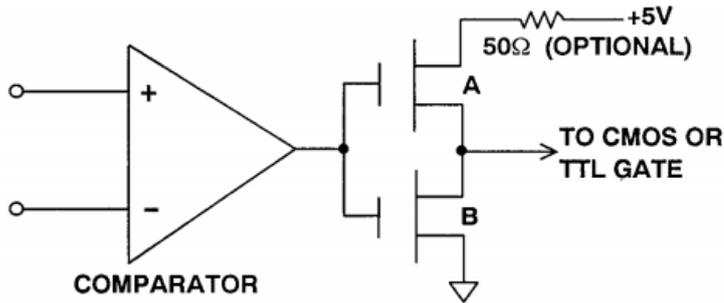


图 3: 驱动 TTL 或 CMOS 逻辑电路的运算放大器比较器

最简单的接口采用单个 N 沟道 MOS 晶体管和一个上拉电阻 R_L ，如图 3 所示。用 NPN 晶体管、 R_L ，外加一个晶体管和二极管也可以组成类似的电路。这些电路简单、廉价且可靠，还可以连接多个并联晶体管和一个 R_L ，实现“线或”功能，但是 0-1 转换的速度取决于 R_L 值和输出节点的杂散电容。 R_L 值越低，速度越快，但是功耗也会随之增加。通过采用两个 MOS 器件、一个 P 沟道和一个 N 沟道，可以组成一个只需两个器件的 CMOS/TTL 接口，每种状态下都没有静态功耗（参见图 4）。

此外，只需改变器件的位置，就可以设置成反相或同相。但是，当两个器件同时打开时，开关过程中势必会产生较大的浪涌电流，除非采用集成高通道电阻的 MOS 器件，否则就可能需要使用限流电阻来减小浪涌电流的影响。该图和图 3 中的应用所采用的 MOS 器件栅源击穿电压 V_{BGS} 在每个方向都必须大于比较器的输出电压。MOS 器件中常见的栅源击穿电压值 $V_{BGS} > \pm 25V$ ，这一数值通常绰绰有余，但是很多 MOS 器件内置栅级保护二极管，会减小这一数值，所以这些器件不应采用。



- Can be inverting or non-inverting, depending on placing of VMOS devices.
 Inverting: A = P-channel/B = N-channel
 Non-inverting: A = N-channel/B = P-channel
 ($V_{bgs} > \pm 25$ V for both devices)

图 4：内置 CMOS 驱动器的运算放大器比较器

输入考虑因素

对于用作比较器的运算放大器，还需考虑与其输入相关的多种影响因素。工程师对所有运算放大器和比较器做出的第一级假设是：它们具有无穷大的输入阻抗，并且可视为开路（电流反馈（跨导）运算放大器除外，这种运算放大器同相输入端具有高阻抗，但反相输入端只有几十欧姆的低阻抗）。

但是很多运算放大器（尤其是偏置补偿型运算放大器，如 [OP-07](#) 及其很多后继产品）都内置保护电路，以防止大电压损坏输入器件。

其它运算放大器则内置更复杂的输入电路，在施加的差分电压小于几十毫伏时只具有高阻抗，或者在差分电压大于几十伏时可能会损坏。因此，将运算放大器用作比较器时，如果施加大差分电压，必须仔细研究数据手册，才能确定输入电路的工作方式。（采用集成电路时，务必研究数据手册，确保其非理想特性（每个集成电路都存在一些非理想特性）兼容推荐的应用——本文中这点尤为重要。）图 5 所示为内置防止大差分电压输入二极管的运算放大器。

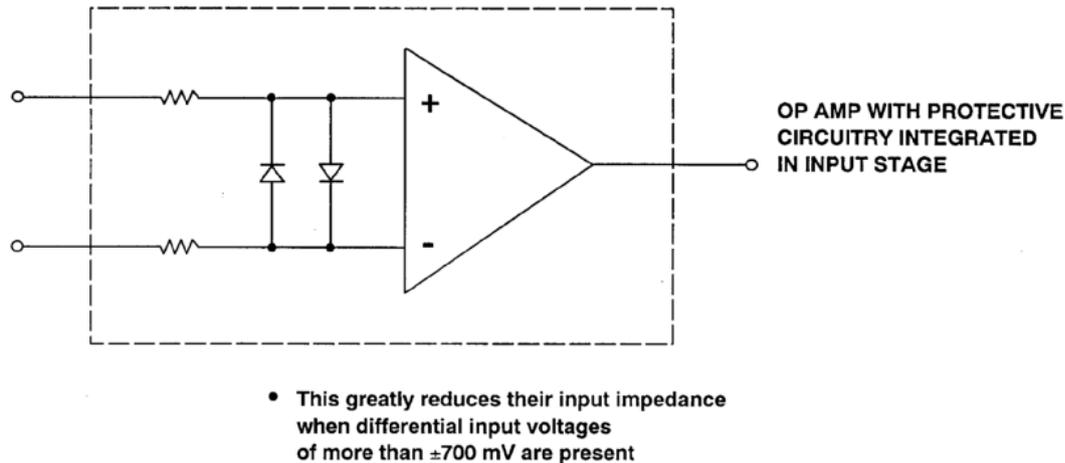


图 5: 具有保护功能的运算放大器输入结构

当然，有一些比较器应用不存在大差分电压，即使存在，比较器输入阻抗相对而言也不太重要。这种情况适合将运算放大器用作比较器，其输入电路表现为非线性，但是涉及的问题必须考虑，不能忽视。

对 BIFET 运算放大器而言，如果其输入接近其中一个电源（通常为负电源），几乎都会表现异常。其反相和同相输入可以互换。如果运算放大器用作比较器时发生这种情况，涉及的系统相位将会反转，造成极大不便。要解决这一问题，还是必须仔细阅读数据手册，确定合适的共模范围。

而且，没有负反馈意味着与运算放大器电路不同，输入阻抗不必乘以开环增益。因此，输入电流会随着比较器开关而变化。因此，驱动阻抗和寄生反馈对影响电路稳定性起着重要作用。负反馈往往会使放大器保持在线性区域内，正反馈则会使其饱和。

总结

运算放大器设计的目的不是用作比较器，因此，本章节不太建议这种做法。尽管如此，在某些应用中，将运算放大器用作比较器却是正确的设计决策，关键是要慎重考虑后再做出决策，并确保所选运算放大器能达到预期的性能。因此，必须仔细阅读数据手册，认真考虑非理想运算放大器性能的影响，并计算出运算放大器参数对应用的影响。由于

运算放大器以非标准方式使用，可能还必须进行某些实验——实验所用的放大器不一定具有典型性，因此，解读实验结果时不宜过于乐观。

对数放大器

对数放大器基础知识

对数放大器的基本概念和术语

“对数放大器”这个术语有点用词不当，“对数转换器”更为贴切。将信号转换成其等效对数值涉及到一种非线性运算，如果不甚了解的话，其结果可能令人十分费解。必须注意，许多耳熟能详的线性电路概念与对数放大器毫无关系。例如，当输入接近零时，理想对数放大器的增量增益会接近无穷大，并且对数放大器输出的失调变化相当于其输入的幅度变化，而不是输入的失调变化。

为便于讨论，我们假定对数放大器的输入和输出均为电压，尽管也可以设计对数电流放大器、对数跨阻放大器或对数跨导放大器。

如果考虑等式 $Y=\log(X)$ ，我们会发现，每当 X 乘以常数 A ， Y 则按另一个常数 $A1$ 递增。因此，如果 $\log(K)=K1$ ，则 $\log(AK)=K1+A1$ ， $\log(A^2K)=K1+2A1$ 且 $\log(K/A)=K1-A1$ 。结果得到图 1 所示的曲线图，其中，当 X 为单位值时， Y 为零；当 X 接近零时， Y 逼近负无穷大；当 Y 为负时， X 无值。

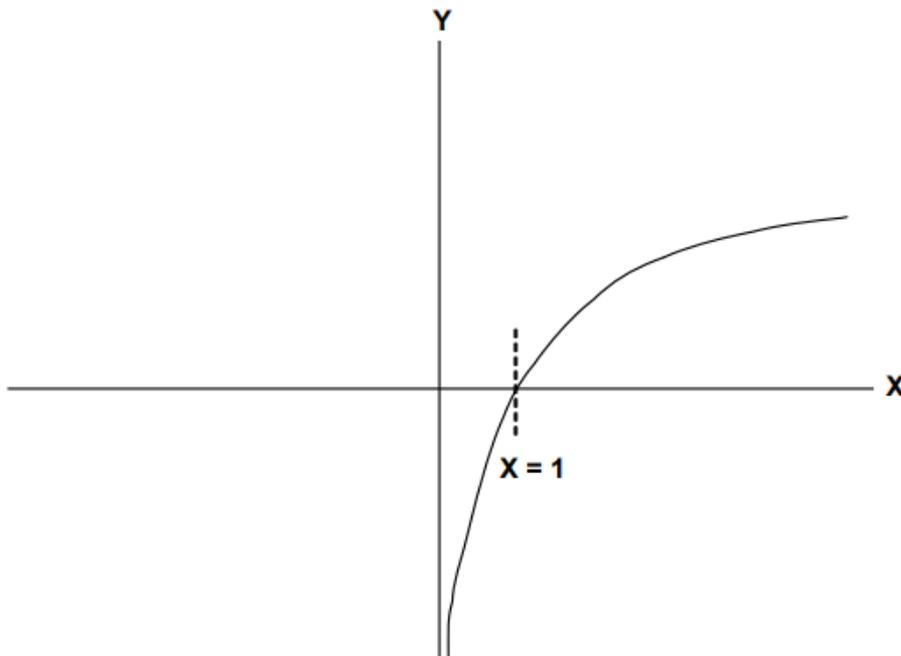


图 1: $Y=\log(X)$ 的曲线图

总体而言，对数放大器的表现与此不同。除了很难排列无穷大负输出电压以外，这种器件实际上用处不大。

对数放大器必须满足以下传递函数：

$$V_{OUT} = V_Y \log(V_{IN}/V_X) \quad \text{等式 1}$$

其输入值范围可能为 100:1(40dB)至 1,000,000:1(120dB)以上。

当输入非常接近零时，对数放大器的表现不再具有对数特性，此时多数对数放大器会遵守线性 V_{IN}/V_{OUT} 法则。这种行为往往在器件噪声中丢失。噪声通常会限制对数放大器的动态范围。常数 V_Y 具有电压维度，因为输出是电压。输入 V_{IN} 除以电压 V_X ，因为对数的自变量必须是简单的无量纲比值。

对数放大器的传递特性曲线如图 2 所示。横轴（输入）为对数刻度，理想的传递特性为直线。当 $V_{IN}=V_X$ 时，对数为零($\log 1=0$)。因此， V_X 称为对数放大器的“截止电压”，因为其曲线在 V_{IN} 等于此值时与横轴相交。

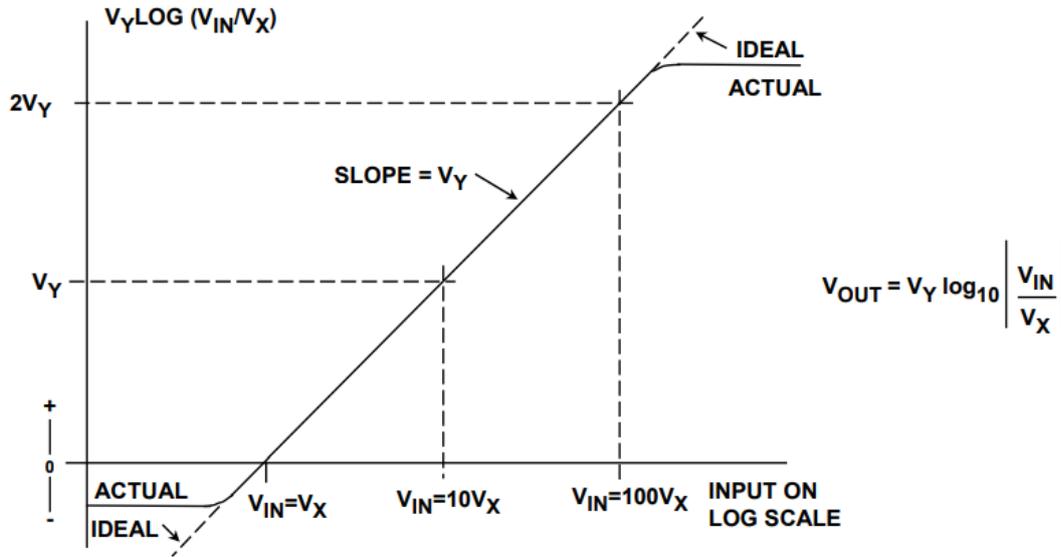


图 2：对数放大器的传递函数

该曲线的斜率与 V_Y 成比例。在设置刻度时，通常采用基数为 10 的对数，因为这样可以简化其与分贝值的关系：当 $V_{IN}=10V_X$ 时，对数值为 1，因而输出电压为 V_Y 。当 $V_{IN}=100V_X$ 时，输出为 $2V_Y$ ，依此类推。因而，可以将 V_Y 视为“斜率电压”或“V/10 倍频程系数”。

当 x 为负值时，对数函数的值不确定。对数放大器可能以三种不同方式响应负输入：(1) 可能产生满量程负输出，如图 3 所示。(2) 可能产生与输入绝对值的对数成比例的输出，并忽略其符号，如图 4 所示。这类对数放大器可以视为具有对数特性的全波检波器，通常称为“检波”对数放大器。(3) 可能产生与输入绝对值的对数成比例的输出，且符号与输入相同，如图 5 所示。这类对数放大器可以视为具有对数特性的视频放大器，可以称为“对数视频”放大器，或者有时也称为“真对数放大器”。

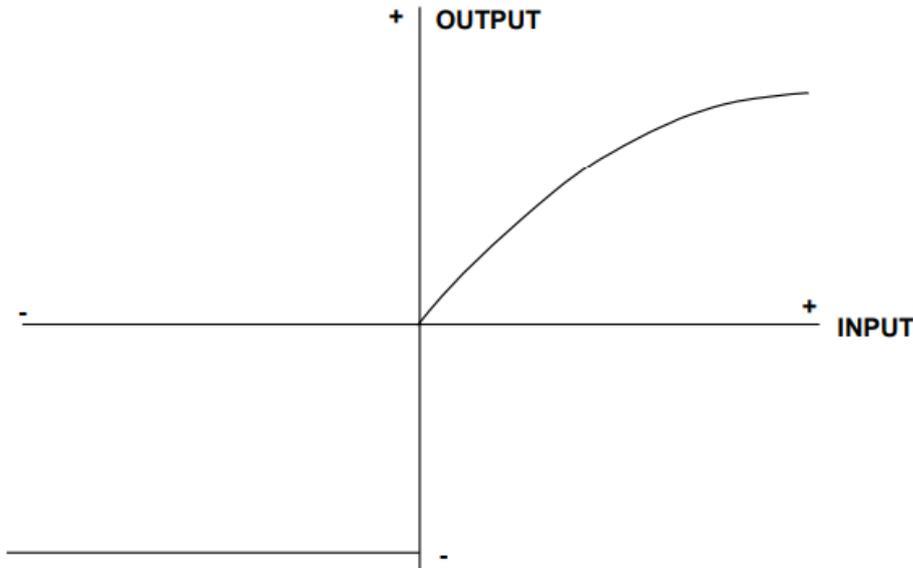


图 3: 基本型对数放大器 (负输入时饱和)

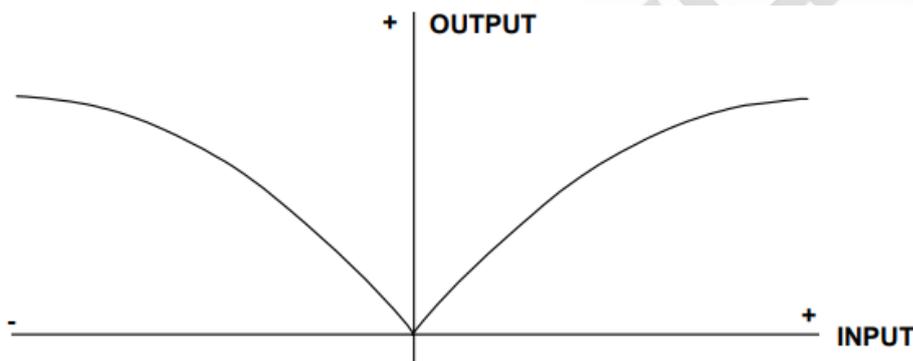


图 4: 检波对数放大器 (输出极性与输入极性无关)

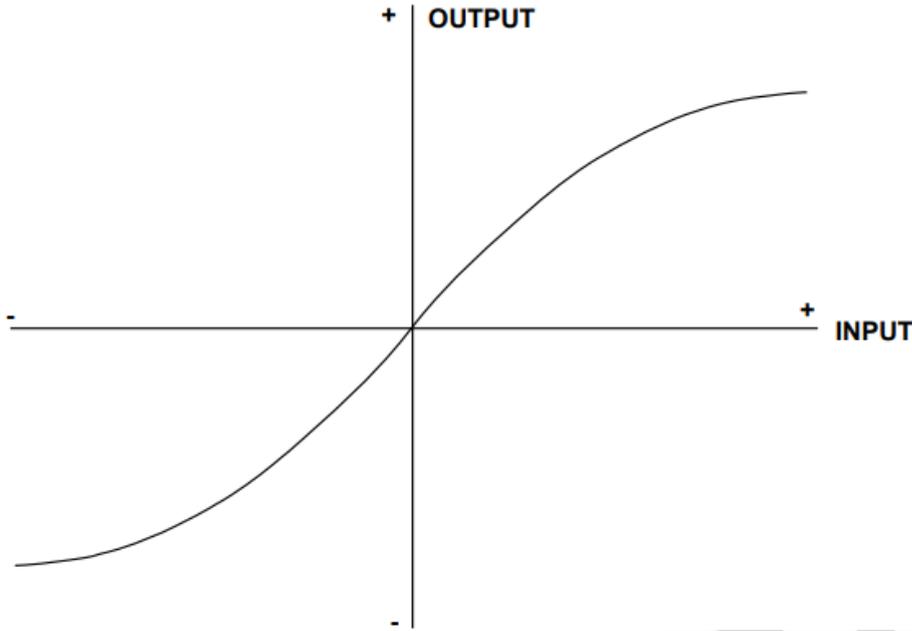


图 5：对数视频或“真对数放大器”（对正或负信号的响应具有对称性）

对数放大器的架构

对数放大器有三种基本架构可用：基本二极管对数放大器、连续检波对数放大器和基于级联半限幅放大器的“真对数放大器”。

硅二极管上的电压与流过它的电流的对数成比例。如果在反相运算放大器的反馈路径中放置一个二极管，则输出电压将与输入电流的对数成比例，如图 6 所示。

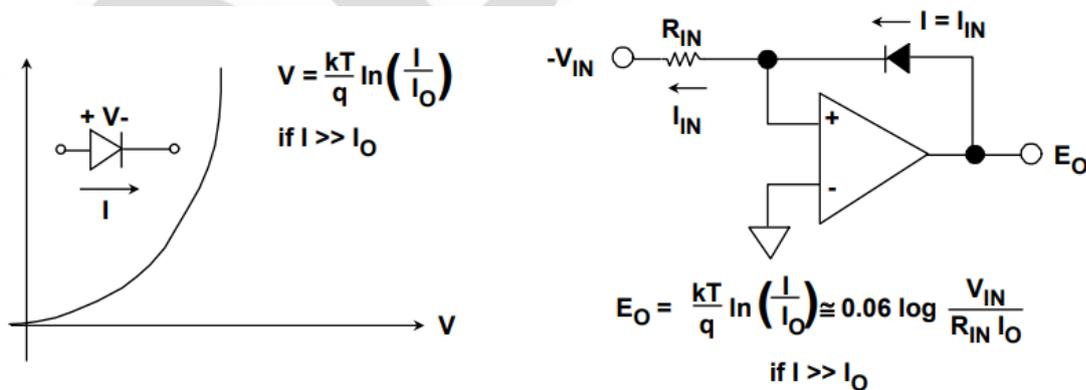


图 6：基于二极管/运算放大器的对数放大器

实践中，这种配置的动态范围限制在 40-60dB 之间，因为二极管的特性不甚理想，但是，

如果用一个以二极管连接的晶体管取代这个二极管（如图 7 所示），则动态范围可以扩展至 120dB 或以上。

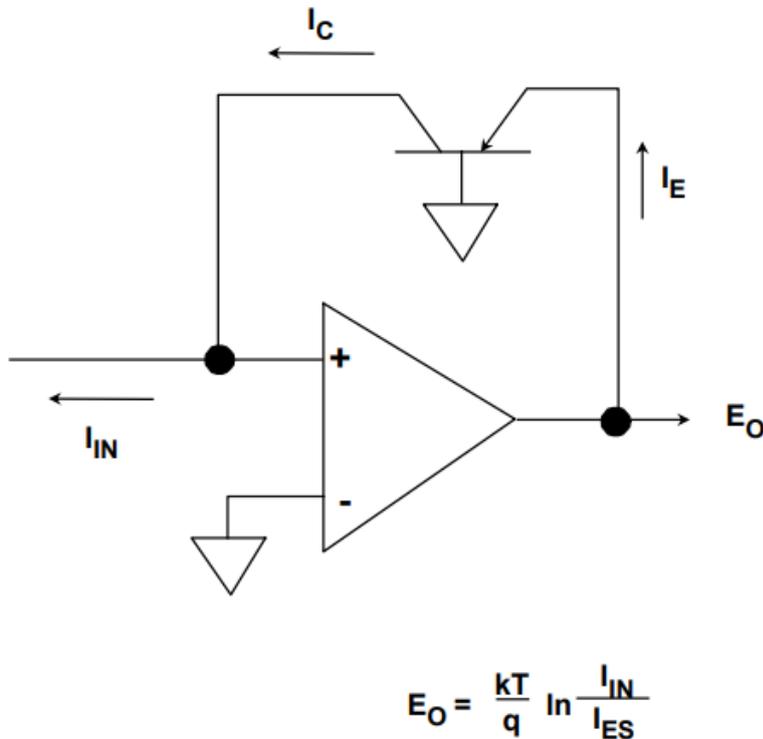


图 7：基于晶体管/运算放大器的对数放大器

这类对数放大器有三个缺点：(1)斜率和截距都受温度影响；(2)只能处理单极性信号；(3)其带宽受限且受信号幅度影响。如果在单个芯片上使用多个此类对数放大器来构建同时执行对数和反对数运算的模拟计算机，则在对数运算中，温度变化无关紧要，因为这会由反对数运算中的类似变化进行补偿。

[AD538](#) 因此得以诞生，这是一款单芯片模拟计算机，可以进行乘法、除法和幂运算（见图 8）。不过，实际进行对数运算时，[AD538](#) 及类似电路需要温度补偿。对于高频应用，这类对数放大器的主要缺陷是频率响应受限——而且无法克服。无论设计放大器时如何谨慎，从输出到输入之间始终都存在残余反馈电容 C_c （通常称为密勒电容），结果使高频响应受限（见图 7）。

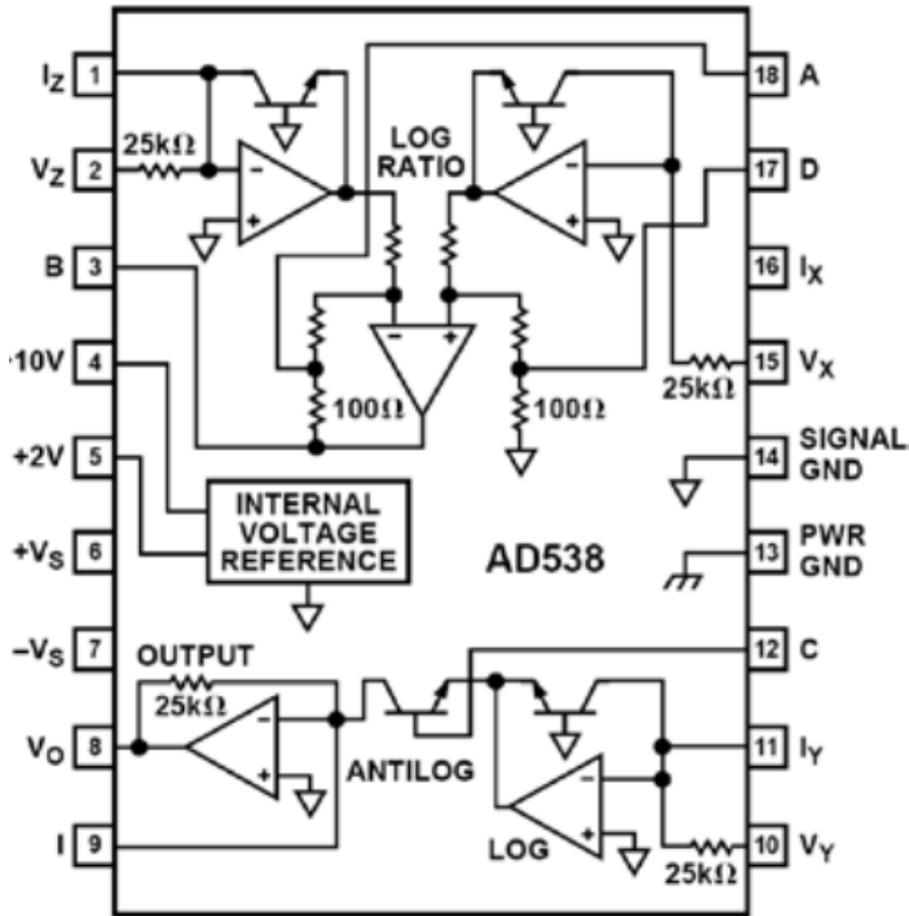


图 8: [AD538](#) 对数放大器的原理示意图

密勒电容的最大问题是，发射极-基极的结阻抗与流入它的电流成反比——因此，如果对数放大器的动态范围为 1,000,000:1，则其带宽也会按 1,000,000:1 的比例变化。实际操作中，变化要小一些，因为其它考虑因素会影响大信号带宽，但是，很难使这类对数放大器的小信号带宽大于几百 kHz。

适用于高频运算的对数放大器详见《高频对数放大器》章节。

高频对数放大器

多级对数放大器

在上一章节《对数放大器基础知识》中，我们讨论了低频对数放大器。在本章节中，我们将讨论高频应用。

基于二极管/运算放大器（或晶体管/运算放大器）的传统对数放大器存在频率响应受限的不足，尤其是在低电平下。因此，高频应用中使用检波和真对数架构。尽管它们在细节上有所不同，但其基本设计原理却是一致的：这些设计采用大信号行为定义明确的多个类似级联线性级，而不是一个具有对数特性的放大器。

假设有 N 个级联限幅放大器，各放大器的输出驱动着一个求和电路和下一级（图 1）。如果每个放大器的增益为 A dB，则带的小信号增益为 NA dB。如果输入信号小到最后一级无需进行限幅的程度，则求和放大器的输出将以最后一级的输出为主导。

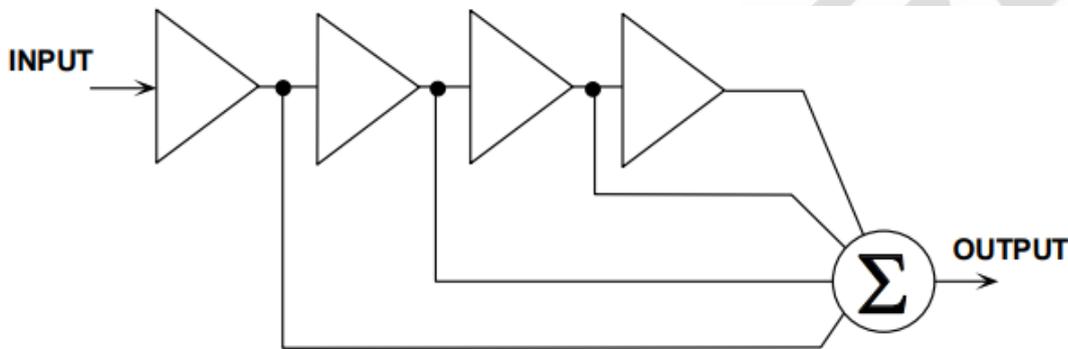


图 1: 基本的多级对数放大器架构

随着输入信号的增加，最后一级将进行限幅。此时，它对求和放大器输出的贡献是固定的，但求和放大器的增量增益会降至 $(N-1)A$ dB。随着输入继续增加，该级则会进行限幅，并对输出提供固定的贡献量，而增量增益会下降至 $(N-2)A$ dB，依此类推——直到第一级进行限幅且输出不再随信号输入的增加而变化为止。

因此，响应曲线为一组直线，如图 2 所示。但这些直线的合起来却非常逼近对数曲线；在实践中，甚至更好，因为很少有限幅放大器（尤其是高频放大器）能像本模型一样实现突然限幅。

增益 A 的选择也会影响对数线性度。如果增益过高，对数逼近的效果会比较差。如果过低，则需要过多的级来实现目标动态范围。一般而言，可选择 10 至 12 dB ($3 \times$ 至 $4 \times$) 范围内的增益。

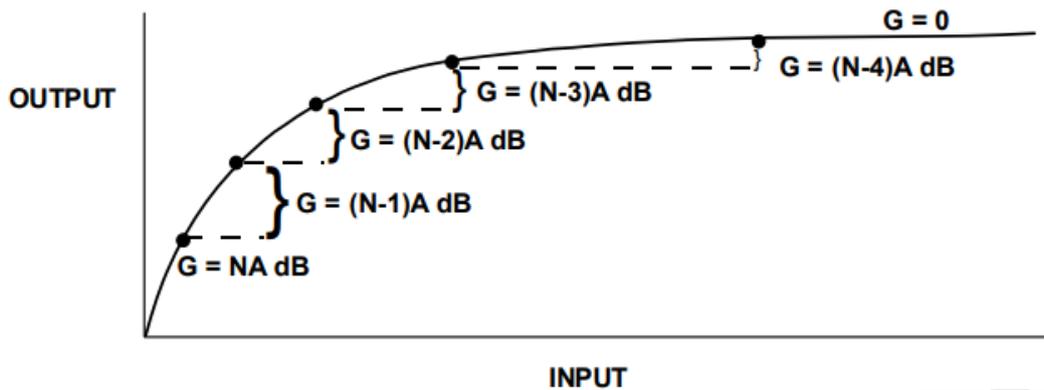


图 2：基本多级对数放大器的响应（单极性）

当然，这是一种理想而且非常普通的模型——它展示了相关原理，但很难在高频下实现。假设每个限幅放大器的延迟为 t 纳秒（当放大器限幅时，该延迟也可能发生变化，但我们先来考虑一阶效应！）。通过所有 N 个级的信号会存在 Nt 纳秒的延迟，而只通过一个级的信号只会延迟 t 纳秒。这意味着，小信号会延迟 Nt 纳秒，而大信号则被“污损”，在 Nt 纳秒内分散到达。1 纳秒相当于光速下的 1 英尺，因此，在雷达系统的分辨率下，这相当于位置分布范围达 Nt 英尺，这在某些系统中是不可接受的（对多数对数放大器应用来说，这并不是问题）。

一种解决办法是在求和放大器的信号路径上插入延迟，但这可能使情况复杂化。另一种解决办法是略微改变架构，改为采用小信号增益为 A 、大信号（增量）增益为单位值(0dB)的多个级，而不是对增益级进行限幅。我们可以将这种级看成两个并联放大器，一个带增益的限幅放大器和一个单位增益缓冲器，二者一起为求和放大器提供信号，如图 3 所示。

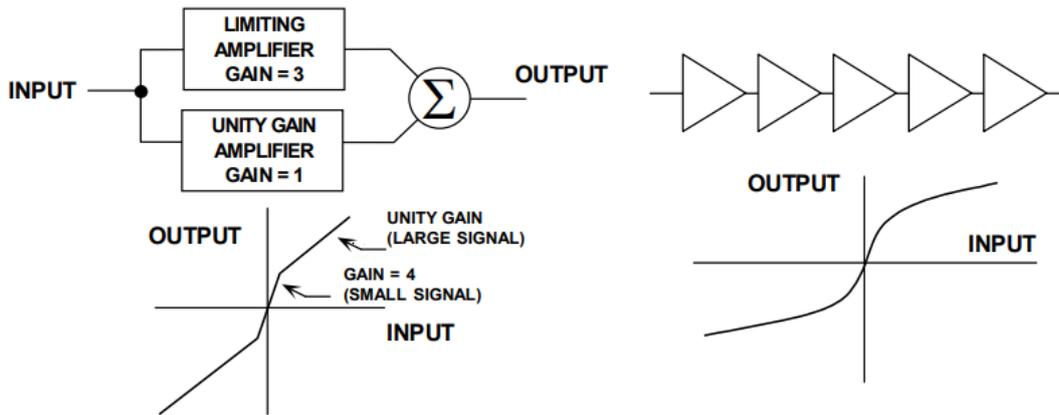


图 3: “真”对数放大器元件以及由数个此类元件构成的对数放大器的结构和性能

连续检波对数放大器

在图 3 中，这些级联的级形成一个对数放大器，无需对各个级求和。上述多级架构都是视频对数放大器，或真对数放大器，但最常见的高频对数放大器是图 4 所示的连续检波对数放大器架构。

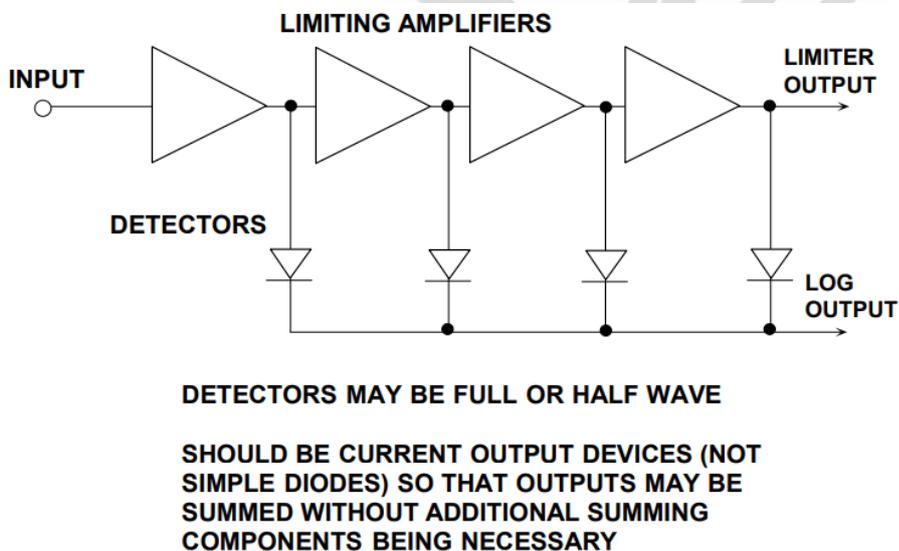


图 4: 带对数和限幅器输出的连续检波对数放大器

如上所述，连续检波对数放大器由级联限幅级构成，但并不直接对其输出求和，而是将这些输出施加到检波器，然后对检波器输出求和，如图 4 所示。如果检波器具有电流输出，则求和过程可能只是将所有检波器输出连接起来。

采用这种架构的对数放大器有两个输出：对数输出和限幅输出。在许多应用中，并不使用限幅输出，但在某些应用中（例如带“S”表的 FM 接收器），二者都是必不可少的。以极性解调技术从输入信号中抽取相位信息时，限幅输出尤其有用。

连续检波对数放大器的对数输出一般含有幅度信息，相位和频率信息则丢失。然而，如果使用半波检波器，并且同时注意均衡连续检波器的延迟，则情况不一定是这样——但此类对数放大器的设计非常严苛。

对数放大器的规格

对数放大器的规格包括噪声、动态范围、频率响应（用作连续检波对数放大器级的某些放大器同时有低频和高频截止）、传递特性的斜率（表示为 V/dB 或 mA/dB，具体取决于电压还是电流输出器件）、截点（输出电压或电流为零时对应的输入电平）和对数线性度。（参见图 5）。

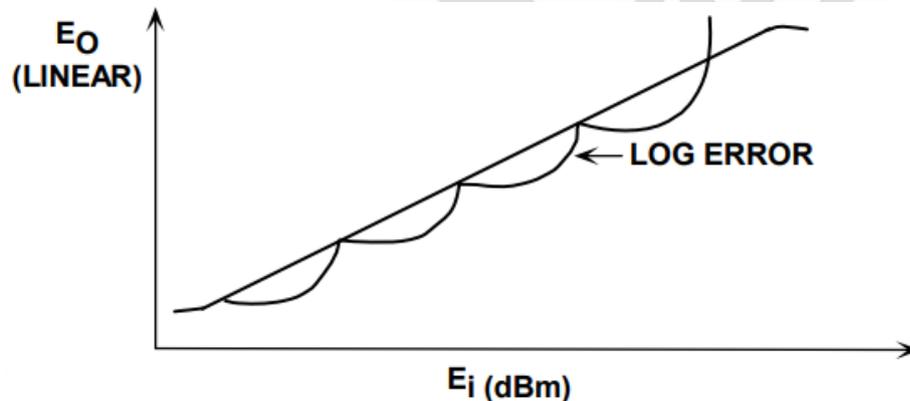


图 5：连续检波对数线性度

许多年以前，还需要用多个独立的单芯片限幅放大器（如 Plessey SL-1521 系列）来构建高性能、高频连续检波对数放大器（称为对数带）。不过，随着 IC 工艺的发展，完整的对数带功能可以集成到单个芯片上，因而不再需要成本高昂的混合型对数带。目前，现代连续检波对数放大器已广泛上市。

[AD641](#) 对数放大器在单个 IC 封装中集成了 5 个限幅级（每级 10dB）和 5 个全波检波器，

其对数性能从 DC 扩展到 250MHz。另外，其放大器和全波检波器级是平衡的，因此，只要布局正确，通过供电轨的反馈一般可以保证稳定。[AD641](#)的功能框图如图 6 所示。与许多以前的集成电路对数放大器不同，[AD641](#)经过激光调整，斜率和截距绝对精度极高，并且完全经过温度补偿。[AD641](#)的传递函数和对数线性度如图 7 所示。

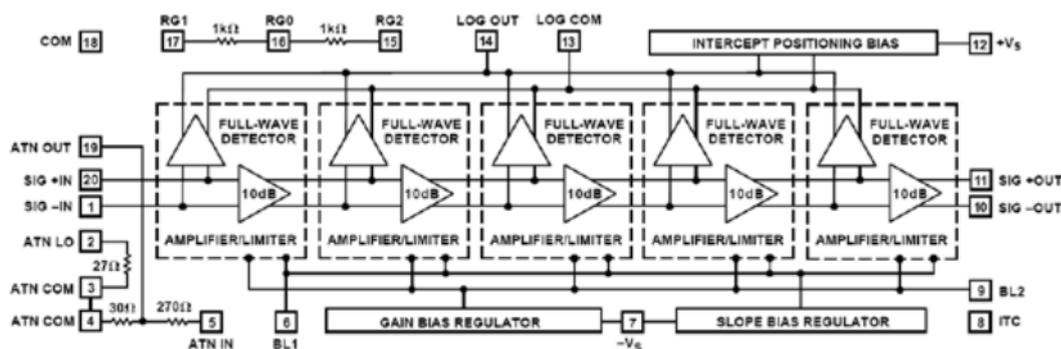


图 6: [AD641](#)单芯片对数放大器的功能框图

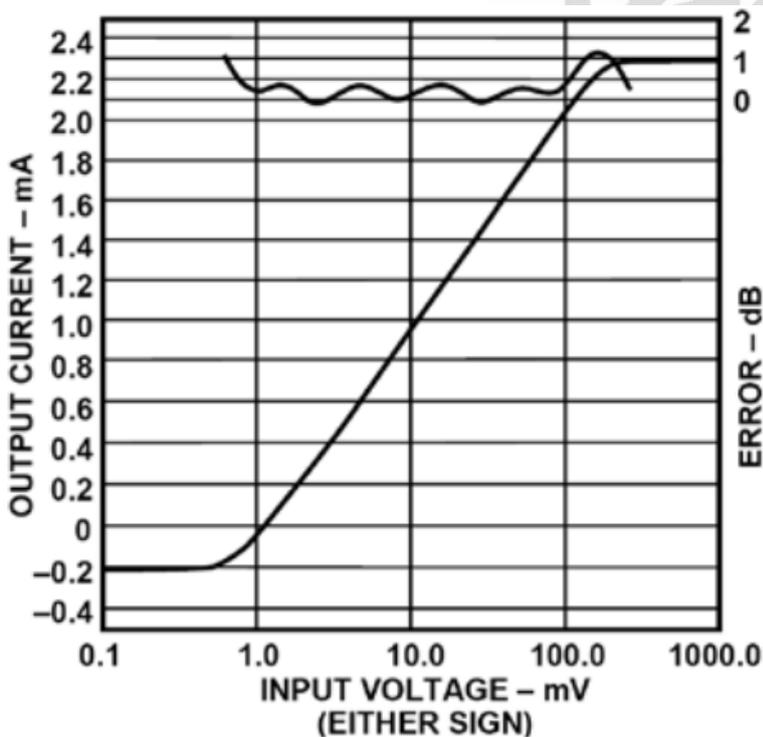


图 7: 单芯片 [AD641](#)的直流对数传递函数和误差曲线

由于 [AD641](#)具有极高的精度，因此，在计算响应时必须考虑其实际的驱动波形。当一种波形通过对数函数发生器时，结果波形的均值会发生变化。虽然这并不会影响响应的斜

率，但是截距会按图 8 中的方式发生明显变化。

INPUT WAVEFORM	PEAK OR RMS	INTERCEPT FACTOR	ERROR (RELATIVE TO A DC INPUT)
Square Wave	Either	1	0.00dB
Sine Wave	Peak	2	-6.02dB
Sine Wave	RMS	1.414 ($\sqrt{2}$)	-3.01dB
Triwave	Peak	2.718 (e)	-8.68dB
Triwave	RMS	1.569 ($e/\sqrt{3}$)	-3.91dB
Gaussian Noise	RMS	1.887	-5.52dB

图 8：波形对截点的影响

[AD641](#) 经过校准和激光调整，以便为直流电平或者对称的 2kHz 方波产生既定响应。在正弦波输入下，其额定截距为 2mV（也就是说，无论是幅度为 2mV 峰值（非峰峰值）的 2kHz 正弦波，还是直流或 1mV 的方波信号，两者产生的均值输出信号完全相同）。

波形也会影响对数响应的纹波或非线性度。对于直流或方波输入，该纹波最大，因为输入电压的每个值都会映射到传递函数上的一个位置，从而描绘出对数响应的全部非线性度。与此相反，一般时变信号在其波形的每个周期中都具有连续的值。平均输出由此被“平滑处理”，因为在波形对传递函数“扫描”时，理想响应的周期偏移表现出逐渐消除的倾向。从图 9 中可以清楚地看出，这种平滑效果在三角波情况下表现得最为显著。

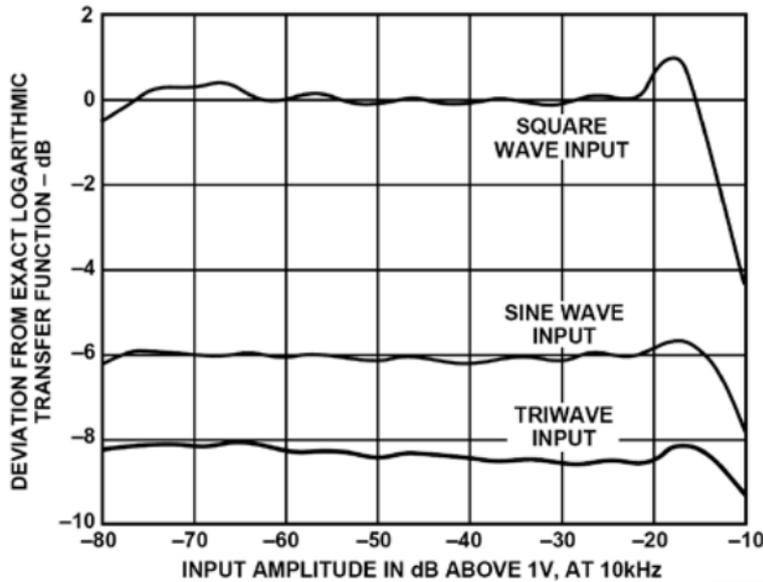
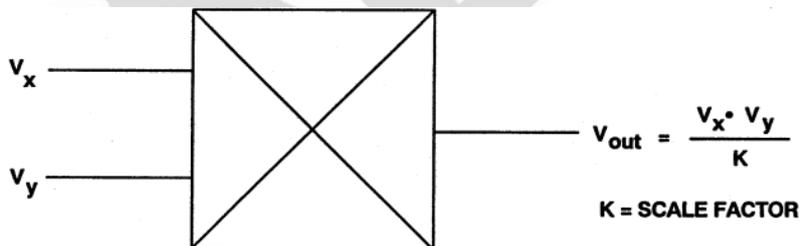


图 9: 波形对 [AD641](#) 对数线性度的影响

模拟乘法器

模拟乘法器

基础知识模拟乘法器是具有两个输入端口和一个输出端口的一种器件。输出端的信号为两个输入信号之积。如果输入和输出信号均为电压，则传输特性为两个电压之积与一个比例因子 K 的比值，而 K 则拥有电压的一个维度（如图 1 所示）。



Type	V_x	V_y	V_{out}
Single Quadrant	Unipolar	Unipolar	Unipolar
Two Quadrant	Bipolar	Unipolar	Bipolar
Four Quadrant	Bipolar	Bipolar	Bipolar

图 1: 基础模拟乘法器与乘法器象限的定义

从数学角度来看，乘法是一种“四象限”运算——换言之，两个输入可能为正，也可能为负，输出亦是如此。然而，用于生产电子乘法器的某些电路仅支持单极性信号。如果两个信号都必须是单极性的，结果形成一个“单象限”乘法器，输出同样也会是单极性的。如果其中一个信号为单极性，而其他信号可能为正或负，则乘法器就是一个“二象限”乘法器，输出可能为两个极性之一（因而为“双极性”）。用于产生一象限或二象限乘法器的电路可能比四象限乘法器所需电路要简单，由于许多应用并不需要全四象限乘法，因此，常用的是仅支持一象限或二象限的精密器件。一个示例是 [AD539](#)，这是一款宽带双通道二象限乘法器，具有一个单极性 V_Y 输入，其相对受限带宽为 5MHz，还有两个双极性 V_X 输入，每个乘法器各一个，带宽为 60MHz。图 2 显示的是 [AD539](#) 的框图。

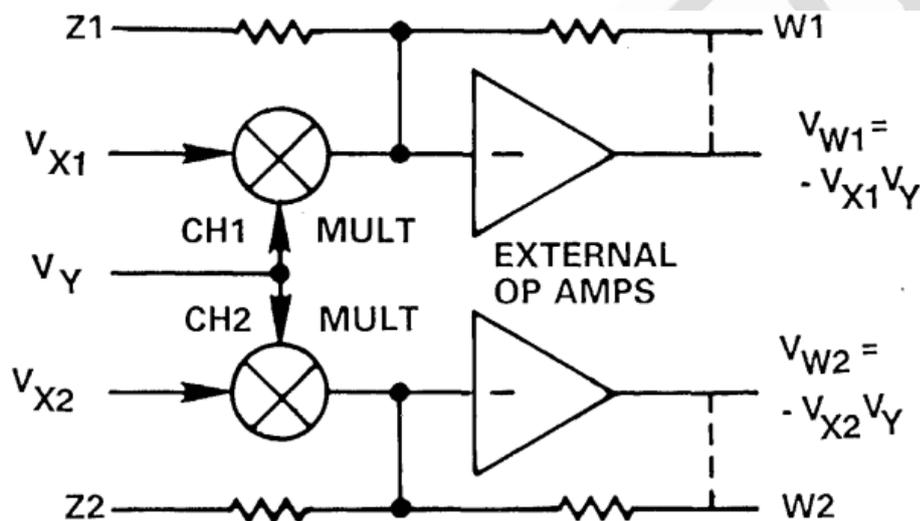


图 2: [AD539](#) 模拟乘法器框图

最简单的电子乘法器采用对数放大器。计算依赖于以下事实：两个数的对数之和的反对数为这两数字之积（如图 3 所示）。

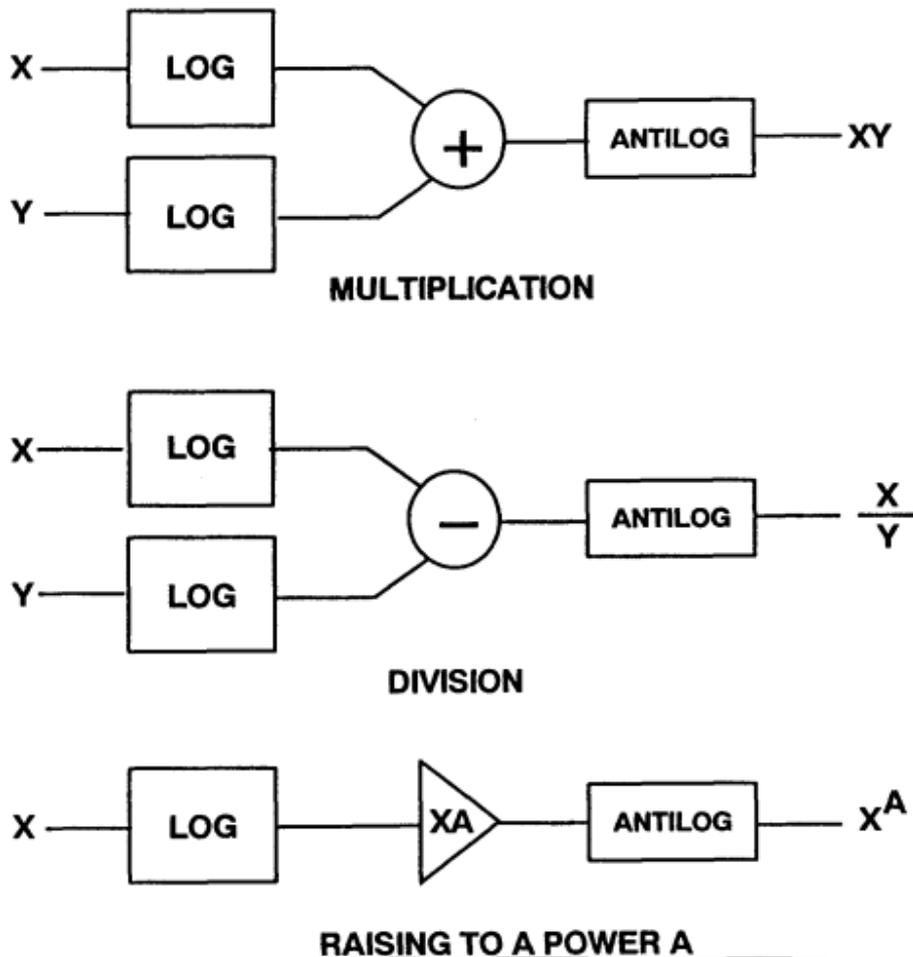


图 3: 利用对数放大器实现乘法运算

这类乘法的劣势在于带宽受限且仅支持单象限运算。一种更优秀的乘法器采用的是“吉尔伯特单元”。这种结构由巴里·吉尔伯特(Barrie Gilbert)在上世纪 60 年代末发明。

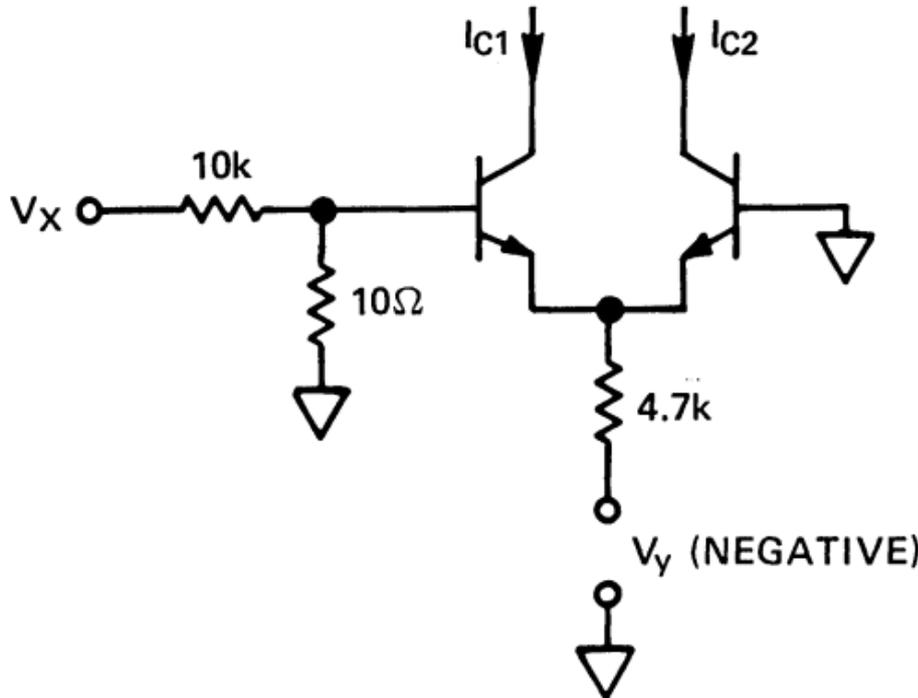
吉尔伯特单元乘法器

硅晶体管的集电极电流与其跨导（增益）之间存在线性关系，跨导的计算公式如下

$$dI_C / dV_{BE} = qI_C / kT, \text{ 其中} \quad \text{等式 1}$$

I_C =集电极电流; V_{BE} =基极-发射极电压; q =电子电荷(1.60219×10^{-19}); k =玻尔兹曼常数 (1.38062×10^{-23}); T =绝对温度。

可以利用这种关系用一对长尾硅晶体管来构建乘法器，如图 4 所示。



$$I_{c1} - I_{c2} = \Delta I_C = \frac{q}{kT} \left(\frac{V_Y + V_{BE}}{4.7 \times 10^3} \right) \left(\frac{10}{10,010} \right) V_X$$

$$= 8.3 \times 10^{-6} (V_Y + 0.6) V_X @ 25^\circ \text{C}$$

图 4: 基础跨导乘法器

这是一种性能很差的乘法器，因为(1)Y 输入被随 V_Y 非线性变化的 V_{BE} 抵消；(2)由于 I_C 与 V_{BE} 之间存在指数关系，因而 X 输入呈现非线性；(3)比例因子随温度而变化。

吉尔伯特意识到，这种电路可以线性化并实现温度稳定性，其方式是采用电流而非电压，同时要利用晶体管的对数 I_C/V_{BE} 特性，如图 5 所示。吉尔伯特单元的 X 输入表现为差分电流形式，Y 输入则为单极性电流。差分 X 电流在两个由二极管连接的晶体管中流动，对数电压对指数 V_{BE}/I_C 关系进行补偿。另外， q/kT 比例因子取消。结果使吉尔伯特单元获得以下线性传递函数

$$\Delta I_C = \frac{\Delta I_X I_Y}{I_X} \quad \text{等式 2}$$

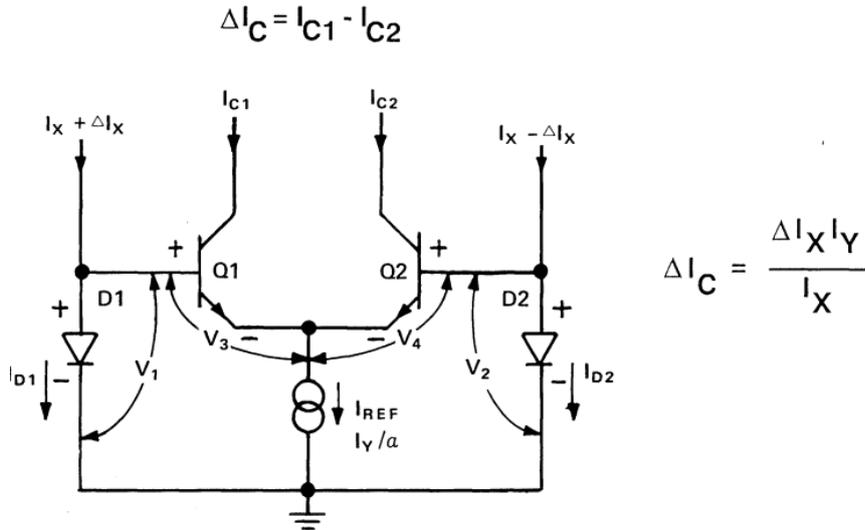


图 5: 基础跨导乘法器

如此，吉尔伯特单元有三个不便之处：(1)其 X 输入为差分电流；(2)其输出为差分电流；(3)其 Y 输入为单极性电流——因此吉尔伯特单元只是一个二象限乘法器。

通过交叉耦合两个这样的单元并使用两个电压-电流转换器（如图 6 所示），我们可以把基础架构转换成一种带电压输入的四象限器件，如 [AD534](#)。在中低频率下，可以用一个减法器放大器把输出端的差分电流转换成电压。鉴于其电压输出架构，[AD534](#) 的带宽仅为 1MHz 左右，而后续版本 [AD734](#) 的带宽则为 10MHz。

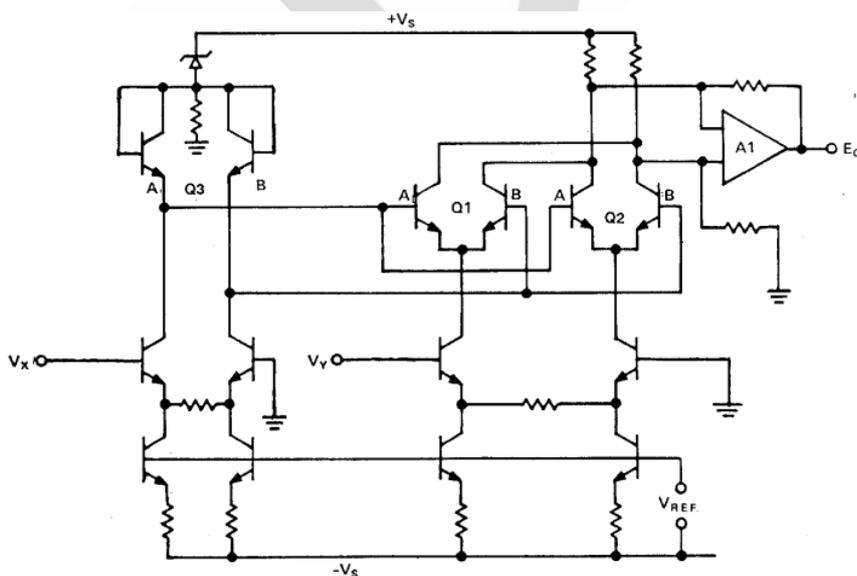


图 6: [AD534](#): 一款四象限跨导线性乘法器

在图 6 中，Q1A 和 Q1B 以及 Q2A 和 Q2B 形成两个吉尔伯特单元的两对核心长尾对，而 Q3A 和 Q3B 则为两个单元的线性化晶体管。还有一个运算放大器充当着差分电流-单端电压转换器，但对更高速度的应用来说，Q1 和 Q2 的交叉耦合集电极会形成一种差分开路集电极电流输出（如 [AD834](#) 500MHz 乘法器）。跨导线性乘法器依赖于多个晶体管和电流的匹配。在单芯片中，可以轻松实现这一点。然而，即使是最好的 IC 工艺也存在一些残余误差，这些误差在此类乘法器中表现为四个直流误差项（参见）。X 输入上的失调电压表现为来自 Y 输入的馈通。Y 输入上的失调电压表现为来自 X 输入的馈通。Z 输入上的失调电压会导致输出信号的偏置，而电阻失配则会导致增益误差。在早期的吉尔伯特单元乘法器中，这些误差必须通过芯片外部的电阻和电位计调整，不太方便。利用激光调整芯片上的 SiCr 薄膜电阻的现代模拟工艺，可以在制造过程中调整这些误差，从而使器件最终具有极高的精度。内部调整还具有其他优势，因为它不会降低高频性能，外部微调就可能存在这种问题。由于跨导线性乘法器的内部结构实质上具有差分性质，因此，其输入通常也具有差分性（毕竟，如果需要单端输入，使一个输入接地并不难）。这样不但便于抑制共模信号，同时也允许实现更复杂的计算。[AD534](#)（如上面的图 6 所示）是基于吉尔伯特单元的一种四象限乘法器的经典示例。

其在乘法器模式下的精度达 0.1%，拥有全差分输入，以及一个电压输出。然而，受其电压输出架构影响，其带宽仅为 1MHz 左右。

对于宽带应用，则采用开路集电极电流输出的基本乘法器。[AD834](#) 是一款 8 引脚器件，具有差分 X 输入、差分 Y 输入、差分开路集电极电流输出，带宽超过 500MHz。框图如图 7 所示。

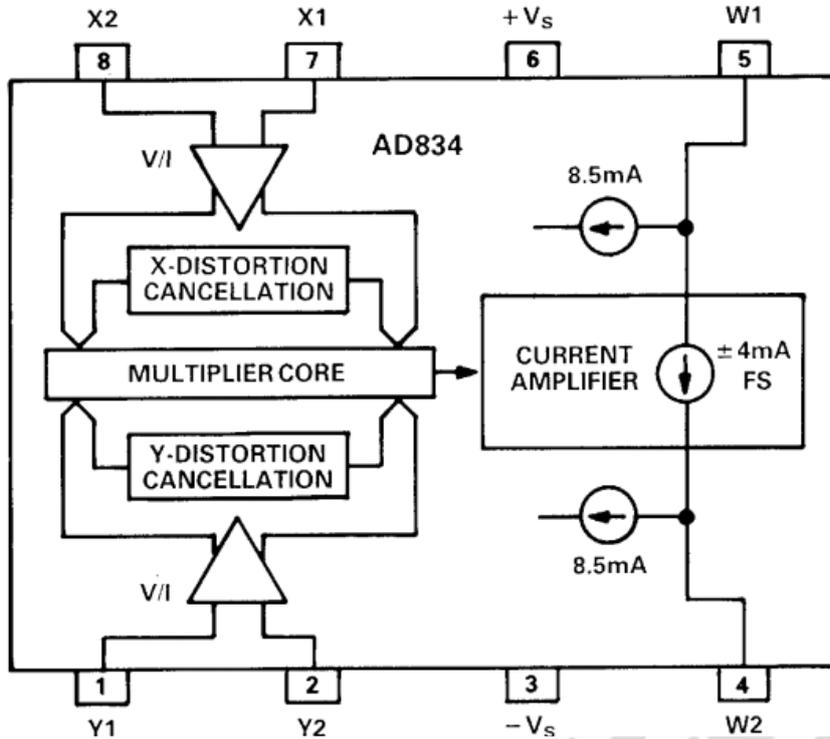


图 7: [AD834](#) 500MHz 四象限乘法器

[AD834](#) 是真正的线性乘法器，其传递函数为

$$I_{OUT} = \frac{V_x \cdot V_y}{1V \cdot 250\Omega} \quad \text{等式 3}$$

其 X 和 Y 失调被平衡至 500 μ V (最大值为 3mV)，可以用于众多应用，包括乘法器（宽带和窄带）、平方器、倍频器和高频功率测量电路。在使用 [AD834](#) 时需要考虑的一个因素是，由于其带宽非常宽，因此，在设计输入电路时必须考虑其输入偏置电流（每个输入约为 50 μ A），以防止它们在源电阻中流动时会导致意外失调电压。

采用 [AD834](#) 的一种基础宽带乘法器如图 8 所示。差分输出电流在两个相等负载电阻 R1 和 R2 中流动，结果输出差分电压。这是该器件最简单的应用电路。在只需要高频输出的情况下，可以采用变压器耦合法，简单的变压器或巴伦均可。

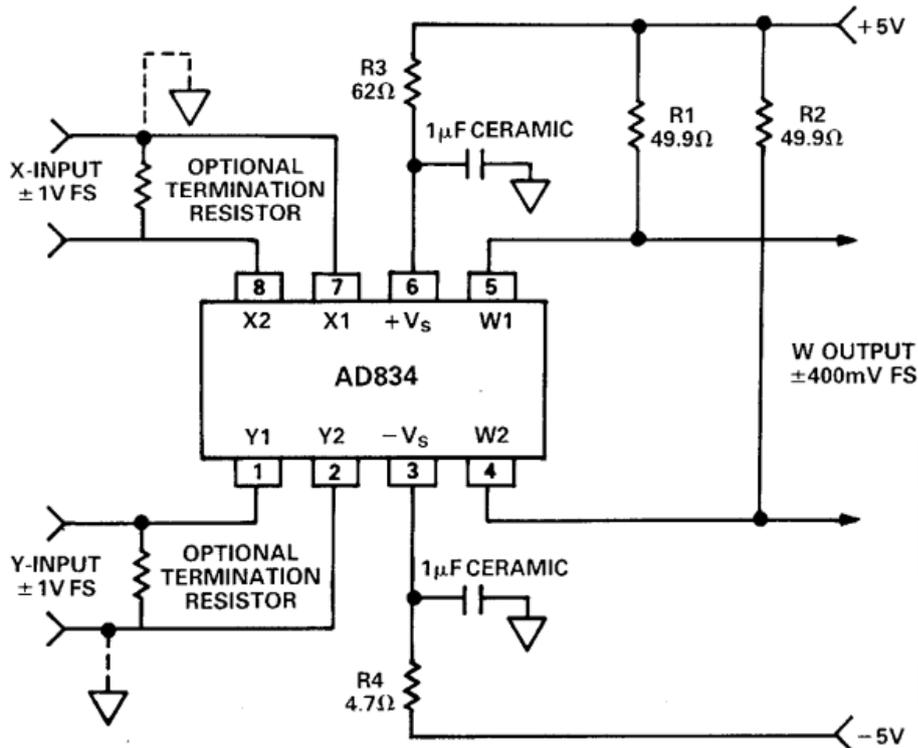
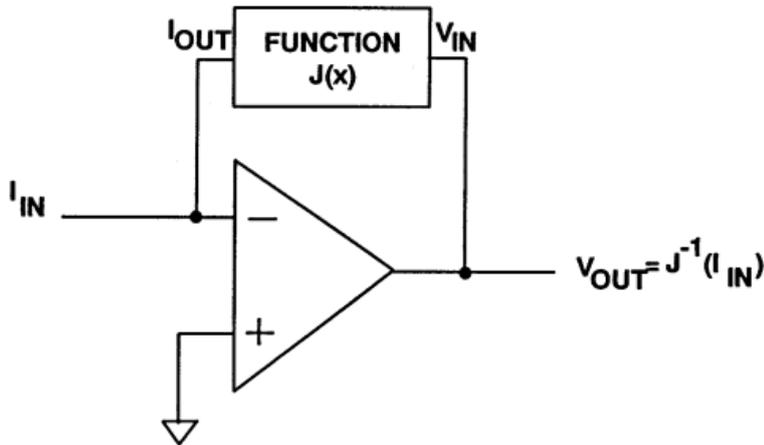


图 8: [AD834](#) 的基本连接

用带运算放大器的乘法器实现算术函数

乘法器可以置于运算放大器的反馈环路中，以形成多个有用的函数。图 9 展示了模拟计算的基本原理，其中，负反馈环路中的一个函数发生器计算反函数（当然该函数须在整个运算范围内具有单调性）。图 10 展示的是一个乘法器以及一个配置为同相和反相模式的除法器的运算放大器。



NOTE: FUNCTION MUST BE MONOTONIC OVER THE RELEVANT RANGE

图 9：负反馈环路中的函数发生器产生反函数

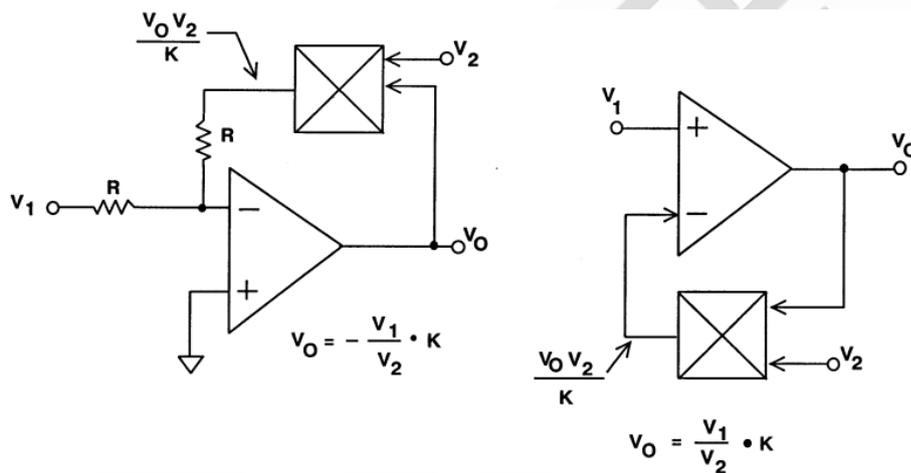


图 10：结合使用乘法器和运算放大器实现除法运算

混频器和调制器

混频器和调制器概述

理想混频器如图 1 所示。RF（或 IF）混频器（不要与视频和音频混频器相混淆）是一种可转换信号频率的有源或无源器件。它既可以调制信号，也可以解调信号。混频器具有三个信号连接，也就是无线电工程师所说的“端口”。这三个端口分别为射频(RF)输入端、本振(LO)输入端和中频(IF)输出端。

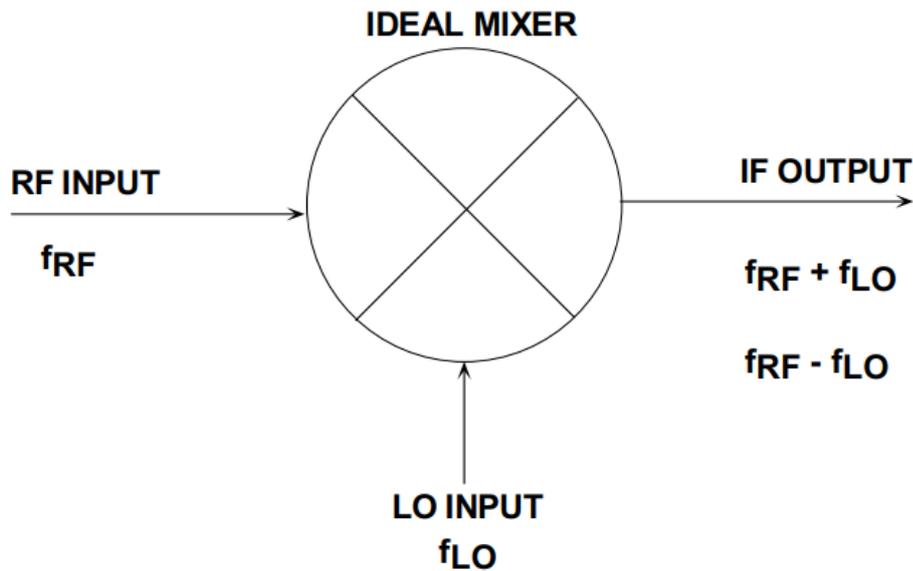


图 1: 混频过程

混频器将频率为 f_{RF} 的 RF 输入信号与频率为 f_{LO} 的 LO 信号进行混频处理, 并产生由和与差频率 $f_{RF} \pm f_{LO}$ 组成的 IF 输出信号。用户可以在混频器后连接带通滤波器, 从而选择和频率($f_{RF} + f_{LO}$)或差频率($f_{RF} - f_{LO}$)。

对于混频器及其术语, 需注意以下几点:

- 以和频率用作 IF 时, 混频器称为“上变频器”; 使用差频率时, 混频器则称为“下变频器”。前者通常用于发射通道中, 而后者则用于接收通道中。
- 在接收机中, 当 LO 频率低于 RF 时, 称为“低端注入”, 此时混频器为“低端下变频器”; 当 LO 高于 RF 时, 称为“高端注入”, 此时混频器为“高端下变频器”。
- 每个输出的幅度只有各输入的一半 (功率为四分之一); 因此, 该理想线性混频器具有 6dB 的损耗。(在实际乘法器中, 转换损耗可能大于 6dB, 具体取决于器件的调整比例参数。本文假设使用“数学”乘法器, 即无维度特性。)

混频器有多种实现方式, 并且既可以采用有源技术, 也可以采用无源技术。简单回顾一下用于频率转换的各种非线性器件可能有助于了解前后关系。我们可以确定有三个电路子类, 这些子类有某些相似之处。它们全都属于信号乘法器, 即其产生的输出信号在某

种形式上都是两个输入信号的乘积。这些电路子类就是“乘法器”、“调制器”和“混频器”。

“模拟乘法器”通常具有两个信号输入端口（分别称为 X 和 Y），而所产生的输出 W 即为这两个端口上所施加电压的线性乘积。为了保持维度一致性，模拟线性乘法函数必须调用基准电压（也称为 U），因此 $W=XY/U$ 。在某些情况下，U 实际上是第三路输入，可用于实现模拟除法。

乘法器分为以下三种功能类别：在“单象限”乘法器中，X 和 Y 必须是单极性信号；在“二象限”乘法器中，其中一路输入可以是双极性信号；在“四象限”乘法器中，X 和 Y 都可以是双极性信号。ADI 公司可以提供各种“线性”乘法器，包括 [AD534](#)、[AD538](#)、[AD539](#)、[AD633](#)、[AD734](#)、[AD834](#) 和 [AD835](#)，拥有目前可实现的最高精度（[AD734](#)，精度为 $\pm 0.02\%$ ）和最快速度（[AD834](#)，速度超过 500MHz）。

“调制器”（有时称为“平衡调制器”或“双平衡调制器”，甚至偶尔还称为“高电平混频器”）可视作“符号变换器”。两路输入 X 和 Y 产生一路输出 W，也就是其中一路输入（如 Y）乘以另一路输入（如 X）的符号，即 $W=Y\text{sign}(X)$ 。因此无需基准电压。良好的调制器在信号路径中具有极高的线性度，Y 的正负值具有完全相等的增益，且 X 的正负值也具有完全相等的增益。理想情况下，需完全切换输出符号的 X 输入幅度非常小，即 X 输入展现出与比较器相似的行为。在某些情况下，当该输入可以是逻辑信号时，则可以使用更为简化的 X 通道。[AD831](#) 等高线性度混频器就非常适合用作调制器。

“混频器”是针对频率转换而优化的调制器。它在信号路径中的位置通常靠近天线，其信号输入端（通常称为“RF 端口”）处同时存在所需信号和（通常较大的）干扰信号。因此，混频器必须拥有出色的线性度，即向 RF 端口施加测试信号时，达到可能的最高电平，其输出（IF 端口处）都应增加相同数量的 dB。该特性由 1dB 增益压缩点和三阶交调截点定义。转换过程由施加于 LO 端口的输入驱动。

接收机的混频器要达到可接受的性能水平，噪声和匹配特性至关重要。最好使 LO 功率保持最低水平以尽可能减少三个端口之间的串扰，但这通常会与其它要求冲突。给定 RF 和 LO 频率下，从 RF 端口到 IF 端口的增益称为“转换增益”；在典型的二极管电桥混频器中，转换增益小于-4dB。“有源混频器”可以提供更高的转换增益和更好的端口间隔离，但通常代价是噪声和线性度性能下降。通常不太可能（也根本无需）使用与输入和输出的瞬时值相关公式来描述混频器行为；相反，我们通常寻求以输出端的非理想交叉乘积项来表征混频器。

至此，我们已经讨论了以下几点：乘法器以线性方式响应其两个输入电压的瞬时值；调制器以线性方式响应其中一路输入，而另一路输入只是定期转换该信号的符号，转换时间几乎为零，此外理想情况下不会对信号造成任何其它影响；混频器是一种 RF 混合器，理想情况下 RF 输入具有极高线性度，并且响应 LO 输入的切换功能表现出“二进制”行为，但在现实中这两方面都不理想；混频器经过优化，噪声和交调失真极低。

使用理想模拟乘法器进行混频

图 2 显示假设使用模拟乘法器时大大简化的 RF 混频器。

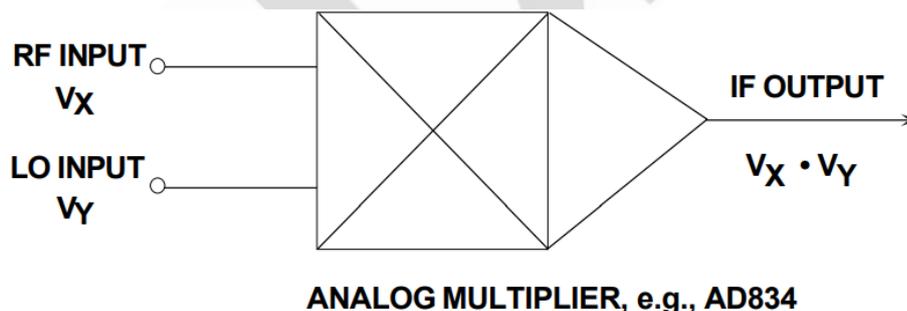


图 2：使用模拟乘法器进行混频

理想情况下，乘法器不存在噪声和最大信号幅度限制，并且多种 RF 信号之间也不出现交调（即无杂散非线性度）。图 3 所示为 RF 输入 $\sin\Omega_{RF}t$ 与 LO 输入 $\sin\Omega_{LO}t$ “混频”（相当于两者相乘）而得到的结果，其中 $\Omega_{RF}=2\pi \times 11\text{MHz}$ 且 $\Omega_{LO}=2\pi \times 10\text{MHz}$ 。

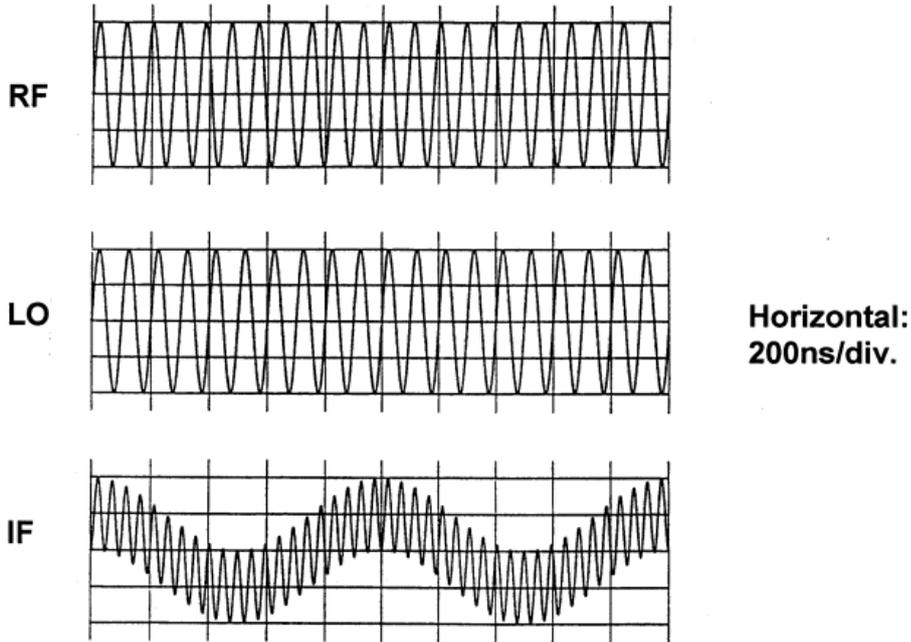


图 3: $f_{RF}=11\text{MHz}$ 且 $f_{LO}=10\text{MHz}$ 时乘法混频器的输入和输出

显然，要更好地理解混频器行为，不仅需要考虑时域波形（如此处所示），而且还需要考虑 IF 输出的频谱。图 4 显示与上述 IF 波形对应的输出频谱。

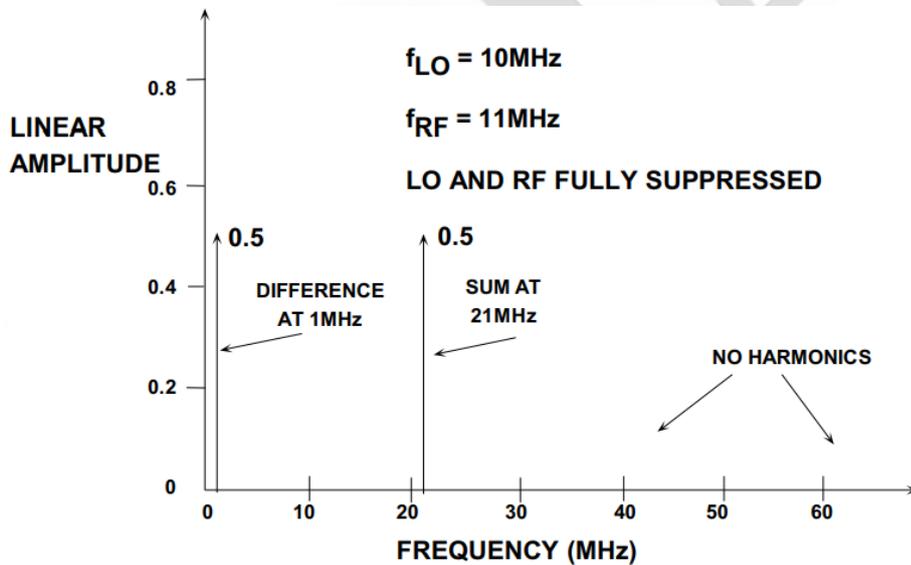


图 4: $f_{RF}=11\text{MHz}$ 且 $f_{LO}=10\text{MHz}$ 时乘法混频器的输出频谱

如果将调整比例问题忽略不计（实际信号均为电压；因此，实际乘法器需要采用嵌入式基准电压源，此处忽略），则关系式为：

$$\sin\omega_{RF}t \sin\omega_{LO}t = \frac{1}{2} \{ \cos(\omega_{RF} + \omega_{LO})t + \cos(\omega_{RF} - \omega_{LO})t \} \quad \text{公式 1}$$

因此，乘法器将 RF 输入转换为其输出端（IF 端口）处两个幅度相等的余弦分量，其中一个为和频率 $\Omega_{RF} + \Omega_{LO}$ ，而另一个则为差频率 $\Omega_{RF} - \Omega_{LO}$ 。实际应用中，以模拟乘法器作为混频器并不是一个好的选择，因为两路线性输入使得噪声显著增加。

镜像响应

即便使用这种数学理论上完美无缺的混频器，接收机也存在一个基本问题，即“镜像响应”。以使用低端下变频器为例，所需输出的频率为 $\Omega_{IF} = \Omega_{RF} - \Omega_{LO}$ 。因此，我们可能认为 RF 频谱中能够通过混频器“滤网”并进入狭窄 IF 通带的唯一分量就是所需分量 Ω_{RF} 。不过，我们可以轻松地将公式 1 写成：

$$\sin\omega_{RF}t \sin\omega_{LO}t = \frac{1}{2} \{ \cos(\omega_{RF} + \omega_{LO})t + \cos(\omega_{LO} - \omega_{RF})t \} \quad \text{公式 1a}$$

因为该余弦函数相对于 $t=0$ 对称。因此，RF 输入端的另一频谱分量也会进入 IF 通带，此处也就是 $\Omega_{IF} = \Omega_{LO} - \Omega_{RF}$ 所表示的，那就是“镜像”频率。

在上述示例中，当 $f_{LO} = 10\text{MHz}$ 且 $f_{IF} = 1\text{MHz}$ 时，所需响应为 IF 频率，因此对于 $f_{IF} = 1\text{MHz}$ ，则 $R_F = 11\text{MHz}$ 。不过，混频器还会响应“镜像”频率并产生相同的 IF，因此 $f_{IMAGE} = 9\text{MHz}$ （参见图 5）。

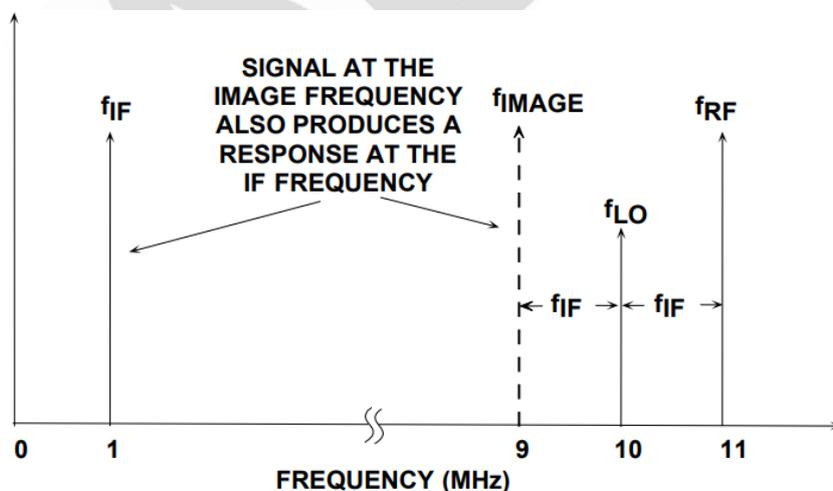


图 5：镜像响应

针对这种困境，最可行的方案是谨慎选择 IF 频率，将图像灵敏度的可能性降至最低，并在 RF 输入端的混频器之前接入一个镜像抑制滤波器。另一种方法就是使用不会响应镜像频率的特殊混频器电路。这种方法需要相当复杂的电路，因此通常并不受欢迎，但在现代 IC 实施方案中却变得日益可行。另外还有一个缺点是功耗较大，因为需要两个混频器单元在正交模式下工作。

理想混频器

理想情况下，要使混频器达到低噪声和高线性度目标，我们需要利用一些电路实现极性切换功能来响应 LO 输入。因此，混频器可以简化为图 6 所示，其中 RF 信号被拆分成同相(0°)分量和反相(180°)分量；一个由本振(LO)信号驱动的转换开关会交替选择同相信号和反相信号。因此，实质上理想混频器可以看成是一个符号开关。

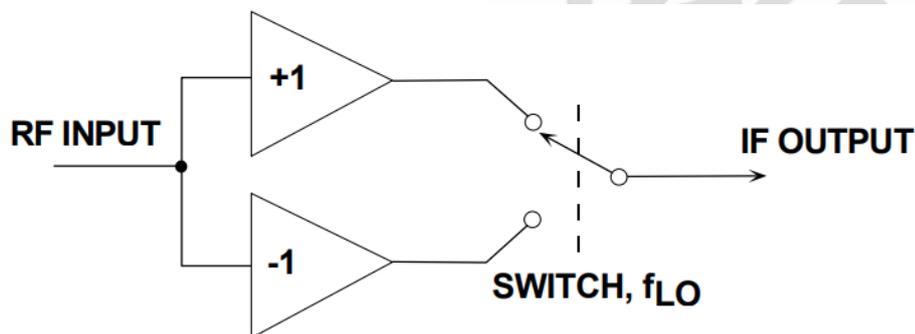


图 6: 理想的开关混频器

理想状态下，该混频器将不存在噪声（开关具有零阻抗）和最大信号幅度限制，并且多种 RF 信号之间也不会出现交调。虽然概念上很简单，但即使是针对输入频谱上的少量信号，中频(IF)输出的波形也可能非常复杂。图 7 显示只将 11MHz 的单路输入与 10MHz 的 LO 进行混频的结果。

此波形上仍然可以看到 1MHz 差频率时存在“所需”IF，21MHz 和频率也同样很明显。但是，与使用模拟乘法器时相比，此波形的频谱明显更为复杂。我们如何分析此频谱呢？

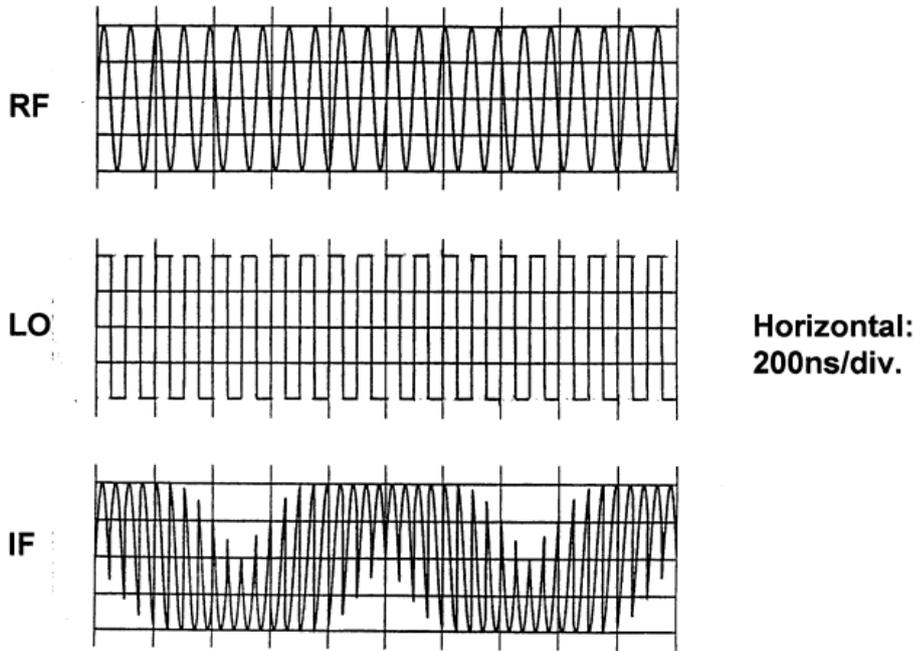


图 7: $f_{RF}=11\text{MHz}$ 且 $f_{LO}=10\text{MHz}$ 时理想开关混频器的输入和输出

虽然得到的仍然是乘积，但现在却是 Ω_{RF} 正弦波（RF 输入）乘以取值仅为+1 或-1 的变量（即 Ω_{LO} 单位方波）。后者可以用傅里叶序列表示：

$$S_{LO} = \frac{4}{\pi} \{ \sin\omega_{LO}t - \frac{1}{3} \sin 3\omega_{LO}t + \frac{1}{5} \sin 5\omega_{LO}t - \dots \} \quad \text{公式 2}$$

因此，开关混频器的输出就是其 RF 输入（可简化为 $\sin\Omega_{RF}t$ ）乘以上述方波展开式，从而得到

$$S_{IF} = \frac{4}{\pi} \{ \sin\omega_{RF}t \sin\omega_{LO}t - \frac{1}{3} \sin\omega_{RF}t \sin 3\omega_{LO}t + \frac{1}{5} \sin\omega_{RF}t \sin 5\omega_{LO}t - \dots \} \quad \text{公式 3}$$

现在展开各个乘积即可得到

$$S_{IF} = \frac{2}{\pi} \{ \sin(\omega_{RF} + \omega_{LO})t + \sin(\omega_{RF} - \omega_{LO})t - \frac{1}{3} \sin(\omega_{RF} + 3\omega_{LO})t - \frac{1}{3} \sin(\omega_{RF} - 3\omega_{LO})t + \frac{1}{5} \sin(\omega_{RF} + 5\omega_{LO})t + \frac{1}{5} \sin(\omega_{RF} - 5\omega_{LO})t - \dots \} \quad \text{公式 4}$$

或简化为

$$S_{IF} = \frac{2}{\pi} \{ \sin(\omega_{RF} + \omega_{LO})t + \sin(\omega_{RF} - \omega_{LO})t + \text{harmonics} \} \quad \text{公式 5}$$

图 8 概略显示在产生图 7 所示波形的特定情况（即 $f_{RF}=11\text{MHz}$ 且 $f_{LO}=10\text{MHz}$ ）下最重要的这些谐波分量。

由于有 $2/\pi$ 项，因此无任何增益时，混频器至少存在 3.92dB 的插入损耗（和噪声系数）。

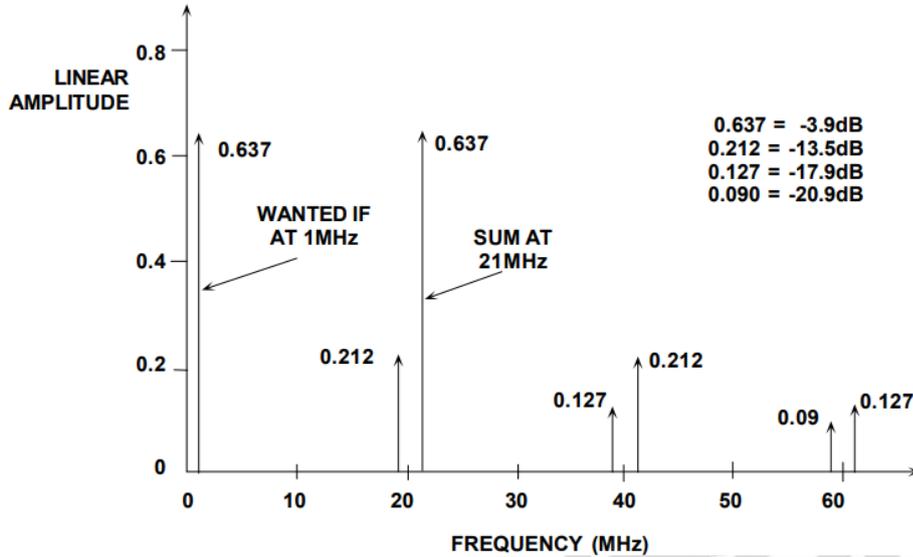


图 8: $f_{RF}=11\text{MHz}$ 且 $f_{LO}=10\text{MHz}$ 时开关混频器的输出频谱

注意，理想（开关）混频器同样具有与线性乘法混频器完全相同的 $\Omega_{LO}-\Omega_{RF}$ 镜像响应问题。镜像响应在某种程度上比较细微，并不会立即出现在输出频谱中；它属于潜在响应，直到输入频谱中出现“错误”频率。

二极管环形混频器

多年来，针对高性能应用的最常用混频器拓扑结构一直都是二极管环形混频器，其中一种形式如图 9 所示。二极管可以是硅结型、硅肖特基势垒型或砷化镓型，用于提供必要的开关操作。我们不需要非常详细地分析该电路，但顺便提一下，LO 需要具有相当高的驱动能力——通常差不多 1 瓦，才能确保二极管导通能力非常强，足以实现低噪声性能，并允许转换大信号而又不会出现过大的杂散非线性度。

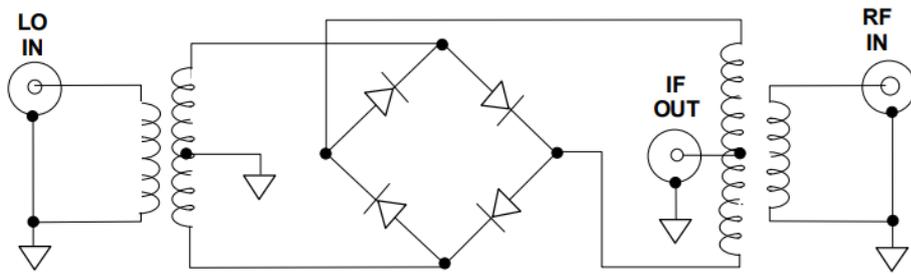


图 9: 二极管环形混频器

由于二极管的高度非线性特性，三个端口的阻抗很难以控制，从而使得匹配变得非常困难。此外，三个端口之间存在相当大的耦合；再加上 LO 端口处所需的高功率，使得（高度失真的）LO 信号的某些分量很可能会向后耦合至天线。最后，像这样的无源混频器显然无法提供转换增益；在理想情况下，转换损耗为 $2/\pi$ （如公式 4 所示），即 3.92dB。由于二极管的电阻和变压器的损耗，实际混频器损耗更高。

此类混频器的用户习惯于通过“电平”评定判断信号处理能力。因此，17 级混频器需要 +17dBm(50mW)的 LO 驱动，并可处理高达 +10dBm($\pm 1V$)的 RF 输入。Mini-Circuits LRMS-1H 就是这种类别的一款典型混频器，其频率范围为 2-500MHz，标称插入损耗为 6.25dB（最大 8.5dB），最差 LO-RF 隔离为 20dB，最差 LO-IF 隔离为 22dB（这些数据均针对 250-500MHz 范围内的 LO 频率）。少量购买时，该元件的报价约为 \$10.00/片。即便是价格最贵的二极管环形混频器，也都具有类似的驱动功率要求、高损耗和来自 LO 端口的高耦合特性。

典型的有源混频器

二极管环形混频器不仅具有一定的性能限制，而且还不能使用集成电路技术来制造，至少不能以图 9 所示形式。上世纪 60 年代中期，人们意识到，四个二极管可以用四个电阻代替，基本上同样可以执行相同的切换功能。这就构成了现在典型双极性电路的基础，如图 10 所示。图中显示的是完全平衡版本的最小配置。此类混频器已经生产超过百万件，包括 CMOS 和 GaAs 版本。本文将仅讨论 BJT 形式，[AD831](#) 就是其中一例。

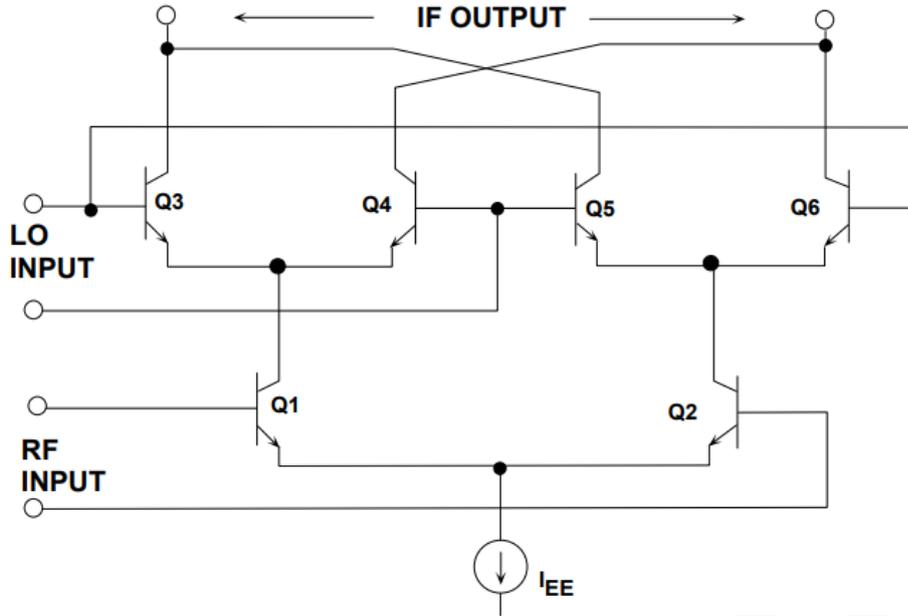


图 10：典型的有源混频器

“有源混频器”受人欢迎的原因如下：

- 可与其它信号处理电路整体集成。
- 可提供转换增益，而二极管环形混频器始终存在插入损耗。（注意：有源混频器可能具有增益。例如，ADI 公司的有源混频器 [AD831](#) 就可以将公式 5 中的结果放大 $\pi/2$ 倍，从而提供从 RF 到 IF 的单位增益。）
- 驱动 LO 端口所需的功率少很多。
- 具有出色的信号端口间隔离性能。
- 负载匹配影响更小，且无需双工器和宽带终端。

通过采用合适的设计技术，该器件一方面可以权衡考量三阶交调截点(IP3)和 1dB 增益压缩点(P_{1dB})性能，另一方面还能兼顾总功耗特性。（即包括 L_o 功率，而在无源混频器中该功率“隐藏”在驱动电路中。）

有源混频器的基本工作原理

二极管环形混频器在电压域中执行极性反转切换功能，而有源混频器则不同，它在电流域执行切换功能。因此，有源混频器内核（图 10 中的晶体管 Q3-Q6）必须由电流模式信号驱动。由 Q1 和 Q2 构成的电压电流转换器在其基极端接收电压模式 RF 信号，并在其集电极处转换为差分电流对。

因此，有源混频器和二极管环形混频器的第二个区别是有源混频器仅响应输入电压的幅度，而不响应输入功率；也就是说，有源混频器与输入源不匹配。（匹配概念是指构成某端口的电路能够使用该端口处的电流和电压。）通过更改偏置电流 I_{EE} ，可以在很宽的范围内设置输入对 Q1-Q2 的跨导。借助这项能力，有源混频器可以提供可变增益。

第三个区别是有源混频器的输出（在集电极 Q3-Q6 处）为电流形式，并且可重新转换为电压，在某些其它阻抗水平还可转换为输入端所用的电压，因而可提供更多增益。通过合并输出电流（通常使用变压器），可以使此电压增益增加一倍。最后，由于端口之间存在反偏结，因此各端口之间的隔离，尤其是从 LO 端口至 RF 端口，本身明显要低于二极管环形混频器。

不过，简而言之，工作原理如下所述。当 Q1 和 Q2 的基极之间不存在任何电压差时，这两个晶体管的集电极电流基本相等。因此，在 LO 输入端施加电压不会导致输出电流发生变化。如果 RF 输入端存在较小的直流失调电压（通常是由于 Q1 和 Q2 的发射极区域不匹配造成的），这只会造成少量 LO 信号馈入 IF 输出，而第一个 IF 滤波器会将该馈通拦截下来。

相反，如果向 RF 端口施加 RF 信号，但不向 LO 输入端施加电压差，那么输出电流将再次取得平衡。小失调电压（现在是由于 Q3-Q6 的发射极区域不匹配造成的）可能导致部分 RF 信号馈入 IF 输出；就和前面一样，IF 滤波器会抑制该馈通。只有同时向 RF 和 LO 端口施加信号时，输出端才会出现信号；因此，称为双平衡混频器。

有源混频器可通过另一种方式提供增益：即利用匹配网络将 50Ω 源阻抗转换为混频器的高输入阻抗（通常情况下）来提供阻抗转换，进而借助阻抗升压来提供电压增益。因此，即便有源混频器在输入端端接 50Ω 宽带电阻时存在损耗，但在使用输入匹配网络时也可以具有“增益”。

[AD8345](#) 正交调制器

“调制器”（有时称为“平衡调制器”或“双平衡调制器”，甚至偶尔还称为“高电平混频器”）可视作“符号变换器”。两路输入 X 和 Y 产生一路输出 W，也就是其中一路输入（如 Y）乘以另一路输入（如 X）的符号，即 $W=Y*\text{sign}(X)$ 。因此无需基准电压。良好的调制器在信号路径中具有极高的线性度，Y 的正负值具有完全相等的增益，且 X 的正负值也具有完全相等的增益。理想情况下，需完全切换输出符号的 X 输入幅度非常小，即 X 输入展现出与比较器相似的行为。在某些情况下，当该输入可以是逻辑信号时，则可以使用更为简化的 X 通道。

例如，[AD8345](#) 是一款硅 RFIC 正交调制器，设计用于 250MHz 至 1000MHz 频率范围（参见图 11），其出色的相位精度和幅度平衡可以提供高性能的 IF 载波直接调制。

[AD8345](#) 可以通过多相分相器网络，将外部 LO 信号精确地分成两个正交分量。接着，两个 LO 分量 I 和 Q 与基带 I 和 Q 差分输入信号进行混频。最后，两个混频器的输出在输出级合并，从而在 VOUT 提供单端 50Ω 驱动能力。

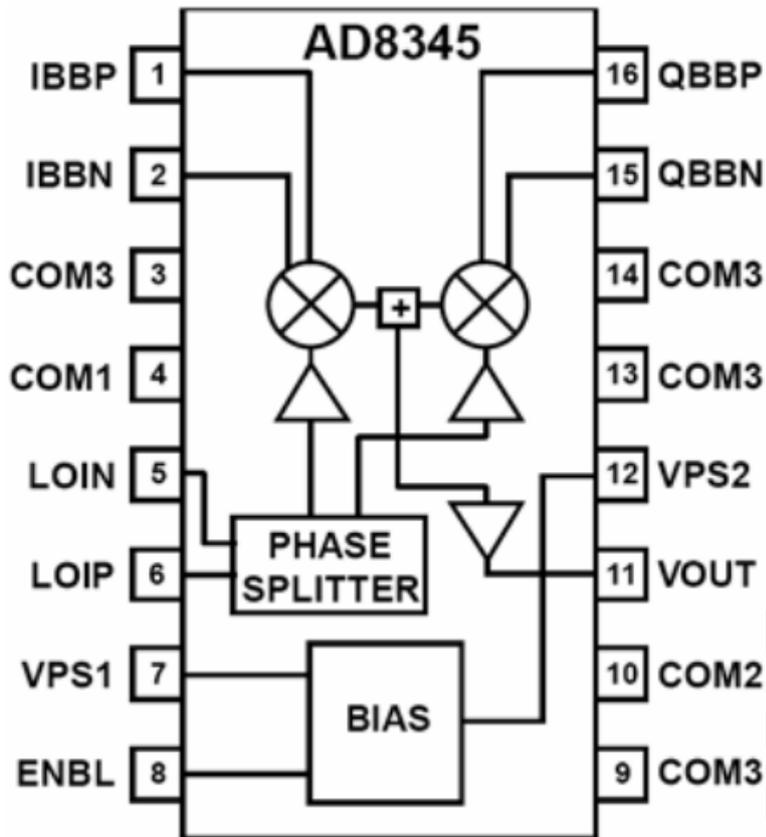


图 11: 正交调制器 [AD8345](#) 框图

采样/保持放大器

采样/保持放大器

引言和历史回顾

采样保持放大器或 SHA 是大部分数据采集系统的关键组成部分，它捕捉模拟信号并在某些操作（最常见的是模数转换）中保持信号不变。SHA 对相关电路的要求非常高，电容和印刷电路板等普通组件的某些特性可能会意想不到地降低 SHA 性能。

当 SHA 配合 ADC 使用时（外置或内置），SHA 性能对该组合的整体动态性能至关重要，在确定系统的 SFDR、SNR 等参数方面起着重要作用。

虽然今天的 SHA 功能已经集成到采样 ADC 中，但了解其基本工作原理对于了解 ADC 动

态性能十分重要。

当采样保持器处于采样（或跟踪）模式时，输出跟随输入而变化，二者之间仅存在很小的电压偏差。但也有输出在采样模式下不完全跟随输入的 SHA，*adw* 输出仅在保持期间是精确的（如 [AD684](#)、[AD781](#) 和 [AD783](#)）。本文不考虑这种情况。严格来说，具有良好跟踪性能的采样保持器应被称为跟踪保持电路，但在实际应用中，这些术语可以互换使用。

SHA 的最常见应用是在数据转换期间将 ADC 的输入保持为恒定值。对于许多（但不是全部）类型的 ADC，为避免转换过程被破坏，转换期间输入的变化不得大于 1 LSB，这就对此类 ADC 设置了非常低的输入频率限值，或者要求采用 SHA 以保持每次转换期间的输入不变。

回顾历史，一个有趣的事实是：A.H Reeves 在其著名的 PCM 专利中描述了一个 5 位 6KSPS 计数 ADC，模拟输入信号直接驱动一个真空管脉宽调制器(PWM)，采样功能集成于 PWM 中。贝尔实验室随后对 PCM 进行了研究，引入了电子束编码器管和逐次逼近型 ADC。

在 1950 年代后期和 1960 年代早期，随着晶体管取代真空管，人们更加关注 ADC 所用的采样保持电路。1964 年，贝尔实验室的 Gray 和 kitsopolos 发表了最早对固态采样保持器产生的误差进行分析的文章之一。贝尔实验室的 Edson 和 Henning 描述了在一个 224Mbps PCM 系统上进行实验的结果，该系统包括一个 9 位 ADC 和一个配套的 12MSPS 采样保持器。

1969 年，ADI 公司新收购的 Pastoriza 部门率先推出商用采样保持器 SHA1 和 SHA2。电路在 PC 板上实现，SHA1 的 0.01% 采集时间为 $2\ \mu\text{s}$ ，功耗 0.9W，成本约为 \$225；SHA2 速度更快，0.01% 采集时间为 200ns，功耗 1.7W，成本约为 \$400。两款器件专门配合同样在 PC 板上实现的 12 位逐次逼近型 ADC 工作。

模块化和混合技术迅速淘汰了 PC 板采样保持器，而随着 IC ADC 的上市，如工业标准

AD574 等，对采样保持器的需求渐增。上世纪 70 年代和 80 年代早期，系统设计师购买独立的采样保持器来驱动此类 ADC 是相当普遍的现象，因为当时的工艺技术还无法将它们集成在同一芯片上。IC SHA，如 [AD582](#) (0.01%采集时间为 $4\ \mu\text{s}$)、[AD583](#) (0.01%采集时间为 $6\ \mu\text{s}$) 和 [AD585](#) (14 位精度的采集时间为 $3\ \mu\text{s}$) 等，服务于上世纪 70 年代和 80 年代的低速市场。

混合 SHA，如 [HTS-0025](#) (0.1%采集时间为 25ns)、[HTC-0300](#) (0.01%采集时间为 200ns) 和 [AD386](#) (16 位精度的采集时间为 $25\ \mu\text{s}$) 等，则服务于高速高端市场。到 1995 年，ADI 公司针对各种应用推出了大约 20 款采样保持产品，包括下列高速 IC：[AD9100/AD9101](#) (0.01%采集时间为 10ns)、[AD684](#) (四通道、0.01%采集时间为 $1\ \mu\text{s}$) 和 [AD783](#) (0.01%采集时间为 250ns)。

然而，同时期的 ADC 技术迅猛发展，许多 ADC 都已内置 SHA (即采样 ADC)，因而更容易指定，当然也更容易使用。新工艺的开发，包括高速互补双极性工艺和先进的 CMOS 工艺，使得集成 SHA 功能成为可能。事实上，现在 (2003 年) 采样 ADC 已经非常普及并大受欢迎，很少有人需要独立的 SHA。

除了尺寸更小、成本更低和外部元件更少等明显的优势以外，采样 ADC 还有一个重要优势，那就是整体直流和交流性能已完全明确，设计人员不必像对待分立 ADC 与分立 SHA 的组合那样需要确保不存在规格、接口或时序问题。当考虑 SFDR 和 SNR 等动态特性时，这一优势尤为可贵。

SHA 绝大部分时候是与 ADC 一起使用，但偶尔也会用于 DAC 限变器、峰值检波器、模拟延迟电路、同步采样系统和数据分配系统。

SHA 基本工作原理

无论 SHA 的电路细节或类型如何，所有此类器件都包括四个主要部分：输入放大器、能量存储元件 (电容)、输出缓冲器和开关电路，如图 1 的典型配置所示。

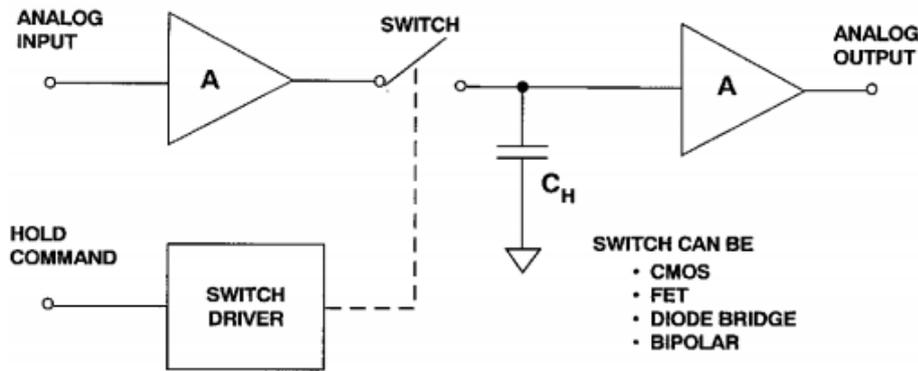


图 1: 基本采样保持电路

SHA 的核心--能量存储元件是电容。输入放大器缓冲输入，向信号源提供高阻抗，并提供电流增益来给保持电容充电。在跟踪模式下，保持电容上的电压跟随（或跟踪）输入信号（有一定的延迟和带宽限制）。在保持模式下，开关断开，电容保持与输入缓冲器断开连接之前的电压。输出缓冲器向保持电容提供高阻抗，防止保持电压过早放电。开关电路及其驱动器构成 SHA 交替处于跟踪和保持模式的切换机制。

描述 SHA 基本操作的规格有四组：跟踪模式、跟踪转保持、保持模式、保持转跟踪。

图 2 总结了这些规格，图 3 以图解方式显示了 SHA 的一些误差源。由于每种模式同时涉及到直流和交流性能，因此要正确指定 SHA 并了解其在系统中的操作是一件很复杂的事情。

采样模式	采样保持转换	保持模式	保持采样转换
静态 ◆ 失调 ◆ 增益误差 ◆ 非线性	静态 ◆ 基座误差 ◆ 基座误差非线性	静态 ◆ 下降 ◆ 非传导性 ◆ 吸收率	
动态 ◆ 建立时间 ◆ 带宽 ◆ 压摆率 ◆ 失真 ◆ 噪声	动态 ◆ 孔径延迟时间 ◆ 孔径抖动 ◆ 开关瞬变 ◆ 建立时间	动态: ◆ 馈通 ◆ 失真 ◆ 噪声	动态: ◆ 采集时间 ◆ 开关 ◆ 瞬变

图 2: 采样保持器规格

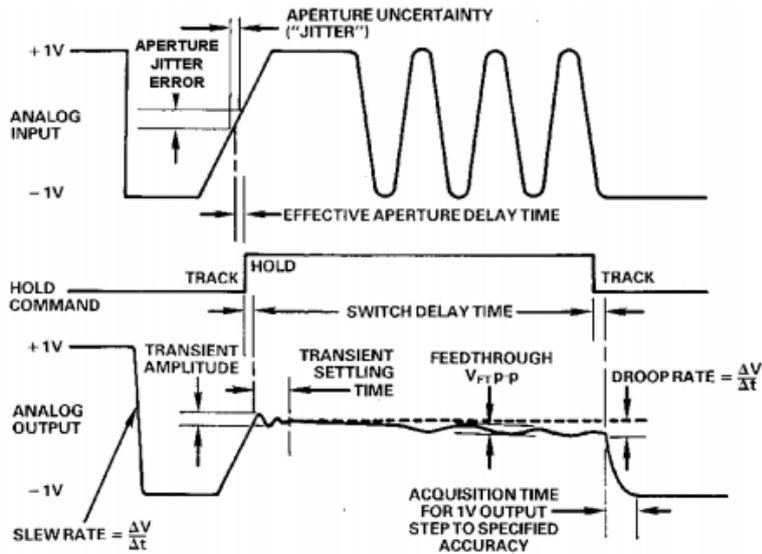


图 3: 采样保持器的一些误差源

跟踪模式规格

在采样（或跟踪）模式下，SHA 只是一个放大器，因此这种模式下的静态和动态特性与任何其它放大器相似。（在跟踪模式下性能下降的 SHA 一般仅指定保持模式下的特性。）

跟踪模式下的主要规格包括：失调、增益、非线性、带宽、压摆率、建立时间、失真和噪声。然而，失真和噪声在跟踪模式下一般不如在保持模式下重要。

跟踪转保持模式规格

当 SHA 从跟踪切换到保持时，由于开关的非理想特性，一般会有少量电荷释放在保持电容上。这会导致保持模式直流失调电压，称为基底误差，如图 4 所示。如果 SHA 驱动 ADC，基底误差表现为直流失调电压，可以通过系统校准予以消除。如果基底误差与输入信号电平相关，则由此产生的非线性会增加保持模式下的失真。

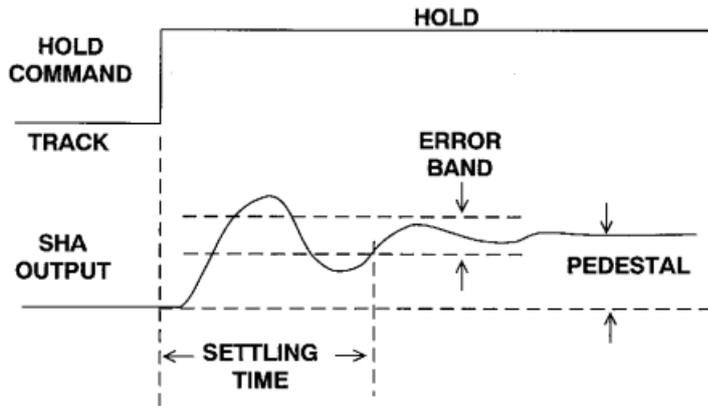


图 4：跟踪转保持模式的基底、瞬变和建立时间误差

通过提高保持电容的值，相应地延长采集时间并降低带宽和压摆率，可以减小基底误差。

从跟踪切换到保持会产生瞬变，SHA 输出建立到额定误差带范围以内所需的时间称为保持模式建立时间。偶尔也会规定开关瞬变的峰值幅度。

在 SHA 的技术规格中，容易误解、经常滥用的可能是那些包含孔径的规格。SHA 最基本的动态特性是它能够快速断开保持电容与输入缓冲放大器的连接，这一动作所需的极短（但非零）时间间隔称为孔径时间。SHA 内部时序的各种相关量如图 5 所示。

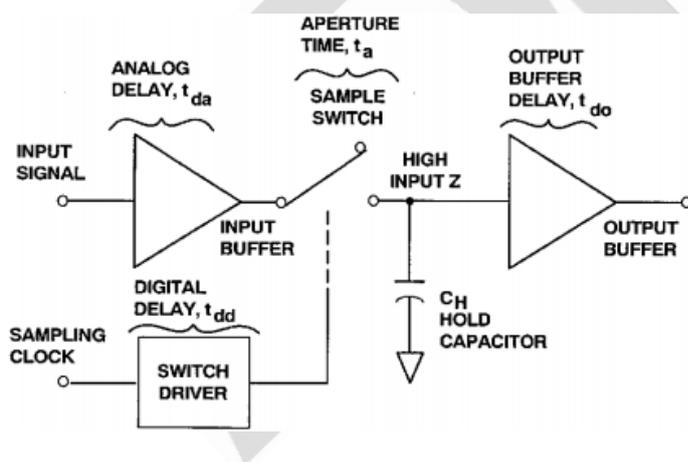


图 5：说明内部时序的 SHA 电路

此间隔结束时保持电压的实际值取决于输入信号和开关操作本身引入的误差。图 6 显示对一个任意斜率的输入信号应用保持命令时的情况（为清楚起见，忽略采样转保持基底和开关瞬变）。最终保持的值是输入信号的延迟版本，并且是开关孔径时间范围内的平

均值，如图 6 所示。该一阶模型假设，保持电容上的最终电压值约等于应用于开关的信号在开关从低阻抗变为高阻抗的时间间隔(t_a)内的平均值。

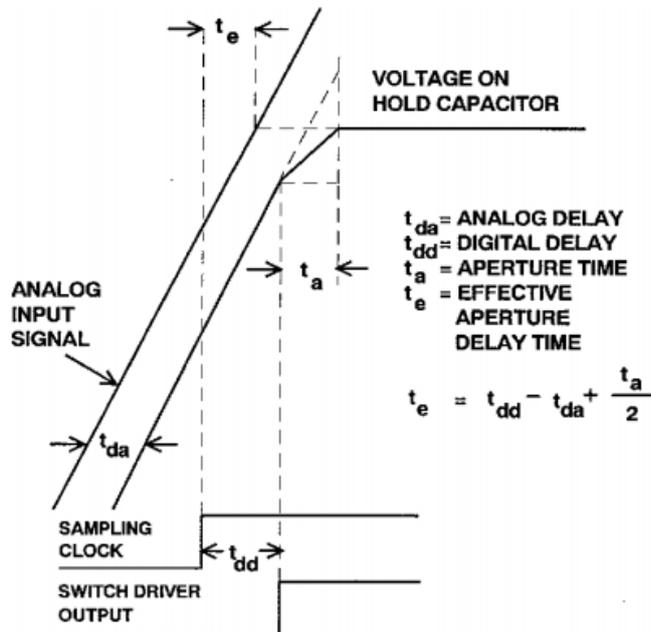


图 6: SHA 波形

该模型显示，开关断开所需的有限时间(t_a)相当于在驱动 SHA 的采样时钟中引入一个小延迟。此延迟为常数，可以是正值，也可以是负值，称它为有效孔径延迟时间、孔径延迟时间或孔径延(t_e)迟，定义为前端缓冲器的模拟传播延迟(t_{da})与开关驱动器数字延迟(t_{dd})的时间差加上孔径时间的一半($t_a/2$)。有效孔径延迟时间通常为正值，但如果孔径时间的一半($t_a/2$)与开关数字延迟(t_{dd})之和小于通过输入缓冲器的传播延迟(t_{da})，则它也可以是负值。因此，孔径延迟规格确定了输入信号相对于采样时钟沿的实际采样时间。

孔径延迟时间可以通过如下方法来测量：对 SHA 应用一个双极性正弦波信号，然后调整同步采样时钟延迟时间，使得 SHA 的输出在保持期间为 0，输入采样时钟沿与输入正弦波实际零交越点之间的相对延迟即为孔径延迟时间，如图 7 所示。

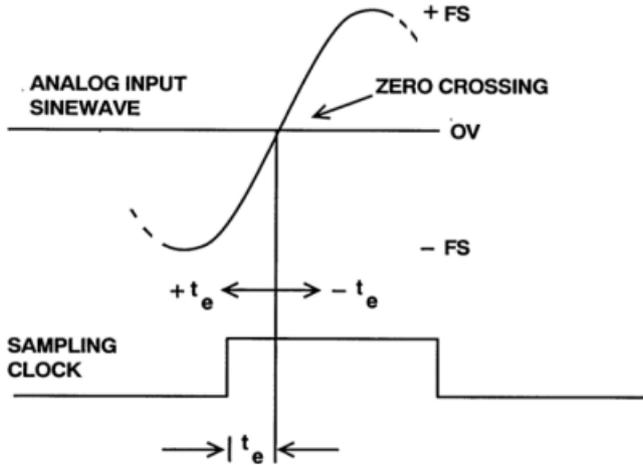


图 7：有效孔径延迟时间

孔径延迟不产生误差，但会在采样时钟输入或模拟输入（取决于其符号）中起固定延迟作用。如果孔径延迟中存在样本间变化（孔径抖动），则会产生相应的电压误差，如图 8 所示。在开关断开的时刻，这种样本间变化称为孔径不确定性或孔径抖动，通常用均方根皮秒(ps rms)来衡量。相应输出误差的幅度与模拟输入的变化速率有关。针对既定的孔径抖动值，孔径抖动误差随着输入 dv/dt 提高而提高。

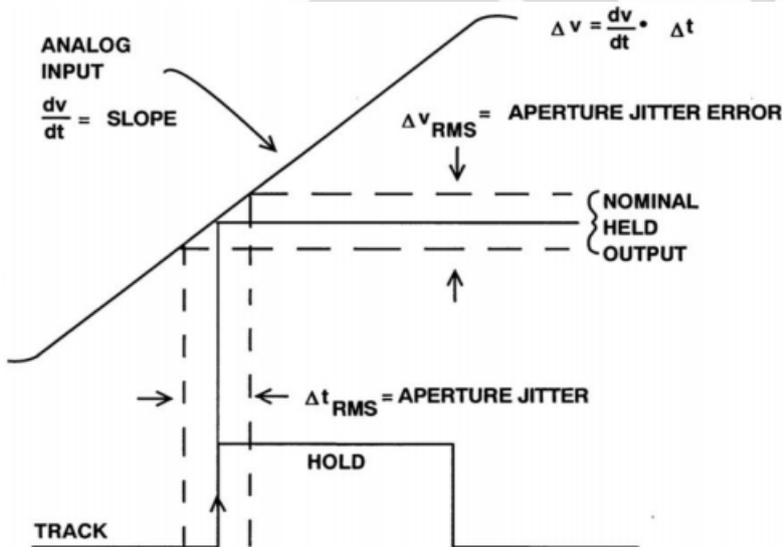


图 8：孔径或采样时钟抖动对输出的影响

测量 SHA 的孔径抖动误差需要无抖动的采样时钟和模拟输入信号源，因为这些信号上的抖动无法与 SHA 孔径抖动本身区别开来，抖动的影响是相同的。事实上，系统中的

最大时序抖动误差源往往在 SHA（或采样 ADC）之外，由于高噪声或不稳定的时钟、信号布线不当以及没有采用良好的接地和去耦技术而导致。SHA 孔径抖动一般小于 50 ps rms，高速器件则小于 5 ps rms。

图 9 显示了总采样时钟抖动对数据采样系统信噪比(SNR)的影响。总均方根抖动由多个部分组成，实际 SHA 孔径抖动常常是最不重要的一个部分。

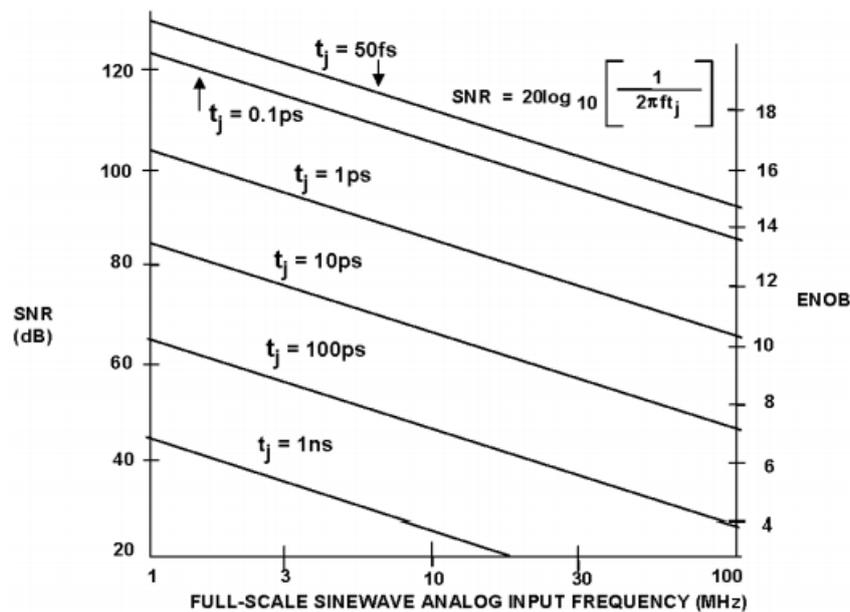


图 9：采样时钟抖动对 SNR 的影响

保持模式规格

在保持模式下，保持电容、开关和输出放大器的缺陷会引起误差。如果有漏电流流入或流出保持电容，电容会缓慢充电或放电，其电压将发生图 10 所示的变化，这种效应称为 SHA 输出电压下降，用 $V/\mu\text{s}$ 表示。压降可能由污秽 PC 板的泄漏（使用外部电容时）或易泄漏的电容引起，但最常见的原因是半导体开关的漏电流和输出缓冲放大器的偏置电流。可以接受的压降值是：在它驱动的 ADC 转换期间，SHA 的输出变化幅度不超过 $1/2$ LSB 但该值高度依赖于 ADC 架构。如果压降是由反偏结（CMOS 开关或 FET 放大器栅极）的漏电流引起，则芯片温度每升高 10°C ，它就会提高一倍，这意味着从 $+25^\circ\text{C}$ 到 $+125^\circ\text{C}$ ，压降会提高 100 倍。

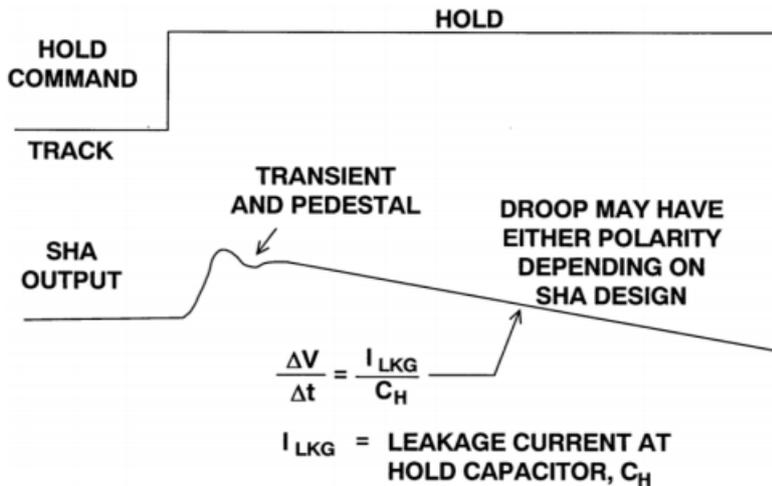
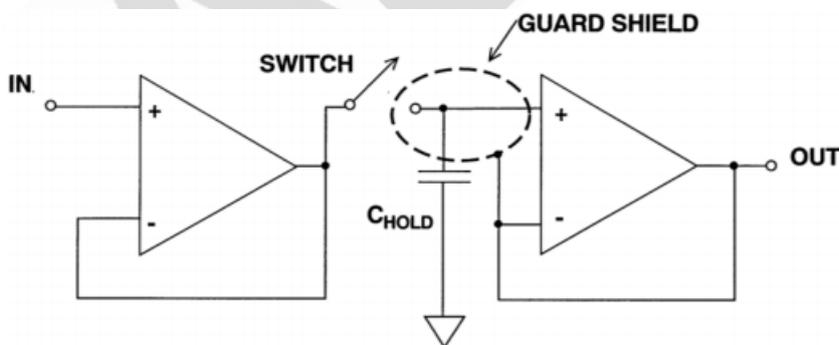


图 10: 保持模式压降

通过提高保持电容的值可以降低压降，但这也会延长采集时间并降低跟踪模式下的带宽。在作为 ADC 一部分的现代 IC 采样保持电路中，常常利用差分技术来减小压降效应。

当 SHA 使用小保持电容时，即使很小的漏电流也可能引起严重的压降。PCB 的漏电流可以通过巧妙地使用保护环而最小化。保护环是一个由导体构成的环，它包围一个敏感节点并处于等电位。由于其间没有电压，因此不会有漏电流流动。在同相应用中，如图 11 所示，必须将保护环驱动到正确的电位，但虚地上的保护环可以处于实际的地电位 (图 12)。材料的表面电阻远低于其体电阻，因此 PCB 两端必须都放上保护环；在多层板上，所有层都应当有保护环。



Note: Be Sure a Guard Shield is in Each Layer of the PCB

图 11: 用与保持电容相同的电压驱动防护罩以降低电路板泄漏

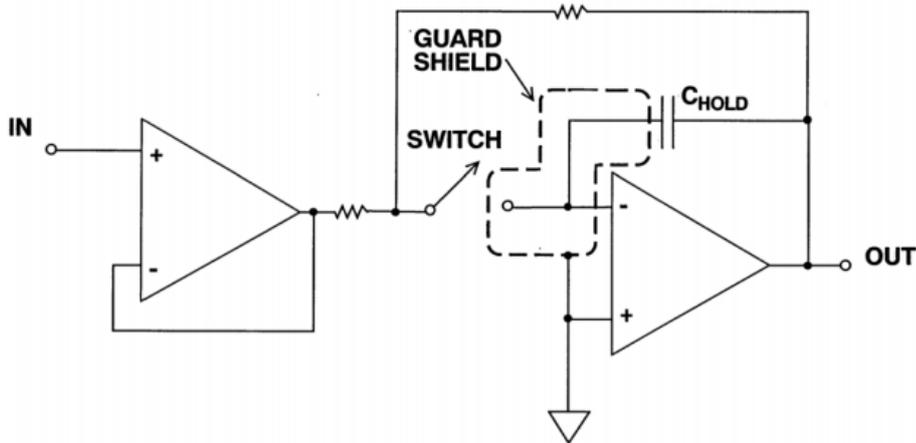


图 12: 在虚地 SHA 设计上使用防护罩

SHA 保持电容的泄漏必须很低，但还有一个特性也同样重要，这就是低电介质吸收。如果一个电容充电、放电然后开路，它会恢复一些电荷，如图 13 所示。这种现象称为“电介质吸收”，它会导致上一个样本的残余部分污染新样本，并且可能引入数十甚至数百 mv 的随机误差，因此可能会使 SHA 的性能严重降低。

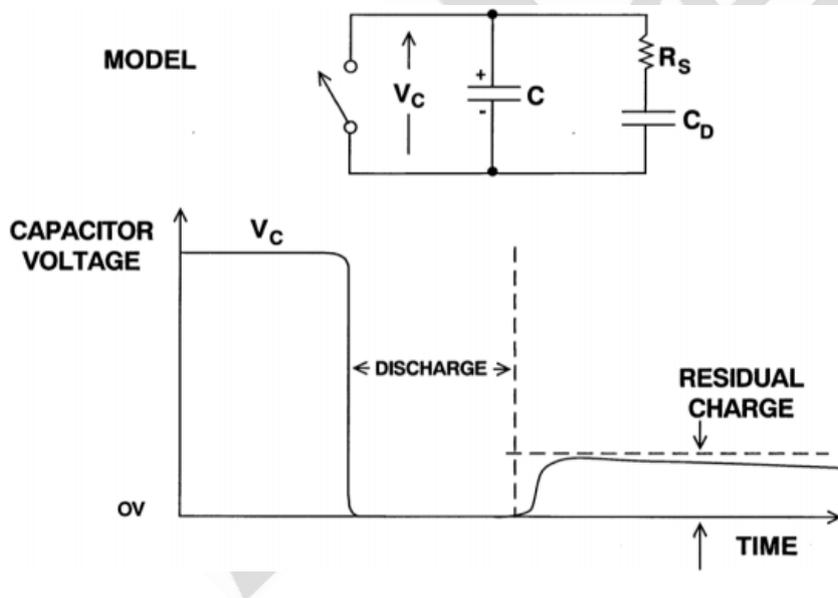


图 13: 电介质吸收

不同的电容材料具有不同的电介质吸收量，电介质电容最糟糕（泄漏也很高），某些高 K 陶瓷电容也很差，但云母、聚苯乙烯和聚丙烯电容一般较好。遗憾的是，产品批次不同，电介质吸收也会有所不同，有时连聚苯乙烯和聚丙烯电容也可能受批次影响。因此，

购买用于 SHA 应用的电容时，增加 30-50%的预算是明智的，并且应当购买制造商保证它具有低电介质吸收的器件，而不是购买一般认为它具有这种特性的某类电容。

SHA 的杂散电容可能会让少量交流输入在保持期间耦合到输出，这种效应称为馈通，取决于输入频率和幅度。如果馈通到 SHA 输出的信号幅度大于 $1/2\text{LSB}$ ，ADC 就会发生转换错误。

许多 SHA 中，失真仅在跟踪模式下规定。跟踪模式失真常常远优于保持模式失真。跟踪模式失真不包括开关网络引起的非线性，当驱动 ADC 时，可能无法反映 SHA 的性能。现代 SHA，特别是高 SHA 速，通常规定两种模式下的失真。跟踪模式失真可以利用模拟频谱分析仪测量，但保持模式失真应当利用图 14 所示的数字技术进行测量。将一个频谱纯净的正弦波应用于 SHA，一个低失真高速 ADC 在保持时间快要结束时对 SHA 输出进行数字化。然后对 ADC 输出执行 FFT 分析，并计算失真成分。

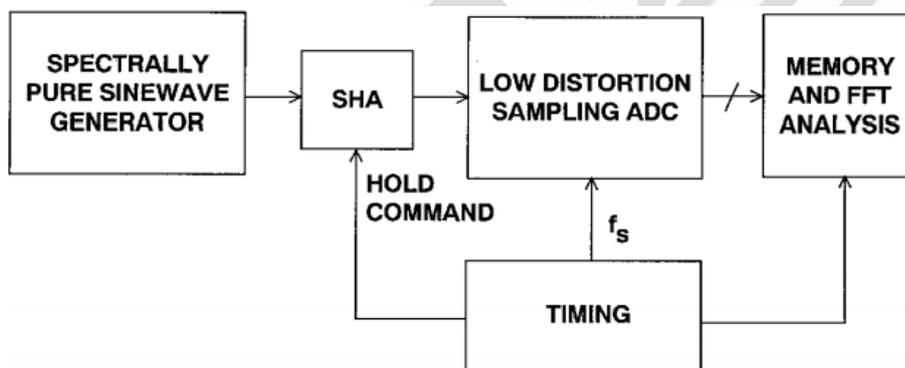


图 14：测量保持模式失真

在跟踪模式下，SHA 噪声的规定和测量与放大器相似。峰峰值保持模式噪声利用示波器测量，然后除以 6.6 转换成均方根值。保持模式噪声可以用频谱密度 $nV/\sqrt{\text{Hz}}$ 来表示，或者用额定带宽内的均方根值来表示。除非另有说明，保持模式噪声必须与跟踪模式噪声合并以得出总输出噪声。有些 SHA 规定的是总输出保持模式噪声，其中包括跟踪模式噪声。

保持转跟踪模式规格

当 SHA 从保持切换到跟踪时，它必须重新获取输入信号（输入信号在保持模式期间可能已经发生满量程跃迁）。获取时间是指 SHA 从保持切换到跟踪时，重新获取信号并达到目标精度所需的时间间隔。该时间间隔开始于采样时钟沿的 50%点，结束于 SHA 输出电压落在额定误差带以内时（通常规定 0.1%和 0.01%时间）。某些 SHA 还规定相对于保持电容电压的获取时间，而忽略输出缓冲器的延迟和建立时间。保持电容获取时间规格适用于高速应用，在这种应用中，必须为保持模式分配可能的最长时间。当然，输出缓冲器建立时间必须显著小于保持时间。

获取时间可以利用现代数字采样示波器(DSO)或数字荧光示波器(DPO)直接测量，这些示波器对大过驱不敏感。

SHA 架构

像运算放大器一样，SHA 架构有许多种，我们将讨论最常见的几种架构。最简单的 SHA 结构如图 15 所示。输入信号由放大器缓冲，然后施加于开关。输入缓冲器可以是开环或闭环，可以提供或不提供增益。开关可以是 CMOS、FET 或双极性（使用二极管或晶体管），由开关驱动器电路控制。保持电容上的信号由输出放大器缓冲。有时将这种架构称为开环架构，因为开关不在反馈环路之内。注意，全部信号电压均施加于开关，因此它必须具有出色的共模特性。

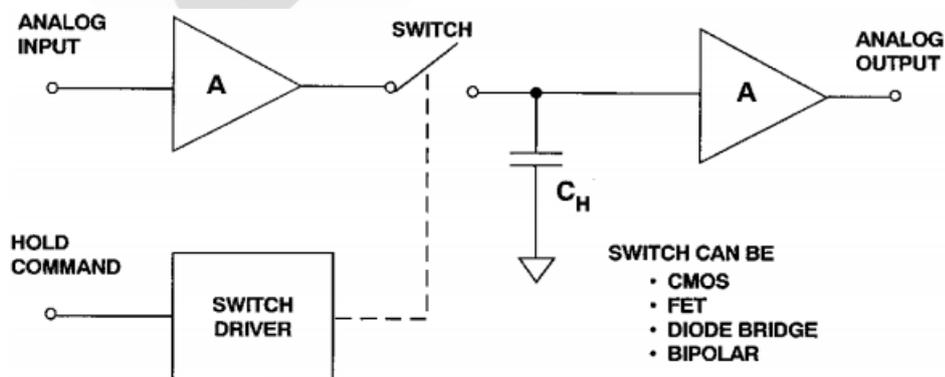


图 15: 开环 SHA 架构

图 16 显示了这种架构的一个实现方案，其中开关使用简单的二极管桥。在跟踪模式下，电流流经二极管桥 D1、D2、D3 和 D4。对于快速压摆的输入信号，保持电容通过电流 I 充电和放电。因此，保持电容的最大压摆率等于 I/C_H 。使电桥驱动电流反向会导致电桥反向偏置，从而将电路置于保持模式。利用保持输出信号自举关闭脉冲可以使共模失真误差最小，这对于该电路至关重要。反偏电桥电压等于 D5 和 D6 的正向压降加上串联电阻 R1 和 R2 上的压降。该电路速度非常快，特别是如果输入和输出缓冲器为开环跟随器，并且二极管为肖特基二极管。关闭脉冲可以利用高频脉冲变压器或电流开关产生，如图 17 所示。该电路可以在任何采样速率下使用，因为二极管开关脉冲直接耦合到电桥。自上世纪 60 年代中期起，这种电路的不同形式就已用于高速 PC 板、模块式、混合和 IC SHA。

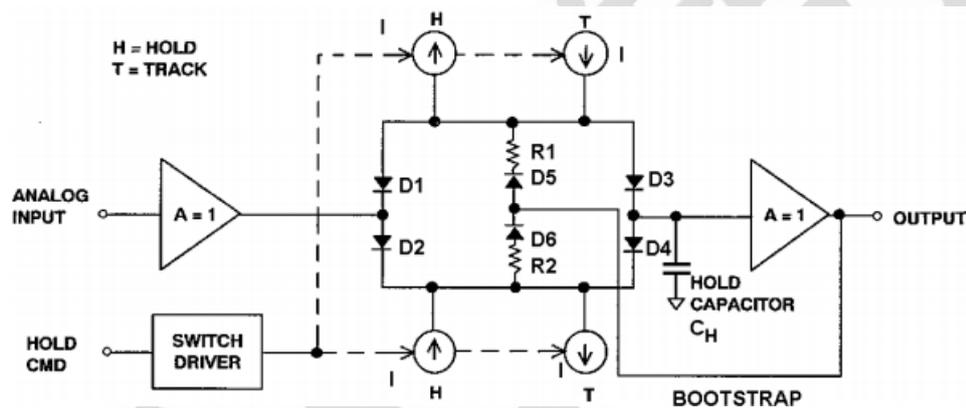


图 16: 使用二极管桥开关的开环 SHA

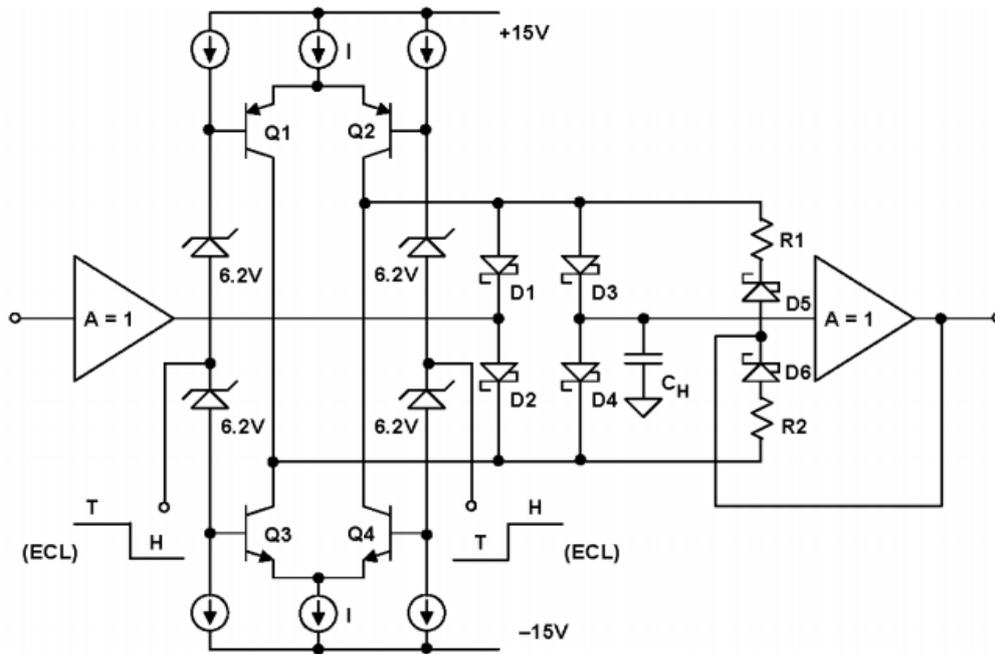


图 17: 开环 SHA 实现方案

图 18 所示的 SHA 电路是经典的闭环设计，已被许多 CMOS 采样 ADC 采用。由于开关始终在虚地工作，因此开关上不存在共模信号。

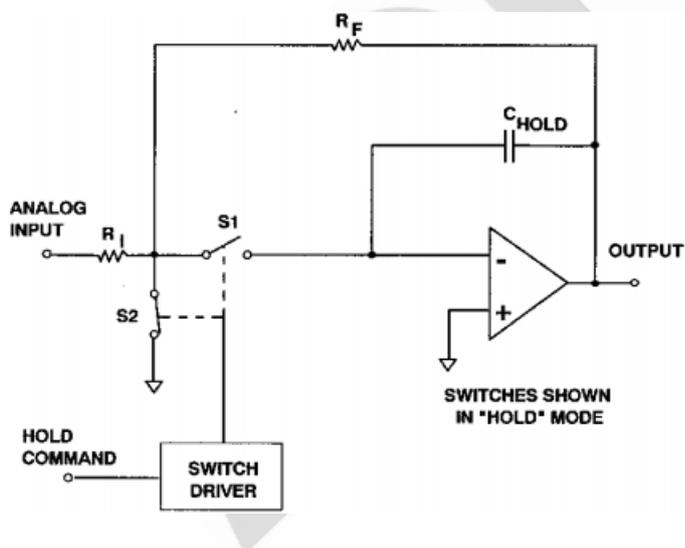


图 18: 基于反相积分器的闭环 SHA，在求和点切换

开关 S2 是必需的，用以保持恒定的输入阻抗，防止输入信号在保持期间耦合到输出端。在跟踪模式下，SHA 的传递特性由运算放大器决定，开关不会引入直流误差，因为开关位于反馈环路之内。利用图 19 所示的差分开关技术，可以将电荷注入的影响降至最小。

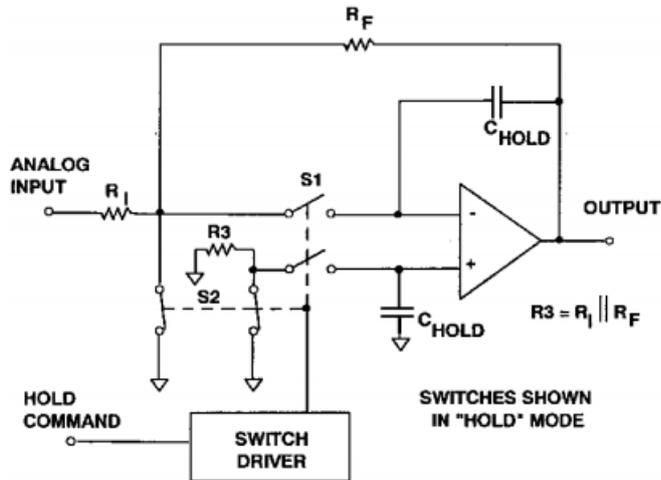


图 19: 差分开关减少电荷注入

IC ADC 的内置 SHA 电路

CMOS ADC 由于低功耗和低成本而颇受欢迎。使用差分采样保持器的典型 CMOS ADC 的等效输入电路如图 20 所示。图中开关显示为跟踪模式，但应注意，它们以采样频率断开和闭合。16pF 电容代表开关 S1 和 S2 的有效电容以及杂散输入电容。Cs 电容(4pF)是采样电容，Ch 电容是保持电容。虽然输入电路完全是差分式，但该 ADC 结构既可以单端方式驱动，也可以差分方式驱动。然而，使用差分变压器或差分运放驱动一般可以获得比较好的性能。

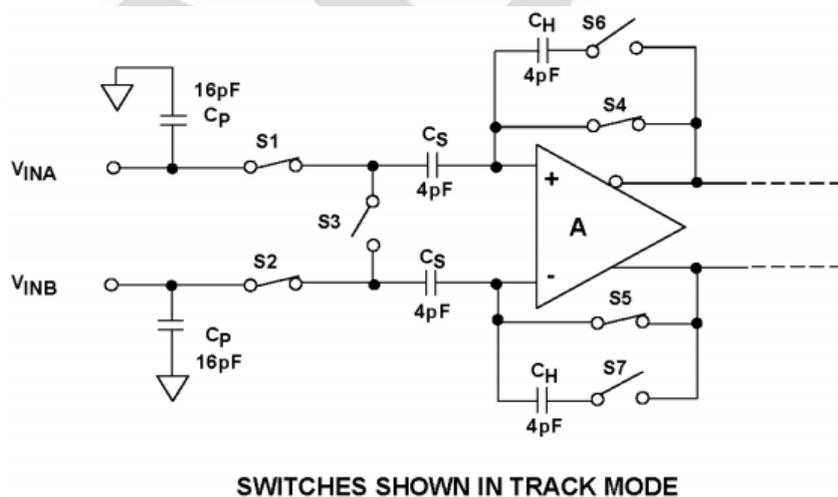


图 20: 典型开关电容 CMOS 采样保持器的简化输入电路

在跟踪模式下，差分输入电压施加于 C_S 电容。当电路进入保持模式时，采样电容上的电压转移到 C_H 保持电容上，由放大器 A 缓冲（开关由适当的采样时钟相位控制）。当 SHA 返回跟踪模式时，输入源必须将 C_S 上的电压充电或放电到新的输入电压。的这种充电和放电动作（求一定时间内的平均值，以给定的采样频率 f_s 进行），使输入阻抗呈现为一个有利的阻性元件。然而，如果在采样周期($1/f_s$)内分析该动作，输入阻抗将是动态的，必须考虑输入驱动源的一些注意事项。

输入阻抗的阻性部分可以通过计算 C_H 从输入驱动源获取的平均电荷而算出。可以看出，如果在开关 S1 和 S2 打开之前让 C_S 完全充电至输入电压，那么进入输入端的平均电流就像是在输入端之间连接了一个等于 $1/C_S f_s$ 的电阻。由于 C_S 仅为数 pF，因此当 $f_s=10\text{MSPS}$ 时，阻性部分通常大于数 k Ω 。

图 21 显示了 1995 年推出的 12 位 41 MSPS ADC [AD9042](#) 采用的输入 SHA 的简化电路。[AD9042](#) 采用高速互补双极性工艺(SFCB)制造。电路包括两个独立的并联 SHA，构成全差分工作方式，图中仅显示了一半电路。全差分工作方式可以减小下降率引起的误差，同时还能降低二阶失真。在跟踪模式下，晶体管 Q1 和 Q2 提供单位增益缓冲。当电路被置于保持模式时，Q2 的基极电压被拉至负值，直到被二极管 D1 箝位。片内保持电容 C_H 的标称值为 6pF。Q3 与 C_F 一起提供输出电流自举功能，并减小 Q2 的 V_{BE} 变化，进而降低三阶信号失真。20MHz 时，跟踪模式 THD 通常 -93dB 为。在时域中，12 位精度的满量程获取时间为 8ns。在保持模式下，Q3 和 A=1 缓冲器的电压自举动作与 Q2 的低馈通寄生效应一起，使信号相关的基底变化最小化。12 位精度的保持模式建立时间为 5ns。在 50MSPS 时钟速率和 20MHz 输入信号下，保持模式 THD 为 -90dB。

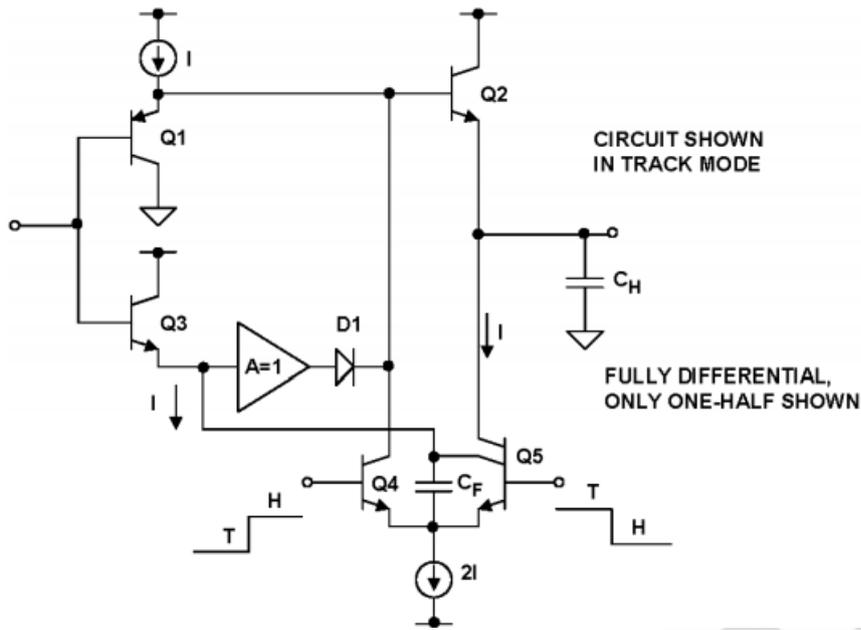


图 21: 1995 年推出的 12 位 41 MSPS ADC [AD9042](#) 采用的 SHA

图 22 所示为近年推出的 14 位 105 MSPS ADC [AD6645](#) 中使用的差分 SHA 一半电路的原理示意图。在跟踪模式下，Q1、Q2、Q3 和 Q4 形成一个互补射极跟随器缓冲器，驱动保持电容 C_H 。在保持模式下，Q3 和 Q4 的基极极性反转，箝位在低阻抗，从而关闭 Q1、Q2、Q3 和 Q4，导致输入端信号与保持电容之间产生双重隔离。如前所述，箝位电压由保持输出电压自举，以便最大程度地减小非线性效应。

跟踪模式线性度主要取决于 C_H 充电时 Q3 和 Q4 的 V_{BE} 调制。保持模式线性度取决于跟踪模式线性度和跟踪转保持时的非线性误差，引起该非线性误差的原因是 Q3 和 Q4 的基极电压切换不平衡，以及由此导致的 Q3 和 Q4 关闭时通过其基极-射极结注入的电荷不平衡。

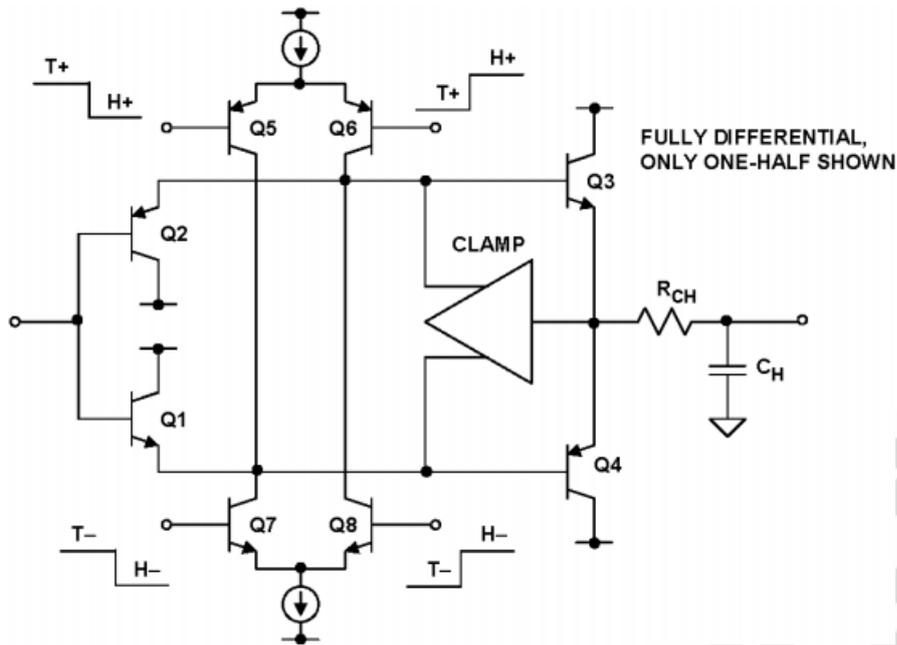


图 22: 200 年推出的 14 位 105 MSPS ADC [AD6645](#) 采用的 SHA

SHA 应用

目前来说, SHA 的最大应用是驱动 ADC。大多数用于信号处理的现代 ADC 都是采样 ADC, 内置针对转换器设计而优化的 SHA。采样 ADC 的直流和交流性能均是完全明确的, 只要有可能, 就应当取代分立式 SHA/ADC 组合。仅在极少的情况下, 特别是那些要求宽动态范围和低失真的应用, 使用分立组合可能是有利的。

图 23 显示了一个类似的应用, 它利用低失真 SHA 来降低代码相关 DAC 毛刺的影响。就在要将新数据锁存至 DAC 之前, 将 SHA 置于保持模式, 从而将 DAC 开关毛刺与输出隔离。SHA 产生的开关瞬变与代码无关, 并且以更新频率出现, 因此很容易予以滤除。这种技术在低频时可能有用, 可以改善 DAC 的失真性能, 但对于专门为 DDS 应用而设计、更新速率为数百 MHz 的高速低毛刺低失真 DAC, 价值则不大。

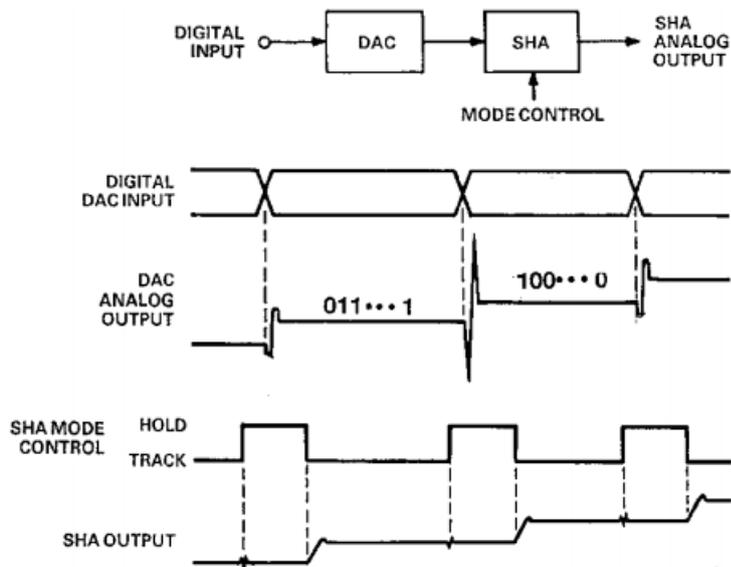


图 23: SHA 用作 DAC 限变器

在同步采样系统中，与每通道使用一个 ADC 的方案相比，使用多个 SHA、一个模拟多路复用器和单个 ADC 的方案往往更具经济性（图 24）。同样，在数据分配系统中，可以使用多个 SHA 将单 DAC 的顺序输出路由到多个通道，如图 25 所示，但这种做法不太普遍，因为使用多个 DAC 的方案通常更好。

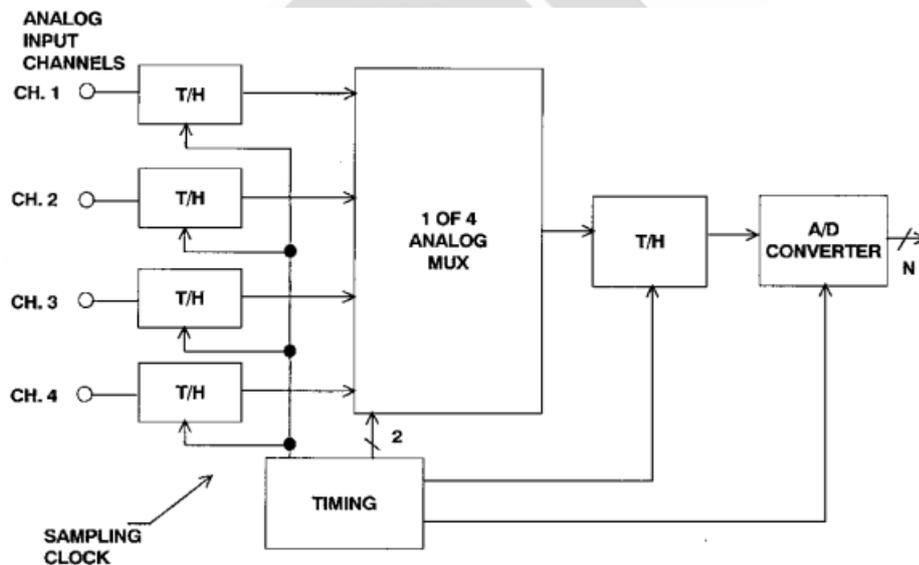


图 24: 使用多个 SHA 和单个 ADC 的同步采样

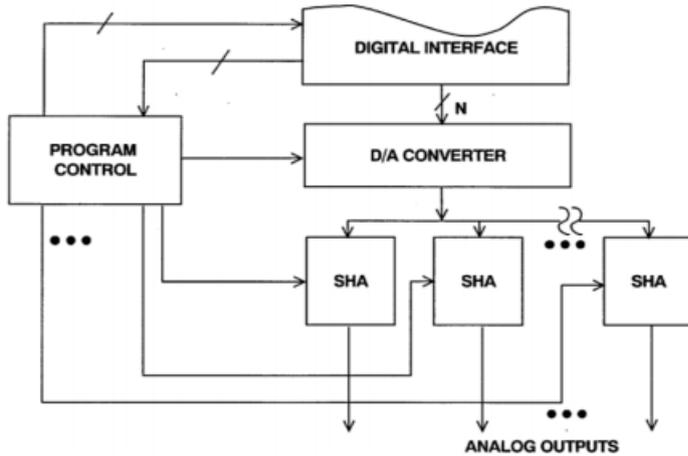


图 25: 使用多个 SHA 和单个 DAC 的数据分配系统

SHA 的最后一个应用如图 26 所示: 在一个数据采样系统中, 多个 SHA 级联起来以产生模拟延迟。在 SHA 1 的保持间隔时间快要结束之前, SHA 2 被置于保持模式。因此, 总流水线延迟时间大于采样周期 T 。这种技术常常用于多级流水线式分级 ADC 中, 以提供连续多级的转换延迟。在流水线式 ADC 中 50%, 占空比的采样时钟很普遍, 因而可以利用交替的时钟相位来驱动流水线中的各 SHA (流水线式 ADC 详见教程 [《ADC 架构 V: 流水线式分级 ADC》](#))。

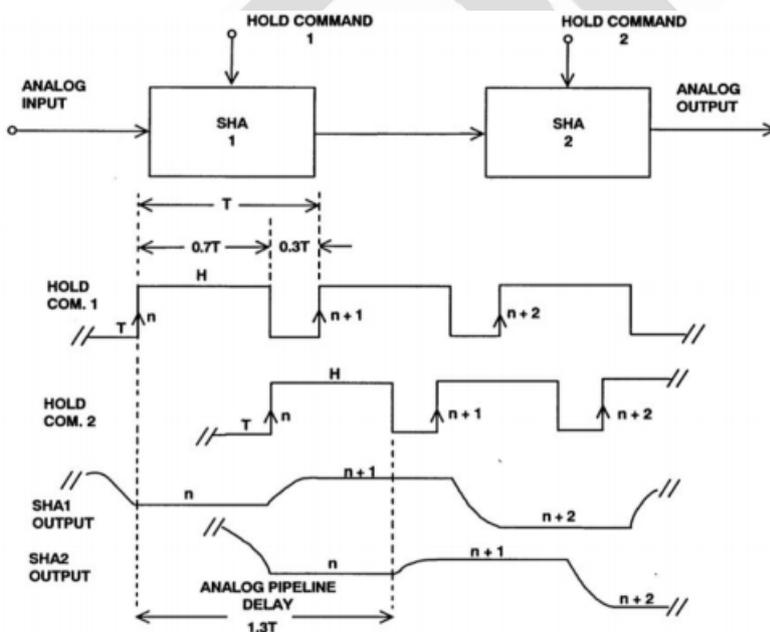


图 26: 用于产生模拟流水线延迟的 SHA

使用 IC 采样保持放大器

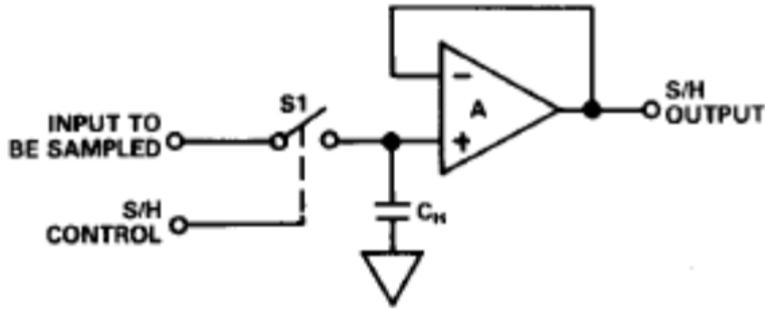
采样保持(S/H)功能是数据采集和模数转换过程的基础。S/H 放大器电路有两种不同的基本工作状态。在第一种状态下，对输入信号采样，同时传送到输出端（采样）。在第二种状态下，保持最后一个采样值（保持），直到再次对输入采样。在大多数应用中，S/H 用作数据采集系统中模数转换器的前端。这样使用时，S/H 主要用于在执行模数转换所需的时间段内，让模拟输入电压电平保持恒定不变。

具体来说，S/H 是数据转换系统必须具备的系统功能模块，所用的模数转换器在进行转换期间，必须提供恒定且准确的模拟输入。逐次逼近类型模数转换器就是这种用法的一个示例。理想情况下，S/H 会在接到 HOLD 命令之前冻结最后的瞬时输入电压，并将该电压原样提供给模数转换器，随后由模数转换器将该电压转换成相应的数字。实际上，在实施 S/H 的过程中会涉及许多误差因素。所以，本应用笔记将探讨这些基本考量因素，以及具有代表性的器件拓扑和应用。

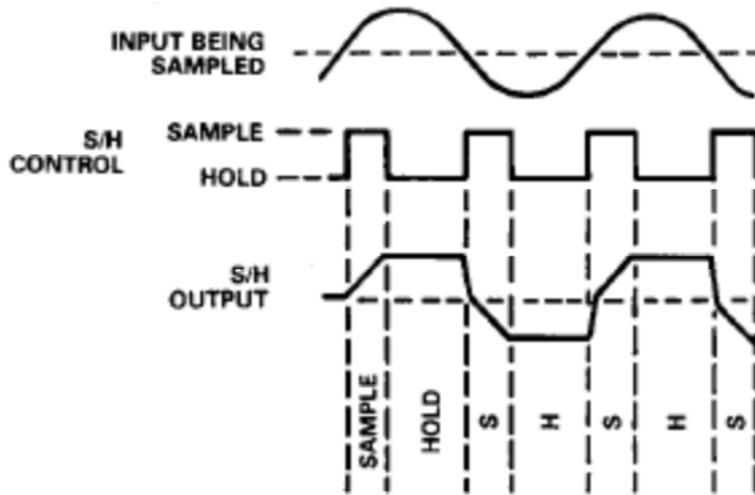
S/H 放大器的基本操作

图 1 显示了 S/H 的一些基本信息，图 1a 是基本的 S/H 电路结构。图中显示，待数字化的模拟输入信号直接传输至电子开关 S1。根据 S1 的状态，该信号将传输至保持电容 C_H ，或者被拦截。开关 S1 的状态由 S/H 控制线控制，该控制线是一个数字输入。

当 S1 关闭时，传输至 C_H 的输入信号由 A1 缓存。该信号也可能传输至 S/H 输出端（本次讨论不考虑低通滤波器可能造成的影响）。如果在输入变化（与交流波形一样）期间，S1 保持连接一段时间，则该操作也可称为跟踪；也就是说，任何输入变化都会传输至输出。



a. 基本的 S/H 电路，由开关、保持电容和缓冲放大器组成



b. S/H 波形，显示被采样的输入（顶部）、S/H 控制（中间）和 S/H 输出（底部）

图 1: S/H 基本信息

当 S1 打开时，最后的输入电压值作为电荷保留在 C_H 上；也就是保持电压不变。A1 继续读取该电压，直到进入下一个采样周期。图 1b 通过输入、输出和控制波形展示了此操作。S/H 电路用于实现各种信号处理功能；不仅可用于实现模数接口，还可用于实现更通用的模拟存储器功能，例如自稳零型放大器。

图 1b 中所示的 S/H 工作波形几乎是理想波形，假设开关、跟踪、保持特性和负载源抗扰性均是理想状态。但实际上，在该器件的各个状态（四个状态）下，都存在 S/H 误差。这些状态包括：

1. 保持采样转换

2. 采样间隔
3. 采样保持转换
4. 保持间隔

很明显，这些误差对很多应用可能非常重要，对于高精度应用（>10 位，或精度为 0.1% 或更低）则全部都很重要。具体的定义和说明如下文所述。

保持采样转换误差

当器件从保持状态切换至采样状态时，这些误差与时间间隔相关。由于自最后一次采样电压之后，输入可能发生了很大变化（例如，可能是满量程），因此 S/H 必须重新获取输入信号，并再次在其额定精度范围内稳定下来。如图 2 所示。

采集时间是 S/H 在收到采样命令后采集并跟踪输入信号所需的时间。通常指定为满量程电平变化（-10V 至+10V，反之亦然），因为这代表了获取任意电平信号所需时间的最坏情况。输出必须假设所需的电平在额定误差范围内，与转换或采样所需的精度水平一致。例如，可能是 0.01% 或 0.1%。图 2a 所示为保持采样采集波形。

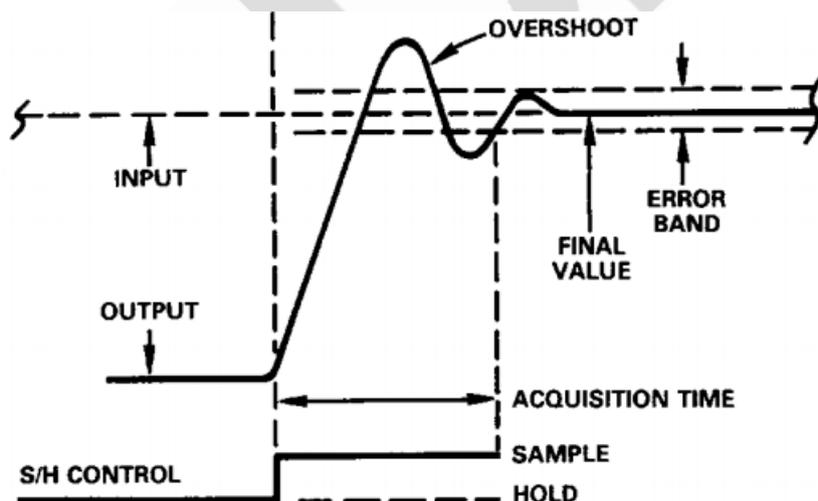


图 2a：保持采样节点采集时间，显示新信号采集（顶部）和 S/H 控制（底部）

对于大幅度的保持采样变化，采集时间的大部分都是初始摆动间隔。在这个高误差间隔

之后，输出可能过冲，随之将稳定在 $\pm 2\text{mV}$ 额定精度范围内；以 20V 刻度为例，该范围为 $\pm 0.01\%$ 。注意，当信号稳定并保持在额定误差范围内时，采集时间结束。

采集时间是保持采样误差的主要组成部分，也是决定转换系统 S/H 部分工作速度的主要因素。典型时间为约几毫秒至 0.01% 或 0.01% 或更高的精度。采集时间很大程度上取决于所用的保持电容的值，因为该电容（通常）会影响压摆率。

图 2b 所示为保持采样瞬态，即从保持模式转换至采样模式时产生的切换瞬态。注意，即使之前的保持电压和新样本之间相差不大，也会出现这种瞬变。由于这种瞬变幅度可能远远超过 S/H 额定精度（可能多达几百毫伏），在确定输出电压样本有效之前，必须留出足够的时间让这种瞬变消失。

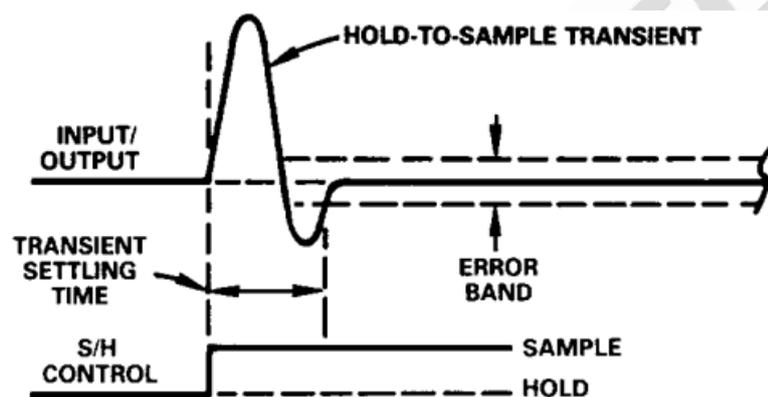


图 2b: 保持采样模式瞬态和建立时间

由于该瞬态的建立时间会延续到保持采样命令开始之后，系统时序必须允许此种情况。但是，实际上，与保持采样瞬态相关的建立时间通常都远远短于采集时间。因此，相当于最坏情况（或采集时间）的时间间隔通常都会自动考虑保持采样瞬态误差及其相关的建立时间。

采样误差

在采样间隔内，S/H 器件会像运算放大器一样跟踪输入信号。事实上，大部分 S/H 器件要么是专用运算放大器，要么是使用运算放大器（其特性非常适合 S/H 使用）构建。因

此，由于大部分 S/H 放大器都会降低至或等同于运算放大器电压跟随器或反相器，所以可以采用类似方法来计算它们的采样模式误差。

S/H 中的纯比例误差通常可以被视为良性误差，因为它们大体上可以通过校准调整来消除。通常情况下，要执行此操作，模数基准源是一个非常方便的点，这样可以一次性消除所有系统比例误差。当然，这种方法适合传统用法，例如一个模数转换器一个 S/H。如果模数转换器之前有多个 S/H，或者如果 S/H 只是其他电路的一部分，则需要通过增益比例电阻来调节局部增益。

在任何情况下，都必须了解最坏情况与理想 S/H 比例系数之间的偏差，并在计算误差预算时考虑这种偏差。通常情况下，比例系数都为 $1 \pm 0.001\%$ 或更低的误差。也就是与电压跟随器连接相关的增益误差类型。

在使用增益电阻的情况下，例如当 S/H 用于同相增益而不是单位增益时，电阻公差会使这个误差明显增大。对于反相模式操作 S/H，无论如何，都必须使用增益比例电阻。无论在哪种情况下，在 S/H 芯片上安装应用电阻都是非常有利的，因为它们将获得更高的预调精度，以及最大偏移的技术规格。对于器件，近来的趋势是采用预调电阻来支持常用的增益+1、+2 等。

注意，虽然可以通过系统比例校准来调节实际增益（比例）误差，但增益非线性并不等同于非可调误差。

增益非线性是一个临界 S/H 误差，它表现为与理想传输特性之间的偏差。此误差分量是器件在其额定信号输出范围（通常为 $\pm 10V$ ）内运行时，与理想 S/H 增益数值（例如+1、+2、-1、-2 等）之间的动态偏差。其最大误差分量通常是输入级共模误差，这是跟随器类型连接中的典型情况（总体最普遍）。在反相器类型连接中，共模误差消失，但电阻匹配误差会成为误差源。

在 $\pm 10V$ 信号范围内，S/H 非线性典型值为 0.001% 至 0.01% 。显然，为了保持系统性能，

S/H 非线性必须优于使用的模数转换器所确立的整体非线性。对于 S/H 非线性，可以遵循一个很好的法则：数值应比转换器的基本分辨率高一个数量级。例如，0.01% 或更好的 S/H 非线性度与 10 位转换器配合使用。注意，用户可能需要根据 S/H 的共模抑制比 (CMRR) 计算非线性，例如 80dB CMRR 相当于 0.01% 的非线性。

偏移是指 S/H 输入接地时输入和输出之间的直流偏移。通常通过可选的微调电位计将其调节至零。典型的直流偏置规格为 $\pm 2\text{mV}$ 或以下。对于 S/H 应用，自身的纯偏移不是问题，因为在系统整体校准过程中，始终可以将其调节至零。也可以进行模数转换器微调校准时，以手动方式或通过软件完成。

失调温度漂移则是另一回事，因为很难将其与实际信号区分开来。除非包含自稳零校准周期，否则 S/H 失调漂移误差分量无法降低，会随着温度变化产生误差。S/H 漂移的典型值为 1 至 $10\mu\text{V}/^\circ\text{C}$ ，无论是要求更高的精度，还是需要广泛的温度范围，此误差都属于严重误差。

S/H 失调电压也会随电源电压而变化，这一点也应该说明。通常，电源抑制约为 80dB 或 $100\mu\text{V}/\text{V}$ 。对于调节良好的电源或使用自动校准周期时，此参数通常不太重要。

建立时间适用于输入电压快速变化的采样模式。跟踪输入信号时，S/H 受到动态限制，这与其他运算放大器配置类似。

建立时间由压摆率和小信号带宽决定，如果步长大幅变化，压摆率是主因。典型压摆率为 5 至 $10\text{V}/\mu\text{s}$ ，建立时间为 5-10 μs 。正如采集时间部分所述，确切规格很大程度上取决于保持电容。

采样保持转换误差

孔径时间或孔径延迟是指发出保持命令到实际打开 S/H 开关经过的时间。对于快速变化的输入电压，在确定实际保持电压的过程中会产生误差。由此产生的电压误差将等于有效孔径时间间隔内输入电压的变化。

图 3 大体显示了与孔径时间相关的误差，图 3a 显示孔径延迟如何在保持电压内产生误差。对于快速变化的输入电压，在开关从开启到关闭期间，S/H 电压以接近 $1/2\text{LSB}$ 的幅度变化。

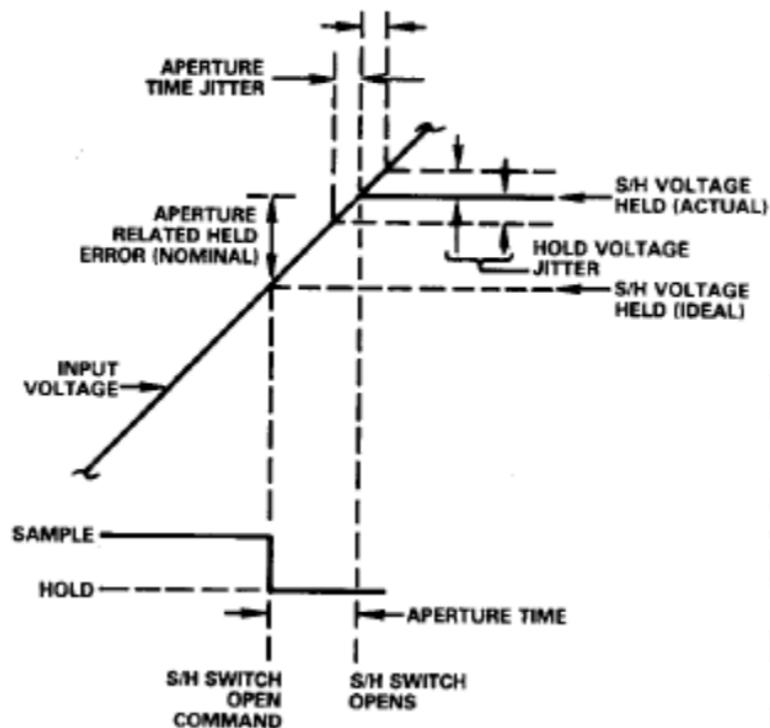


图 3a: 与孔径相关的时间/电压误差

模拟输入/输出（顶部），采样/保持驱动（底部）。

作为孔径时间影响的一般示例，考虑变化速率（信号斜率） $1\text{V}/\mu\text{s}$ 为，以 10 ns 孔径时间采样的输入信号。由于与孔径时间相关的 dV/dt 误差，这会产生 10 mV 采样误差。

这种误差通常很严重。有效孔径延迟可以通过按照标称孔径延迟时长提前在系统中执行保持命令来补偿，但这并非全部误差。

去除标称孔径延迟之后，剩余的误差称为孔径抖动（或不确定性），它具有高信号斜率输入，是真正限制 S/H 采样误差的因素。孔径抖动是指样本与样本之间的实际 S/H 开关时序的净变化量。这种抖动对孔径时间相关误差产生最终限制。对于 $1\text{V}/\mu\text{s}$ 压摆率示例， 1 ns 孔径抖动会导致 $\pm 1\text{ mV}$ 电压不确定性。

可以通过图形显示极限孔径时间和由此产生的允许满量程电平正弦波输入频率之间的一般关系。如图 3b 所示。此图基于最大(满量程)正弦波输入频率,其误差不超过 1/2LSB。

此频率 F_{MAX} 的计算公式如下:

$$f_{max} = 1/[2^{(n+1)} \pi t_a] \quad (1)$$

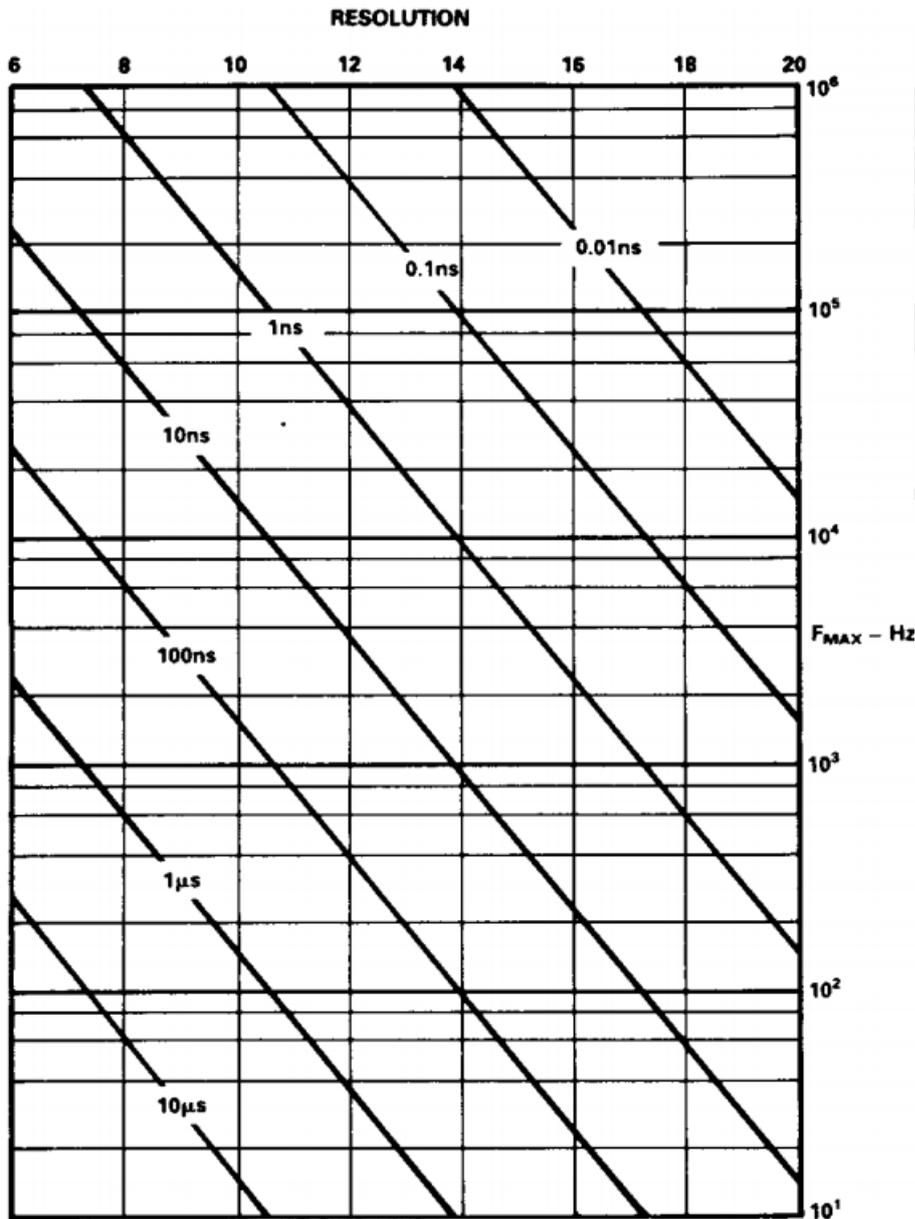


图 3b: 各种孔径时间和分辨率下的最大满量程输入正弦波频率(f_{max})

其中 $\pi=3.14$, t_a 为限制孔径时间, “n” 为转换器的分辨率 (单位: 位)。

由于这些数据是针对限制孔径，所以可用于带有 S/H 的模数转换器，或者是单独的模数转换器操作。在后一种情况下，模数转换时间将定义有效孔径时间。

该数据清楚表明了最大化允许输入频率时所采用的 S/H 的值。不带 S/H 的位模 $10\ \mu\text{s}$ 8 数转换器支持的最大输出频率约为 60Hz。另一方面，在使用孔径时间仅为 100 ns 的 S/H 时，相同的模数转换器支持 60KHz 最大频率。注意，还存在一种更一般的关系；当转换分辨率增加时， f_{max} 在给定的转换时间内降低。所以，当分辨率或频率增加时，对 S/H 的需求变得更加关键。

显然，S/H 内的孔径时间越短越好，因为这样对配合使用的模数转换器造成的限制就越少。描述中引用的时间对中速 IC 来说非常典型。S/H 电路不是限制系统时序的最终因素，因为最大吞吐频率通常出现在孔径时间限制频率之前。

S/H 偏移（也称为“S/H”基座、跳变或步进）是 S/H 进行采样保持转换时，瞬变电荷导致的模拟误差。它是由所用 S/H 开关的有限电容造成的，在较小程度上是由布局和/或封装电容造成的。这些电容通过数字控制信号的一部分直接馈送到保持电容。一般来说，由于寄生耦合电容在给定的器件和布局中是固定的，所以可以通过使用较大的保持电容来降低这种误差。图 4 显示了这种影响。

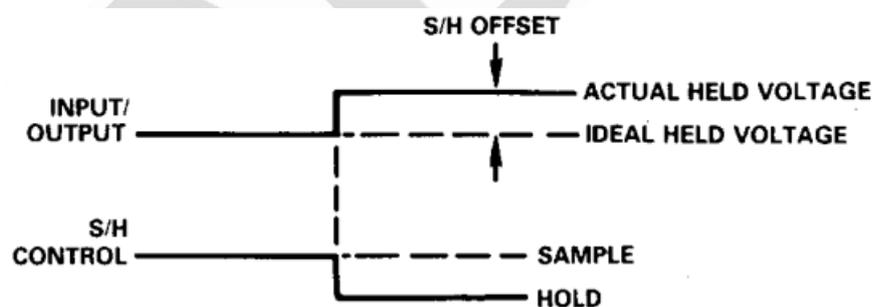


图 4：采样保持偏移（顶部），S/H 控制（底部）

此误差可能为几 mV，在有些情况下，可以利用小型外部耦合电容将反相控制信号馈送至保持电容来进行补偿。一般来说，可以通过将数字控制信号的峰峰电平降至绝对最小值，以及通过屏蔽/保护此信号和 C_H 节点之间的耦合路径来减小这种误差。

注意，采样保持偏移并非始终这样来直接指定，特别是在 IC 使用外部保持电容的器件中。在这种情况下，会给出电荷的技术规格，以 PC 为单位。在这些情况下，可以使用以下公式计算 S/H 偏移：

$$\text{S/H offset}_{(V)} = \text{Charge (pC)} / C_H \text{ (pF)} \quad (2)$$

例如，使用 1000pF C_H 进行 10PC 电荷传输将导致 10mV S/H 偏移。很显然，传输的电荷越小，此误差也越小。在更好的器件内，电荷传输可能低至或 1PC 更低。

与纯直流偏移一样，S/H 偏移最初也被视为可调节误差。但是，如果它随时间、输入电压和或温度改变，那么也必须考虑这些不稳定性。对于一些使用浮动开关（参见图 7b，类型 2）的 S/H 器件，S/H 偏移会随输入信号值变化。这显然不可取，因为如果无法补偿，则难以实现。S/H 类型 3（图 7C）没有这个问题，因为其开关始终保持恒定电平（虚地）。

采样保持建立时间是指 S/H 输出收到保持命令后，在额定精度范围内稳定下来所需的时间。其中包括开关转换消隐的时间。

保持间隔误差

压降也叫倾斜，是指保持时间间隔(Δt)内保持电压(ΔV)的变化，由流入（或流出）保持电容的净漏电流导致。由于导致压降的电流可能是一个 S/H 至下一个 S/H 的符号，所以下降电流会导致电容上的电压升高或降低，如图 5 所示。但是，重要的是保持间隔内的误差幅度，而不是该符号。压降由简单的电荷/电压关系决定：

$$\Delta V / \Delta t = I_L / C_H \quad (3)$$

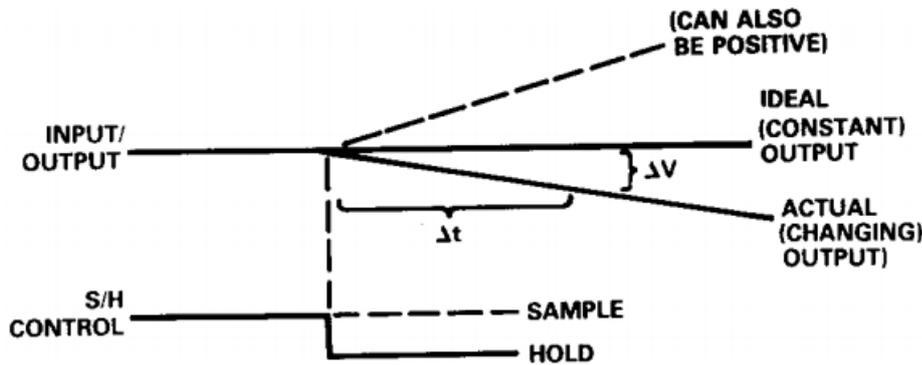


图 5: 压降误差 (顶部), S/H 控制 (底部) 注意, 压降可以为正, 也可为负。

其中, I_L 为漏电流, C_H 为保持电容的值。举例来说, 对于 100pF C_H , 电流降低 1nA 会导致 $10\ \mu\text{V}/\mu\text{s}$ 压降。在 $10\ \mu\text{s}$ 保持期间, 这会产生最大 $100\ \mu\text{V}$ 压降误差, 此误差不是问题。在给定的 S/H 器件中, 电流 I_L 按技术规格设定, C_H 则 (通常) 由用户控制。所以, 压降可通过 C_H 调节, 会随着 C_H 增加而减小。

但是, 这也需要权衡取舍。当 C_H 增加以降低压降时, 一般会使采集时间延长。这是因为对 C_H 充电以实现采集摆动所需的电流是固定的。所以, 通常需要尽可能将漏电流 I_L 保持在最低水平, 以使压降最低。一般来说, 此参数由 S/H 输出放大器的输入偏置电流和开关漏电流决定, 通常随温度升高而升高。在高温下压降最大。注意, 用于计算压降的 I_L 值应考虑到温度与净漏电流之间的关系。使用 PET 输入缓冲器时, 温度每上升 10°C , 偏置电流翻倍。

实际上, 中等温度下 S/H 中电压的典型下降率接近 $1\ \mu\text{V}/\mu\text{s}$, 算的上很小的误差。在计算最高温度下的最大偏置电流时, 这种情况可能并非一直保持不变。可以计算最高预期温度下的漏电流, 以确定最差的电压下降率。

馈通是在保持 (关闭) 状态下, 通过 S/H 开关的交流信号泄漏导致的模拟误差。与 S/H 偏移一样, 它基本上由开关电容引起, 但也会受到布局相关电容耦合的影响。由于开关电容和保持电容可以构成分压器, 馈通会随保持电容增大而降低, 就像压降和 S/H 偏移一样。馈通的影响如图 6 所示。

馈通一般由高频率下（例如 10KHz）的满量程峰峰正弦输入指定。在良好的 S/H 中，它一般达到 80dB（或更高）。这相当于 0.01%（或更低）的馈通误差。如果 S/H 是在多路复用器之后，该多路复用器能够在保持状态下选择高电平，且可能因信号馈通导致误差，那么此参数非常重要。

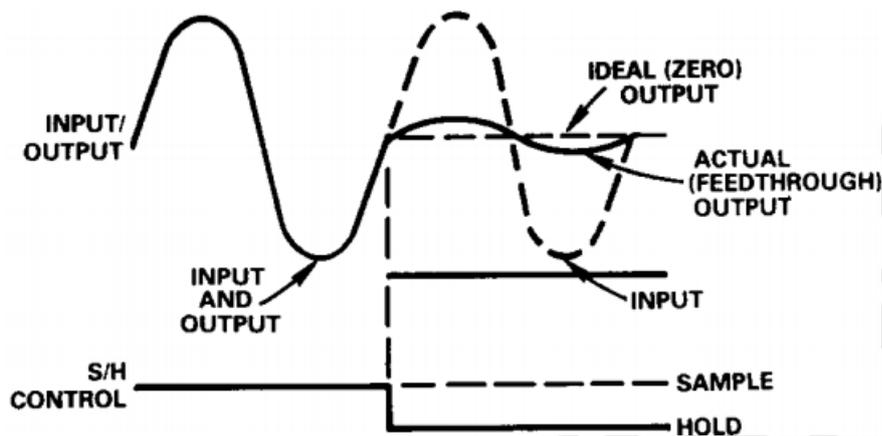


图 6：馈通误差电压（顶部），S/H 控制（底部）

电介质吸收

对于一些常见的电容类型，电介质不会在充电/放电周期后完全释放所有电能。这种现象导致的结果是：在保持模式持续一段时间后，存储电压出现误差。可以使用某些电介质，尤其是薄膜来最大限度降低这种影响。应使用指定的低 DA 电介质，例如聚四氟乙烯、聚苯乙烯和聚丙烯。注意，在使用外部 C_H ，或者是使用外部 C_H 来增强内部 C_H 的 S/H 中，都需要考虑 DA。

漂移和噪声

与采样模式下的 S/H 相比，保持模式下的 S/H 具有不同的漂移特性。在保持模式下，输出端只有输出缓冲放大器的漂移。在采样模式下，可能只有输出放大器的漂移，也可能是两个放大器串联产生漂移。

通常，保持模式下和采样模式下的漂移特性不同没有什么危害。转换通常在几微秒内完成，此时由温度变化导致的漂移误差尚不是问题。当保持时间异乎寻常的长时，则需考

虑这种误差。

噪声则是另一种情况。例如，处于保持模式时，可以考虑图 7 中的 S/H 类型 2 和 3。如果输出放大器的噪声过大，则会在保持期间显示，并随所需信号一起数字化。如果此噪声很高，且转换器的线性度并不低于 $1/2$ LSB，则某些代码会因噪声调制而出错。

MOSFET 输入缓冲器输入电流极低，因而会用于一些 S/H 中。遗憾的是，这些缓冲器类型通常具有相对较高的输入电压噪声，这会限制某些应用的整体精度。JFET 的输入电流不会像 MOSFET 那么低，但其噪声电压明显更低。

S/H 设计类型

如今有大量 S/H 设备可用。除了非常高的性能限制外，大部分都采用几大类设计拓扑。以下部分介绍这些设计拓扑，并针对每种拓扑展开简单讨论。了解不同的电路类型有助于针对给定应用选择合适的 S/H。

与图 1a 中的基本电路一样，图 7a 中的电路也是实际 S/H 放大器类型。其中， A_1 、 C_H 和开关的运行方式与之前所述的一样，但还添加了输入级缓冲器 A_2 。

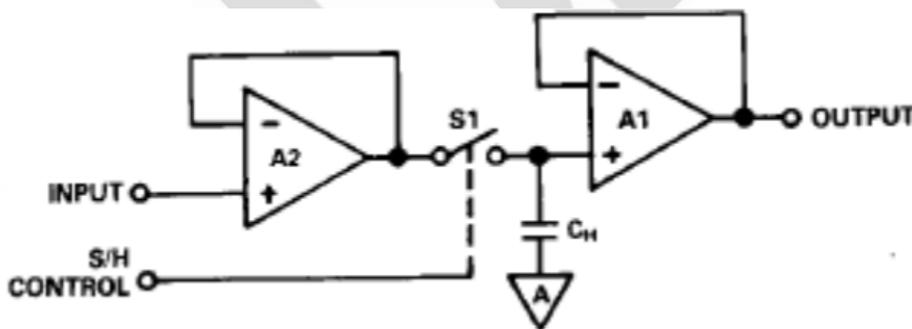


图 7a: 开环，级联跟随器 S/H (类型 1)

增加缓冲器可以提高 C_H 的充电电流。这样可在不加载信号源的情况下，提供更快的采集速度。在这种 S/H 类型中，两个放大器都必须具有高压摆率、快速建立时间、低失调电压和低漂移才能获得较好的精度，因为这些误差会累加。 A_1 应该是一个 FET 输入器件，以最大限度减少 C_H 负载，但对于 A_2 却并非如此。这种 S/H 类型往往适用于高速采集。

图 7b 所示 S/H 配置的优点是，在采样模式下，两个放大器周围都返回了一个整体反馈环路。所以，在采样状态下，A1 的误差达到最小，虽然它们还是会在保持状态中显示。此电路的精度可能更高，但是因为多级环路动态结构，其整体建立特性可能有所降低。

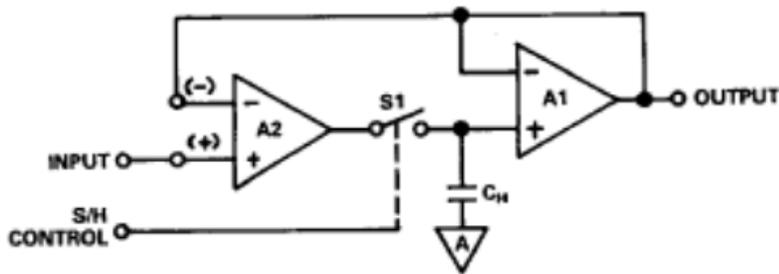


图 7b: 闭环，跟随器输出 S/H (类型 2)

注意，在这种类型的 S/H 连接中，可以将输入级接线，这样(+)和(-)输入端都可以连接外部选项，不过并非所有类型都能这样做。凭借这种灵活性，S/H 可以连接为（整体）反相或同相类型 S/H 的。应用电阻可能可用，也可能不可用。

图 7c 中的第三个电路也在两个运算放大器周围连接反馈环路，在这一点上，它具有与 7b 类似的优势。在这种情况下，开关在 A1 的虚地输入端工作， C_H 则是输出放大器级周围的积分电容。

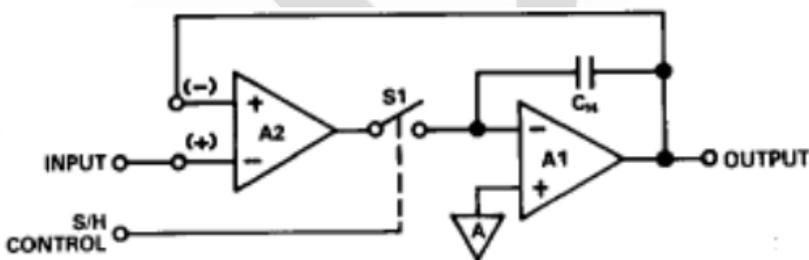


图 7c: 闭环，积分输出 S/H (类型 3)

注意，在这种类型的 S/H 连接中，输入级的(+)和(-)输入端也可按之前所述的方法使用。所以，这种类型可以连接为（整体）反相或同相类型的 S/H。

S/H 应用

实施采用现代化模数器件和 S/H 器件的转换系统并不是一件容易的事，但其采用的硬件功能多样，将会大有帮助。图 8a 所示的 12 位独立模数转换器+S/H 转换系统是一个连接示例，可以按图示轻松实现，也可以根据其他比例等轻松更改。

此电路使用一个 [AD585](#) S/H，在同相单位增益模式下连接，HOLD 保持激活。该模数转换器为 [AD574A](#)，连接用于实现单极 0 至+10V 范围，其系统增益和偏置校准分别由 R_1 和 R_2 设置。AD574 的状态输出驱动 [AD585](#) A1 的 HOLD 输入，以实现尽可能低 S/H 的偏移。这需要在 TTL 级中进行反转。

如图所示，转换由转换信号发起，并从下降沿开始，状态线路随之进入高电平状态，S/H 进入保持状态。对于 12 位转换，[AD574A](#) 需要 $35\ \mu\text{s}$ （最大值）来执行转换。由状态低电平信号表示转换结束。

所示的模数转换器微调校准可改变系统增益和偏置，足以应对/H 和模数误差。

该系统的最大吞吐时间由三个因素决定，如下所示。分别是：模数转换时间、S/H 孔径延迟和采样时间。转换时间为：

$$T = t_c + t_{ad} + t_{acq} \quad (4)$$

各时间分别为 $35\ \mu\text{s} + 35\ \text{ns} + 3\ \mu\text{s}$ ，或者总计 $38.035\ \mu\text{s}$ 。还可以计算最大吞吐频率，以此时间的倒数表示：

$$\begin{aligned} f_{\text{throughput}} &= 1/T \\ &= 26.3\text{kHz} \end{aligned} \quad (5)$$

该频率假设每个周期只有一个样本；为了满足奈奎斯特准则要求的每周期 2 个数据点，将频率减半。（还需要注意的是，在 S/H 之前的任何额外的建立时间也可能需要考虑，使用时可包括 1A 和/或多路复用器。）

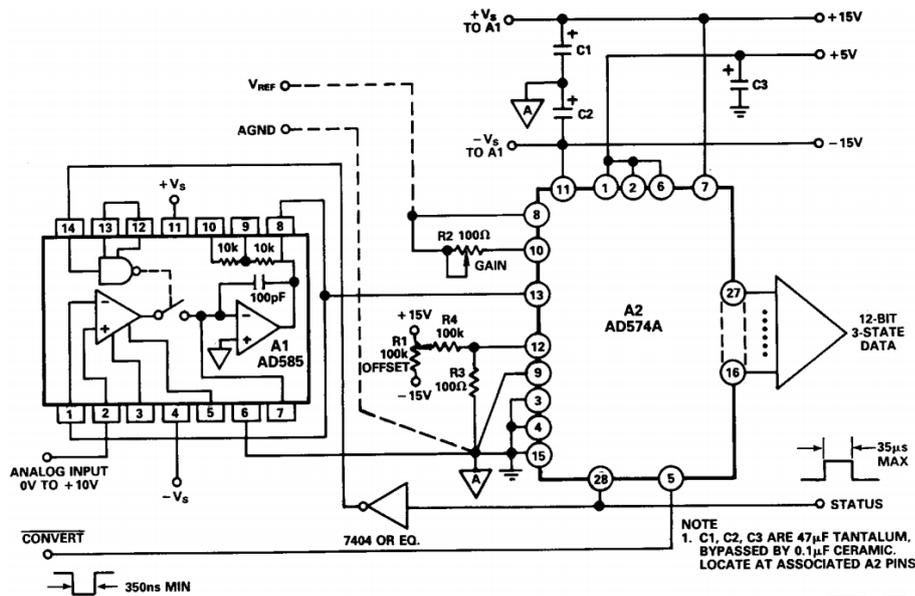


图 8a: 带 S/H 的独立 12 位单极性模数转换器

在带有 S/H 放大器的高速逐次逼近模数转换应用中，潜在误差源是来自模数转换器的回退误差。逐次逼近模数转换器表示 S/H 的动态负载，而转换周期开始时的 MSB 负载会因为非零 S/H 输出阻抗，在模数转换器输入电压（S/HH 输出）上产生瞬变。如果 S/H 阻抗在高频率下不够低，回退误差可能会超过 LSB。

要解决这个问题，需要使用具有低阻抗输出级的 S/H，或具有高反馈的 S/H，以实现低回退误差。如果阻抗足够低，可以使动态电压误差忽略不计，那么模数转换器负载不会引发问题。[AD585](#) 输出级用于实现低动态输出阻抗，以最小化此误差。图 8b 所示为转换期间 [AD585](#) 输出驱动 [AD574A](#) 的放大照片，可说明这一点。注意，MSB 开关点上的负向瞬态误差在持续时间内低而短。

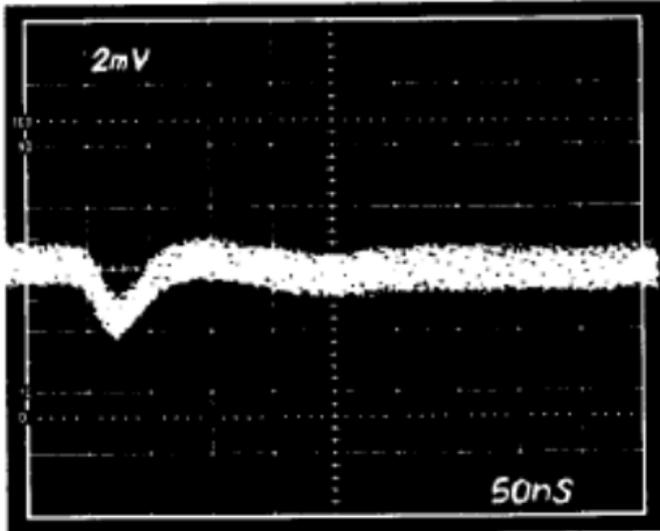


图 8b: [AD585](#) S/H 放大器的输出驱动 [AD574A](#), MSB 转换

对于既需要快速采集时间,也需要低下降率的应用,可以使用级联 S/H 同时满足这些相互冲突的性能参数。图 9 所示的是这样一个电路, [HOLD₁](#) 和 [HOLD₂](#) 控制线的驱动方式如时序图所示。基本理念是,级联的第一个 S/H 在第二个达到额定精度之前快速获取输入。然后,第一个 S/H 进入保持状态,第二个继续获取第一个(快速) S/H 的输出端上出现的输入。由于这构成了输入信号的串联路径,因此两个 S/H 的误差会加在一起。

该电路使用两个串联的 [AD585](#), 第一个通常配置用于实现快速采集。使用 [AD585](#) 的内部电容,该级将实现 1mV/ms (最大) 压降率。该级进行 5 μ s [HOLD₁](#) (信号的宽度) 采样。第二个 S/H 对第一个的输出进行 500 μ s (或 [HOLD₂](#) 的宽度) 采样。在这 500 μ s 期间,第一级的输出电压会下降,最高达 0.5mV。这一般是 [HOLD₂](#) 宽度 (单位: ms) 乘以 1mV/ms。第二个 [AD585](#) 使用一个 0.01 μ F 外部 C_H , 它会最大限度降低此级的电压降幅,降低 100 倍 (第二级和第一级 C_H 的比率)。之后,整个电路的有效压降变为 0.5mV (第一级), 加上 0.01mV/ms (第二级)。第二级的保持间隔达几十 ms, 所以,此级联 S/H 的净压降接 500 μ s 近间隔的压降,在本例中为 ≈ 0.5 mV。

当然,此方案作出的取舍是:整体信号吞吐量降低。实际上,因为该应用本就打算与速度较慢的模数转换器配合使用,所以这种取舍可能只会造成很小或根本不会造成影响。

此外，如果多路复用器之前使用了多个级联 S/H，此方案可能非常有用，即使很少对单个通道采样也能保持较高的整体吞吐率。注意，就此级联的孔径时间而言，有效 F_{MAX} 仍由两个 S/H 中的第一个决定。本示例所示是同相单位增益 S/H。原则上，任一（或两个 S/H）都可以使用其他比例。

对于布局，用户需要遵循一些重要的通用实用规则。只要使用外部 C_H ，就需要注意使用保护走线将与引脚 7 相关的 PC 走线包围起来。应将其连接至模拟地，连接此引脚的导线越短越好。外部 C_H 应该是低 DA 型电容，其外部箔片连接至 S/H 输出（引脚 8）。还请注意，许多 S/H 应用可能永远不需要使用外部 C_H 或引脚 7。在这种情况下，可以沿封装附近切割引线，将拾取线路剪至最短。

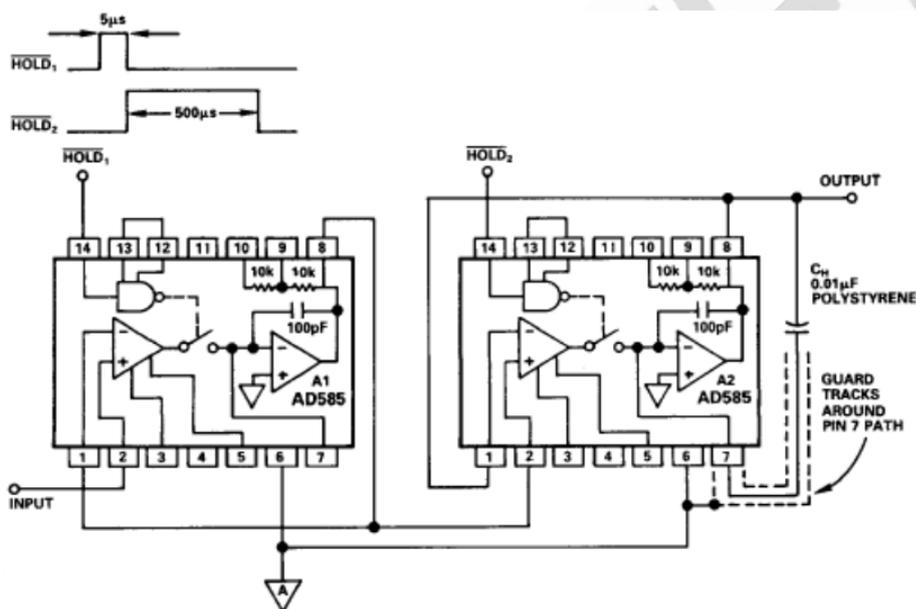


图 9：环路压降级联 S/H

模拟开关和多路复用

模拟开关和多路复用器基本知识

在要求针对模拟信号控制和选择指定传输路径的电子系统的设计中，固态模拟开关和多

路复用器已成为必要元件之一。这些器件被用于广泛的应用之中，包括多通道数据采集系统、过程控制、仪器仪表、视频系统等。

20 世纪 60 年代晚期的开关和多路复用器均以分立式 MOSFET 器件设计，并用小型 PC 板或模块生产。随着 CMOS 工艺的发展（以相同的基板生产优异的 PMOS 和 NMOS 晶体管），开关和多路复用器在 20 世纪 70 年代中期快速转向了集成电路形式，推出了广受欢迎的 ADI 公司 [AD7500](#) 系列（1973 年问世）等产品。1976 年推出了带介质隔离系列，支持±25V 的输入过压（超出供电轨），而且不易闩锁。

这些早期的 CMOS 开关和多路复用器主要设计用于处理最高±10V 的信号，并工作于±15V 的电源之下。1979 年，ADI 公司推出大获成功的 [ADG200](#) 系列开关和多路复用器，1988 年，[ADG201](#) 系列问世，该器件采用专有的线性兼容 CMOS 工艺(LC2 MOS)制成。这些器件在±15V 电源下可支持最高±15V 的输入信号。

20 世纪 80 年代和 90 年代出现了大量的开关和多路复用器，其趋势是更低的导通电阻、更快的开关、更低的电源电压、更低的成本、更低的功耗和更小的表贴封装。

如今，模拟开关和多路复用器有多种配置、选项可供选择，可以适应几乎所有应用。低于 0.5Ω 的导通电阻、皮安级漏电流、大于 1GHz 的信号带宽以及 1.8V 单电源供电，这些全都可以利用现代 CMOS 技术来实现。市场上同时还有采用±15V 电源、基于 ADI 公司 iCMOS®（工业 CMOS）工艺的工业产品。

尽管 CMOS 是目前最流行的开关和多路复用器 IC 工艺，但双极性工艺(JFET)和互补双极性工艺（也支持 JFET）通常用于视频开关和多路复用等特殊应用，因为这些应用要求的高性能是 CMOS 工艺无法实现的。传统的 CMOS 开关和多路复用器在视频频率下往往存在多种劣势。它们的开关时间一般不够快，而且需要外部缓冲才能驱动典型的视频负载。另外，CMOS 开关导通电阻随信号电平的较小变化（ R_{ON} 调制可能会给差分放大和相位带来无用的失真）。基于互补双极性技术的多路复用器在视频频率下具有更好的表

现——但其功耗和成本与 CMOS 器件相比有明显增加。

CMOS 开关基础

理想型模拟开关不存在导通电阻，具有无穷大的关断阻抗和零时间延迟，可以处理大信号和共模电压。实际的 CMOS 模拟开关不满足其中任意一条，但是，如果我们了解模拟开关的不足，这些缺陷多数是可以克服的。

CMOS 开关具有优秀的组合属性。其最基本的形式是 MOSFET 晶体管，这是一种电压控制电阻。在“导通”状态下，其电阻可能不到 1Ω ，而在“关断”状态下，其电阻则会升至数百兆欧，并且存在皮安级漏电流。CMOS 技术兼容逻辑电路，可以高密度集成在 IC 之中。其快速开关特性得到良好的控制，仅具有最少的电路寄生效应。

MOSFET 晶体管是双向的。换言之，它们可以同样轻松地开关正、负电压，传导正、负电流。MOSFET 晶体管具有一个电压控制电阻，随信号电压则呈非线性变化，如图 1 所示。

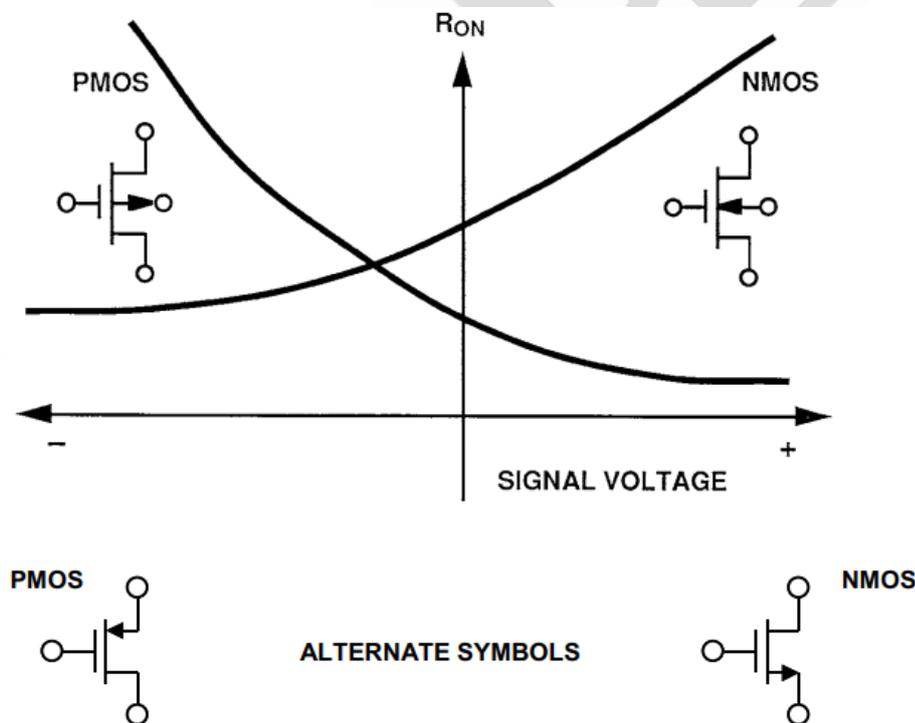


图 1: MOSFET 开关导通电阻与信号电压之间的关系

互补 MOS 工艺(CMOS)可以产出优异的 P 沟道和 N 沟道 MOSFET。并联连接 PMOS 和 NMOS

器件，结果会形成如图 2 所示的基本双向 CMOS 开关。这种组合有利于减少导通电阻，同时也可能产生随信号电压变化小得多的电阻。

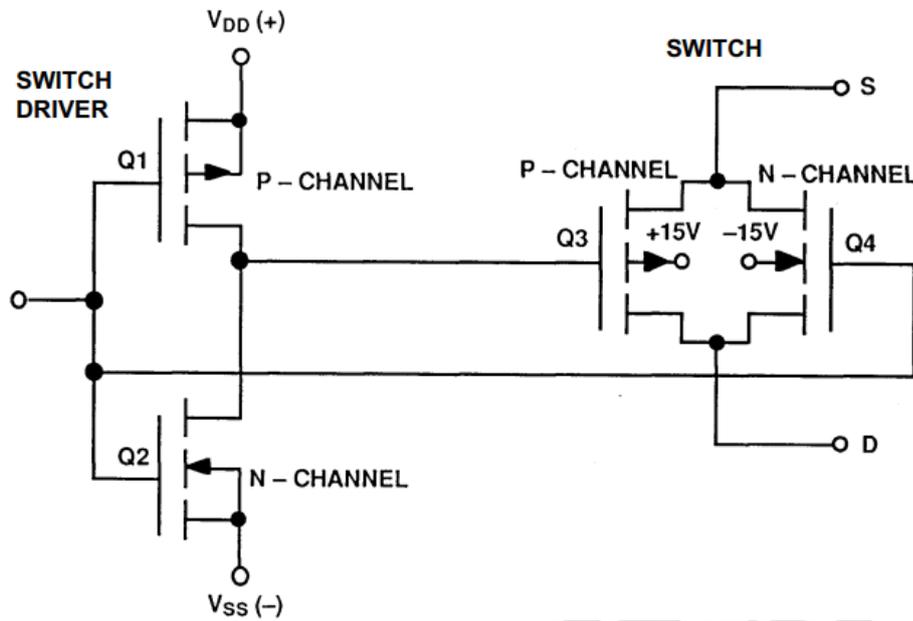


图 2：基础 CMOS 开关用互补对来减少信号摆幅引起的 R_{ON} 变化

图 3 展示的是 N 型和 P 型器件的导通电阻随通道电压的变化。这种非线性电阻可能给直流精度和交流失真带来误差。双向 CMOS 开关可以解决这个问题。导通电阻大幅降低，线性度也得到了提升。图 3 底部曲线展示的是改进后的开关导通电阻特性的平坦度。

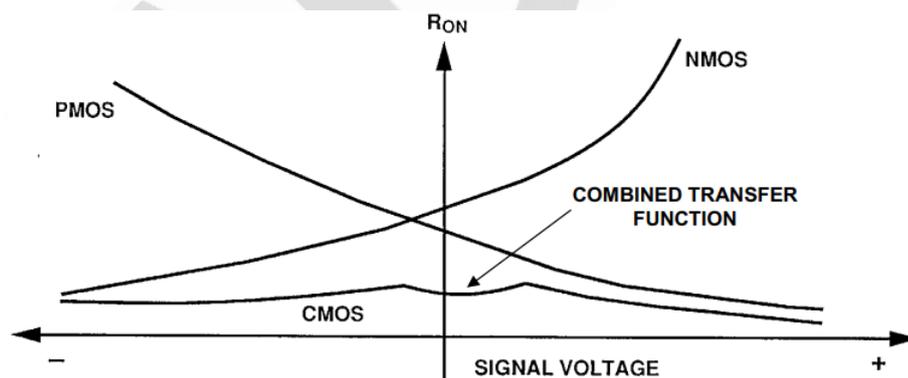


图 3：CMOS 开关导通电阻与信号电压之间的关系

[ADG8xx](#) 系列 CMOS 开关是专门针对导通电阻低于 0.5Ω 的应用而设计的，采用亚微米工艺制成。这些器件可以传导最高 400mA 的电流，采用 1.8V 至 5.5V 单电源供电（具体视

器件而定)，额定扩展工作温度范围为 -40°C 至 $+125^{\circ}\text{C}$ 。典型的导通电阻与温度和输入信号电平之间的关系如图 4 所示。

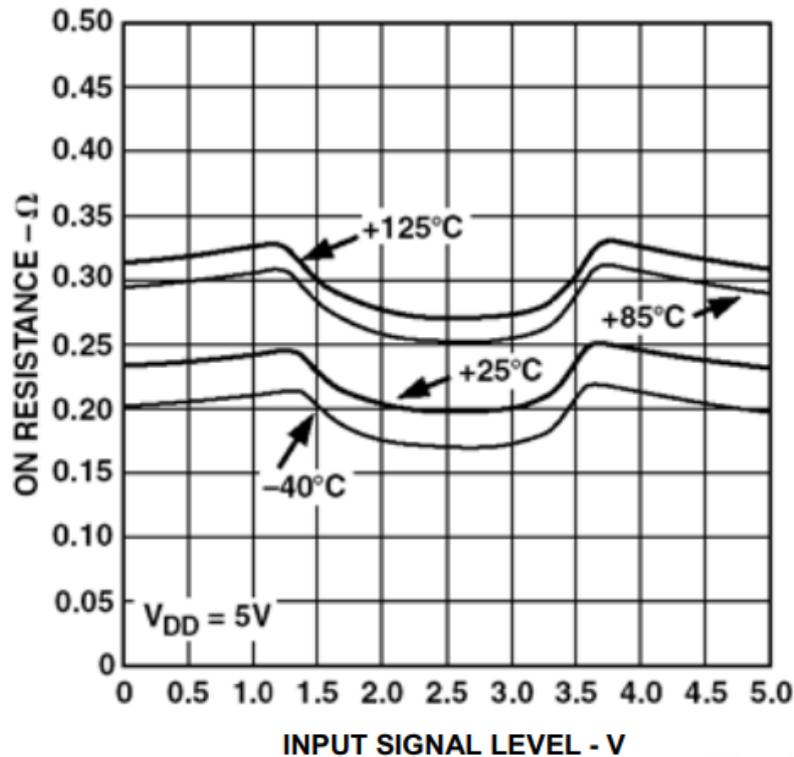


图 4: [ADG801/ADG802](#) CMOS 开关的导通电阻与输入信号的关系, $V_{\text{DD}}=+5\text{V}$

基本 CMOS 开关中的误差源在模拟开关中，有必要了解误差源。许多因素都会影响交流和直流性能，其他因素则可能只影响交流性能。图 5 展示的是两个相邻 CMOS 开关的等效电路。该模型包括漏电流和结电容。

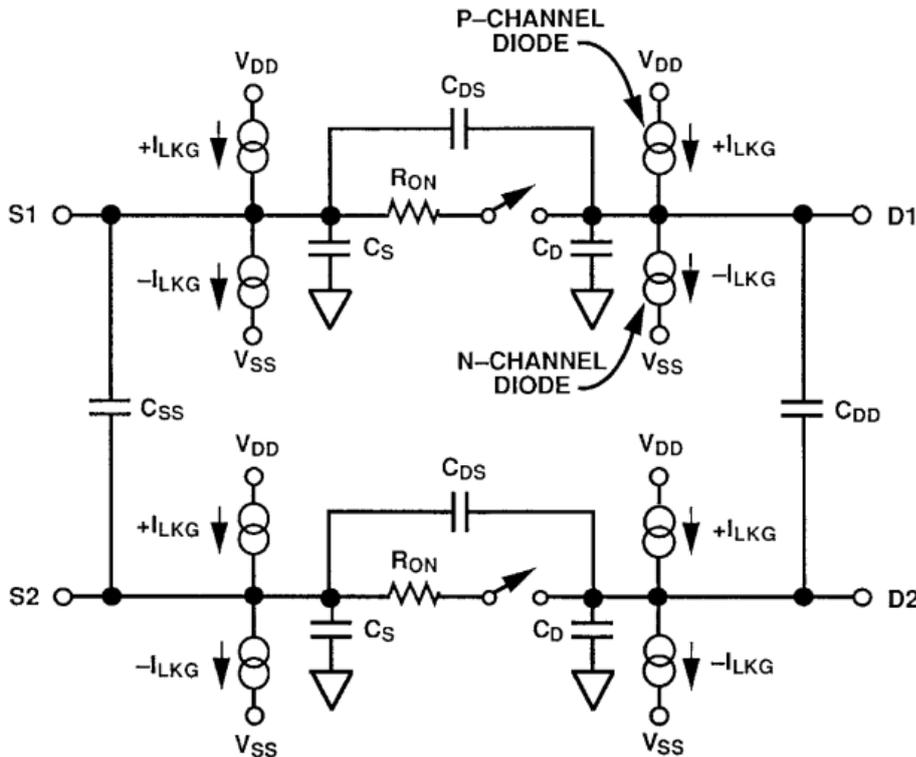
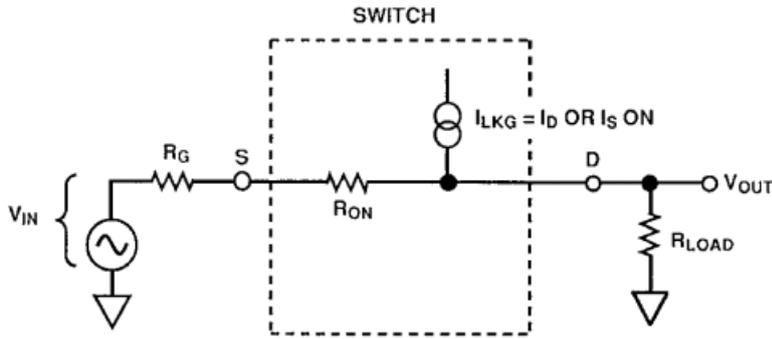


图 5：两个相邻 CMOS 开关的等效电路

与处于导通状态的单个 CMOS 开关相关的直流误差如图 6 所示。当开关导通时，直流性能主要受开关导通电阻(R_{ON})和漏电流(I_{LKG})的影响。 $R_G-R_{ON}-R_{LOAD}$ 组合形成一个阻性衰减器，结果会产生增益误差。漏电流 I_{LKG} 流过后与 R_G 和 R_{ON} 之和并联的 R_{LOAD} 的等效电阻。不仅 R_{ON} 可能导致增益误差——可用系统增益校准——而且其随应用的信号电压的变化 (R_{ON} 调制) 也可能带来失真——这个失真是无法校准的。低阻电路更容易出现因 R_{ON} 导致的误差，而高阻电路则受漏电流影响。图 6 同时还给出了可体现这些参数对直流性能的影响的一些等式。



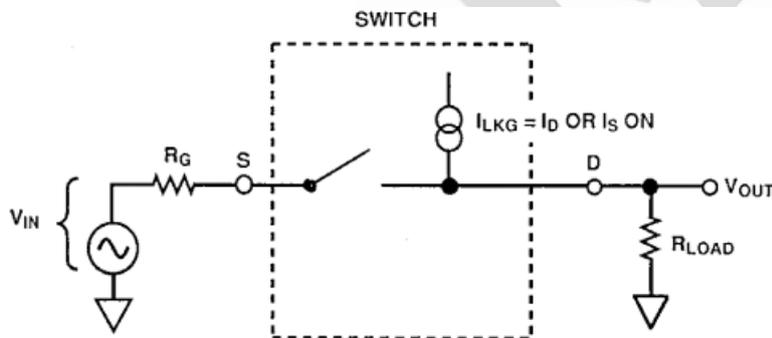
$$V_{OUT} = V_{IN} \left[\frac{R_{LOAD}}{R_G + R_{ON} + R_{LOAD}} \right] + I_{LKG} \left[\frac{R_{LOAD}(R_{ON} + R_G)}{R_G + R_{ON} + R_{LOAD}} \right]$$

IF $R_G \rightarrow 0$,

$$V_{OUT} = V_{IN} \left[\frac{R_{LOAD}}{R_{ON} + R_{LOAD}} \right] + I_{LKG} \left[\frac{R_{LOAD}R_{ON}}{R_{ON} + R_{LOAD}} \right]$$

图 6：影响导通开关条件下直流性能的因素： R_{ON} 、 R_{LOAD} 和 I_{LKG}

当开关断开时，漏电流可能引起误差，如图 7 所示。流过负载电阻的漏电流会在输出端产生一个对应的电压误差。

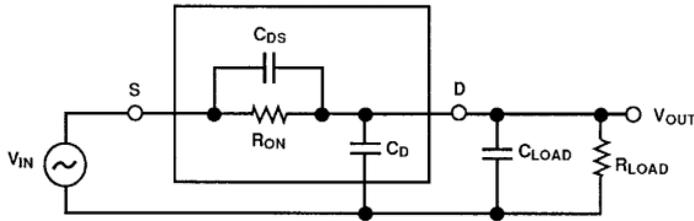


Leakage current creates error voltage at V_{OUT} equal to:

$$V_{OUT} = I_{LKG} \times R_{LOAD}$$

图 7：影响关断开关条件下直流性能的因素： I_{LKG} 和 R_{LOAD}

图 8 显示的是影响 CMOS 开关交流性能的寄生器件。额外的外部电容会进一步导致性能下降。这些电容会影响馈通、串扰和系统带宽。 C_{DS} （漏极到源极电容）、 C_D （漏极-地电容）和 C_{LOAD} 与 R_{ON} 和 R_{LOAD} 相配合，以形成整体传递函数。



$$A(s) = \left[\frac{R_{LOAD}}{R_{LOAD} + R_{ON}} \right] \left[\frac{s R_{ON} C_{DS} + 1}{s \left(\frac{R_{LOAD} R_{ON}}{R_{LOAD} + R_{ON}} \right) (C_{LOAD} + C_D + C_{DS}) + 1} \right]$$

$$A(\text{dB}) = 20 \log \left[\frac{R_{LOAD}}{R_{LOAD} + R_{ON}} \right] + 10 \log [\omega^2 (R_{ON} C_{DS})^2 + 1] - 10 \log \omega^2 \left[\left(\frac{R_{LOAD} R_{ON}}{R_{LOAD} + R_{ON}} \right)^2 (C_{LOAD} + C_D + C_{DS})^2 + 1 \right]$$

图 8：动态性能考虑：传输精度与频率的关系

在等效电路中， C_{DS} 会在传递函数 $A(s)$ 的分子中形成一个零点。该零通常出现在高频下，因为开关导通电阻很小。带宽同时也是开关输出电容与 C_{DS} 和负载电容的函数。该频率极点出现在等式的分母中。

复合频率域传递函数可以改写为如图 9 所示形式，图 9 所示为导通状态下的开关的整体波特图。多数情况下，主要受输出电容 C_D 的影响，极点断点频率将首先出现。因此，为了使带宽最大化，开关应具有低输入电容、低输出电容和低导通电阻。

串联旁路电容 C_{DS} 不但会在导通状态响应中形成一个零，同时也会在关断状态下导致开关馈通性能下降。当开关关断时， C_{DS} 将把输入信号耦合至输出负载之中，如图 10 所示。

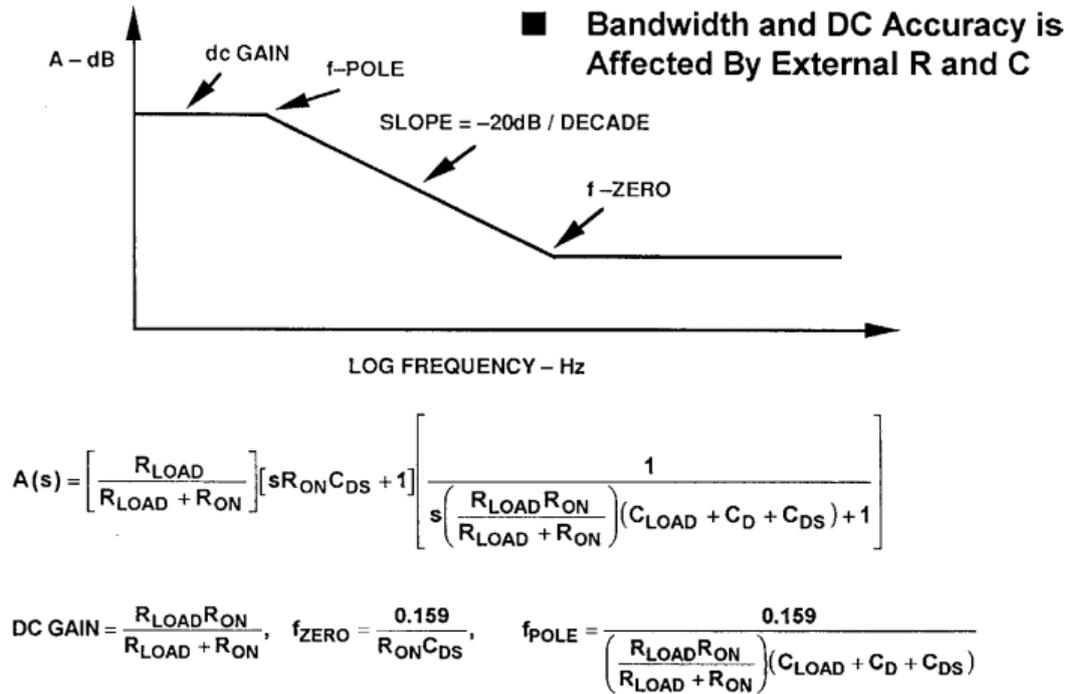


图 9: CMOS 开关传递函数在导通状态下的波特图

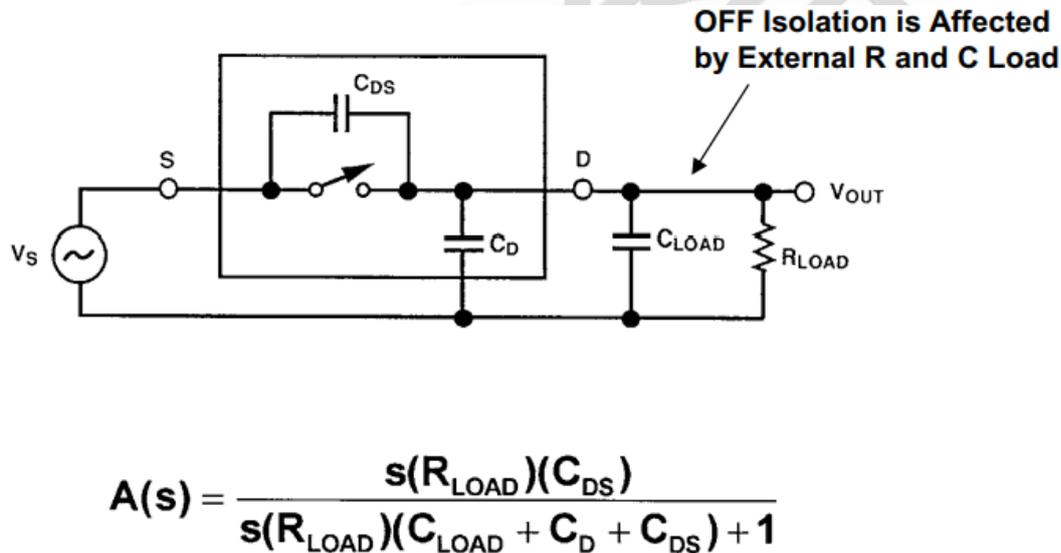


图 10: 动态性能考虑: 关断隔离

较大的 C_{DS} 值会导致较大的馈通值，后者与输入频率成比例。图 11 所示关断隔离度的下降随频率变化的函数。实现关断隔离最大化最简单的方式是选择 C_{DS} 尽量小的开关。

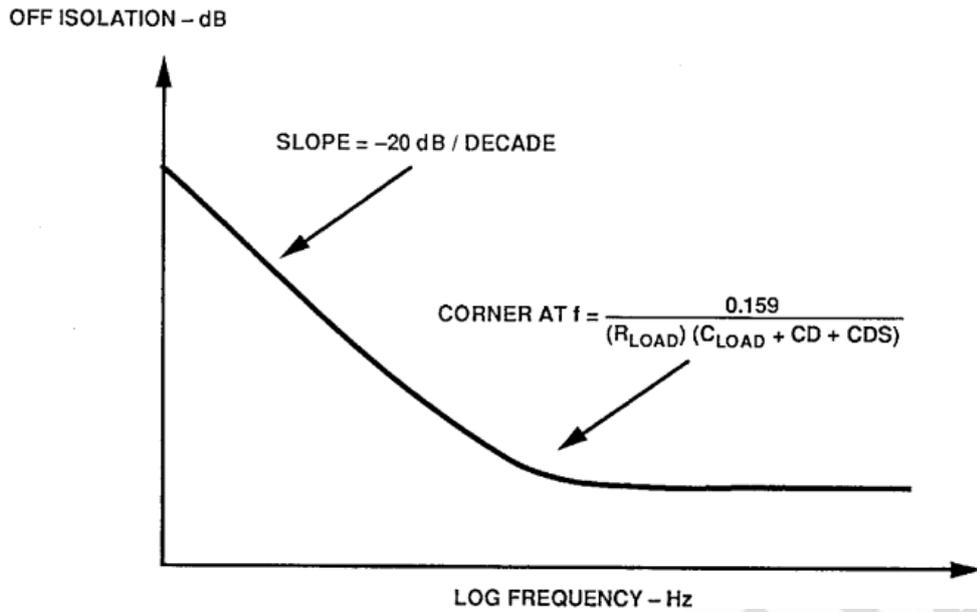


图 11: 关断隔离与频率的关系

图 12 展示了 [ADG708](#) 8 通道多路复用器的典型 CMOS 模拟开关关断隔离，表现为频率的函数。从直流到几千赫，多路复用器拥有近 90dB 的隔离能力。随着频率的增加，将有越来越多的信号到达输出端。然而，即使在 10MHz 时，所示开关仍然拥有近 60dB 的隔离能力。

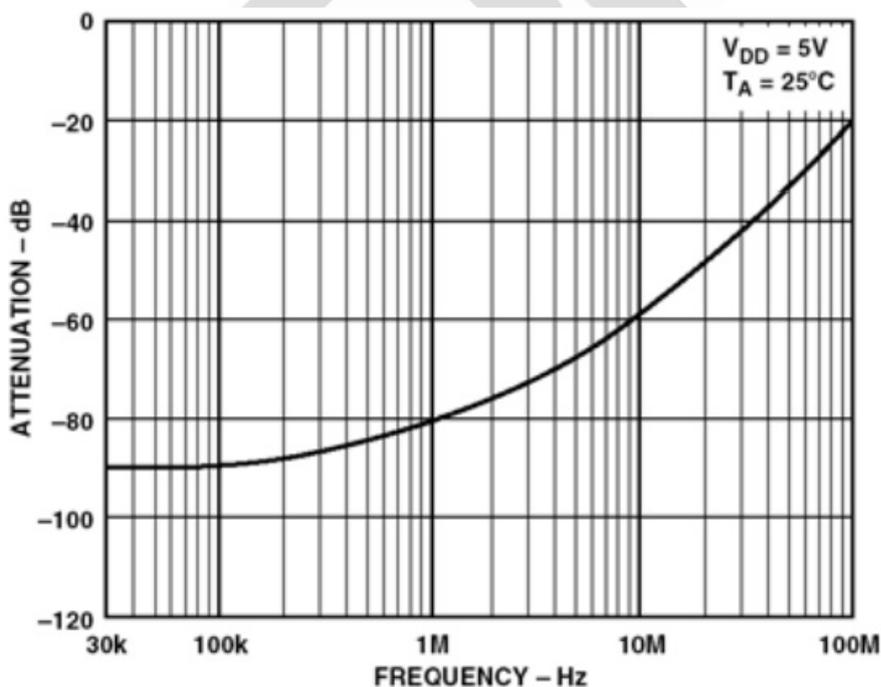


图 12: [ADG708](#) 8 通道多路复用器关断隔离与频率的关系

影响系统性能的另一交流参数是开关期间发生的电荷注入。图 13 所示为电荷注入机制的等效电路

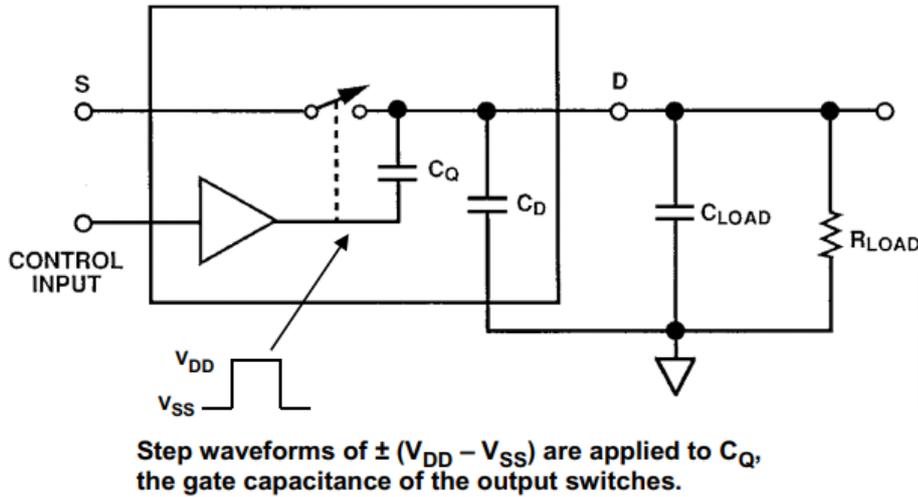


图 13: 动态性能考虑: 电荷注入模型

当开关控制输入置位时, 结果会使控制电路在 CMOS 开关的栅极处发生较大的电压变化 (从 V_{DD} 至 V_{SS} , 反之亦然)。电压的这种快速变化会通过栅极-漏极电容 C_0 将一个电荷注入开关输出。耦合电荷的数量取决于栅极-漏极电容的大小。

电荷注入会在开关过程中在输出电压中导致阶跃变化, 如图 14 所示。输出电压的变化 ΔV_{OUT} 为注入的电荷量 Q_{INJ} (为栅极-漏极电容 C_0 的函数) 和负载电容 C_L 的函数。

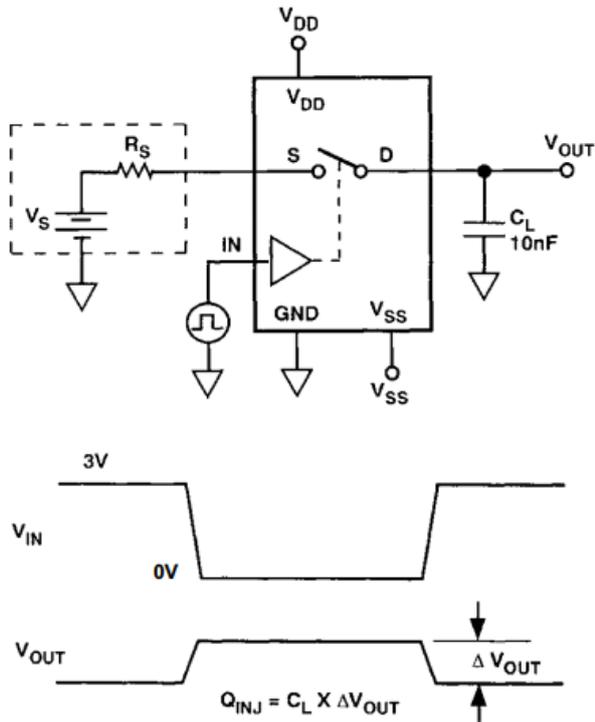


图 14: 电荷注入对输出的影响

开关电容导致的另一个问题是开关通道时保留的电荷。这种电荷会在开关输出中导致瞬变，图 15 所示即为该现象。设开始时 S2 闭合、S1 断开。C_{S1} 和 C_{S2} 充电至 -5V。当 S2 断开、S1 闭合时，-5V 会保持于 C_{S1} 和 C_{S2} 上。因此，放大器 A 的输出会看到一个 -5V 的瞬变。在放大器 A 的输出使 C_{S1} 和 C_{S2} 完全放电并建立至 0V 之前，输出不会稳定下来。图 16 中的示波图描述的即是该瞬变。因此，在选择正确的输入缓冲时，放大器的瞬变和建立特性是一个重要的考虑因素。

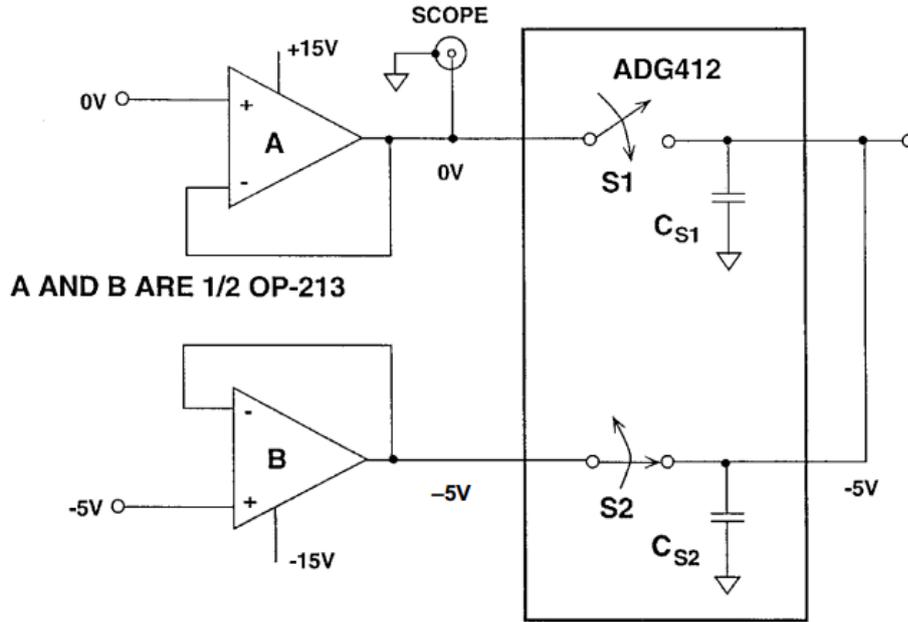


图 15: 电荷耦合会在多路复用信号时导致动态建立时间瞬变

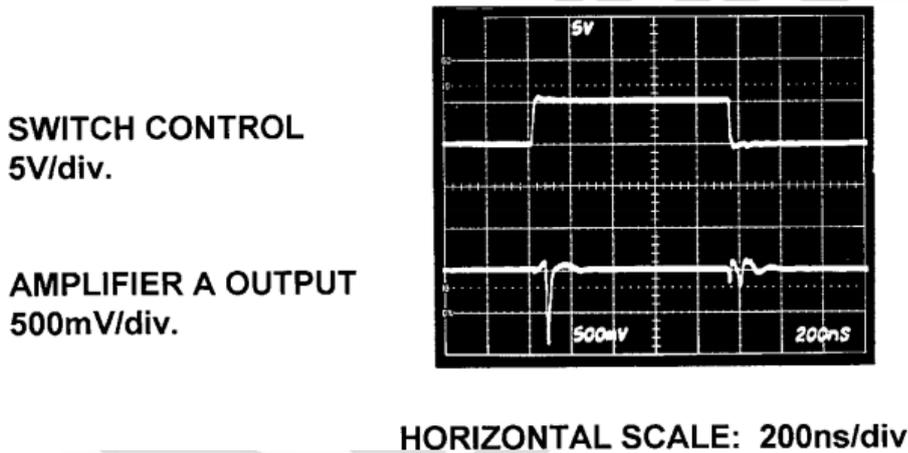


图 16: 放大器输出展示了因电荷耦合导致的动态建立时间瞬变

串扰与两个开关之间的电容相关，表示为 C_{SS} 电容，如图 17 所示。

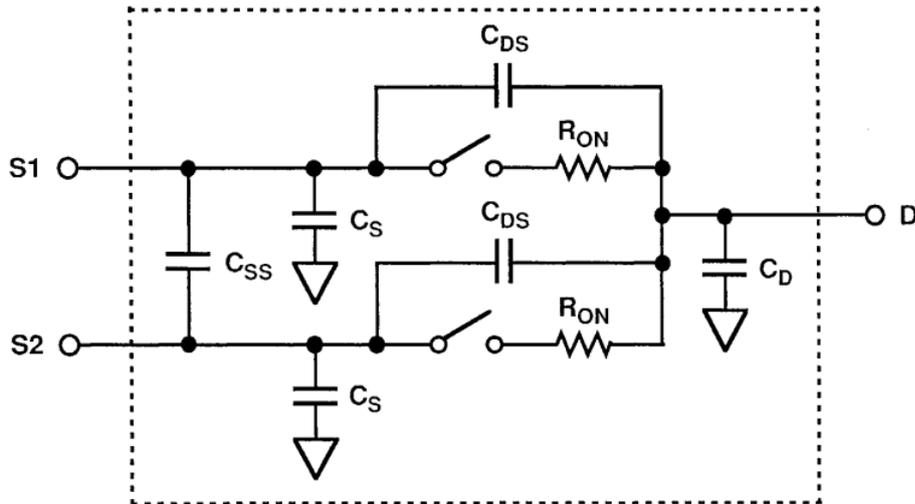


图 17: 相邻开关的通道间串扰等效电路

图 18 展示了 [ADG708](#) 8 通道 CMOS 多路复用器的典型串扰性能。

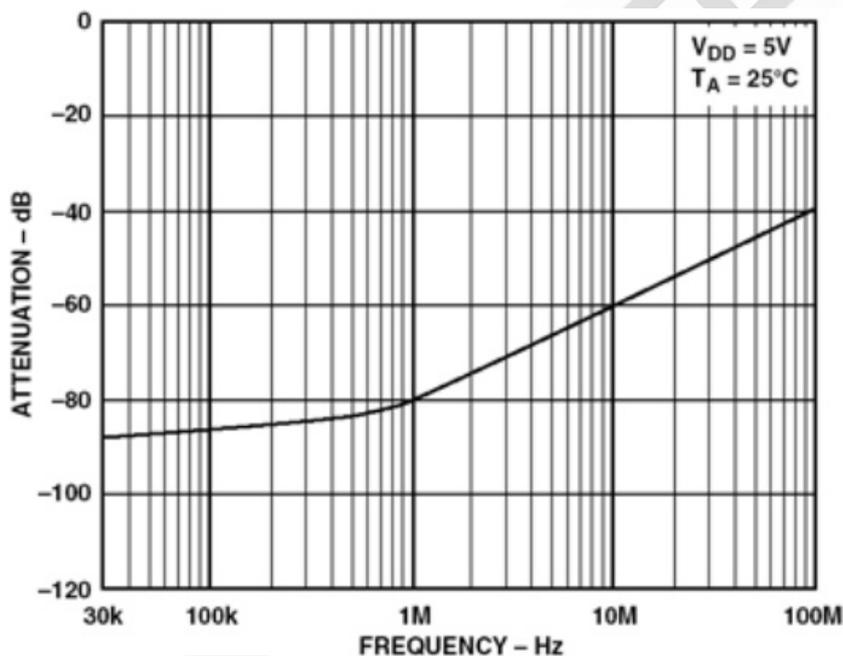
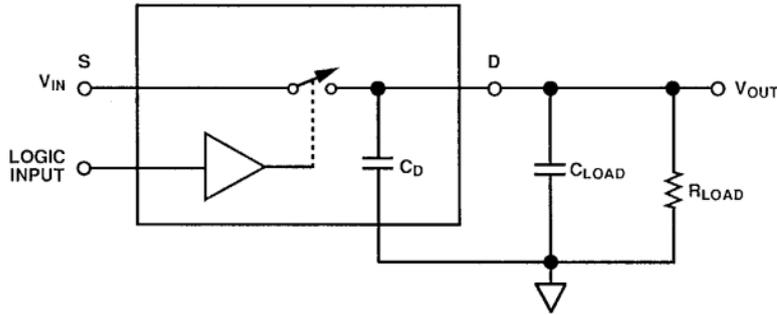


图 18: [ADG708](#) 8 通道多路复用器的串扰与频率的关系

最后，开关本身有着自己的建立时间，这也是必须考虑的。图 19 显示了动态传递函数。建立时间可以计算是因为响应是开关和电路电阻与电容的函数。可以假定这是一个单极点系统，并计算建立目标系统精度所需时间常数的数量，如图 20 所示。



$$\text{OFF - TO - ON: } t_{\text{SETT}} = t_{\text{ON}} + \left(\frac{R_{\text{ON}} R_{\text{LOAD}}}{R_{\text{ON}} + R_{\text{LOAD}}} \right) (C_{\text{LOAD}} + C_{\text{D}}) \left(-\ln \frac{\% \text{ERROR}}{100} \right)$$

$$\text{ON - TO - OFF: } t_{\text{SETT}} = t_{\text{OFF}} + (R_{\text{LOAD}}) (C_{\text{LOAD}} + C_{\text{D}}) \left(-\ln \frac{\% \text{ERROR}}{100} \right)$$

Settling time is the time required for the switch output to settle within a given error band of the final value.

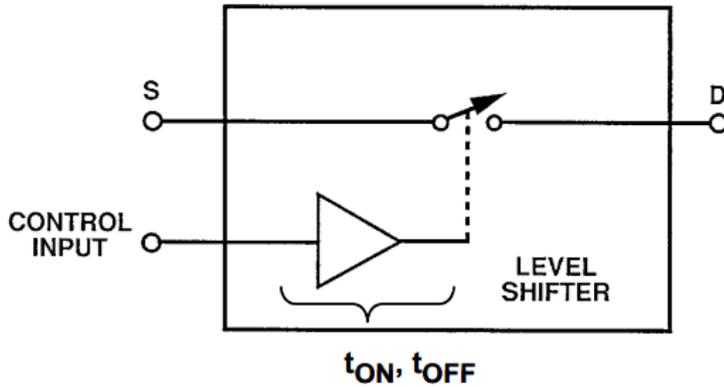
图 19: 多路复用器的建立时间

RESOLUTION, # OF BITS	LSB (%FS)	# OF TIME CONSTANTS
6	1.563	4.16
8	0.391	5.55
10	0.0977	6.93
12	0.0244	8.32
14	0.0061	9.70
16	0.00153	11.09
18	0.00038	12.48
20	0.000095	13.86
22	0.000024	15.25

图 20: 为单极点系统建立 1LSB 精度所需时间常数数量

应用模拟开关

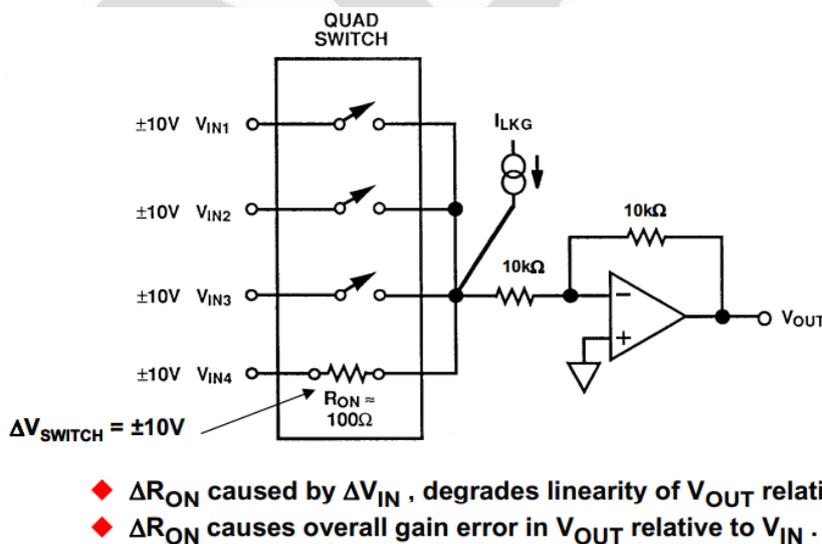
应用模拟开关时，开关时间是一个重要的考虑因素，但是，不能将开关时间与建立时间相混淆。导通时间和关断时间只是从控制输入到开关切换间的传播延迟的一种衡量指标，主要由驱动和电平转换电路中的时间延迟导致（见图 21）。 t_{ON} 和 t_{OFF} 两个值一般是在从控制输入前沿的 50% 点到输出信号电平的 90% 点之间测量的。



- ◆ t_{ON} and t_{OFF} should not be confused with settling time.
- ◆ t_{ON} and t_{OFF} are simply a measure of the propagation delay from control input to operation of the analog switch. It is caused by time delays in the drive / level-shifter logic circuitry.
- ◆ t_{ON} and t_{OFF} are measured from the 50% point of the control input to the 90% point of the output signal level.

图 21: 应用模拟开关: 动态性能考虑

接下来, 我们将考虑用运算放大器缓冲 CMOS 开关或多路复用器输出时涉及到的问题。当一个 CMOS 多路复用器接至反相器和放大器时, 应该注意的是, 导通电阻及其作为输入电压函数的非线性变化将导致增益误差和失真误差, 如图 22 所示。如果电阻较大, 则开关漏电流有可能带来误差。小电阻有利于减少漏电流误差, 但会增加因 R_{ON} 有限值导致的误差。



- ◆ ΔR_{ON} caused by ΔV_{IN} , degrades linearity of V_{OUT} relative to V_{IN} .
- ◆ ΔR_{ON} causes overall gain error in V_{OUT} relative to V_{IN} .

图 22: 应用模拟开关: 带开关输入的单位增益反相器

为了减少因输入电压变化导致的 R_{ON} 变化的影响，建议把多路复用开关置于运算放大器求和点，如图 23 所示。这样可以确保开关仅以约 $\pm 100\text{mV}$ 而非全 $\pm 10\text{V}$ 电压调制——但各个输入引脚都需要一个独立的电阻。

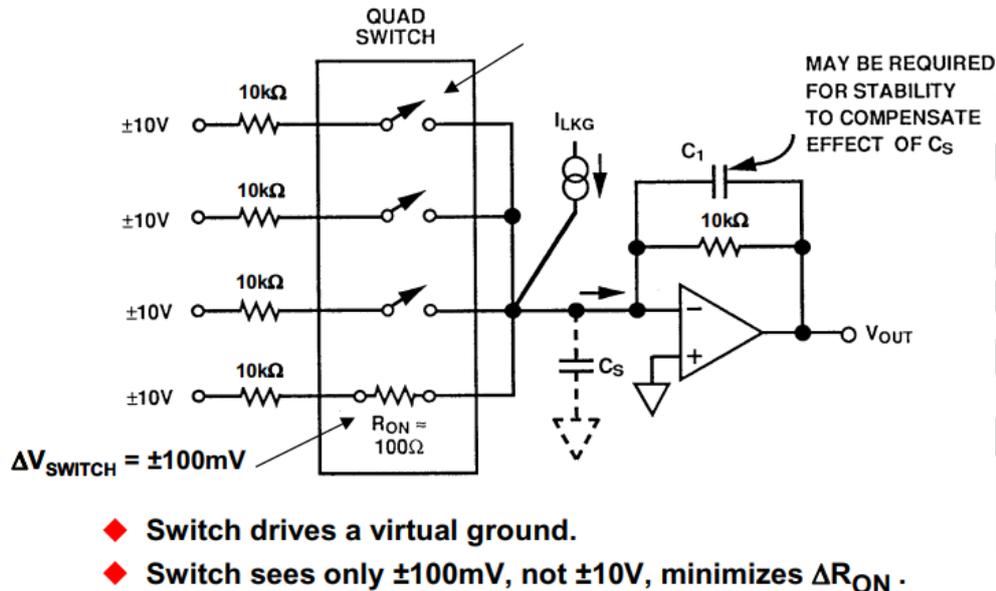
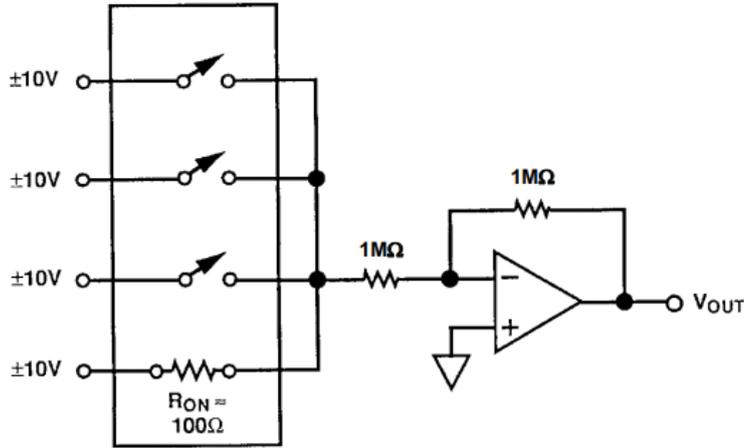


图 23：应用模拟开关：减少 ΔR_{ON} 的影响

必须了解因添加多路复用器给求和点增加了多少寄生电容，因为给该节点增加的任何电容都会给放大器闭环响应带来相移。如果该电容过大，则放大器可能变得不稳定并产生振荡。可能需要在反馈电阻上跨接一个小电容 C_1 来稳定电路。

在如图 24 所示电路中， R_{ON} 的有限值可能成为重要的误差源。增益设置电阻应该至少是开关导通电阻的 1000 倍，以保证 0.1% 的增益精度。较高的值会带来更高的精度，却会降低带宽，增加对漏电流和偏置电流的敏感度。

补偿 R_{ON} 的一种更好的方式是使一个开关与反相放大器的反馈电阻串联，如图 25 所示。不妨假定，单个芯片上的多个开关在绝对特性和温度跟踪特性方面良好匹配。因此，放大器在单位增益下具有闭环增益稳定性，因为总前馈电阻和反馈电阻是相匹配的。



- ◆ ΔR_{ON} is small compared to $1M\Omega$ switch load.
- ◆ Effect on transfer accuracy is minimized.
- ◆ Bias current and leakage current effects are now very important.
- ◆ Circuit bandwidth degrades.

图 24：应用模拟开关：用大电阻值减少 ΔR_{ON} 的影响

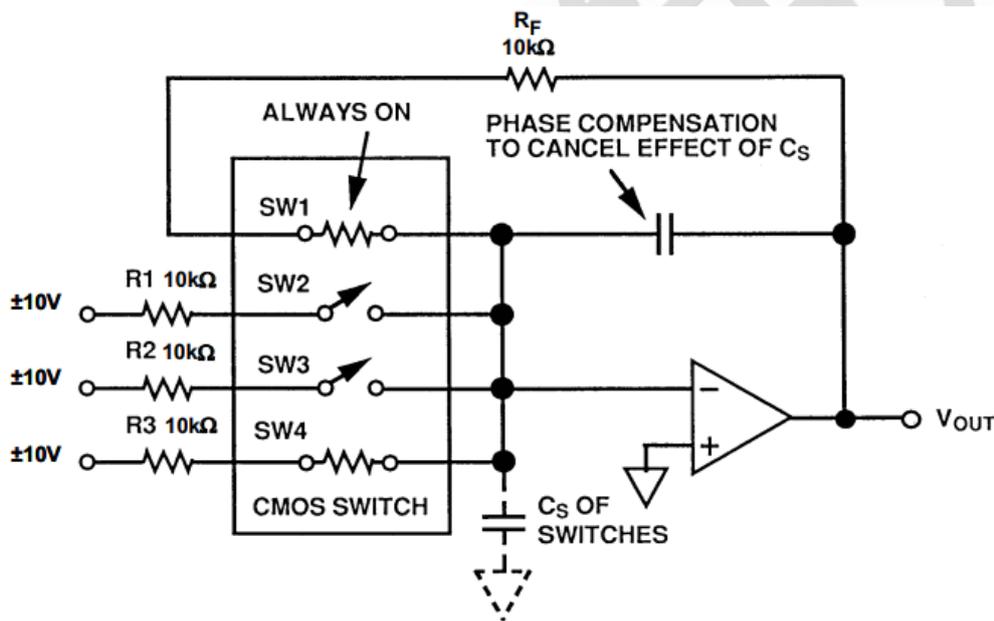


图 25：应用模拟开关：利用反馈中的“虚拟”开关降低 ΔR_{ON} 导致的增益误差

最好的多路复用器设计以如图 26 所示方法驱动放大器的同相输入。同相输入较高的输入阻抗将消除 R_{ON} 带来的误差。

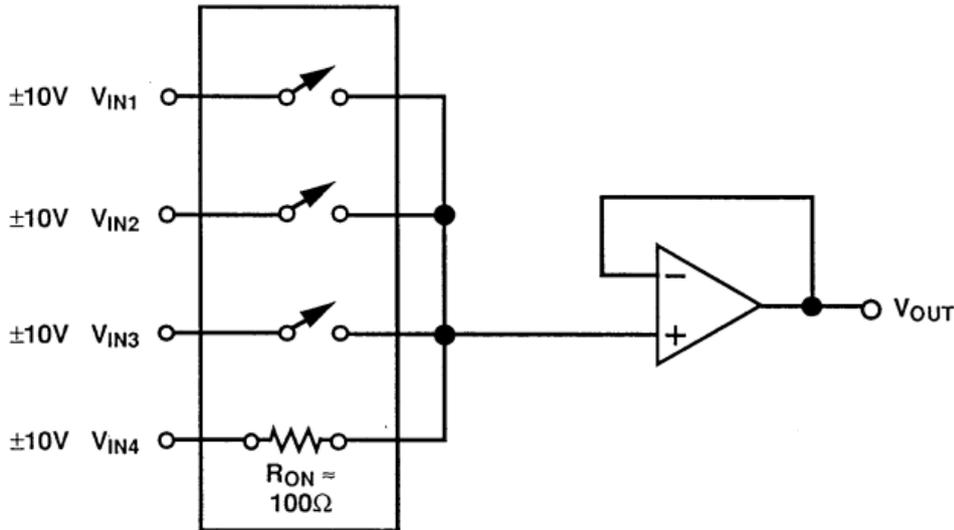
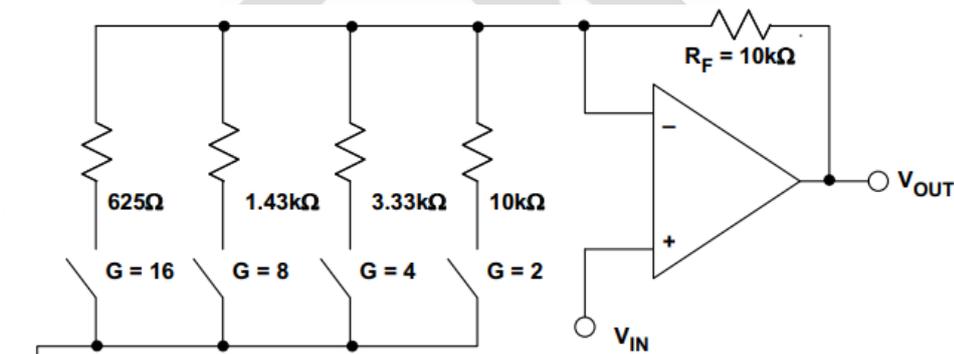


图 26: 应用模拟开关: 利用同相配置减少 ΔR_{ON} 的影响

CMOS 开关和多路复用器通常与运算放大器相结合, 以形成可编程增益放大器(PGA)。为了解 R_{ON} 对其性能的影响, 我们来考察一下图 27 中的不良 PGA 设计。一个同相运算放大器有 4 个不同的增益设置电阻, 各通过一个开关接地, R_{ON} 为 100-500 Ω 。即使当 R_{ON} 低至 25 Ω 时, 增益为 16 时的误差为 2.4%, 比 8 位精度还要差! R_{ON} 还会随温度而变化, 在开关间也会发生变化。

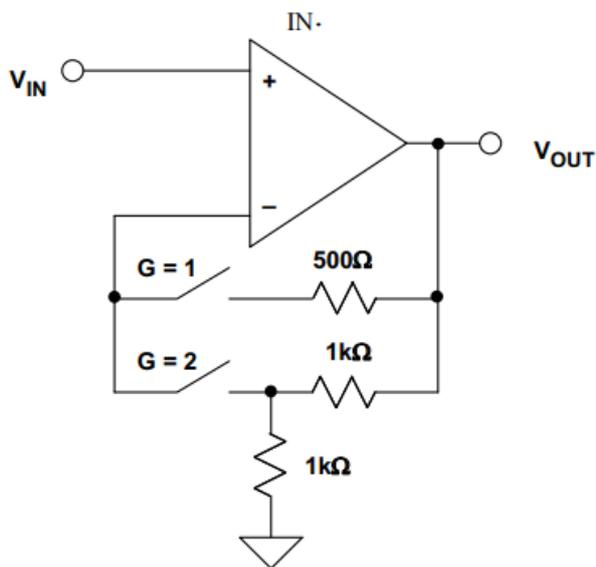


- ◆ Gain accuracy limited by switch's on-resistance R_{ON} and R_{ON} modulation
- ◆ R_{ON} typically 1 - 500 Ω for CMOS or JFET switch
- ◆ For $R_{ON} = 25\Omega$, there is a 2.4% gain error for $G = 16$
- ◆ R_{ON} drift over temperature limits accuracy
- ◆ Must use very low R_{ON} switches

图 27: 用 CMOS 开关设计不当的 PGA

要尝试“修复”该设计，可以增加电阻，但随之而来的是噪声和失调问题。对于这种电路，提高精度的唯一方法是使用几乎不存在 R_{ON} 的继电器。只有在这种情况下，继电器仅数 $m\Omega$ 的 R_{ON} 只会产生较小的误差（与 625Ω 相比）。

最好使用对 R_{ON} 不敏感的电路。在图 28 中，开关与运算放大器的反相输入串联。由于运算放大器的输入阻抗非常大，因而与开关 R_{ON} 不再相干，而此时的增益完全由外部电阻决定。请注意——如果运算放大器偏置电流较高， R_{ON} 可能会增加较小的失调误差。如果情况确实如此，则可在 V_{IN} 用一个等效电阻进行补偿。



- ◆ R_{ON} is not in series with gain setting resistors
- ◆ R_{ON} is small compared to input impedance
- ◆ Only slight offset errors occur due to bias current flowing through the switches

图 28：替代 PGA 配置降低 R_{ON} 的影响

1-GHz CMOS 开关

[ADG918/ADG919](#) 采用 CMOS 工艺制成、具有高隔离和低插入损耗特点并且频率达 1GHz 或以上的开关。在传送 1GHz 信号时，这两款开关展现出较低的插入损耗(0.8dB)和相对较高的关断隔离(37dB)特性。在吞吐量功率为+18dBm 或以下、工作温度为 25°C 的高频应用中，它们是砷化镓(GaA)开关的一种具有成本效益的替代方案。图 29 给出了两款器

件的框图，图 30 展示了隔离和损耗与频率之间的关系坐标图。

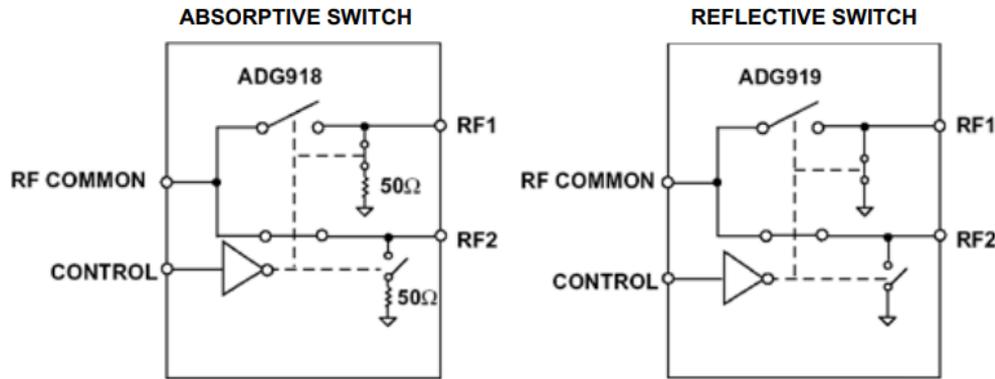


图 29: 1 GHz CMOS 1.65 V 至 2.75 V 2:1 Mux/SPDT 开关

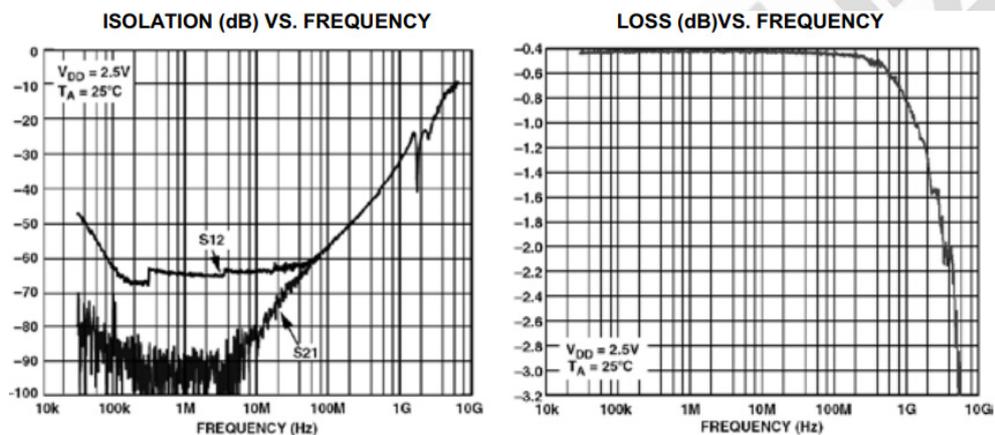


图 30: [ADG918/ADG919](#) 1 GHz 开关的隔离和频率响应

[ADG918](#) 是一款吸收式开关，内置 50Ω 端接分流引脚，允许与应用电路匹配阻抗，而 [ADG919](#) 则是一款反射式开关，设计用于同轴负载在芯片之外的应用。两款开关均具有功耗低(<1μA)、封装小 (8 引脚 MSOP 和 3mm × 3mm 引脚架构芯片级封装)、兼容 CMOS/LVTTL 的单引脚控制电压电平等特点，是无线应用和通用射频开关的理想选择。

CMOS 开关和多路复用器中的寄生门锁

由于多路复用器往往处于数据采集系统的前端，因此，其输入一般来自远程位置——因而它们往往会受到过压条件的影响。了解这个问题及其与 CMOS 器件的相关性显得尤其重要。尽管本文主要讨论的是多路复用器，但它与几乎所有类型的 CMOS 器件都有密切

关系。

多数 CMOS 模拟开关是以结隔离 CMOS 工艺制成的。单个开关单元的横截面如图 31 所示。如果模拟开关引脚的正电压比 V_{DD} 大或者负电压比 V_{SS} 大，则可能发生寄生硅控整流器(SCR)闩锁现象。即使是瞬变条件（如有输入电压时上电）也有可能激活寄生闩锁。如果传导电流过大（数百毫安或以上），结果可能损坏开关。

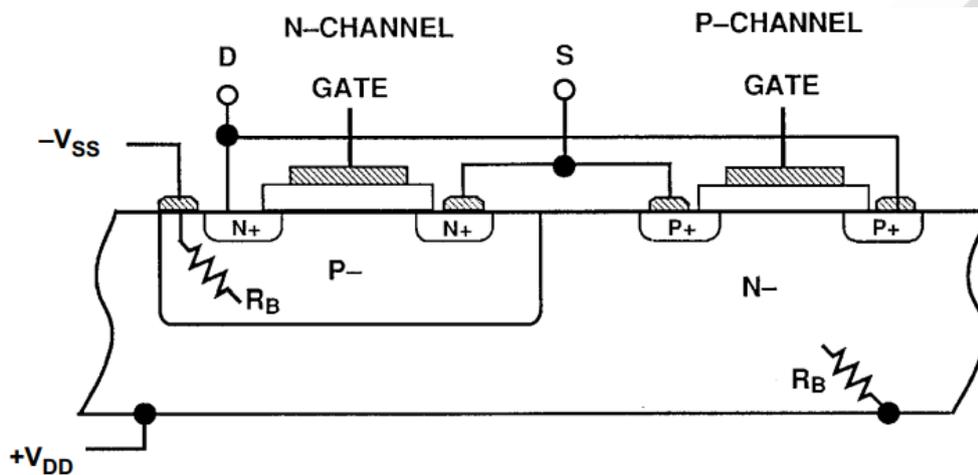


图 31: 结隔离 CMOS 开关的横截面

寄生 SCR 机制如图 32 所示。当开关的引脚之一（源引脚或漏引脚）比正 V_{DD} 大一个二极管压降或者比负 V_{SS} 大一个二极管压降时，将产生 SCR 动作。前一种情况下， V_{DD} 引脚变成 SCR 栅极输入，并提供电流以激活 SCR 动作。当负电压比 V_{SS} 大时， V_{SS} 引脚变成 SCR 栅极输入，并提供栅极电流。任一情况下，电源之间都会有高电流通过。电流取决于两个晶体管的集电极电阻，可能非常小。

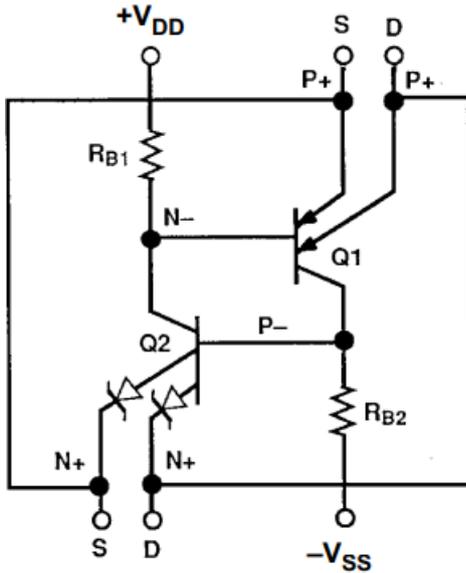
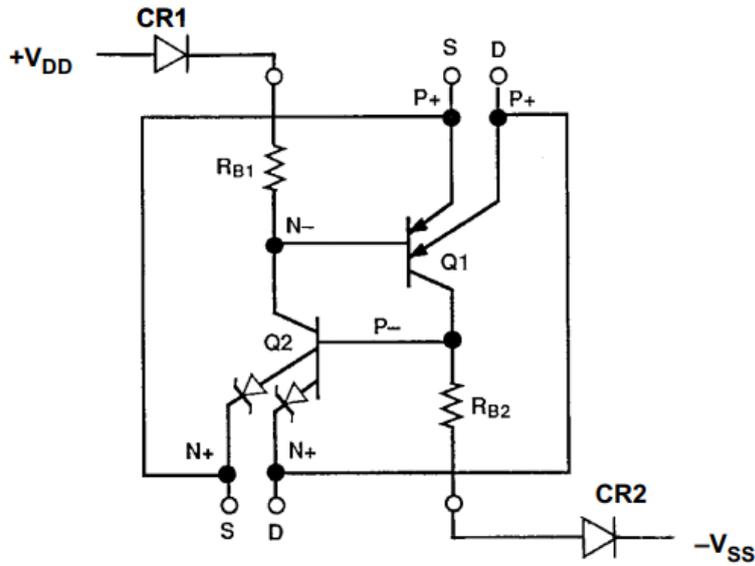


图 32: CMOS 开关的双极性晶体管等效电路展现出寄生 SCR 闩锁

一般而言，为了防止发生闩锁条件，CMOS 器件的输入不得高于正电源 0.3V，也不得低于负电源 0.3V。请注意，这一限制同样适用于电源关断($V_{DD}=V_{SS}=0V$)的情况，因此，当输入端存在信号时，如果此时将电源施于某个器件，则器件很可能闩锁。CMOS 器件的制造商们无一例外地把这一限制列于数据手册的绝对最大额定值表中。另外，过压条件下的输入电流应限制为 5-30mA，取决于具体的器件。

为了防止出现这种 SCR 闩锁，可以将一个串联二极管插入 V_{DD} 和 V_{SS} 引脚中，如图 33 所示。二极管会阻止 SCR 栅极电流。正常情况下，寄生晶体管 Q1 和 Q2 的 beta 较低（通常不到 10），需要相对较大的栅极电流来激活 SCR。二极管对反向栅极电流进行限制，以免激活 SCR。



Diodes CR1 and CR2 block base current drive to Q1 and Q2 in the event of overvoltage at S or D.

图 33: CMOS 开关的二极管保护方案

如果采用二极管保护模式，则开关各供电轨的模拟电压范围将减少一个 V_{BE} 压降，在使用低电源电压时，这样做可能不太方便。

如前所述，CMOS 开关和多路复用器也可以免受过流的影响，其方法是插入一个串联电阻，把电流限制在安全电平以内，如图 34 所示，一般低于 5-30mA。鉴于 R_{LOAD} 和 R_{LIMIT} 形成的阻性衰减器，只有在开关驱动相对较高的阻抗负载的时候，这种方法方才有效。

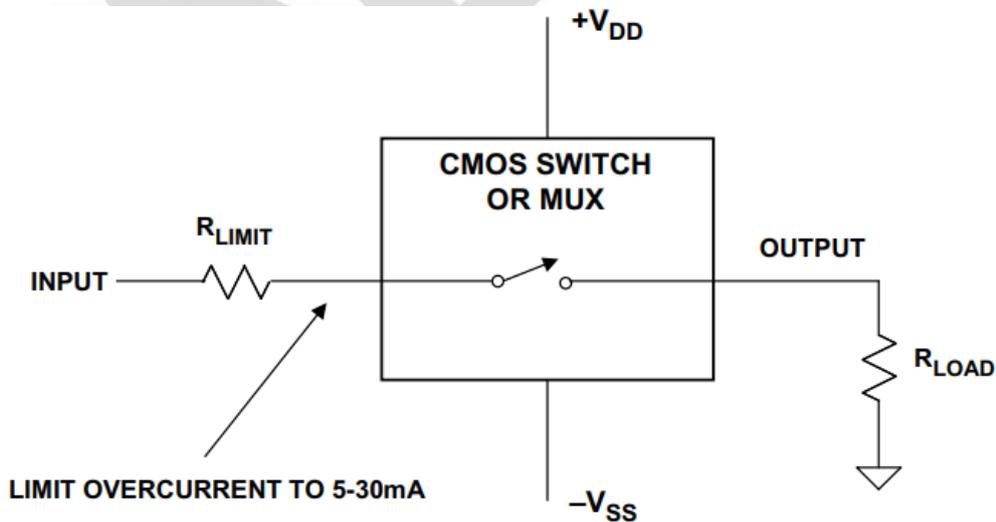


图 34: 用外部电阻实现过流保护

一种常见的输入保护法如图 35 所示，其中，肖特基二极管从输入引脚连接至各个电源电压。二极管实际上可以有效防止输入引脚超过电源电压达 0.3-0.4V 以上，由此避免了闩锁条件的发生。另外，如果输入电压超过电源电压，则输入电流会经过外部二极管流至电源，而不流到器件中。肖特基二极管可以轻松处理 50-100mA 瞬变电流，因而， R_{LIMIT} 电阻可以非常低。

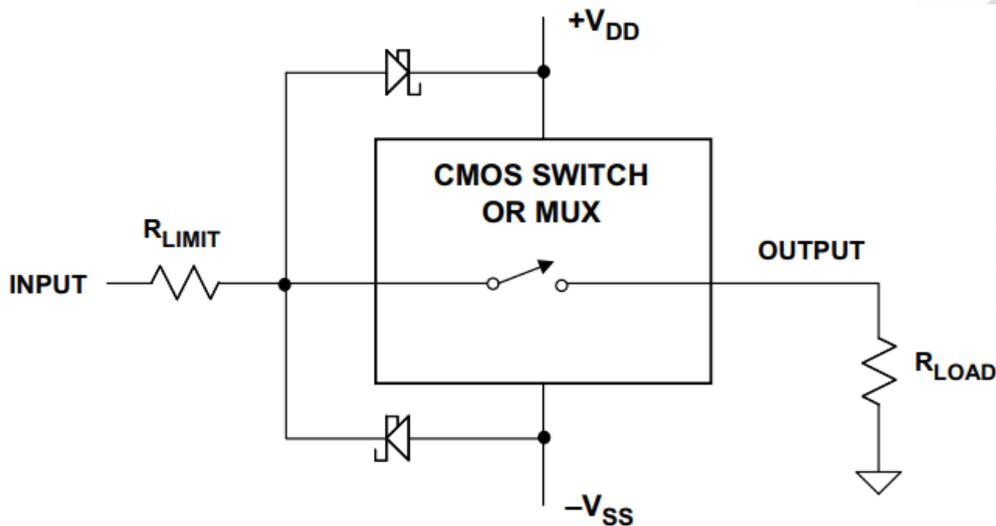


图 35：用外部肖特基二极管实现输入保护

多数 CMOS 器件的内置 ESD 保护二极管都是从输入连接到供电轨，大幅降低了闩锁的可能。然而，内置的二极管在 0.6V 时开始导电，而且电流处理能力有限，因此，添加外部肖特基二极管可以提供额外的保护。然而，必须考虑二极管漏电流和电容的影响。请注意，闩锁保护并不提供过流保护，反之亦然。如果一个系统中可以同时存在两个故障条件，则须同时使用保护性二极管和电阻。

ADI 公司采用沟道隔离技术来生产 LC² MOS 模拟开关。这种工艺有利于降低器件的闩锁可能和结电容，增加了开关时间和漏电流，模拟输入电压扩大至供电轨。

图 36 所示为沟道隔离 CMOS 结构的横截面视图。嵌入式氧化物层和侧壁将基板与各晶体管结完全隔离开来。因而不会形成反向偏置 PN 结。结果，可能减少带宽的电容以及 SCR 闩锁的可能性都大幅降低了。

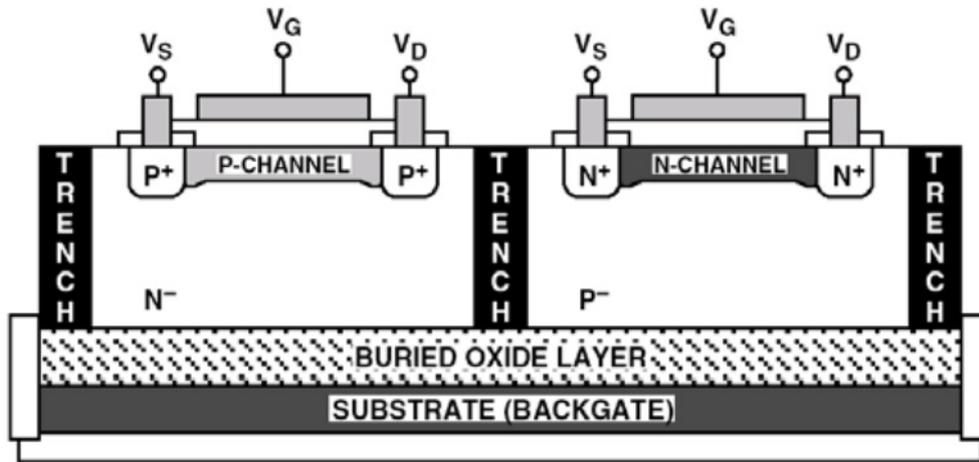


图 36: 沟道隔离 LC2 MOS 结构

[ADG508F](#)、[ADG509F](#)、[ADG528F](#)、[ADG438F](#) 和 [ADG439F](#) 均为±15V 沟道隔离 LC² MOS 多路复用器，可为-40V 和+55V 之间的输入及输出过压提供“故障保护”功能。这些器件在信号路径中采用一种由三个 MOSFET 构成的串联结构。一个 N 沟道，其后为一个 P 沟道，再后为一个 N 沟道。另外，当电源关闭时，信号路径变成高阻抗。该结构可提供较高的闩锁和过压保护能力——但其代价是更高的 R_{ON} (~300Ω)，而且 R_{ON} 随信号电平变化的幅度也会增大。有关这种保护方法的详细情况，请参见各产品数据手册。

视频多路复用器和交叉点开关

视频多路复用器为了满足严格的带宽平坦度、差分增益和相位以及 75Ω 驱动能力等规格要求，高速互补双极性工艺比 CMOS 工艺更适合制造视频开关和多路复用器。传统的 CMOS 开关和多路复用器在视频频率下往往存在多种劣势。它们的开关时间（通常为 50ns 左右）不足以满足当今视频应用的需求，而且它们要求外部缓冲来驱动典型的视频负载。另外，CMOS 开关导通电阻随信号电平的较小变化 (R_{ON} 调制) 会给差分增益和相位带来无用的失真。基于互补双极性技术的多路复用器在视频频率下表现更加卓越。当然，其代价是更高的功率和成本。

[AD8170/AD8174/AD8180/AD8182](#) 双极性视频多路复用器的功能框图如图 1 所示。

[AD8183/AD8185](#) 视频多路复用器如图 2 所示。这些器件具有高度的灵活性，是视频应用的理想之选，其差分增益和相位规格极其出色。该系列中所有器件的 0.1% 开关时间均为 10ns。[AD8186/AD8187](#) 是 [AD8183/AD8185](#) 的单电源版本。请注意，这些双极性多路复用器不是双向的。

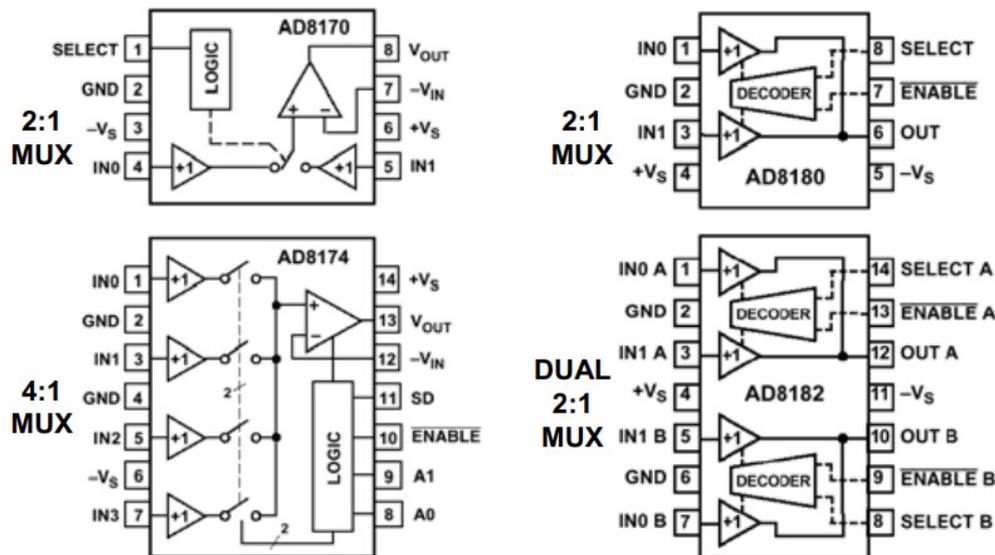


图 1: [AD8170/AD8174/AD8180/AD8182](#) 双极性视频多路复用器

[AD8170/AD8174](#) 系列多路复用器包括一个片上电流反馈运算放大器输出缓冲，其增益可以外部设置。整个系列在 5MHz 下的通道关断隔离和串扰的典型值大于 80dB。

图 3 展示的是三个 [AD8170](#) 2:1 多路复用器的一种应用电路，其中，一个 RGB 监控器在两个 RGB 电脑视频源之间切换。

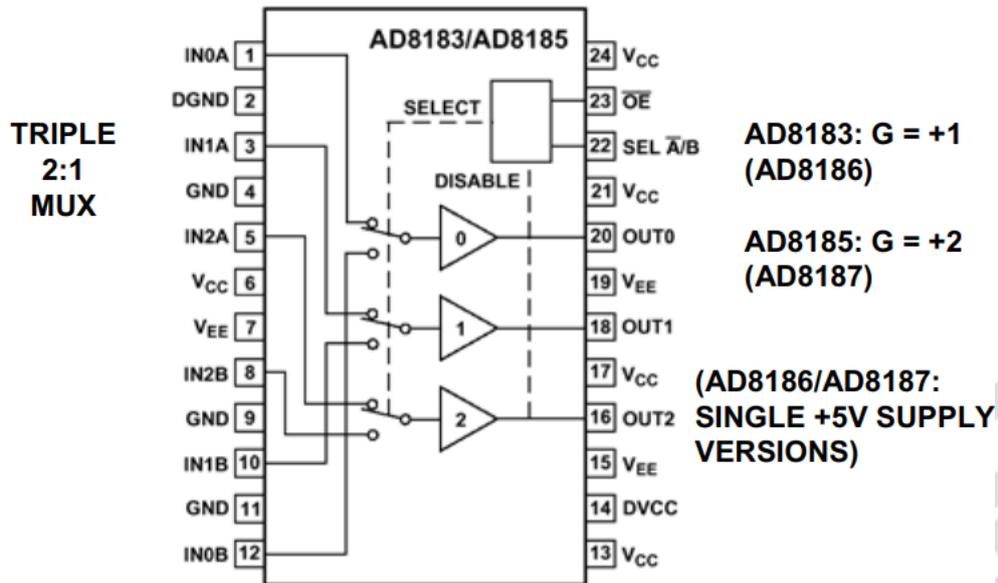


图 2: [AD8183/AD8185](#) 三路 2:1 视频多路复用器

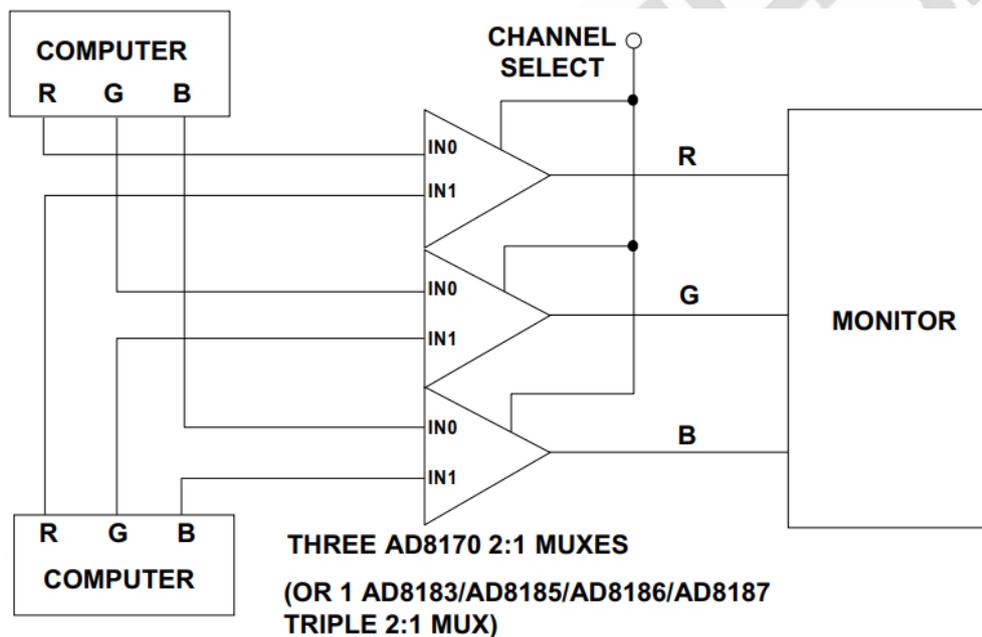


图 3: 采用三路 2:1 多路复用器的双源 RGB 多路复用器

在该设置中，总体上相当于一个三刀双掷开关。三个视频源构成三个极点，上部或下部视频源构成开关的两个状态。请注意，用一个 [AD8183](#)、[AD8185](#)、[AD8186](#) 或 [AD8187](#) 三通道双输入多路复用器可以简化电路。

图 4 中使用了 [AD8174](#) 或 [AD8184](#) 4:1 多路复用器，用一个高速 ADC 即可实现扫描仪的

RGB 输出的数字化。

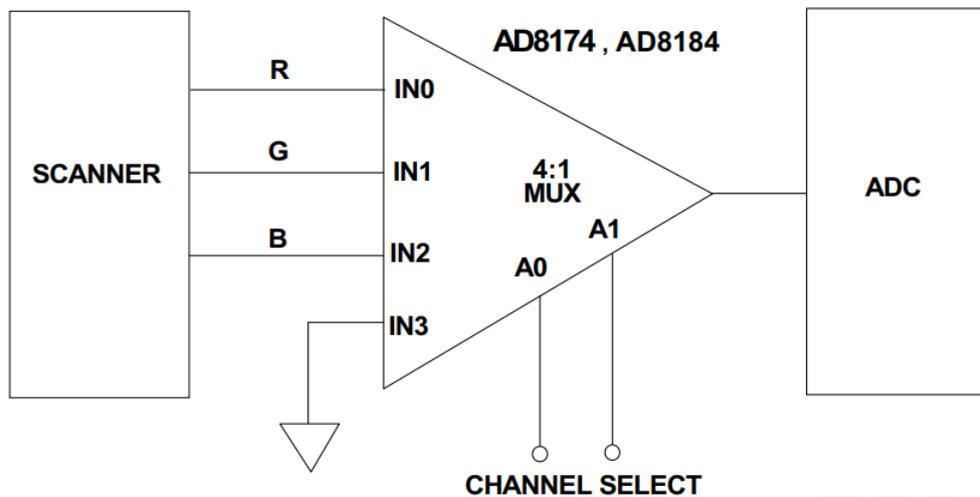


图 4：用一个 ADC 和一个 4:1 多路复用器实现 RGB 信号的数字化

来自扫描仪的 RGB 视频信号按序馈入 ADC，并按序数字化，如此，用一个 ADC 即可实现扫描仪数据的高效利用。

视频交叉点开关

[AD8116](#) 把多路复用器的概念延伸到了一种全集成的 16×16 缓冲视频交叉点开关矩阵(图 5)。3dB 带宽大于 200MHz, 0.1dB 增益平坦度高达 60MHz。0.1%通道开关时间小于 30ns。5MHz 下测得的通道间串扰为 -70dB。150Ω 负载下, 差分增益和相位分别为 0.01% 和 0.01° 。±5V 下的总功耗为 900mW。

[AD8116](#) 内置输出缓冲, 可置于高阻抗状态以提供并行交叉点级, 从而关断通道不会加载输出总线。通道开关通过串行数字控制接口 (允许以“菊花链”形式连接多个器件) 实现。[AD8116](#) 采用 128 引脚 14mm × 14mm LQFP 封装。

交叉点开关系统中的其他成员包括: [AD8108/AD8109](#) 8×8 交叉点开关; [AD8110/AD8111](#) 260MHz、 16×8 缓冲交叉点开关; [AD8113](#) 音频/视频 60MHz、 16×16 交叉点开关; 以及 [AD8114/AD8115](#) 低成本 225MHz、 16×16 交叉点开关。

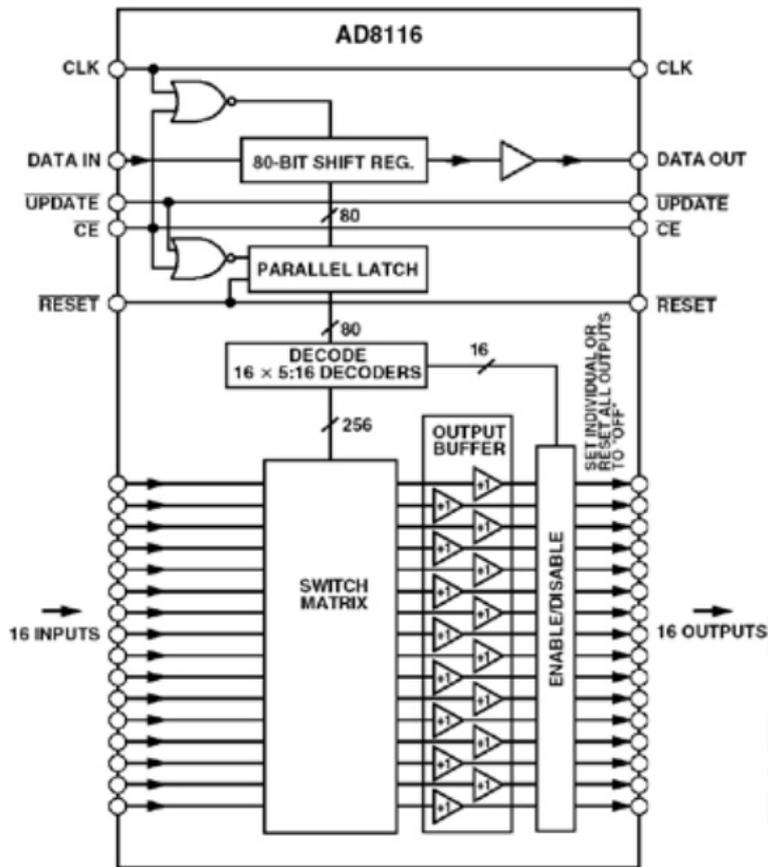


图 5: [AD8116](#) 16 × 16 200MHz 缓冲视频交叉点开关

[ADV3200/ADV3201](#)为 32 × 32 模拟交叉点开关矩阵，具有适合交流耦合应用的可选同步脉冲顶部箝位输入，以及屏幕显示(OSD)插入多路复用器。两款器件的串扰性能均为 -48dB，隔离性能为-80dB(5MHz)，因而适合许多高密度路由应用。同时 0.1dB 平坦度达 60MHz，堪称复合视频切换应用的理想之选。

[ADV3200/ADV3201](#)内置 32 个独立输出缓冲器，可以将这些缓冲器置于高阻抗状态，以提供并行交叉点输出，因此构建更大阵列时，关断通道仅向输出总线提供极小的负载。

[ADV3200](#) 提供增益+1，[ADV3201](#) 提供增益+2，适合后部端接负载应用。两款器件可以采用 5V 单电源、±2.5V 双电源或±3.3V 双电源(G=+2)供电，所有输出均使能时的空闲功耗仅为 250mA。通道开关通过双缓冲式串行数字控制接口实现，可以利用该接口将多个器件以菊花链形式连接起来。

[ADV3200/ADV3201](#)采用 176 引脚裸露焊盘 LQFP(24mm × 24mm)封装，工作温度范围为

-40°C 至+85°C 扩展工业温度范围。

数字交叉点开关

[AD8152](#) 是一款针对高速网络设计的 3.2Gbps 34 × 34 异步数字交叉点开关（见图 6）。

该器件能以每端口最高 3.2Gbps 的数据速率工作, 适合采用前向纠错(FEC)的 Sonet/SDH OC-48 应用。[AD8152](#) 具有数字可编程电流模式输出, 可以驱动多种端接方案和阻抗, 同时可以维持正确的电压水平、降低功耗。该器件支持最低+2.5V 的电源电压, 具有卓越的输入灵敏度。控制接口兼容 LVTTTL 或 CMOS/TTL。

作为同类产品中功耗最低的交叉点开关解决方案, [AD8152](#) 在 2.5V 电源下且全部 I/O 开启时的功耗不到 2W, 不需要外部散热器。[AD8152](#) 的抖动很低, 不到 45ps, 是高速网络系统的理想选择。[AD8152](#) 的完全差分信号路径不仅可降低抖动和串扰, 而且允许使用较小的单端电压摆幅。该器件采用 256 引脚 SBGA 封装, 工作温度范围为 0°C 至+85°C 工业温度范围。

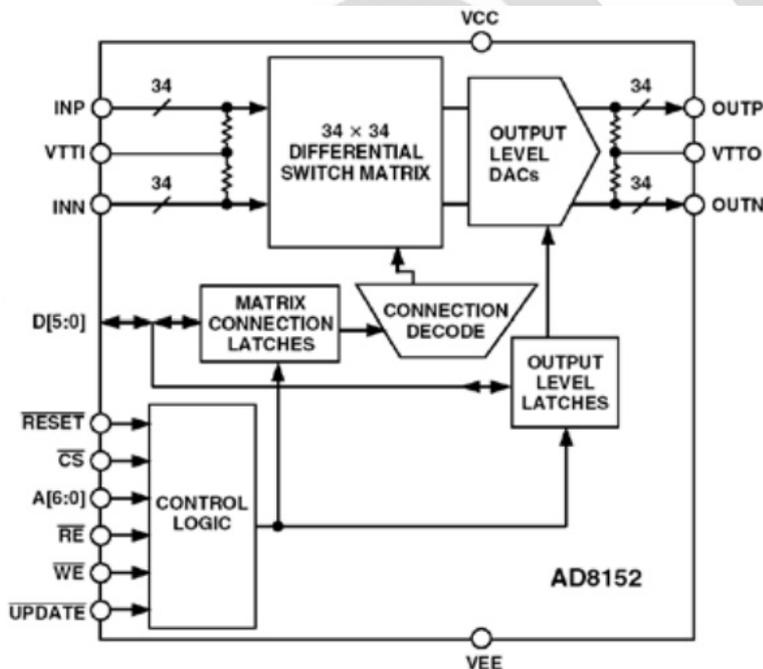


图 6: [AD8152](#) 3.2 Gbps 异步数字交叉点开关

电压基准

电压基准

基准电压源和线性调节器具有许多共同点。事实上，后者在功能上相当于一个基准电压源，只是输出电流（或功率）更大。相应地，这两种电路的几乎所有规格都具有极大的相似性（即使基准电压源在漂移、精度等方面的性能往往较高）。在当今的许多应用中，所需的支持电路都包含在转换器封装之中。这对设计人员来说是有利的，因为这可以简化系统的设计，而且可以保障性能。

基准电压源对模拟系统的性能和精度产生着重大影响。5V 基准电压源上的 $\pm 5\text{mV}$ 容差相当于 $\pm 0.1\%$ 的绝对精度，其精度仅为 10 位。对于 12 位系统，选择容差为 $\pm 1\text{mV}$ 的基准电压源，其性价比可能远远超过手动校准，而进行绝对 16 位测量的系统中必须要求高初始精度和校准。请注意，许多系统进行的是相对测量而非绝对测量，这种情况下，基准电压源的绝对精度的重要性有所下降，虽然噪声和短期稳定性可能是重要因素。

温度漂移或者老化导致的漂移可能是比绝对精度更重要的问题。虽然初始误差始终可以调整，但对漂移进行补偿却存在较大的困难。在可能的情况下，选择基准电压源时应该注重温度系数和老化特性，以便能在工作温度范围内以及系统的预期寿命期间保持充足的精度。

虽然基准电压源的噪声往往被忽视，却可能是系统设计中一个极其重要的因素。噪声指基准电压的瞬间变化。其额定值一般标示于数据手册中，但系统设计师经常会忽略规格参数，并想当然地认为基准电压源不会对系统带来额外的噪声。

基准电压源必须考虑两个动态问题：启动时的行为，及其在瞬态负载下的行为。对于第一点，始终要记住的是，基准电压源不会立即上电（ADC、DAC 以及分立式设计中的基准电压源确实是这样）。因此，打开 ADC 和基准电压源（内部或外部），读取数值，

然后再在几微秒之内关闭，这是几乎不太可能做到的，无论这样做有多么节能。

对于第二点，给定的基准电压源 IC 不一定就适用于脉冲加载条件，这要取决于具体的架构。许多基准电压源采用低功耗，也即低带宽的输出缓冲放大器。在快速瞬态负载的情况下，结果会造成性能下降，从而可能导致快速 ADC 的性能下降（尤其是逐次逼近和闪存 ADC）。通过适当去耦可以缓解这个问题（但有些基准电压源会随容性负载振荡），或者也可以使用额外的外部宽带缓冲放大器来驱动发生瞬态负载的节点。

简单的二极管基准电压源

就电路连接的功能而言，标准基准电压源 IC 一般只提供串行或三引脚形式（ V_{IN} 、共模、 V_{OUT} ），并且只有正极性。串行型号具有以下优势：静态电流低、稳定；标准预调节输出电压；以及相对较高的输出电流，且精度不会下降。分流或双引脚（即二极管一类）基准电压源在工作极性方面更灵活，但对负载有着更严格的限制。事实上，它们可能吞食过多功率，因为其电阻馈入的电压输入变化范围很大。另外，它们有时采用非标准电压。所有这些因素加在一起，决定了何时首选哪种功能类型。

图 1 显示的是一些简单的二极管式基准电压源。在第一种基准电压源中，一个电流驱动的正偏二极管（或二极管连接的晶体管）产生一个电压，即 $V_f = V_{REF}$ 。虽然结点压降在一定程度上与电源并不相关，但作为基准电压源却存在多种不足。其中包括，温度系数较高，为 $-0.3\%/^{\circ}\text{C}$ 左右，对负载具有一定的敏感性，输出电压非常不灵活，而且仅支持 600mV 跳变。

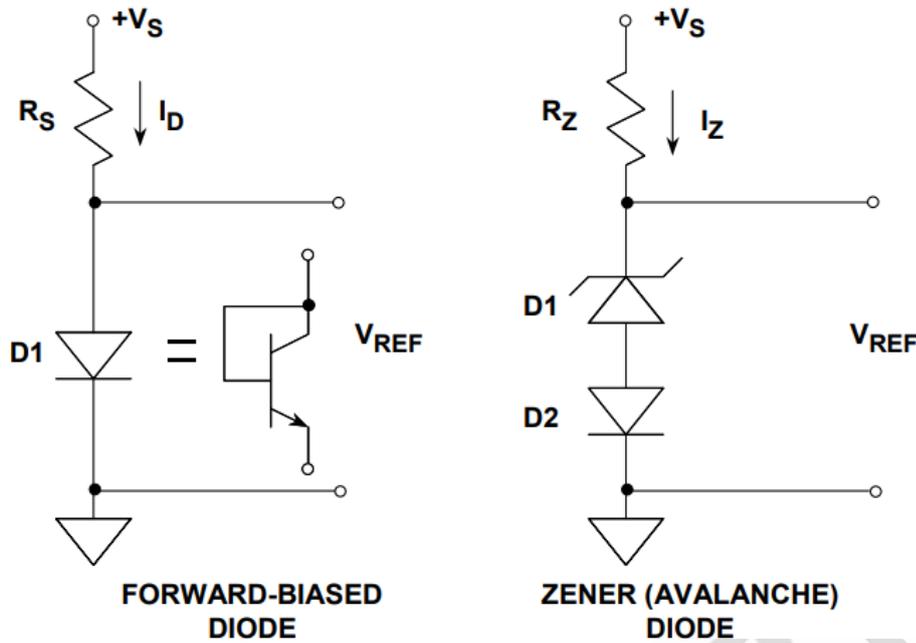


图 1: 简单的二极管基准电压源电路

与之相反，多数这些简单的基准电压源（以及所有其他分流型调节器）有一种基本优势，即通过转换连接、使驱动电流反相可以轻松改变极性。然而，所有分流调节器都存在一种基本限制，即负载电流必须始终（而且通常是大幅）低于驱动电流 I_D 。

在图 1 中的第二个电路中，使用的是一个齐纳或“雪崩”二极管，结果可以大幅提升输出电压。虽然真正的齐纳二极管击穿电压低于 5V，但雪崩二极管的击穿电压更高，且温度系数为正。请注意，目前，几乎把二极管反相击穿统一称为齐纳，虽然通常是雪崩二极管击穿。当 D1 击穿电压范围为 5 至 8V 时，净正温度系统等于正偏二极管 D2 的负温度系数，结果，净温度系数为 $100\text{ppm}/^\circ\text{C}$ ，在适当的偏置电流下更低。这些仔细选择的二极管相结合，构成了早期的单封装“温度补偿齐纳二极管”基准电压源的基础，比如 1N821-1N829 系列等。

温度补偿齐纳基准电压源在初始精度方面存在较大限制，因为温度系数组合会在奇怪的电压下下降，如 1N829 在 6.2V 时即是如此。另外，该方案在负载方面也有限制，因为要获得较好的温度系数，就必须对二极管电流进行仔细控制。与低电压(<2V)基准电压源不同，基于基准电压源的齐纳二极管必须采用远远高于 6V 的电压源驱动，因此，齐纳

基准电压源无法应用于 5V 系统电源。基于低温度系数齐纳（雪崩）二极管的基准电压源噪声较大，这要归因于击穿机制存在的基础噪声。单芯片齐纳二极管在这方面有了较大的改善，下文将进一步讨论。

带隙基准电压源

基于硅带隙电压的低电压(<5V)基准电压源的发展催生了多种 IC，这些 IC 支持低电压电源，并具有良好的温度系数性能。第一个此类 IC 是 LM109（下称“基准电压源 1”），图 2 所示为一个基本的带隙基准电压源。

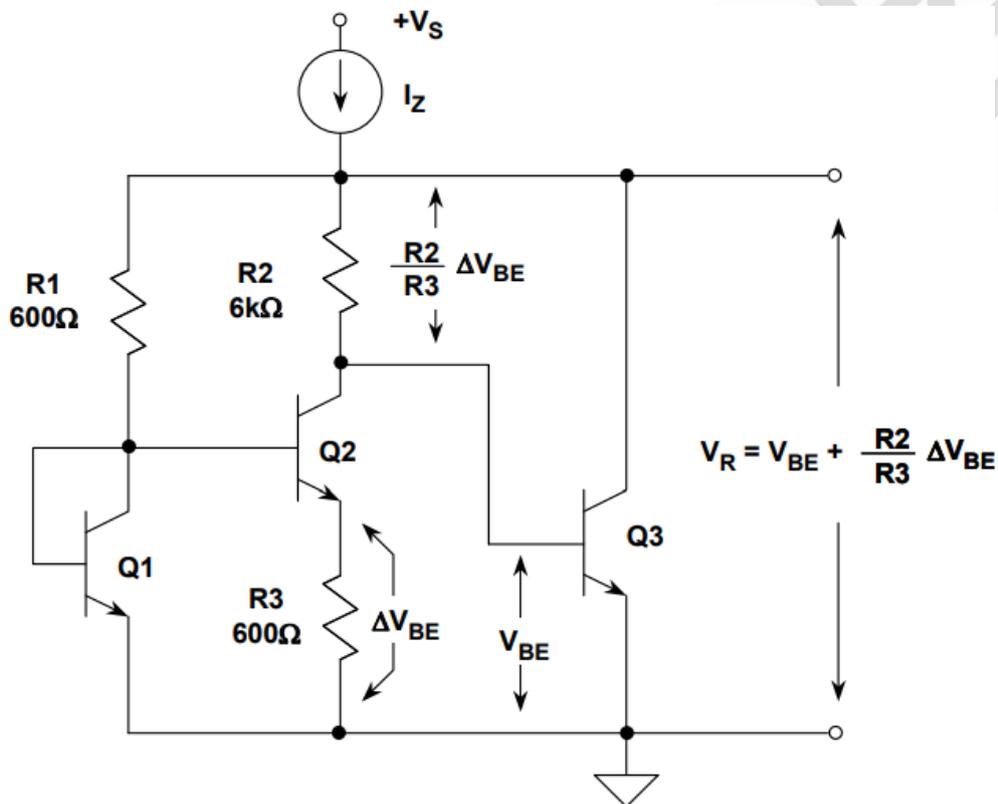


图 2：基本的带隙基准电压源

这种电路也称为“ ΔV_{BE} ”基准电压源，因为匹配晶体管 Q_1 - Q_2 之间的电流密度差会在 R_3 上产生 ΔV_{BE} 。其工作原理是，求出 Q_3 的 V_{BE} 和，同时， Q_1 - Q_2 放大过的 ΔV_{BE} 产生于 R_2 。 ΔV_{BE} 和 V_{BE} 两种组分具有相反的极性温度系数； ΔV_{BE} 与绝对温度成比例(PTAT)， V_{BE} 与绝对温度互补(CTAT)。求和后的输出为 V_R ，当其等于 1.205V（硅带隙电压）时，温度系

数最小。

在 IC 设计中，带隙基准电压源技术具有较大的吸引力，其原因有多种；其中包括相对简单，可以避免齐纳二极管及噪声。

然而，在系统电源不断减小的当今时代，有一个很重要的基本事实是，带隙器件的工作电压很低，小于 5V。它们不但用于独立的 IC 基准电压源，同时还用在许多其他线性 IC 之中，如 ADC 和 DAC。然而，图 2 中的基本设计却面临负载和电流驱动敏感度问题，而且输出需要精确调整至更有用的电压水平，即 2.5V、5V 等。负载驱动问题的最好解决办法是采用一个缓冲放大器，该器件也可方便地将电压调整至标准水平。

图 3 所示为一种改进型三引脚带隙基准电压源，[AD580](#)（推出于 1974 年）。这种电路的常用名为“BrokawCell”，提供片上输出缓冲功能，具有良好的驱动性能，支持标准输出电压调整。

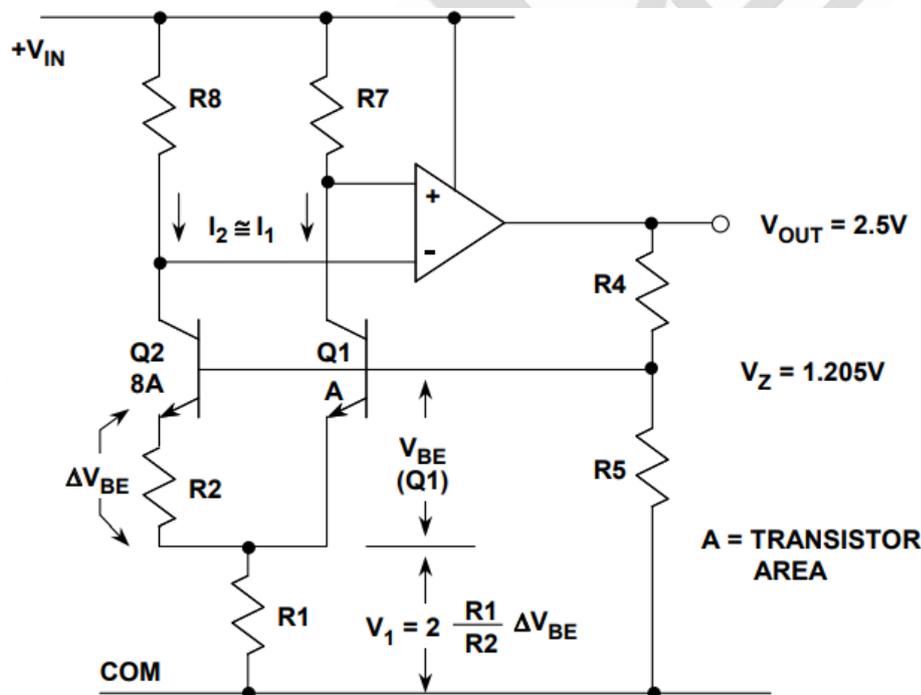


图 3: [AD580](#) 精密带隙基准电压源使用 Brokaw Cell (1974)

[AD580](#) 是第一款精密带隙 IC 基准电压源，这种拓扑结构的变体对后来几代的工业标准

基准电压源（如 [REF01](#)、[REF02](#) 和 [REF03](#) 系列）以及后来的 ADI 带隙器件（如 REF19x 系列、[AD680](#)、[AD780](#)、[AD1582-85](#) 系列、ADR38x 系列、ADR39x 系列以及 [REF01](#)、[REF02](#) 和 [REF03](#) 改进型 [SC-70](#) 和 [SOT-23](#)（分别称为 [ADR01](#)、[ADR02](#) 和 [ADR03](#)）产生了深远影响。

[AD580](#) 内置两个 8:1 发射器比例晶体管 Q1-Q2，工作于相同的集电极电流（即电流密度为 1/8），在缓冲运算放大器处使用了相等的负载电阻和一个闭环。由于 8 倍 Q2 区的 V_{BE} 较小，与 Q2 串联的 R2 使 ΔV_{BE} 电压下降，R1（因电流关系）则下降一个 PTAT 电压 V_1 ：

$$V_1 = 2 \times \frac{R1}{R2} \times \Delta V_{BE} \quad \text{等式 1}$$

带隙基准电压 V_Z 出现于 Q1 的基极处，为 $V_{BE}(Q1)$ 与 V_1 之和，即 1.205 V，带隙电压：

$$V_Z = V_{BE}(Q1) + V_1 \quad \text{等式 2}$$

$$= V_{BE}(Q1) + 2 \times \frac{R1}{R2} \times \Delta V_{BE} \quad \text{等式 3}$$

$$= V_{BE}(Q1) + 2 \times \frac{R1}{R2} \times \frac{kT}{q} \times \ln \frac{J1}{J2} \quad \text{等式 4}$$

$$= V_{BE}(Q1) + 2 \times \frac{R1}{R2} \times \frac{kT}{q} \times \ln 8 \quad \text{等式 5}$$

$$= 1.205V.$$

注意， $J1=Q1$ 的电流密度， $J2=Q2$ 的电流密度， $J1/J2=8$ 。

然而，由于 R4/R5（经激光调整）薄膜分压器和运算放大器的存在， V_{OUT} 处出现的实际电压可以向上调整，[AD580](#) 为 2.5V。依据这一基本原则， V_{OUT} 可以提升至其他实用电平，比如，对于 [AD584](#)，可使抽头支持 2.5、5、7.5 和 10V 精密工作。[AD580](#) 可提供最大 10mA 的输出电流，工作电源范围为 4.5V 至 30V。其容差低至 0.4%，温度系数低至 10ppm/°C。

带隙基准电压源的许多最新发展都偏重减小封装尺寸、降低成本，以满足对更小、更节能、成本更低的基准电压源 IC 的系统性需求。其中包括几种最新的带隙 IC 基准电压源。

[ADR520](#)(2.048V)、[ADR525](#)(2.500V)、[ADR530](#)(3.000V)、[ADR540](#)(4.096V)、[ADR545](#)(4.5V) 和 [ADR550](#)(5.0V) 是分流调节器系列的最新成员, 初始精度为 0.2%, 采用 SC-70 或 SOT-23 封装。

[AD1582-AD1585](#) 系列包括串行模式 IC 基准电压源系列, 其输出电压为 2.5、3.0、4.096 和 5.0V。与 [AD1580](#) 一样, 该系列采用小尺寸工艺, 支持 SOT-23 封装。

[AD1582-AD1585](#) 系列的电路框图 (如图 5 所示) 可以看作是基本的 Brokaw 带隙电压源的变体 (如图 3 所示)。这种情况下, Q1-Q2 构成核心, 整个环路在 Q1 的基极产生稳定的基准电压 V_{BG} 。这里存在一个显著的差异, 即运算放大器的输出级采用推挽共发射极级设计。结果要求采用一个输出电容以获得稳定性, 同时也可使 IC 的压差减至相对较低的水平。

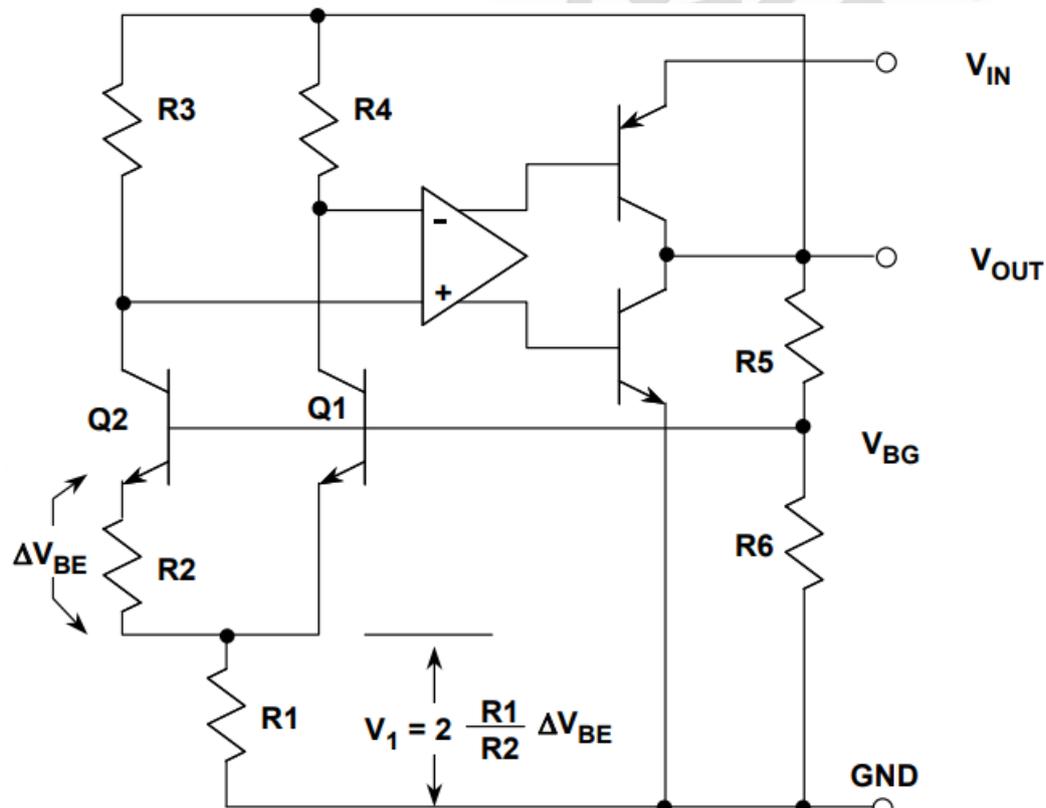
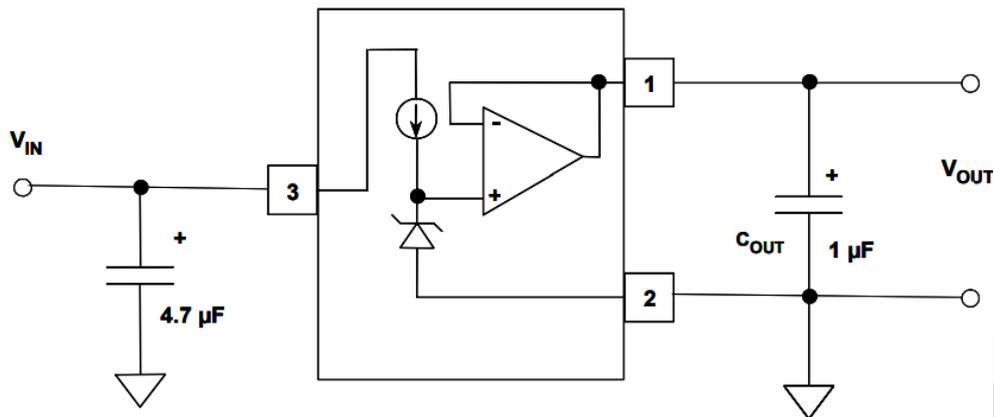


图 5: [AD1582-AD1585](#) 2.5-5V 系列带隙基准电压源



AD1582-1585: C_{OUT} REQUIRED FOR STABILITY
ADR380, ADR381: C_{OUT} RECOMMENDED TO ABSORB TRANSIENTS

图 6: [AD1582-AD1585](#) 系列连接框图

低压差意味着，可将 V_{IN} 降至比 V_{OUT} 高几百 mV 的水平，而不会干扰正常运行。推挽工作模式也意味着，该器件系列实际上可以支持输出端吸电流和源电流，与经典基准电压源只支持源电流不同。对于各种额定输出电压，分压器 R5-R6 针对相应的电平进行调节。

[AD1582](#) 系列设计支持的静态电流仅为 65 μ A（最大值），用于电压输入变化较大的低功率系统可以获得良好的功效。该系列的额定输出电流为 5mA，提供多级选择，电压容差为 ± 0.1 或 V_{OUT} 的 $\pm 1\%$ ，相应的温度系数为 50 或 100ppm/ $^{\circ}$ C。

出于稳定性要求，[AD1582](#) 必须同时配合一个输出和一个输入旁路电容。图 6 所示接线图给出了针对最差情况的建议值。对于提到的电气值，钽芯片电容很可能是尺寸最小的。

嵌入式齐纳基准电压源

就基准电压源核心所用设计方法而言，最常见的两种基本 IC 基准电压源由带隙和嵌入式齐纳单元构成。带隙在上面已经讨论过，但基于齐纳二极管的基准电压源还需要进一步讨论。

在一个 IC 芯片中，表面工艺的齐纳二极管结点击穿易于受到晶体瑕疵以及其他污染的影响，因此，表面形成的齐纳二极管比嵌入式（或表面下）齐纳二极管噪声更大、稳定性更差（见图 7）。ADI 的齐纳 IC 基准电压源采用更具优势的嵌入式齐纳二极管。这样可以使

噪声和漂移性能比表面式齐纳二极管显著提高。

嵌入式齐纳基准电压源具有极低的温度漂移，低至 $1\text{-}2\text{ppm}/^\circ\text{C}$ ([AD588](#) 和 [AD586](#))，最低噪声为满量程的百分比，即 $100\text{nV}/\sqrt{\text{Hz}}$ 或更低。不足方面，齐纳类基准电压源的工作电流通常相对较高，一般为几毫安。齐纳电压也相对较高，一般为 5V 。这限制了其在低电压电路中的应用。图 8 显示的是 [AD586](#) 的框图。

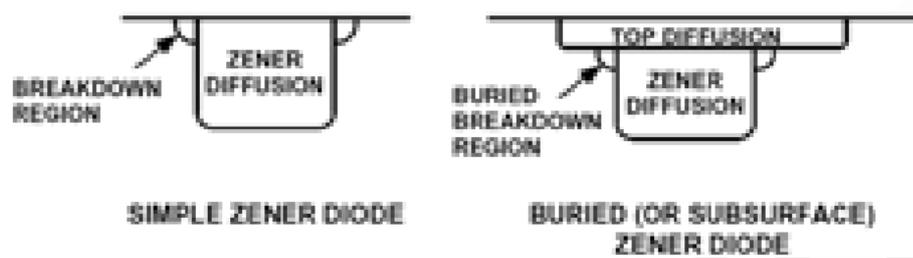


图 7：简单表面齐纳与嵌入式齐纳

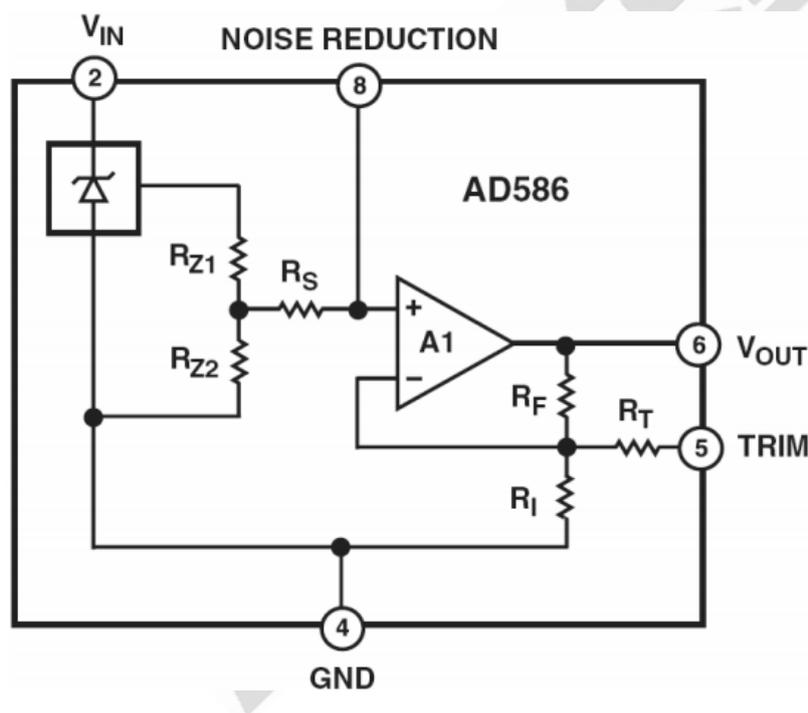


图 8：典型的嵌入式齐纳基准电压源([AD586](#))

在比较不同基准电压源的噪声性能时，需要注意一个重要问题。最好办法是比较噪声相对于直流输出电压的比率（在给定的带宽范围内）。例如，相对于噪声水平相同的 5V 基准电压源，噪声密度为 $100\text{nV}/\sqrt{\text{Hz}}$ 的 10V 基准电压源的噪声要低 6dB 。

XFET®基准电压源

第三种也是相对较新的 IC 基准电压源核心设计是以结型场效应(JFET)晶体管的属性为基础的。该 JFET 型基准电压源与双极性晶体管的带隙基准电压源具有一定的相似性，控制着一对夹断电压不同的结型场效应晶体管，并放大差分输出以产生稳定的基准电压。两个 JFET 之一采用了额外的离子嵌入，基准电压源核心设计因而获得了 XFET® (额外嵌入结型场效应晶体管) 的美名。

该 XFET 基准电压源电路的基本拓扑结构如图 9 所示。J1 和 J2 是两个 JFET 晶体管，构成基准电压源的核心。J1 和 J2 以来自匹配电流源 I1 和 I2 的相同电流驱动。右侧，J1 是采用额外离子嵌入的 JFET，结果使 J1-J2 夹断电压产生 500mV 的差值。在两个这种 FET 的夹断电压被故意偏斜的情况下，当电流驱动条件相同、源电压相等时，栅极之间将出现一个差分电压。该电压即是 ΔV_P ，等于：

$$\Delta V_P = V_{P1} - V_{P2}, \quad \text{等式 6}$$

其中， V_{P1} 和 V_{P2} 分别为 J1 和 J2 两个 FET 的夹断电压。

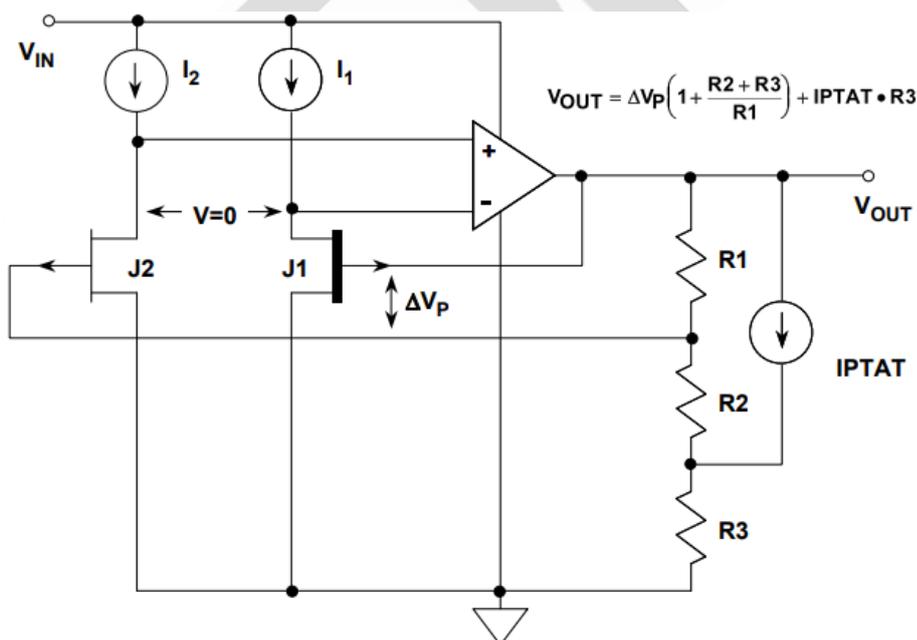


图 9: XFET®基准电压源的简化原理图

注意，在该电路中，电压 ΔV_P 存在于两个 FET 的栅极之间。我们还知道，当整个反馈环路闭合时，在运算放大器输入差分电压为零这一公理的作用下，两个 JFET 的源电流将保持于相同电位。这些源电压作为运算放大器的输入，其输出驱动着反馈分压器 R1-R3。在该环路被配置时，在来自 R1-R2 抽头的输出电压的作用下会稳定下来，该抽头事实上产生 J1-J2 栅极之间需要的 ΔV_P 。实际上，运算放大器放大 ΔV_P 以产生 V_{OUT} ，其中

$$V_{OUT} = \Delta V_P \left(1 + \frac{R2 + R3}{R1} \right) + (I_{PTAT})(R3). \quad \text{等式 7}$$

显然，该表达式包括基本的输出调整（等式右侧最左边的部分），以及最右边取决于温度的项，包括 I_{PTAT} 。表达式的 I_{PTAT} 部分对 XFET 核心的基本负温度系数进行了补偿，以使基准电压源的总净温度漂移处于 3 至 8ppm/°C 的典型范围之内。

XFET 架构相对于带隙和嵌入式齐纳基准电压源，其性能有较大提升，尤其是在工作电流十分重要的系统之中，这类系统的漂移和噪声性能仍然必须非常突出。XFET 的噪声水平低于工作于相同电流的带隙型双极性基准电压源，温度漂移低且呈线性，为 3-8ppm/°C（可在必要时轻松进行补偿）；另外，该系列的迟滞也低于带隙类产品。在 -40 至 +125°C 的温度范围内，热滞较低，为 50ppm，还不到典型带隙器件的一半。最后，其长期稳定性极佳，一般仅为 50ppm/1000 小时。

图 10 总结了三种基准电压源架构的优势与不足：即带隙、嵌入式齐纳和 XFET。

BANDGAP	BURIED ZENER	XFET®
< 5V Supplies	> 5V Supplies	< 5V Supplies
High Noise @ High Power	Low Noise @ High Power	Low Noise @ Low Power
Fair Drift and Long Term Stability	Good Drift and Long Term Stability	Excellent Drift and Long Term Stability
Fair Hysteresis	Fair Hysteresis	Low Hysteresis

图 10: 基准电压源架构的特性

尽管现代 IC 基准电压源采用多种设计方式，但串行式正固定输出型仍然是主流。它们不一定具有低功耗、低噪声和/或低压差的特性，提供的封装选项可能不齐全。当然，在既定的应用中，这些区别性因素中的任一个因素都可能决定某种选择，因此，设计人员有必要了解有哪些不同器件可供使用。

基准电压源的布局考虑

图 11 展示的是一种串联型 IC 正基准电压源的典型原理图（采用 8 引脚封装，注意“(x)”编号表示相应功能的标准引脚）。

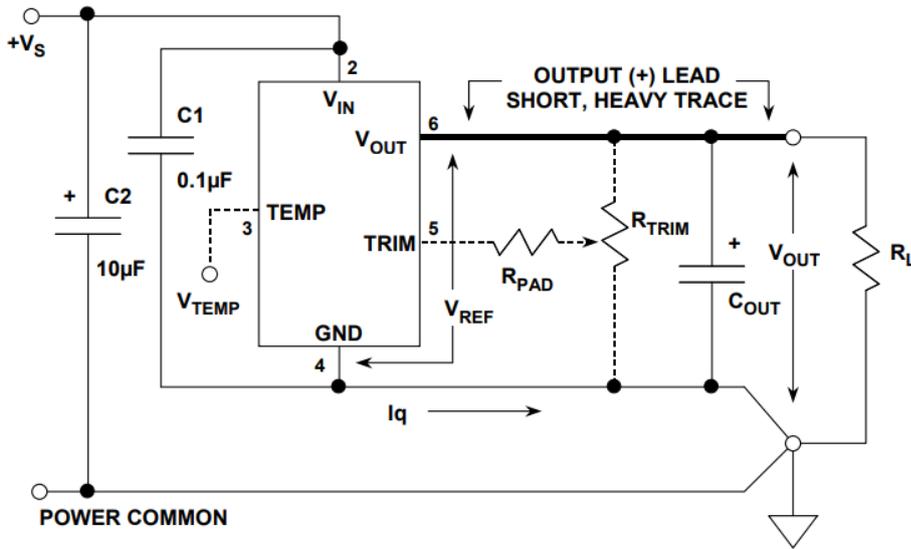


图 11: 标准正输出三引脚基准电压源接线图 (8 引脚 DIP 引脚排列)

这里需要注意几个重要的细节。许多基准电压源支持可选调整，其方法是连接一个外部调整电路以驱动基准电压源的调整输入引脚(5)。有些带隙基准电压源同时有一个高阻抗 PTAT 输出(V_{TEMP})，用于温度感测 (引脚 3)。其目的是防止该引脚消耗较大的电流，但对于比较器输入等非负载类连接可能有用，用于检测温度阈值等。

有些基准电压源有一个标为“降噪”(noise reduction)的引脚。这可能会导致误解。连接至该引脚的电容器会降低基准电压源本身的噪声，该电压源后面一般是个内部缓冲器。但该缓冲器的噪声不会受到影响。

所有基准电压源都应在输入引脚(2)上使用去耦电容，但输出 (引脚 6) 中的去耦量 (若有) 取决于基准电压源的输出运算放大器在容性负载下的稳定性。简言之，容性负载并无固定不变的规则。例如，有些三引脚类型要求采用输出电容以获得稳定性 (即 REF19x 和 [AD1582-AD1585](#) 系列)，其他则可选用以提高性能 ([AD780](#)、[REF43](#)、ADR29x、ADR43x、ADR38x、ADR39x、[ADR01](#)、[ADR02](#)、[ADR03](#))。即使输出电容是可选的，仍有可能成为必需，以便为瞬态负载电流提供能量，就如一些 ADC 基准电压源输入电路一样。因此，最安全的法则是，利用数据手册来针对电路的负载条件，确定目标基准电压源对容性负载的基本要求。

基准电压源的规格

容差

一般而言，最好选择具有要求值和精度的基准电压源，并尽量避免使用外部调整和缩放手段。这样做可以实现较好的温度系数，因为小容差和低温度系数通常是相伴而生。[AD586](#)、[AD780](#)、[REF195](#) 和 ADR43x 系列可以实现最低约 0.04% 的容差，[AD588](#) 则为 0.01%。对于是否有必要使用调整以及使用时间的问题，一定要使用建议的调整网络，其范围不得超过绝对必要的水平。当/如果需要使用额外的外部缩放手段时，则应使用精密运算放大器以及比例精确、温度系数低的跟踪薄膜电阻。

温漂

XFET 和嵌入式齐纳基准电压源系列具有最好的长期漂移和温度系数性能。XFET ADR43x 系列的温度系数低至 3ppm/°C。[AD586](#) 和 [AD588](#) 嵌入式齐纳基准电压源的温度系数低至 1-2ppm/°C，[AD780](#) 带隙基准电压源接近 3ppm/°C。

XFET 系列可实现 50ppm/1000 小时的长期漂移性能，嵌入式齐纳型则为 25ppm/1000 小时。请注意，长期漂移一般表示为 ppm/1000 小时。每年有 8766 个小时，许多工程师因此用 1000 小时数乘以 8.77，以计算年漂移——这样做是错误的，有可能造成十分悲观的结果。精密模拟电路的长期漂移是一种“随机游动”现象，随着所逝时间的平方根而增加（其假设是，漂移是芯片中的随机微效应导致的，而不是污染等常见原因造成的）。因此，1 年数值大约是 $\sqrt{8.766}$ ，约等于 1000 小时数的 3 倍，10 年数值大约是 1000 小时数的 9 倍。在实践中，情况比这要好，因为各种器件的稳定性会随时间而增加。

ADC 或 DAC 的精度不一定优于其基准电压源。基准电压源的温度漂移会影响满量程精度，如图 12 所示。表中显示了系统分辨率和在 100°C 的工作温度范围内保持 $\frac{1}{2}$ LSB 的误差而必需的温度系数。例如，为了使 $\frac{1}{2}$ LSB 误差维持于 12 位，温度系数必须为 1ppm/°C 左右。对于较小的工作温度范围，漂移要求也较小。表中最后三栏显示了常见满量程范

围下的 $\frac{1}{2}$ LSB 电压值。

BITS	REQUIRED DRIFT (ppm/°C)	$\frac{1}{2}$ LSB WEIGHT (mV) 10, 5, AND 2.5V FULLSCALE RANGES		
		10V	5V	2.5V
8	19.53	19.53	9.77	4.88
9	9.77	9.77	4.88	2.44
10	4.88	4.88	2.44	1.22
11	2.44	2.44	1.22	0.61
12	1.22	1.22	0.61	0.31
13	0.61	0.61	0.31	0.15
14	0.31	0.31	0.15	0.08
15	0.15	0.15	0.08	0.04
16	0.08	0.08	0.04	0.02

图 12: 各种系统精度下的基准电压源温度漂移要求 ($\frac{1}{2}$ LSB 标准, 温度范围 100°C)

电源电压范围

IC 基准电压源的电源电压范围最小是比额定输出高 3V (或更低), 最大是比额定输出高 30V(或更高)。针对低压差设计的器件不在此列, 如 REF19x、[AD1582-AD1585](#)、ADR38x、ADR39x 系列。低电流时, [REF195](#) 可在最低 5.1V (100mV 压差) 的输入电压下产生 5V 的输出电压。注意, 受工艺限制, 有些基准电压源的最大输入电压范围可能限制较大, 比如 [AD1582-AD1585](#) 系列(12V)、ADR29x 系列(15V)以及 ADR43x 系列(18V)。

负载灵敏度

负载灵敏度 (或输出阻抗) 一般表示为负载电流的 $\mu\text{V}/\text{mA}$, 即 $\text{m}\Omega$ 或 ppm/mA 。虽然 $70\text{ppm}/\text{mA}$ 或更低的值是非常好的 ([AD780](#)、[REF43](#)、[REF195](#)、ADR29x、ADR43x), 但需要注意的是, 如果不慎重考虑布局, 外部布线压降可能在高电流下产生类似误差。使用短的大功率导线时, (+)输出和接地回路上的负载电流类误差将达到最低限度。对于最高精度, 则通过缓冲放大器和开尔文检测电路 ([AD588](#)、[AD688](#)、ADR39x) 来为负载时的精密电压提供保障。

缓冲基准电压源的输出是运算放大器的输出，因此，源阻抗为频率的函数。典型基准电压源的输出阻抗比直流值高 6dB/8 倍频程，标称值大约是 10Ω（频率为几百 kHz）。这一阻抗值可以用一个外部电容减小，其条件是基准电压源中的运算放大器在此类负载下能保持稳定。

线路灵敏度

线路灵敏度（或调节）指输入的变化，一般表示为 $\mu\text{V}/\text{V}$ （或 ppm/V ），[REF43](#)、[REF195](#)、[AD680](#)、[AD780](#)、ADR29x、ADR39x、和 ADR43x 一般为 25ppm/V(-92dB)。对于直流和极低频率，此类误差可能被噪声掩盖。

与运算放大器一样，基准电压源的线路灵敏度（或电源抑制比）随着频率的增大而下降，典型值为 30 至 50dB（频率为几百 kHz）。为此，基准电压源的输入应高度去耦（LF 和 HF）。线路抑制比可用一个低压差预调节器加大。

噪声

基准电压源的噪声并非始终都有额定值，即使有，对于其表示方法也存在不同意见。例如，有些器件的峰峰值噪声表示为 0.1 至 10Hz 带宽内的值，而其他则用宽带 rms 表示，或者表示为指定带宽范围的峰峰值噪声。测量噪声最有用的方法（与运算放大器一样）是以噪声电压频谱密度($\text{nV}/\sqrt{\text{Hz}}$)和频率为变量绘制坐标图。

低噪声基准电压源是高分辨率系统的重要组成部分，用于防止精度下降。由于白噪声具有统计性质，因此，给定的噪声密度必须相对于相关带宽中的等效峰峰值噪声。严格来讲，高斯系统中的峰峰值噪声是无穷的（但其概率无限小）。常规上，用数值 $6.6 \times \text{rms}$ 来定义实用的峰值——从概率上来看，其发生可能性不到 0.1%。该峰峰值应小于 $\frac{1}{2}$ LSB，以维持必要的精度。如果假定峰峰值噪声为 rms 值的 6 倍，则对于 N 位系统而言，给定基准电压源的满量程电压 V_{REF} 和基准电压源的噪声带宽(BW)，则所需噪声电压频谱密度 $E_n(\text{V}/\sqrt{\text{Hz}})$ 为：

$$E_n \leq \frac{V_{REF}}{12 \cdot 2^N \cdot \sqrt{BW}} \quad \text{等式 8}$$

对于一个 10V、12 位、100kHz 系统，噪声要求不高，为 643nV/√Hz。图 13 显示，提高分辨率和/或降低满量程基准电压，会提高噪声要求。100kHz 的带宽假设有点随意，但用户可通过外部滤波机制来降低该数值，从而降低噪声。多数好的 IC 基准电压源的噪声频谱密度都在 100nV/√Hz 左右，因此，多数高分辨率系统显然需要额外的滤波机制，尤其是 V_{REF} 值较低的系统。

BITS	NOISE DENSITY (nV/√Hz) FOR 10, 5, AND 2.5V FULLSCALE RANGES		
	10V	5V	2.5V
12	643	322	161
13	322	161	80
14	161	80	40
15	80	40	20
16	40	20	10

- ◆ Criteria: $V_{N(PP)} < 0.5 \text{ LSB}$, $\text{LSB} = V_{FS}/2^N$
- ◆ Assume p-p noise $V_{N(P-P)} \approx 6 \times V_{N(RMS)}$, calculate $V_{N(RMS)}$
- ◆ Assume a bandwidth of 100kHz, calculate noise density
- ◆ Noise Density = $V_{N(RMS)}/\sqrt{100\text{kHz}}$
- ◆ Most references are about 100nV/√Hz

图 13: 各种系统精度下的基准电压源噪声要求 (1/2 LSB/100 kHz 标准)

有些基准电压源（如 [AD587](#) 嵌入式齐纳型）专门有一个指定为“降噪引脚”的引脚（见数据手册）。该引脚连接至片内缓冲放大器之前的一个高阻抗节点。这样，一个外部连接的电容 C_N 将与一个内部电阻形成低通滤波器，以限制输出端的有效噪声带宽。一个 1μF 的电容可产生 40Hz 的 3dB 带宽。注意，这种降噪方法并不通用，其他器件可能使用不同的降噪办法。同时注意，该降噪引脚不影响缓冲放大器的噪声。

还有些通用的降噪方法，可用于降低任何基准电压源 IC 的噪声，支持任何标准电压水平。注意，基准电压源滤波器的直流特性会影响基准电压源的精度。

基准电压源的脉冲电流响应

基准电压源对动态负载的响应通常是个问题，尤其是在 ADC 和 DAC 的驱动应用中。负载电流的快速变化无一例外地会扰乱输出，通常会超过额定误差范围。例如，一个 Σ - Δ ADC 的基准电压源输入可能是开关电容电路（如图 14 所示）。动态负载会在电容 C_{IN} 充电和放电时给基准电压源带来电流尖峰。结果，ADC 基准电压源电路上可能出现噪声。

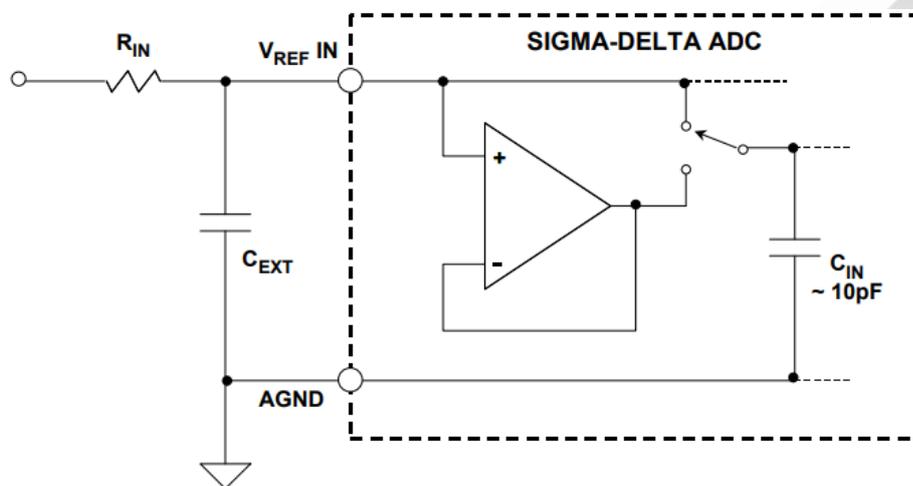


图 14: Σ - Δ 型 ADC 的开关电容输入给基准电压源带来动态负载

尽管 Σ - Δ ADC 内置数字滤波器，但基准电压源输入引脚上的瞬态电流仍然可能导致较大的转换误差。因此，有必要在 ADC 的基准电压源输入端维持低噪声、无瞬态变化的电位。注意，如果基准电压源阻抗过高，动态负载可能使基准电压源输入端漂移幅度超过 5mV。

在基准电压源的输出端装上一个旁路电容可能有助于处理负载瞬变，但许多基准电压源在大容性负载下不稳定。因此，必须确定所选器件能够满意地驱动所需输出电容。无论怎样，转换器基准电压源的输入都必须去耦——至少 $0.1\mu F$ ，如果电源中存在任何低频纹波，则还要增加 $5-50\mu F$ 。

由于有些基准电压源在瞬态负载下会工作不正常，在相对较长时间内振荡或精度下降，

因此，建议对可能遇到瞬态负载的基准电压源进行脉冲响应测试。一种合适的电路如图 15 所示。在典型的基准电压源中，1mA 的阶跃变化会产生图中所示瞬变。当一个 0.01 μ F 的电容器连接至基准电压源的输出端时，瞬变的持续时间以及振铃的幅度都会增加。

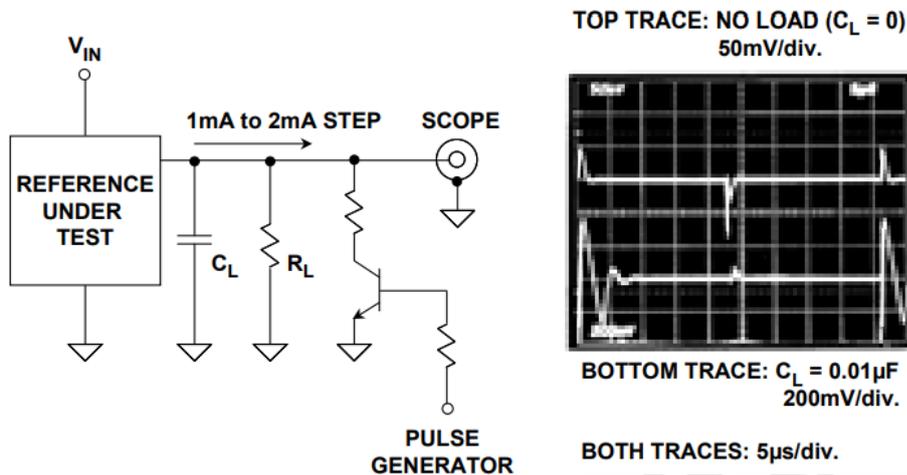


图 15：确保基准电压源在大容性负载下的稳定性

如上所示，基准电压源旁路电容在驱动逐次逼近型 ADC 的基准电压源输入端时很有用。图 16 所示为基准电压源在“启动转换” (Start Convert) 命令之前的建立行为。小电容 (0.01 μ F) 无法提供足够的电荷存储空间，来使基准电压源在转换期间保持稳定，结果可能产生误差。如底部迹线所示，用大于或等于 1 μ F 的电容去耦，则可在转换期间维持基准电压源的稳定性。

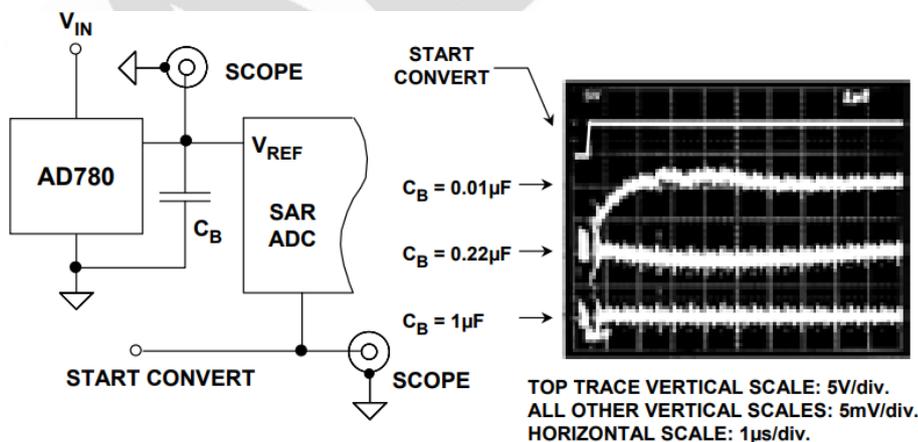


图 16：逐次逼近型 ADC 可能给基准电压源带来动态瞬态负载

在需要用基准电压源来驱动大电容时，还必须认识到，其开启时间会延迟。可能需要进行试验，以便在基准电压源输出达到全精度之前确定延迟，但该延迟肯定比数据手册中针对低容性负载状态下的同一基准电压源要长。

面向高分辨率转换器的低噪声基准电压源

高分辨率转换器（ Σ - Δ 型和高速型）都可以从 IC 基准电压源的最新进步中受益，比如更低的噪声，能够驱动容性负载等。即使许多数据转换器都有内部基准电压源，但这些基准电压源的性能往往会因转换器过程的限制而折衷。在这种情况下，使用外部基准电压源而不是内部基准电压源通常可以获得更好的整体性能。例如，[AD7710](#) 系列 24 位 ADC 内置了一个 2.5V 的内部基准电压源，0.1 至 10Hz 噪声为 $8.3\mu\text{V rms}(2600\text{nV}/\sqrt{\text{Hz}})$ ，而 [AD780](#) 基准电压源噪声仅有 $0.67\mu\text{V rms}(200\text{nV}/\sqrt{\text{Hz}})$ 。[AD7710](#) 系列在该带宽范围内的内部噪声约为 $1.7\mu\text{V rms}$ 。使用 [AD780](#) 可以使 [AD7710](#) 的有效分辨率从大约 20.5 位提升到 21.5 位。

在用精度更高的外部基准电压源取代内部基准电压源时，还可能出现一个非常现实的问题。涉及到的转换器可能已在生产过程中用精度相对较低的内部基准电压源进行过调整，以达到额定性能要求。这种情况下，在转换器中使用精度更高的外部基准电压源反而可能带来更多的增益误差！例如，早期的 [AD574](#) 在采用 10V 内部基准电压源（其本身的额定精度仅为 $\pm 1\%$ ）时的保证未校准增益精度为 0.125%。显然，如果在这样的器件中（其内部基准电压源处于额定范围的一端）使用刚好 10V 的外部基准电压源，则将产生 1% 左右的增益误差。

ADI 基准电压源向导设计工具

ADI 公司的基准电压源向导是一款帮助用户选择适合与数据转换器配合使用的基准电压源的设计工具。为向导提供一款数据转换器后，它将给出多款合适的基准电压源以及贡献给整体系统的最大直流误差。或者输入系统能够容忍的直流误差量，它将找出哪些

ADI 基准电压源与数据转换器组合能够满足要求。

模拟电路仿真

模拟电路仿真

模拟电路仿真导论

近年来，系统设计人员承受的压力越来越大，他们需要先利用计算机仿真验证设计，再着手进行实际印刷电路板布局和硬件设计。对复杂数字设计进行仿真特别有利，原型制作阶段通常可以完全省去。大多数模拟电路并非如此。仿真可使设计人员对最终设计更有信心，而在高速/高性能模拟或混合信号电路设计中，完全绕开原型制作阶段风险很大。因此，在处理模拟电路时，有些原型制作必须进行仿真。原型制作技术在[《试验板和原型制作技术》](#)中有详细讨论。

SPICE（集成电路加重的仿真程序）是最常见的模拟电路仿真工具，可在不同计算机平台上以多种形式使用。但是，为使仿真结果有意义，设计人员需要许多系统元件的精确模型。其中最重要的是用于集成电路的真实模型。

运算放大器几乎是所有模拟电路的基本构建模块，上世纪 90 年代初，ADI 公司开发了一种先进的运算放大器 SPICE 模型，这种模型至今仍在使用。在这种创新的开放式放大器架构中，增益和相位响应可以充分模拟，设计人员可以精确预测交流、直流和瞬态性能特性。这种模拟方法还扩展到了其他器件，如仪表放大器、基准电压源和模拟乘法器。以下讨论主要针对运算放大器，并说明了基本原理。

- ◆ 了解实际仿真目标
- ◆ 评估相应的可用模型
- ◆ 了解每种竞争运算放大器模型的功能
- ◆ 仿真完成后通常需要进行试验板制作

图 1：使用得当时，仿真是一种强大的设计工具

图 1 列出了一些主要的 SPICE 仿真目标。SPICE 仿真十分流行，因而出现了许多运算放大器宏观模型，（理想状态下）可以通过软件模拟放大器电气性能。在众多可用模型中，可能存在一些问题。可能无法确定模拟了哪些元件，而且模型精度也是个根本问题。这些问题都很重要，目的是使仿真结果更加可靠。因此，模型验证十分重要，必须先与实际器件性能条件进行对比确认，然后才能放心用于重要设计。

当然，设计的第一步即使采用精确的放大器模型并获得成功，也未必能保证仿真完全有效。基于不完整信息的仿真存在限值。目标电路的所有器件都应模拟，包括周围的无源元件、各种寄生效应，以及温度变化。然后，电路应在实验室通过试验板和原型制作进行验证。试验板电路是采用半永久实验室平台电路设计的快速运行实体模型，即小于最终物理形式的模型。其目的是在不具备整体物理环境的情况下显示实际性能。良好的试验板通常可以显示出 SPICE 预测不到的特性，预测不到可能是由于模型不完整、外部电路寄生效应等各种原因。但是，通过使用 SPICE 和智能试验板制作技术，可以保证在原型版本甚至是最终 PCB 上合理工作，从而快速有效完成电路设计。

宏观模型与微观模型

宏观模型和微观模型之间的区别通常不太清楚。微观模型采用 IC 器件的实际晶体管级和其他 SPICE 模型，所有的有源和无源器件都根据制造工艺提供完整特性。在区分微观模型与宏观模型时，有些作者用器件级模型一词来描述得到的总体运算放大器模型。微观模型通常用于 IC 的实际设计过程。

宏观模型进行运算放大器性能仿真时复杂程度较低。该模型考虑了最终器件性能，采用本身的理想 SPICE 元件对观察到的特性尽可能多地进行模拟。在宏观模型的开发过程中，某个实际器件根据实验室和数据手册性能来测量，宏观模型则经过调整来匹配该特性。这一过程可能会牺牲部分性能。图 2 对比了宏观模型和微观模型之间的主要利弊。

	METHODOLOGY	ADVANTAGES	DISADVANTAGES
MACROMODEL	Ideal Elements Model Device Behavior	Fast Simulation Time, Easily Modified	May Not Model All Characteristics
MICROMODEL	Fully Characterized Transistor Level Circuit	Most Complete Model	Slow Simulation Possible, Convergence Difficulty, Non-Availability

图 2: 区分宏观模型与微观模型

两种方法各有利弊。微观模型可以显示几乎所有条件下完整而精确的运算放大器电路特性模型。但是，由于大量晶体管和二极管都有非线性节点，仿真时间会很长。当然，制造商也不太愿意发布这些模型，因为这些模型包含专有信息。而且，即使所有的晶体管都包括在内，也不能保证总体精度，因为晶体管模型本身就不能精确涵盖所有的工作区域。此外，由于节点数量很多，SPICE 可能会出现收敛困难，从而导致仿真失败。这会使微观模型失去实际作用，比如不能用于多放大器有源滤波器。

另一方面，开发完善的宏观模型可以既提供精确结果，又节省仿真时间。在更加高级的宏观模型（如下文所述的 ADSpice 模型）中，瞬态和交流器件性能可以近似再现。运算放大器非线性特性也可以包括在内，如输出电压和电流摆幅限制。

但是，这些宏观模型依然属于实际器件的简化形式，因此，所有非线性都无法模拟。例如，并非所有的 ADSpice 模型都包括共模输入电压范围或噪声（最近开发的一些则包括）。一般而言，在模型开发过程中，由于参数可能对预期应用很重要，所以会经过优化——例如交流和瞬态响应参数。如果将每一种可能的特性都包括在内，可能会使宏观模型变得很麻烦，甚至可能会产生收敛问题。因此，ADSpice 宏观模型只包括正常工作条件下对预期性能较为重要的运算放大器特性，而未必包括所有的非线性特性。

ADSpice 运算放大器宏观型

基本 ADSpice 模型作为运算放大器宏观模拟的改进而开发，并且作为一种改进后的设计

工具，以便实现更加精确的应用电路仿真。自从 1990 年推出以后，它就成为了一种标准运算放大器宏观模拟拓扑结构，工业上采用了频率整形的概念便表明了这一点。

大约在 1990 年前，Boyle 模型成为了占主导地位的运算放大器模型架构。这种宏观模型开发于 70 年代早期，不能对高速放大器精确模拟。主要原因是频率整形能力有限——只有两个极点，而且没有零点。相比之下，ADSpice 模型拓扑结构则具有灵活开放的架构，几乎可以级联无限的极点和零点频率整形级。与更简化的 Boyle 模型拓扑结构相比，这一主要差异可以带来更加精确的交流和瞬态响应。

ADSpice 模型由下述三大部分组成。第一部分是输入和增益级的组合，包括适用于建模器件的晶体管模型（NPN 或 PNP 双极性、JFET、MOSFET 等）。第二部分是合成极点与零极点，由理想 SPICE 本身的元件组成。这些元件的数量或多或少，具体取决于运算放大器频率响应的复杂程度。最后一部分是输出级，将前两部分与外部进行耦合。

详细介绍上述各部分之前，必须认识到，出现下列情况时产生的变化确实存在。这不仅是因为各运算放大器模型之间存在差异，还因为运算放大器硬件拓扑结构在不断发展进步，从而导致模拟也相应发生变化。例如，现代运算放大器通常包括轨到轨输出或输入级，或两者兼具。因此，ADSpice 模型的一些最新开发成果考虑到了这些问题，以及相应的模型开发。

此外，虽然 Boyle 模型和原始 ADSpice 模型是为了支持电压反馈运算放大器拓扑结构而设计，后续部分也增加了电流反馈放大器拓扑结构。关于 ADSpice 电流反馈宏观模型，下文将详细讨论这些电流反馈宏观模型。

ADSpice 宏观模型：输入与增益/极极点级

图 3 所示为基本 ADSpice 电压反馈运算放大器宏观模型输入级。如上所述，它采用整个模型中唯一的晶体管（一般情况下），本例中为图表左侧的 Q1-Q2NPN 对。需要用这些元件来对运算放大器差分输入级特性进行正确模拟。这种模型拓扑结构的基本原则是该

级是针对单位增益而设计，需要适当选择 Q1-Q2 工作电流，以及增益设置电阻 R3-R4 和 R5-R6。

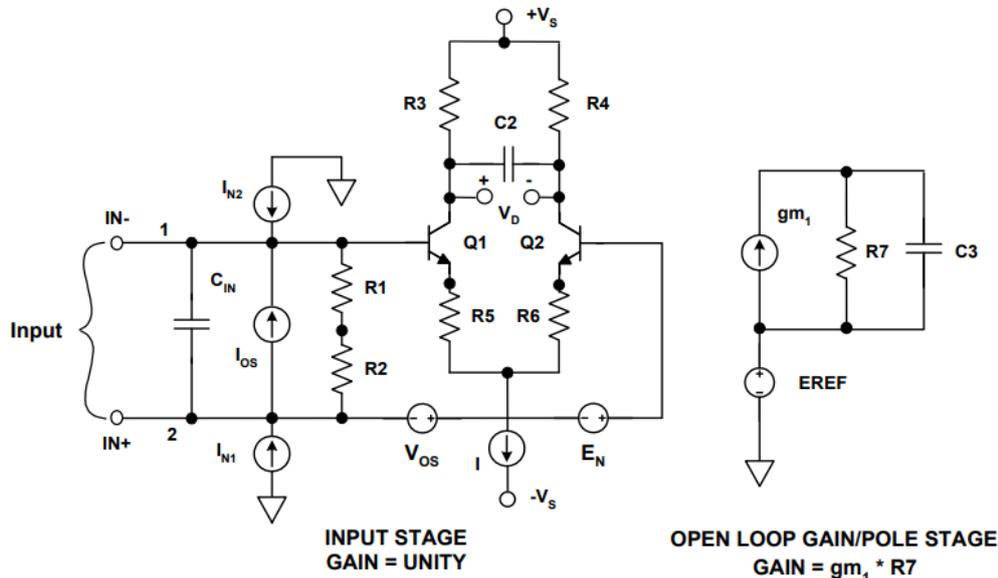


图 3: ADSpice 宏观模型的输入和增益/极点级

虽然本例使用了 NPN 晶体管，输入级却很容易修改，以便使用 PNP 双极性、JFET 或 MOSFET 器件。输入级的其余部分采用简单的 SPICE 元件，如电阻、电容和受控源。

建模运算放大器的开环增益和频率特性关系通过增益级提供，如图表右侧所示。此处，受控源 gm_1 负责从输入级检测差分集电极电压 V_D ，并将该电压转换至成比例的电流。 gm_1 输出电流流经负载电阻 R_7 ，产生一个以内部电压 E_{REF} 为参考的单端电压。一般而言，该电压来自电源电压中点，并用于整个模型。

gm_1 - R_7 乘积等于运算放大器额定增益时，该级就会产生宏观模型的整个开环增益。该设计因素意味着，所有其他的模型级都在单位增益下工作，从而使得增减后续级时的灵活性大大提升。通过这种方法，可以快速合成高性能高速运算放大器常见的复杂交流特性。而且，该级还可提供放大器交流响应中占主导地位的极点。开环极点频率通过选择电容 C_3 来设置，如图表中所述。

ADSpice 宏观模型：频率整形级

宏观模型增益级之后的各级是可变但数量无限的极点和/或零极点，它们共同提供频率响应整形。图 4 所示为这些级的典型拓扑结构。这些级可能是单极点或单零点，或者是极点/零点或零点/极点级的组合形式。上述所有级都具有直流传输单位增益，某一给定放大器类型可能包括上述所有级或其中一部分，这些级可能需要用来合成放大器的响应。

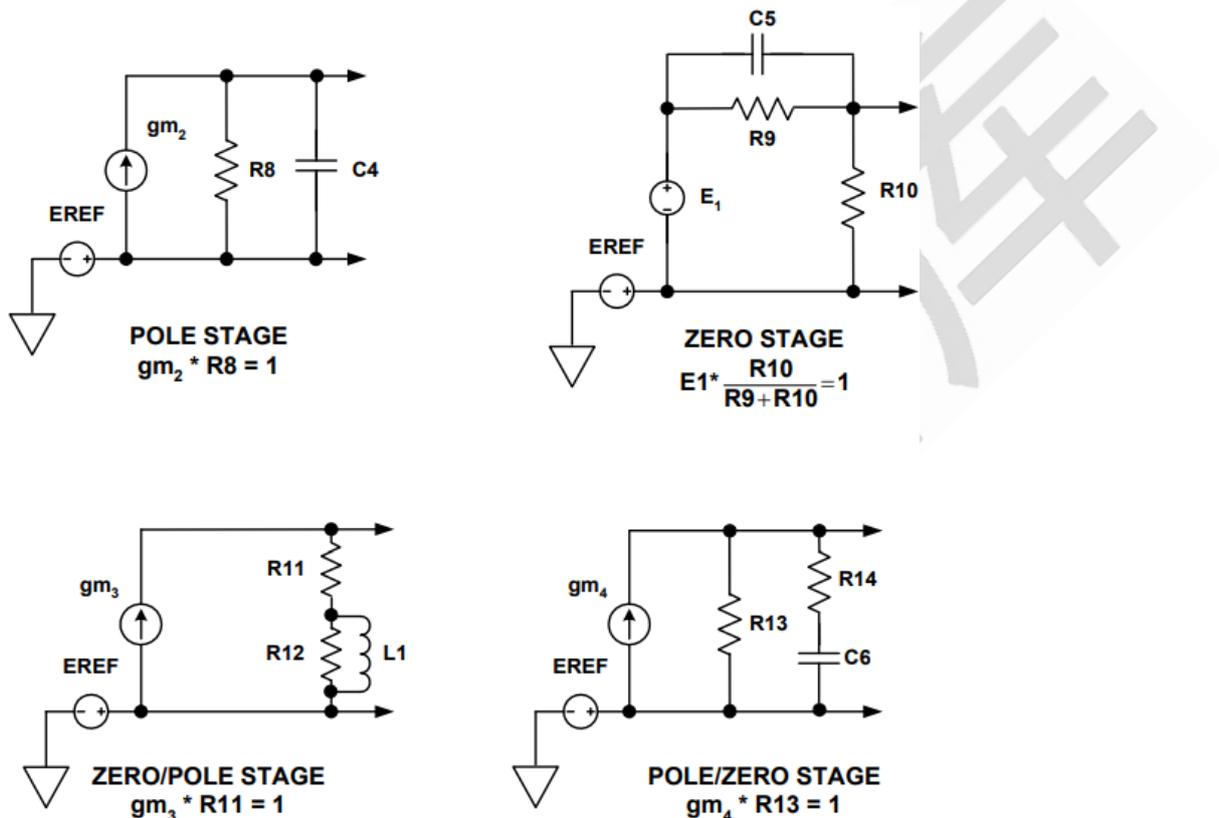


图 4：ADSpice 模型中可能存在的频率整形级

极点或零点频率由电阻和电容或电阻和电感共同设置，具体视情况而定。由于 SPICE 中可能的值有无限多，RC 值从某种程度上来说可以任意选择，适用的范围很广。早期的 ADSpice 模型采用较高的值，后期则采用较低值以减少噪声（稍后详述）。

所有情况下，都假设每一级均向驱动级提供零负载。图中所示的各级没有反映具体的运算放大器，但还是可以从 [OP27](#) 模型中看到示例原则。

上述所有频率整形级均为直流耦合，且具有单位增益，因此可任意增减，不会影响模型

的低频响应。最重要的是，高频增益和相位响应可精确定制，以匹配实际放大器响应。与更简化的模型相比，这种频率整形灵活性的好处在 ADSpice 模型闭环脉冲响应和稳定性分析的性能对比中尤为明显。稍后将举例说明这一点。

ADSpice 宏观模型：输出级

图 5 所示为 ADSpice 模型的输出级一般形式，可对运算放大器的多个重要特性进行模拟。 R_{O1} 和 R_{O2} 的戴维宁等效电阻能够模拟运算放大器的直流开环输出阻抗，电感 L_O 则模拟高频时阻抗的增加。该级的单位增益特性通过 g_7-R_{O1} 和 g_8-R_{O2} 的乘积来设置。

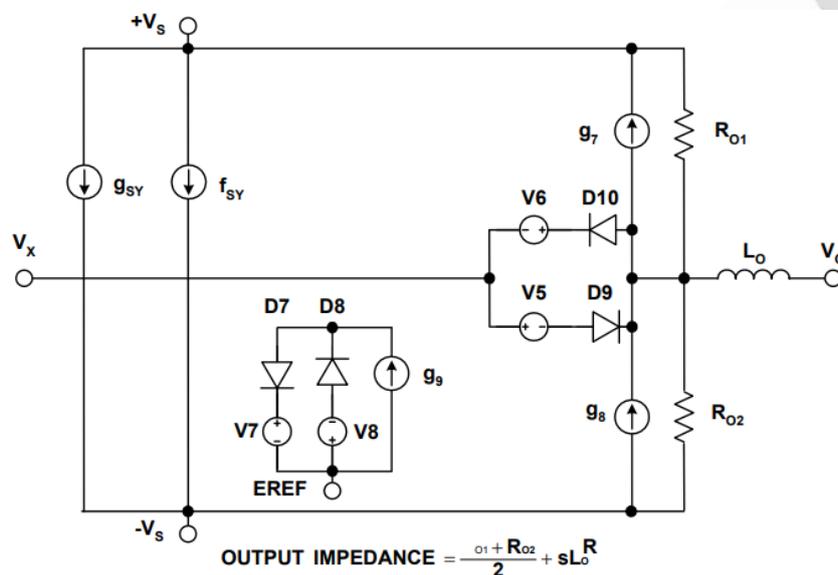


图 5：通用宏观模型输出级

此外，输出负载电流准确反映在电源电流中。相比 Boyle 模型，这一特性是一项重大改进，因为负载电路的功耗可以准确分析。而且，采用运算放大器电源电流作为信号路径一部分的电路也可以准确仿真。输出级不是为了反映任何特定的运算放大器，但 [AD817](#) 模型中可以找到极为相似的特性。

随着最近出现大量的轨到轨输出级运算放大器，各种定制模型拓扑结构得以开发出来。ADSpice 库因此得以扩展，可以包括轨到轨模型特性，能够匹配采用 P 和 N MOSFET 器件的运算放大器架构以及双极性器件。从特性上来看，轨到轨输出级包括多个不同的关

键性能点。最重要的一点就是能够使运算放大器输出在两个电源的几 mV 内摆动。第二点，该输出级具有大于 1 的电压增益，第三点，具有较高的输出阻抗（与传统发射极跟随器输出一样高）。

ADI SPICE 宏观模型库中具有多种轨到轨输出级的模拟方法示例。[OP295](#) 采用 CMOS 器件来实现轨到轨输出，[OP284](#) 采用则采用双极性器件实现同一目的。[AD8031](#) 和 [AD823](#) 宏观模型采用合成技术来模拟轨到轨输出。[AD8051/AD8052/AD8054](#)、[AD8552](#) 和 [AD623](#) 综合采用选定的分立式器件模型和合成技术，来实现运算放大器与仪表放大器的轨到轨输出工作。

除了轨到轨输出工作以外，许多现代运算放大器还具有轨到轨输入级。这些级基本上可以通过补充 PNP 级来复制基于 NPN 的差分级，两个级并行工作。这使得运算放大器能够提供包括两个供电轨的共模范围。CMOS 运算放大器中也可采用 P 型和 N 型 MOS 差分对实现这一特性。[OP284](#)、[AD8031](#) 和 [AD8552](#) 等模型示例均可体现轨到轨输出级。

ADSpice 宏观模型：瞬态响应

多极点/零点的性能优势很容易通过瞬态脉冲响应测试显示出来，如图 6 所示。该图将一个实际 [OP249](#) 运算放大器（ADSpice 模型）与 Boyle 模型进行了对比。该图显示由该模型中无限多个极点和零点产生的改进后的执行效果。

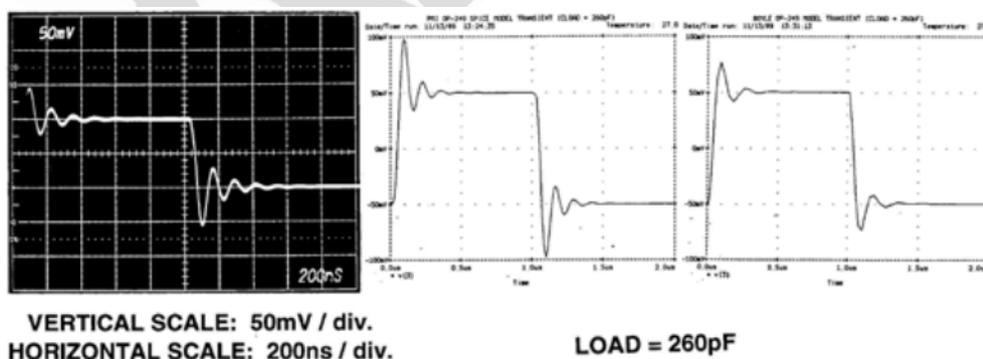


图 6: [OP249](#) 跟随器（左）模型的脉冲响应对比，在保真度方面 ADSpice 模型（中）优于 Boyle 模型（右）

对单位增益跟随器电路而言，该瞬态分析图中的差异很明显。其中采用 [OP249](#) 放大器，输出连接至反相输入，还采用 260pF 容性负载。

如图所示，这会导致振铃，从运算放大器响应中可以看到（左）。注意，ADSpice 模型可以准确预测过冲和阻尼振铃（中）频率。相比之下，Boyle 模型（右）可以预测大约一半的过冲和小得多的振铃。

ADSpice 宏观模型：噪声模型

ADSpice 模型的一大改进是能够真实模拟运算放大器的噪声性能。对那些试图手动分析噪声的人来说，能够在 SPICE 中模拟电路噪声实在令人兴奋不已。完整的分析十分繁琐，需要添加来自所有有源器件和电阻的独立噪声贡献，并将其折合至输入端。

为了便于实现这一目标，ADSpice 经过了改进，以包括能够精确模拟实际运算放大器宽带和 $1/f$ 噪声的噪声发生器。理论上，这首先包括在无噪声情况下制作现有模型，然后是增加分立式噪声发生器，从而仿真目标器件。如前所述，所有的 ADI 模型都不一定针对噪声精密特性而设计。但是，选定的器件模型针对噪声而设计，其典型应用包括低噪声应用。

第一步是练习调低模型的内部阻抗。例如，通过将极点/零点的阻抗从 106Ω 的基极阻抗减少到 1Ω ，总噪声可以大大降低，如图 7 所示。

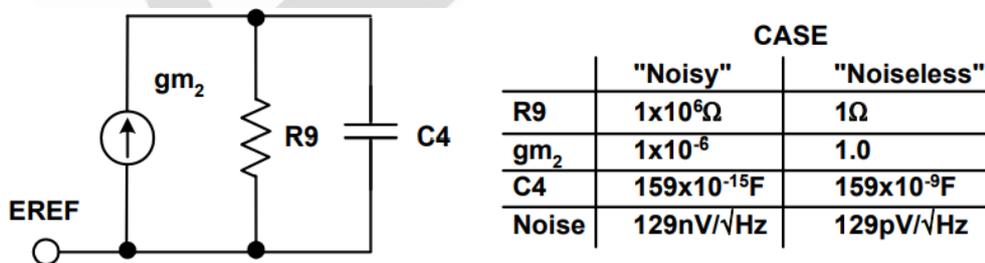


图 7：为了实现低噪声工作，设计的第一步是减少极点/零点单元阻抗

在图表中的“噪声”列，具有较大 R9 阻值的所示极点点级噪声为 $129 \text{nV}/\sqrt{\text{Hz}}$ 。但是，当该电阻调低 106 倍至 1Ω 时，如“无噪声”列所示，级噪声为 $129 \text{pV}/\sqrt{\text{Hz}}$ 。注意，跨导

和电容值也以相同倍数调整，保持同样的增益和极点频率。为使模型的输入级无噪声，应在高电流下工作，并减少负载阻抗，使噪声贡献可忽略不计。将这些技术扩展用于整个模型，可使其基本无噪声。

一旦整体噪声减少，就会增加独立噪声源，一个针对电压噪声，两个针对电流噪声。使用的基本噪声源拓扑结构如图 8 所示，可以经过设置来产生电压和电流噪声输出。

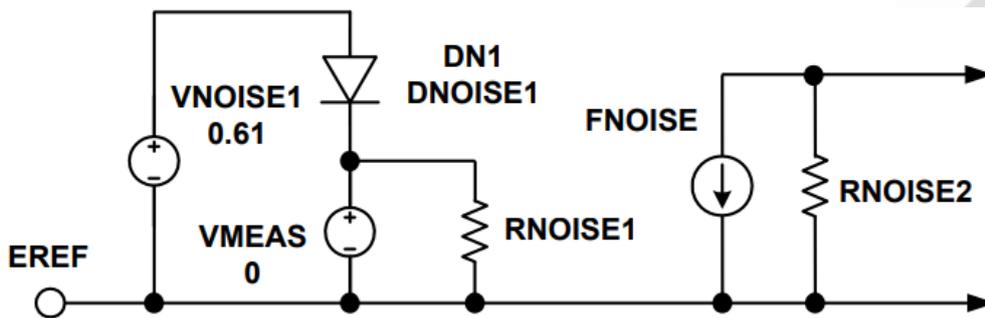


图 8: 基本 SPICE 噪声发生器由二极管、电阻和受控源组成

注意，在 SPICE 中，半导体模型可以产生 $1/f$ （闪烁）噪声。噪声发生器采用 DN1 之类的二极管来产生这一部分噪声，模拟运算放大器的 $1/f$ 噪声。通过合理规定二极管模型参数和偏置电压 VNOISE1， $1/f$ 噪声会经过定制，以匹配运算放大器。DN1 的噪声电流流经零电压源。此处，VMEAS 用作测量器件，结合 DN1 的 $1/f$ 噪声和 RNOISE1 的宽带噪声。

RNOISE1 针对具有适当宽带噪声的值来选择。VMEAS 中的组合噪声电流由 FNOISE 监控，表现为 RNOISE2 上的电压。该电压随后会通过受控电压源与一个放大器输入串联注入，如图 3 中的 E_N （再看一次）。FNOISE 或受控电压源系数可用于整体噪声电压调整。

电流噪声的产生与上述过程相似，除非不使用产生 RNOISE2 电压的电阻，两个电流受控源可驱动放大器输入。噪声发生器在接地电压附近具有对称性时，直流误差就不会产生。

ADSpice: 电流反馈放大器模型

如前所述，用于电流反馈放大器的全新模型拓扑结构已经开发完成，可以支持其独特的输入级结构。该模型采用图 9 所示的拓扑结构，用于输入和增益级。模型的其余部分（未

显示) 包括多极点/零极点级和输出级, 本质上和电压反馈放大器相同, 如上文所述。

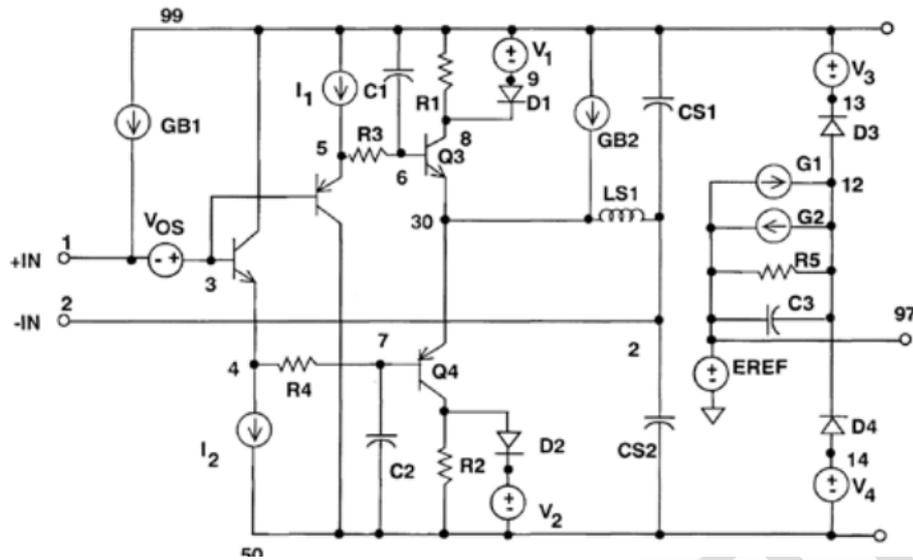


图 9: 电流反馈运算放大器宏观模型的输入和增益级

四个双极性晶体管输入级与实际电流反馈放大器类似, 具有高阻抗同相输入(+IN)和低阻抗反相输入(-IN)。在电流反馈放大器中, 最大压摆率极高, 因为动态压摆率电流不限于差分对尾电流 (与电压反馈运算放大器中一样)。在电流反馈运算放大器设计中, 流经反相输入的误差电流可能会大得多, 和反馈网络产生的一样。从内部来看, 该电流流经 Q3 或 Q4, 并通过电流镜为补偿电容 C3 充电。

ADSpice 模型的电流镜实际上是增益级 G1 和 G2 中的电压受控电流源。它们可以检测经过输入级电阻 R1 和 R2 的电压降, 并将其转换至 C3 充电电流。G1 和 G2 的值与 R1-R2 的倒数相等时, 压摆电流也相等。通过 D1-V1 和 D2-V2 箝位 R1-R2 电压降后, 最大电流会受到限制, 因此会设置最高压摆率。模型的开环增益或跨阻通过 R5 设置, 开环极点频率则由 C3-R5 设置 (如前所述, 见图 3)。R5-C3 (节点 12) 的输出可驱动模型的后续频率整形级, 还是以 EREF 为内部基准电压。电流反馈放大器有一项独特的特性, 即带宽与反馈电阻和内部补偿电容 C3 成函数关系。反馈电阻越低, 带宽越高, 直至达到最低限制, 即器件振荡时的值。模型包括低阻抗反相输入, 因此, 由于 RF 已经更改, 它可以精确模拟实际器件特性。图 10 针对 [AD811](#) 视频放大器将 ADSpice 模型与实际器

件进行了对比。如图所示，模型可以针对 $1\text{k}\Omega$ 反馈电阻而非 500Ω 电阻准确预测极低频率下的增益滚降。

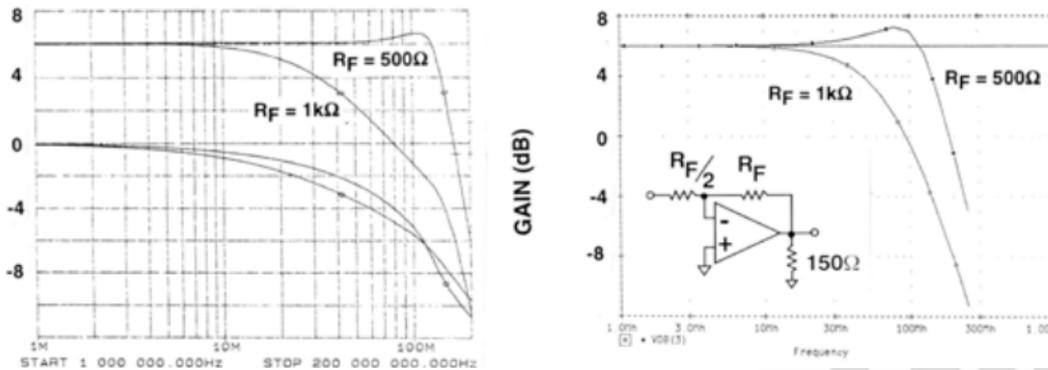


图 10：实际 [AD811](#) 电流反馈运算放大器（左）和宏观模型（右）对比显示，两者在反馈阻抗变化时具有相似特性

电流反馈放大器输入和增益级是对 ADSpice 模型的改进，可以增加模拟不同运算放大器器件时的灵活性，并为设计周期速度提供净增加效果。

模拟 PCB 寄生效应

PCB 寄生效应可对电路的性能产生重大影响，对高速电路的影响尤为严重。输出节点上几皮法的电容就可使稳定电路和振荡电路出现差异。因此，电路仿真时，必须仔细考虑这些效应，才能获得有意义的结果。

为了表明 PCB 寄生效应的影响，图 11（左）中的简单电压跟随器电路构建了两次。第一次是在仔细排列的 PCB 上，第二次是在元件插入型原型板上。其中用到了 [AD847](#) 运算放大器，因为其具有 50MHz 带宽，会使寄生效应变得更加明显（C 值越小，寄生效应越明显）。

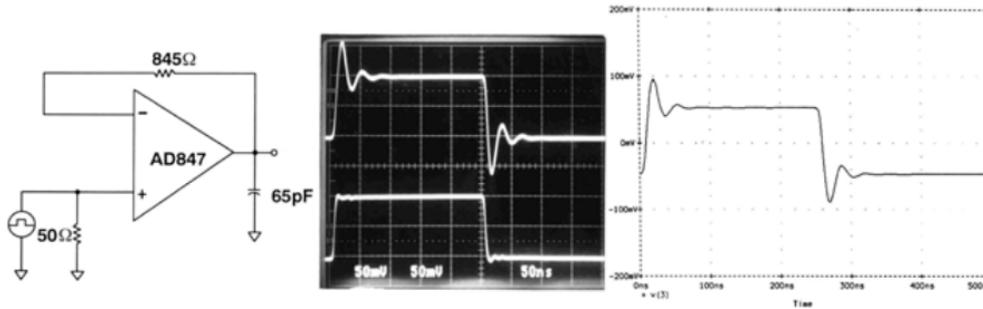


图 11: 将 PCB 布局中的寄生效应谨慎控制在较低值, 实验室测试 (中) 和仿真 (右) 结果会趋于一致

如前所述, 该电路在合理布局的 PCB 上运行, 具有干净响应, 过冲和振铃都很小 (中)。SPICE 模拟结果和实际器件也很接近, 显示出相应的仿真结果 (右)。

另一方面, 插入型原型板上的同样电路也显示出完全不同的结果。一般而言, 它显示出的性能会差得多, 因为运算放大器输入周围的节点电容大得多, 会将方波响应降低至严重的振铃, 性能比器件完全发挥作用时要差得多,

分别如图 12 的中图和右图所示。左图的电压跟随器电路显示, 额外电容为原型板的固有电容。通过该测试电路和相应的分析, (最初) 不精确的实验室测试和相应的 SPICE 测试之间未能达成一致。但是, 当 SPICE 文件中包括相关 PCB 寄生电容时, 仿真结果就会与实际电路相符, 如右图所示。

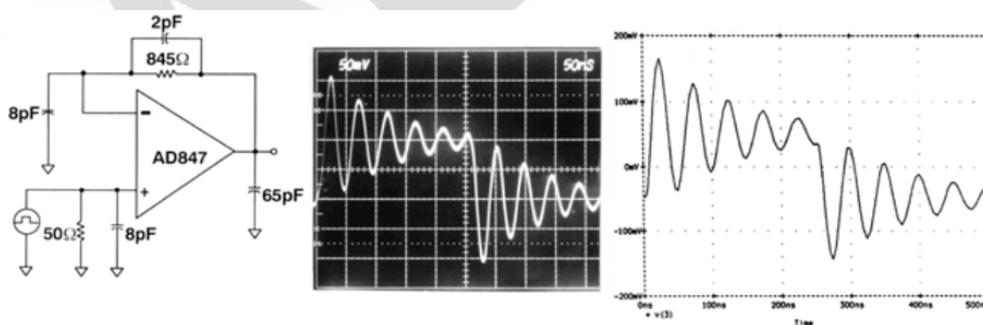


图 12: 没有低寄生效应时, 实验室测试结果 (中) 和相应的仿真 (右) 依然不一致——阻尼响应较差时

该示例显示出几个要点。首先, PCB 寄生效应很容易就能使高速电路表现得和简单 SPICE

分析结果不一致。其次，当 SPICE 网络列表经过调整，以便更合理地反映 PCB 的寄生元件时，仿真结果就和实际实验室测试差不多。最后一点显而易见，具有最小寄生效应的整洁 PCB 布局对高速设计至关重要。从更广阔的角度来看，如今的运算放大器已经能够在 1GHz 甚至更高频率下工作了！

仿真还可以用作对 PCB 布局设计的初步测量，这一点也很有意思。如果在没有任何寄生效应时，仿真结果与 PCB 相一致，可以确定 PCB 布局十分合理。

寄生 PCB 元件并非仿真和试验板之间唯一可能产生差异的区域。电路在上电时可能会表现出非线性特性，会导致器件锁定。器件还可能由于电源去耦不足或引脚电感而产生振荡。SPICE 电路无需旁路，但实际电路通常都需要！实际上，不可能预测出放大器可能面临的所有正常或异常工作条件。

因此，电路必须在实验室中经过原型制作，并进行彻底检查。在上述设计阶段事先仔细考虑，有助于尽可能防止在最终生产 PCB 时出现未知问题。

其他 ADI 设计与仿真工具

ADI 公司网站设计中心有大量的有用设计工具。其中，下列工具与本章节讨论的仿真相关。

ADIsimOpAmp 是一种在线工具，有助于电压反馈运算放大器的选择、评估和故障诊断。它两种评估模式：

1. “APET”模式（放大器参数评估工具）采用 National Instruments LabVIEW®和典型参数数据对选定放大器的一般特性进行数学建模。借助这款工具，用户可以选择放大器，快速配置电路，施加信号，以及评估一般性能。
2. “SPICE”模式采用 MultiSIM9® SPICE 仿真引擎，用户可在 SPICE 环境下进行额外测试。

ADIsimOpAmp 可用于快速选择及检查放大器参数性能，如增益带宽、压摆率、输入/输出范围、差分电压、增益误差、负载电流、可能的稳定性问题和直流误差。APET 模式仅限于一阶估算，额外评估应使用 SPICE 仿真和硬件测试完成。

使用 APET 模式的基本仿真过程如下：

1. 选择电路
2. 输入电路元件值
3. 选择并输入输入信号参数
4. 选择待评估放大器
5. 参数搜索
6. 放大器向导
7. 推荐放大器（反向搜索-见下文）
8. 分析放大器响应
9. 运行模型
10. 查看结果

“推荐放大器”功能采用输入的电路要求，对数据库中所有放大器执行参数计算。计算完成后，就会由好至差的顺序列出器件。如果无法找到满足所有要求的放大器，搜索功能会推荐最接近的器件。

ADI 公司与 NI 电子实验台部通过 Multisim™ Analog Devices® 版为电路板设计人员提供专门用于评估 ADI 器件的 NI Multisim 免费下载版本。利用这款易用的交互式 SPICE 仿真器，设计人员可以避免昂贵且费时费力的原型制作工作。

借助 NI Multisim Analog Devices 版，工程师可以：

1. 构建仿真器件评估电路，快速评估 ADI 公司的 800 多种运算放大器、开关和基准电压源。
2. 在最多包括 25 个器件的目标电路拓扑结构中检验受测单元。
3. 使用内置仪器和分析方法，包括示波器和最差情况分析。
4. 轻松替换器件，确定设计选项。
5. 与 ADI 公司设计中心相连，使用更多在线评估工具。
6. 即时访问各种 ADI 器件的产品页面和数据手册。
7. 升级为 NI Multisim 完整版，完成设计并使用 NI Ultiboard 转换成电路板布局。

兼容 SPICE 的运算放大器宏模型

目前，电路仿真领域呈现采用全方位电路仿真方法的趋势。我们认为，在所有安装的电路仿真器中，有 75% 用于系统设计，而不是 IC 设计。几乎所有这些仿真器都是 SPICE 的变体。随着电子行业不断发展，系统工程师面对日益增多的集成电路，尤其是无处不在的运算放大器，也需要愈加精准的模型。但是，这些 IC 器件的速度和复杂性不断提高，给初期的 SPICE 开发人员带来了始料未及的问题。

由于典型的运算放大器中包含大量有源器件，仅使用晶体管级模型的电路仿真会消耗大量时间，特别是电路中包含多个运算放大器时。由于涉及多个非线性方程，即使是简单的半导体器件模型也会消耗大量计算时间。在某些情况下，完成整个仿真所需的时间可能超过构建工程原型所需的时间。显然，这种情况完全背离了使用 SPICE 的初衷。

幸运的是，我们可以通过使用尽可能准确地表示运算放大器的宏模型来缩短仿真时间，而无需使用大量晶体管或其他非线性器件。然而，无论出于何种意图和目的，要设计一个能完全模拟实际器件的宏模型是一个相当大的挑战。对于电路设计人员来说，运算放

大器模型要切实起到作用，则不能只涵盖所有重要的 DC 参数，还要能够在远超单位增益交越频率的区域内合理地仿真近似 AC 特性。

现有的宏模型是不够的

许多运算放大器的宏模型已包含在多个可用软件仿真器的器件库中。这些模型大多数都是基于 Graeme Boyle 和他的同事所做的初期工作，他们在 20 世纪 70 年代中期开发了一些宏模型，以缓解当时已经超负荷的大型计算机的 CPU 时间紧张问题。Boyle 几乎去除了宏模型中的所有晶体管，只保留了两个晶体管。保留的这两个器件构成了运算放大器的差分输入级；后续的所有级都采用线性控制源、无源元件和二极管来实现。输入级中保留的晶体管有助于仿真实际影响，例如偏置电流，以及输出 dV/dt 随差分输入电压的变化。

Boyle 方法大大减少了所有非线性元件的数量，所以每个放大器所需的仿真时间也大幅缩短。相比完全采用晶体管的仿真，Boyle 结构确实有明显改善，但该结构仍有一些不足之处，这也促进了新的宏模型的开发。该结构具有以下缺陷：

- Boyle 模型只提供两个极（没有零）来显示整个放大器的频率响应——这种配置仅适用于较慢的运算放大器，完全不适合如今速度更快的器件。
- 所有内部产生的节点电压都以地为基准，即使放大器相对于地“浮空”。这种配置不能体现运算放大器的真实运行状况——几乎所有可用的器件都不提供接地参考。
- 输出端电流从连接到地的受控源流出，而不是像在实际放大器中那样从电源轨流出。此特性完全排除了基于放大器的输出电流（在电源轨之间正确分流）来仿真电路的情况。

理想元件可以降低复杂性

开发原始的 Boyle 模型（图 1）的电路拓扑结构时，使用了两种基本的宏模型建模方法

(称为简化法和构造法)，这两种方法在开发新宏模型时也非常有用。

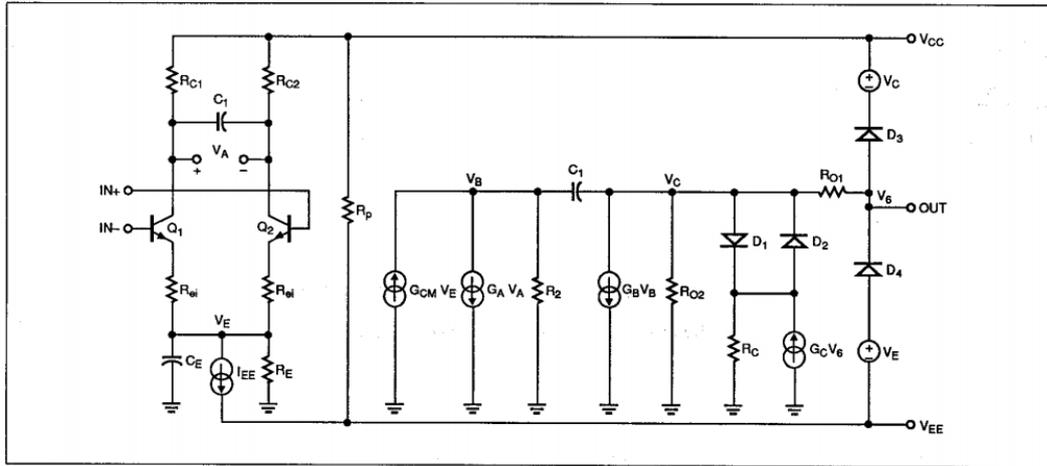


图 1: Boyle 运算放大器宏模型的一个重大缺陷是所有电压都以地为基准

这种简化技术使用简单的理想元件来代替电路的实际部分，从而持续降低运算放大器主要内部级的复杂性。因此，可以通过利用此方法的功能模块来高度仿真实际电路。在图 1 中，输入级模型就是一个很好的简化示例。该模型保留了发射极耦合对的差分输入特性，但消除了所有有源负载；它用理想元件代替尾电流源，并承担产生第二放大器极的任务。增加一个电容(C_E)即可使该模型在此级中提供一个极，而减少元件总数则能加快仿真运行速度。

另一方面，可以使用构造法构建一个完全由理想元件组成的电路模块，高度仿真器件实际部分的行为。遗憾的是，构造法常常会导致一些子部分与实际等效部分毫不相似。图 1 的输出级就是一个很好的示例：它提供了必要的输出电压限幅，具有正确的输出电阻，还提供了短路限流值；但与实际运算放大器原理图没有一点相似之处。

开发改进的宏模型开发新的宏模型（图 2）的目的是创建一个能够像实际运算放大器一样运行的模型；但它仍然必须足够简单，可以作为一个通用模型使用。图 3、图 4 和图 5 显示该模型由处理输入信号的几个级联部分组成。

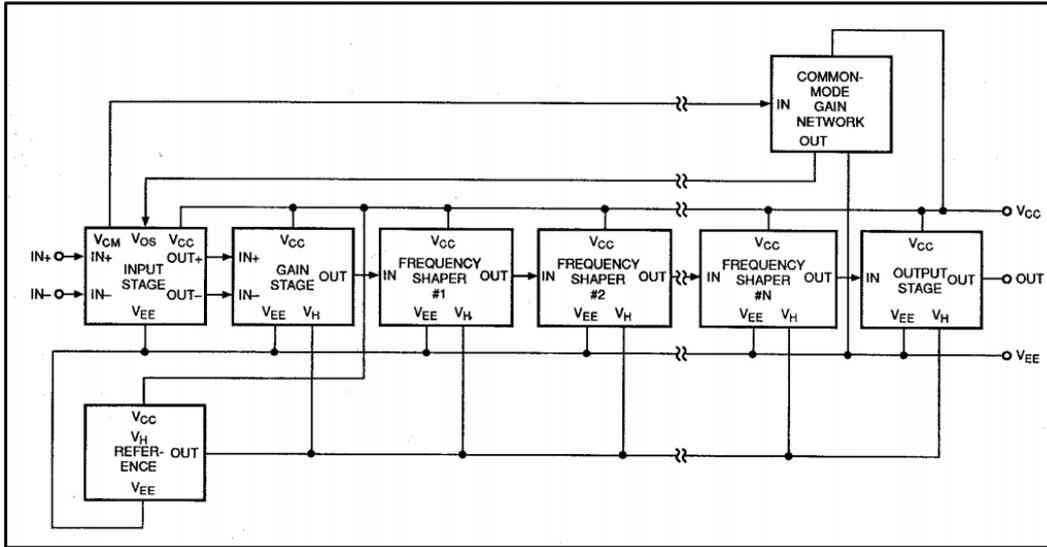


图 2: 新运算放大器宏模型本质上是模块化的。在运算放大器设计中, 可以通过级联任何构建模块来获得任意数量的极和零点。

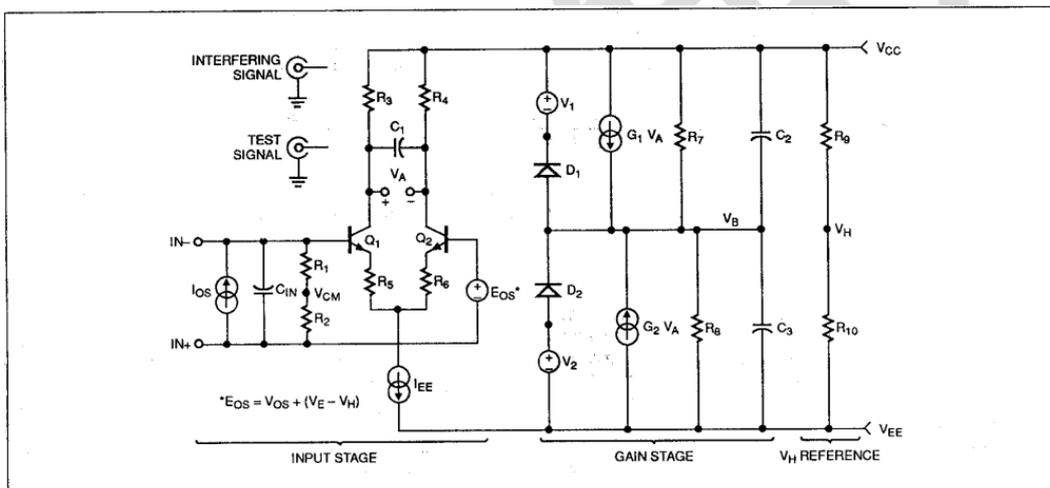


图 3: 新模型的输入级与 Boyle 模型的输入级相似, 但之后所有级的结构都截然不同。

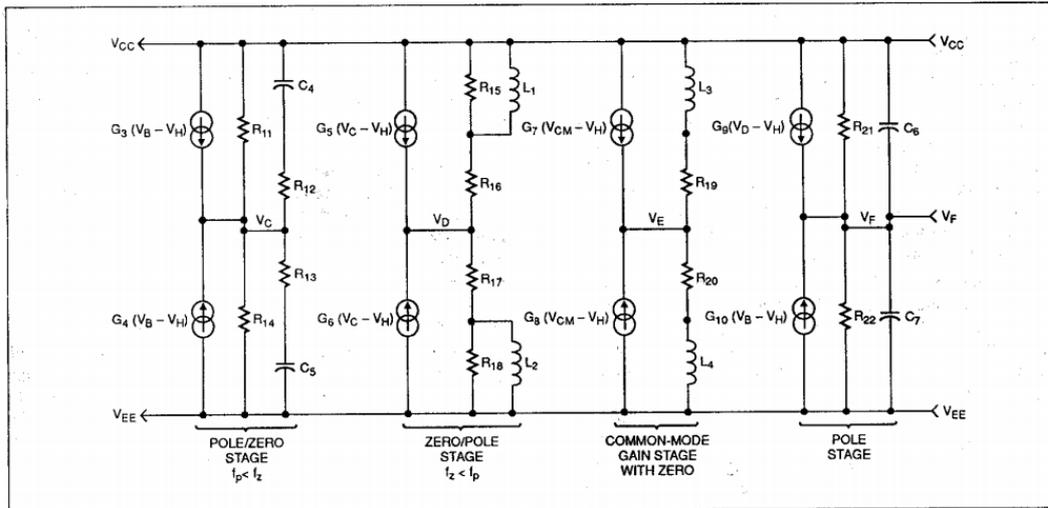


图 4: 除提供零点的共模增益级外, 还提供三种类型的频率成形网络

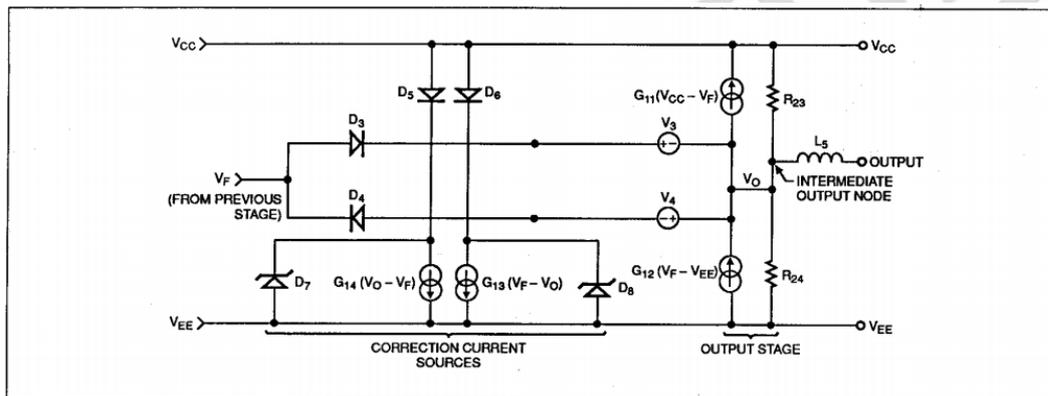


图 5: 新输出级还配有电流源, 对供电轨之间的负载电流正确分流。

由于该模型在构建时采用了简化技术, 所以其输入级与 Boyle 模型非常相似。但是, 由于生成新模型的剩余部分时采用了构造法, 在输入级之后, 这两个宏模型毫无任何相似之处。注意, 在任何信号处理模块中都没有接地参考。相反, 在实施差分至单端转换后, 所有内部产生的节点电压都以供电轨之间的中点为基准。这个中点在模型中称为 V_H , 由两个连接在供电轨之间的等值电阻产生。

在使用新宏模型对任何特定的运算放大器建模时, 其最低要求基本上与 Boyle 拓扑的要求相同: 一个差分输入级、一个增益级和一个输出级。这种配置可以产生基本的双极频率响应, 且可以从仿真时间这个角度直接比较这两种宏模型。您可以在增益级和输出级

之间添加单位增益极、极零点和零极点模块的任意组合，以获得所需的频率相关开环增益滚降。模块之间的区别在于：极零点模块产生的极点频率比零点低，而零极点产生的极点频率比零点高。

图 2 “模型参数的计算”显示了基于图 3、4 和 5 所示的构建模块构建运算放大器所需完成的计算。只要给出所探讨的运算放大器的某些数据手册参数，结合必要的极零点位置，就可以使用计算器轻松完成这些计算。

图 3 中的输入级是一个简化双晶体管电路。新模型和旧模型的主要区别在于：在新模型中，输入级使用与实际运算放大器同类型的输入器件，即 NPN 或 PNP 双极性器件、P 通道 JFET（或者如果适用，使用 N 通道器件），或者 MOSFET。Boyle 模型只允许在输入级使用双极性器件，如果是对双极性输入运算放大器进行建模，这毫无问题。但是，如果使用 Boyle 技术对一个 FET 输入运算放大器建模，则必须大幅提高输入晶体管的电流增益，以获得所需的输入偏置电流。此外还必须通过发射极负反馈来降低其跨导。这些更改导致的结果是：无法在宽输入差分电压范围（一般是 1 至 2V）内正确仿真 FET 输入放大器的输出 dV/dt 的常见变化。A 降级之后的双极输入级具有线性化、双曲正切传递特性，而 FET 输入级具有平方律传递特性。显然，这些特性并不对等。因此，由于 FET 输入级的参数计算并不比双极性级复杂，所以在模型中使用正确的输入器件是有意义的。

所有表现出非理想行为的输入级参数（如失调电压、失调电流和输入电容）都使用单独的理想元件进行建模。此外，在反相和同相输入端之间连接两个等值电阻，以产生共模输入电压。模型的后续部分会用到输入电压，先进行扩展和频率成形，之后反馈到输入级用于修正失调电压。

SPICE 仿真器的发展

电路仿真器 SPICE 及其增强版本 SPICE2 最初是加州大学伯克利分校在上个世纪 70 年

代开发出来的。最初是为了帮助设计工程师在晶体管级分析集成电路（所以这个首字母缩略词是表示：Simulation Program with integrated Circuit Emphasis，集成电路模拟的仿真程序）。相比在实验室由人力计算，SPICE 支持使用计算机评估设计，其速度更快，也更彻底。SPICE 迅速流行，很快传播到系统级设计社区，受到 IC 设计人员的青睐。

初版 SPICE 是一个公用程序，仅象征性收取少量费用；但是，许多软件供应商都意识到需要一个完全受支持、可以调整和不断改进的商用电路仿真器。这类程序的第一个基于大型机的版本包括 Meta-Software 的 HSpice、NCSS 分时软件的 I-Spice 和电子工程软件的 precision。近来，大部分大型机版本经过调整可用于工作站，还有一些可用于 IBM PC 和兼容产品。

SPICE 的首个 PC 版本是由 MicroSim Corp 推出的 PSpice。之后陆续推出了其他版本，例如 Intuso 丘推出的 IS-Spice。其他公司，包括 ADI 公司（提供一种名为 Saber 的行为仿真软件包）已经选择脱离传统的 SPICE 格式，放弃使用“盒装”电路元件来构建模型。相反，Saber 基于严格定义的用一种称为 Mast 的特定建模语言编写的方程来控制任何所需电路模型的行为。

该模型假设输入晶体管是完全匹配的，且没有任何会改变整体频率响应的结电容。但是，通过为双极性级选择合适的电流增益，或为 FET 级选择合适的栅极漏电流，它也可以得出正确的输入偏置电流。通过使负载电阻值等于晶体管跨导的倒数，可以将差分对的电压增益设为单位增益。这个假设简化了确定压摆率限制元件的计算。为方便起见，将输入级的尾电流标称值设为 1mA；但是，这个值可以降低到 100 μ A，10 μ A 或 1 μ A，具体取决于放大器的总静态电流。

增益级的特性

该模型的开环增益通常在一个单级（见图 3）中实现，该级由两个电压控制电流源、两个电阻、两个电容和一个电压限制网络组成。在这个级中，也会发生差分至单端信号转

换。电压限制网络由一对二极管组成，每个二极管都连接到自己的电压源。该网络防止增益级和模型的其他内部节点在输入过载驱动条件下出现超过电源轨电压的摆幅。在开环增益级必须限制电压；否则，后续节点可能会尝试仿真大信号（数百千伏）的产生。

两个电容（与电阻并联）决定放大器主极点和压摆率。目前，宏模型只能处理对称的正负压摆率，因为对称是最容易仿真的情况。但是，未来的增强宏模型可能允许仿真对称正负压摆率之间的一些变化。最后，该级在这两个电压控制电流源上各添加一个直流分量，构成放大器静态电源电流的主要部分。

对运算放大器频率响应的研究表明，在大多数情况下，精确仿真实际器件在高频率下的增益和相位变化需要两个以上的极点。此外，不同类型的运算放大器具有不同数量的极点和零点。为了让这些不同类型的电路都能轻松转换成兼容 SPICE 的子电路（而不必每次都从头开始），那么一个真正的通用模型必须是高度模块化的，并且具有任意数量（大量）的极点和零点。所以，最终架构使用了所有单个运算放大器模型都通用的一些基本构建模块。这些模块如图 4 所示。

所有频率成形模块在 DC 条件下具有单位增益，因为每个电压控制电流源（VCCS）的 g_m 都等于从 VCCS（电压控制电流源）的每个节点连接至电源轨的电阻的倒数。这种拓扑结构优势在于，在为一个特定放大器生成模型时，可以标注单独的极点或极零点对。因而可以查看它们各自对放大器的净频率响应的影响，这样极零点调整变得非常容易。因为所有频率成形模块在 DC 条件下都具有单位增益，所以这个过程不会改变模型的 DC 开环增益。

图 4 中的共模增益级由两个 VCCS 组成，它们驱动两个等值电阻，每个电阻与一个电感串联连接至其中一个电源轨。电感仿真大部分放大器随着输入频率增加而表现出的 CMRR 的典型衰减。输入共模电压（相对于 V_h 节点）控制电流源。每个控制电流源的 g_m 都等于相关电阻值除以 DC 条件下放大器的 CMRR 的值的倒数。

所以，从输入共模网络到内部共模增益节点的增益等于放大器的 CMRR 的倒数。（“增益”一词用在这里并不恰当，因为共模增益的值要远小于单位增益）。

电感器在共模增益上增加一个零点，这相当于在共模 CMRR 上增加一个极点。共模电压，在经过扩展和适当的频率成形之后，按照理论要求输送回输入级。这一步通过将输入级偏置电压源变成单位增益电压控制电压源来实现，其直流分量等于放大器的 V_{os} 。

图 5 中并未完全显示输出级的操作。在接收所有适当的频率成形之后，内部运算放大器输出信号显示为以输出级处理之前的最后一个节点的 V_n 为基准的电压。输出模块中的两个电压控制电流源驱动两个连接至供电轨的等值电阻，就像其他模块一样。但是，此时，两个电压控制电流源的 gm 的排列方式使它们能够作为有源电流发生器。所以，每个 gm 源产生的电流恰好足以通过并行电阻提供所需压降。

当输出端没有负载时，该模型不会从任一电源轨吸取电流。所以，它表现得比较像是理想的单位增益 B 类输出级，且无交越失真。因为两个电阻的值都等于开环输出电阻的两倍，所以输出级看起来就像是以 V_n 为基准的电压源，具有正确的 DC 输出电阻。仿真正确的输出电阻意味 DC 着开环增益会在放大器加载时适当降低。

模型参数计算

以下公式可用于构建改进的宏模型，以实现任何运算放大器仿真。它分别针对每个可用的构建模块进行计算，并讨论了一些电源考量因素。

输入级和增益级计算

a. 通用计算

参考图 3 来确定此处提到的元件和信号。首先，选择 I_{EE} ，其值要略小于放大器的总静态电流。为方便起见，可以将 I_{EE} 设置为 1mA、100 μ A、10 μ A 或 1 μ A，

$$C_2 = C_3 = \frac{I_{EE}}{\text{SLEW RATE}}$$

$$R_7 = R_8 = \frac{1}{2\pi f_{p1} C_2},$$

其中 F_{p1} =放大器主极点,

$$G_1 = G_2 = \frac{A_{VOL}}{R_7},$$

A_{VOL} =开环直流增益

$$R_3 = R_4 = \frac{1}{G_1}$$

$$C_1 = \frac{1}{4\pi f_{p2} R_3},$$

F_{p2} =第二放大器极点

$$V_1 = V_{CC} - (+V_{OUT MAX}) + V_T \ln(2I_{EE}/I_S)$$

$$V_2 = (-V_{OUT MAX}) - V_{EE} + V_T \ln(2I_{EE}/I_S)$$

$$V_T = 0.02585VT = 27^\circ\text{C}$$

$$V_T = 0.02585VT = 27^\circ\text{C}$$

$I_S = 1 \times 10^{-12}\text{A}$ (两个二极管均适用)

您可以将数据手册中的一些参数直接运用到模型中。这些参数包括:

E_{OS} =输入失调电压 (仅限直流分量);

I_{OS} =输入失调电流; C_{IN} =输入电容。

b. 双极性输入级计算

首先, 必须评估以下公式, 确定是否可以使用新宏模型对讨论的运算放大器进行建模:

$$A_{VOL} \leq \frac{\text{SLEW RATE}}{4\pi f_{p1} V_T},$$

其中 $V_T = 0.02585VT$ (27°C 时)。

如果此方程成立，可以继续进行接下来的计算。如果不成立，则必须修改模型，使其与特定的运算放大器匹配。

$$R_5 = R_6 = R_3 - \frac{2 V_T}{I_{EE}}$$

$$\beta_F = \frac{2 I_{BIAS}}{I_{EE}},$$

其中 β_F 为输入晶体管的正向电流增益， I_{BIAS} 为输入偏置电流。

$$R_1 = R_2 = \frac{1}{2 \left(\frac{1}{R_{ID}} - \frac{1}{2 \beta_F R_3} \right)} \leq 5 \times 10^{11} \Omega,$$

其中 R_{ID} 为差分输入电阻。如果 R_{ID} 不是指定的数据手册参数，则将 R_1 和 R_2 的值设为 $5 \times 10^{11} \Omega$ 。

c. JFET 输入级计算

如果设计中包含 JFET 输入级，则使用栅极至源极截止电压 V_{to} 的默认值 $-2.000V$ 。另外，将第一级电流源的名称改为 I_{SS} 。主要计算是确定 β ，即 JFET 的增益系数：

$$\beta = \frac{(G_{1/2})^2}{2 I_{SS}},$$

其中 I_{SS} 为第一级尾电流。

为了获得最大输出 dv/dt ，尾电流只能来自差分对的一侧；因此需要差分输入电压等于：

$$V_{ID} = \frac{\sqrt{2} (\text{SLEW RATE})}{2\pi A_{VOL} f_{p1}}$$

此外，输入偏置电流由栅极漏极电流和栅极源极漏电流组成。所以，

$$I_S = \frac{I_{BIAS}}{2},$$

其中 I_{BIAS} 为 $27^\circ C$ 时的输入偏置电流。此外，

$$R_1 = R_2 = \frac{R_{ID}}{2},$$

其中 R_{ID} 为差分输入电阻（一般为 $1 \times 10^{12} \Omega$ ）。最后，可以将 R_5 和 R_6 的值设置为零，因为 JFET 输入放大器通常不需要降级。

频率成形级计算要确认频率成形级的参数，请参见图 4。在所有三类频率成形级中，为方便起见，将 G_3 和 G_4 设置为 A/V 的 1×10^{-6} 倍。此 f_z 外， f_p 为零点频率，为极点频率。然后，在极零级，

$$\begin{aligned} R_{11} &= R_{14} = 1 \times 10^6 \\ R_{12} &= R_{13} = \frac{R_{11}}{f_z/f_p - 1}; \\ C_4 &= C_5 = \frac{1}{2\pi f_z R_{12}} \end{aligned}$$

在零极点级，

$$\begin{aligned} R_{16} &= R_{17} = 1 \times 10^6 \\ R_{15} &= R_{18} = (f_p/f_z - 1) R_{16}; \\ L_1 &= L_2 = \frac{R_{15/18}}{2\pi f_p} \end{aligned}$$

在极点级，

$$\begin{aligned} R_{21} &= R_{22} = 1 \times 10^6 \\ C_6 &= C_7 = \frac{1}{2\pi f_p R_{21}} \end{aligned}$$

共模增益级计算

要确认共模增益级的参数，请参见图 4。

$$R_{19} = R_{20} = 1 \times 10^6$$

$$G_7 = G_8 = \frac{1}{R_{19} \times \text{CMRR}},$$

$$L_3 = L_4 = \frac{R_{19}}{2\pi f_p(\text{CM})}$$

其中， f_{cm} 为共模极。

输出级计算

要确认输出级的参数，请参见图 5。二极管 D_7 和 D_8 的击穿电压标称值设置为 50V。通过实验确定了电感 L_5 的值。为 R_{OUT} 开环输出阻抗； V_T 为 0.02585V（27°C 时）；所有二极管的 I_S 均为 1×10^{-12} A。所以：

$$G_{11} = G_{12} = G_{13} = G_{14} = \frac{1}{2 R_{\text{OUT}}}$$

$$R_{23} = R_{24} = 2 \times R_{\text{OUT}}$$

$$V_3 = I_{\text{SC}}(+VE)R_{\text{OUT}} - V_T \ln(20 \times 10^{-6}/I_S)$$

$$V_4 = |I_{\text{SC}}(+VE)R_{\text{OUT}}| - V_T \ln(20 \times 10^{-6}/I_S)$$

可以通过以下公式确定图 3 中电阻 R_9 和 R_{10} 的值：

$$R_9 = R_{10} = \frac{1}{2(dI_{\text{SY}}/dV_{\text{SY}})},$$

其中 $dI_{\text{SY}}/dV_{\text{SY}}$ 表示电源电压变化引起的电源电流变化。该模型中 V_{CC} 与 V_{EE} 之间的总静态电流为：

$$I_{\text{SY}} = I_{\text{EE}} + (N + 1) \left(\frac{V_{\text{CC}} - V_{\text{EE}}}{2R} \right) + I_{\text{DC}} + \left(\frac{V_{\text{CC}} - V_{\text{EE}}}{R_9 + R_{10}} \right),$$

其中， N 为该模型中频率成形和共模增益级的总数； R 一般为 $1 \times 10^6 \Omega$ 此值以及频率成形级中 G 源的跨导，可以根据低功耗运算放大器适当调整；

I_{DC} 是增加至 G_1 和 G_2 源的直流偏移，以补偿模型的剩余部分消耗的电流和的静态电流之间的差值。

但是，这种简单的推挽式输出级存在一个微妙的问题。无论这个级是吸电流还是源电流，负载电流总是均匀分布在两个电源轨上，而实际输出级不会如此。所以，以源负载电流为例，净正电源电流的增加幅度只有流入负载中电流的一半。

而负电源电流则是减少相同的量。为了补偿这种异常，会强制电流从正电源轨流向负电源轨，数量正好是负载电流的一半。这种校正电流必须始终沿着相同的方向流动即使输出电流的极性相反。

因此，图 5 中两个校正源的作用是在供电轨之间产生一个等于输出电流一半的单极性补偿电流。在 SPICE 中，因为难以实现绝对值 VCCS，所以必须具有两个线性校正源一个校正源对应半个输出电流周期。与每个源串联的二极管执行半波整流，齐纳二极管确保当电流反向时，始终为每个源提供导电路径。所有这些附加元件最终形成了一个输出级模型，其直流行为非常接近实际电路的行为。

为了解决发射极跟随器输出级阻抗随频率升高的典型现象，宏模型内置一个输出电感，连接在中间输出节点和实际宏模型输出节点之间（参见图 5）。可以通过在模型上使用容性负载来确定这个电感的值，经过不断试验和试错，直到过冲量与采用同样负载的实际运算放大器极为接近为止。

出色的运算放大器宏模型还必须具备短路电流限制特性，在图 5 中，通过使用二极管 D_3 和 D_4 以及电压源 V_3 和 V_4 ，将前一个频率成形级的输出电压(V_F)箝位到中间输出节点(V_O)来实现限制。注意，在没有负载的情况下，前一级的信号始终等于理想的输出电压，并且输出级就像是具有有限输出阻抗的电压源。二极管和电压源的作用相当于箝位有效输出电阻上的压降。通过适当选择每个电压源，可以获得所需的输出限流。

由于新结构的主要目标是提高交流精度，因此该模型也必须正确表示共模行为。因此，

建模团队选择 PMI OP-42 (JFET 输入运算放大器) 作为第一个实验对象, 主要是因为模型无法正常仿真 JFET 输入级。虽然在测试整个模型之前, 该团队必须计算出与 JFET 输入级有关的所有方程, 但之后发现, 从数学角度处理这个级相当容易, 并不妨碍最终的宏模型结构开发。

过冲和欠冲

图 6 显示随之得出的结果。实际 OP-42 具有约 10MHz 的增益带宽乘积, 以及 $50V/\mu s$ 的对称压摆率。从该放大器的 CMRR 与频率关系曲线可以看出, 该模型的共模增益级需要一个零点 (约 100KHz 处)。

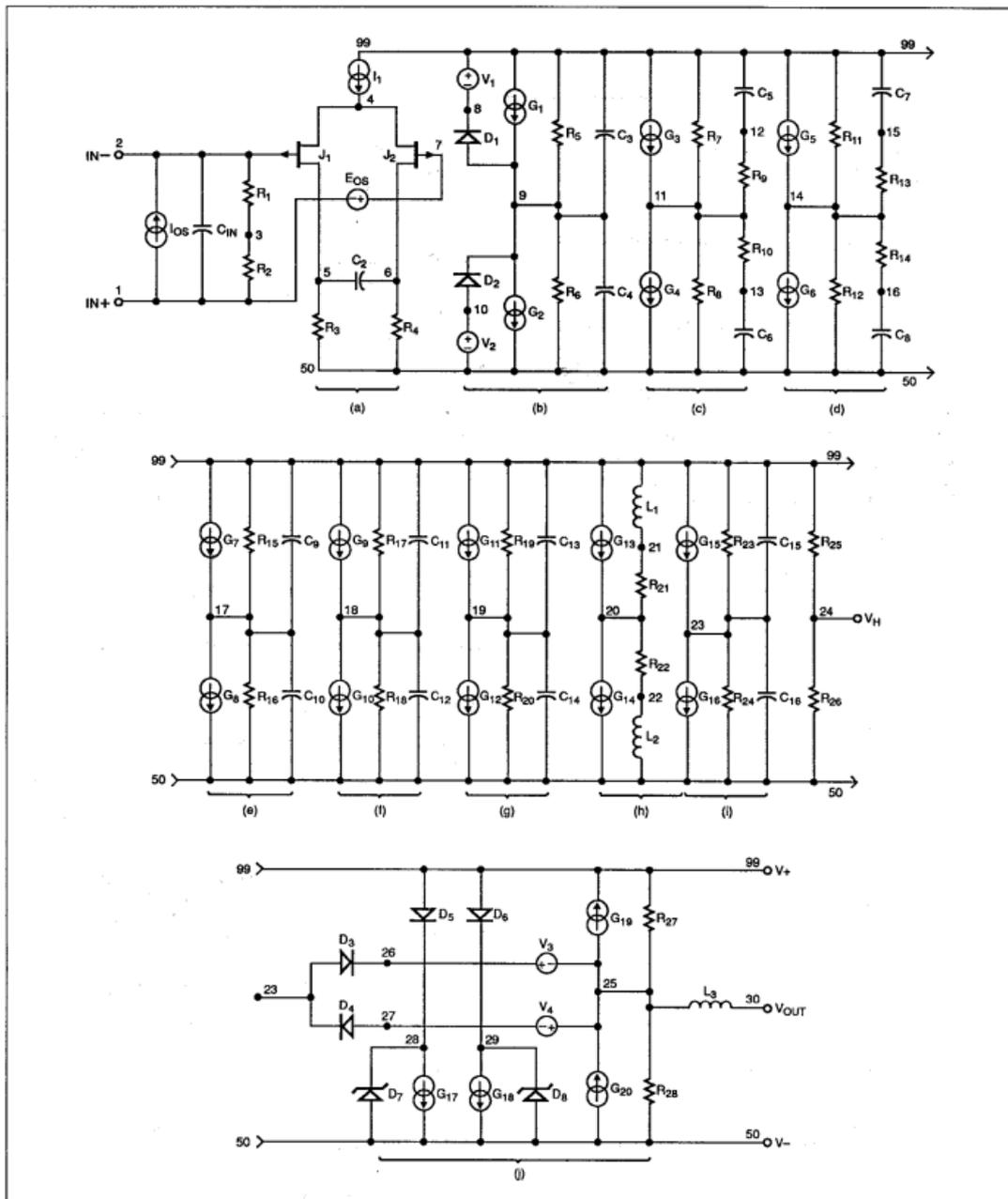


图 6: OP-42 宏模型远比 BOYLE 模型复杂, 需要更长的仿真时间, 但其精度大幅提高。

列表 1 所示为 OP-42 宏模型的网络列表, 它有 8 个极点、2 个零点, 以及在共模增益级的 100KHz 处的一个零点。即使是一个相对稳定的放大器模型也需要这些极点和零点, 以便准确地模拟实际器件在高频率下的增益和相位行为。

列表 1: OP-42 SPICE 宏模型网络列表

OP-42 宏模型		© PMI 1990	
• SUBCKT OP-42 1 2 30 99 50			
* 15.9 MHz 时的输入级和极点			
R1	1 3	5E11	
R2	2 3	5E11	
R3	5 50	707.36	
R4	6 50	707.36	
C1N	1 2	5E-12	
C2	5 6	7.08E-12	
I1	99 4	1E-3	
IOS	1 2	4E-12	
EOS	7 1	POLY(1) 20 24 1E-3 1	
J1	5 2 4	JX	
J2	6 7 4	JX	
* 45 HZ 时的第二级和极点			
R5	9 99	176.84E6	
R6	9 50	176.84E6	
C3	9 99	20E-12	
C4	9 50	20E-12	
G1	99 9	POLY(1) 5 6 3.96E-3 1.4137E-3	
G2	9 50	POLY(1) 6 5 3.96E-3 1.4137E-3	
V1	99 8	2.5	
V2	10 50	3.1	
D1	9 8	DX	
D2	10 9	DX	
* 1.80 MHz/2.20 MHz 时的极零点对			
R7	11 99	1E6	
R8	11 50	1E6	
R9	11 12	4.5E6	
R10	11 13	4.5E6	
C5	12 99	16.1E-15	
C6	13 50	16.1E-15	
G3	99 11	9 24 1E-6	
G4	11 50	24 9 1E-6	
* 1.80 MHz/2.20 MHz 时的极零点对			
R11	14 99	1E6	
R12	14 50	1E6	
R13	14 15	4.5E6	
R14	14 16	4.5E6	
C7	15 99	16.1E-15	
C8	16 50	16.1E-15	
G5	99 14	11 24 1E-6	
G6	14 50	24 11 1E-6	
* 53 MHz 时的极点			
R15	17 99	1E6	
R16	17 50	1E6	
C9	17 99	3E-15	
C10	17 50	3E-15	
G7	99 17	14 24 1E-6	
G8	17 50	24 14 1E-6	
* 53 MHz 时的极点			
R17	18 99	1E6	
R18	18 50	1E6	
C11	18 99	3E-15	
C12	18 50	3E-15	
G9	99 18	17 24 1E-6	
G10	18 50	24 17 1E-6	
* 53 MHz 时的极点			
R19	19 99	1E6	
R20	19 50	1E6	
C13	19 99	3E-15	
C14	19 50	3E-15	
G11	99 19	18 24 1E-6	
G12	19 50	24 18 1E-6	
* 100 KHZ 时增益为零的共模增益网络			
R21	20 21	1E6	
R22	20 22	1E6	
L1	21 99	1.5915	
L2	22 50	1.5915	
G13	99 20	3 24 1.58E-11	
G14	20 50	24 3 1.58E-11	
* 79.6 MHz 时的极点			
R23	23 99	1E6	
R24	23 50	1E6	
C15	23 99	2E-15	
C16	23 50	2E-15	
G15	99 23	19 24 1E-6	
G16	23 50	24 19 1E-6	
* 输出级			
R25	24 99	111.1E3	
R26	24 50	111.1E3	
R27	25 99	90	
R28	25 50	90	
L3	25 30	2.5E-7	
G17	28 50	23 25 11.1111E-3	
G18	29 50	25 23 11.1111E-3	
G19	25 99	99 23 11.1111E-3	
G20	50 25	23 50 11.1111E-3	
V3	26 25	0.7	
V4	25 26	0.7	
D3	23 26	DX	
D4	27 23	DX	
D5	99 28	DX	
D6	99 29	DX	
D7	50 28	DY	
D8	50 29	DY	
* 使用的模型			
• JX PJF 模型(BETA=999.3E-6 VTO=-2.000 IS=8E-11)			
• DX 模型 D(IS=1E-15)			
• DY 模型 D(IS=1 E-15 BV=50)			
• ENDS OP-42			

查看网络列表的输出级部分可知，开环输出电阻为 45Ω。与输出端口串联的 250nH 电感可以补偿高频率下有效开环输出阻抗的上升。由二极管 D₃ 和 D₄ 以及电压源 V₃ 和 V₄ 组成的限流网络将最大输出电流箝位在约±30mA。

仿真精度比较

图 7 显示作为反相单位增益放大器连接的实际 OP-42 的增益和相位响应，该放大器具有 1KΩ 输入和反馈电阻，采用±15V 电源供电。在闭环增益曲线上，可以看到一个小峰值（约 2dB），在超过 2MHz 之后，相位偏移急剧增加。图 8a 和图 8b 显示在相同条件下，新

OP-42 宏模型的增益和相位响应。增益响应显示与实际电路具有相同的闭环峰值；相位响应与实际器件的相位响应几乎完全一样，至少达到 10MHz。

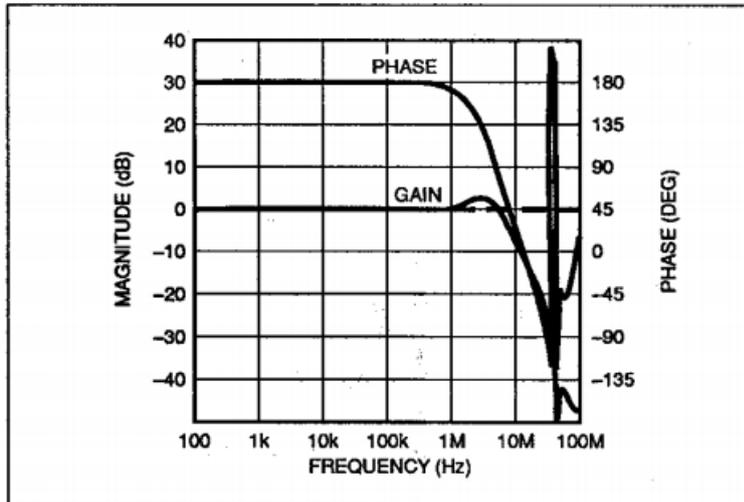


图 7: 以单位增益、反相配置连接 OP-42 时，增益响应在 6MHz 左右有一个小高峰；2MHz 之后，相位偏移急剧增加。

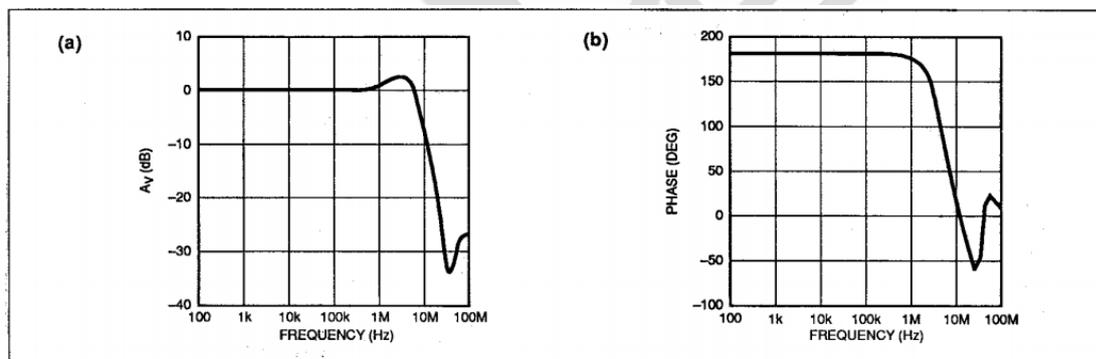


图 8: 采用新的宏模型，OP-42 的仿真增益响应(a)与实际器件非常相似，在 4MHz 有一个小峰值。相位响应(b)非常不错。这条曲线与实际器件的曲线非常接近。

图 9a 和 9b 显示采用 Boyle 模型时的输出曲线，从中可以明显看出 Boyle 模型在响应精度方面的缺陷。增益响应未出现 2dB 峰值，表明急剧滚降，在超过 10MHz 之后，结果非常不准确。Boyle 模型的相位响应与实际电路的响应相去甚远。OP-42 宏模型采用多个极零点补码，可以更准确地仿真实际电路的交流响应。

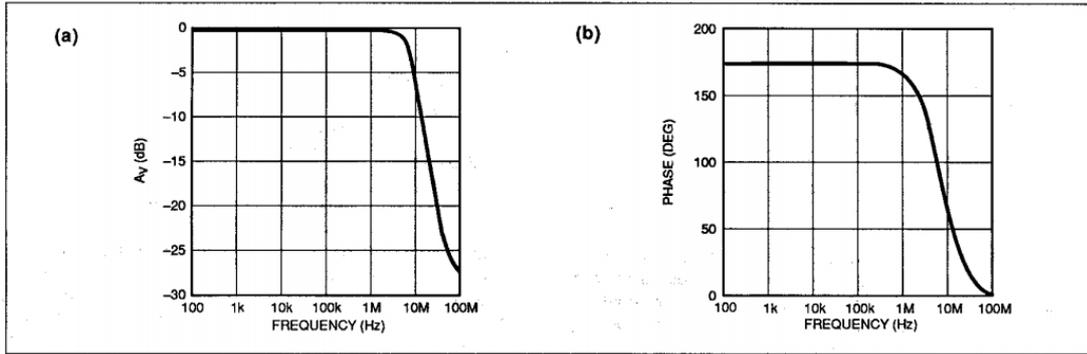


图 9: OP-42 的 Boyle 模型(a)在 4MHz 时, 没有显示实际器件所具备的幅度峰值特性。相位响应(b)也不是很准确, 特别是在超过 10MHz 的区域。

图 10 显示在 430pF 容性负载下, 测量的反相单位增益 OP-42 放大器的瞬态响应。对于 400mV_{p-p} 输入信号, 大约有 75% 的过冲和 100% 的欠冲。新的宏模型仿真结果 (参见图 11) 显示大约 115% 的过冲和欠冲。这个仿真值与波形负半部的实际值相当接近, 但与正半部的实际值不同。对于这种异常, 给出的解释是: 尽管新的宏模型的输出级完全对称, 但所建模的运算放大器可能并非如此。OP-42 实际上具有不对称、完全由 NPN 晶体管组成的输出级。所以, 高频开环响应是可变的, 具体取决于输出级是吸电流还是源电流。

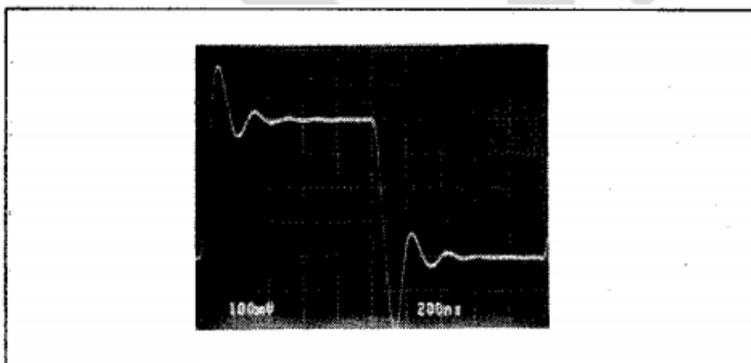


图 10: 具有 430pF 电容负载的 OP-42 在 500KHz、200mV 峰值方波的驱动下显示

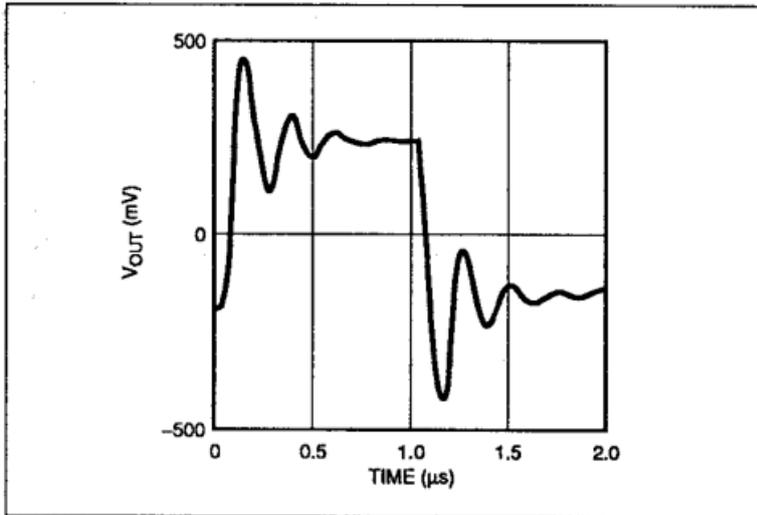


图 11: 采用新的宏模型仿真 OP-42 (采用 430pF 容性负载) 的结果显示, 该模型的输出级具有对称性

Boyle 配置也将运算放大器的输出级建模为完全对称的电压源, 如图 12 所示, 它在输出波形负半部的欠冲仿真并不正确。它在正半部的仿真与实际电路非常接近, 但是振铃频率低于实际电路。

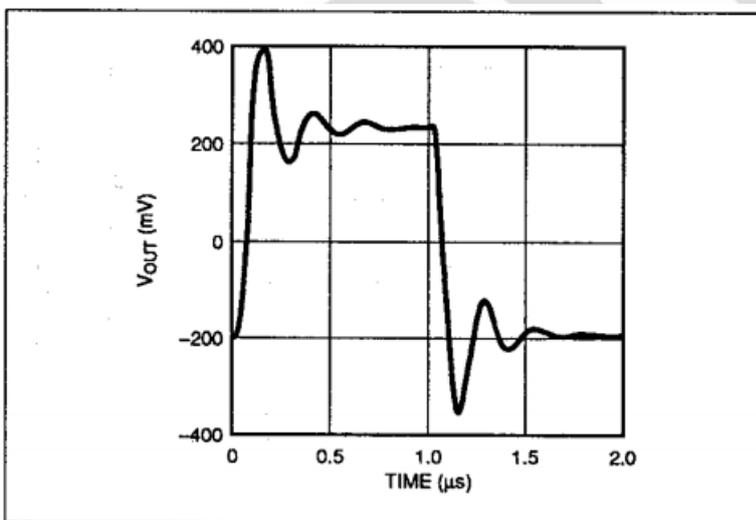


图 12: 采用 Boyle 模型仿真 OP-42 时, 仿真了大约等量的过冲, 但其振铃频率过低

Boyle 方法本身不支持对非对称输出级行为建模, 很遗憾, 这种新的宏模型也是如此。但是, 这个缺陷是可以解决的。如果在生成模型的过程中发现过冲值与欠冲值不同, 那么在输出电感相关计算中应使用两个值中较大的一个。然后, 在容性负载下, 该电感值

将会产生最差情况下的过冲和欠冲结果。

执行时间比较假设宏模型不存在收敛问题，那么 SPICE 进行操作点计算或生成直流转换曲线所需的时间很大程度上取决于网络列表中指定的电路元件数量。因此，新的 OP-42 宏模型的速度几乎比 Boyle 模型慢一半，需要进行 2.27 次迭代，才能得出最终的解决方案。对于交流分析案例，情况也是这样，新的宏模型的运行时间几乎是 Boyle 宏模型的两倍。但是，在仿真交流响应时，这两种模型需要的迭代次数基本是相同的。

由于所涉因素很多，很难评估瞬态分析需要多大的计算量。特别是，新的宏模型会展示比 Boyle 模型更多的细节。所以，仿真器必须使用更精细的时间步长，相应地执行更多的计算。但是，模型中大量的理想元件使得模型具有很好的收敛性能。所以，有时可以通过在单个时间步长内进行更多次迭代来加快分析速度，这样，仿真器可以保持粗略的时间步长，并减少回溯次数。

大多数 SPICE 仿真器将瞬变迭代次数默认为 10。您可以在 .OPTIONS 部分将 ITL4 设置为一个更大的数值（比如 40），以覆盖这个默认值。此外，将 RELTOL 放宽到 0.01（默认值通常为 0.001），通过略微降低准确性也可加快运行时间。这种降低是可行的，因为宏模型本身也只是一种近似法。但是，请注意，图 11 和图 12 是在 RELTOL 设置为 0.001 而不是 0.01 时生成的，所以曲线会更为准确。另一种加快瞬态分析速度的方法是使用 GEAR 积分，而不是梯形积分；但是，使用这种积分得出结果的振荡幅度要比实际结果低得多。

RELTOL 使用 0.01，ITL4 和梯形积分使用 40，OP-42 宏模型的瞬变运行速度比 Boyle 慢 3.64 倍，且需要 2.15 倍迭代。仿真速度虽然大幅降低，但是可以接受，并且精度大大提高，足以抵消这种降低。

OP-61 宏模型

OP-61 是一种双极输入宽带精密运算放大器，典型的增益带宽积为 200MHz（测试频率

为 1MHz 时)，压摆率为 $40V/\mu s$ 。

图 13 所示的这种器件的模型比 OP-42 的模型稍微复杂一点。OP-61 的共模抑制在比 OP-42 的 CMRR 低的频率下开始滚降，但在 1MHz 时，其值仍然非常可观，为 80dB。网络列表（参见列表 2）表明 OP-61 模型需要 9 个极点和 2 个零点来模拟开环频率响应，并且共模增益在 40kHz 时为零。

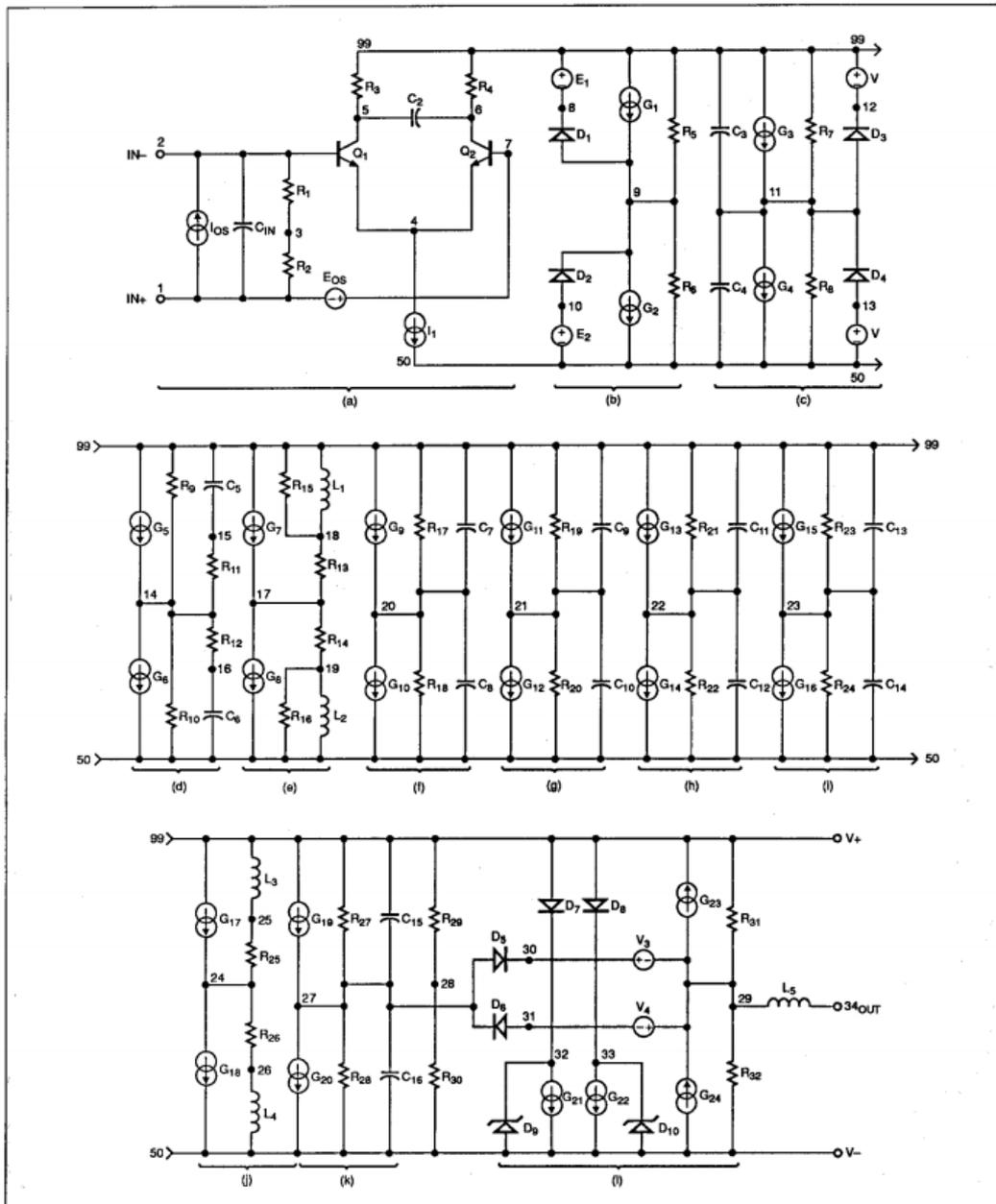


图 13: 除了多了一个增益级之外，OP-61 的模型示意图与 OP-42 类似

列表 2: OP-61 SPICE 宏模型网络列表

OP-61 宏模型 © PMI 1989	
• SUBCKT OP-61 1 2 34 99 50	
* 300 MHz 时的输入级和极点	
R1	1 3 5E11
R2	2 3 5E11
R3	5 99 51.6
R4	6 99 51.6
CIN	1 2 5E-12
C2	5 6 5.141E-12
I1	4 50 1E-3
IOS	1 2 2E-7
EOS	7 1 POLY(1) 24 28 400E-6 1
Q1	5 2 4 QX
Q2	6 7 4 QX
* 第一个增益级	
R5	9 99 1E6
R6	9 50 1E6
G1	99 9 5 6 2E-4
G2	9 50 6 5 2E-4
E1	99 8 POLY(1) 99 28 -4.4 1
E2	10 50 POLY(1) 28 50 -4.4 1
D1	9 8 DX
D2	10 9 DX
* 2.5KHZ 时的第二增益级和极点	
R7	11 99 5.1598E6
R8	11 50 5.1598E6
C3	11 99 12.338E-12
C4	11 50 12.338E-12
G3	99 11 POLY(1) 9 28 4.24E-3 9.69E-5
G4	11 50 POLY(1) 28 9 4.24E-3 9.69E-5
V1	99 12 2.3
V2	13 50 2.3
D3	11 12 DX
D4	13 11 DX
* 4MHZ / 8MHZ 时的零极点	
R9	14 99 1E6
R10	14 50 1E6
R11	14 15 1E6
R12	14 16 1E6
C5	15 99 19.89E-15
C6	16 50 19.89E-15
G5	99 14 11 28 1E-6
G6	14 50 28 11 1E-6
* 85MHZ / 300MHZ 时的零极点	
R13	17 18 1E6
R14	17 19 1E6
R15	18 99 2.529E6
R16	19 50 2.529E6
L1	18 99 1.342E-3
L2	19 50 1.342E-3
G7	99 17 14 28 1E-6
G8	17 50 28 14 1E-6
* 40MHZ 时的极点	
R17	20 99 1E6
R18	20 50 1E6
C7	20 99 3.979E-15
C8	20 50 3.979E-15
G9	99 20 17 28 1E-6
G10	20 50 28 17 1E-6
* 200MHZ 时的极点	
R19	21 99 1E6
R20	21 50 1E6
C9	21 99 .796E-15
C10	21 50 .796E-15
G11	99 21 20 28 1E-6
G12	21 50 28 20 1E-6
* 200MHZ 时的极点	
R21	22 99 1E6
R22	22 50 1E6
C11	22 99 .796E-15
C12	22 50 .796E-15
G13	99 22 21 28 1E-6
G14	22 50 28 21 1E-6
* 200MHZ 时的极点	
R23	23 99 1E6
R24	23 50 1E6
C13	23 99 .796E-15
C14	23 50 .796E-15
G15	99 23 22 28 1E-6
G16	23 50 28 22 1E-6
* 40 KHZ 时增益为零的共模增益网络	
R25	24 25 1E6
R26	24 26 1E6
L3	25 99 3.979
L4	26 50 3.979
G17	99 24 3 28 1E-6
G18	24 50 28 3 1E-6
* 300MHZ 时的极点	
R27	27 99 1E6
R28	27 50 1E6
C15	27 99 .531E-15
C16	27 50 .531E-15
G19	99 27 23 28 1E-6
G20	27 50 28 23 1E-6
* 输出级	
R29	28 99 20.0E3
R30	28 50 20.0E3
R31	29 99 30
R32	29 50 30
L5	29 34 1.65E-7
G21	32 50 27 29 33.3333E-3
G22	33 50 29 27 33.3333E-3
G23	29 99 99 27 33.3333E-3
G24	50 29 27 50 33.3333E-3
V3	30 29 0.2
V4	29 31 0.2
D5	27 30 DX
D6	31 27 DX
D7	99 32 DX
D8	99 33 DX
D9	50 32 DY
D10	50 33 DY
* 使用的模型	
• QX NPN 模型(BF=1250)	
• DX 模型 D(IS=1E-15)	
• DY 模型 D(IS=1E-15 BV = 50)	
• ENDS OP-61	

注意，这个模型在差分输入级和主增益级（参见图 13C）之间有一个额外的增益级（图 13 中的级 b），可以生成放大器主极点。这个特殊的模型需要额外的增益级，因为 OP-61 不能满足极限方程要求，该方程涉及双极性输入级的压摆率、开环增益和主极点频率（参见框 1）。OP-61 模型需要 100dB 开环增益和 40V/ μ s 压摆率，但其增益带宽积（以及由此得出的主极点频率）太高，无法由单个级生成所有开环电压增益。

所以，该模型使用两个增益级，共同提供所需的 100dB 增益。第一个增益级的增益为 200；第二个为 500。必须对第一个增益级箝位，以限制施加给第二个增益级中电压控制电流源的最大驱动电压。这个箝位操作会限制传递给补偿电容 C_5 和 C_6 的峰值电流，从而限制第二个增益级的最大 dV/dt 。

因为输入级的最大差分输出电压仅为 51.6mV，所以第一个增益级必须提供较大增益。为了便于对电压源和二极管进行箝位，需要一个更大的电压。第一个增益级的 200 增益在摆动期间可以产生相对于 V_h 的 $\pm 10.32V$ 无阻尼电压，但是无论使用哪个供电轨，箝位电路都会将此值限制为约 $\pm 5.0V$ 。这种配置支持进行可靠箝位，即使电源电压低至 $\pm 4.4V$ ，这也导致所需压摆率为 $40V/\mu s$ 。

仿真精度比较

图 14 显示了配置为反相放大器、增益为 10 的实际 OP-61 的增益和相位响应测量值。其中使用了一个 $1K\Omega$ 反馈电阻、一个 100Ω 输入电阻和 $\pm 15V$ 电源。在 10MHz 范围内，振幅响应出现约 3dB 的峰值，在 10MHz 以上，相位偏移急剧增加。对于这些响应，新的宏模型（参见图 15a 和 15b）的测量值与 OP-61 非常一致。增益曲线显示，在稍高于 10MHz 的位置，出现了所需的增益峰值（稍微超出 2dB）。相位响应精度也非常不错；在 40MHz 时，误差只有 10° 左右，可能在试验板由于寄生电容和其他物理效应导致的偏差范围内。因此，这个新的宏模型是一个可以预测 OP-61 性能的有用工具，甚至可以在评估试验板之前进行预测。

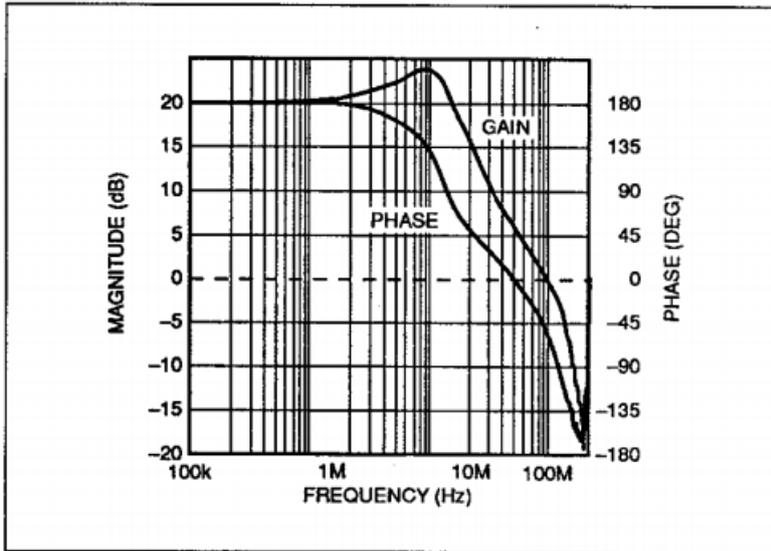


图 14: 将一个实际 OP-61 连接为反相放大器, 增益为 10 时, 增益响应在 10MHz 时显示达到 3dB 峰值。

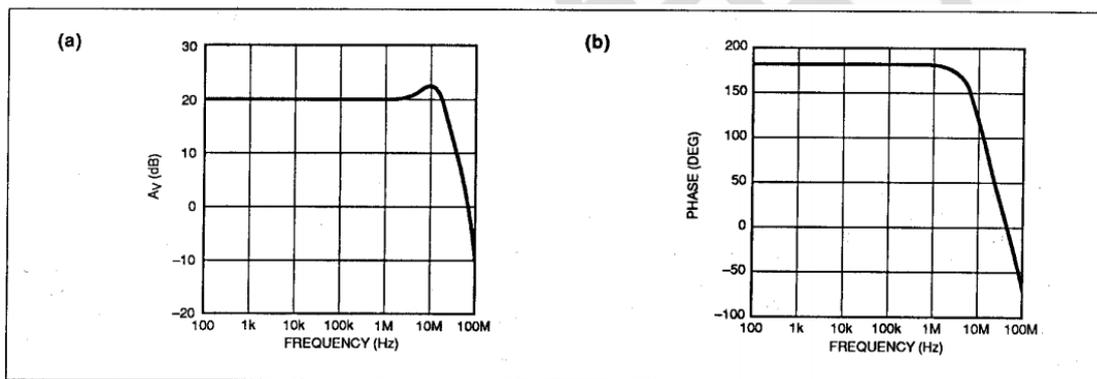


图 15: OP-61 宏模型的仿真增益(a)显示了在 10MHz 时的正确峰值。此外, 它在 40MHz 时的相位响应(b)与实际器件的响应仅偏差 10° 。

图 16 显示了 OP-61 的瞬态响应, 看起来非常不稳定, 但该器件正在驱动 207pF 容性负载。该波形显示过冲量和欠冲量之间存在一些不对称性 (180%对比 220%), 但是 OP-61 和 OP-42 一样, 并没有完全平衡的输出级结构。所选的输出电感 (模型中的 L_5) 在很大程度上决定了仿真的瞬态响应与实际响应之间的相似程度。事实上, 图 17 所示的仿真产生了对称的过冲和欠冲 (约 150%), 与图 16 相比稍低, 但其振铃频率则稍高。这种差异对用户来说并不太重要。但是, 如果这很重要, 可以稍微增大输出电感的值, 使

仿真响应更接近实际器件响应。

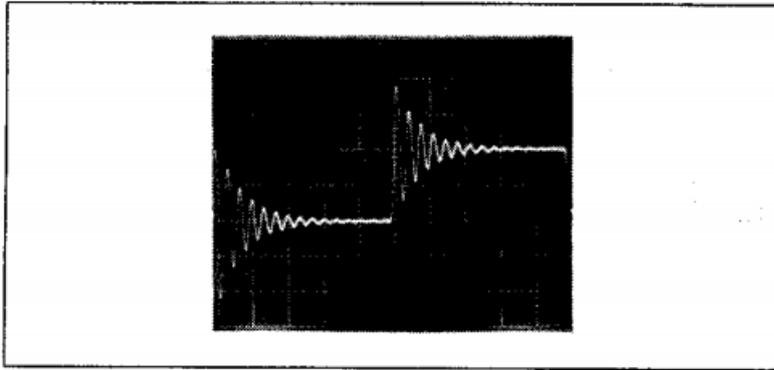


图 16: 实际 OP-61 连接为反相放大器, 且增益为 10, 容性负载为 207pF 时, 其瞬态响应不太对称。输入信号为 500KHz 方波, 峰值幅度为 10mV。垂直标度为 0.1V/div, 水平标度为 0.2 $\mu\text{s}/\text{div}$ 。

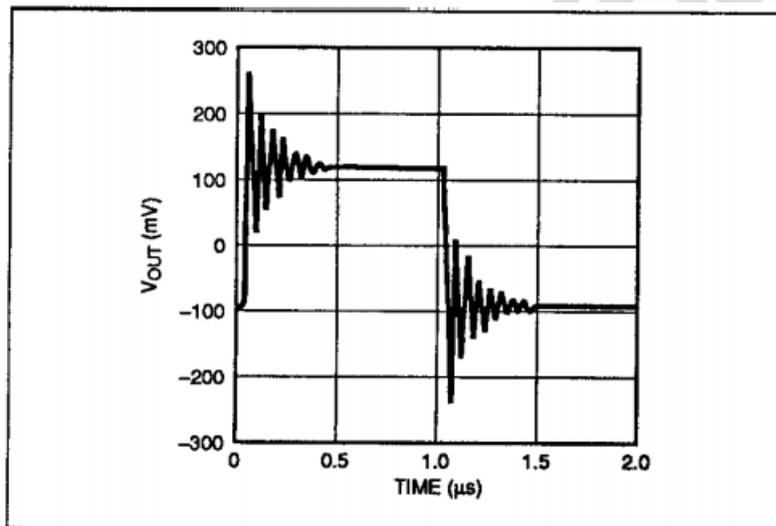


图 17: OP-61 宏模型仿真的瞬态响应非常接近实际器件的瞬态响应

通过与 OP-42 (没有 OP-61 的 Boyle 模型) 比较, 您可以大致了解新 OP-61 模型的性能。在计算直流偏置点时, OP-61 宏模型比 OP-42 宏模型更快。但是, 进行交流响应仿真时, OP-61 宏模型则比 OP-42 宏模型慢 1.18 倍。

进行瞬态响应仿真时, OP-61 宏模型所花的时间是 OP-42 宏模型的 1.76 倍, 迭代次数是 OP-42 的 1.56 倍。在这方面, 您应该记住, 瞬态运行的仿真时间随着输出振荡的加剧而

增加。所以，直接比较 OP-42 和 OP-61 的执行时间并不公平，因为 OP-42 的响应比 OP-61 更平缓。

仿真目标在不断改变

计算机模型用于对一些物理现象进行准确建模；现象越复杂，计算机执行必要计算所需的时间就越长。Boyle 运算放大器模型的目标是减少需要仿真的非线性元件的数量，从而将运行时间缩短至可接受的水平。Boyle 模型在建立时并未考虑到最终准确性，但它

可以正确预测运算放大器的低频性能，对于当时的低性能器件来说，结果是令人满意的。但是如今，对更高性能的需求日益增长，如果可以准确预测新器件的性能，则可以帮助避免设计错误，以免在生产阶段因纠正这些错误耗费大量成本。所以，准确的高频性能建模至关重要，在这一领域，Boyle 模型无法满足需求。本文所描述的经过改进的运算放大器宏模型不仅能比 Boyle 模型更准确地仿真运算放大器的高频响应和瞬态行为，还不会耗费过多的 CPU 时间。如今，拥有了强大的桌面工作站，建模的重点是提高仿真精度，而不是缩短执行时间。所以，新的宏模型提供了良好的折衷方案。

这个新的宏模型的最大限制因素在于：为了保证 SPICE 的兼容性，该模型必须以包含实际电路元件的网络列表的形式编写。一些新仿真器（如 ADI 公司的 Saber）允许您用专门的编程语言来定义模型，无需采用电路类型架构。Saber 建模语言称为，与 C 语言非常类似，可以有效管理内部变量。例如，允许完全用数学方法来描述新的宏模型的输出级。Saber 模型不需要 Mast 模型用来对输出级电流实施校正的所有二极管和额外源。输出级的定义方程会直接考虑从模型输出端获取的任何负载电流。在不久的将来，新的宏模型很可能在 Saber 中实现。

其他

低噪声放大器选择指南

当针对低噪声应用评估放大器的性能时，考虑因素之一是噪声，包括内部噪声和外部噪声。本应用笔记将简要探讨有关内部和外部噪声的基本原理，并指出在为低噪声设计选择放大器时涉及到的权衡问题。

外部噪声

内部和外部噪声源之间存在一定区别。外部噪声可以包括任何外部影响，比如外部器件和电气/电磁干扰等。干扰是指以电压或电流形式存在的任何无用信号，既可能存在于放大器引脚处，也可能存在于相关的电路中。干扰可能表现为尖峰、阶跃、正弦波和随机噪声等。干扰可以来自任何地方：机械、临近电力线、射频发射器或接收器、计算机甚至同一设备中的电路（即数字电路或开关型电源）。即使假设可以通过周密的设计和/或电路板布局布线来消除所有干扰，放大器及其相关电路中的器件仍然会产生随机噪声。

周围电路器件产生的噪声也必须考虑。当温度高于绝对零度时，所有电阻都是噪声源，这是由于载荷子产生热运动而造成的结果，称为约翰逊噪声或热噪声。这种噪声随电阻、温度和带宽的增加而升高。电压和电流噪声的计算公式如下所示：

$$V_n = \sqrt{4kTBR} \quad (1)$$

其中：

V_n 是电压噪声。

k 表示玻尔兹曼常数(1.38×10^{-23} J/K)。

T 表示绝对温度（单位：Kelvin）。

B 表示带宽（单位：Hz）。

R 表示电阻 (单位: Ω) 。

$$I_n = \sqrt{\frac{4kTB}{R}} \quad (2)$$

其中:

I_n 是电压噪声。

k 表示玻尔兹曼常数(1.38×10^{-23} J/K)。

T 表示绝对温度 (单位: Kelvin) 。

B 表示带宽 (单位: Hz) 。

R 表示电阻 (单位: Ω) 。

一般而言, 在室温下, 一个 $1k\Omega$ 电阻的噪声约为 $4nV/\sqrt{Hz}$ 在进行深入分析时, 还需考虑电阻的其他噪声源, 如触点噪声、散粒噪声以及与特定电阻型号相关的寄生噪声。在本应用笔记中, 我们只讨论约翰逊噪声, 因为这种噪声与电阻值的平方根是成比例的。

电抗不会产生噪声, 但通过电抗的噪声电流却会产生噪声电压和相关寄生噪声。

要降低电路输出的噪声, 可通过降低电路中的器件总电阻或限制电路带宽。然而, 降低温度一般用处不大, 除非能使电阻温度降至极低的水平, 因为噪声功率是与绝对温度成比例的,

$$T(x) \text{ (单位: Kelvin)} = x^{\circ}\text{C} + 273.15^{\circ} \quad (3)$$

电路中的所有电阻均会产生噪声, 必须始终考虑它们的影响。实际上, 只有输入和反馈通道中的电阻 (通常在高增益配置中) 有可能对电路总噪声产生较大的影响。噪声既可认为来自电流源, 也可认为来自电压源 (在既定电路中, 往往采用一种便于处理的形式)。

内部噪声

在放大器输出端, 噪声通常以电压的形式表现出来, 然而, 这种噪声却是电压源和电流

源共同产生的。一般来讲，所有内部噪声源都被折算到输入端，也就是说，内部噪声源都被当作与理想的无噪声放大器的输入相串联或并联的不相关或独立的随机噪声发生器（见图1）。由于这些噪声源被视为随机噪声，并/或表现为遵循高斯分布，因此，在叠加噪声源时，需要特别注意，详细内容如“叠加噪声源”一节所述。

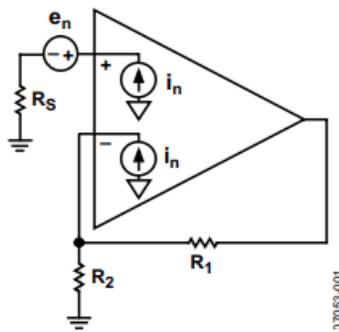


图1: 运算放大器噪声模型

如果同一个噪声在电路中出现于2个或以上的点（比如，输入偏置电流补偿电路），那么这两个噪声源为相关噪声源，在分析噪声的时候，应该考虑到相关噪声叠加因子的因素。这篇应用笔记并没有更多的讨论相关噪声，因为一般情况下相关噪声源的影响一般都小于10%或者15%，并且往往可以被省略掉。

放大器的内部噪声可分以下几类:

- 折合到输入端的电压噪声
- 折合到输入端的电流噪声
- 散粒噪声
- “爆米花”噪声

折合到输入端的电压噪声和折合到输入端的电流噪声是放大器噪声分析中最常见的指标。通常定义为折合到输入端的谱密度函数或 Δf 带宽中所包含的均方根(RMS)噪声值，一般以 nV/\sqrt{Hz} （电压噪声）或 pA/\sqrt{Hz} （电流噪声）为单位。使用 \sqrt{Hz} 的原因在于，

噪声功率随带宽(Hz)而增加, 或者, 电压和电流噪声密度随带宽的平方根值($\sqrt{\text{Hz}}$)而增加 (见公式 1 和公式 2)。

四类内部噪声

本节将介绍折合到输入端的电压噪声、折合到输入端的电流噪声、闪烁噪声和“爆米花”噪声。

折合到输入端的电压噪声

折合到输入端的电压噪声(e_n)通常被视为一种噪声电压源电压噪声是经常被强调的噪声指标; 然而, 如果输入阻抗较高, 电流噪声往往会成为系统噪声性能的制约因素。这与失调电压极为类似, 输入失调电压通常成为输出失调的替罪羊, 而实际上, 当输入阻抗较高时, 造成输出失调的罪魁祸首是偏置电流。

对于折合到输入端的电压噪声, 需注意以下几点:

- 对于最高性能的运算放大器, 电压噪声可能低于 $1\text{nv}\sqrt{\text{Hz}}$ 。
- 双极型运算放大器的电压噪声会低于 FET 运算放大器, 但是其电流噪声会明显较大。
- 双极型放大器的噪声特性取决于静态电流。
- 现在的 FET 运算放大器能够在获得低电流噪声的同时, 获得与双极型放大器性能相近的低电压噪声, 当然与最好的双极型输入放大器还有一些差距。

折合到输入端的电流噪声

折合到输入端的电流噪声(i_n)通常表现为通过两个差分输入端输出电流的两个噪声电流源。

散粒噪声 (有时称为肖特基噪声) 是由于流过某个势垒 (如一个 PN 结) 的电流中的载荷子随机分布而产生的电流噪声。散粒噪声电流(i_n)通过以下公式计算得出:

$$i_n = \sqrt{2I_B q B} \quad (4)$$

其中：

I_b 表示偏置电流（单位：A）。

q 表示电子电荷（单位： 1.6×10^{-19} C）。

B 表示带宽（单位：Hz）。

简单双极型和 JFET 运算放大器的电流噪声通常在输入偏置电流的散粒噪声的 1dB 或 2dB 之内。该指标并不经常列于数据手册之中。

对于折合到输入端的噪声，需注意以下几点：

- 典型的双极型晶体管运算放大器，如 [OP27](#)，电流噪声为 $400 \text{ fA}/\sqrt{\text{Hz}}$ ， $I_b=10 \text{ nA}$ 。除偏置电流补偿放大器外，不会随温度而发生大幅变化。
- JFET 输入运算放大器（如 [AD8610](#)； $5 \text{ fA}/\sqrt{\text{Hz}}$ ，其中， $I_b=10 \text{ pA}$ ）的电流噪声尽管稍低，但芯片温度每增加 20°C ，其电流噪声就会增加一倍，因为温度每增加 10°C ，JFET 运算放大器的偏置电流会增加一倍。
- 传统的带平衡输入的电压反馈运算放大器通常在其反相和同相输入端具有相等的（相关或不相关的）电流噪声。
- 许多放大器，尤其是那些带输入偏置电流消除电路的放大器，其相关噪声成分比不相关噪声成分大得多。总体而言，可通过添加阻抗平衡电阻（使正负输入引脚上的阻抗相匹配）来改善噪声性能。

闪烁噪声

运算放大器的噪声具有高斯特性，其谱密度（白噪声）在较宽频率范围内为一个常数。随着频率的下降，受制造工艺、IC 器件布局和器件类型的影响，谱密度将开始按以下速率升高： $3\text{dB}/\text{倍频程}$ （CMOS 放大器）； 3.5dB 至 $4.5\text{dB}/\text{倍频程}$ （双极型放大器）；或最高 $5\text{dB}/\text{倍频程}$ （JFET 放大器）。

这种低频噪声特性被称为闪烁噪声或 $1/f$ 噪声，因为噪声功率谱密度与频率呈反比关系 ($1/f$)。在对数坐标图中斜率为-1。

-3dB/倍频程 (CMOS 类放大器) 的外推谱密度线与宽带常数谱密度值相交的频率被称为 $1/f$ 拐角频率，而且是放大器的一个品质因数 (见图 2)。双极型和 JFET 放大器的 $1/f$ 拐角频率通常低于 CMOS 放大器。

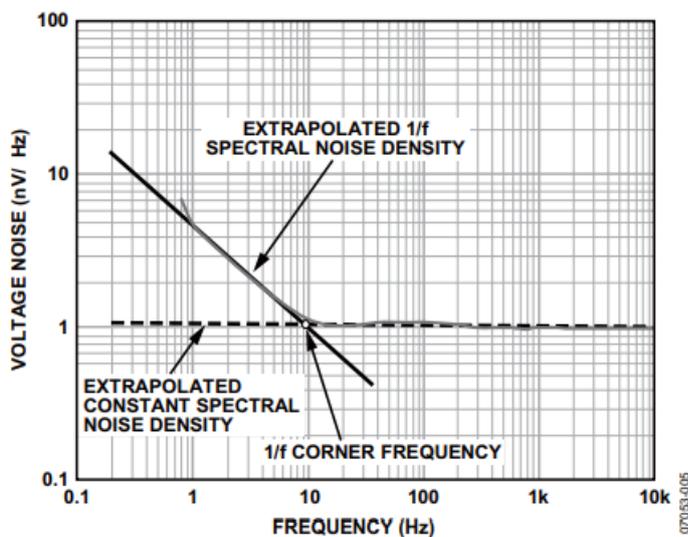


图 2: 噪声谱密度

“爆米花”噪声

“爆米花”噪声亦称为随机噪声，是失调电压或电流的突然变化，持续时间为数微秒，振幅从几 μV 到几百 μV 不等。这种爆裂或“爆米花”噪声是随机的。通常，低温和高源阻抗条件下最易于产生“爆米花”噪声。尽管导致“爆米花噪声”的根本原因并不是绝对的，但晶格中存在的金属污染以及内部或表面缺陷都可能使 IC 产生“爆米花”或爆裂噪声。虽然在现代晶圆制造中，人们花了大量精力来减少“爆米花”噪声的根源，但完全根除是不可能的。更深入的对爆米花噪声的分析已经超出了我们这篇文章需要探讨的范围。

叠加噪声源

如果噪声源不相关（即一种噪声信号无法转换为另一种噪声信号），相加的结果并不等于其算术和，而是等于其平方和的平方根。

$$V_{ni,TOTAL} = \sqrt{(e_n)^2 + (R_S \times i_n)^2 + V_n(R_{EX})^2} \quad (5)$$

其中：

$V_{ni,TOTAL}$ 表示折合到输入端(RTI)的总噪声。

e_n 表示折合到输入端的电压噪声。

i_n 表示折合到输入端的电流噪声。

R_S 表示放大器的等效源电阻或输入电阻。

$V_n(R_{EX})$ 表示来自外部电路的电压噪声。

请注意以下事项：

- 同相输入中的任何电阻都具有约翰逊噪声，并将电流噪声转换为电压噪声。
- 在高阻抗电路中，反馈电阻中的约翰逊噪声有可能产生较大影响。

图 3 以勾股定理直观展示了公式 5 中的向量求和法。

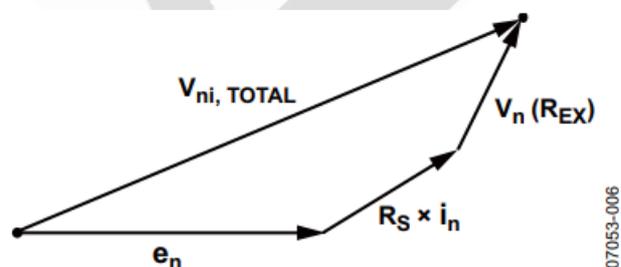


图 3：噪声源向量求和

噪声增益

以上讨论的各种放大器电路噪声可归为折合到输入端(RTI)的噪声。要计算放大器电路的总输出噪声，必须用放大器电路的噪声增益乘以输入中的总合成噪声。噪声增益是放大器电路折合到输入端的噪声的增益，通常用来判断放大器电路的稳定性。

为了简化噪声增益计算，可以将图 1 所示放大器电路简图中的噪声源简化为一个 RTI 总噪声源($V_{ni,TOTAL}$)，如图 4 所示。一种常见做法是将总合成 RTI 噪声一次性折合到放大器的同相输入端。

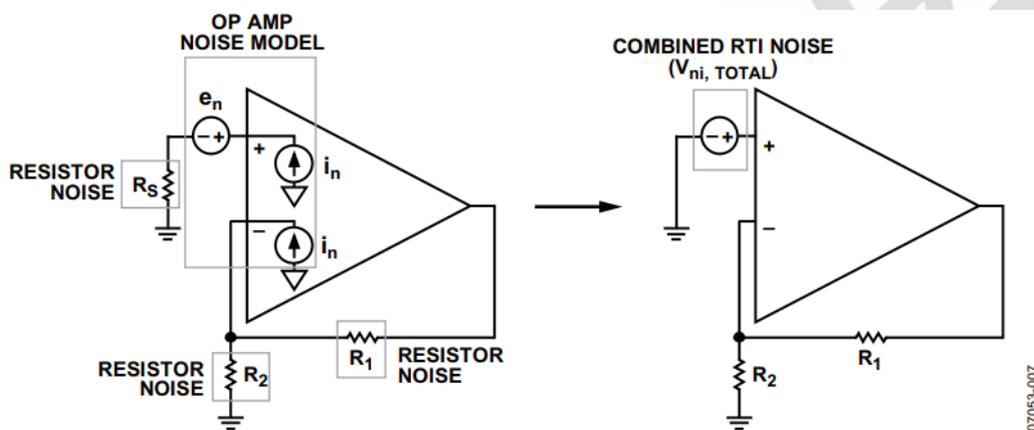


图 4: 简化放大器噪声电路

$$V_{no,TOTAL} = G_N \times V_{ni,TOTAL}$$

其中:

$V_{no,TOTAL}$ 表示折合到输出端(RTO)的总噪声。

$V_{ni,TOTAL}$ 表示折合到输入端(RTI)的总噪声。

$$G_N = 1 + \frac{R_1}{R_2}$$

其中:

G_n 表示噪声增益。

R_1 表示反馈等效阻抗。

R_2 表示输入等效阻抗

在某些情况下，噪声增益和信号增益并不相等（见图 5）。需注意的是，闭环带宽通过用增益带宽积（或单位增益频率）除以放大器电路的噪声增益来计算。

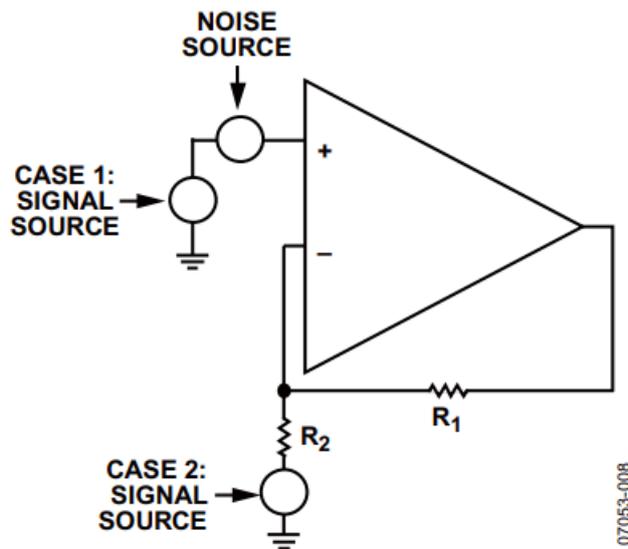


图 5：信号增益与噪声增益

情形 1：在同相配置中，信号增益和噪声增益都等于 $1+R_1/R_2$ 。

情形 2：在反相配置中，信号增益等于 $-(R_1/R_2)$ ，而噪声增益仍等于 $1+R_1/R_2$ 。

选择低噪声运算放大器

如果驱动一个带有一定源电阻的运算放大器，等效噪声输入则等于以下各项平方和的平方根：放大器的电压噪声；源电阻产生的电压；以及流过源阻抗的放大器电流噪声所产生的电压。

如果源电阻很小，则源电阻产生的噪声和放大器的电流噪声对总噪声的影响不大。这种情况下，输入端的噪声实际上只是运算放大器的电压噪声。

如果源电阻较大，源电阻的约翰逊噪声可能远高于运算放大器的电压噪声和由电流噪声

产生的电压。但需要注意，由于约翰逊噪声仅随电阻的平方根而增长，而受电流噪声影响的噪声电压与输入阻抗成正比关系，因而对于输入阻抗值足够高的情况，放大器的电流噪声将成为主导。当放大器的电压和电流噪声足够高时，在任何输入电阻值情况下，约翰逊噪声都不会是主导。

如果某个放大器的噪声贡献相对于源电阻可以忽略不计，则可通过运算放大器的品质因数 $R_{s,OP}$ 来进行选择。这可以通过放大器的噪声指标来计算：

$$R_{s,OP} = \frac{e_n}{i_n} \quad (7)$$

其中：

e_n 表示折合到输入端的电压噪声。

i_n 表示折合到输入端的电流噪声。

图 6 给出的是 1kHz 下，多种 ADI 高压（最高 44V）运算放大器的电压噪声密度对与 $R_{s,op}$ 关系的比较，1kHz。斜线显示了与电阻相关的约翰逊噪声。

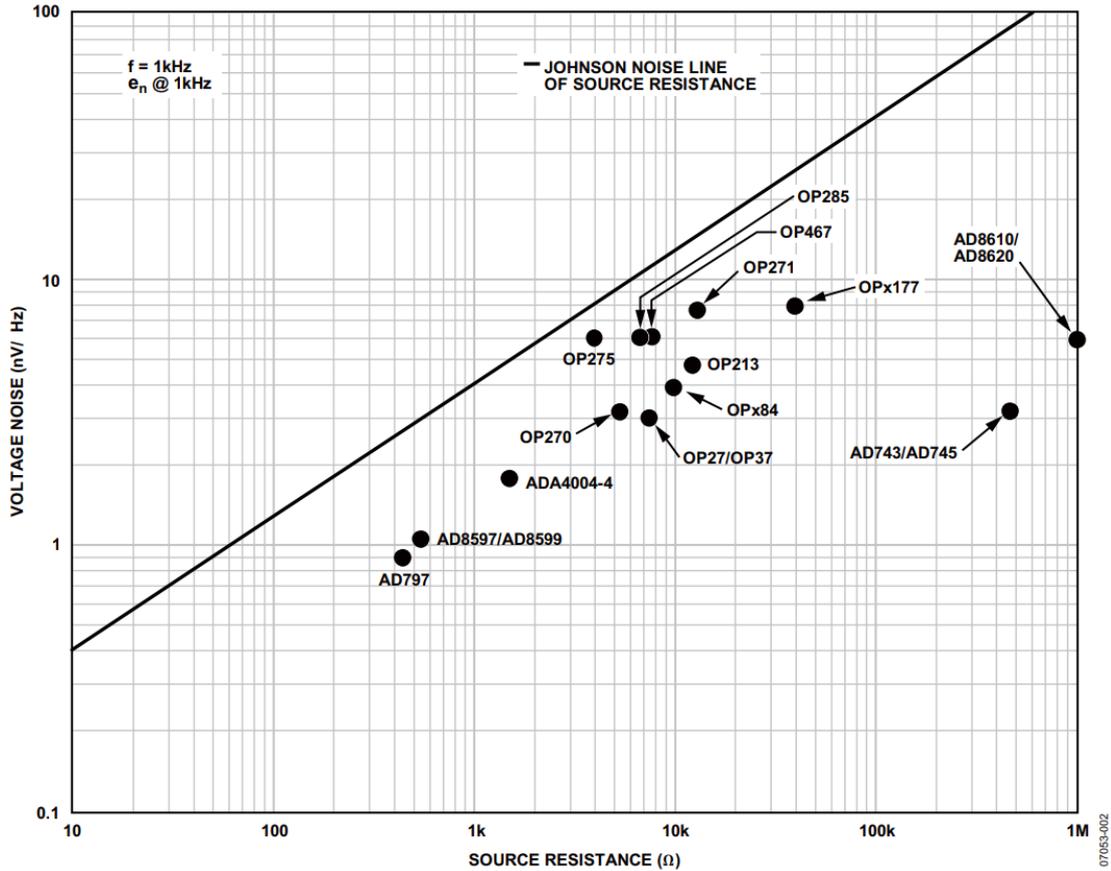


图 6: ADI 公司的放大器噪声坐标图

根据运算放大器数据手册中的数据 (见图 8), 可以为某个选定频率制作类似的曲线图。例如, [AD8599](#) 的折合到输入端的电压噪声约为 $1.07\text{nV}/\sqrt{\text{Hz}}$, 折合到输入端的电流噪声为 $2.3\text{pA}/\sqrt{\text{Hz}}$ (1kHz)。其 $R_{s,op}$ 值约为 465Ω (1kHz)。另外, 需要注意以下几点:

- 与该器件相关的约翰逊噪声等效于约为 69.6Ω 的源电阻 (见图 6)。
- 对于超过 465Ω 的源电阻, 放大器电流噪声产生的噪声电压会超过源电阻产生的噪声电压; 放大器的电流噪声成为主要噪声源。

若欲使用该图 (见图 7), 请执行第 1 至第 4 步。

1. 通常情况下, 源电阻是已知的 (如传感器阻抗)。如果不知道电阻值, 则根据周围的或前端的电路器件进行计算。
2. 在约翰逊噪声线上确定给定源电阻的位置, 如 $1\text{k}\Omega$ 。

3. 从第 2 步确定的点向坐标图右侧画一条水平线。
4. 从第 2 步确定的点向左下方画一条直线线。斜率为，每下降 10 倍电压噪声则下降 10 倍电阻。

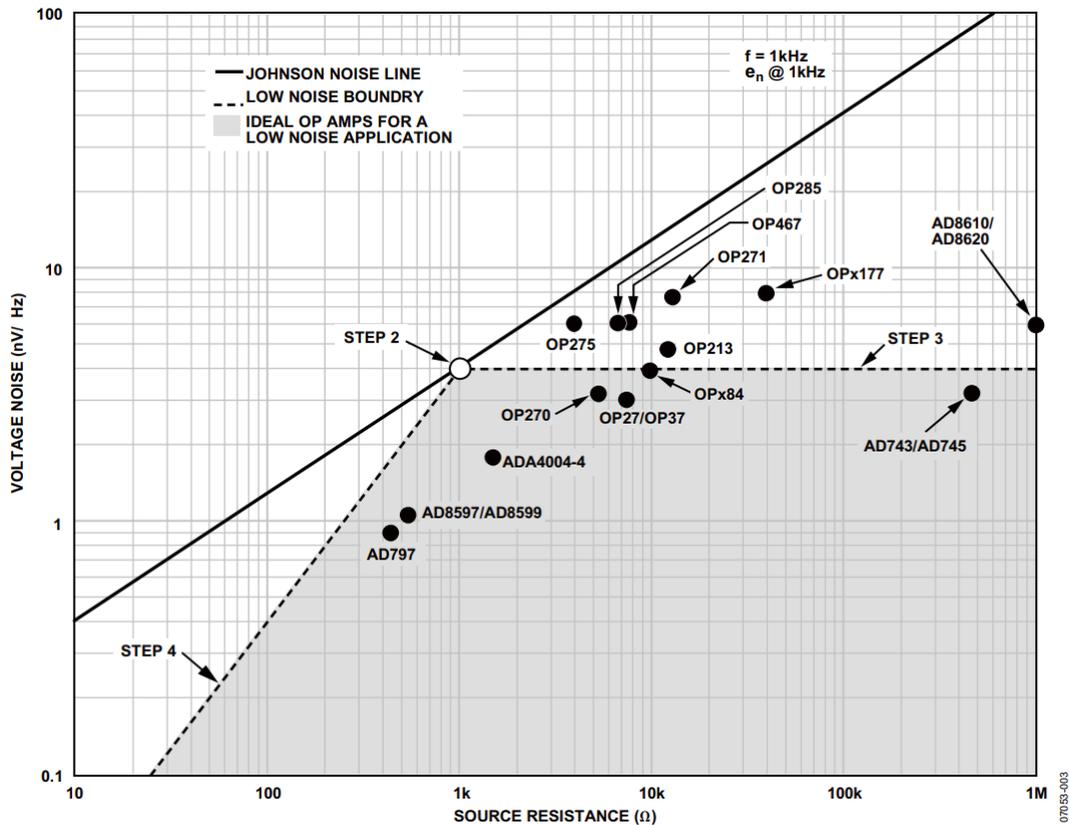


图 7：为低噪声设计选择运算放大器

位于线条右下方的放大器均为适用于目标设计的优质低噪声运算放大器，如图 3 阴影部分所示。

在图 7 所示例子中，适用于目标设计的优质产品有：[AD8597](#)、[AD8599](#)、[AD797](#)、[ADA4004-4](#)、[OP270](#)、[OP27/OP37](#)、[AD743/AD745](#) 和 [OP184](#)。

结论

在针对低噪声设计评估放大器噪声性能时，应考虑所有潜在噪声源。

运算放大器的主要噪声贡献取决于源电阻，具体如下：

- $R_s \gg R_{s,op}$; 折合到输入端的电流噪声占优势。
- $R_s = R_{s,op}$; 放大器噪声可忽略; 电阻噪声占优势。
- $R_s \ll R_{s,op}$; 折合到输入端的电压噪声占优势。

概括而言, 可通过以下方式减少或消除干扰信号:

- 良好的布线技术, 以减少寄生效应。
- 良好的接地技术, 如数字接地和模拟接地的隔离。
- 良好的屏蔽。

对于电阻性噪声源, 请遵循以下规则:

- 根据应用的需要来限制带宽。
- 尽可能降低电阻值。
- 使用低噪声电阻, 如采用大金属薄片、线绕式和金属薄膜技术的电阻。
- 尽可能减少电阻性噪声源的数量。
- 在选择 ADI 低噪声放大器时, 可借助图 8 和图 9, 并以本应用笔记讨论的标准为依据。

产品型号	V _{SY} (V)	最大 V _{OS} (μV)	TCV _{OS} (μV/°C)	GBP (MHz)	压摆率 (V/μs)	最大 I _{SY} /AMP (mA)	e _n @ 1 kHz (nV√Hz)	i _n @ 1 kHz (nV√Hz)	R _{OP} @ 1kHz (Ω)	1/f 拐角 (Hz)	最大 I _B (nA)	I _{YC} (mA)	最小 CMRR (dB)	最小 PSRR (dB)	放大器数量
AD797	10 TO 36	40	0.2	8	20	10.5	0.9	2	450	60	900	80	120	120	1
AD8597/ AD8599	9 TO 36	120	0.8	10	15	5.7	1.07	2.3	465	9	200	52	120	120	1/ 2
ADA4004-1/ ADA4004-2/ ADA4004-4	10 TO 36	125	0.7	12	2.7	2.2	1.8	1.2	1500	5	90	25	110	110	1/ 2/ 4
AD8676	10 TO 36	50	0.2	10	2.5	3.4	2.8	0.3*	—	10	2	40	111	106	2
AD8675	10 TO 36	75	0.2	10	2.5	2.9	2.8	0.3*	—	10	2	40	114	120	1
AD8671/ AD8672/ AD8674	10 TO 36	75	0.3	10	4	3.5	2.8	0.3*	—	10	12	30	100	110	1/ 2/ 4
ADA4075-2	±4.5 TO ±18	1000	0.3	6.5	12	2.25	2.8	1.2	2333	5	100	40	110	106	2
OP27	8 TO 44	100	0.3	8	2.8	5.7	3.2	0.4	8000	2.7	80	30	100	140	1
OP37	8 TO 44	100	0.3	40	17	4.7	3.2	0.4	8000	2.7	75	30	100	140	1
OP270 OP470	9 TO 36	75	0.2	5	2.4	3.25	3.2	0.6	5333	5	20	15	106	110	2/ 4
AD743	9.6 TO 36	1000	2	4.5	2.8	10	3.2	0.0069	463,768	50	0.4	40	80	90	1
AD745	9.6 TO 36	500	2	20	12.5	10	3.2	0.0069	463,768	50	0.25	40	90	100	1
OP184/ OP284/ OP484	3 TO 36	100	0.2	4.25	4	2	3.9	0.4	9750	10	450	10	86	90	1/ 2/ 4
AD8655/ AD8656	2.7 TO 5.5	250	0.4	28	11	4.5	4	—	—	3000	0.01	220	85	88	1/ 2
OP113 / OP213/ OP413	4 TO 36	150	0.2	3.4	1.2	3	4.7	0.4	11,750	10	600	40	96	100	1/ 2/ 4
SSM2135	4 TO 36	2000	—	3.5	0.9	3	5.2	0.5	10,400	3	750	30	87	90	2
OP285	9 TO 36	250	1	9	22	2.5	6	0.9	6667	125	350	30	80	85	2
AD8610/ AD8620	10 TO 27	100	0.5	25	60	3.5	6	0.005	1,200,000	1000	0.01	65	90	100	1/ 2
OP275	9 TO 44	1000	2	9	22	2.5	6	1.5	4000	2.24	350	14	80	85	2
OP467	9 TO 36	500	3.5	28	170	2.5	6	0.8	7500	8	600	40	80	96	4
OP471	9 TO 36	1800	4	6.5	8	2.75	6.5	0.4	16,250	5	60	10	95	95	4
OP1177/ OP2177/ OP4177	5 TO 36	60	0.2	1.3	0.7	0.5	7.9	0.2	39,500	10	2	25	120	120	1/ 2/ 4
AD8510/ AD8512/ AD8513	9 TO 36	400	1	8	20	2.5	8	—	—	100	0.08	70	86	86	1/ 2/ 4
AD8651/ AD8652	2.7 TO 5.5	350	4	50	41	14	8	0.025	320,000	10000	0.01	80	80	76	1/ 2
AD8646/ AD8647/ AD8648	2.7 TO 5.5	2500	1.8	24	11	1.5	8	—	—	1000	0.001	120	67	63	1/ 2(SD)/ 4
AD8605/ AD8512/ AD8513	2.7 TO 5.5	300	1	10	5	1.2	8	0.01	800,000	500	0.001	80	85	80	1/ 2/ 4
AD8691/ AD8692/ AD8694	2.7 TO 6	2000	1.3	10	5	1.05	8	0.05	160,000	3000	0.001	80	70	80	1(SD)/ 2(SD)/ 4(SD)
OP162/ OP262/ OP462	2.7 TO 12	325	1	15	13	0.8	9.5	0.4	23,750	10	600	30	70	60	1/ 2/ 4
OP07	6 TO 36	75	0.3	0.6	0.3	4	9.6	0.12	80,000	100	4	30	106	94	1
OP07D	8 TO 36	150	0.5	0.6	0.2	1.3	10	0.074	135,135	8	1	30	120	115	1
AD8677	8 TO 36	130	0.5	0.6	0.2	1.3	10	0.074	135,135	8	1	30	120	115	1
AD8615/ AD8616/ AD8618	2.7 TO 5.5	500	1.5	24	12	2	10	0.05	200,000	1000	0.001	150	80	70	1/ 2/ 4
AD8519/ AD8529	2.7 TO 12	1100	2	8	2.9	1.2	10	0.4	25,000	80	300	70	63	60	1/ 2
AD8665/ AD8666/ AD8668	5 TO 16	2500	3	4	3.5	1.55	10	0.1	100,000	1000	0.001	140	90	98	1/ 2/ 4
AD8661/ AD8662/ AD8664	5 TO 16	160	4	4	3.5	1.55	12	0.1	120,000	1000	0.001	140	90	95	1/ 2/ 4
OP97 OP297 OP497	4 TO 40	75	0.3	0.9	0.2	0.38	14	0.02*	1,166,667	200	0.15	10	110	110	1/ 2/ 4
OP777/ OP727/ OP747	3 TO 36	100	0.3	0.7	0.2	0.35	15	0.13	115,384	20	11	30	110	120	1/ 2/ 4
AD8517/ AD8527	1.8 TO 6	3500	2	7	8	1.2	15	1.2	12,500	200	450	10	60	90	1/ 2

*请参考产品数据手册获得更详细的条件。

图 8: ADI 低输入电压噪声放大器选型表

产品型号	V _{SY} (V)	最大 V _{OS} (μV)	TCV _{OS} (μV/°C)	GBP (MHz)	压摆率 (V/μs)	最大 I _{SY} /AMP (mA)	e _n @ 1 kHz (nV/√Hz)	i _n @ 1 kHz (nV/√Hz)	R _S , OP@ 1kHz (Ω)	1/f 拐角 (Hz)	最大 I _B (nA)	I _C (mA)	最小 CMRR (dB)	最小 PSRR (dB)	放大器数量
AD549	10 TO 36	500	10	5	3	0.7	35	0.22	159,090,909	100	0.06	20	90	90	1
AD548K/B	9 TO 36	500	5	1	1.8	0.2	30	1.8	16,666,666	700	10	15	82	86	1
AD743	9.6 TO 36	1000	2	4.5	2.8	10	3.2	6.9	463,768	50	0.4	40	80	90	1
AD745	9.6 TO 36	500	2	20	12.5	10	3.2	6.9	463,768	50	0.25	40	90	100	1
AD711C	9 TO 36	250	5	4	20	2.8	18	10	1,800,000	200	25	25	86	86	1
AD8605/ AD8606/ AD8608	2.7 TO 6	300	1	10	5	1.2	8	10	800,000	500	1	80	85	80	1/ 2/ 4
AD8651/ AD8652	2.7 TO 5.5	350	4	50	41	14	8	25	320,000	10,000	10	80	80	76	1/ 2
AD8615/ AD8616/ AD8618	2.7 TO 6	500	1.5	24	12	1.3	10	50	200,000	1000	1	150	80	70	1/ 2/ 4
AD8691/ AD8692/ AD8694	2.7 TO 6	2000	1.3	10	5	1.05	8	0.05	160,000	3000	1	80	70	80	1(SD)/ 2(SD)/ 4(SD)
AD8661/ AD8662/ AD8664	5 TO 6	160	4	4	3.5	1.55	12	0.1	120,000	1000	1	140	90	95	1/ 2/ 4
OP07	6 TO 36	75	0.3	0.6	0.3	4	9.6	0.12	80,000	100	4000	30	106	94	1

图 9: ADI 低输入电流噪声放大器选型

放大器电路设计：如何避免常见问题

与分立半导体组件相比，使用运算放大器和仪表放大器能给设计师带来显著优势。虽然有关电路应用的著述颇丰，但由于设计电路时往往匆忙行事，因而忽视了一些基本问题，结果使电路功能与预期不符。本应用笔记论述了最为常见的设计问题并提出了实用的解决方案。

缺少直流偏置电流回路

最常见的应用问题之一是在交流耦合运算放大器或仪表放大器电路应用中，没有为偏置电流提供直流回路。图 1 中，一个电容串接在一个运算放大器的同相(+)输入端。这种交流耦合是隔离输入电压(V_{IN})中的直流电压的一种简单方法。这种方法在高增益应用中尤为有用，在增益较高时，即使是放大器输入端的一个较小直流电压，也会影响运放的动态范围，甚至可能导致输出饱和。然而，容性耦合进高阻抗输入端而不为正输入端中的电流提供直流路径的做法会带来一些问题。

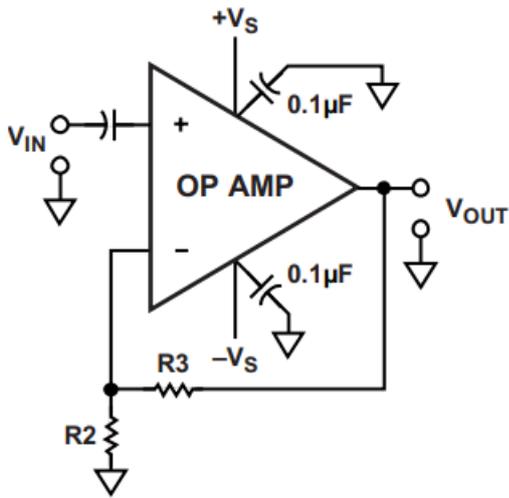


图 1: 错误的交流耦合运算放大器电路

输入偏置电流流经耦合电容，给其充电，直到超过放大器输入电路的额定共模电压或超过输出限值。根据输入偏置电流的极性，电容充电或者向正电源电压方向，或者向负电源电压方向。这个偏置电压会被放大器的闭环直流增益放大。

这一过程可能较长。例如，对于一个带有场效应晶体管(FET)输入端的放大器，若其偏置电流为 1pA，通过一个 0.1-μF 的电容器进行耦合，则其 IC 充电率 I/C 为

$$10^{-12}/10^{-7} = 10 \mu\text{V}/\text{秒}$$

合 600μV/分。如果增益为 100，则输出漂移为 0.06V/分。可见，如果采用交流耦合示波器做短时间的测试可能无法检测出这一问题，电路要在数小时后才会发生故障。总之，避免这一问题是非常重要的。

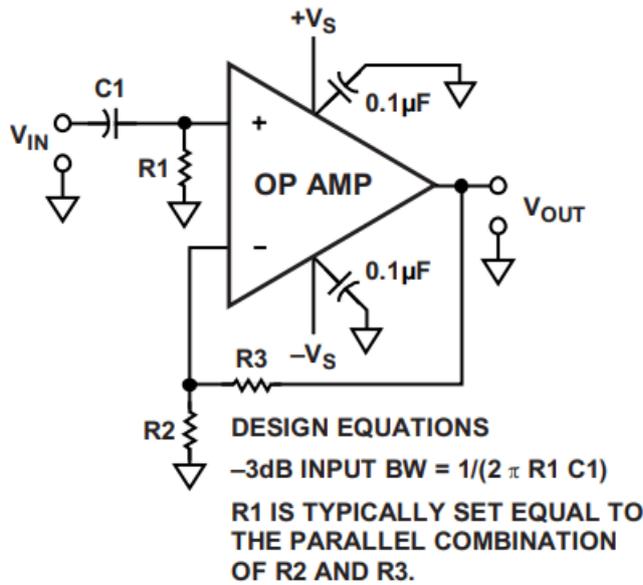


图 2：双电源供电运算放大器输入端交流耦合的正确方法

图 2 所示即是这一常见问题的一种简单解决方案。此例中，一个电阻连接在运算放大器的输入端与地之间，从而为输入偏置电流提供了一个回路。为最小化输入偏置电流导致的失调电压，在使用双极性运放的时候，考虑运放两个输入端的匹配问题，通常将 R1 设为 R2 和 R3 的并联值。

但要注意的是，该电阻始终会给电路带来一定噪声，因而需在电路输入阻抗、所需输入耦合电容大小与电阻引入的约翰逊噪声之间进行权衡。典型电阻值一般在 100,000Ω 至 1MΩ 之间。

类似问题也会影响仪表放大器电路。图 3 所示的是通过两个电容进行交流耦合的仪表放大器电路，也没有为输入偏置电流提供回路。该问题常见于采用双电源供电（图 3a）和单电源供电（图 3b）的仪表放大器电路中。

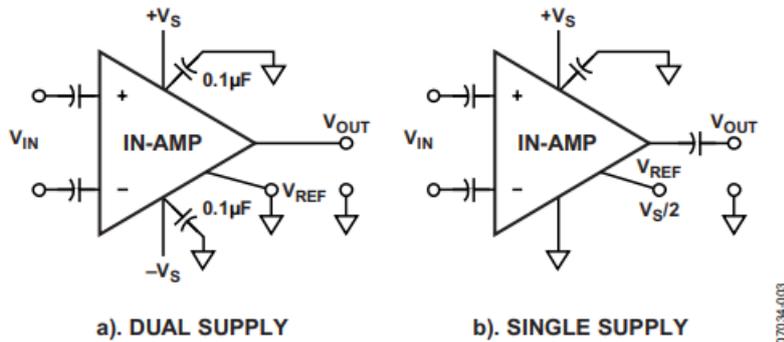


图 3: 错误的交流耦合仪表放大器电路

如图 4 所示, 如果变压器次级电路中未提供直流到地回路, 这个问题也会发生在利用变压器耦合的电路中。

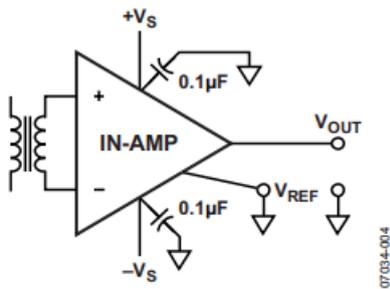


图 4: 错误的变压器耦合仪表放大器电路

图 5 和图 6 给出了此类电路的简单解决方案。在各输入端与地之间均添加了一个高值电阻(R_A, R_B)。对双电源仪表放大器电路来说, 这是一个简单而实用的解决方案。电阻为输入偏置电流提供了一个放电路径。在双电源示例中, 两个输入端均以地作为参考。在单电源示例中, 输入端既可以地为参考 (V_{CM} 接地) 也可以一个偏置电压为参考, 该偏置电压通常为最大输入电压范围的一半。

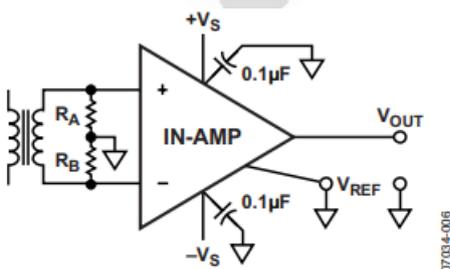


图 5: 仪表放大器变压器输入耦合的正确方

同一原理也可用于变压器耦合输入端（图 5），除非变压器次级绕组有中心抽头，该中心抽头既可接地，也可连接至 V_{CM} 。在这些电路中，存在一个因电阻和/或输入偏置电流不匹配导致的较小失调电压误差。为使此类误差最小，可在仪表放大器的两个输入端之间连接电阻值约为两个电阻十分之一（但与差分源电阻相比，该值仍较大）的另一个电阻（从而将两个电阻桥接起来）。

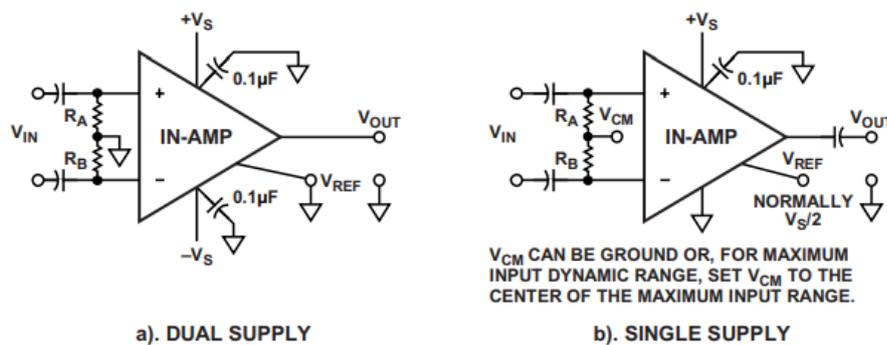


图 6：各输入端与地之间的高值电阻提供所需的偏置电流回路

为仪表放大器、运算放大器和 ADC 提供基准电压

图 7 所示的是一个单电源电路，是用一个仪表放大器驱动一个单端模数转换器(ADC)。放大器基准电压源提供零差分输入时的偏置电压，而 ADC 基准电压源则提供比例因子。通常在仪表放大器输出端与 ADC 输入端之间使用一个简单的 RC 低通抗混叠滤波器来降低带外噪声。设计师一般倾向于采取简单的办法，比如利用电阻分压，来为仪表放大器和 ADC 提供基准电压。在某些仪表放大器应用中，这种方法有可能导致误差。

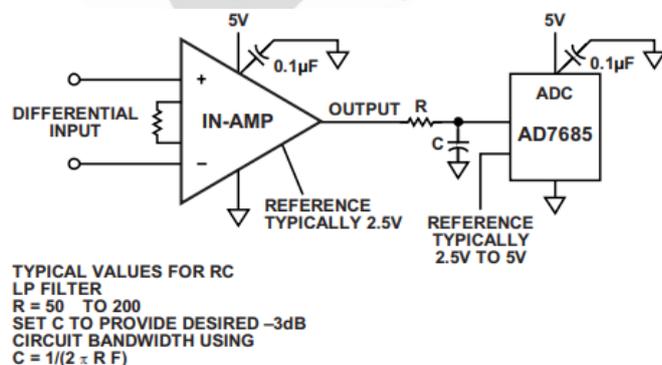


图 7：典型单电源电路中仪表放大器驱动 ADC

正确提供仪表放大器基准电压

通常认为仪表放大器基准输入端是高阻抗，因为它是一个输入端口。因此，设计师可能将高阻抗源，比如电阻分压器连接至仪表放大器的基准电压引脚。对于某些类型的仪表放大器，这可能导致严重错误（见图 8）。

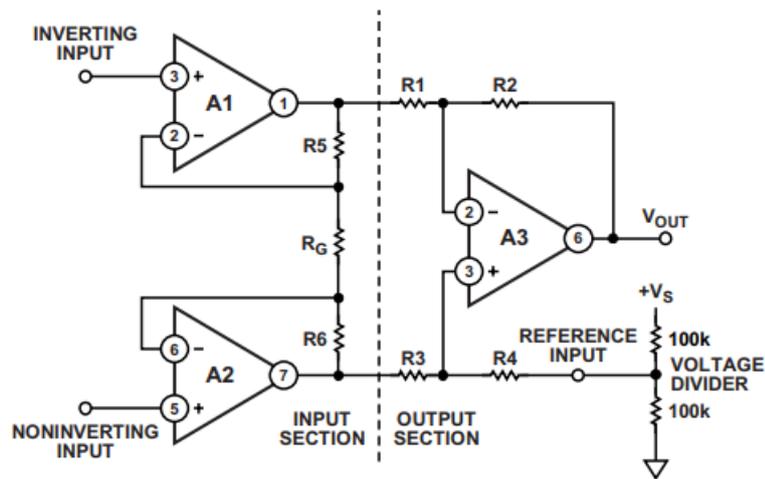


图 8：不恰当的使用简单分压器来直接驱动三运放结构仪表放大器的基准引脚

例如，一种流行的仪表放大器设计结构采用三运算放大器，其连接方法如图 8 所示。总信号增益为

$$G = \left(1 + \frac{R_5}{R_G} + \frac{R_6}{R_G}\right) \left(\frac{R_2}{R_1}\right)$$

其中：

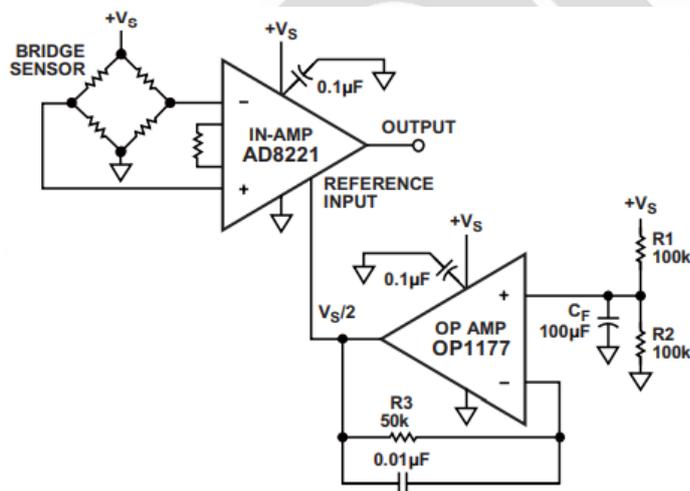
$$\frac{R_2}{R_1} = \frac{R_4}{R_3}$$

若通过低阻抗源驱动，基准输入端的增益为单位增益。但在此例中，仪表放大器的基准引脚直接与一个简单的分压器相连。这破坏了减法电路的对称性以及分压电路的分配比，降低了仪表放大器的共模抑制能力及其增益精度。但在某些情况下，R4 是可调的，因而可降低其电阻值，降低量等于分压电阻的并联值（本例为 50kΩ）。此时，电路的表现就像是相当于电源电压一半的低阻抗电压源连接到保持原始值的 R4 上。此外，

际电路都包含、连接至或存在于电源电压不够理想的环境。除此之外，电源线路中存在的交流信号可能流回电路并被放大，在某种条件下，还可能激发寄生振荡。

现代运算放大器和仪表放大器的设计已具有出色的低频电源抑制性能。多数工程师也将此视为必然。许多现代运算放大器和仪表放大器的 PSR 值达 80dB 至 100dB 以上，可使电源变化的影响降低 1 万至 10 万倍。即使 PSR 值仅为 40dB，电源变化与放大器间的隔离系数也可达 100。然而，高频旁路电容（如图 1 至图 7 所示）总是可取的，往往也是必要的选择。此外，当设计师利用简单的电阻分压器来分压供电电源以及运放缓冲器来为仪表放大器提供基准电压时，电源电压的任何变化都会几乎没有衰减的顺利通过电路，直接叠加到仪表放大器的输出电平上。因此，除非采用低通滤波器，否则，IC 将失去通常较为出色的 PSR 性能。

在图 10 中，一个大电容被加至分压器，以滤除电源变化，从而使 PSR 保持不变。该滤波器的-3dB 极点由 R1/R2 并联组合及电容 CF 设定。该极点应设为低于所关心的最低频率 10 倍左右。



DESIGN EQUATIONS
 $C_F = 1 / ((2 \pi) 50k \times \text{FREQUENCY IN Hz})$
 COOKBOOK VALUES: 10 μ F (0.3Hz) TO 100 μ F (0.03Hz)
 R3 = PARALLEL COMBINATION OF R1, R2
 $C_F = 1 / (2 \pi R3f)$, R3 = 50k, f = -30dB FREQUENCY IN Hz

图 10：对基准电路进行去耦处理以维持 PSR

图 10 给出了一组-3dB 极点频率约为 0.03Hz 的参数。跨接在 R3 两端的小电容(0.01 μ F)

可使电阻噪声最小。滤波器充电需要一定时间。根据图中所示值，基准输入端的上升时间为几个时间常数（其中， $T=R_3C_f=5s$ ），大约 10 至 15 秒左右。图 11 所示电路作了进一步改进。这种情况下，运放缓冲器充当一个有源滤波器，可以用较小的电容实现等量的电源去耦。此外，有源滤波器可设计提供更高的 Q 值，从而获得更快的开启时间。

基于图 11 所示元件值，对电路进行了测试。其中，电源电压为 12V，6V 滤波后的基准电压被提供给仪表放大器。一个频率可调的 1V 峰峰值正弦波被用来调制 12V 电源，并将仪表放大器增益设为单位增益。在这些条件下，用示波器监测 VREF 和仪表放大器的输出，随着频率的降低，示波器上未出现交流信号，直到接近 8Hz。在连接低电平输入信号到仪表放大器时，测得该电路的电源范围为 4V 至 25V 以上。电路开启时间约为 2 秒。

对单电源运算放大器电路进行去耦

单电源运算放大器电路要求对输入共模电平进行偏置以处理正负摆动的交流信号。当采用电阻分压供电电源的方法来提供偏置时，必须进行足够的去耦处理，以维持 PSR 不变。一种常见的，但是错误的做法是通过一个带有 0.1μF 旁路电容的 100kΩ/100kΩ 分压电路来向运算放大器的同相端提供 $V_S/2$ 偏置。如果使用这些值，电源去耦往往显得不足，因为其极点频率仅为 32Hz。

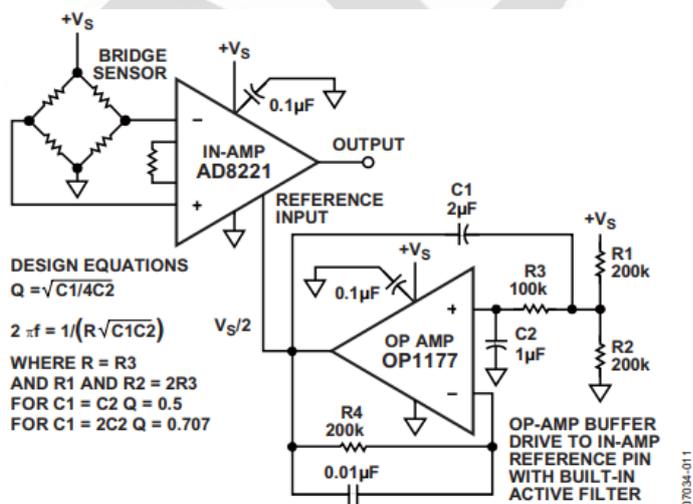


图 11: 运放缓冲器接成有源滤波器驱动仪表放大器基准引脚

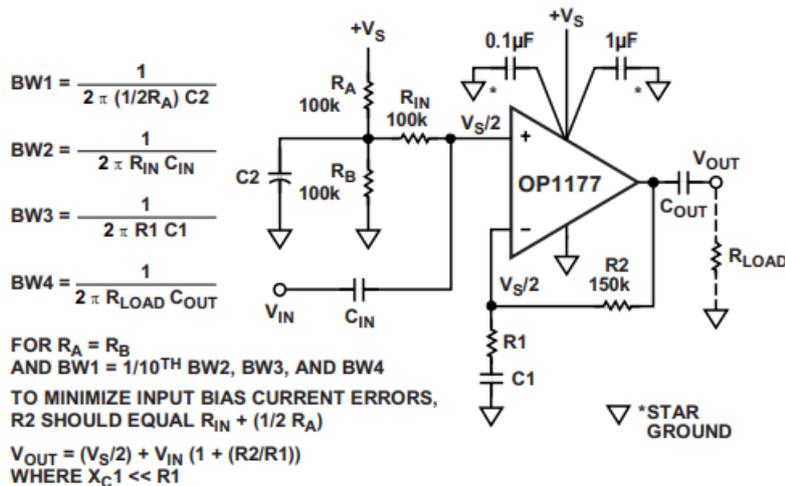


图 12: 单电源同相放大器电路的正确去耦方法

Midband Gain = $1 + R2/R1$

当电路工作在不稳定的环境下，图 12（同相放大）和图 13（反相放大）给出了如何获得较好效果的 $V_S/2$ 去耦偏置电路。两种情况下，偏置功能均由同相输入端提供，反馈使反相输入端获得相同的偏置，而单位直流增益则将输出偏置为同一电压。耦合电容 $C1$ 与 $BW3$ 一致，滚降低频增益。

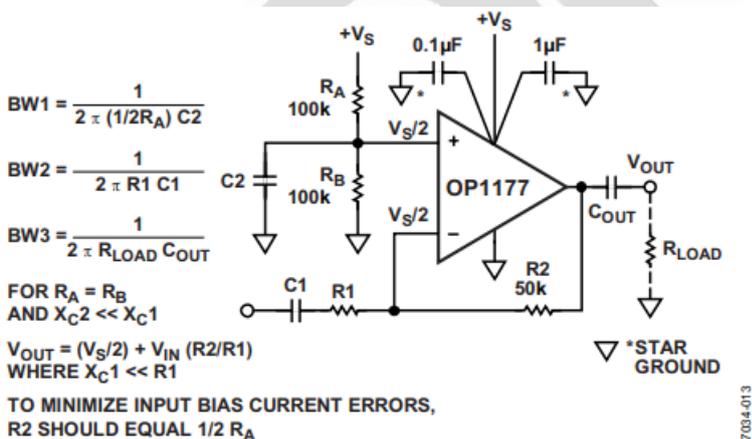


图 13: 单电源反相放大器电路的正确去耦方法

Midband Gain = $-R2/R1$

如图 12 所示，在使用 100kΩ/100kΩ 电阻分压电路的时候，一条经验法则是，使用值至少为 10µF 的 $C2$ ，实现 0.3Hz 时有 -3dB 的滚降特性。实际上，100µF (0.03Hz 极点频率)

的值就足以应付所有电路了。如图 12 所示，在使用 $100\text{k}\Omega/100\text{k}\Omega$ 电阻分压电路的时候，一条经验法则是，使用值至少为 $10\mu\text{F}$ 的 C_2 ，实现 0.3Hz 时有 -3dB 的滚降特性。实际上， $100\mu\text{F}$ (0.03Hz 极点频率) 的值就足以应付所有电路了。

单电源应用中的偏置和去耦运算放大器

单电源还是双电源？

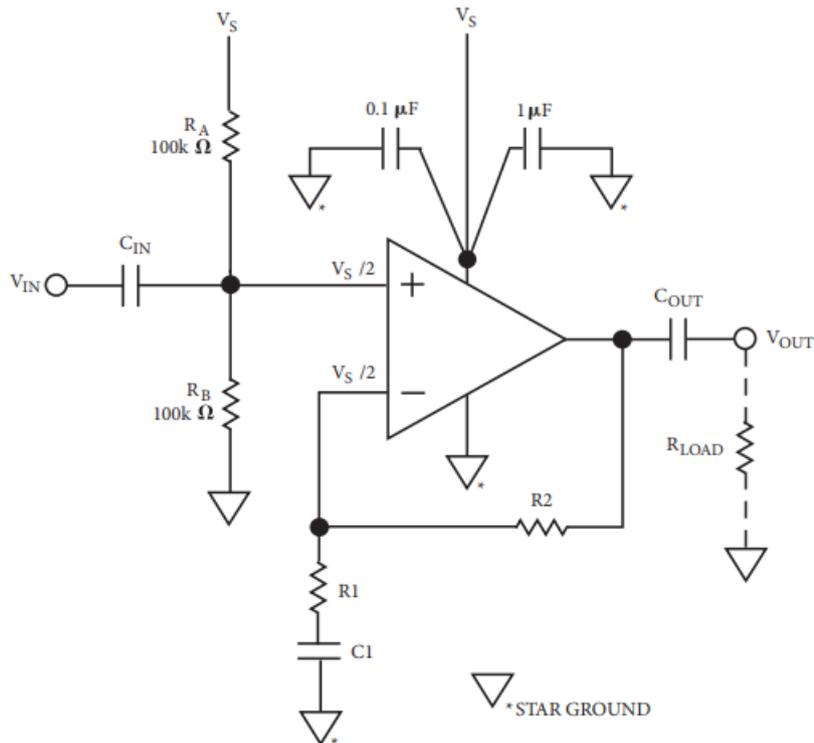
汽车和水上设备等应用中的电池供电型运算放大器仅有一个电源可用。计算机等其他应用虽然可用交流电源供电，但仍然只有一个单极性电源，如 5V 或 12V 直流电源。因而在实际操作中，往往需要通过单极性电源来驱动运算放大器。但单电源模式确实存在一些不足：各级均需采用额外的无源元件，而且如果执行不当，还可能造成严重的不稳定问题。

电阻偏置的常见问题

单电源应用的内在问题通常不存在于双电源运算放大器电路之中。基本问题在于，运算放大器是一种双电源器件，因而必须通过采用外部元件的某种偏置将运算放大器的输出电压偏置到供电电压一半的位置。对于给定电源电压，这种方法可实现最大输入和输出电压摆幅。

在输入信号极小的某些低增益应用中，只可将运算放大器的输出电压调至高于接地电压 2V 或 3V 的水平。但多数情况下均需避免任何削波现象，因而需使输出电压偏置到电源电压的一半附近。

图 1 中的电路展示的是一种简单的单电源偏置法。这种同相交流耦合放大器电路通过一个带有 R_A 和 R_B 两个偏置电阻的分阻器将同相引脚电压偏置到 $V_s/2$ 。如图所示，输入信号 V_{IN} 则通过电容耦合至同相输入端。



$$BW1 = \frac{1}{2\pi (1/2R_A) C_{IN}}$$

$$BW2 = \frac{1}{2\pi R_1 C_1}$$

$$BW3 = \frac{1}{2\pi R_{LOAD} C_{OUT}}$$

FOR $R_A = R_B$

FOR AC SIGNALS, $V_{OUT} = V_{IN} (1 + (R_2/R_1))$
WHERE $X_{C_1} \ll R_1$

图 1: 存在不稳定因素的单电源运算放大器电路

这种简单电路存在一些严重的局限性。其中之一是，运算放大器的电源抑制功能几乎荡然无存，因为电源电压发生的任何变化都将直接改变分阻器设定的 $V_S/2$ 偏置电压。电源抑制(PSR)是运算放大器一项极其重要（而往往被忽视）的特性。

由于电源电压每改变一伏特，分阻器电压将改变半伏特，因而电路 PSR 仅为 6dB。结果，任何现代运算放大器通常具有的高电源抑制性能将不复存在，而该性能可大幅减少从通过电源供电耦合至运算放大器的任何交流信号（即电源“嗡嗡”噪声）。

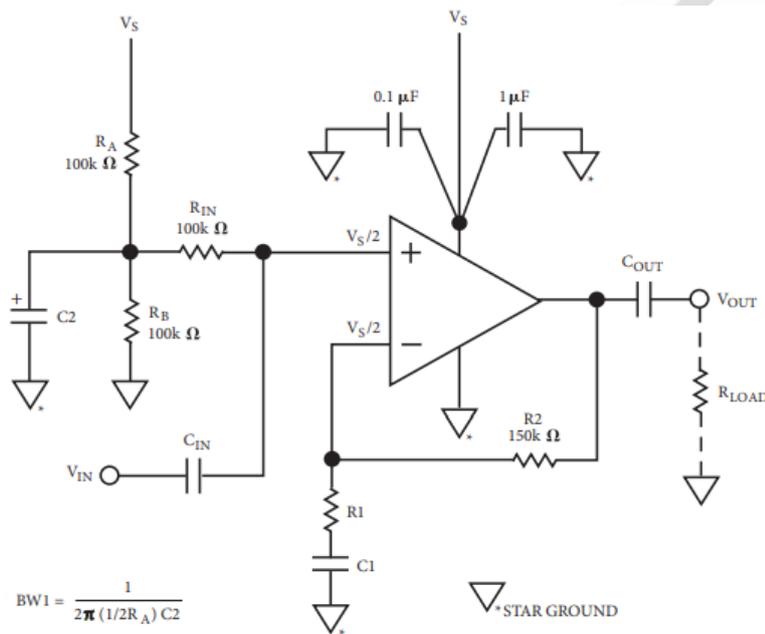
更糟糕的是，在运算放大器必须向负载提供较大输出电流的电路中，往往会出现不稳定现象。除非电源经过良好调节（且旁路设计得当），否则，供电电源上将出现较大信号

电压。由于运算放大器同相输入端的基准电压直接来供电电源，因而这些信号将直接送回运算放大器，由此引发“汽船声”（低频寄生振荡）或其他形式的不稳定现象。

尽管通过精心设计布局、多电容电源旁路、星形接地和印刷电路板“电源层”等方法可带来电路稳定性，但在设计中再引入一定的电源抑制显得更为容易。

偏置网络与电源的去耦

具体方法是对电路进行修改，如图 2 所示。其中，通过电容 C2 在分压器的抽头点设置旁路，用以处理交流信号，恢复了一定的交流 PSR 性能。电阻 R_{IN} 为 V_S/2 基准电压提供直流回路，同时设定电路（交流）输入阻抗。



$$BW1 = \frac{1}{2\pi (1/2R_A) C2}$$

$$BW2 = \frac{1}{2\pi R_{IN} C_{IN}}$$

$$BW3 = \frac{1}{2\pi R1 C1}$$

$$BW4 = \frac{1}{2\pi R_{LOAD} C_{OUT}}$$

FOR $R_A = R_B$ AND $BW1 = 1/10TH$ $BW2$,
 $BW3$, AND $BW4$

FOR AC SIGNALS, $V_{OUT} = V_{IN} (1 + (R2/R1))$
WHERE $X_{C1} \ll R1$

TO MINIMIZE INPUT BIAS CURRENT ERRORS,
 $R2$ SHOULD EQUAL $R_{IN} + (1/2 R_A)$

图 2：经去耦的单电源运算放大器偏置电路

在许多已出版的应用电路中， R_A 和 R_B 采用一个 $100\text{k}\Omega/100\text{k}\Omega$ 分压器， C_2 电容值为 $0.1\ \mu\text{F}$ 或类似值。但该网络的 -3dB 带宽由 R_A 和 R_B 及电容 C_2 构成的并联组合确定，等于：

$$-3\ \text{dB}\ BW = \frac{1}{2\pi(50,000)(0.1 \times 10^{-6}\text{Farads})} = 30\text{Hz}$$

对于 30Hz 以下的频率，该电路实际上并无电源抑制功能，因而仍可能发生汽船声或其他形式的不稳定现象。结果，供电电源上存在的 30Hz 以下信号可以轻易回到运算放大器的正输入引脚中。

这个问题的一种实用解决办法是增加电容 C_2 的值。该值必须足够大，从而能够对分压器电路通带带宽内所有频率起到旁路的功能。一条有效法则是将该极点设置为 -3dB 输入带宽的十分之一，由 R_{IN}/C_{IN} 和 R_1/C_1 设定。

需要注意的是，直流电路增益为单位增益。尽管如此，仍需考虑运算放大器的输入偏置电流。 R_A/R_B 分压器将增加大量与运算放大器的正输出端相串联的电阻，其值等于这两个电阻构成的并联组合。要使运算放大器的输出电压维持在供电电压一半附近，就需等值增加负输入端的电阻，以使这些电阻达到“平衡”。电流反馈运算放大器的输入偏置电流通常不相等，进一步加大了设计的复杂性。

因此，设计一种将输入偏置电流误差以及电源抑制、增益、输入和输出电路带宽等因素统统纳入考虑的单电源运算放大器电路可能是一件极其复杂的事情。不过，通过一种实用型方法却可大大简化设计过程。对于采用 15V 或 12V 单电源供电的共压反馈运算放大器，含有两个 $100\text{k}\Omega$ 电阻的分阻器即可使电源功耗与输入偏置电流误差达到合理平衡。对于 5V 电源，则可使用较低值的电阻，如 $42\text{k}\Omega$ 电阻。

最后，有些应用需工作于新的 3.3V 标准之下。对于 3.3V 应用，务必确保运算放大器为“轨到轨”器件，还需通过偏置使其尽量接近中位电压；偏置电阻的值可进一步降为 $27\text{k}\Omega$ 左右。

注意，电流反馈运算放大器通常设计用于高频应用，R₂ 和杂散电路电容形成的低通滤波器能极大地减少电路的 3dB 带宽。因此，电流反馈运算放大器往往需要使用电阻值极低的电阻 R₂。对于针对视频加速应用的 [AD811](#) 之类的运算放大器，若 R₂ 使用 1k 欧姆电阻，则可实现比较好的性能。因此，这类应用需在 R_A/R_B 分压器中使用电阻值低得多的电阻，以将输入偏置电流误差减至最低。

使用现代 FET 输入运算放大器而非双极器件可大幅减少输入偏置电流误差，电路必须工作于极宽的温度范围时除外。后一种情况下，对运算放大器输入端的电阻进行平衡处理仍不失为一种明智的预防措施。

表 I 列出了图 2 所示电路的典型元件值，其中包括数种不同增益和 3dB 带宽。

表 I 图 2 所示电路的典型元件值，其中 R_A=R_B=100kΩ，R_{IN}=100kΩ，R₂=150kΩ

增益	输入带宽 (Hz)	输出带宽 (Hz)	C _{IN} * (μF)	R1 (kΩ)	C1* (μF)	C2 (μF)	C _{OUT} (μF)	R _{LOAD} (kΩ)
10	10	10	0.3	16.5	1.5	3	0.2	100
20	10	10	0.3	7.87	3	3	0.2	100
10	50	50	0.1	16.5	0.3	0.6	0.05	100
101	20	20	0.2	1.5	6.8	2	0.1	100

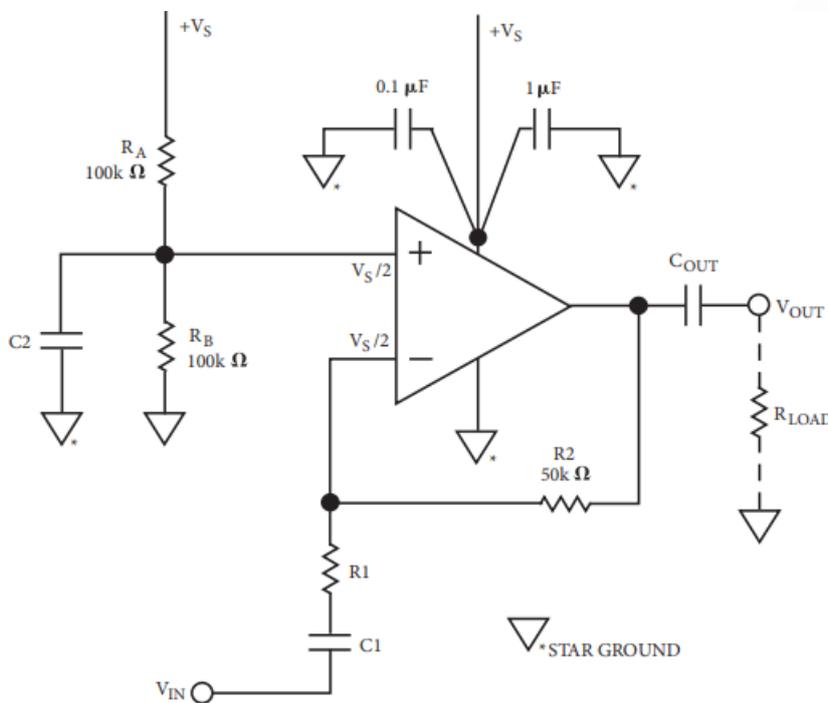
*电容值已依据下一最高公值作舍入处理。由于 C_{IN}/R_{IN} 极点和 C1/R1 极点处于同一频率且两者均会影响输入带宽，因此，各电容比其他情况下的单极 RC-耦合输入大 12。选择 C2 旨在提供相当于输入带宽 1/10 的转折频率。

表 II 列出了针对数种不同增益和 3dB 带宽的典型元件值。

表 II 图 3 所示电路的典型元件值，其中 R₂=50kΩ 且 R_A=R_B=100KΩ

增益	输入带宽 (Hz)	输出带宽 (Hz)	R1 (kΩ)	C1* (μF)	C2* (μF)	C _{OUT} (μF)	R _{LOAD} (kΩ)
10	10	10	2	8.2	0.5	0.2	100
20	10	10	1	20	0.5	0.2	100
10	50	50	2	2	0.1	0.05	100
100	20	20	1	8.2	0.3	0.1	100

*电容值已依据下一最高公值作舍入处理。由于 C1/R1 极点和 C2/R_A/R_B 极点处于同一频率且两者均会影响输入带宽，因此，各电容比其他情况下的单极 RC-耦合输入大 $\sqrt{2}$ 。



$$BW1 = \frac{1}{2\pi (1/2 R_A) C2}$$

$$BW2 = \frac{1}{2\pi R1 C1}$$

$$BW3 = \frac{1}{2\pi R_{LOAD} C_{OUT}}$$

FOR $R_A = R_B$ AND $X_{C2} \ll X_{C1}$

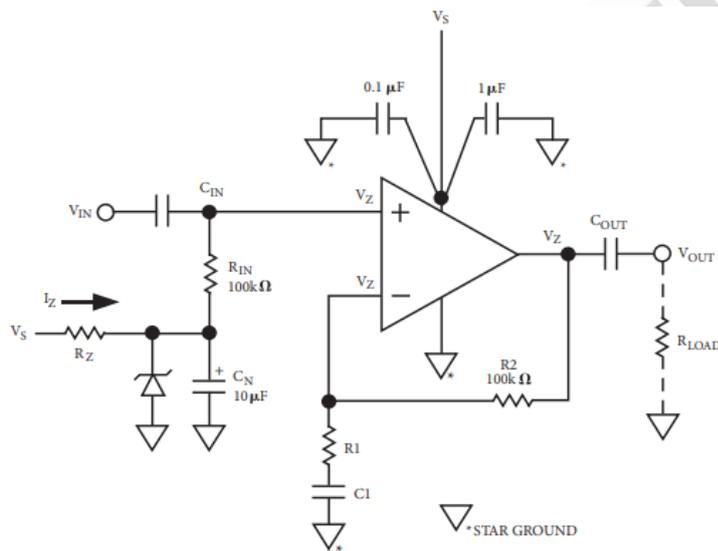
FOR AC SIGNALS, $V_{OUT} = V_{IN} (R2/R1)$
WHERE $X_{C1} \ll R1$

TO MINIMIZE INPUT BIAS CURRENT ERRORS,
R2 SHOULD EQUAL $1/2 R_A$.

图 3：所示电路与图 2 类似，只不过是反相放大器电路而已。

齐纳二极管偏置

尽管分阻器偏置技术成本较低且能使运算放大器的输出电压始终保持为 $V_S/2$ ，但这类运算放大器的共模抑制性能却完全取决于 R_A/R_B 及电容 C_2 形成的 R_C 时间常数。采用一个能提供至少 10 倍于输入 R_C 耦合网络 (R_1/C_1 和 R_{IN}/C_{IN}) R_C 时间常数的 C_2 值有助于确保获得合理的共模抑制比。若 R_A 和 R_B 均为 $100k\Omega$ 电阻，只要电路带宽不是太低， C_2 的实际值可保持在极小水平。但为单电源应用提供所需 $V_S/2$ 偏置的另一种方法是使用齐纳二极管稳压器。图 4 所示即为这样的一种设计。其中，电流通过电阻 R_Z 流向该齐纳二极管。电容 C_N 可帮助防止齐纳二极管产生的任何噪声馈入运算放大器。低噪声电路可能需要使用大于 $10\mu F$ 标定值的 C_N 。



SELECT R_Z TO PROVIDE THE DESIRED ZENER OPERATING CURRENT, I_Z . SEE TEXT.

$$R_Z = \frac{+V_S - V_{ZENER}}{I_Z}$$

$$BW1 = \frac{1}{2\pi R_{IN} C_{IN}}$$

$$BW2 = \frac{1}{2\pi R_1 C_1}$$

$$BW3 = \frac{1}{2\pi R_{LOAD} C_{OUT}}$$

FOR AC SIGNALS, $V_{OUT} = V_{IN}(1 + (R_2/R_1))$
WHERE $X_{C1} \ll R_1$

TO MINIMIZE INPUT BIAS CURRENT ERRORS,
 R_2 SHOULD EQUAL R_{IN}

图 4：采用齐纳二极管偏置法的同相单电源放大器

应选择工作电压接近 $V_s/2$ 的齐纳二极管。所选电阻 R_z 需向齐纳二极管提供足够高的电流，使其工作于稳定的额定电压之下并使其输出噪声维持于较低水平。降低功耗（和发热量）、延长齐纳二极管的寿命也非常重要。由于运算放大器的输入电流实际上为零，因此选择低功耗的齐纳二极管不失为一个好办法。虽然较好的选择是 250mW 型号，但更为常见的 500mW 型号也是可以接受的。理想齐纳电流因制造商而异，但对于这种应用来说，只要 I_z 处于 5mA（250mW 齐纳二极管）与 5 μ A（500mW 齐纳二极管）之间，即是一种不错的折衷办法。

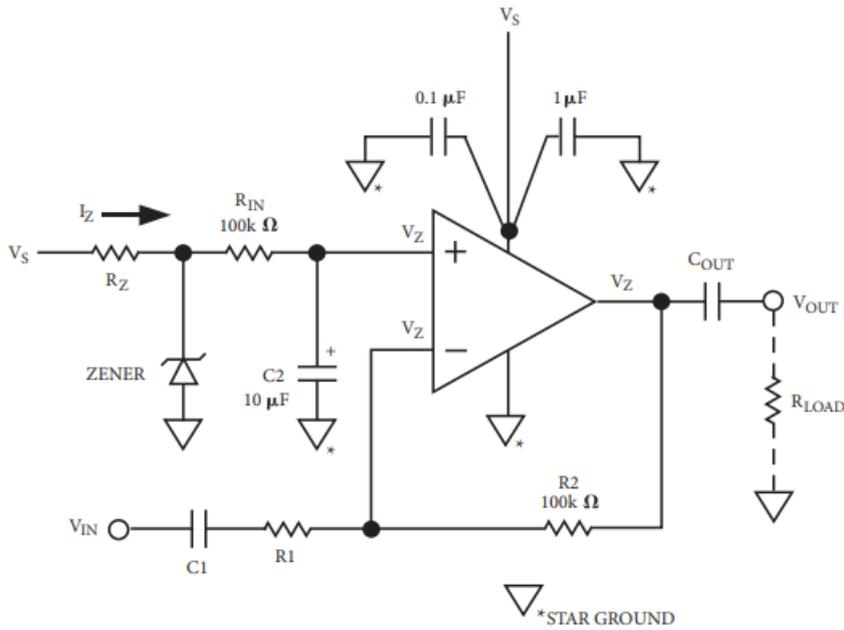
在齐纳二极管的工作范围之内，图 4 所示电路基本上恢复了运算放大器的电源抑制性能。但这种结果并非没有代价：此时，运算放大器的输出电压叠加在齐纳二极管的电压上，而不是 $V_s/2$ 。如果电源电压下降，大信号时可能会发生非对称限幅。此外，此时电路的功耗更大。最后，仍需考虑输入偏置电流。电阻 R_{in} 和 R_2 应接近同一电阻值，以防止输入偏置电流导致大的失调电压误差。

表 III 可与电路 4 和电路 5 配合使用，以便为某些常见齐纳二极管应用提供实用的 R_z 电阻值。注意，为使电路噪声降至最低，应参考齐纳产品数据手册，选择合适的齐纳电流。

表 III 配合图 4 和图 5 使用的建议 R_z 值及摩托罗拉齐纳二极管产品型号

电源电压 (V)	齐纳电压 (V)	齐纳产品型号	齐纳电流 (I_z)	R_z 值 (Ω)
+15	7.5	1N4100	500 μ A	15K
+15	7.5	1N4693	5 mA	1.5K
+12	6.2	1N4627	500 μ A	11.5K
+12	6.2	1N4691	5 mA	1.15K
+9	4.3	1N4623	500 μ A	9.31K
+9	4.3	1N4687	5 mA	931
+5	2.4	1N4617	500 μ A	5.23
+5	2.7	1N4682	5 mA	464

表 IV 和表 V 分别为图 4 和图 5 列出了针对数种不同电路增益和带宽的实用元件值



SELECT R_Z TO PROVIDE THE DESIRED ZENER OPERATING CURRENT, I_Z . SEE TEXT.

$$R_Z = \frac{+V_S - V_{ZENER}}{I_Z}$$

$$BW1 = \frac{1}{2\pi R_1 C_1}$$

$$BW2 = \frac{1}{2\pi R_{IN} C_2}$$

$$BW3 = \frac{1}{2\pi R_{LOAD} C_{OUT}}$$

FOR AC SIGNALS, $V_{OUT} = V_{IN} (R_2/R_1)$
WHERE $X_{C1} \ll R_1$

TO MINIMIZE INPUT BIAS CURRENT ERRORS,
 R_2 SHOULD EQUAL R_{IN}

图 5：采用齐纳二极管偏置的反相单电源放大器

表 IV 图 4 所示电路的典型元件值，其中 $R_{IN}=R_2=100k\Omega$ 且 $C_N=0.1\mu F$ 。从表 III 中选择 R_Z

增益	输入 带宽 (Hz)	输出 带宽 (Hz)	C_{IN}^* (μF)	R_1 (k Ω)	C_1^* (μF)	C_{OUT} (μF)	R_{LOAD} (k Ω)
10	10	10	0.3	11.0	2	0.2	100
20	10	10	0.3	5.23	4.7	0.2	100
10	50	50	0.1	11.0	0.47	0.05	100
101	20	20	0.2	1.0	15	0.1	100

*电容值已依据下一最高公值作舍入处理。由于 C_{IN}/R_{IN} 极点和 C_1/R_1 极点处于同一频率且两者均会影响输入带宽，因此，各电容比其他情况下的单极 R_C -耦合输入大 $\sqrt{2}$ 。

直流耦合电池供电电路

前面我们只讨论了交流耦合运算放大器电路。尽管在使用足够大的输入和输出耦合电容的情况下，交流耦合电路可工作于 1Hz 以下频率，但有些应用要求名副其实直流响应。

电池供电应用允许使用“虚拟接地”电路，如图 7 所示。这种方法可从单电池提供双电源电压，包括正负接地电压。运算放大器用于缓冲 $V_S/2$ 分压器的输出。若采用低压电池（如 3.3V），运算放大器应为“轨到轨”器件并能在该电源电压下有效工作。同时，运算放大器还需提供足够大的输出电流，以便驱动负载电路。电容 C2 对于分压器起到旁路功能，足以防止任何电阻噪声馈入运算放大器。该电容无需提供电源抑制功能，因为负载电流直接到地，结果，任何信号电流从电池两端均等流出。

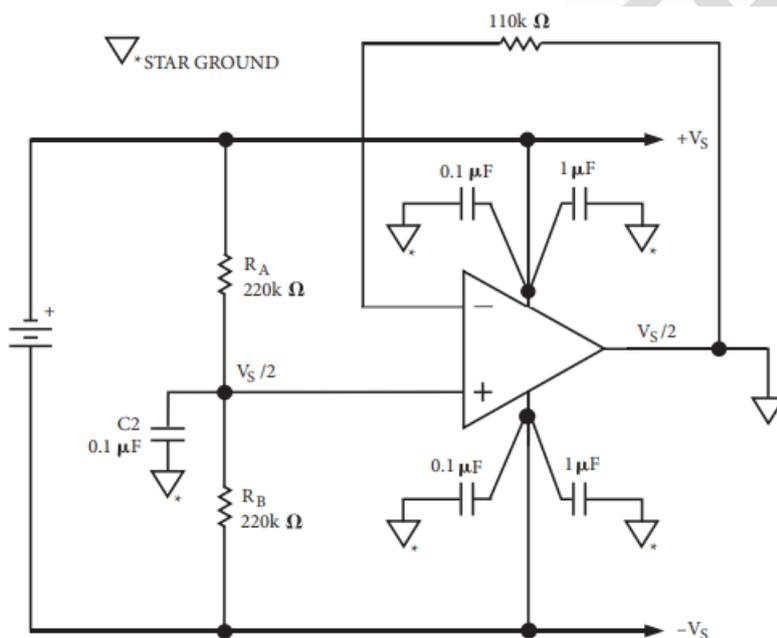


图 7：用运算放大器为电池供电直流耦合应用提供“虚拟接地”

选择电阻 R_A 和 R_B 以提供所需 $V_S/2$ 基准电压，请参阅 AD663A 数据手册。

噪声问题

有些运算放大器应用需使用低噪声放大器，而低噪声放大器电路则要求信号通道具有低电阻值。约翰逊（电阻）噪声等于 $4nV$ 与电阻值（单位： $k\Omega$ ）平方根之积。尽管一个

1kΩ 电阻的约翰逊噪声仅为 $4\text{nV}/\sqrt{\text{Hz}}$ ，但 20kΩ 电阻则为 $18\text{nV}/\sqrt{\text{Hz}}$ ，100kΩ 电阻更是高达 $40\text{nV}/\sqrt{\text{Hz}}$ 。即使通过电容 (C2) 将 R_A/R_B 分阻器旁路到地，这些电阻也会对可用于运算放大器反馈电阻的最小值形成限制；该值越大，约翰逊噪声越大。因此，低噪声应用所用运算放大器的偏置电阻值需远小于此处规定的 100kΩ。但分阻器电阻值越低，电源电流就越高，电池寿命越短。

幸运的是，齐纳二极管偏置法可在不用大电阻的情况下提供 $V_s/2$ 。只要对齐纳二极管进行旁路滤波，使其噪声不进入电路，噪声和电源电流均可维持于低位。线性稳压器是更好的选择，因为其噪声和输出阻抗都极低。

电路开启时间问题

最后需考虑的一个问题是电路开启时间。开启时间近似等于所用最低带宽滤波器的 RC 时间常数。

此处所示电路全部要求 R_A/R_B 、C2 分压器网络的时间常数比输入或输出电路的时间常数大 10 倍。这是为了简化电路的设计（因为最多有三个不同的 RC 极点设定输入带宽）。此外，长时间常数有助于防止偏置网络在运算放大器的输入和输出网络之前“开启”，结果，运算放大器的输出逐渐从零伏特升至 $V_s/2$ ，而不是到达电源的上轨。此表提供的是 3dB 转折频率的值，为 $R1/C1$ 和 $R_{\text{LOAD}}/C_{\text{OUT}}$ 的十分之一。例如：在图 2 中，若电路带宽为 10Hz、增益为 10，表 I 建议的 C2 值为 $3\ \mu\text{F}$ ，3dB 带宽为 1Hz。

5 万欧姆 (R_A 和 R_B 的并联组合) 乘以 3 微法拉，等于 0.15 秒的 RC 时间常数。因此，运算放大器的输出 (大约) 需要 0.15 秒以达到 $V_s/2$ 。输入和输出 RC 网络的充电时间要快 10 倍。

在电路-3dB 低频带宽极低的某些应用中，电路开启时间可能极长。这种情况下，齐纳偏置法可能是更好的选择。

输入“裕量”考虑

有些专业运算放大器设计用于低压应用。若这些器件采用低压单电源（如 5V 或 3.3V）供电，则可引入输入裕量限制。如果放大器输入级为非对称限制，就可能出现这种情况。

例如：根据设计，[AD8061](#) 运算放大器的输入共模电压范围可向下延伸至“接地”（或电源负轨）电压。但其输入电压只能在正电源电压 1.8V 的范围内浮动，才不会导致直流误差和限制器件带宽。因此，如果此放大器以 5V 单电源供电且其正输入偏置为 $V_s/2$ （2.5V），则输入电压可在负电源 2.5V 的范围内浮动（可低至零伏特）。但在不发生限幅的情况下，正向只能浮动 1V。

需要注意的是，如果放大器工作增益为 2.5 或更高，则不存在这个问题，因为在达到输入级限值之前将达到最大输出摆幅($\pm 2.5V$)。但是，如果放大器工作增益较低，则正输入偏置需低于 $V_s/2$ ，以支持对称输入级限制。对于 [AD8061](#)，如果正输入偏置为 1.5V，则可支持 3V 峰峰输入摆幅而不造成限幅。若要确定合适的单电源偏置电压，请参考相应产品的数据手册。

表VI 针对新型设计的推荐轨到轨运算放大器

Type	Single	Dual	Quad
High Speed	AD8031 AD8061 AD8051 AD8063	AD8032 AD8062 AD8052 AD823	AD8054
High Output	AD8591 AD8531	AD8592 AD8532	AD8594 AD8534
JFET Input	AD820	AD822	AD824
Auto Zero	AD8551	AD8552	AD8554
Digital Trim	AD8601	AD8602	AD8604
Low Noise	OP184 OP162 AD8605 AD8628	OP284 OP262 AD8606	OP484 OP462 AD8608
Low Power	OP196 AD8541	OP296 AD8542	OP496 AD8544
Precision	OP777	OP727	OP747

低压放大器

电池电压放电

[AD8517](#) 采用低至 1.8V 的电源电压供电。该放大器可以在大多数常用电池的放电截止电压下工作，因此非常适合电池供电应用。表列出了几种典型电池的标称电压和放电截止电压。

表I. 典型电池寿命电压范围

电池	标称电压(V)	放电截止电压(V)
铅酸	2	1.8
锂离子	2.6-3.6	1.7-2.4
NiMH	1.2	1
NiCd	1.2	1
碳锌	1.5	1.1

轨到轨输入和输出

[AD8517](#) 具有出色的轨到轨输入和输出特性，采用低至 1.8V 的电源电压供电。由于该放

大器的电源电压范围设置为 1.8V，因此共模电压可设置为 $1.8V_{P-P}$ ，使输出摆幅无需限幅便可达到任一电压轨。图 1 显示的是在单位增益下测定的输入和输出范围，频率为 22KHz， $V_S=1.8V$ ， $V_{IN}=1.8V_{P-P}$ 。

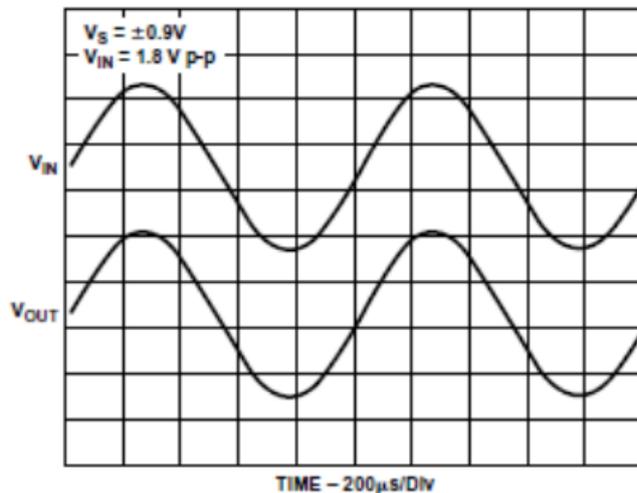


图 1: 轨到轨输入输出

在 [AD8517](#) 的整个额定工作电压范围内 (1.8V 至 5V)，都可以观察到该器件的轨到轨特性。

总谐波失真+噪声

AD85X7 系列的总谐波失真非常低，使该放大器成为音频应用的理想之选。图 2 所示为 THD+N 图；在增益为 1 的同相增益配置下， $V_S > 3V$ 时，THD+N 约为 0.001%， $V_S=1.8V$ 时，THD+N 约为 0.03%。但在反相配置下，在所有额定工作电压范围内均为 0.001%。

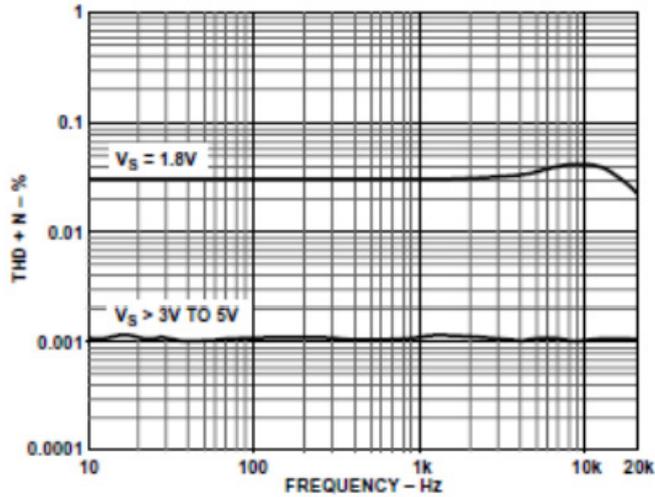


图 2: 与频率的关系图

低功耗基准电压发生器

许多单电源电路被配置成偏置到电源电压的一半。在这些情况下,可以用通过放大器缓冲的分压器创建假接地基准电压。图 3 即为这种电路的电气原理图。两个 1M 电阻产生基准电压, 同时仅从 1.8V 电源汲取 900nA 电流。从反相端连接至运算放大器输出端的电容提供补偿, 使旁路电容可以连接在基准输出端。该旁路电容有助于为基准输出建立交流接地。

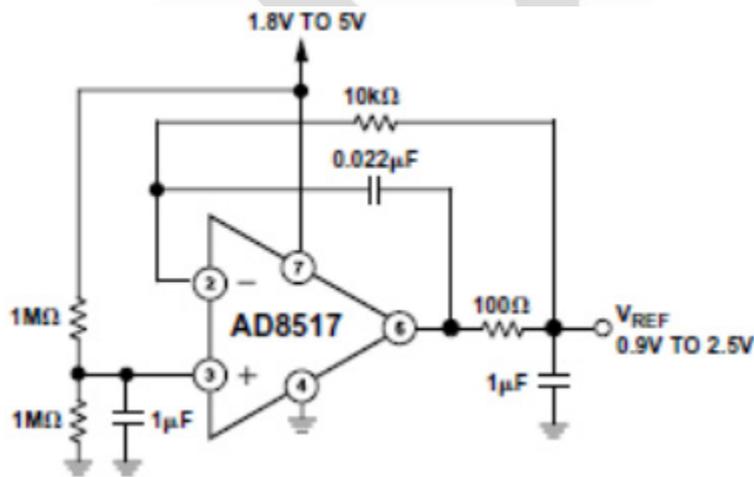


图 3: 低功耗基准电压发生器

麦克风前置放大器

[AD8517](#) 非常适合用作麦克风前置放大器。图显示了实现方法。放大器增益设置为 $R2/R3$ 。

$R1$ 用于偏置驻极体麦克风， $C1$ 用于阻隔放大器与直流电压。

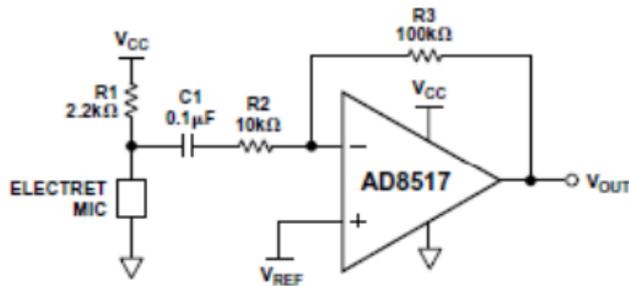


图 4: 麦克风前置放大器

电话线路接口的直接配置

图 5 显示了 600Ω 系统的 1.8V 发射/接收电话线路接口。它允许以差分方式在 600Ω 压器耦合线路上进行全双工信号传输。放大器 A1 提供增益，可经过调整以符合调制解调器输出驱动要求。A1 和 A2 均配置成依靠单电源向变压器施加最高电平信号。放大器 A3 配置成差分放大器是出于以下两个原因：

1. 防止发射信号干扰接收信号；
2. 从传输线路提取接收信号，以便由 A4 放大。A4 的增益可采取与 A1 相同的方式调整，以符合调制解调器的输入信号要求。由于采用标准电阻值，因而可使用 SPI（单列直插式封装）格式电阻阵列。通过与 [AD8517](#) 的 5 引脚 SOT-23 封装或 [AD8527](#) 的 8 引脚 MSOP 及 8 引脚 SOIC 封装耦合，该电路可提供紧凑型解决方案。

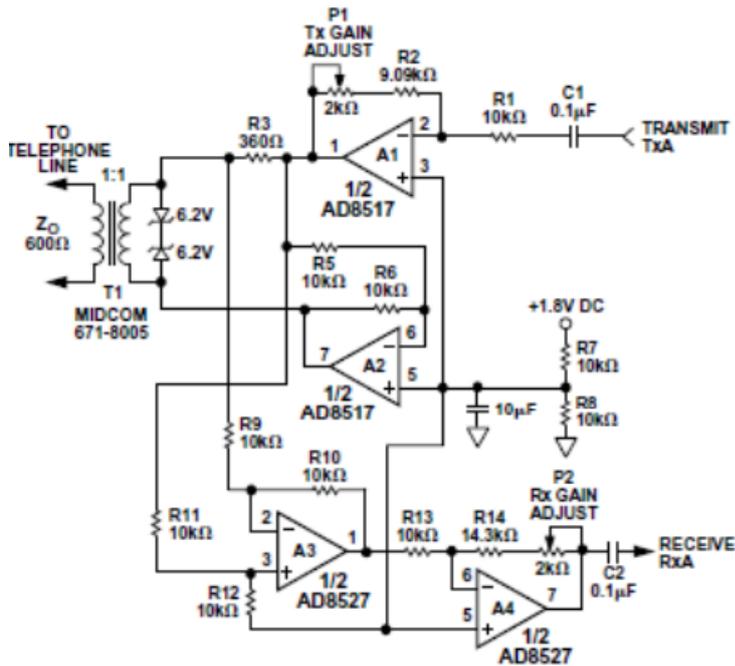


图 5：调制解调器的单电源直接配置

用于驱动 ADC 的放大器

应该使用什么样类型的放大器来驱动 ADC？

这类放大器可能包括单端及差分输入和输出，加上控制环路中的电压反馈(VFB)或电流反馈(CFB)。专门的放大器可能会提供电平移位、级间隔离、单端至差分变换、差分至单端变换，以及衰减或增益。

VFB 以及 CFB 放大器的主要考虑因素有哪些？

对于 CFB 放大器，闭环增益大都与频率无关。另外，CFB 放大器能够提供较快速的压摆率和低失真，高增益时其性能也要优于 VFB 放大器。而 VFB 放大器则能提供比 CFB 放大器更低的噪声和更好的直流性能。其它方面的折中在于设计约束。使用 VFB 运算放大器时，尽管较高的电阻值会限制稳定性，但设计师在选择反馈电阻时具有很大的灵活性，而 CFB 放大器的数据手册中通常会规定好反馈电阻的阻值，因此 CFB 放大器适合于需要更高增益的应用。

差分 ADC 驱动器的优点是什么？

这类驱动器简化了单端至差分及差分至差分的转换、共模电平偏移及差分信号的放大。相对于单端驱动器，它们有更低的失真和更快的建立时间。

差分 VFB ADC 驱动器与单端放大器有何不同？

除了通常的反相和同相输入外，一些差分 VFB ADC 驱动器还有另外的输入 V_{OCM} ，它能够偏移差分输出的共模电压（见图 1）。与 VFB 运算放大器相类似，闭环增益由输入电阻和反馈电阻来设定，但对于反相输入和同相输入的电阻须是独立的且要匹配。内置的共模反馈环路使得输出在很宽的频率范围上具有极好的平衡，外部元件无需严格匹配，于是，差分输出与理想非常接近，即幅度一致，而相位严格相差 180° 。同样，若需要，也可通过 V_{OCM} 功能保持信号中的直流分量。

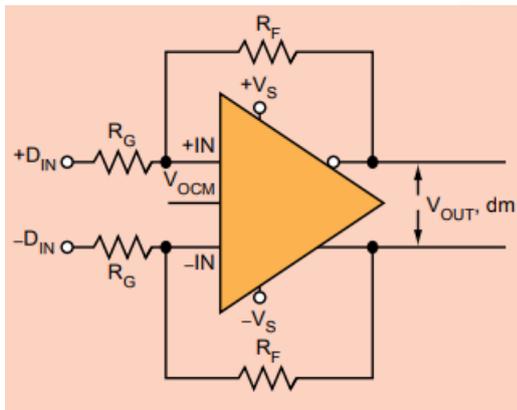


图 1: 一些差分电压负反馈放大器包括一个额外的 V_{OCM} 输入，这使得输出信号的共模电压能够偏移。

什么时候需要单端、带有衰减、具有电平转换功能的 ADC 驱动器？它们是如何工作的？

工业应用中经常包括由 $\pm 10V$ 信号驱动传感器，于是，在使用单端输入 ADC（这已成为当今的设计小通则）时便会出现问题，因为 ADC 只能承受较小的输入信号摆幅。一款电平转换 ADC 驱动器接收一个大信号，然后减小幅度，再对输出共模电压进行移位，使得它能够与低电压、单电源 ADC 完全兼容，如图 2 所示。图中为一款专门为 ADC 优

化的电平转换驱动器,为实现高达 $\pm 10\text{V}$ 的传感器宽输出电压与电压范围有限的单端 ADC 的精确匹配提供了一个简便的方法。例如,一个直流为 0V 、幅度为 $20\text{Vp-p}(\pm 10\text{V})$ 的输入信号能转换成直流为 2.5V 、幅度为 4Vp-p 的信号。

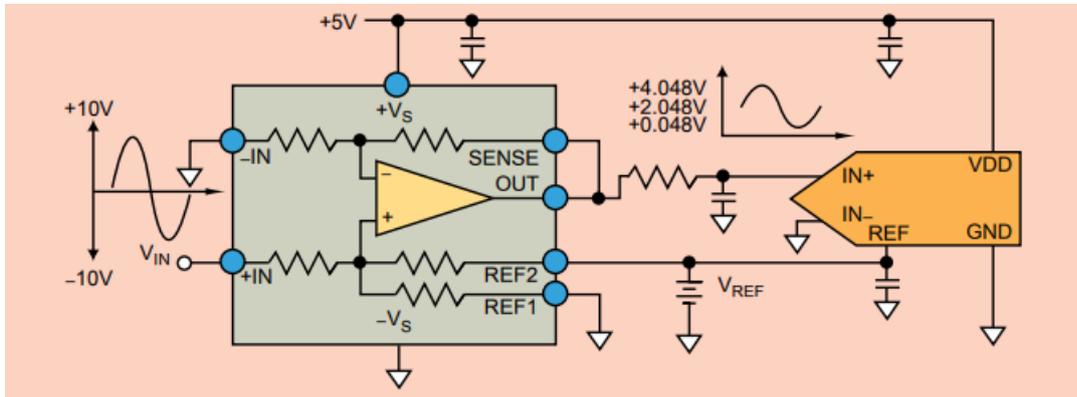


图 2: 图中所示为一款专门为 ADC 优化的电平转换驱动器,为实现高达 $\pm 10\text{V}$ (工业应用很常见)的传感器宽输出电压与电压范围有限的单端 ADC 的精确匹配提供了一个简便的方法。

实现电平转换的方法有许多,通常都是利用多个放大器、一个上述的差分驱动器,或者专门用于电平转换的 ADC 驱动器来完成的。采用单差分驱动器的方案比多个放大器方案要简单一些,而特殊功能的电平转换驱动器方案也比较简单。

这些放大器中都内置有激光调整的电阻器,确保了较高的增益精度,同时还具有高共模抑制比和低漂移的特性。最终的益处是放大器采用与 ADC 相同的电源电压,从而无需采用多种电源电压。

一款驱动器的-3dB 带宽为 1GHz,能以这个频率来驱动转换器输入吗?

如果您需要驱动高分辨率 ADC,不光要注意-3dB 带宽,还有增益平坦度,特别地,还要考虑作为频率的函数的谐波失真。回想一下,在 VFB 放大器之中,-3dB 带宽只是简单地反映出半功率点,之后开环增益则开始了-6dB/倍频程的滚降,这样为放大器的比较提供了粗略的方法。

作为混合信号电路设计师，您必须关注的是将放大器的失真对 ADC 的有效位数(ENOB)性能的影响降到最小。ENOB 是整个模拟信号链中的信噪比(SNR)+失真(SINAD)的函数， $ENOB=(SINAD-1.76)/6.02$ 。因此，在您决策时请注意数据手册中的谐波失真曲线。

为什么要使用有源驱动器，而不使用无源的变压器？

使用有源驱动器的主要原因是获取更好的通带平坦度，并将信号与 ADC 输入中的噪声隔离开。变压器的频率响应起伏很大，而放大器的变化很小，在频率范围内通常仅为 $\pm 0.1\text{dB}$ 。

如果设计中需宽带增益，放大器能提供与 ADC 输入的更好匹配。再看频率响应，一些放大器能提供直流耦合，而变压器无法处理慢速变化的信号。

由于变压器是无源器件，无法提供级间隔离，变压器次级线圈上所产生的噪声将从 ADC 输入返回到原始信号源，而放大器可以缓冲具有低输出阻抗的信号源，为 ADC 输入与原始信号源提供 70~80dB 的级间隔离。另一方面，变压器的优点是在高频段能够保持更好的 SNR 和无杂散动态范围(SFDR)。不过，在第一或第二奈奎斯特区，可以采用一个变压器或者一个放大器。