



修订记录

日期	修订版本	描述	作者
2000/09/01	1.00	初稿完成	EMC特别工作小组



目 录

前言	8
第一部分 布局	10
1, 层的设置	10
1.1 合理的层数	10
1.1.1 Vcc、GND的层数	10
1.1.2 信号层数	10
1.2 单板的性能指标与成本要求	10
1.3 电源层、地层、信号层的相对位置	11
1.3.1 Vcc、GND 平面的阻抗以及电源、地之间的EMC环境问题	11
1.3.2 Vcc、GND 作为参考平面, 两者的作用与区别	11
1.3.3 电源层、地层、信号层的相对位置	11
2, 模块划分及特殊器件的布局	16
2.1 模块划分	16
2.1.1 按功能划分	16
2.1.2 按频率划分	16
2.1.3 按信号类型分	16
2.1.4 综合布局	16
2.2 特殊器件的布局	17
2.2.1 电源部分	17
2.2.2 时钟部分	18
2.2.3 电感线圈	18
2.2.4 总线驱动部分	18
2.2.5 滤波器件	19
3、滤波	21
3.1 概述	21
3.2 滤波器件	22
3.2.1 电阻	22
3.2.2 电感	22
3.2.3 电容	23
3.2.4 铁氧体磁珠	23
3.2.5 共模电感	23
3.3 滤波电路	24
3.3.1 滤波电路的形式	24
3.3.2 滤波电路的布局与布线	25
3.4 电容在PCB的EMC设计中的应用	25
3.4.1 滤波电容的种类	25
3.4.2 电容自谐振问题	25
3.4.2 ESR对并联电容幅频特性的影响	27
3.4.3 ESL对并联电容幅频特性的影响	27
3.4.4 电容器的选择	28
3.4.5 去耦电容与旁路电容的设计建议	29
3.4.6 储能电容的设计	30



4, 地的分割与汇接	32
4.1 接地的含义	32
4.2 接地的目的	32
4.3 基本的接地方式	32
4.3.1 单点接地	32
4.3.2 多点接地	33
4.3.4 以上各种方式组成的混合接地方式	34
4.4 关于接地方式的一般选取原则:	34
4.4.1 系统接地方式	34
4.4.2 背板接地方式	34
4.4.3 单板接地方式	34
第二部分 布线	36
1, 传输线模型及反射、串扰	36
1.1 概述:	36
1.2 传输线模型	36
1.3 传输线的种类	36
1.3.1 微带线 (microstrip)	36
1.3.2 带状线 (Stripline)	37
1.3.3 嵌入式微带线	37
1.4 传输线的反射	38
1.3 串扰	40
2, 优选布线层	42
2.1 表层与内层走线的比较	42
2.1.1 微带线 (Microstrip)	42
2.1.2 带状线 (Stripline)	43
2.1.3 微带线与带状线的比较	43
2.2 布线层的优先级别	45
3, 阻抗控制	47
3.1 特征阻抗的物理意义	47
3.1.1 输入阻抗:	47
3.1.2 特征阻抗	47
3.1.3 偶模阻抗、奇模阻抗、差分阻抗	48
3.2 生产工艺对阻抗控制的影响	50
3.3 差分阻抗控制	51
3.3.1 当介质厚度为5mil时的差分阻抗随差分线间距的变化趋势	51
3.3.2 当介质厚度为13 mil时的差分阻抗随差分线间距的变化趋势	52
3.3.3 当介质厚度为25 mil时的差分阻抗随差分线间距的变化趋势	53
3.4 屏蔽地线对阻抗的影响	54
3.4.1 地线与信号线之间的间距对信号线阻抗的影响	54
3.4.2 屏蔽地线线宽对阻抗的影响	55
3.5 阻抗控制案例	56
4, 特殊信号的处理	58
5, 过孔	59
5.1 过孔模型	59
5.1.2 对过孔模型的影响因素	60



5.2 过孔对信号传导与辐射发射影响	60
5.2.1 过孔对阻抗控制的影响	60
5.2.2 过孔数量对信号质量的影响	61
6 跨分割区及开槽的处理	63
6.1 开槽的产生	63
6.1.1 对电源/地平面分割造成的开槽	63
6.1.2 通孔过于密集形成开槽	63
6.2 开槽对PCB板EMC性能的影响	63
6.2.1 高速信号与低速信号的面电流分布	63
6.2.2 “分地”的概念	64
6.2.3 信号跨越电源平面或地平面上的开槽的问题	65
6.3 对开槽的处理	66
6.3.1 需要严格的阻抗控制的高速信号线，其轨线严禁跨分割走线	66
6.3.2 当PCB板上存在不相容电路时，应该进行分地的处理	66
6.3.3 当跨开槽走线不可避免时，应该进行桥接	66
6.3.4 接插件（对外）不应放置在地层隔缝上	66
6.3.5 高密度接插件的处理	66
6.3.6 跨“静地”分割的处理	67
7, 信号质量与EMC	69
7.1 EMC简介	69
7.2 信号质量简介	70
7.3 EMC与信号质量的相同点	70
7.4 EMC与信号质量的不同点	70
7.5 EMC与信号质量关系小结:	71
第三部分 背板的EMC设计	72
1 背板槽位的排列	72
1.1 单板信号的互连要求	72
1.2 单板板位结构	72
1.2.1 板位结构影响;	72
1.2.2 板间互连电平、驱动器件的选择	74
2, 背板的EMC设计	74
2.1 接插件的信号排布与EMC设计	74
2.1.1 接插件的选型	74
2.1.2 接插件模型与针信号排布	74
2.2 阻抗匹配	75
2.3 电源、地分配	75
2.3.1 电源分割及热插拔对电源的影响	75
2.3.2 地分割与各种地的连接	76
2.3.3屏蔽层	76
第四部分 射频PCB的EMC设计	77
1, 板材	77
1.1 普通板材	77
1.2 射频专用板材	77
2, 隔离与屏蔽	77
2.1 隔离	78



2.2 器件布局	78
2.3 敏感电路和强辐射电路	78
2.4 屏蔽材料和方法	79
2.5 屏蔽腔的尺寸	80
3, 滤波	81
3.1 电源和控制线的滤波	81
3.2 频率合成器数据线、时钟线、使能线的滤波	82
4、接地	83
4.1 接地分类	83
4.2 大面积接地	83
4.3 分组就近接地	83
4.4 射频器件接地	83
4.4 接地时应注意的问题	84
4.5 接地平面的分布	84
5, 布线	84
5.1 阻抗控制	84
5.2 转角	85
5.3 微带线布线	85
5.4 微带线耦合器	85
5.5 微带线功分器	86
5.6 微带线基本元件	86
5.7 带状线布线	88
5.8 射频信号走线两边包地铜皮	88
6, 其它设计考虑:	89
第五部分 附录	90
1, PCB设计中的安规考虑	90
1.1 引言	90
1.2 安全标识	90
1.2.1 对安全标识通用准则	90
1.2.2 电击和能量的危险	90
1.2.3 PCB上的熔断器	90
1.2.4 可更换电池	91
1.3 爬电距离与电气间隙	92
1.4 涂覆印制板	93
1.4.1 PCB板的机械强度	93
1.4.2 印制板材料的阻燃等级	93
1.4.3 热循环试验与热老化试验	93
1.4.4 抗电强度试验	93
1.4.5 耐划痕试验	93
1.5 布线和供电	93



PCB的EMC设计指南

关键词： 电磁兼容性（EMC）、电磁干扰（EMI）

摘 要： 本书旨在对我司PCB的EMC设计现有成果加以总结、推广，同时对一些未知的领域进行积极的探索。结合我司 PCB设计过程中的经验教训以及产品的 EMC测试数据，我们对 PCB的EMC设计进行了较系统的总结，谨供各硬件工程师进行PCB的EMC设计时参考。

缩略语清单： EMC-Electromagnetic Compatibility

EMI: Electromagnetic Interference

参考资料清单：

《High-Speed Digital Design》：

《Emi Book》

《实践电磁兼容技术》（杨继深）

《EMC培训讲义》（Training for EMC design）

《如何设计符合电磁兼容要求的印刷电路板布线》

《电子电路实用抗干扰技术》

《电磁兼容原理与设计》（电子科大）

《IEC 60950 《Safety of Information Technology Equipment》

GB4943-2000 《信息技术设备的安全》

华为公司内部规范：《PCB设计规范》；

有关EMC测试文档、PCB设计案例等。



PCB的EMC设计指南

前言

随着我司海外市场的不断拓展，在面临巨大市场机会的同时，我们也必将面临一系列的挑战。关税壁垒即将灰飞烟灭，技术壁垒早已浮出水面；首当其冲也极容易被人忽略的便是EMC（电磁兼容性）问题。

电磁兼容性(EMC-Electromagnetic Compatibility)，根据国家军用标准GJB72-85《电磁干扰和电磁兼容性名词术语》第5.10条，定义为：“设备(分系统、系统)在共同的电磁环境中能一起执行各自功能的共存状态。即：该设备不会由于受到处于同一电磁环境中其他设备的电磁发射导致或遭受不允许的降级；它也不会使同一电磁环境中其他设备(分系统、系统)，因受其电磁发射而导致或遭受不允许的降级。”

挑战面前，公司有关部门纷纷摩拳擦掌，并切实开展了一系列的工作；EMC特别工作小组、EMC实验室、CAD研究部、SI研究部、机电工程部以及相关产品线均做出一些探索性的工作；但到目前为止，多数还停留在后期的测试、修补方面。纵观国内外业界精英的做法，无一不是在产品的预研、开发阶段投入大量精力，在设计阶段开展EMC工作，避免可能出现的电磁兼容问题；对于我们现有的测试——修改——测试的EMC设计，不仅会增加成本、延误开发周期，而且可能造成版本增加、维护不便；而业界流行的系统设计法，其精髓就是从源头抓起、综合考虑、系统设计；

作为EMI的源头，器件选型、原理、PCB设计已逐渐引起有关部门的重视；CAD、北研、EMC实验室均组建了以EMC为活动宗旨的QCC圈。尤其是CAD室的无花果圈，在圈长吕鸿涛的带动下，不放过每一根走线，每一个过孔，凭着踏踏实实的作风，有效的推动了PCB的EMC设计工作。更难能可贵的是，它唤起了CAD工程师、硬件开发人员对PCB的EMC设计的重视，推动了公司的相应技术进步。

为了对PCB的EMC设计现有成果加以总结、推广，同时对一些未知的领域进行积极的探索，在硬件工程室周代琪、梅泽良等领导的推动下，以CAD室、EMC特别工作小组、SI研究部为主，在机电部、EMC实验室、传输产品线的积极参与下，《PCB的EMC设计指南》终于与大家见面了。在此，对参与此书编写的钟章明、姚习武、何平华、潘丰斌、孟繁涛等同事表示热烈的祝贺，对积极提供资料、参与评审、校正的吕鸿涛、姜向忠、胡庆虎、南建峰、吴雨佳、沈晓兰、吴均、于小卫、唐晟等同事、领导表示衷心的感谢，对自始至终参与指导、评审的EMC特别工作小组的全体成员表示由衷的谢意。

参与本书编写的有

汤昌茂

前言部分，布局部分第1、4章，布线部分第2、4、7章

钟章明

布线部分第3、5章，背板部分



姚习武	布局部分第3（部分）章，布线第6章，附录（安规）
孟繁涛	布局部分第3（部分）章，布线部分第1章
何平华	射频部分
潘丰斌	布局第2章

汤昌茂负责本书的校核和编辑。对以上各位同事的辛勤劳动表示衷心的感谢。

本书定位为PCB的EMC设计参考书，谨供各硬件工程师进行PCB设计时参考；众所周知，PCB的设计要综合考虑功能实现、成本、生产工艺、EMC、美观等多种因素，片面的强调EMC设计，生搬硬套文中的只言片语都是不可取甚至错误的做法，一个杰出的CAD工程师其过人之处在于充分借鉴现有工作经验，在多种因素中进行折衷考虑，成功的完成原理图的物理实现。文中的有些观点、建议仅仅是现有工作经验的总结，由于EMC领域的诸多未知因素，加上编者的水平有限，错误、疏漏之处在所难免，还望大家不断批评、指正。

对于本文的任何不明白之处，以及任何有益建议请与CAD室（兼EMC特工组）的汤昌茂联系（NOTES: 09351），我们非常乐意与您一起，共同探讨实际PCB的EMC设计过程中的任何问题。

编者 2000-09-01

第一部分 布局

1，层的设置

在PCB的EMC设计考虑中，首先涉及的便是层的设置；单板的层数由电源、地的层数和信号层数组成；电源层、地层、信号层的相对位置以及电源、地平面的分割对单板的EMC指标至关重要。

1.1 合理的层数

根据单板的电源、地的种类、信号密度、板级工作频率、有特殊布线要求的信号数量，以及综合单板的性能指标要求与成本承受能力，确定单板的层数；对于EMC指标要求苛刻（如：产品需认证CISPR16 CLASS B）而相对成本能承受的情况下，适当增加地平面乃是PCB的EMC设计的杀手锏之一。

1.1.1 Vcc、GND的层数

单板电源的层数由其种类数量决定；对于单一电源供电的PCB，一个电源平面足够了；对于多种电源，若互不交错，可考虑采取电源层分割（保证相邻层的关键信号布线不跨分割区）；对于电源互相交错（尤其是象8260等IC，多种电源供电，且互相交错）的单板，则必须考虑采用2个或以上的电源平面，每个电源平面的设置需满足以下条件：

- 单一电源或多种互不交错的电源；
 - 相邻层的关键信号不跨分割区；
- 地的层数除满足电源平面的要求外，还要考虑：
- 元件面下面（第2层或倒数第2层）有相对完整的地平面；
 - 高频、高速、时钟等关键信号有一相邻地平面；
 - 关键电源有一对应地平面相邻（如48V与BGND相邻）。

1.1.2 信号层数

在CAD室现行工具软件中，在网表调入完毕后，EDA软件能提供一布局、布线密度参数报告，由此参数可对信号所需的层数有个大致的判断；经验丰富的CAD工程师，能根据以上参数再结合板级工作频率、有特殊布线要求的信号数量以及单板的性能指标要求与成本承受能力，最后确定单板的信号层数。

信号的层数主要取决于功能实现，从EMC的角度，需要考虑关键信号网络（强辐射网络以及易受干扰的小、弱信号）的屏蔽或隔离措施。

1.2 单板的性能指标与成本要求

面对日趋残酷的通讯市场竞争，我们的产品开发面临越来越大的压力；时间、质量、成本是我们能否战胜对手乃至生存的基本条件。对于高端产品，为了尽快将质量过硬的产品推向市场，适当的成本增加在所难免；而对于成熟产品或价格压力较大的产品，我们必须尽量减少层数、降低加工难度，用性价比合适的产品参与市场竞争。对于消费类产品，如，电视、VCD、计算机的主板一般都使用6层以下的PCB板，而且会为了满足大批量生产的要求、严格遵守有关工艺规范、牺牲部分性能指标。但对于诸如我司当初的GSM、目前的GSR等产品；为了尽快将稳定产品推向市场，在开发的初始阶段，过于强调成本、加工工艺因素毫无疑问会对产品的开发进度、质量造成一定的影响。

以下为目前我司与PCB供应商达成的PCB板加工价格列表，大家在考虑性能、成本时可作参考：

（为保密，此表只给出以板厚为2.0mm的4层样板每平方厘米价格的比值，仅供参考）

（资料来源：采购部2000年7月提供）

层数	样板		批量板	
	板厚2.0mm	板厚3.0mm	板厚2.0mm	板厚3.0mm
2	0.47	0.59	0.32	0.34
4	1（参考基准）	1.26	0.59	0.62
6	1.41	1.76	0.82	1.03
8	2.03	2.47	1.29	1.53
10	3.35	3.97	1.62	1.62
12	4.56	5.59	2.15	2.21
14	6.47	7.65	——	——
16	9.12	10.59	——	——

1.3 电源层、地层、信号层的相对位置

1.3.1 Vcc、GND 平面的阻抗以及电源、地之间的EMC环境问题

（此问题有待深入研究、以下列出现有部分观点，仅供参考）

- 电源、地平面存在自身的特性阻抗，电源平面的阻抗比地平面阻抗高；
- 为降低电源平面的阻抗，尽量将PCB的主电源平面与其对应的地平面相邻排布并且尽量靠近，利用两者的耦合电容，降低电源平面的阻抗；
- 电源地平面构成的平面电容与PCB上的退耦电容一起构成频响曲线比较复杂的电源地电容，它的有效退耦频带比较宽，（但存在谐振问题）。

1.3.2 Vcc、GND 作为参考平面，两者的作用与区别

电源、地平面均能用作参考平面，且有一定的屏蔽作用；但相对而言，电源平面具有较高的特性阻抗，与参考电平存在较大的电位势差；从屏蔽的角度，地平面一般均作了接地处理，并作为基准电平参考点，其屏蔽效果远远优于电源平面；

在选择参考平面时，应优选地平面。

1.3.3 电源层、地层、信号层的相对位置



对于电源、地的层数以及信号层数确定后，它们之间的相对排布位置是每一个EMC工程师都不能回避的话题；

单板层的排布一般原则：

- 元件面下面（第二层）为地平面，提供器件屏蔽层以及为顶层布线提供参考平面；
- 所有信号层尽可能与地平面相邻；
- 尽量避免两信号层直接相邻；
- 主电源尽可能与其对应地相邻；
- 兼顾层压结构对称。

对于母板的层排布，鉴于我司现有母板很难控制平行长距离布线，对于板级工作频率在50MHZ以上的（50MHZ以下的情况可参照，适当放宽），建议排布原则：

- 元件面、焊接面为完整的地平面（屏蔽）；
- 无相邻平行布线层；
- 所有信号层尽可能与地平面相邻；
- 关键信号与地层相邻，不跨分割区。

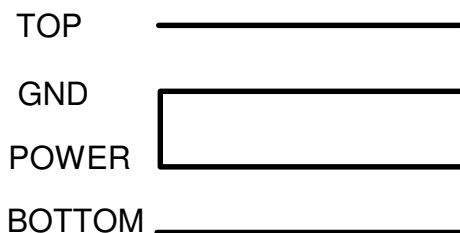
注：具体PCB的层的设置时，要对以上原则进行灵活掌握，在领会以上原则的基础上，根据实际单板的需求，如：是否需要一关键布线层、电源、地平面的分割情况等，确定层的排布，切忌生搬硬套，或抠住一点不放。鉴于篇幅有限，本文仅列出一般原则，供大家参考。

以下为单板的排布的具体探讨：

*四层板，优选方案1，可用方案3。

方案	电源层数	地层数	信号层数	1	2	3	4
1	1	1	2	S	G	P	S
2	1	1	2	G	S	S	P
3	1	1	2	S	P	G	S

方案1

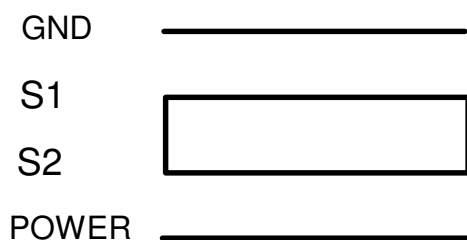


此方案为CAD室现行四层PCB的主选层设置方案，在元件面下有一地平面，关键信号优选布TOP层；至于层厚设置，有以下建议：

- 满足阻抗控制

- 芯板（GND到POWER）不宜过厚，以降低电源、地平面的分布阻抗；保证电源平面的去藕效果；

为了达到一定的屏蔽效果，有人试图把电源、地平面放在TOP、BOTTOM层，即采用方案2：



此方案为了达到想要的屏蔽效果，至少存在以下缺陷：

- 电源、地相距过远，电源平面阻抗较大
- 电源、地平面由于元件焊盘等影响，极不完整
- 由于参考面不完整，信号阻抗不连续

实际上，由于我司大量采用表贴器件，对于器件越来越密的情况下，本方案的电源、地几乎无法作为完整的参考平面，预期的屏蔽效果很难实现；方案2使用范围有限。但在个别单板中，方案2不失为最佳层设置方案。以下为方案2在XX产品的接口滤波板中的使用案例：

案例（特例）：在XX产品的接口滤波板XXX的设计过程中，出现了以下情况：

- A，整板无电源平面，只有GND、PGND各占一个平面；
- B，整板走线简单，但作为接口滤波板，布线的辐射必须关注；
- C，该板贴片元件较少，多数为插件。

分析：

- 1，由于该板无电源平面，电源平面阻抗问题也就不存在了；
- 2，由于贴片元件少（单面布局），若表层做平面层，内层走线，参考平面的完整性基本得到保证，而且第二层可铺铜保证少量顶层走线的参考平面；
- 3，作为接口滤波板，PCB布线的辐射必须关注，若内层走线，表层为GND、PGND，走线得到很好的屏蔽，传输线的辐射得到控制；

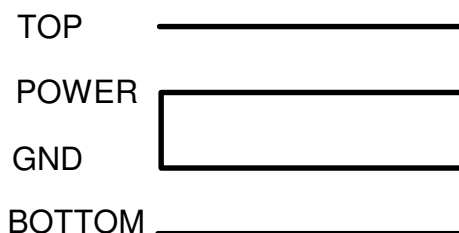
鉴于以上原因，在本板的层的排布时，我们决定采用方案2，即：GND、S1、S2、PGND，由于表层仍有少量短走线，而底层则为完整的地平面，我们在S1布线层铺铜，保证了表层走线的参考平面；

在传输XX产品的五块接口滤波板中，出于以上同样的分析，设计人员吴均决定采用方案2，同样不失为层的设置经典。

列举以上特例，就是要告诉大家，要领会层的排布原则，而非机械照搬。



方案3:



此方案同方案1类似，适用于主要器件在BOTTOM布局或关键信号底层布线的情况；一般情况下，限制使用此方案；

*六层板，优选方案3，可用方案1，备用方案2、4

方案	电源	地	信号	1	2	3	4	5	6
1	1	1	4	S1	G	S2	S3	P	S4
2	1	1	4	S1	S2	G	P	S3	S4
3	1	2	3	S1	G1	S2	P	G2	S3
4	1	2	3	S1	G1	S2	G2	P	S3

对于六层板，优先考虑方案3，优选布线层S2，其次S3、S1。主电源及其对应的地布在4、5层，层厚设置时，增大S2-P之间的间距，缩小P-G2之间的间距（相应缩小G1-S2层之间的间距），以减小电源平面的阻抗，减少电源对S2的影响；

在成本要求较高的时候，可采用方案1，优选布线层S1、S2，其次S3、S4，与方案1相比，方案2保证了电源、地平面相邻，减少电源阻抗，但S1、S2、S3、S4全部裸露在外，只有S2才有较好的参考平面；

对于局部、少量信号要求较高的场合，方案4比方案3更适合，它能提供极佳的布线层S2。

*八层板：优选方案2、3、可用方案1

方案	电源	地	信号	1	2	3	4	5	6	7	8
1	1	2	5	S1	G1	S2	S3	P	S4	G2	S5
2	1	3	4	S1	G1	S2	G2	P	S3	G3	S4
3	2	2	4	S1	G1	S2	P1	G2	S3	P2	S4
4	2	2	4	S1	G1	S2	P1	P2	S3	G3	S4
5	2	2	4	S1	G1	P1	S2	S3	G2	P2	S4

对于单电源的情况下，方案2比方案1减少了相邻布线层，增加了主电源与对应地相邻，保证了所有信号层与地平面相邻，代价是：牺牲一布线层；

对于双电源的情况，推荐采用方案3，方案3兼顾了无相邻布线层、层压结构对称、主电源与地相邻等优点，但S4应减少关键布线；

方案4：无相邻布线层、层压结构对称，但电源平面阻抗较高；应适当加大3-4、5-6，缩小2-3、6-7之间层间距；



方案5：与方案4相比，保证了电源、地平面相邻；但S2、S3相邻，S4以P2作参考平面；对于底层关键布线较少以及S2、S3之间的线间窜扰能控制的情况下此方案可以考虑；

*十层板：推荐方案2、3、可用方案1、4

方案	电 源	地	信 号	1	2	3	4	5	6	7	8	9	10
1	1	3	6	S1	G1	S2	S3	G2	P	S4	S5	G3	S6
2	1	4	5	S1	G1	S2	G2	S3	G3	P	S4	G4	S5
3	2	3	5	S1	G1	S2	P1	S3	G2	P2	S4	G3	S5
4	2	4	4	S1	G1	S2	G3	P1	P2	G3	S3	G4	S4

方案3：扩大3-4与7-8各自间距，缩小5-6间距，主电源及其对应地应置于6、7层；优选布线层S2、S3、S4，其次S1、S5；本方案适合信号布线要求相差不大的场合，兼顾了性能、成本；推荐大家使用；但需注意避免S2、S3之间平行、长距离布线；

方案4：EMC效果极佳，但与方案3比，牺牲一布线层；在成本要求不高、EMC指标要求较高、且必须双电源层的关键单板，建议采用此种方案；优选布线层S2、S3，

对于单电源层的情况，首先考虑方案2，其次考虑方案1。方案1具有明显的成本优势，但相邻布线过多，平行长线难以控制；

*十二层板：推荐方案2、3，可用方案1、4、备用方案5

方 案	电 源	地	信 号	1	2	3	4	5	6	7	8	9	10	11	12
1	1	4	7	S1	G1	S2	G2	S3	P	S4	G3	S5	S6	G4	S7
2	1	5	6	S1	G1	S2	G2	S3	G3	P	S4	G4	S5	G5	S6
3	2	4	6	S1	G1	S2	G2	S3	P1	G3	S4	P2	S5	G4	S6
4	2	5	5	S1	G1	S2	G2	S3	G3	P1	P2	G4	S4	G5	S5
5	2	3	7	S1	G1	S2	S3	P1	G2	S4	S5	P2	S6	G3	S7

以上方案中，方案2、4具有极好的EMC性能，方案1、3具有较佳的性价比；

对于14层及以上层数的单板，由于其组合情况的多样性，这里不再一一列举。大家可按照以上排布原则，根据实际情况具体分析。

以上层排布作为一般原则，仅供参考，具体设计过程中大家可根据需要的电源层数、布线层数、特殊布线要求信号的数量、比例以及电源、地的分割情况，结合以上排布原则灵活掌握；对于个别有争议的内容我们尽可能提供相关的实验数据、案例，给予界定，在此之前，建议大家优选推荐方案。

2, 模块划分及特殊器件的布局

谈PCB的EMC设计,不能不谈PCB的模块划分及关键器件的布局。这一方面是某些频率发生器件、驱动器、电源模块、滤波器件等在PCB上的相对位置和方向都会对电磁场的发射和接收产生巨大影响,另一方面以上布局的优劣将直接影响到布线的质量。

2.1 模块划分

2.1.1 按功能划分

各种电路模块实现不同的功能,比如说时钟电路;放大电路;驱动电路;A/D、D/A转换电路;I/O电路、开关电源、滤波电路等等。

一个完整的设计可能包含了其中多种功能的电路模块。在进行PCB设计时,我们可依据信号流向,对整个电路进行模块划分。从而保证整个布局的合理性,达到整体布线路径短,各个模块互不交错,减少模块间互相干扰的可能性。

2.1.2 按频率划分

按照信号的工作频率和速率可以对电路模块进行划分:高、中、低渐次展开,互不交错。

2.1.3 按信号类型分

按信号类型可以分为数字电路和模拟电路两部分。

为了降低数字电路对模拟电路的干扰,使他们能和平共处、达到兼容状态,在PCB布局时需要给他们定义不同的区域,从空间上进行必要的隔离,减小相互之间的耦合。对于数、模转换电路,如A/D、D/A转换电路,应该布放在数字电路和模拟电路的交界处,器件布放的方向应以信号的流向为前提,使信号引线最短,并使模拟部分的管脚位于模拟地上方,数字部分的管脚位于数字地上方。

2.1.4 综合布局

电路布局的一个原则,就是应该按照信号流向关系,尽可能做到使关键的高速信号走线最短,其次考虑电路板的整齐、美观。时钟信号应尽可能短,若时钟走线无法缩短,则应在时钟线的两侧加屏蔽地线。对于比较敏感的信号线,也应考虑屏蔽措施。

时钟电路具有较大的对外辐射,会对一些较敏感的电路,特别是模拟电路产生较大的影响,因此在电路布局时应让时钟电路远离其他无关电路;为了防止时钟信号的对外辐射,时钟电路一般应远离I/O电路和电缆连接器。

低频数字I/O电路和模拟I/O电路应靠近连接器布放,时钟电路、高速电路和存储器等器件常布放在电路板的最靠近里边(远离拉手条)的位置;中低速逻辑电路一般放在电路板的中间位置;如果有A/D、D/A电路,则一般放在电路板最中间的位置。

下面是一些基本要点:

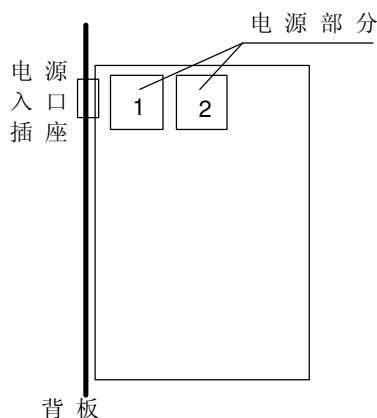
1. 区域分割，不同功能种类的电路应该位于不同的区域，如对数字电路、模拟电路、接口电路、时钟、电源等进行分区。
2. 数、模转换电路应布放在数字电路区域和模拟电路区域的交接处。
3. 时钟电路、高速电路、存储器电路应布放在电路板最靠近里边（远离拉手条）的位置；低频I/O电路和模拟I/O电路应靠近HEAD头布放。
4. 应该采用基于信号流的布局，使关键信号和高频信号的连线最短，而不是首先考虑电路板的整齐、美观。
5. 功率放大与控制驱动部分远离屏蔽体的局部开孔,并尽快离开本板。
6. 晶振、晶体等就近对应的IC放置。
7. 基准电压源（模拟电压信号输入线、A/D变换参考电源）要尽量远离数字信号。

2.2 特殊器件的布局

2.2.1 电源部分

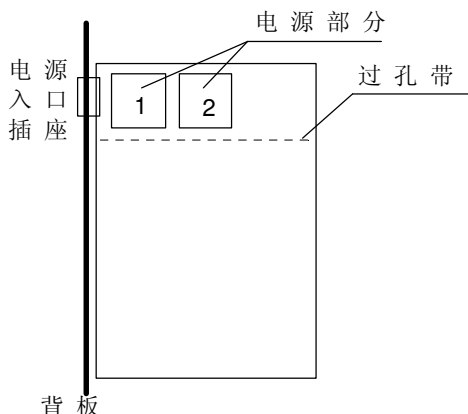
在分散供电的单板上都要一个或者多个 DC/DC电源模块，加上与之相关的电路，如滤波，防护等电路共同构成单板电源输入部分。

现代的开关电源是EMI产生的重要源头，干扰频带可以达到300MHz以上，系统中多个单板都有自己独立的电源，但干扰却能通过背板或空间传播到其他的单板上，而单板供电线路越长，产生的问题越大，所以电源部分必须安装在单板电源入口处。如果存在大面积的电源部分，也要求统一放在单板一侧。下面是一个比较好的放置方法，也是大多数单板所采用的方法。



电源部分放置方向主要是考虑输入输出线的顺畅，避免交叉。

另外，因为往往单板的电源部分相对比较独立，而又常常会产生EMI的问题，所以推荐利用过孔带或分割线将电源部分和其他电路部分进行隔离，见下图：



2.2.2 时钟部分

时钟往往是单板最大的干扰源，也是进行PCB设计时最需要特殊处理的地方。布局时一方面要使时钟源离单板板边（尤其是拉手条）距离尽量大，另一方面要使时钟输出到负载的走线尽量短。在布线部分中，我们提到对时钟线要优先考虑布内层，并进行必要的匹配、屏蔽等处理。

2.2.3 电感线圈

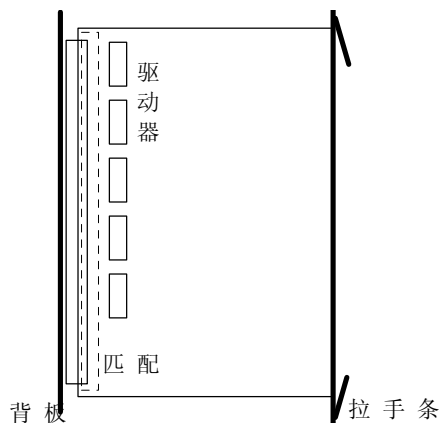
线圈（包括继电器）是最有效的接受和发射磁场的器件（在继电器选型时应尽量考虑采用固态继电器）。建议线圈放置在离EMI源尽量远的地方，这些发射源可能是开关电源、时钟输出、总线驱动等。

线圈下方PCB板上不能有高速走线或敏感的控制线，如果不能避免，就一定要考虑线圈的方向问题，要使场强方向和线圈的平面平行，保证穿过线圈的磁力线最少。

2.2.4 总线驱动部分

随着系统容量越来越大，总线速率越来越高，总线驱动能力要求也越来越高，而总线数量同时大量增加，而总线匹配难以做到十分完美，所以一般总线驱动器（如16244）附近的辐射场强很高，在部分单板的测量过程中，我们总线驱动部分是时钟之外的另一主要EMI源。

在布局上，要求总线驱动部分离单板拉手条的距离尽量远，减小对系统外的辐射，同时要求驱动后信号到宿的距离尽量靠近。如下图：



必要的时候可以考虑在大量的总线驱动部分加局部屏蔽体。

2.2.5 滤波器件

滤波措施是必不可少也是最常用的对策手段，原理设计中经常是注意到了很多的滤波措施，比如去耦电容、三端电容、磁珠，电源滤波，接口滤波等，但在进行PCB设计时，如果滤波器件的位置放置不当，那么滤波效果将大打折扣，甚至起不到滤波作用。

滤波器件安装的一般考虑是就近原则。例如：

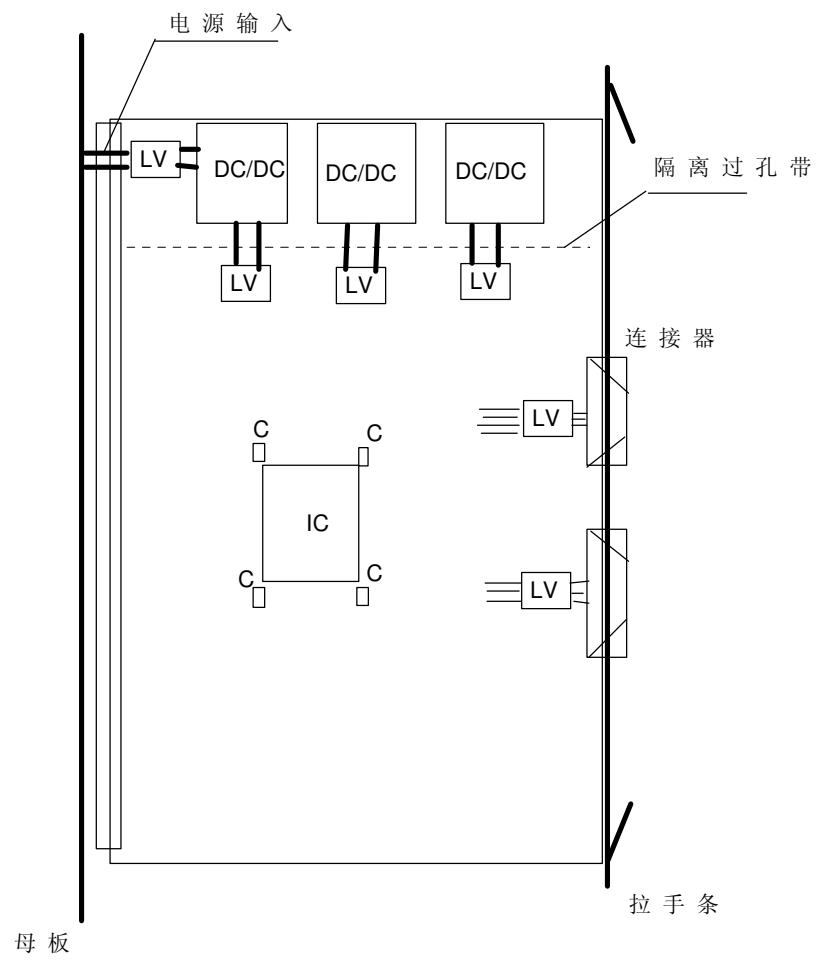
去耦电容要尽量靠近IC的电源管脚；

电源滤波要尽量靠近电源输入或电源输出；

局部功能模块的滤波要靠近模块的入口；

对外接口的滤波（如磁珠等）要尽量靠近接插件等。

下面的图给一个直观的范例：



注： LV -----滤波单元
C -----去耦电容

3、滤波

3.1 概述

在PCB设计中，滤波既包括专门的信号滤波器的设计，也包括大量电源滤波电容的使用。

滤波是必不可少的：一方面，通过其它方式并不能完全抑制进出设备的传导噪声，当电气信号进出设备时，必须进行有效地滤波；另一方面，集成芯片的输出状态的变化或其它原因会使芯片供电电源上产生一定的噪声，并影响该芯片本身或其它芯片的正常工作。下面的例子说明了电源滤波电容的作用（图3-1）。

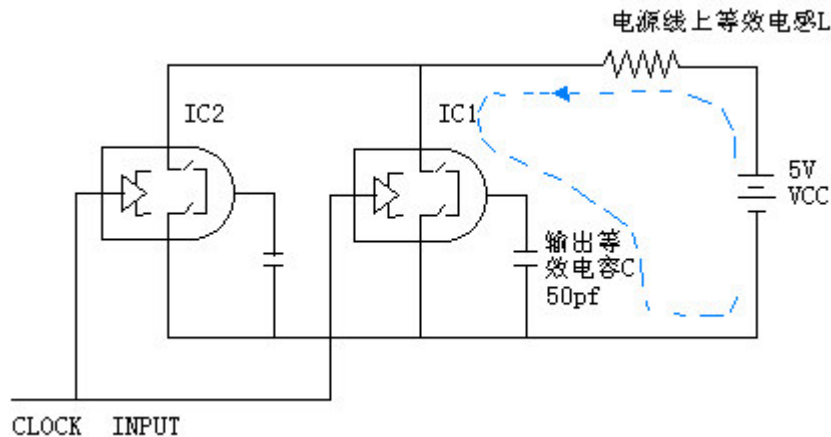


图3-1 电源走线上存在有一定的电感

如图3-1所示，当IC1的输出由0变到1时，需要电源VCC对电容C充电（dI）来实现，电源供电回路上对于脉冲充电电流存在等效电感L，当电流变化时，就会在等效电感L上产生电压 ΔV

$$\Delta V = L \frac{dI}{dt}$$

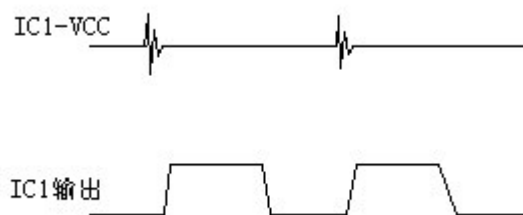


图3-2 IC1的输出状态变化引起电源的波动

ΔV 一方面可以引起电路功能失效，另一方面是主要的辐射源，引起单板辐射增大，为了消除上述影响，采用滤波电容可以解决，改进后的电路如图3-3所示。

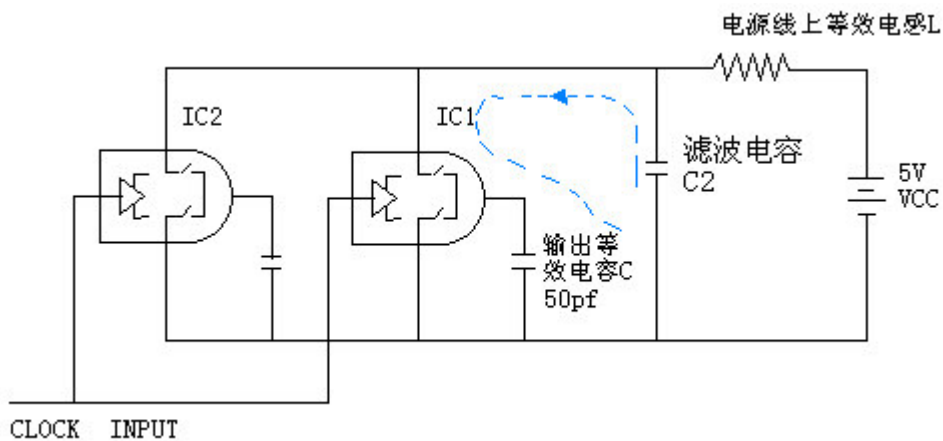


图3-3 电源滤波电容的应用

如图3-3所示，当IC1的输出由0到1变化时，不再是通过VCC提供 dI ，而是通过滤波电容C2的放电来提供所需要的瞬时电流，完成电路的逻辑转换，这样就可以避免电源线上等效电感L而引起的电源噪声。

3.2 滤波器件

常用的滤波器件有很多种，包括电阻、电感、电容、铁氧体磁珠等。

3.2.1 电阻

电阻不能单独用来做滤波的用途，它一般与电容结合起来组成RC滤波网络使用。

电阻的特性如图3-4所示。由图可知，由于引线电感（ESL）与寄生电容的存在，电阻的高低频特性有很大的差异，这一点在设计滤波器时应该加以注意。

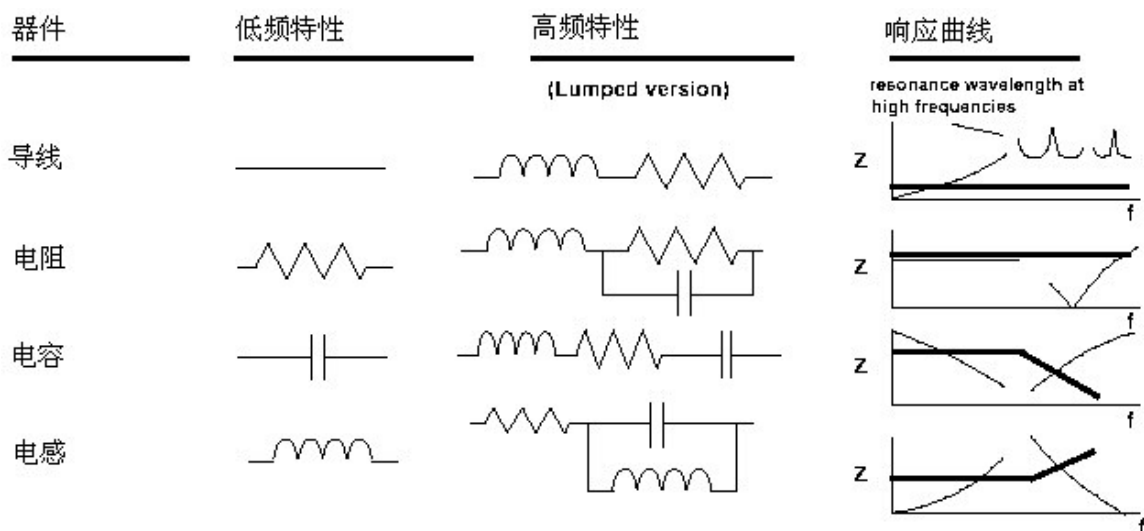


图3-4 导线、电阻、电感与电容的高频特性与低频特性

图3-4同时给出了导线的低频特性与高频特性的区别，可以进一步地说明滤波的重要性。

3.2.2 电感

电感的高、低频特性如图4所示。由于引线电阻（ESR）和寄生电容的存在，使电感存在一个自谐振频率 f_c ，电感在低于 f_c 的频率范围内表现为电感的特性，但在高于 f_c 的频率范围内，则表现为电容的特性。这是在计算滤波器的插入损耗时需要尤其注意的地方。

3.2.3 电容

电容是在滤波电路中最常用的器件。关于电容在后文中有详细地描述。

3.2.4 铁氧体磁珠

铁氧体磁珠也是滤波常用的器件。用于电磁噪声抑制的铁氧体是一种磁性材料，由铁、镍、锌氧化物混合而成，具有很高的电阻率，较高的磁导率（约为100~1500）。铁氧体磁珠串接在信号或电源通路上，用于抑制差模噪声。当电流流过铁氧体时，低频电流可以几乎无衰减地流过，但高频电流却会受到很大的损耗，转变成热量散发。铁氧体磁珠可以等效为电阻与电感的串联，但电阻值与电感值都是随频率而变化的。典型的铁氧体磁珠的频率特性如图3-5所示。

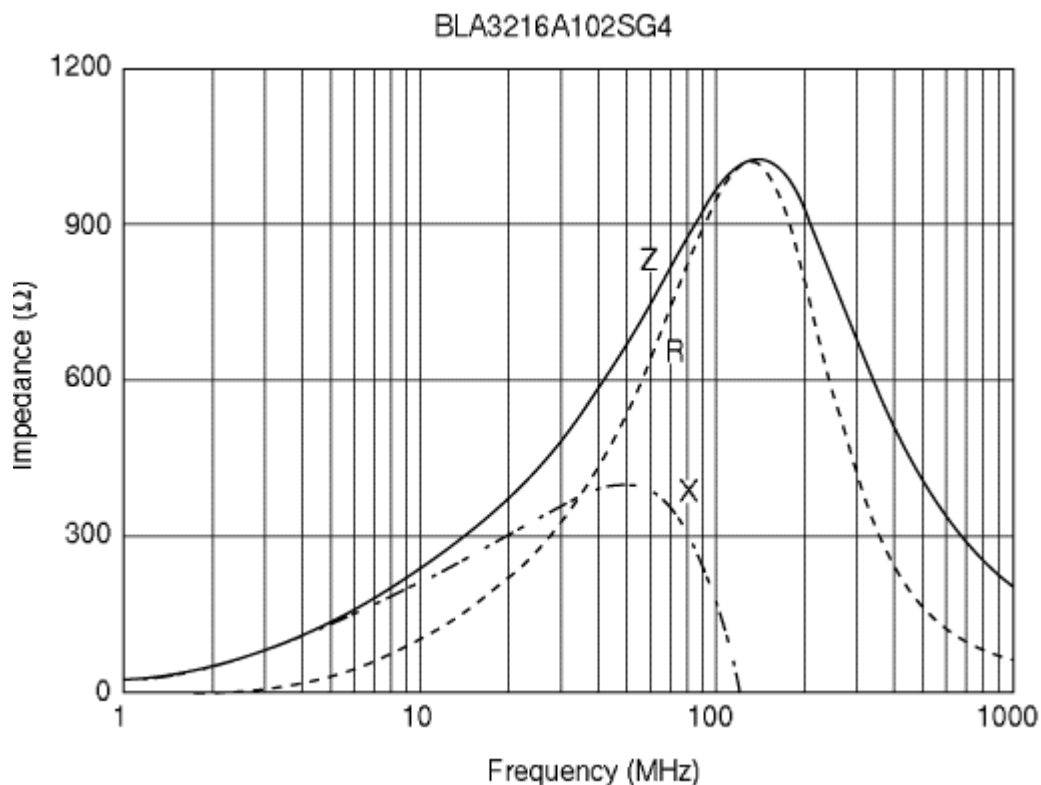


图3-5 典型的铁氧体磁珠的频率特性（资料来源：muRata）

铁氧体磁珠与普通的电感相比具有更好的高频滤波特性。铁氧体在高频时呈现电阻性，相当于品质因数很低的电感器，所以能在相当宽的频率范围内保持较高的阻抗，从而提高高频滤波效能。

3.2.5 共模电感

共模电感插入传输导线对中，可以同时抑制每根导线对地的共模高频噪声。通常的做法是把两个相同的线圈绕在同一个铁氧体环上，铁氧体磁损较小，绕制的方法使得两线圈在流过共模电

流时磁环中的磁通相互叠加，从而具有相当大的电感量，对共模电流起到抑制作用，而当两线圈流过差模电流时，磁环中的磁通相互抵消，几乎没有电感量，所以差模电流可以无衰减地通过。

典型的共模电感的特性曲线如图3-6所示。

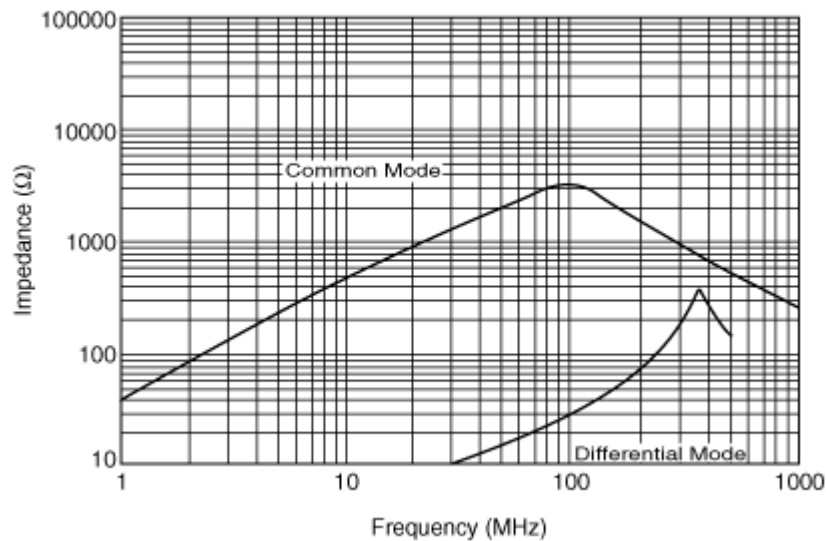


图3-6 典型的共模电感的频率特性（资料来源：muRata）

3.3 滤波电路

3.3.1 滤波电路的形式

在EMC设计中，滤波的作用基本上是衰减高频噪声，所以滤波器通常都设计为低通滤波器。滤波电路的典型结构形式如下图所示。

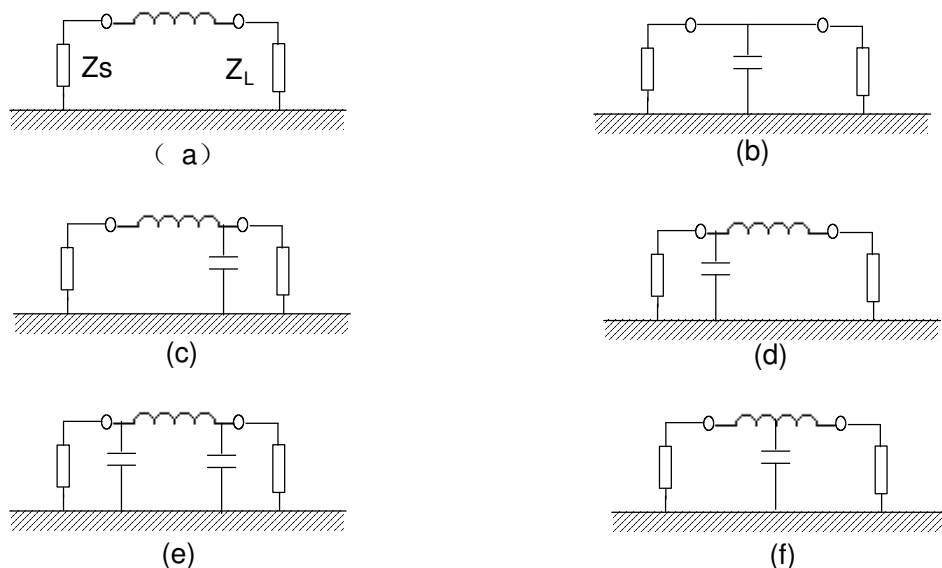


图3-7 低通滤波器的结构形式

图3-7（a）所示为电感滤波器，适用于高频时源阻抗和负载阻抗较小的场合；

图3-7（b）所示为电容滤波器，适用于高频时源阻抗和负载阻抗较大的场合；

图3-7（c）和（d）所示为 Γ 形滤波器，前者适用于高频时源阻抗较小、负载阻抗较大的场合，后者适用于高频时源阻抗较大、负载阻抗较小的场合；

图3-7（e）所示为 Π 型滤波器，适用于高频时源阻抗与负载阻抗均较大的场合；

图3-7（f）所示为T型滤波器，适用于高频时源阻抗与负载阻抗都比较小的场合。

还有一种经常应用的滤波器是电源用EMI滤波器。其结构形式如图3-8所示。

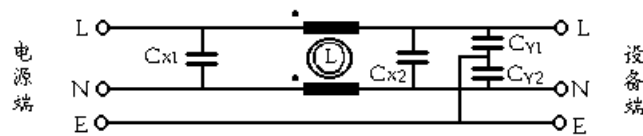


图3-8 电源EMI滤波器

3.3.2 滤波电路的布局与布线

滤波电路在布局布线时必须严格注意。

- （1）滤波电路的地应该是一个低阻抗的地，同时不同的功能电路之间不能存在共地阻抗；
- （2）滤波电路的输入输出不能相互交叉走线，应该加以隔离；
- （3）在滤波电路的设计中，同时应该注意使信号路径尽量短、尽量简洁；尽量减小滤波电容的等效串联电感和等效串联电阻；
- （4）接口滤波电路应该尽量靠近接插件。

3.4 电容在PCB的EMC设计中的应用

3.4.1 滤波电容的种类

电容在PCB的EMC设计中是使用最为广泛的器件。电容按功能的不同可以分为三种：

去耦（Decouple）：打破系统或电路的端口之间的耦合，以保证正常的操作。

旁路（Bypass）：在瞬态能量产生的地方为其提供一个到地的低阻抗通路。是良好退耦的必要条件之一。

储能（Bulk）：储能电容可以保证在负载快速变到最重时电压不会下跌。

3.4.2 电容自谐振问题

我们用来滤波的电容器并不是理想的电容器，在系统中实际表现为理想电容与电感和电阻的串联。如图3-9所示。

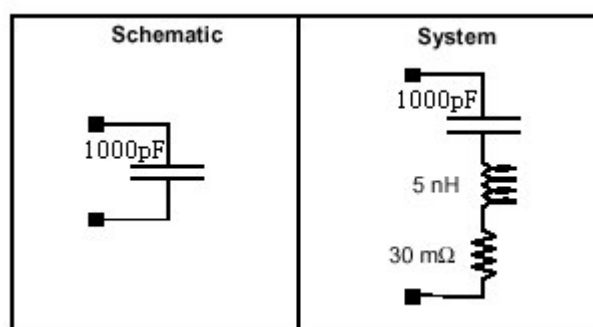


图3-9 理想电容器与实际电容器的等效电路示意图

多层电容器（Muti-Layer Capacitor）在装配到PCB板上时会产生将近5nH的寄生电感，再加上约30m欧的引线电阻，其频率特性表现为如图3-10所示的曲线。滤波电容将不是理想的低通滤波器，实际的插入损耗特性表现为以自谐振点为中心的带通滤波电路。

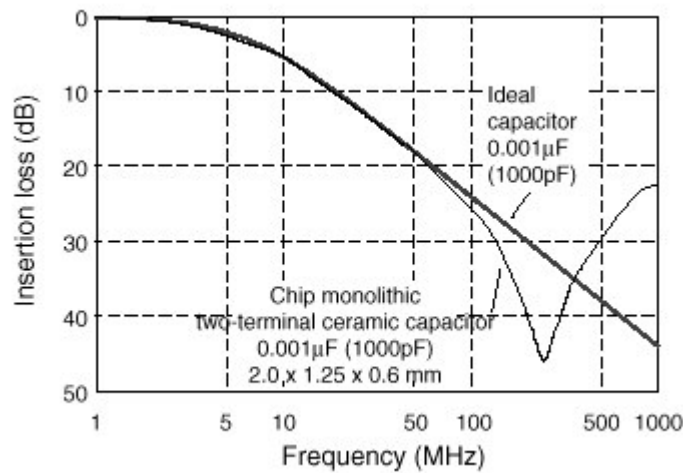


图3-10 单个电容的实际幅频特性

两个电容串联时，由于ESL（等效串联电感）和ESR（等效串联电阻）的存在，会产生反谐振问题。图3-11给出了电容并联的等效原理图，图3-12给出了它们的真实的幅度-频率特性。

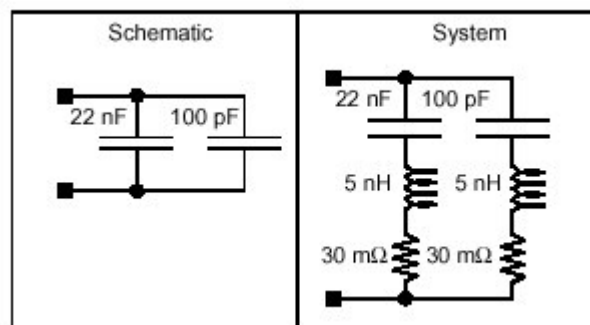


图3-11 并联电容的等效原理图

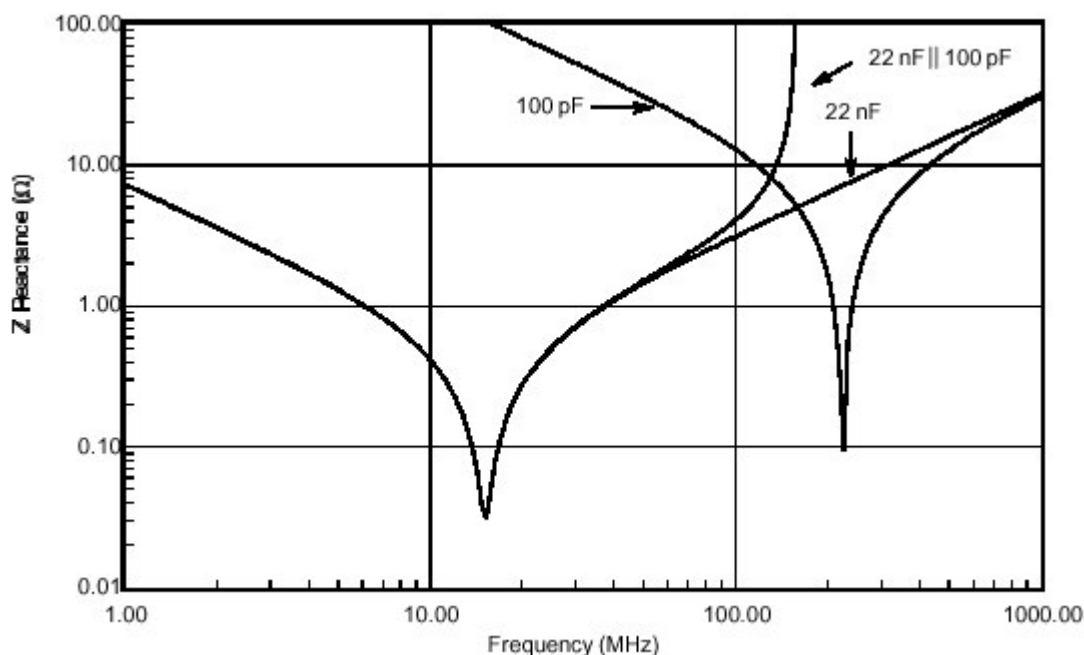


图3-12 并联电容的真实幅频特性

图3-12显示，在将近15MHz到175MHz的一个较宽的频带内，并联电容的阻抗比单独一个大电容的阻抗要来的大，由于两电容产生了谐振，在150MHz处产生了一个阻抗的峰值，系统其他部分在该频率范围内产生的能量只能有很少的一部分被旁路到地平面。

3.4.2 ESR对并联电容幅频特性的影响

图3-12所示的阻抗的峰值与电容器的ESR的值成反比，随着单板设计水平与器件性能的提高，并联电容的阻抗的峰值将会随着ESR的减小而增加，并联谐振峰值的形状与位置取决于PCB板的设计与电容的选择。

有几条原则应该了解：

- 1、随着ESR的减小，谐振点的阻抗会减小，但反谐振点的阻抗会增大；
- 2、n个相同电容并联使用时，最小阻抗可能小于 ESR/n ；
- 3、多个电容并联时，阻抗并不一定发生在电容的谐振点；

4、对于给定数量的电容器，比较好的选择是电容值在一个较大的范围内均匀展开，各个电容值的ESR适中；比较差的选择是仅有少量的电容值，而且电容的ESR都非常小。

3.4.3 ESL对并联电容幅频特性的影响

电容封装和结构不同，ESL也不同，几种典型封装电容的ESL如下表3-1所示。

表3-1 几种典型封装的电容的ESL

Type of Capacitor	Residual inductance (ESL)
Leaded disc ceramic capacitor (0.01 μF)	3.0 nH
Leaded disc ceramic capacitor (0.1 μF)	2.6 nH
Leaded monolithic ceramic capacitor (0.01 μF)	1.6 nH
Leaded monolithic ceramic capacitor (0.1 μF)	1.9 nH
Chip monolithic ceramic capacitor (0.01 μF , Size: 2.0 x 1.25 x 0.6 mm)	0.7 nH
Chip monolithic ceramic capacitor (0.1 μF , Size: 2.0 x 1.25 x 0.85 mm)	0.9 nH
Chip aluminum electrolytic capacitor (47 μF , Size: 8.4 x 8.3 x 6.3 mm)	6.8 nH
Chip tantalum electrolytic capacitor (47 μF , Size: 5.8 x 4.6 x 3.2 mm)	3.4 nH

电容的ESL与电容值一起决定电容器的谐振点与并联电容器的反谐振点的频率范围。在实际的设计中，应该尽量选用ESL小的电容器。

3.4.4 电容器的选择

对于RF设计而言，陶瓷电容器、聚酯纤维电容器和聚苯乙烯薄膜电容器都是很好的选择。

对于EMI滤波器来讲，对电容器的介质材料要求并不高，常见的X7R、Y5V和Z5U等松散介质都是不错的选择；通常绝对电容值、电容器的温度系数、电压变化系数等并不重要。

不同种类、不同容值的电容滤波范围是不同的，下面是典型的插入损耗比对效果：

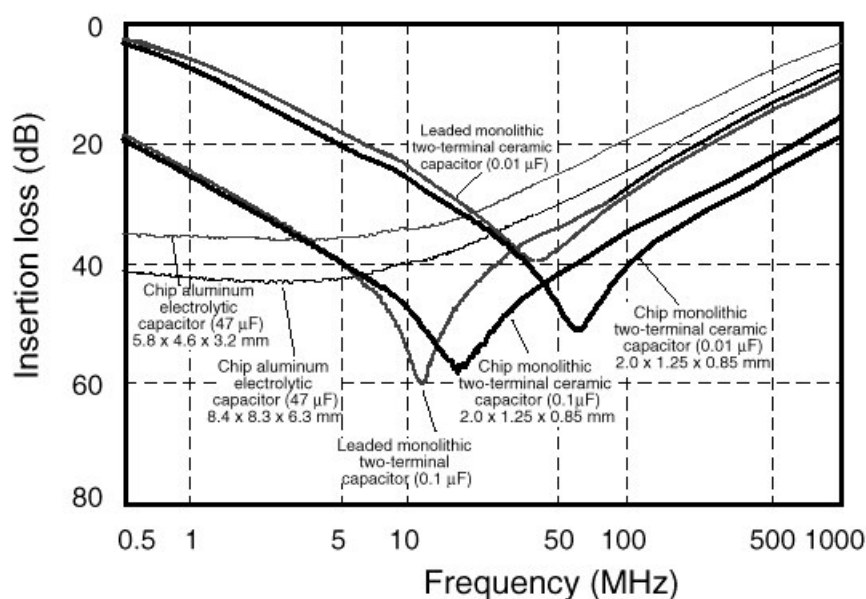


图3-13 不同容值的电容器的插入损耗

由上图可看出，同为0805封装的贴片陶瓷电容，0.01UF的电容比0.1UF的电容具有更好的高频滤波特性；建议板极工作频率高于 50MHZ的单板（如传输、MUSA的多数单板）全部使用0.01UF的滤波电容，而不是我们目前大量采用的0.1UF的滤波电容。

3.4.5 去耦电容与旁路电容的设计建议

- 1、以供应商提供的产品资料上的自谐振特性为基础选择电容，使之符合设计的时钟速率与噪声频率的需要。
- 2、在所需要的频率范围内加尽可能多的电容。例如，图3-12所示的22nF的电容的自谐振频率将近为11 MHz，有用的阻抗（ $<1\Omega$ ）范围为6M~40MHz，你可以在该频带范围内加尽可能多的电容，以达到需要退耦的水平。
- 3、在尽可能靠近IC每个电源管脚的地方，至少放一个去耦电容器，以减小寄生阻抗。
- 4、旁路电容与IC尽可能放在同一个PCB平面上。图3-14给出了一个示例。图3-14有一个需要注意的地方：在两种布局中，Vcc网络都只有一个点连到Vcc平面。这样做，使得IC内外的噪声都必须通过这个唯一的过孔走到电源平面上去，过孔的附加阻抗帮助避免了噪声向系统其余部分的扩散。

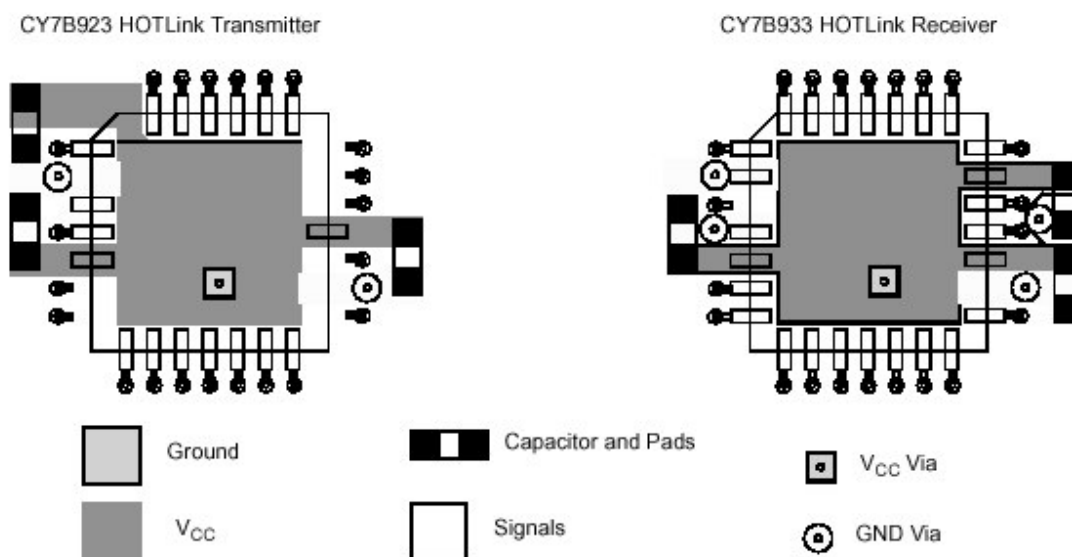


图3-14 布局举例

5、对于多时钟系统可以将电源平面作图3-14所示的分割，对每一个部分使用一种正确容值的电容器，被狭缝分隔的电源平面将一部分的噪声与其他部分的敏感器件分隔开来，同时提供了电容值的分离；

6、对于时钟频率在一个较宽的范围内变化的系统，旁路电容的选择甚为困难。一个较好的解决方法是将两个容值上接近2:1的电容并联放置，这样做可以提供较宽的低阻抗区，和一个较宽的旁路频率，图3-15给出了这种搭配的一个例子，可以看到，阻抗峰值仍然产生了，但却小于1.5欧，而可用的频率范围（阻抗小于1.5欧）则扩展到将近3.25MHz到100MHz的范围，这种多退耦电容的方法只在一个单独的IC需要一个较宽的旁路频率范围而且单个电容无法达到这一频带时才使用。而且，容值必须保持2:1的范围内，以避免阻抗峰值超过可用的范围。

（注，以上适用对象为信号端的滤波，对于电源去藕电容不能类推）。

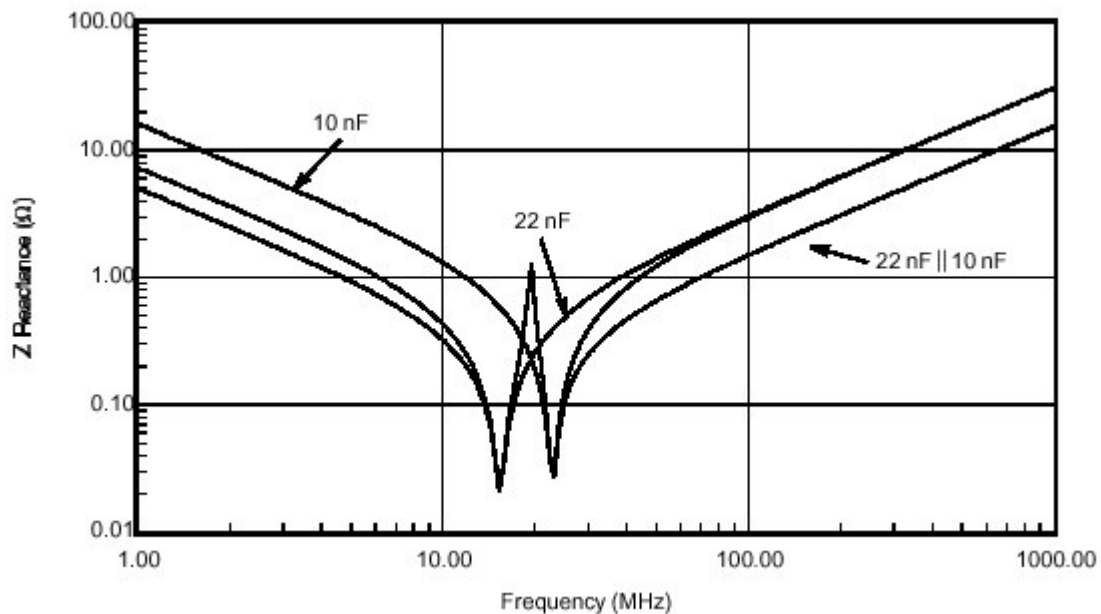


图3-15 多时钟系统的去耦电容的设计

3.4.6 储能电容的设计

储能电容可以保证在负载快速变到最重时供电电压不会下跌。

储能电容可分为板极储能电容、器件级储能电容两种：

A，板极储能电容：保证负载快速变到最重时，单板各处供电电压不会下跌。在高频、高速单板（以及条件允许的背板），建议均匀排布一定数量的较大容值的钽电容（1uf、10uf、22uf、33uf），以保证单板同一电压的值保持一致。

B，器件级储能电容：保证负载快速变到最重时，器件周围各处供电电压不会下跌。对于工作频率、速率较高、功耗较大的器件，建议在其周围排放1—4个较大容值的钽电容（1uf、10uf、22uf、33uf），以保证器件快速变换时其工作电压保持不变。

储能电容的设计应该与去耦电容的设计区别开来。有以下设计建议：

- 1、当单板上具有多种供电电压时，对一种供电电压储能电容仍然只选用一种容值的电容器，一般选用表贴封装的Tantalum电容（钽电容），可以根据需要选择10uf、22uf、33uf等；
- 2、不同供电电压的芯片构成一个群落，储能电容在这个群落内均匀分布，如下图所示：

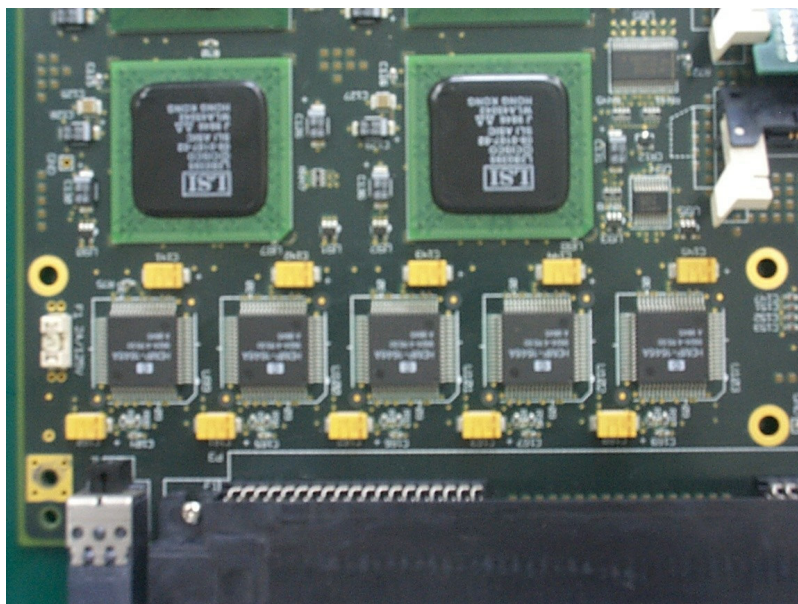


图14 储能电容的分布

4，地的分割与汇接

接地是抑制电磁干扰、提高电子设备EMC性能的重要手段之一。正确的接地既能提高产品抑制电磁干扰的能力，又能减少产品对外的EMI发射。

4.1 接地的含义

电子设备的“地”通常有两种含义：一种是“大地”（安全地），另一种是“系统基准地”（信号地）。接地就是指在系统与某个电位基准面之间建立低阻的导电通路。“接大地”就是以地球的电位为基准，并以大地作为零电位，把电子设备的金属外壳、电路基准点与大地相连接。

把接地平面与大地连接，往往是出于以下考虑：

- A，提高设备电路系统工作的稳定性；
- B，静电泄放；
- C，为操作人员提供安全保障。

在交换、接入网等产品中，一般单板的拉手条都通过拉手条的定位孔与保护地连接，以便静电泄放。在做PON16的ESD实验。由于DMU的拉手条没有接PGND（本应金属化处理的定位孔被误设计成非金属化孔，致使该板的拉手条并未接到保护地上）。故在机壳(局端或者远端)的后面板进行静电试验(接触放电和空气放电)时，容易引起复位。更改焊盘设计，拉手条接PGND后，复位问题解决，ESD测试通过。

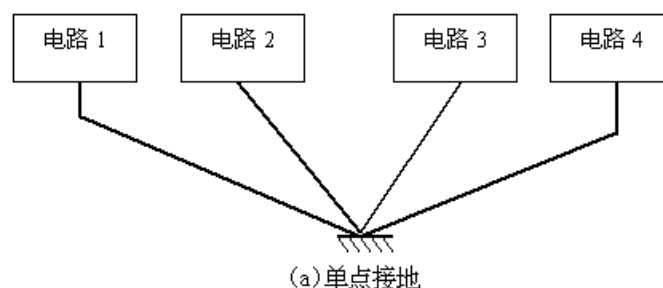
4.2 接地的目的

- A，安全考虑，即保护接地；
- B，为信号电压提供一个稳定的零电位参考点（信号地或系统地）；
- C，屏蔽接地。

4.3 基本的接地方式

电子设备中有三种基本的接地方式：单点接地、多点接地、浮地。

4.3.1 单点接地



单点接地是整个系统中，只有一个物理点被定义为接地参考点，其他各个需要接地的点都连接到这一点上。

单点接地适用于频率较低的电路中（1MHZ以下）。若系统的工作频率很高，以致工作波长与系统接地引线的长度可比拟时，单点接地方式就有问题了。当地线的长度接近于1/4波长时，它就象一根终端短路的传输线，地线的电流、电压呈驻波分布，地线变成了辐射天线，而不能起到“地”的作用。为了减少接地阻抗，避免辐射，地线的长度应小于1/20波长。在电源电路的处理上，一般可以考虑单点接地。对于我司大量采用的数字电路，由于其含有丰富的高次谐波，一般不建议采用单点接地方式。

4.3.2 多点接地

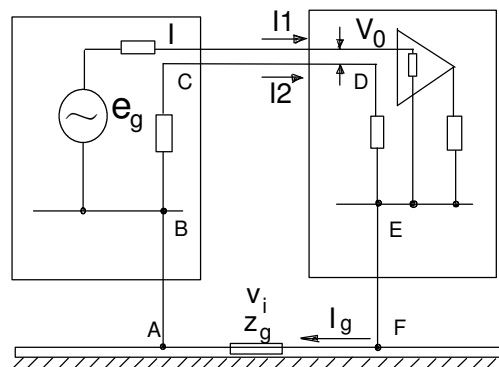
多点接地是指设备中各个接地点都直接接到距它最近的接地平面上，以使接地引线的长度最短。

多点接地电路结构简单，接地线上可能出现的高频驻波现象显著减少，适用于工作频率较高的（>10MHZ）场合。但多点接地可能会导致设备内部形成许多接地环路，从而降低设备对外界电磁场的抵御能力。在多点接地的情况下，要注意地环路问题，尤其是不同的模块、设备之间组网时。

地线回路导致的电磁干扰：

理想地线应是一个零电位、零阻抗的物理实体。但实际的地线本身既有电阻分量又有电抗分量，当有电流通过该地线时，就要产生电压降。地线会与其他连线（信号、电源线等）构成回路，当时变电磁场耦合到该回路时，就在地回路中产生感应电动势，并由地回路耦合到负载，构成潜在的EMI威胁。

以下图为例：



图，公共地阻抗耦合

由于分布电容的作用，在传输线与地之间存在一回路B—C—D—E—F—A。由于地阻抗的存在，当地电流 I_g 流过地平面时，会在 Z_g 产生一电压降 V_i ，即该电路的B、E两点之间出现电压降 V_i 。此电压 V_i 对两根信号连线是公共的，从而引起电流 I_1 、 I_2 在两根线中流动。由于 I_1 、 I_2 流过的路径的阻抗不同，故由此阻抗不平衡在负载两端产生差模电压 V_0 ，此即为地回路EMI来源之一。

外界电磁场与地回路交链，在回路中产生感应电压 V_i ，有

$$V_i = \int E \cdot dl = -\frac{\partial \Phi}{\partial t} = -\frac{\partial \nabla}{\partial t} \int B \cdot ds$$

式中， E ——电场强度

dl ——绕回路周边线积分时的微分矢径

Φ ——穿过回路所围面积的总磁通

B ——磁通密度

该电压对于围绕包括两条连接导线的两个回路面积的共模电流 I_1 和 I_2 起到潜在的电磁干扰源的作用。

4.3.3 浮地

浮地是指设备地线系统在电气上与大地绝缘的一种接地方式。

由于浮地自身的一些弱点，不太适合于我司一般的大系统中，其接地方式很少采用，在此不作详细介绍。

4.3.4 以上各种方式组成的混合接地方式

4.4 关于接地方式的一般选取原则：

对于给定的设备或系统，在所关心的最高频率（对应波长为 λ ）入上，当传输线的长度 L 入，则视为高频电路，反之，则视为低频电路。根据经验法则，对于低于1MHZ的电路，采用单点接地较好；对于高于10MHZ，则采用多点接地为佳。对于介于两者之间的频率而言，只要最长传输线的长度 L 小于 $\lambda/20$ 入，则可采用单点接地以避免公共阻抗耦合。

对于接地的一般选取原则如下：

- （1）低频电路（ $<1\text{MHZ}$ ），建议采用单点接地；
- （2）高频电路（ $>10\text{MHZ}$ ），建议采用多点接地；
- （3）高低频混合电路，混合接地。

对于系统、背板的接地方式以及单板接地的详细介绍请见下文。

4.4.1 系统接地方式

关于系统接地方式的详细介绍请参见《接地规范》。

4.4.2 背板接地方式

对于我司现有除交换以外的产品，其系统工作频率均在10MHZ以上，且多为含有丰富的高次谐波的数字电路，建议除BGND以外，所有地均在背板汇接（多点连接，即，除BGND以外的其他地，如GND、PGND、AGND、DGND等，全部从单板直接与背板就近连接）。

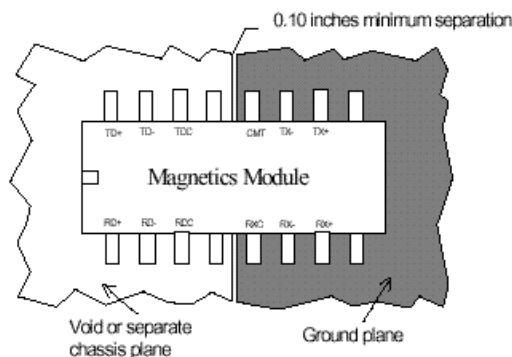
案例：10G背板多点连接与单点接地的比较。（结果等待中）

4.4.3 单板接地方式

在电路这一级上专门提出对接地的具体要求是不合适的。对具体单板而言，我们一般根据器件手册，进行必要的分割处理。对于单板不同类型地之间的汇接，建议通过磁珠完成，或者直接在PCB上单点贯通。对于未通过磁珠而直接单点连接的电源，建议在单点汇接处放置一个0.1u(或0.01u)的电容进行滤波处理（一端接该电源，另一端接对应的地）。

在电源、地的分割方面要注意切断EMI通过参考平面从初级窜到次级的途径，尤其是在滤波器、共模线圈、磁珠等器件的分割处理上。

以下为Pulse公司提供的其隔离变压器的地分割图：

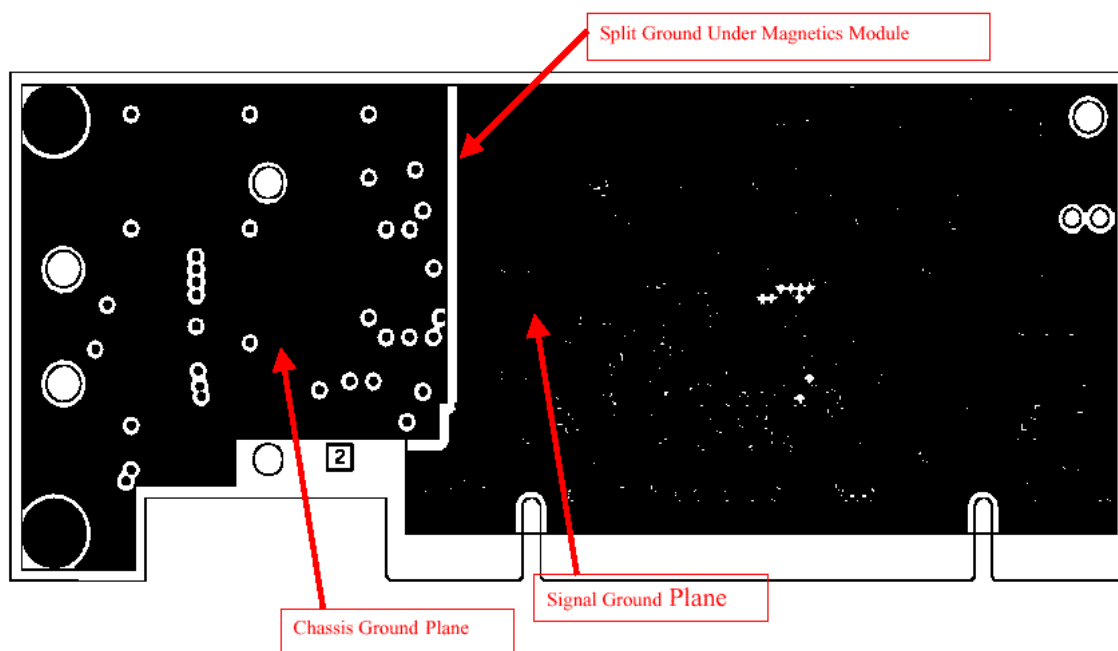


对于上图，我们留意到，在对待该隔离变压器的地分割上：

A，分割的位置：初、次级衔接处；

B，分割线的宽度：不少于100MIL。

之所以作以上分割处理，就是为了达到初、次级的隔离，控制源端的干扰通过参考平面耦合到次级。从INTEL公司推荐的以下地分割图中，我们也能发现分割线的位置相当重要。除了达到隔离的作用外，我们还需考虑相邻层布线情况，避免重要信号线跨分割区。



Sample Network Card Layout Layer 2 (Ground Plane)

对于我们现在采用的多数IC，供应商一般都提供有详细的PCB设计要求（包括电源、地的分割），硬件人员应与CAD工程师一道，仔细分析这些要求。在实际情况可能的情况下，尽量按照供应商的要求去做。

第二部分 布线

1, 传输线模型及反射、串扰

1.1 概述:

在高速数字电路PCB设计中,当布线长度大于20分之一波长或信号延时超过6分之一信号上升沿时,PCB布线可被视为传输线。传输线有两种类型:微带线和带状线。与EMC设计有关的传输线特性包括:特征阻抗、传输延迟、固有电容和固有电感。反射与串扰会影响信号质量,同时从EMC的角度考虑,也是EMI的主要来源。

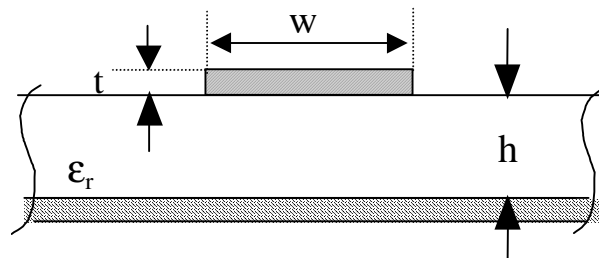
1.2 传输线模型

关于传输线的分布参数模型在CAD室《信号质量控制流程》等资料中已有详尽介绍,此处从略。

1.3 传输线的种类

1.3.1 微带线 (microstrip)

定义:与参考平面相邻的表层布线。



$$\text{特性阻抗} \quad Z_0 = \frac{87}{\sqrt{\epsilon_r + 1.41}} \ln \frac{5.98h}{0.8w + t} (\Omega)$$

$$\text{传输延迟} \quad t_{PD} = 85 \sqrt{0.475\epsilon_r + 0.67} \left(\frac{ps}{inch} \right)$$

$$\text{固有电容} \quad C_0 = 1000 \frac{t_{PD}}{Z_0} \left(\frac{pF}{ft} \right)$$

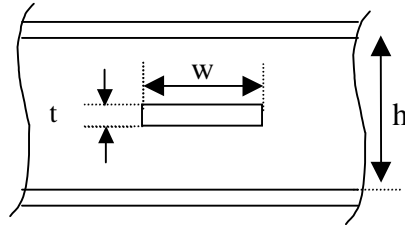
$$\text{固有电感} \quad L_0 = Z_0^2 C_0 \left(\frac{pH}{ft} \right)$$

对于我们常用的FR-4介质材料, $\epsilon_r = 4.5$

传输延迟 $TPD = 142.2(\text{ps/inch})$

1.3.2 带状线 (Stripline)

定义：在两参考平面之间的PCB布线



$$\text{特性阻抗 } Z_0 = \frac{60}{\sqrt{\epsilon_r}} \ln \frac{4h}{0.67\pi w(0.8+t/w)} (\Omega)$$

$$\text{传输延迟 } t_{PD} = 1.017\sqrt{\epsilon_r} \left(\frac{\text{ns}}{\text{ft}} \right) \text{ 或 } 85\sqrt{\epsilon_r} \left(\frac{\text{ps}}{\text{inch}} \right)$$

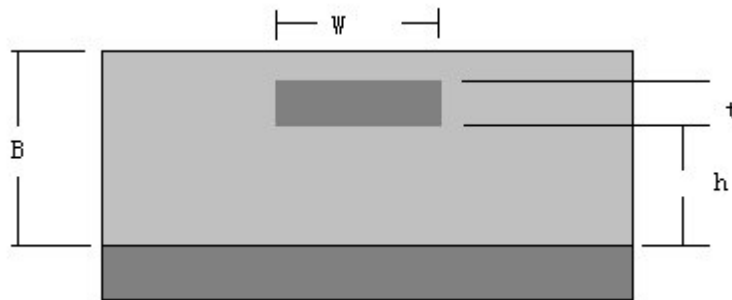
$$\text{固有电容 } C_0 = 1000 \frac{t_{PD}}{Z_0} \left(\frac{\text{pF}}{\text{ft}} \right)$$

$$\text{固有电感 } L_0 = Z_0^2 C_0 \left(\frac{\text{pH}}{\text{ft}} \right)$$

对于我们常用的FR-4介质材料, $\epsilon_r = 4.5$,以上传输线延迟的公式可简化为:

传输延迟 $TPD = 180.3 (\text{ps/inch})$

1.3.3 嵌入式微带线



特征阻抗

$$Z_0 [\Omega] = \frac{K}{\sqrt{0.805 \cdot \epsilon_r + 2}} \cdot \ln \left(\frac{5.98 h}{0.8 w + t} \right)$$

$$60 \leq K \leq 65$$

K与嵌入厚度有关，随着嵌入厚度的增大而减小，低于15mils时，

K=65，20mils时，K=60。

或者用下面公式计算：

$$Z_0 [\Omega] = \frac{87}{\sqrt{\epsilon_r' + 1.41}} \cdot \ln \left(\frac{5.98h}{0.8w + t} \right)$$

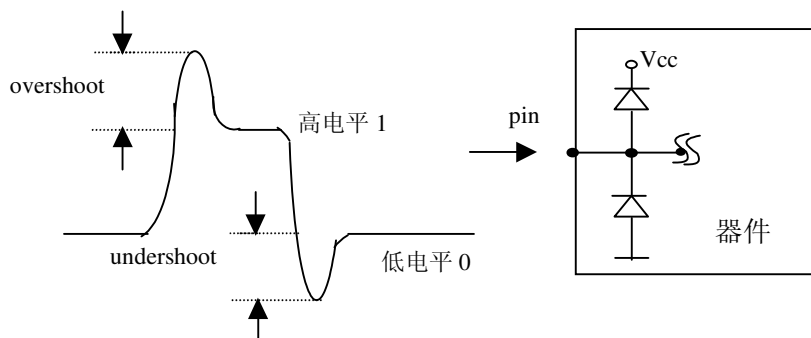
$$\epsilon_r' = \epsilon_r \left[1 - e^{\frac{-1.55B}{h}} \right]$$

传输延迟

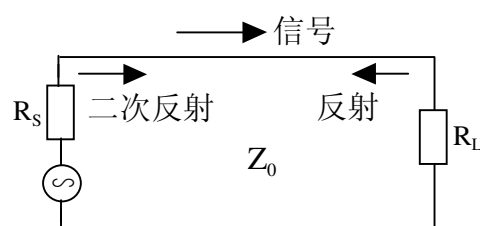
$$T_{pd} \approx 0.0339 \cdot \sqrt{0.475\epsilon_r + 0.67}, \text{ nS/cm}$$

1.4 传输线的反射

传输过程中的任何不均匀(如阻抗变化、直角拐角)都会引起信号的反射，反射的结果对模拟信号（正弦波）是形成驻波，对数字信号则表现为上升沿、下降沿的振铃和过冲。这种过冲一方面形成强烈的电磁干扰，另一方面对后级输入电路的保护二极管造成损伤甚至失效。



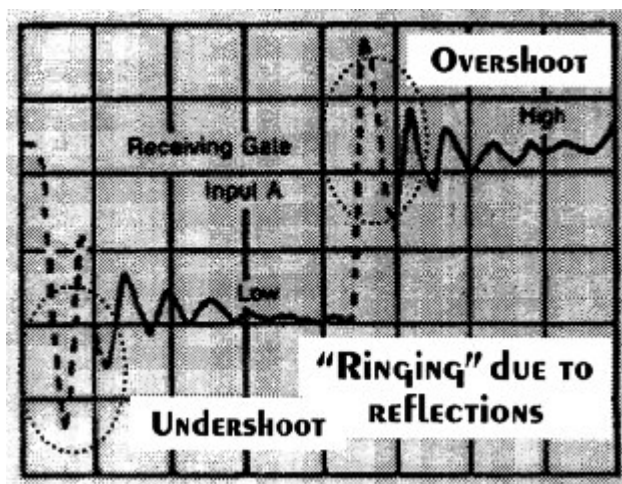
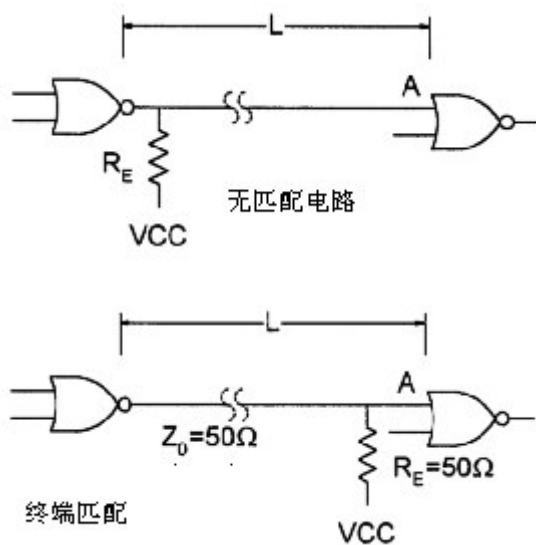
一般而言，过冲超过0.7V就应采取措施。在下面的图中，信号源阻抗、负载阻抗是造成信号来回反射的原因。

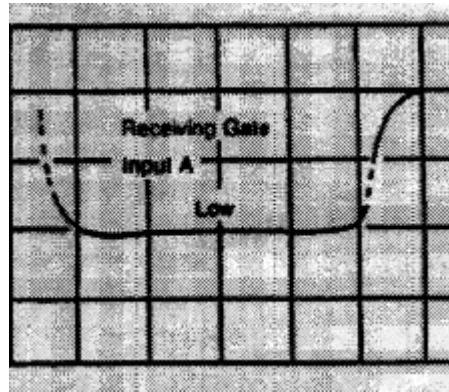


$$\rho_s = \frac{R_s - Z_0}{R_s + Z_0}$$

$$\rho_L = \frac{R_L - Z_0}{R_L + Z_0}$$

下面是有匹配电路和无匹配电路的对比：

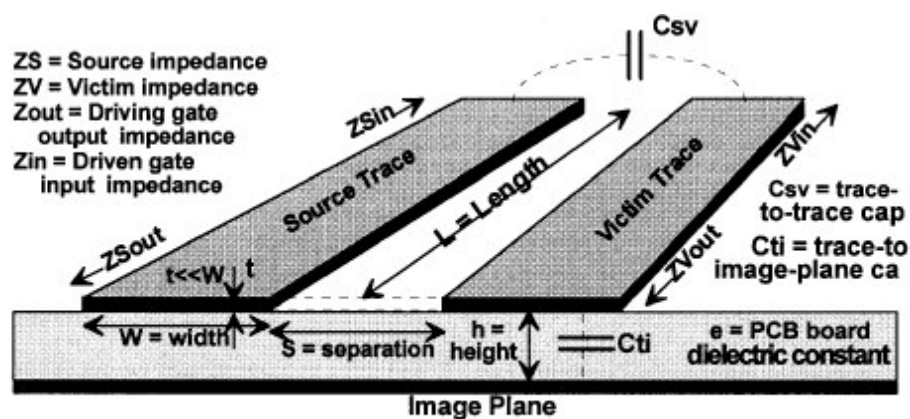




由于反射而在信号的上升沿和下降沿引起上冲、下冲和振铃，这些过冲和振铃不仅影响信号的完整性，而且是主要的EMI发射源。

1.3 串扰

如下图所示电路，由于在相邻PCB布线之间存在寄生电容 C_{sv} ，高频信号会通过 C_{sv} 引起互相干扰，在一路上有脉冲信号通过时，另一路上在脉冲的上升沿和下降沿位置有干扰脉冲出现，这就是PCB布线间的串扰。串扰一方面影响信号质量，同时串扰脉冲也是EMI的主要发射源。下图说明与PCB布线间串扰有关的因素。



Trace crosstalk geometry for predicting EMI

即影响传输线间串扰的因数有：耦合长度 L 、源端、负载端的输入、输出阻抗，介电常数，传输线的宽度 W 、厚度 T ，与参考平面的高度 H （换个角度：分布电容 C_{sv} 、寄生电容 C_{ti} 、耦合电感 L ）

下表列举了不同条件下的串扰：

FOR $Z_{victim} \cong 100 \Omega$

	W/h = 5 (Cvg = 2 pF/cm) Zo = 34 Ω				W/h = 3 (Cvg = 1 pF/cm) Zo = 50 Ω				W/h = 1 (Cvg = 0.35 pF/cm) Zo = 90 Ω				W/h = 0.3 or no gnd return below traces (Cvg < 0.1 pF/cm) Zo > 120 Ω				
W/S (Cvg pF/cm)	0.1	0.3	1	3	0.1	0.3	1	3	0.1	0.3	1	3	0.1	0.3	1	3	
	(0.02)	(0.04)	(0.06)	(0.16)	(0.03)	(0.06)	(0.1)	(0.2)	(0.05)	(0.10)	(0.20)	(0.26)	(0.08)	(0.12)	(0.30)	(0.40)	
Freq.																	
1 kHz	-158	-152	-146	-140	-154	-158	-144	-138	-150	-144	-138	-138	-148	-142	-134	-132	Culprit
3 kHz	-148	-142	-136	-130	-144	-138	-134	-128	-140	-134	-128	-128	-138	-132	-124	-122	Pulse
10 kHz	-138	-132	-126	-120	-134	-128	-124	-118	-130	-124	-118	-116	-128	-122	-114	-112	Rise Time
30 kHz	-128	-122	-116	-110	-124	-118	-114	-108	-120	-114	-108	-106	-116	-112	-104	-102	10 μ s
100 kHz	-118	-112	-106	-100	-114	-108	-104	-98	-110	-104	-98	-96	-106	-102	-94	-92	3 μ s
300 kHz	-108	-102	-96	-90	-104	-98	-94	-88	-100	-94	-88	-86	-96	-92	-84	-82	1 μ s
1 MHz	-98	-92	-86	-80	-94	-88	-84	-78	-90	-84	-78	-76	-86	-82	-74	-72	300 ns
3 MHz	-88	-82	-76	-70	-84	-78	-74	-68	-80	-74	-68	-66	-76	-72	-64	-62	100 ns
10 MHz	-78	-72	-66	-60	-74	-68	-64	-58	-70	-64	-58	-56	-66	-62	-54	-52	30 ns
30 MHz	-68	-62	-56	-50	-64	-58	-54	-48	-60	-54	-48	-46	-56	-52	-44	-42	10 ns
100 MHz	-58	-52	-46	-40	-54	-48	-44	-38	-50	-44	-38	-36	-46	-42	-34	-32	3 ns
300 MHz	-55	-49	-43	-37	-51	-45	-39	-33	-44	-38	-32	-30	-38	-32	-24	-22	1 ns
1 GHz	-53	-47	-41	-35	-49	-43	-37	-31	-42	-36	-30	-28	-32	-26	-18	-16	0.3 ns
3 GHz	-52	-46	-40	-34	-48	-42	-36	-30	-40	-34	-28	-26	-31	-25	-17	-15	0.1 ns
10 GHz	-51	-45	-39	-33	-47	-41	-35	-29	-39	-33	-27	-25	-30	-24	-16	-14	0.03 ns

Notes: • Epoxy Glass Is Assumed ($\epsilon_r = 4$)

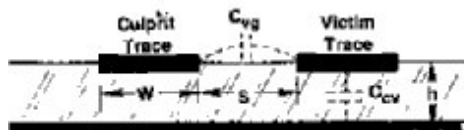
• Xtalk Given as $20 \log \frac{V_{victim}}{V_{culprit}}$ per cm of parallel run. For other lengths, add $20 \log l_{cm}$.

• For $Z_{victim} \neq 100 \Omega$ (10 to 300 Ω), add $20 \log \frac{Z_{victim}}{100}$.

• Clamp to 0 dB, Xtalk Cannot be Positive

• Example of Some Typical Values = W = 20 mils (0.5 mm) S = 30 mils (0.75 mm). For Single Layer, h = 30 - 40 mils (0.7 to 1 mm). For Multilayer h = 5 mils (0.12 mm)

$$Xtalk_{dB} = 20 \log \frac{Z_v}{Z_v \frac{1}{|C_{cv}\omega|}} = 20 \log \sqrt{\frac{RC_{cv}\omega}{|R\omega(C_{cv} + C_{vg})|^2 + 1}}$$



2，优选布线层

对于时钟、高频、高速、小、弱信号而言，选择合适的布线层相当重要,对于那些高速总线，其布线层的选择一样不能忽视；

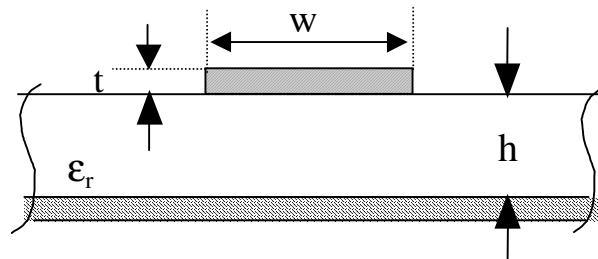
让我们先对表层与内层的走线（即微带线与带状线）进行一些比较

2.1 表层与内层走线的比较

注：微带线和带状线已在上一章中介绍过，为方便阅读，此处再次附上。

2.1.1 微带线（Microstrip）

定义：与参考平面相邻的表层布线。



$$\text{特性阻抗} \quad Z_0 = \frac{87}{\sqrt{\epsilon_r + 1.41}} \ln \frac{5.98h}{0.8w + t} (\Omega)$$

$$\text{传输延迟} \quad t_{PD} = 85 \sqrt{0.475\epsilon_r + 0.67} (ps/inch)$$

$$\text{固有电容} \quad C_0 = 1000 \frac{t_{PD}}{Z_0} (pF/ft)$$

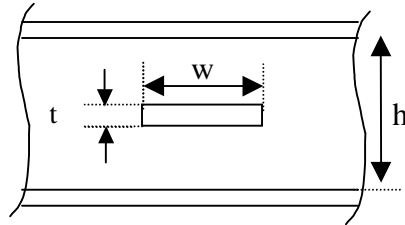
$$\text{固有电感} \quad L_0 = Z_0^2 C_0 (pH/ft)$$

对于我们常用的FR-4介质材料， $\epsilon_r = 4.5$

传输延迟 $T_{pd} = 142.2(ps/inch)$

2.1.2 带状线 (Stripline)

定义：在两参考平面之间的PCB布线



$$\text{特性阻抗} \quad Z_0 = \frac{60}{\sqrt{\epsilon_r}} \ln \frac{4h}{0.67\pi w(0.8+t/w)} (\Omega)$$

$$\text{传输延迟} \quad t_{PD} = 1.017\sqrt{\epsilon_r} (ns/ft) \quad \text{或} \quad 85\sqrt{\epsilon_r} (ps/inch)$$

$$\text{固有电容} \quad C_0 = 1000 \frac{t_{PD}}{Z_0} (pF/ft)$$

$$\text{固有电感} \quad L_0 = Z_0^2 C_0 (pH/ft)$$

对于我们常用的FR-4介质材料, $\epsilon_r = 4.5$, 以上传输线延迟的公式可简化为:

$$\text{传输延迟} \quad T_{pd} = 180.3 (ps/inch)$$

2.1.3 微带线与带状线的比较

Microstrip Topology

Definition

Outer trace layers on a PCB adjacent to a solid reference plane, separated by a dielectric material.

Advantages

- Allows for faster propagation of a signal down the transmission line
- Provides less capacitive coupling and lower unloaded propagation delay for the signal of interest

Disadvantages

- Allows RF energy within the transmission line to propagate into free space or the environment.

12

Stripline Topology

Definition

Routing layer located between two solid planes. A dielectric material separates the layers from the reference planes.

Advantages

- Provides better noise immunity for RF emissions.
- Slows the propagation of the signal within the transmission line (affects only extra high-speed circuits with critical signaling requirements).
- Capacitive coupling increases which affect signal integrity and impedance control.
- Provides complete shielding of RF energy generated from internal traces radiating to the external environment.

Disadvantages

- Creation of RF energy may still occur due to component pins and packaging material which are always located on the outer layers of the PCB assembly.

13

微带线与带状线的比较：

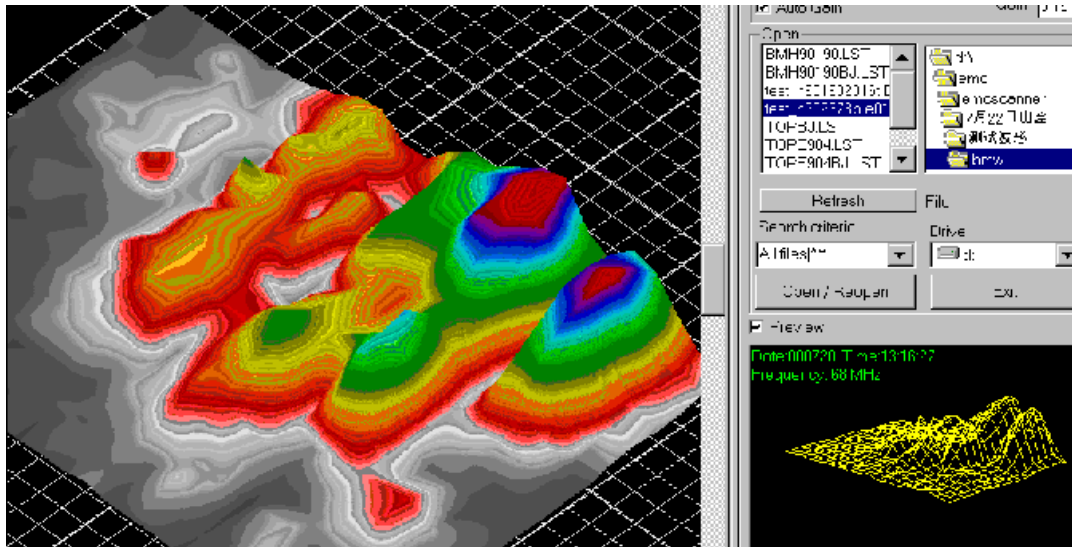
- 1，微带线的传输延时比带状线低（38.1(ps/inch)）；
- 2，在给定特征阻抗的情况下，微带线的固有电容比带状线小；
- 3，微带线位于表层，直接对外辐射；带状线位于内层，有参考平面屏蔽；
- 4，微带线可视，便于调试；带状线不可视，调试不便；

考虑到参考平面的屏蔽作用，现有测试数据表明微带线的辐射比带状线大20DB左右。

我们知道，EMI的对外传播途径主要有传导和辐射两种；对于传输线而言，这两种途径也同样存在；

对于带状线，由于其夹在两平面之间，其辐射途径得到较好的控制，其主要对外传播途径为传导，即我们需要重点考虑的是其供电过程中的电源、地的纹波以及与相邻走线之间的串扰。

而对于微带线，除具有带状线的传导途径外，其自身对外的辐射对我们的EMC指标至关重要；当然，并非所有表层的走线的辐射都值得我们关注，在稍后特殊信号的处理一章里，我们对主要辐射信号的种类将加以探讨；以下为我们对某块单板的近场场强测试结果：



从图中可以看出，关键布线（其中有相当部分的是数据总线）的对外辐射指标比其他布线的辐射指标高出18dB左右。

从EMC的角度，我们需要对以下两种布线加以关注：

- 1，强辐射信号线（高频、高速，尤以时钟线为甚），对外辐射；
- 2，小、弱信号以及对外界干扰非常敏感的复位等信号，易受干扰；

对于这两类线，我们必须给予充分的关注，在情况允许的前提下，建议考虑内层布线；并扩大他们与其他布线的间距，甚至加屏蔽地线进行隔离；

（至于有那些布线需要我们特殊关注，在特殊信号处理一章，我们会有较深入的探讨）。

注：一般而言，器件自身的辐射指标因素在器件设计过程中已考虑，我们假定器件自身已满足辐射指标（特殊器件会有其对应的屏蔽等解决措施），这里，我们主要考虑的是传输线的对外辐射。

对比Simense、Motorola的同类PCB板，我们可发现其表层很少布线，埋盲孔的使用，保证了参考平面的完整性，也为表层的屏蔽效果提供了保证；而我司目前出于成本的考虑以及尚未对单板的EMI辐射引起足够的重视，因而表层布线相当普遍，甚至超过内层的布线密度。鉴于我司现有的PCB设计周期，普通CAD工程师很难对单板的信号有个全面的了解。

从交换产品巴西项目的EMC测试情况来看，一些频率、速率并不高的时钟等信号线，其对外辐射指标远远超过其他信号线的辐射，从EMC的角度，建议关键信号（尤其是时钟信号，具体种类后文有说明）优先考虑内层布线，其他信号（尤其对其辐射情况不明了的信号）尽可能考虑内层布线；整板辐射基线较高的PCB板，应考虑采用表层屏蔽或单板加屏蔽罩等处理方式。

2.2 布线层的优先级别

根据我们现有的资料、经验，我们对优选布线层给出如下一般原则：

- A，优先考虑内层；



B，优先考虑无相邻布线层的层，或虽有相邻布线层，但相邻布线层对应区域下无走线；

C，内层布线优先级别， $L_{G-G} > L_{G-P} > L_{P-P}$ ；(即优选地作参考平面)

D，确保关键走线未跨分割区的布线层；

需要强调的是：PCB的设计需要综合考虑功能实现、成本、EMC、工艺、美观等多种因素，在优选布线层上，没有一成不变的原则。以上建议作为一般指导原则，仅供大家在进行PCB设计时参考。CAD工程师的价值也就在于在多种因素中，折衷考虑，找到最佳解决途径。

例如：在布局部分第一章关于十层板有如下层排布方案：

方案	电源	地	信号	1	2	3	4	5	6	7	8	9	10
1	1	3	6	S1	G1	S2	S3	G2	P	S4	S5	G3	S6
2	1	4	5	S1	G1	S2	G2	S3	G3	P	S4	G4	S5
3	2	3	5	S1	G1	S2	P1	S3	G2	P2	S4	G3	S5
4	2	4	4	S1	G1	S2	G3	P1	P2	G3	S3	G4	S4

在方案1里，由于S2、S3均在内层，且夹在两地平面之间，在布关键信号时，我们首先考虑S2、S3，并保证层间无平行长线（关键网络）；S4、S5与S2、S3基本相同，但夹在电源、地平面之间，根据我们现有掌握的情况，电源、地平面之间的EMC环境差于两地平面之间的EMC环境，因而S4、S5的优先级别低于S2、S3，由于S5以阻抗较低的G3作参考平面，其优先级别略高于S4；S1、S6同为表层布线，一般而言，表层（TOP）由于器件PIN密度高于底层（BOTTOM），两者之间，我们优先考虑S6；即，方案一的布线优先级别为：S2=S3>S5>S4>S6>S1；

注：以上未考虑到电源、地平面的分割情况，实际情况因分割因素可能有所出入。

同样分析，方案2的布线优先级别：S2=S3>S4>S5>S1；

方案3的布线优先级别：S2=S3=S4>S5>S1；

方案4的布线优先级别：S2=S3=S4>S1；

3， 阻抗控制

3.1 特征阻抗的物理意义

3.1.1 输入阻抗：

在集总电路中，输入阻抗是经常使用的一个术语，它的物理意义是：从单口网络看进去的电压和电流的比值。如图：

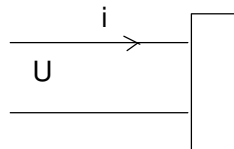


图1 输入阻抗

输入阻抗: $Z_{in} = U/i$ 。

3.1.2 特征阻抗

对于PCB来说每一段走线都有特定的阻抗值，走线电感是引起PCB上射频辐射的重要因素之一。甚至于从芯片硅芯到安装焊盘之间的引线电感也会引起可观的射频电势，尤其是电路板上的细长走线会有较大的引线电感。通常如果有射频电压加在一段阻抗上就会有相应的射频电流流过，就会引发电磁干扰。

随着信号传输速率越来越高，PCB走线已经表现出传输线的性质，在集总电路中视为短路线的连线上在同一时刻的不同位置的电流电压已经不同，所以不能用集总参数来表示，必须采用分布参数来处理。传输线的模型可以表示如下图：

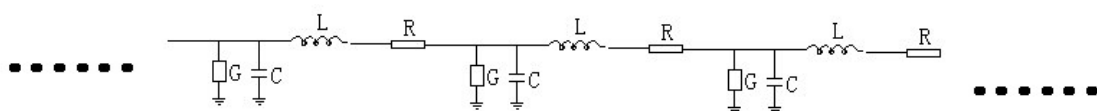


图2 传输线模型

现在我们对以上传输模型进行物理方程的解答。

传输线的性质可以用电报方程来表达,电报方程如下：

$$dU/dz = (R + j\omega L) I \quad (1)$$

$$dI/dz = (G + j\omega C) U \quad (2)$$

电报方程的通解为：

$$U = A \times e^{rz} + B \times e^{-rz}$$

$$I = A \times e^{rz} - B \times e^{-rz}$$

$$\text{通解中的 } r = \sqrt{(R + j\omega L) \times (G + j\omega C)} \text{ 为传播常数} \quad (3)$$

$$Z = \sqrt{(R + j\omega L) \div (G + j\omega C)} \quad \text{为特征阻抗} \quad (4)$$

从通解中可以看到传输线上的任意一点的电压和电流都是入射波和反射波的叠加，因此传输线上任意一点的输入阻抗值都是时间、位置、终端匹配的函数，所以再使用输入阻抗来研究传输线已经失去意义了，所以引入了特征阻抗、行波系数、反射系数的概念。注意反射系数和行波系数并不仅限于在传输线的两端，对于传输线上的任意点，它们都有意义。

特征阻抗是指传输线理论中较为重要的概念，是沿线分布电容和电感的等效，它的物理意义是，入射波的电压与电流的比值，或反射波的电压与电流的比值。由电报方程可以得到特征阻抗的解，见式（4），由于R、G的值相对比较小，特征阻抗可简化为：

$$Z = \sqrt{L/C} \quad (5)$$

反射系数是传输线上某一处的反射波电压（或电流）与入射波（或电流）之比。

$$\text{反射系数:} \quad \Gamma(z) = \frac{U^-(z)}{U^+(z)} = -\frac{I^-(z)}{I^+(z)} \quad (6)$$

行波系数是：传输线上某一处的最小电压（或电流）与最大电压（或电流）之比。

他们都与特征阻抗密切相关。

3.1.3 偶模阻抗、奇模阻抗、差分阻抗

当两根传输线比较靠近时他们之间会存在耦合，耦合会使传输线的特征阻抗发生改变，引出一个有效特征阻抗的概念。我们首先从感性上进行存在耦合时研究有效特征阻抗的计算方法。如图：

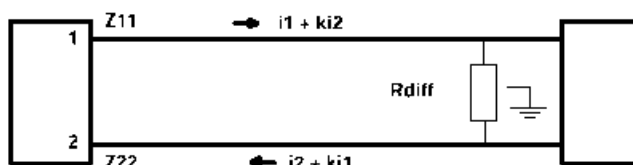


图3 传输线的耦合示意图

$$\text{容易得到以下公式:} \quad V1 = Z11 \times i1 + Z11 \times k \times i2 \quad (7)$$

$$V2 = Z22 \times i2 + Z22 \times k \times i1 \quad (8)$$

式中的k为耦合系数。

当两根相同的传输线上传的是差分信号时， $i1 = -i2$, $Zo = Z11 = Z22$

$$\text{所以,} \quad V1 = Zo \times (1 - k) \times i1 \quad (9)$$

$$V2 = -Zo \times (1 - k) \times i1 \quad (10)$$

这就引入了一个奇模阻抗的概念 $Zodd$ ，即当在一对耦合传输线中传输差分信号时，单根传输线的有效特征阻抗，即：

$$\text{奇模阻抗:} \quad Zodd = Zo \times (1 - k) \quad (11)$$

为了克服反射，在每根差分线上加的终端匹配电阻应为奇模阻抗 $Zodd$ ，而不是 Zo 。

在一般的差分信号的应用中，为了避免引入来自地的噪音，采用一个阻值为2倍 $Zodd$ 的电阻跨在差分对上的匹配方式，这个电阻就是差分电阻，它的值应为奇模阻抗的二倍。

$$Z_{diff} = 2 \times Z_{odd} \quad (12)$$

和奇模传输相对应，当两根相邻传输线上传输共模信号，即 $i_1=i_2$ 时，同理我们可以得到以下公式：

$$V_1 = Z_0 \times (1+k) \times i_1 \quad (13)$$

$$V_2 = Z_0 \times (1+k) \times i_1 \quad (14)$$

这就引入了偶模阻抗的概念：

$$\text{偶模阻抗: } Z_{even} = V_1/i_1 = Z_0 \times (1+k) \quad (15)$$

通过以上的差分阻抗的感性认识后，我们再进行奇模阻抗、偶模阻抗和差分阻抗的数学推导。忽略传输线上的损耗，我们可以建立耦合传输线的模型如下：

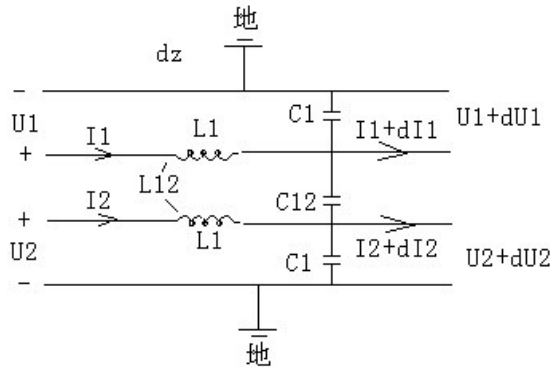


图4 耦合传输线的模型

L_1 、 C_1 分别为有另外一根传输线存在时的，一根传输线上的分布电感和分布电容，

L_{12} 、 C_{12} 为两根传输线之间的耦合电感和耦合电容。

L_0 、 C_0 为没有另外一根传输线存在时的，单根传输线上的分布电感和分布电容。

电容耦合系数为： $K_c = C_{12}/C_1$,

电感耦合系数为： $K_l = L_{12}/L_1$,

对传输线1，建立传输线方程组得：

$$-dU_1/dz = j\omega L_{11} \cdot I_1 + j\omega L_{12} \cdot I_2 \quad (16)$$

$$-dI_1/dz = j\omega C_{11} \cdot U_1 - j\omega C_{12} \cdot U_2 \quad (17)$$

式中 $L_{11}=L_1$ ， $C_{11}=C_1+C_{12}$ 。

当传输奇模信号时，即 $U_1 = -U_2 = U_0$ ， $I_1 = -I_2 = I_0$ 时，传输线方程变为：

$$-dU_0/dz = j\omega L_{11}(1-K_l) I_0 \quad (18)$$

$$-dI_0/dz = j\omega C_{11}(1+K_c) U_0 \quad (19)$$

和电报方程对比，不难得出：

$$\text{奇模阻抗: } Z_o = \sqrt{\frac{L_{11}(1-K_l)}{C_{11}(1+K_c)}} \quad (20)$$

$$\text{奇模相速: } V_o = \frac{1}{\sqrt{L_{11}(1-K_l)(1+K_c)}} \quad (21)$$

同理，当传输偶模信号时，我们得到：

$$\text{偶模阻抗: } Z_e = \sqrt{\frac{L_{11}(1+KL)}{C_{11}(1-Kc)}} \quad (22)$$

$$\text{偶模相速: } V_e = \frac{1}{\sqrt{L_{11}C_{11}(1+KL)(1-Kc)}} \quad (23)$$

又因为我们分析的是TEM波，则 $V_e = V_o$ 且等于孤立单根线的相速

$$V = \frac{1}{\sqrt{L_0 C_0}}$$

由 $V_e = V_o$ 推出 $Kl = Kc = K$ ，设 K 即为耦合系数。

$$\text{所以 } V_e = V_o = \frac{1}{\sqrt{L_{11}C_{11}(1-K^2)}} = V = \frac{1}{\sqrt{L_0 C_0}} \quad (24)$$

$$\text{所以 } L_0 \times C_0 = L_{11} \times C_{11} \times (1-K^2) \quad (25)$$

根据磁场分布的特点，当存在另一根线耦合时，如果该线并非导磁体，其场分布图形受到的影响不大。所以

$$L_{11} = L_1 \approx L_0 \quad (26)$$

代入式（23）得：

$$C_{11} = C_0 / (1-K^2) \quad (27)$$

设 $Z_0 = \sqrt{L_0/C_0}$ 为单根线的特征阻抗， $Z_o^1 = \sqrt{L_{11}/C_{11}}$ 为耦合线中单根线的特征阻抗。从式（20）、（22）、（26）、（27）结合 $Kl = Kc = K$ ，我们容易得到以下公式：

$$\text{奇模阻抗 } Z_o = Z_o^1 \sqrt{\frac{1-K}{1+K}} = Z_0(1-k) \quad (28)$$

$$\text{偶模阻抗 } Z_e = Z_o^1 \sqrt{\frac{1+K}{1-K}} = Z_0(1+K) \quad (29)$$

与公式(10b)和(13)得到的偶模和奇模阻抗公式是一致的，这证明我们的推导是正确的。

以上只是理论上的推导，通常，传输线的延迟和特征阻抗是由所用的 PCB印制线的横截面几何形状和绝缘材料计算得到，以上公式就是计算的基础。具体的计算方法参见公司的《阻抗控制规范》。由于受PCB印制线制造时诸如最大绝缘厚度和最小印制线宽度的制约，电路板通常在40~75欧姆范围内控制特征阻抗。器件的输出电阻一般10几欧姆左右，因此始端串联匹配时电阻一般选33欧姆左右与走线的阻抗匹配。

阻抗的不连续是造成反射的根源，反射会造成过冲、振铃等现象，过冲集中了较大的能量，而且振铃与过冲包含有大量谐波成分，对EMC产生不良影响，实践证明削减过冲与振铃，可以有效减小传导与辐射干扰。阻抗失配，如换层、多负载分叉、跨分割区等都会造成信号质量问题，解决了这些，大部分的EMC问题也就相应解决了。当然信号频率与上升、下降速率也是影响反射与EMC的重要因素。因此对于高速信号，一般要求阻抗保持连续。

3.2 生产工艺对阻抗控制的影响

生产工艺对阻抗的影响很大，首先理论上讲，通过连续的调节介质的厚度可以得到连续变化的阻抗控制，但这在PCB生产厂家是难以达到的，因为目前国内的生产厂家一般采用层压成板的生产方式，所以各层的介质厚度分为很多的规格，而不是连续变化的。目前，绝大多数PCB生产厂家的PCB采用两种介质：芯材和半固化片，芯材和半固化片的交替叠加构成PCB板。一个八层

板的典型层结构见下图：



图5 芯材和板固化片的交替排部

芯材是两面附有铜箔的介质，即一个简单的双面板。芯材有以下10几种规格：0.1mm、0.2mm、0.3mm、0.4mm、0.5mm、0.6mm、0.7mm、0.8mm、0.9mm、1.0mm、1.2mm、1.5mm、1.6mm、2.0mm、2.4mm。

注意：在进行阻抗控制的时候，一定要考虑到芯材的厚度中是否包含了铜箔的厚度。

半固化片有1080、2116、7628等三种规格，应至少选择两片以上的半固化片进行组合。由于半固化片在层压期间，会出现流稀的现象，使得介质的厚度变薄。应当注意计算阻抗时对于走线层铜箔层压时会嵌入介质中，平面层不受影响。

由以上阻抗的物理意义可以看到，阻抗是由PCB走线的自感、自容以及互感、互容决定的，而这些PCB的寄生参数又与板材和PCB生产厂家的加工工艺密切相关。所以生产厂家的加工工艺直接影响着阻抗的控制精度。按照理论分析，同一条PCB走线上的阻抗应该是一致的，但由于线的各处线宽、介质厚度受加工工艺的影响存在偏差，从而使得线各点的阻抗不一致。

微带线相对于带状线来说，更易于向外辐射与受到干扰，因此对于关键信号线如时钟、低位地址等周期性较强的信号线应走带状线的形式，并且保持阻抗的连续性。

另外，负载过重也会影响特性阻抗，一般过大的容性负载会使特性阻抗降低（ $Z_0 = \sqrt{L_0/(C_0 + C')}$ ），走线延时加大（ $V = \frac{1}{\sqrt{L_0(C_0 + C')}}}$ ）。

3.3 差分阻抗控制

我们平时所说的差分阻抗是奇模阻抗的两倍。现在研究差分线之间的间距对差分阻抗的影响。总的来说，随着差分线之间距离的增大，差分线之间的耦合逐渐变弱，对共模干扰的抑制作用会减弱，阻抗变化的程度和信号线到地平面之间的距离有很大关系。现在研究以下三种介质厚度下，差分阻抗随信号间距的变化趋势。

3.3.1 当介质厚度为5mil时的差分阻抗随差分线间距的变化趋势

差分线的PCB结构如下：

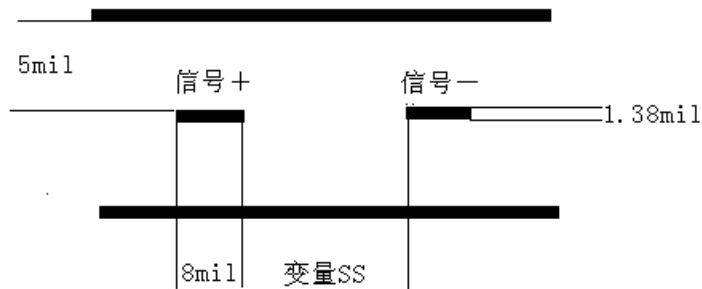


图6 介质厚度为5mil时差分走线的PCB结构

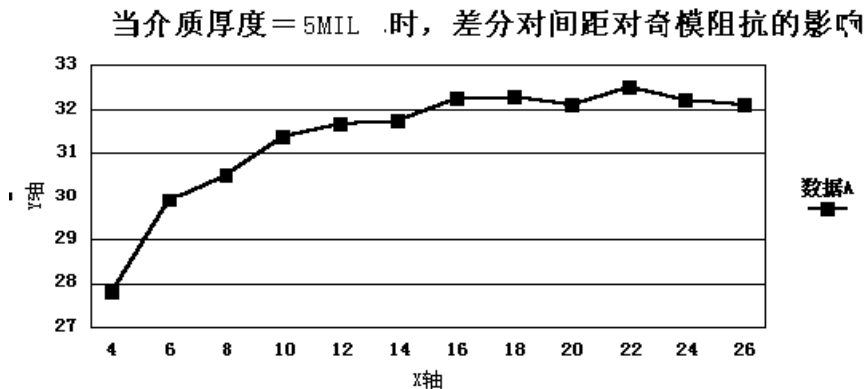


图7 介质厚度为5mil时差分线的间距对奇模阻抗的影响

由上面的曲线可以看到在差分线之间的间距从 4mil变化到26mil这样大的一个变化范围内，奇模阻抗只减少了4个欧姆，最后稳定在32欧姆左右，原因是因为信号线到地平面之间的距离较小时PCB走线的大部分磁力线通过地板进行耦合，所以两个信号线之间的耦合相对较弱，信号线之间的间距对奇模阻抗的影响较弱。

3.3.2 当介质厚度为13 mil时的差分阻抗随差分线间距的变化趋势

差分对走线的PCB结构图如下

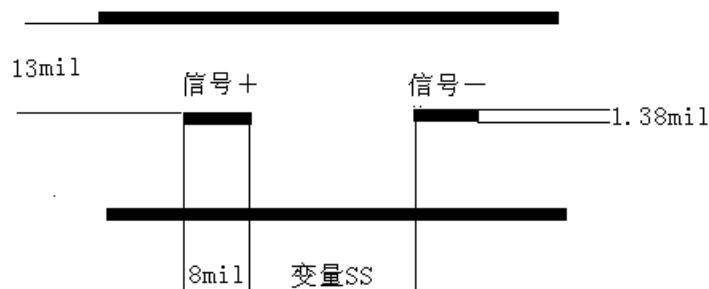


图8 介质厚度为13mil时差分走线的PCB结构

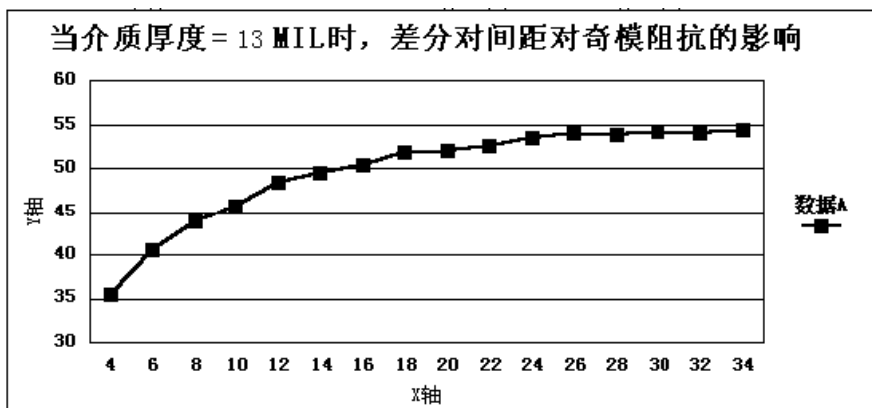


图6 介电厚度为13mil时差分线的间距对奇模阻抗的影响

由上面的曲线可以看到在差分线之间的间距从 4mil变化到34mil的时，奇模阻抗从35欧姆增大到55欧姆，变化了20个欧姆，和当介质厚度为 5mil时相比，由于为信号线到地平面之间的距离增大，两个信号线之间的耦合成分逐渐增大，已经和地之间的耦合相比拟，所以信号线之间的间距的变化对奇模阻抗的影响相对较强。

3.3.3 当介质厚度为25 mil时的差分阻抗随差分线间距的变化趋势

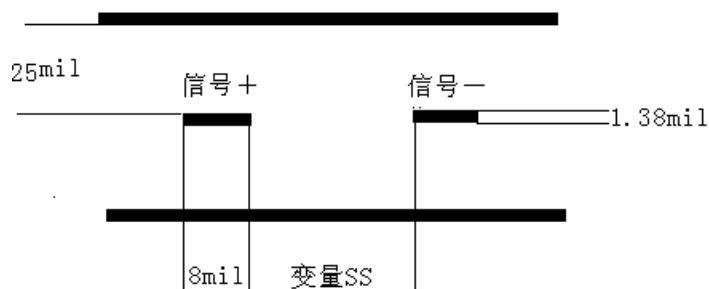


图7 介电厚度为25mil时差分走线的PCB结构

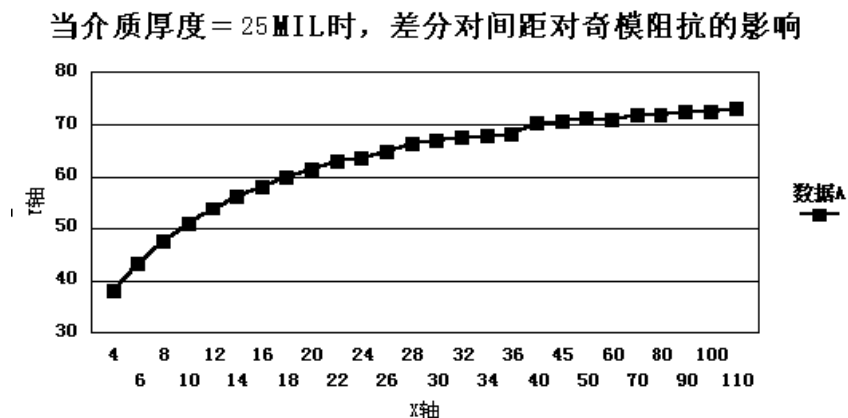


图8 介电厚度为25mil时差分线的间距对奇模阻抗的影响

由上面的曲线可以看到由于信号线到地平面之间的距离增大到25mil时，差分线之间的耦合对整个磁力线的分布已经起着决定性的作用，尽管两个信号线之间的间距增大到30mil，接近线宽的

4倍，但由于两线之间的耦合还是使阻抗减小了10个欧姆。所以当信号到地板的距离较大时，一定要重视差分线之间耦合成分。

可以看出，在信号线离地较远时，差分信号对共模干扰有较强的抑制作用并且降低了信号的共模辐射程度。对于高速信号线，尽量选用差分信号，可以有效减小EMI影响。

3.4 屏蔽地线对阻抗的影响

在实际的设计中，经常在关键的信号线两边各加一条地线（guardline）。目的在于为关键信号提供一个低电感的地回路，从而减少相邻线之间的串扰与传导、辐射的影响。但增加了地线的同时，也改变了信号的电磁场分布，降低了信号线的阻抗。

3.4.1 地线与信号线之间的间距对信号线阻抗的影响

为了研究屏蔽地线对信号的影响，我们设置如下PCB走线结构。该结构为标准的对称带状线，信号+、信号-为差分信号的正负走线，两边为包地线，现固定信号走线的线宽为8mil，正负信号之间的间距为8mil，两个地板之间的间距为12.50mil或51.18mil。PCB结构图如下：

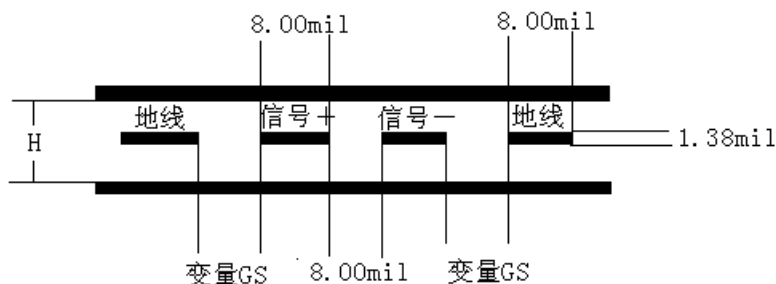


图9 研究包地对信号阻抗影响的PCB结构图

当两地板间距 = 12.50 mil时，阻抗随者地线到信号线之间的间距变化的情况见下图。

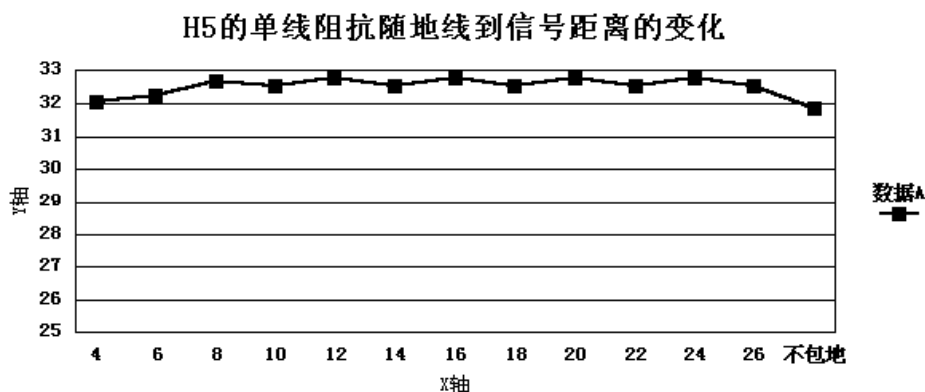


图10 两地板间距为 12.50 mil地线到信号的间距对信号阻抗的影响

当两地板间距 = 27.36 mil时，阻抗随着地线到信号线之间的间距变化的情况见下表。

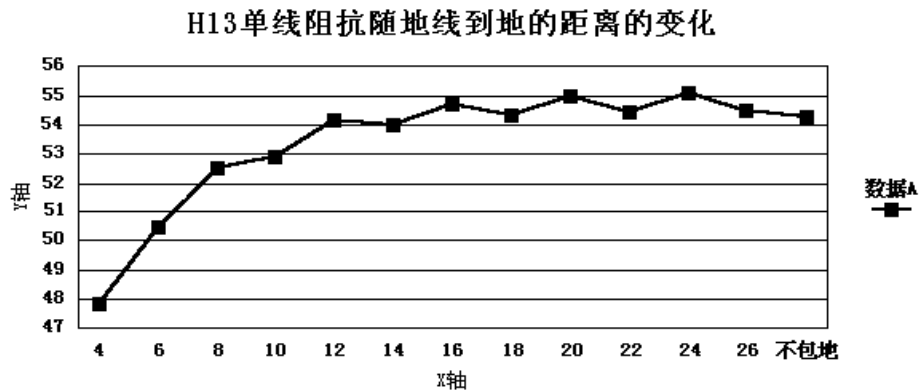


图11 两地板间距为 27 mil地线到信号的间距对信号阻抗的影响

当两地板间距=50 mil时，阻抗随着地线到信号线之间的间距变化的情况见下表。

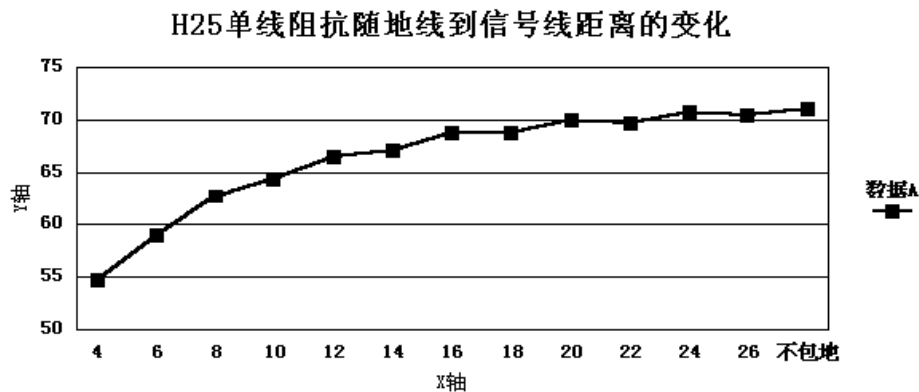


图12 两地板间距为 50 mil地线到信号的间距对信号阻抗的影响

由上面的变化曲线可以得到：

1、随着地线到信号线的距离的增大，地线对信号线阻抗的影响逐渐减弱。

2、当两地板之间的间距为 10mil时，随着地线到信号的间距从 4mil变化到26mil，信号线阻抗基本上没用变化；当两地板之间的间距为27mil时，随之地线到信号的间距从4mil变化到26mil，信号线阻抗从 48欧姆变化到 54欧姆；当两地板之间的间距为 50mil时，随之地线到信号的间距从 4mil变化到26mil，信号线的阻抗从 55欧姆变化到70欧姆。所以，地线对信号线阻抗的影响随之两地板之间的间距的增大而增强。这是由于随之信号线到地板距离的增大，信号线到地板的耦合逐渐减弱，到地线的耦合逐渐增强造成的。

3.4.2 屏蔽地线线宽对阻抗的影响

为了研究屏蔽地线的线宽对信号走线阻抗的影响，我们设置以下结构：固定信号走线的线宽为8mil、差分信号走线的间距为 8mil、两地板之间的间距为 27.38mil。地线到信号之间的间距为

6mil或12mil。

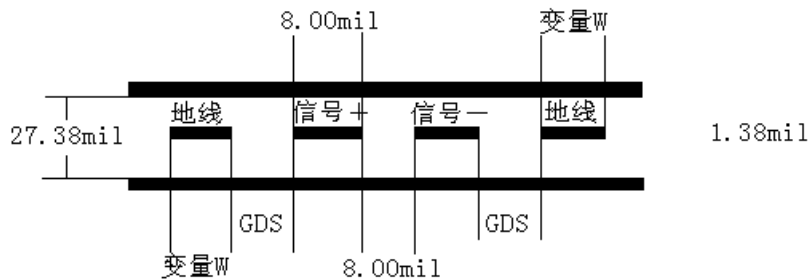


图9 研究包地线宽对信号阻抗的影响

从上面两组变化趋势以XTK仿真软件计算可以得到以下结论：

A、屏蔽地线的线宽对信号的阻抗影响不是单调的，且对信号的影响较弱。随着屏蔽地线线宽从4mil变化到无穷大，相应的阻抗变化只是在一个欧姆内摆动。所以在进行PCB设计时，为了节省布线空间，可以用较细的地线作为屏蔽。

B、当地线到信号的间距为6mil时，单线阻抗降低4个欧姆左右，差分阻抗降低5个欧姆左右。当地线到信号的距离为12mil时，单线阻抗降低1个欧姆左右，差分阻抗也降低一个欧姆左右。

对于关键信号线与接口信号，可考虑用包地线屏蔽。

3.5 阻抗控制案例

某产品单板阻抗控制：

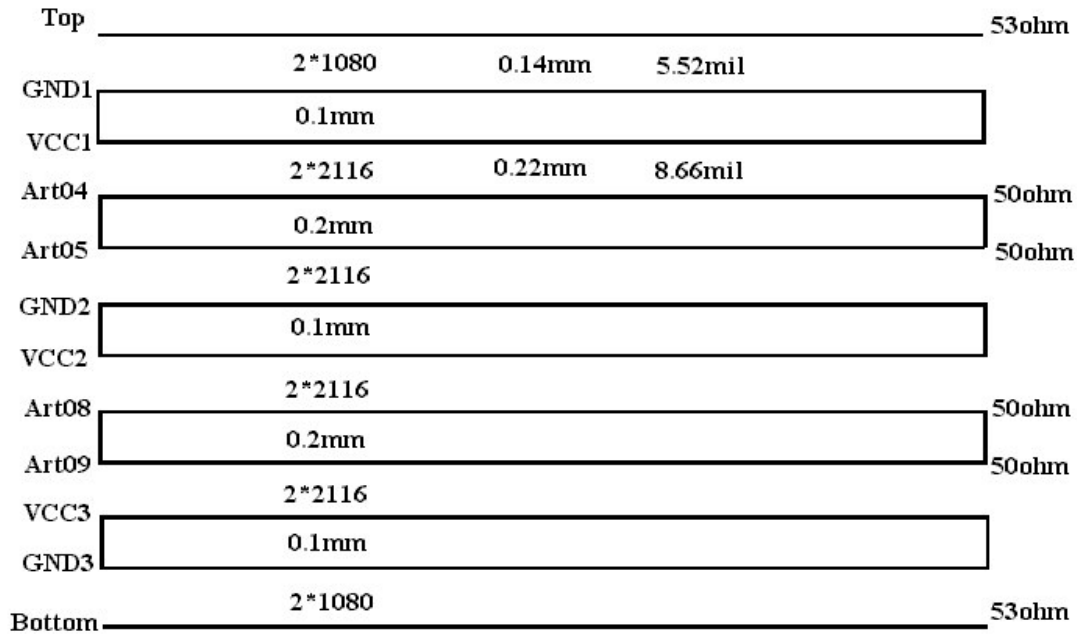
板结构如下：

Top	2116*1	HOZ	TOP
Gnd1	0.2mm	1OZ	49.09 ohm
Art03	7628*1	1OZ	ART03
Vcc1	0.2mm	1OZ	35.718 ohm
Art05	7628*1	1OZ	ART05
Gnd2	0.2mm	1OZ	35.718 ohm
Art07	7628*1	1OZ	ART07
Vcc2	0.2mm	1OZ	35.718 ohm
Vcc3	7628*1	1OZ	ART10
Art10	0.2mm	1OZ	35.718 ohm
Gnd3	0.2mm	1OZ	BOTTOM
Bottom	2116*1	HOZ	49.09 ohm

2116 : 100~110um	1OZ : 35um
7628 : 170~180um	HOZ : 17um

单板为十二层板,六层走线。地层为GND1,GND2,GND3。电源层为VCC1,VCC2和VCC3。其中VCC1层为+5V电源层,VCC2层为+3.3V电源层,VCC3层为1.5V电源层。从图中可看出,内层传输线阻抗为35欧,顶层阻抗为49欧,内外层阻抗不连续.在这种层次结构下,SD535到GTL16923 B口的数据线很难匹配,造成台阶与过冲现象，且此现象不可能通过匹配来消除。

改板后的单板结构：



将原来单板的两层平面夹一层信号的结构改为两层平面夹两层信号的结构.这样内外层的阻抗基本一致,且可消除SD535到GTL1655间数据线的台阶与过冲现象.这种结构的缺点为:存在相邻层信号间的串扰;.对于相邻层信号间的串扰可通过在相邻层走线垂直,限制并行走线长度来减小串扰.

PCB的板厚为 $2.2\text{mm} \pm 10\%$ 。PCB板上线宽基本为8mil, 时钟为10mil。线距为7mil。

各层传输线的阻抗控制为:

顶层与底层的阻抗: 8mil线宽时为 $50\Omega \pm 10\%$, 10mil线宽时为 $45\Omega \pm 10\%$ 。

内层阻抗: 7mil线宽时为 $49\Omega \pm 10\%$, 8mil线宽时为 $46\Omega \pm 10\%$, 10mil线宽时为 $41\Omega \pm 10\%$ 。



4，特殊信号的处理

在PCB的EMC设计考虑中，我们主要的精力都是围绕一些为数不多的特殊信号的处理上。

从信号与外界的关系来分，可分为强信号与小弱信号；

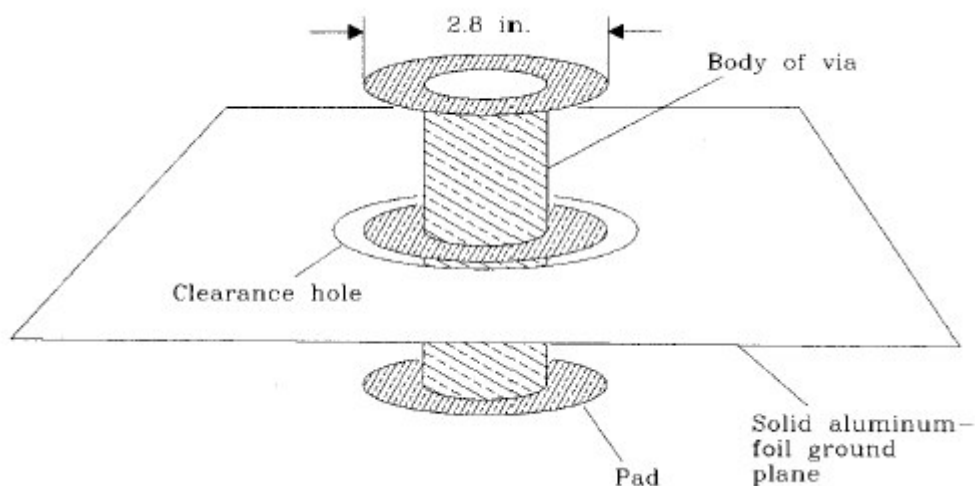
从信号的种类来分，需要关注的有时钟、总线、I/O、复位、接口、电源、地等。

（本章有待完善）

5，过孔

5.1 过孔模型

从过去设计的一些PCB板效果来看，过孔对于低频，低速信号的影响是很小的，但是近来，随着时钟速度的提高，器件的上升时间及时序问题已经成为了PCB设计中的关键问题。过孔在PCB传输线中的影响也就成为了讨论的热点话题。下图是PCB板过孔的一个模型。



5.1.1 过孔的数学模型

过孔与一般的传输线一样，也可以看作是电容、电感、电阻组成的参数模型，可以用场提取工具(如ANSOFT)提取过孔模型，或者可用TDR测试方法来测试。计算公式计算：

$$C = \frac{1.41 \epsilon_r T D_1}{D_2 - D_1}$$

D2: 过孔区直径: inch;

D1: 过孔焊盘直径: inch;

T: PCB厚度: inch;

ϵ_r 介电常数;

C: 过孔寄生电容: pF。

可见，小的过孔具有较小的寄生电容。

$$L = 5.08h \left[\ln \left(\frac{4h}{d} \right) + 1 \right]$$

h: 过孔长度: inch;

d: 过孔直径: inch;

L: 过孔寄生电感: nH

一般仿真工具仿真分析时，过孔模型近似以 1 pf 电容代替。TDR测试瞬态阻抗降落有 6~7 欧姆。

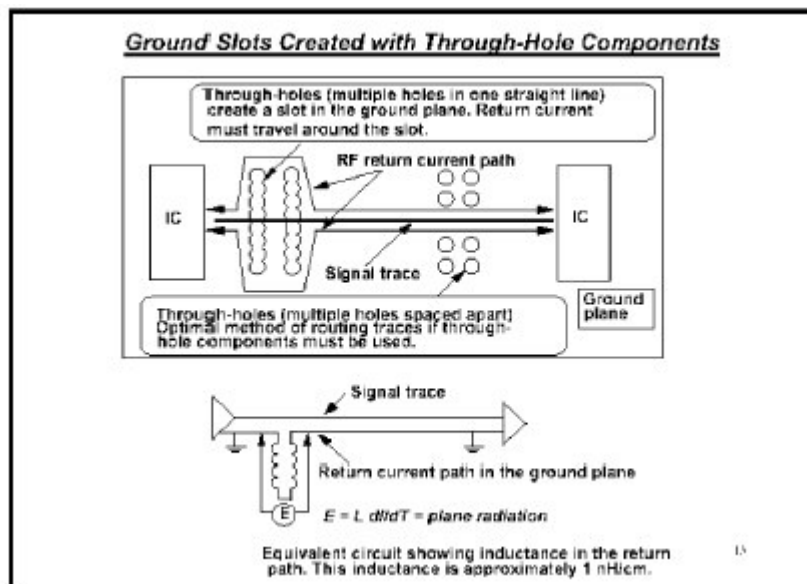
5.1.2 对过孔模型的影响因素

由以上公式可以看出，影响过孔参数的因素主要有：过孔直径、板厚、过孔焊盘大小。另外，不同的层设置、过孔在何处换层、平面层的影响等也是影响因素。

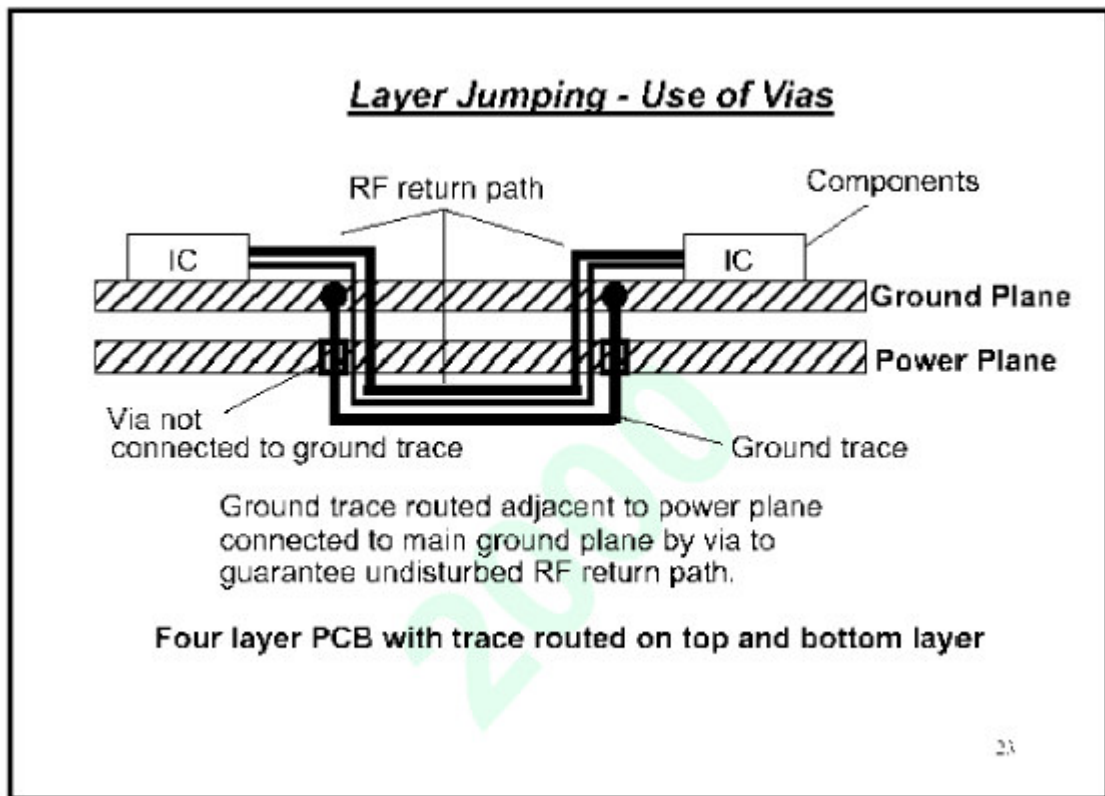
5.2 过孔对信号传导与辐射发射影响

5.2.1 过孔对阻抗控制的影响

注意使用需在 PCB 上钻孔的器件或在 PCB 上打过孔都会引起镜像平面的非连续性，会破坏信号的最佳回流途径下图给出了一个详细的例子：



对于需在不同层之间打过孔走线的微带线或者带状线而言，在它们周边都有固定的射频回流路线，都易受干扰，最容易提高抗干扰性能的办法是不要在不同层之间打过孔布线，只在一层走线最好，确保在微带线与地平面的任何位置上不要有任何原因造成的阻抗非连续性，如果一条敏感信号线非得打过孔不可得话，那么就要在这个信号过孔附近打上地属性的过孔来减小非连续性。设想一下对于四层以上的布线，有一层完整的地，一层完整的电源层，以及其它布线层，为了在布线时能够确保良好的信号回流，地层应担负起回流主通道的任务，若有敏感信号必需打过孔而要走到其它非地层的相邻层，那么就需对此信号线做包地处理，所包的地线应该与信号线平行，尽量靠近，如下图示：



已知的过孔的负面影响大致可分为以下几类：

- 1、过孔是固有电容，因此改变了PCB走线的特征阻抗。
- 2、过孔对于走线的特征阻抗起到了一个跳变作用，因此会导致反射，过孔导致了走线上6~7欧姆的瞬态的阻抗不连续，它导致了大约0.055的负反射系数（50欧姆左右走线特性阻抗），近似为5%。
- 3、当走线从一层换到另外一层时，参考平面会发生改变，而且走线的回流路径也产生了变化。走线的特征阻抗也可能会发生很大的变化，
- 4、如果一层的走线从本层走到相同参考平面的另一层，过孔的影响较小，否则当换层后的参考平面发生变化后，传输线的特征阻抗将可能会发生很大的变化。

可惜的是，很少有专门的在保证其它参数不变的条件下，研究过孔在PCB布线中的影响，这是由以下几个资源限制（至少是部分原因）所造成的：

- A、需要设计一块测试PCB板
- B、需要加工
- C、需要一套好的测试仪，并且研究者应能熟练使用它。

5.2.2 过孔数量对信号质量的影响

过孔数量对信号的影响还需要验证。实际上，每一个过孔（甚至走线本身）都有一点高频损失。由TDR测试结果，过孔确实有容性的效果，会导致信号高次谐波的衰减，表现为信号上升时间会减缓。但是就一个过孔来说，其导致的影响和整个走线产生的损耗相比，过孔所引起衰减是微不足道的。对于设计者使用上升时间范围在0.5 ns到1.0ns（500ps 到1000ps）的元器件（或者更



快速)来说,一个过孔所引起的几十ps的边沿变缓相对来说是没什么影响的,对于甚高速设计,多个过孔的影响应该考虑,应尽量减少过孔数量。

过孔还会引起信号传输时间变长,一般一个过孔影响大约几百ps的走线延时。对于背板上长的走线来讲,一个过孔的影响也是可以忽略的。

对PCB设计过程中关于过孔的建议:

- 1, 尽量减少过孔数量;
- 2, 布线换层时,优选阻抗连续的平面进行切换;
- 3, 对于低于1GHZ的信号,优先考虑内层布线,减小辐射影响,而非避免过孔。

6 跨分割区及开槽的处理

6.1 开槽的产生

开槽是PCB设计中的一种常见的结构。我们常说的“跨分割区问题”事实上也是一种开槽问题。开槽的产生可以归纳为以下两种情况。

6.1.1 对电源/地平面分割造成的开槽

当PCB板上存在多种不同的电源或地的时候，一般不可能为每一种电源网络和地网络分配一个完整的平面，常用的做法是在一个或多个平面上进行电源分割或地分割。同一平面上的不同分割之间就形成了开槽。

6.1.2 通孔过于密集形成开槽

通孔包括焊盘和过孔。通孔穿过地层或电源层而与之没有电气连接时，需要在通孔周围留一些空间（即隔离环）以便进行电气隔离；但当通孔之间的距离靠得太近时，隔离环就会重叠起来，形成开槽。这也被称为热焊盘问题。下图是一个通孔密集形成开槽的例子。

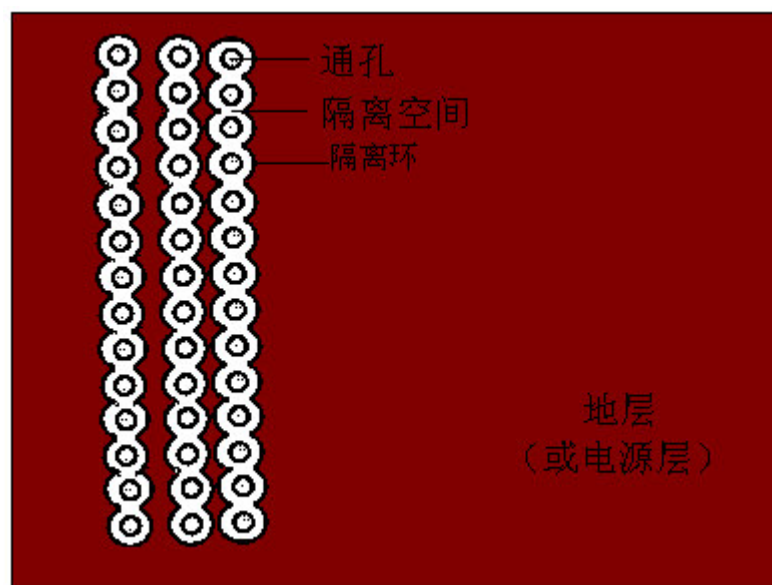


图1 通孔过于密集形成开槽

图1给出了一个通孔密集形成开槽的示意图。目前我司单板广泛地使用2mm连接器（或其它高密度连接器），当连接器穿过电源或地层时，为了完成有效的电气隔离或安全隔离，连接器的针与电源或地平面必须有隔离环进行隔离；当隔离环的半径大于1mm（插针间的间距的一半）时，就会形成开槽。

6.2 开槽对PCB板EMC性能的影响

开槽对PCB板的EMC性能会造成一定的影响。这种影响可能是消极的，也可能是积极的。

6.2.1 高速信号与低速信号的面电流分布

在低速的情况下，电流沿电阻最低的路径流动。图2所示的是低速电流从A流向B时，其回流信号从地平面返回源端的情形。此时，面电流分布较宽。

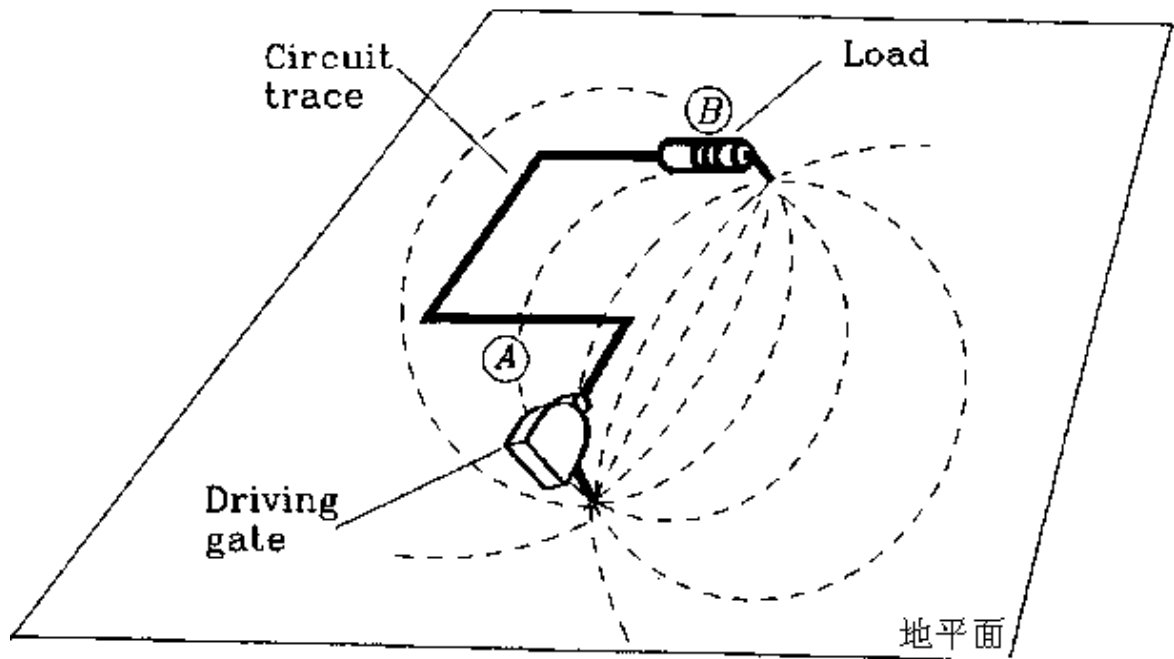


图2 低速信号的回流沿电阻最低的路径流动

在高速的情况下，信号回路路径上的电感的作用将超过电阻的作用。高速回流信号将沿阻抗最低的路径流动。图3给出了一个典型的高速信号的回流路径。

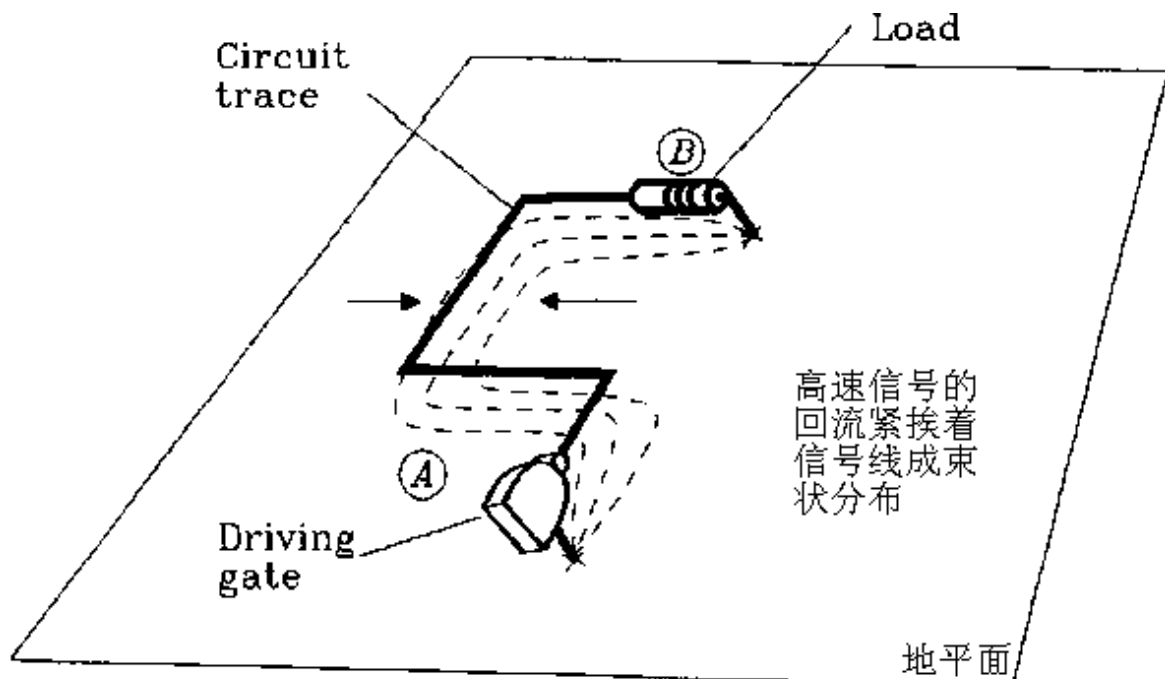


图3 高速回流信号沿阻抗最低的路径流动

此时，面电流的分布很窄，回流信号成束状集中在信号线的下方。

6.2.2 分地”的概念

当PCB板上存在不相容电路时，需要进行“分地”的处理，即根据不同的电源电压、数字和模拟信号、高速和低速信号、大电流和小电流信号来分别设置地线。

从前面给出的高速信号与低速信号回流的分布可以很容易地理解分地的作用：分地，可以防止不相容电路的回流信号的叠加，防止共地线阻抗耦合。

需要注意两点：

其一，分地的概念与下面将要讨论的“信号跨越电源平面或地平面上的开槽的问题”是不同的，分地只是根据不同种类的信号分别设置地线（或平面）；

其二，分地并不是将各种地完全隔离，没有任何电气连接，分地后的各种地还会在适当的位置连接起来，保证整个地层的电连续性。

6.2.3 信号跨越电源平面或地平面上的开槽的问题

不论高速信号还是低速信号，都不应该跨分割走线。跨分割走线会带来很多严重的问题，包括：

- ◆增大电流环路面积，加大了环路电感，使输出的波形容易振荡；
- ◆增加向空间的辐射干扰，同时易受空间磁场的影响；
- ◆加大与板上其它电路产生磁场耦合的可能性；
- ◆环路电感上的高频压降构成共模辐射源，并通过外接电缆产生共模辐射。

下图4给出了一个地槽引起高频信号产生串扰的示意图。

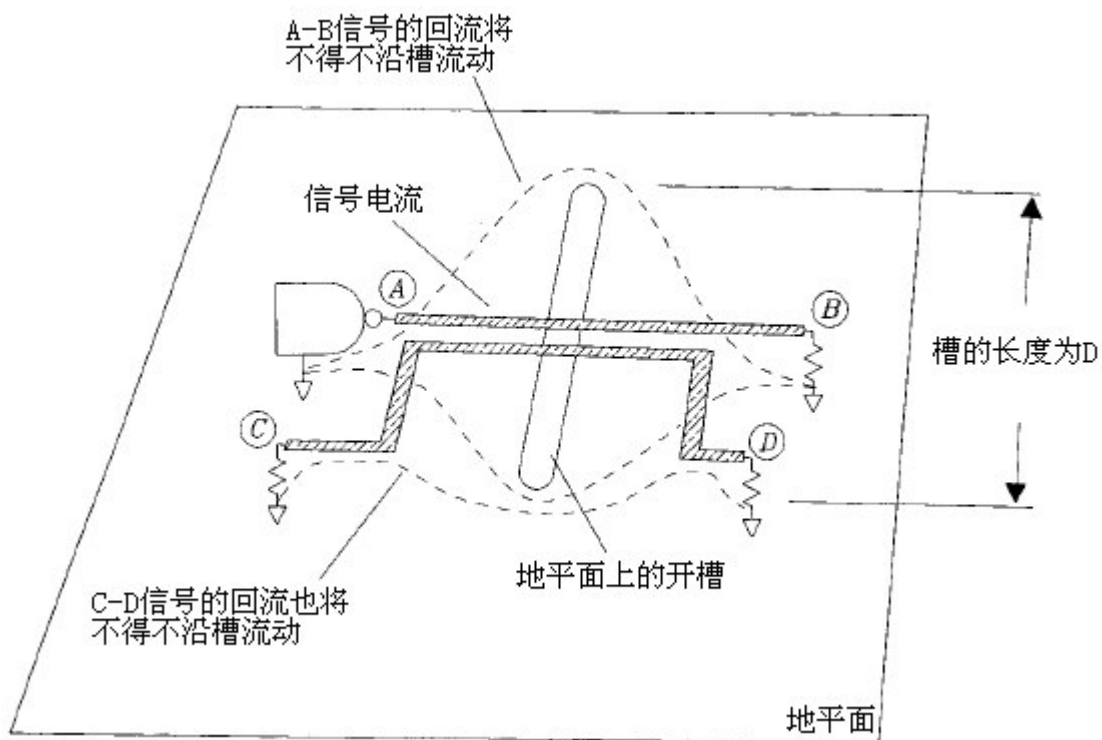


图4 地平面开槽引起信号间的串扰

对于需要严格的阻抗控制、按带状线模型走线的高速信号线而言，还会因为上平面或下平面或上下平面的开槽破坏带状线模型，造成阻抗的不连续，引起严重的信号完整性问题。

6.3 对开槽的处理

对开槽的处理应该遵循以下原则。

6.3.1 需要严格的阻抗控制的高速信号线，其轨线严禁跨分割走线

跨分割走线会造成阻抗不连续，引起严重的信号完整性问题。

6.3.2 当PCB板上存在不相容电路时，应该进行分地的处理

分地不应该造成高速信号线的跨分割走线，也尽量不要造成低速信号线的跨分割走线。

6.3.3 当跨开槽走线不可避免时，应该进行桥接

当信号线不能避免跨开槽走线的情形时，应该进行有效的桥接，在沿信号路径的方向将地平面对连接起来。下图5给出了桥接的示意图。

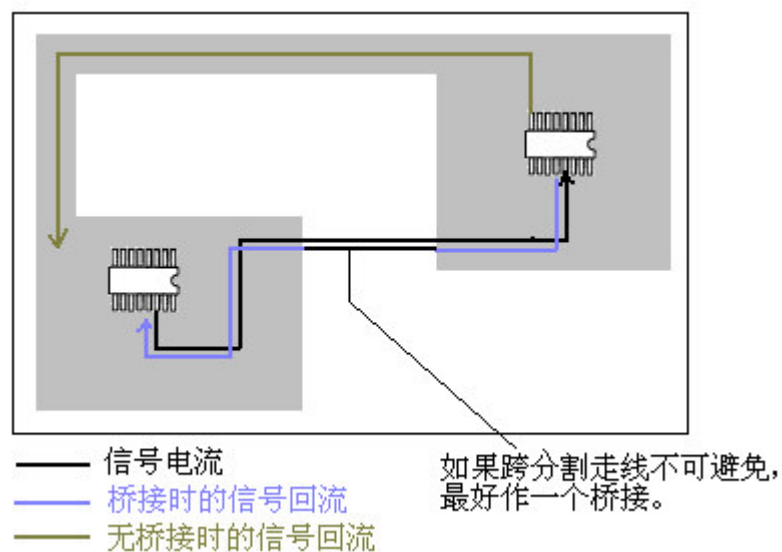


图5 当跨分割走线不可避免时应该进行有效的桥接

6.3.4 接插件（对外）不应放置在地层隔缝上

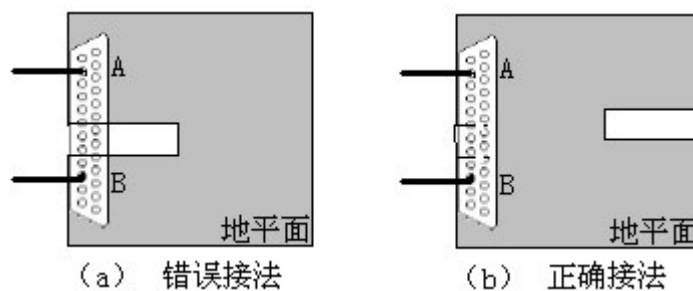


图6 接插件不能安装在地层隔缝上

图6 (a) 中如果地层上的A点和B点间存在较大的电位差，就有可能通过外接电缆产生共模辐射。所以应该改成图6 (b) 中安装方法，这样A、B两点就不会存在电位差了。

6.3.5 高密度接插件的处理

高密度接插件（如目前广泛使用的2mm连接器）在穿过电源和地平面时，如果隔离环的半径过大，如图1所示，就会形成开槽。在进行PCB设计时，除非有特别的要求（如个别信号有严格的安全距离的要求），一般应该保证地网络环绕每一个引脚，也可以在进行引脚排布时均匀地安排地网络，保证地平面的连续性，防止开槽的产生。示意图如图7所示。

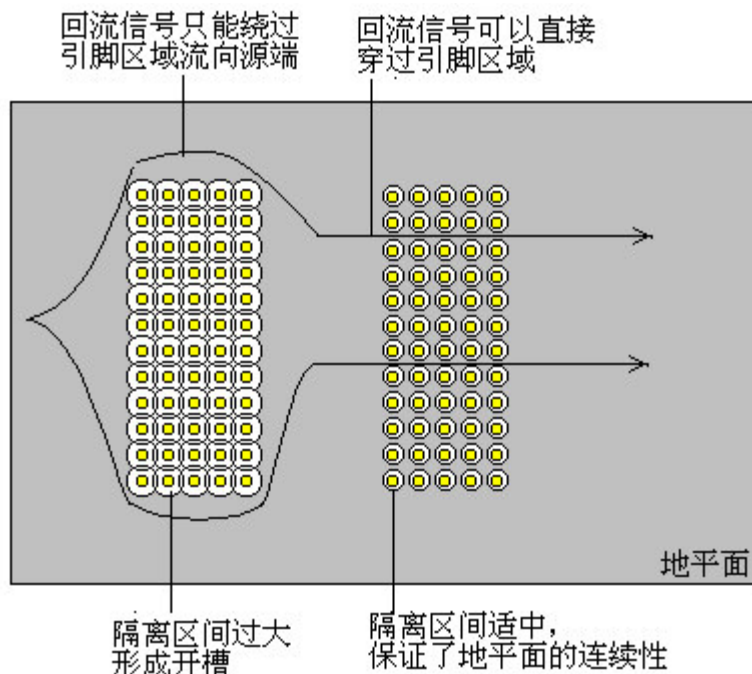


图7 高密度接插件的处理

6.3.6 跨“静地”分割的处理

对于通过电缆出到子架或机柜外的I/O信号，在进行屏蔽和滤波时，要求具有一块“干净”的、没有被内部噪声污染的地。没有这一块“静地”，对高频信号的滤波几乎没有作用。“静地”可以是金属机架或保护地。“静地”并不连接到单板内部的逻辑地上。

图8给出“静地”的一个简单的示意图。

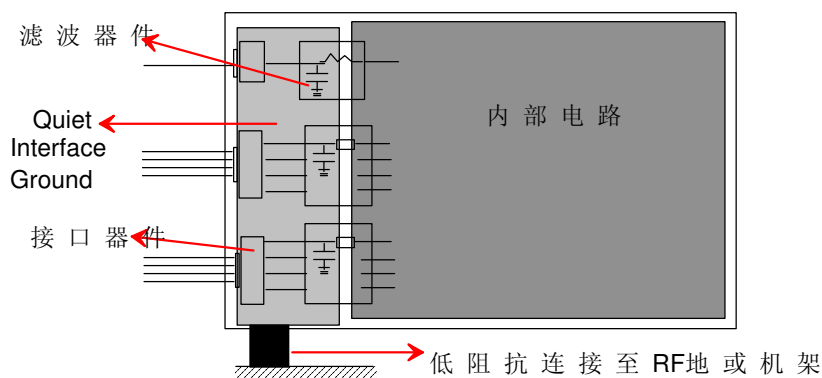


图8 “静地”的示意图

由图8可以看出，PCB板上设置“静地”后，I/O信号线不可避免地要跨“静地”分割走线。需要做一定的处理。

对于差分信号线，跨“静地”走线可以有效地抑制共模噪声，不需要做任何处理；

对于普通信号线，必须提供信号的回流路径，在PCB布线时，应该将由接口器件引出的GND网络当作普通信号线来处理。图9给出了一个RS-232串口的布线的简单例子。

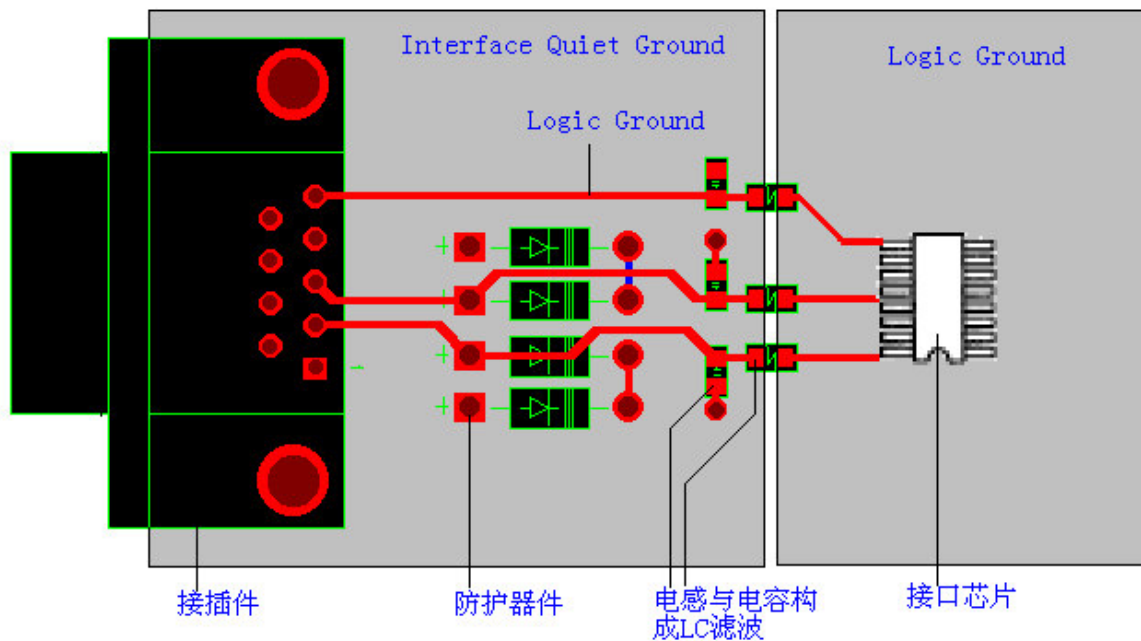


图9 一个跨“静地”分割布线的示意图

附案例：

以下为PON产品的一位同事的测试报告的部分内容“为了查明为何GND接大地支路板容易复位。做了一个这样的实验。由于DMU上有PGND和GND。且这两个地在本板没有连接。而ADM706的硬复位的输入端引线就跨过两个地，且引线分布在PCB板第一层，两个地处在PCB板的第二层。所以，外界有干扰的时候，这两个地之间容易产生压差。于是，将引线割断，使用飞线连接。再在GND接地的情况下，重新做ESD，在盒子的后面板接触放电。则此时的支路板在正负6000V没有复位。”

在DMU的设计过程中，初始版本的复位信号跨了PGND、GND之间的分割区，在进行ESD测试时，一旦对机壳（拉手条）进行放电，即出现反复复位。后在改板过程中，修正了地线分割，避免了复位信号跨分割区问题。再次做ESD测试时，顺利通过，电压打6000V时，复位电路依然正常工作。

7，信号质量与EMC

目前，我司在信号完整性分析方面取得较大进展，为硬件开发提供了有力的技术支持。信号质量控制（信号完整性分析）引起了硬件工程师的关注。对于EMC，虽然也时有耳闻，但相当部分的硬件工程师对信号质量与EMC两者的关系依然不清楚。事实上，以笔者现有水平，还真难对这两者的关系给以明确的界定。如下对此进行一些探讨，希望能给大家一点启迪。

7.1 EMC简介

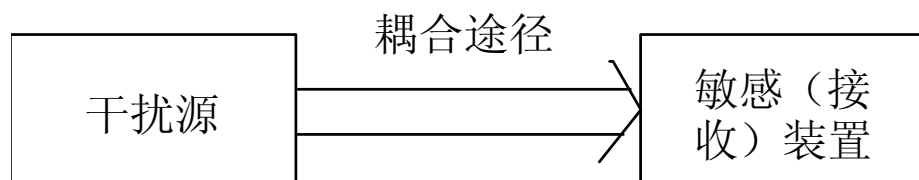
EMC（电磁兼容—Electromagnetic Compatibility）是研究在有限空间、时间和频谱资源等条件下，各种电气设备可以共同工作，并不发生性能降级的科学。

EMC的设计目的有三：

- 1，自身功能实现：设备内部电路互不干扰，达到预期的功能；
- 2，对外干扰低：设备产生的电磁干扰强度低于特定的极限值；
- 3，对内抗扰能力强：设备对外界的干扰具有一定的抵抗能力；

EMC存在的三要素：

- 1，干扰源；
- 2，敏感装置；
- 3，耦合途径；



以上三要素缺一不可；我们进行PCB的EMC设计也就是围绕以上三要素而展开的，通常采取的措施有：

- 1、减少干扰源的强度；
- 2、切断耦合途径；
- 3、提高设备抗干扰的能力。

实际PCB设计过程中，我们采取降低信号的过冲、反射，减缓信号沿（上升沿、下降沿）的速度，也就是为了减少干扰源（EMI）的强度；

打开Lucent的机柜，你会发现几乎每一块关键单板的后面都背着一块大铝板，目的就是不同单板进行隔离,防止板间干扰。在我司传输等产品的单板中，也大量采用屏蔽背板的做法，我们在时钟线等关键信号的两边，形影不离的是屏蔽地线，条件允许的话，我们还经常大面积铺铜；所有以上工作的目的都是冲着切断耦合途径去的（除屏蔽的作用外，有时还起着提供回路等作用）。对于EMI的传导、辐射两种传播途径，我们采取磁珠、共模线圈进行隔离，加电容等进行滤波，并四处铺铜、采用屏蔽地线、屏蔽平面，来切断EMI的辐射途径。

当然，我们在关注强者的同时，我们也没有忘记弱者，对于那些小弱信号，以及一个毛刺就可能导致时序紊乱的复位等信号，我们也必须给予充分的照顾；远离强者，或增加保护措施；提高敏感装置（产品、模块、甚至一根走线）抗干扰的能力。

7.2 信号质量简介

关于信号质量，CAD室主编的《信号质量控制流程》已给予详尽的阐述和探讨，在此，我们只是略提一些与EMC有关的部分。

信号质量，与我们日益关注的信号完整性逐渐划上了等号，随着速率的提高、频率的增大，传输线的延时从微不足道到与信号的上升沿可比拟，传输线效应逐渐得到硬件工程师的重视，由此又诞生了一门新的学科——高速PCB设计。

我们日常所提的信号质量，一般指通过适当的匹配、端接等手段，控制信号的反射、窜扰、时延，使信号在传输过程中，忠实再现原始波形，从而达到功能实现。

7.3 EMC与信号质量的相同点

EMC与信号质量可以说是关系密切，在产品内部考虑EMC，也就是产品的正常功能能否实现，此时EMC的分析方法与信号质量控制没什么两样；它也是通过控制关键网络（信号）的质量，比如减少反射、窜扰、振铃，控制信号的辐射强度或降低对外界干扰的敏感程度；达到各信号、单板相互之间正常工作。

信号的过冲和振铃包含了丰富的频谱分量，使得EMI的频谱范围更加丰富；

7.4 EMC与信号质量的不同点

EMC之所以能从信号质量中脱离出来，自成一门学科，这是因为他还有自身的特点，有时甚至是与信号质量互相抵触的特点：

1，EMC是从场的角度，而信号质量是从信号波形考虑；

变化的电场产生磁场，而变化的磁场也能产生电场，电磁场的产生除了需要源以外，还需要传播介质；我们进行电磁兼容的设计主要就是从控制源头和传播介质而言的；而信号质量则是从硬件原理设计（包括部分ASIC设计）出发，对信号从产生到终止，对其整个回路进行关注；

2，EMC是从频域的角度考虑，而信号质量是从时域的角度出发；

3，EMC工程师的三大法宝：屏蔽、接地、滤波，而信号完整性工程师则祭起匹配、端接等大旗；

4，在波形沿的考虑上，EMC工程师希望减缓沿， di/dt 越小，辐射越小。但随着信号频率的升高，例如在近1GHZ的情况下，在信号周期有限的空间里，扣除EMC的因素，硬件工程师则希望沿更陡一些。



7.5 EMC与信号质量关系小结：

- 1， EMC的问题很大程度上可通过控制信号质量来解决；
- 2， EMC与信号质量在分析方法、处理方式上又有所不同，有时两者是互相矛盾的。
- 3， 在目前PCB的设计、分析阶段，大家并无必要对信号质量或EMC进行严格的划分，作为一名专业的CAD工程师，我们要做的就是将一份份构思良好的原理图，通过我们的设计变成实实在在的产品，功能能否实现、EMC能否达标都是我们的本质工作。

第三部分 背板的EMC设计

1 背板槽位的排列

1.1 单板信号的互连要求

当硬件的总体方案确定后，单板的种类、数量已定，所有送到背板上的信号也就确定下来了，在PCB设计过程中，我们要从单板槽位的位置、信号的出线方式等多方面考虑，既实现母板性能指标、又满足EMC的要求。

从信号的速率看，有高速信号与低速信号之分，高速信号通过解复用成低速；背板的板位分配要考虑到高速部分对低速部分的影响。从EMC设计角度考虑，高速部分会通过传导或辐射的方式影响到低速部分，甚至使设计功能难以实现。要尽可能避免高速信号的镜像电流流入到低速电路的区域里，关键信号，特别是高频、高速信号走线、大电流、强信号走线要尽可能短。由此，对于背板槽位排列，高速板位与低速板位部分要分开，高速部分走线要短，高速板可适当考虑屏蔽。

例如：某产品主要分为高速收发单板XXX、XXX, 管理单元处理板XXX，交叉板XXX，以及时钟板XXX，主控与支路板。分别完成复用（解复用）、帧扰码（解码），开销处理、时钟选收与交叉连接功能。

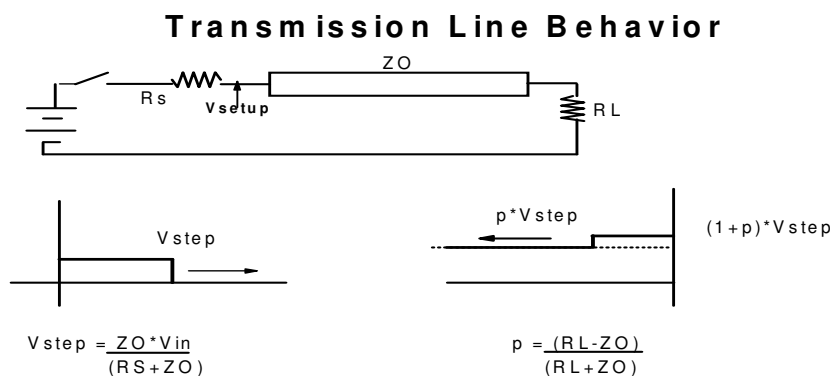
根据各单板间的互连要求，系统的高速部分与低速的支路信号处理部分分开为上、下两部分，高速的收发板布于系统高速部分的边缘板位，减小收发的高速信号对系统内部的干扰，同时注意收发板的高速部分加屏蔽。

1.2 单板板位结构

1.2.1 板位结构影响；

当脉冲信号从源端发出后，沿线端的信号幅度由源内阻与传输线的阻抗之间的分压确定。

当入射波到达负载端时，一些能量变会被反射回源端。反射回去的能量由反射系数来决定。而反射系数则由传输线的阻抗和负载阻抗来决定。



反射系数值在-1到+1之间。

开路电路的反射系数为+1。当入射波到达一个开路负载端，它将以相同的相位反射回源端。在负载端，电压的幅度将会是入射波形幅度两倍。

短路电路的反射系数为-1。当入射波到达一个短路负载端时，它将反向并以与入射波相反的相位反射回源端。接收负载端的电压叠加后为零伏。

传输线上的阻抗连续的端接称为“匹配”。反射系数为零即没有反射发生。负载端的信号幅度与入射信号的幅度相等。

在信号的传输过程中，还会碰到其他的一些非连续点。例如，直角拐点，过孔，接插件以及IC的封装等可能其他良好环境下产生波形的扰变。这些阻抗不连续的影响是由系统的速度决定的。在低速下，这些作用可能引入很小的反应。在高速下，结果会变得非常显著。

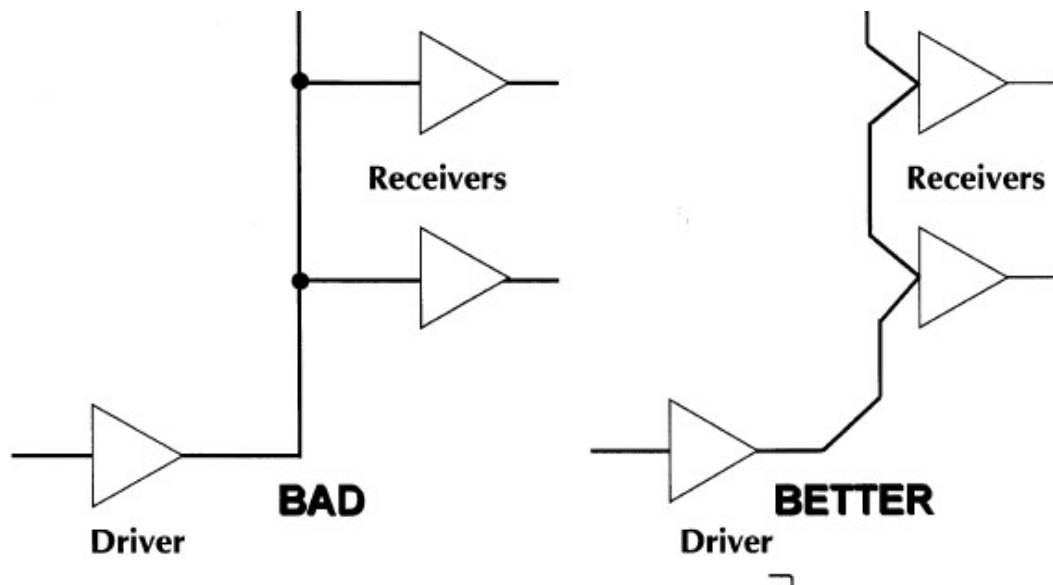
大多数情况下，驱动器是主要的噪声源，而此噪声可以通过适当的拓扑结构和终端匹配来解决。

拓扑结构可以有以下几类：点到点、树形结构、T型、星型、菊花链型。

树形结构 ----- 较长的分支容易造成过载和铃流

菊花链 ----- 对于总线驱动方式和具有终端并联匹配的走线很好, 注意尽量不走“T”型走线。（见图）

星型 ----- 需要高驱动能力的缓冲器（低输出阻抗），使用串接匹配



采用恰当的拓扑结构，可以减小反射，提高信号质量，减少EMI。

对于背板，由于主备板、保护板的存在，不可避免会出现多负载情况，如何合理的安排槽位，使得走线的拓扑结构合理，反射减小，是背板设计相当重要的话题。对于时钟线应尽量实现点对点的驱动，避免总线方式。对于点对多点的驱动，要考虑加终端匹配。出于加工工艺及维护

的考虑，阻抗匹配原则上首先考虑在相应的单板上处理，不得已情况下考虑在背板上实现匹配，但要注意背板上的元器件应尽可能少。

案例：某业务接口保护子系统设计：原设计采用1：8发，8：1收方式，仿真分析由于背板上单板板位分配结构，拓扑结构将不平衡，使近端负载信号质量不能保证。与硬件开发人员讨论时钟采用1：4发，4：1收并改变拓扑结构后使之变为四个较平衡负载，而且负载端接插件到接口器件的走线长要严格控制在2000mil以内。经过大量仿真分析比较确定其匹配方式。驱动时，驱动端电阻、电容滤波匹配，终端串接电阻减小振铃，波形稍缓但可消除上升、下降沿畸变；接收时，驱动侧串联电阻匹配，终端串接一大阻值电阻，阻值可取为走线的特性阻抗与分支路数的乘积。波形效果良好，只下冲较大，可以调节匹配电阻值来控制。

1.2.2 板间互连电平、驱动器件的选择

背板信号与驱动器件在总体方案设计时就应确定。选择驱动电平要满足背板传输速率的要求，对于传输速率小于100M，含有多负载结构的，背板可选取GTL+电平，器件在满足要求下选用驱动电流小的器件，易于EMI的控制。例如，TI公司的GTL1655、GTL16923之间驱动电流相差近一倍。对于几百兆的信号速率，LVDS电平是很好的选择，其对共模干扰的抑制、匹配方式都易于满足要求，而且电流模式抗干扰能力强，差分电平摆幅小，功耗与EMI大大降低。而对于超过1GHZ的信号，一般用ECL或CML电平信号，可以在普通板材的背板上传送超过2.5G的信号速率。当然，高速背板设计时对于阻抗控制、走线约束、EMC控制等有更高的要求。对于差分信号线要求同层，并且紧邻平行走线，差分线与其他走线设计时应遵循“3W原则”、严格等长等原则，高速差分线对之间以地线隔开。

2，背板的EMC设计

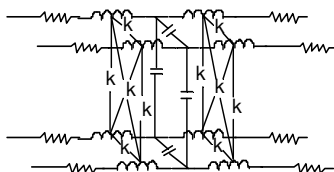
2.1 接插件的信号排布与EMC设计

2.1.1 接插件的选型

我司现在的接插件大部分选用2mmHM连接器，2mmHM连接器为首尾拼接式设计，有A、B、C等不同型式。其中A型中部有两个定位块(Function block)起导向定位功能(与单板上连接器的定位)，两块中间的腔体可装防插错销。B型完全没有定位功能。C型作为拼接的端部，有部分定位功能。在一连接器拼接组或单个连接器的使用中，必须考虑连接器定位问题。2mm连接器有列间屏蔽与外壳屏蔽两种，实际连接器使用时，应根据地针信号的排布及屏蔽要求等方面考虑选择，从EMC的角度考虑，最好选取带屏蔽外壳的。此外，AMP公司提供有专对高速信号传输使用的HS3接插件，接插件设计时已经考虑了针信号间的屏蔽，高速信号传输时接插件产生的串扰较小，信号针的使用率也较高，但价格较贵。

2.1.2 接插件模型与针信号排布

接插件的模型从原理上来看就是传输线的模型，只是信号传输没有参考的地平面，通过地针形成回流通路，因此必然存在许多信号线共用一段地回路，接插件的串扰引起的传导干扰就必须重视。



接插件模型

接插件针信号排布，首先确定信号分配，合理分配信号、电源、地针位置与数量。原则是减少串扰、减小辐射、保证地回路。每个信号针附近最好都有自己的回流路径。关键信号线通过地针与其他信号分隔。考虑带电插拔，对于2mmHM接插件，地插针比电源插针长。分配较长的针脚作为地和电源的连接针。推荐使用地针与信号针成梅花型的排布，按照高速信号、地的针位进行交错排列，以减小串扰。

背板信号走线避免经过密集过孔区（接插件区），密集过孔区是一个参考平面极不连续的区域。如果这样，两条走线共用地回路，产生耦合电感，耦合回路面积加大，使辐射增强。

产生的耦合电感量： $L=5d\ln(d/w)$,

L:inductance, nH, W:线宽, inch d: 地回路经过 过孔区的有效长度

可见，电感与过孔区的宽度无关，只与长度有关，因此，从过孔区中间穿过的走线比从边缘穿过的走线影响要大。

2.2 阻抗匹配

相对于单板，背板上走线长度要长许多，因此背板阻抗控制就更为重要。然而由于背板层数较多，阻抗很难控制的与各单板一致，需要在各单板上做文章，而且如前面所述，板位分布造成的拓扑结构不同，使匹配方式也不相同。这时应注意接插件至接口器件的信号线要短，避免线头过长造成的反射影响，减少过孔、直角走线等阻抗不连续的因素出现。

2.3 电源、地分配

2.3.1 电源分割及热插拔对电源的影响

与单板一样，电源、地平面的分割对背板EMC的指标有很大的影响。不当的分割造成共模辐射加大。一般在背板中 使用多层板技术，信号层与地层（电源层）交替排放，尽量避免两层信号层直接相邻。高速信号线布在与地相邻的信号层上。对于部分有相邻布线的PCB，相邻层的布线应垂直分布。

单板的电源是通过背板接入的，通过背板送至各单板。在背板上，BGND 与-48伏线必须就近平行走线或相邻平面排布，输入的一次电源如-48V，如果直接给单板供电，应有局部过载保护措施，如：单板加装保险丝。母板与单板间的电源连接处，也必须采取滤波措施，并就近放置相应的器件。对于分散供电等特殊情况，在背板上-48V不用平面层，用COPPER或粗线代替，可节省母板层数。大电流、强信号走线的距离尽可能短。高电压、大电流信号电路与小电流，低电压



的弱信号电路需完全分开。考虑带电插拔，在被插电路板上应安装带电插拔座，单板上应设置缓启动电路。在单板与母板直接通过连接器配合使用时，单板上的继电器、开关电源等对外辐射强的器件，应尽量远离母板放置，建议距单板连接器边缘10mm以上。

2.3.2 地分割与各种地的连接

对于背板上BGND、PGND、GND的分割与连接，至今仍缺乏一个统一的认识。背板的接地需要从系统的高度来考虑。现在的通常做法是插框中所有单板通过与背板的接口信号GND、PGND在背板内实现共地。各插框通过GND、PGND、BGND在机柜内实现共地，机柜再通过接地螺栓与大地相连。各产品具体的接地方法也不尽相同，缺乏统一的规范。从EMC的角度，希望背板上不分PGND与GND，将其合在一起。具体效果正在实验。

从EMC考虑，带屏蔽的2mm连接器，在其周围15mm以内的地方，禁止放置敏感器件；母板表面层是完整的屏蔽地平面，即上面不布其他任何信号线。电源与地之间同样需要使它们的回路面积尽可能小。为减小干扰，一条传输线到地平面的距离应该小于到相邻的传输线的距离。保持地平面对完整，会使大部分布线的回流面积减小。

2.3.3 屏蔽层

需要注意的地方：

1) 高速PCB中，考虑到电源平面的边缘效应，所有的电源平面必须小于相邻地平面，向内缩进20H，即保证电源层边缘距相邻地层边缘的距离大于20倍的电源层与地层之间的垂直距离。为了更好地实行20H规则，就要使控制电源和地平面间的厚度。遵从20H规则会使PCB的电源层与地层间的电容的自谐振频率提高约2-3倍。

2) 对于母板上的信号走线，特别是时钟信号线及其他高速信号线离地平面边缘（垂直方向上）至少保持3W以上的距离，尽量使板上的信号走线构成的回路面积尽可能小。这个回路既包括地回路也包括电源回路。

3) 不同类型的信号线尽可能间隔开一些，关键信号线周围要有地屏蔽走线，当做回流或保护线。地屏蔽走线要两头接地，且中间部位也要过孔接地，接地过孔间距最好小于 $\lambda/20$ （ λ 是传输信号的波长），且不相等。除差分线和线对外，地屏蔽走线最好不要共用，也就是说，通常采取的两根信号线之间只加一根地屏蔽线的办法并不能完全消除信号线之间的干扰。

4) 为更好的进行EMC控制，可以参照CPCI背板的设计，背板周边设禁止布线区，背板边缘布一圈地并通过一圈金属化孔与子架连接，这样可进一步减小对外辐射。



第四部分 射频PCB的EMC设计

近十年来，移动通信飞速发展，在移动通信设备的设计、测试、安装和操作维护中，必须仔细考虑系统间、设备间、设备内部的器件间的EMC问题。EMC的控制技术中，屏蔽、滤波、接地是三项最基本的干扰抑制技术，主要是用来切断干扰的传输途径。

由于射频电路的特殊性，其PCB的设计与数字电路有不同点。本章通过板材、隔离与屏蔽、滤波、接地、布线等方面内容阐述射频PCB的EMC设计技术。

1，板材

开发人员通常需要根据电路的特性和产品成本综合选择板材，公司可选用的射频PCB板材分为以下两类：

1.1 普通板材

FR-4（阻燃型覆铜箔环氧玻璃布层压板），介电常数在1GHz频率下测试为 $Er=4.25 \pm 0.2$ ，普通板材使用的板料有以下两种：

普通板料：玻璃化温度 $T_g=135^\circ\text{C}$ ，成本低，工艺成熟；

UV板料： $T_g=140^\circ\text{C}$ ，有UV-BLOCKING阻挡紫外光的功能，性能优于普通板料，价格相同。相对专用板材来说，上面的两种板料介电常数不稳定，损耗大。介电常数不稳定时，电路元件与PCB间的分布电容会变化，从而引起电路的谐振频率、滤波器的中心频率等发生变化。射频功率放大电路对损耗的要求较高。因此在大功率电路中建议不选用这种板材。

1.2 射频专用板材

由以下两家公司提供。

TACONIC公司：品牌好，规格齐全，价格适中。

CER-10, 10GHz下 $Er=10 \pm 0.05$	RF-35, 1.9GHz下 $Er=3.5 \pm 0.035$
TLX-0, 10GHz下 $Er=2.45 \pm 0.04$	TLX-9, 10GHz下 $Er=2.50 \pm 0.04$
TLX-8, 10GHz下 $Er=2.55 \pm 0.04$	TLX-7, 10GHz下 $Er=2.60 \pm 0.04$
TLX-6, 10GHz下 $Er=2.65 \pm 0.04$	TLC-27, 10GHz下 $Er=2.75 \pm 0.05$
TLC-30, 10GHz下 $Er=3.0 \pm 0.05$	TLC-32, 10GHz下 $Er=3.20 \pm 0.05$

ROGERS公司：介电常数精度高，温度稳定性好，损耗小，常用于大功率电路。并且PCB制造、加工工艺与FR-4相同。加工成本低，但铜箔的附着力小。

RO4350, 10GHz下 $Er=3.48 \pm 0.05$

RO4003, 10GHz下 $Er=3.38 \pm 0.05$

2，隔离与屏蔽

2.1 隔离

这里所说的隔离也包括在空间上拉开距离，在同一个屏蔽腔内布局时使输入和输出端拉开距离的两种基本方法是：

一字布局，如图1所示，图中AT为衰减器，A1、A2为放大器。



图1：一字布局

有时由于空间限制，在同一个屏蔽腔内不能采用一字布局，要采用L形布局。如图2所示。图中AT为衰减器，A1、A2为放大器。在同一个屏蔽腔内，不得采用Z形、U形、交叉布局。

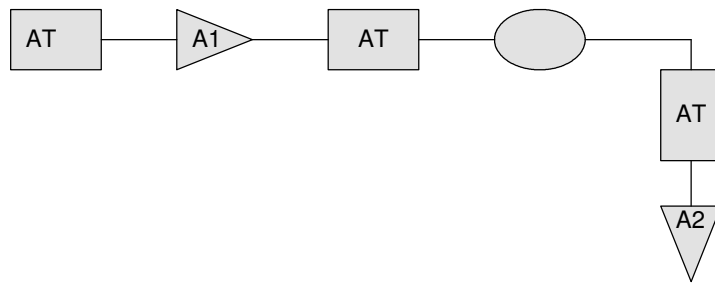


图2、L形布局

2.2 器件布局

- (1)、应注意信号走向，及器件间的相互作用；
- (2)、感性器件应防止互感，与邻近的电感垂直放置；
- (3)、在接收机输入端插入衰减器，衰减器对 n 阶产物的衰减量是有用信号衰减量的 n 倍，例如，3dB衰减器将使三阶互调产物降低9dB，但对有用信号的衰减仍为3dB。由三个电阻组成的衰减器布局如图3(a)所示；
- (4)、小功率放大器偏置电感的布局如图3(b)所示。

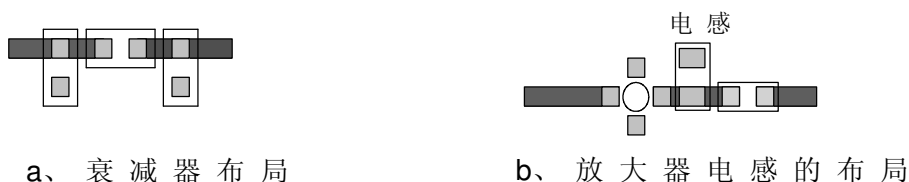


图3：布局示例

2.3 敏感电路和强辐射电路

射频信号可以在空气介质中辐射。空间距离越大、工作频率越低、输入输出端的寄生耦合就越小、隔离度就越大。射频PCB典型的空间隔离度约为50dB，对某些敏感电路、有强烈辐射的电路都要采取屏蔽措施。下面列出的这些敏感电路和强烈辐射源电路要加屏蔽，但如果有难度时（比如空间限制、成本限制等），可以不加，但要做实验最终确定，这些电路有：

- (1)、接收电路前端：是敏感电路。信号很小，要采用屏蔽，
- (2)、对射频单元和中频单元须加屏蔽。接收通道中频信号会对射频信号产生较大干扰，反之，发射通道的射频信号对中频信号也会造成辐射干扰。
- (3)、振荡电路：是强烈的辐射源。对本振源要单独屏蔽，由于本振电平较高，对其他单元形成较大的辐射干扰。
- (4)、功放及天馈电路：是强烈的辐射源，信号很强，要屏蔽。
- (5)、数字信号处理电路：是强烈的辐射源，高速数字信号的陡峭的上下沿会对模拟的射频信号产生干扰。
- (6)、级联放大电路：总增益可能会超过输出到输入端的空间隔离度，这样就满足了振荡条件之一，电路可能自激。如果腔体内的电路同频增益超过30~50dB，必须在PCB板上焊接或安装金属屏蔽板，增加隔离度。实际设计时要综合考虑频率、功率、增益情况决定是否加屏蔽板。
- (7)、级联的滤波、开关、衰减电路：在同一个屏蔽腔里，级联滤波电路的带外衰减、级联开关电路的隔离度、级联衰减电路的衰减量必须小于30~50dB。如果超过这个值，必须在PCB板上焊接或安装金属屏蔽板，增加隔离度。实际设计时要综合考虑频率、功率、增益情况决定是否加屏蔽板。
- (8)、收发单元混排时应屏蔽。
- (9)、数模混排时，对时钟线要包地铜皮隔离或屏蔽。

2.4 屏蔽材料和方法

常用的屏蔽材料均为高导电性能材料，如铜板、铜箔、铝板、铝箔、钢板或金属镀层、导电涂层等。静电屏蔽主要用于防止静电场的影响。应注意两个基本要点，即完善的屏蔽体和良好的接地性。电磁屏蔽主要用于防止交变电场、交变磁场或交变电磁场的影响。要求屏蔽体具有良好的导电连续性，屏蔽体必须与电路接在共同的地参考平面上，要求PCB中屏蔽地与屏蔽电路地要尽量接近。

对敏感电路、强烈辐射的电路要设计一个在PCB上焊接的屏蔽腔，PCB在设计时要加上“过孔屏蔽墙”，就是在PCB上与屏蔽腔壁紧贴的部位加上接地的过孔。要求如下：

- (1)、要有两排以上的过孔；
- (2)、两排过孔相互错开；
- (3)、同一排的过孔间距要小于 $\lambda/20$ ；
- (4)、PCB与屏蔽腔壁焊接的部位禁止有绿油。

(5)、射频信号线在顶层穿过屏蔽壁时，要在屏蔽壁相应位置开一个槽门。门高大于0.5mm，门宽要保证安装后信号线与屏蔽体间的距离，大于1mm。如图4所示。

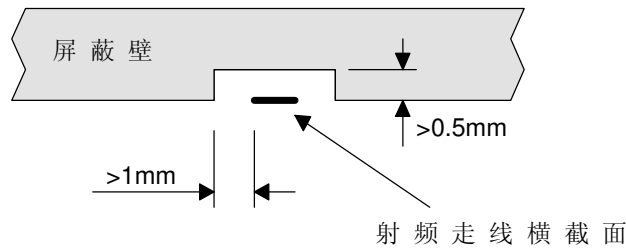


图4：屏蔽壁槽门

2.5 屏蔽腔的尺寸

每块射频PCB都要装在屏蔽腔内，屏蔽腔有数量较多的谐振频率，谐振频率与屏蔽腔的机械尺寸有关，也与PCB的层结构、介质有关。在射频PCB设计中要关注最低谐振频率，当工作频率接近最低谐振频率时，部分能量被吸收，产生衰减的尖峰，从而影响电路的正常工作，因此应选择合适的屏蔽腔尺寸，使其谐振频率不要落在微带电路的工作频带内。图5所示的屏蔽腔最低振荡频率为：

$$F_{最低} = \frac{C \times \sqrt{1 + (L/a)^2}}{2 \times K \times L}$$

$$\text{式中的 } K: K = \frac{1}{\sqrt{1 - (h/b) \times (1 - 1/Er)}}$$

$F_{最低}$	屏蔽腔最低谐振频率，MHz；
$L、a、h$	单面或双面PCB的尺寸：长、宽、厚度，mm；
$L、a、b$	屏蔽腔的内尺寸：长、宽、高，mm，且 $L > a > b$ ；
C	电磁波在自由空间的传播速度， 3×10^{11} mm/s；
Er	PCB板材的相对介电常数。

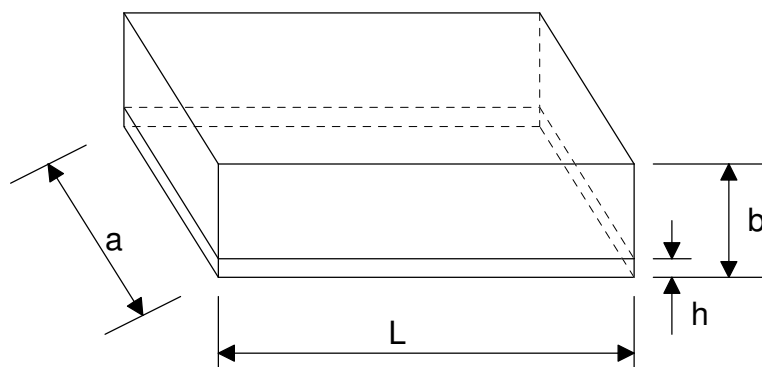


图5：屏蔽腔内壁尺寸示意图

在这里要特别说明一下**b**和**h**。当屏蔽腔内的PCB是多层板时，通常第二层是接地，与屏蔽腔体等电位，**h**就表示PCB的顶层到第二层的介质厚，**b**就是PCB的第二层到屏蔽腔内顶面的高度。

a是个关键尺寸，必须满足： $a < \lambda/2$

式中 λ 是工作频段高端频率在空气中的波长。如果不满足公式，在盒内就可能产生波导型传播。当反向传播的波构成正反馈时，频带内增益平坦度变坏，在某些频点上出现尖峰，反馈过强时，还容易出现自激振荡。

射频PCB都要装在屏蔽腔内，要选择合适的屏蔽腔尺寸，使其最低谐振频率远高于工作频率，最好10倍以上。屏蔽腔的高度一般为第一层介质厚度15-20倍以上，要保证较高的元件能放进去。在屏蔽腔底面积一定的情况下，要想提高屏蔽腔的最低谐振频率，就要增加长宽比。即避免正方形的屏蔽腔。

3，滤波

3.1 电源和控制线的滤波

随着电子技术的发展，频率越来越高，以前没有对设备形成干扰的噪声，尖脉冲都已可能对设备构成威胁。电源线和控制线是电磁干扰出入电路的主要途径。通过电源线或控制线，外界的干扰可以传入电路，干扰电路正常工作；同样，电路中的干扰也可以通过电源线或控制线传到外部电路，对其他设备造成干扰。

(1)、可以采用EMI吸收磁珠/环，连接器用的EMI磁片，表面贴装（SMT）EMI元件，用于抑制信号线、电源线上的噪声和尖峰干扰，它同时具有吸收静电脉冲能力，这种滤波器只允许直流或低频(一般为几KHz)信号通过，而对较高频率的干扰信号则有很大的衰减，使电子设备达到电磁兼容和静电放电的相应国内、国际标准。

(2)、机箱或箱内单元隔板的入出线上EMI滤波和射频隔离，可以采用螺纹固定方式的穿芯电容。

(3)、为抑制雷击、浪涌，可以采用突波吸收器，具有响应速度快的优点，当脉冲电流超过元件的承受能力时，会自动断开，即元件损坏时表现为开路状态。

(4)、射频PCB的直流电源入口处组合并联三个滤波电容，一般来说，这三个电容的容量相差100倍。利用这三种电容的各自优点分别滤除电源线上的低、中、高频。例如：10uf，0.1uf，100pf。

(5)、用同一组电源给小信号级联放大器供电，建议先从末级开始，依次向前级供电。且每一级的电源滤波至少有两个电容：0.1uf，100pf。当信号频率高于1GHz时，还要增加10pf滤波电容，10pf的滤波电容有很高的自谐振频率，且最靠近电源脚。如图6所示，电源从C107首先进入末级，C96和C154为末级放大器滤波电容，C96靠近末级电源R108的供电脚；C94、C228为前级放大器滤波电容，C94靠近前级电源R104的供电脚。

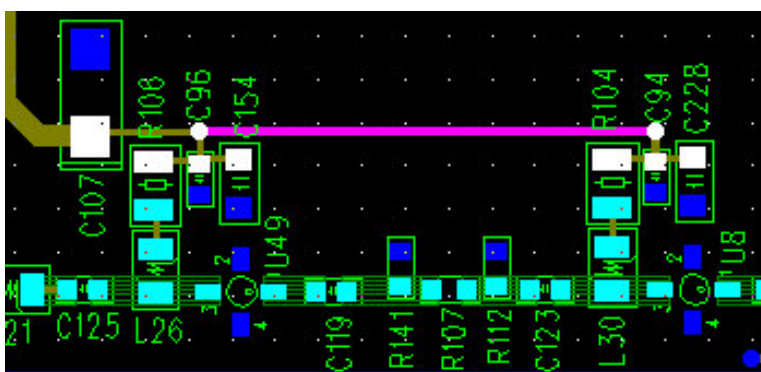


图6：小信号级联放大器电源和滤波

(6)、应注意退耦、滤波，防止不同单元通过电源线产生干扰，电源布线时电源线之间应相互隔离。

(7)、功放模块的电源滤波电容至少有三个元件，10uf、0.1uf、100pf，一定要靠近相关管脚，且高频小容量电容100pf最靠近。当信号频率高于1GHz时，还要增加10pf滤波电容。

3.2 频率合成器数据线、时钟线、使能线的滤波

频率合成器中的数据线、时钟线、使能线在射频PCB中，是关键信号线，走线除了遵守数字PCB设计规则外，还要注意以下几点：

(1)、增加隔离措施，保证数据、时钟、使能线上不能有其他信号存在。从屏蔽腔外部接到PCB的数据、时钟、使能线，要经过安装在屏蔽壁上的穿芯电容。还有一种简单的方法是在数据、时钟、使能线上加RC低通滤波器。如图7所示。当然电阻电容的值要保证正确的编程时序。

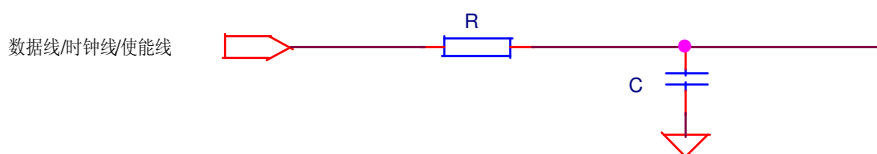


图7、在数据线、时钟线、使能线上加RC低通滤波器

(2)、数据、时钟、使能线不能在数字频率合成器芯片、晶体、晶体振荡器、变压器、光耦、电源模块等器件底部表面层走线。

(3)、数据、时钟、使能线要避免与同一层或相邻层的模拟信号线交叉走线。

4、接地

4.1 接地分类

理想的接地平面是一个零电位的物理体，任何干扰信号电平通过它，都不会产生电压降。实际的接地平面，有时在两接地点要产生几微伏甚至更大的电位差。

对于一个设计师，应考虑和分析地电位分布，以便寻找接地平面上的低电平点，作为敏感电路或设备的接地点。

通常采用的接地方式有：浮地、单点接地、多点接地以及混合接地。

(1)、浮地的目的是将电路（或设备）与公共地，或可能引起环流的公共导线隔离开来，为了消除静电积累的影响，需要在设备与大地之间接进一个阻值很大的泄放电阻。

(2)、电路在低频工作时（即地线长度小于工作频率的 $\lambda/20$ 时）一般采用单点接地；

(3)、地线长度大于 0.15λ 时，采用多点接地；

(4)、对于工作频率范围很宽的电路，考虑采用混合接地；

(5)、对于射频电路接地，要求接地线尽量要短或者大面积接地。

4.2 大面积接地

为减少地平面的阻抗，达到良好的接地效果，要遵守以下规则：

(1)、射频PCB的接地要求大面积接地；

(2)、在微带印制电路中，底面为接地面，必须确保完整的地平面；

(3)、由于趋肤效应的存在，要将地平面镀金或镀银，导电良好，以降低地线阻抗；

(4)、使用紧固螺钉，使其与屏蔽腔体紧密结合。

4.3 分组就近接地

按照电路的结构分布和电流的大小将整个电路分为N组，各组电路就近接地形成回路，要调整各组内滤波电容方向，缩小地回路。

接地线要短而直，禁止交叉重叠。减少公共地阻抗所产生的干扰。

4.4 射频器件接地

表面贴射频器件和滤波电容需要接地时，为减小器件接地电感，要求：

(1)、每个焊盘至少要有两根花盘脚接铺地铜皮；如果工艺上允许，则采用全接触方式接地。

(2)、用至少两个金属化过孔在器件管脚旁就近接地；

(3)、增大过孔孔径和并联若干过孔；



(4)、有些元件的底部是接地的金属壳，要在元件的投影区内加一些接地孔，表面层的投影区内没有绿油。

4.4 接地时应注意的问题

- (1)、在工艺允许的前提下，缩短焊盘边缘与过孔焊盘边缘的距离；
- (2)、在工艺允许的前提下，接地的大焊盘必须直接盖在至少6个接地过孔上；
- (3)、接地线需要走一定的距离时，应缩短接地线长度，不能超过 $\lambda/20$ ，以防止天线效应导致信号辐射；
- (4)、除特殊用途外，不得有孤立铜皮，铜皮上一定要加地线过孔；
- (5)、禁止地线铜皮上伸出终端开路的线头，在开路终端上加一个接地过孔即可；
- (6)、输入和输出端射频电缆屏蔽层，在PCB上的焊接点就在走线末端周围的地线铜皮上，焊接点要有不少于6个过孔接地，保证射频信号接地的连续性；
- (7)、微带印制电路的终端单一接地孔直径必须大于微带线宽，或采用终端大量成排密布小孔的方式接地。

4.5 接地平面的分布

射频双面PCB，顶层为信号层，底面为地平面。如果没有非接地的过孔，则整个底面都不要绿油，整个板紧贴在屏蔽腔的底面上，进一步减小地阻抗。

射频四层PCB，顶层为信号层，第二层和第四层为地平面，第三层走电源、控制线。特殊情况下在第三层要走一些射频信号线，但缺点是过孔对信号有影响，另外据测试结果表明，带状线的平坦度较差。每层都大面积敷地。

随着设备的复杂和小型化，已出现更多层的射频PCB，如六层和八层，还有可能用HDI（高密度互联）工艺做成的射频PCB。

5、布线

5.1 阻抗控制

PCB信号走线的阻抗与板材的介电常数、PCB结构、线宽等有关。一般射频信号走线尽量布在表面层，在某些情况下可以走内层，最常见的是第三层走带状线，阻抗都为 50Ω 。

下表列出以前设计的典型PCB的阻抗（ 50Ω ）控制的参数，新设计的PCB可以直接套用这些数据：

PCB板名	板材	相对介电常数	厚度	线宽(mils)
PA41LCA3	RO4350	3.48	层厚0.8mm	75
GM61MPA3	FR4	4.25	板厚1.0mm	60
GMJ2HPA5	TLX-8-0310-C1/C2	2.55	板厚0.8mm	87
ED41OPRF	FR4	4.25	层厚0.35mm	27
GM61PTRX	FR4	4.25	层厚0.36mm	27
GM61PTRX	FR4	4.25	(带状线)0.36+1.13+0.36mm	18

5.2 转角

射频信号走线如果走直角，拐角处的有效线宽会增大，阻抗减小，引起反射。因此要对转角进行处理，有两种转角方法：切角和圆角。

切角 适用于比较小的弯，切角如图8(a)图所示。切角的适用频率可达 10GHz。

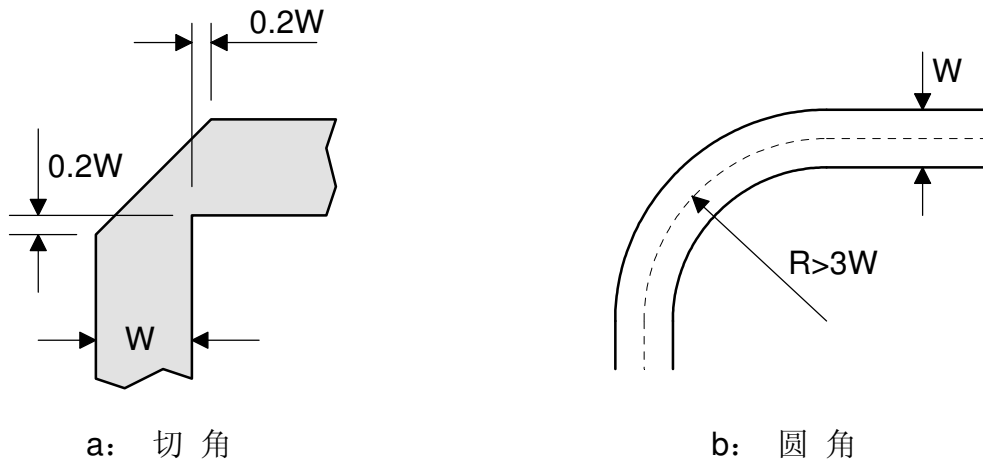


图8：转角的两种方法。

圆弧角的半径应足够大，一般来说，要保证： $R > 3W$ 。如图8(b)图所示。

5.3 微带线布线

PCB顶层走射频信号，射频信号下面的平面层必须是完整的接地平面，形成微带线结构。如图9所示。要保证微带线的结构完整性，必须做到：

- (1)、微带线两边的边缘离地平面边缘至少要有 $3W$ 宽度。
- (2)、且在 $3W$ 范围内，不得有非接地的过孔。
- (3)、禁止射频信号走线跨第二层的地平面缝隙。
- (4)、微带线边沿电场向两侧延伸，非耦合微带线间要加地铜皮，并在地铜皮上加地过孔。
- (5)、微带线至屏蔽壁距离应保持为 $2W$ 以上。（ W ：线宽）

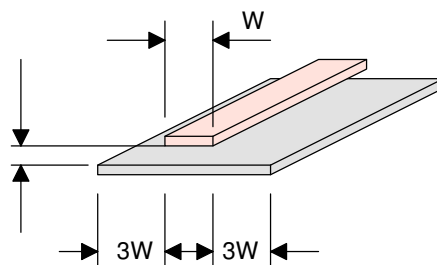


图9、微带线的结构完整性

5.4 微带线耦合器

常用于检测大功率信号的强度、驻波。在要求不高、且耦合度大于20dB的情况下可以用两条靠近的PCB走线做成微带线耦合器，如图10(a)所示。当要求有定向性时，耦合长度L为：

$$L = \lambda / 4$$

W为耦合线条的宽度，一般要保证微带线的阻抗为 50Ω 。

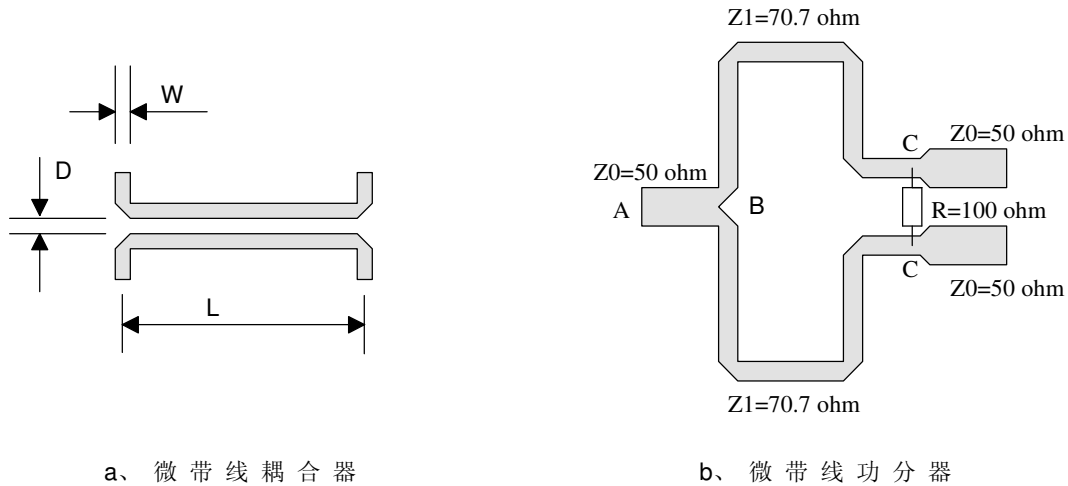


图10：微带线耦合器和功分器

5.5 微带线功分器

在要求不高的情况下，可以用PCB走线做成微带线功分器。如图10(b)所示。要保证阻抗满足下列要求：

$$Z_0 = 50\Omega$$

$$Z_1 = 2^{1/2} Z_0 = 70.7\Omega$$

从功率合成点B到电阻C点之间的走线距离 L_{BC} 应满足下式：

$$L_{BC} = \lambda / 4$$

电阻阻值为 100Ω 。

5.6 微带线基本元件

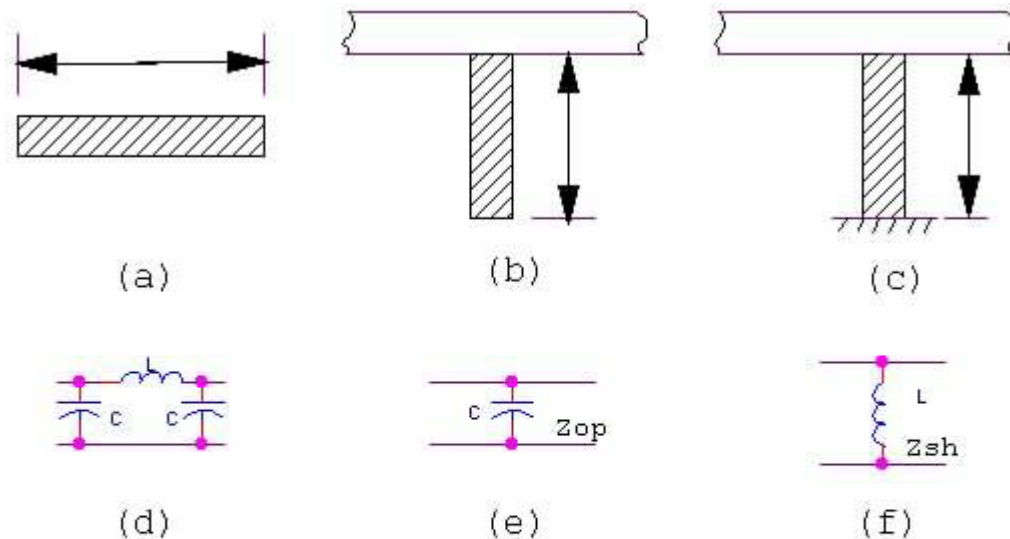


图11、微带线原件

(1)、微带线段 (a) 等效电路元件可表达为 (d)

$$j\omega L = jZ_o \sin \theta$$

$$j\omega C = j(1/Z_o) \tan(\theta/2)$$

细微带线的特性阻抗 Z_o 较高，微带线段具有串联电感作用；宽微带线的特性阻抗低，等效为并联电容。

(2)、微带线并联开路分支 (b) 的等效电路元件为 (e)

$$Z_{op} = -j(1/Z_o) \cot \theta_{op}$$

当分支线长度 $\theta_{op} < 90^\circ$ ，即机械长度小于 $\lambda_g/4$ 时，则等效为感抗。

(3)、微带线并联短路分支 (c) 的等效电路元件为 (f)

$$Z_{sh} = j(1/Z_o) \tan \theta_{sh}$$

当分支线长度 $\theta_{sh} < 90^\circ$ 时，并联短路分支等效为并联感抗； $\theta_{sh} > 90^\circ$ 时，等效为容抗。

用这三种微带元件，即可组成变化多端的各种微带电路。这些微带电路具有一定的滤波作用。应用最广泛的微带元件是 $\lambda/4$ 微带线，下面提到一个应用实例。

周期正弦波间隔四分之一波长（ 90° ）处的两点，互相之间的影响最小。

当 $\lambda/4$ 微带线一端直接接地，或通过高频滤波电容（如100pF）接地，即一端交流接地时，另一端相当于交流开路，对线长等于 $\lambda/4$ 的信号来说具电感效应，其典型应用是小信号放大管或功率管的偏置与供电电路，如图12所示。

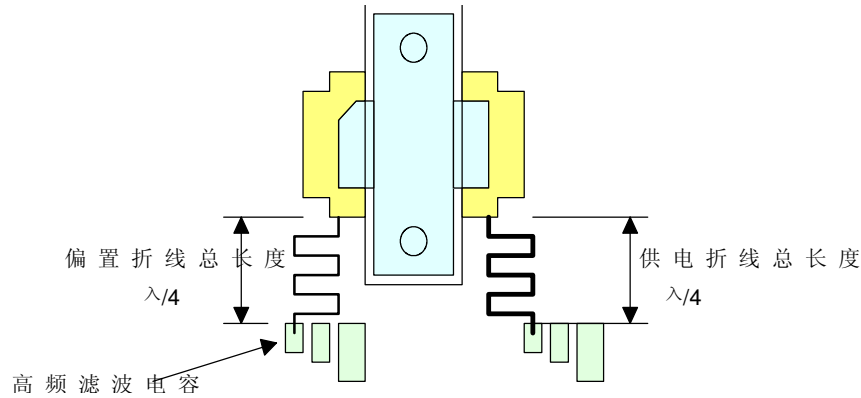


图12：功放管偏置走线

PCB设计要点如下：

- (1)、功放管的输出端偏置走线长度为 $\lambda/4$ ，是最近的高频滤波电容到信号走线或匹配铜皮的距离。
- (2)、功放管的输入端偏置走线长度为 $\lambda/4$ ，是最近的高频滤波电容到信号走线或匹配铜皮的距离。
- (3)、并联的组合滤波电容要排列在一起，要注意排列次序，如图12所示。 $\lambda/4$ 的高阻线要直接从高频滤波电容的脚上拉出来。

5.7 带状线布线

有些射频信号要从PCB的中间层穿过，最多见的是从第三层走，第二层和第四层必须是完整的接地平面，即偏心带状线结构。如图13所示。要保证带状线的结构完整性。必须做到：

- (1)、带状线两边的边缘离地平面边缘至少要有 $3W$ 宽度。
- (2)、且在 $3W$ 范围内，不得有非接地的过孔。
- (3)、禁止射频信号走线跨第二层或第四层的地平面缝隙。

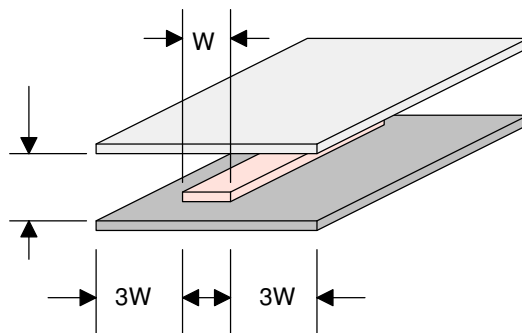


图13：带状线结构的完整性

5.8 射频信号走线两边包地铜皮



要求地铜皮到信号走线间隔 $\geq 1.5W$ ，地铜皮边缘加地线孔，孔间距小于 $\lambda/20$ ，均匀整齐排列；

地线铜皮边缘要光滑、平整，禁止尖锐毛刺；

除特殊用途外，禁止射频信号走线上伸出多余的线头。

6，其它设计考虑：

在丝印上增加“RF”字符，用于PCB加工和成品板检验时，按射频PCB的专用要求执行。

由于射频器件的工作频率很高，器件内部输入端不能直接加保护电路，比其它器件更易受到静电击穿，因此在PCB设计时，丝印上要加醒目的防静电标志。

第五部分 附录

1, PCB设计中的安规考虑

1.1 引言

可能造成危害和伤害的危险有下列几类：

- 电击；
- 与能量有关的危险；
- 着火；
- 与热有关的危险；
- 机械危险；
- 辐射；
- 化学危险；

PCB作为一个系统中的重要组成部分，以上各项都与其有非常紧密的联系。

需要特别说明的是，相关标准中对于安全标识与安全说明书的条款有很多，这里只列出与PCB设计、调试和安装维修过程相联系的一些条款，以引起特别的注意。如果需要进行正式的安规测试或认证，还应该以正式的标准为依据。

1.2 安全标识

1.2.1 对安全标识通用准则

在PCB板上使用的安全标识，应该符合安全标识的通用准则。

应使用要安装该PCB所属设备的国家所能接受的语种。

所要求的标记应是能耐久和醒目的，考虑到标记的耐久性，应把正常使用的影响考虑进去。

通过检查和控制标记来检验其是否合格，控制标记时，用蘸有水的棉布用手擦15秒，然后再用蘸有汽油的棉布用手擦拭15秒，完成试验之后标记仍应清晰，标记铭牌应不可能轻易被揭掉，而且不应出现卷边。

1.2.2 电击和能量的危险

在PCB板上，元器件的引脚都是暴露在表层上的，极有可能发生电击或能量危险。

对PCB板上任何可能发生电击或能量危险的地方，如ELV电路部分、一次电路部分、虽是安全电压但达到危险能量等级的二次电路部分等，都应该添加显著的标识，防止这种危险的发生；可能发生电击或能量危险的地方，可能在操作人员可接触区内，也可能在操作人员可接触区外；标识的内容应该注明已经超过危险能量等级，并伴随有危险警示标志；

1.2.3 PCB上的熔断器

在每一熔断器座上或就近应标上标记，标出该熔断器的额定电流、熔断特性（slow, fast, time lag），和防爆特性（Low-breaking, high-breaking），如果该熔断器座能装上不同电压额定值的熔断器，则还应标出熔断器的额定电压。

例：T2.5AL,250V F3.15AH,250V

在保险丝附近应加上6项完整标识，包括保险丝序号，熔断特性，额定电流值，防爆特性，额定电压值，英文警告标识，如F1 F10AH,250VAC, “CAUTION: For Continued Protection Against Risk of Fire, Replace Only With Same Type and Rating of Fuse.”

1.2.4 可更换电池

如果设备配备有可更换的电池，而且，如果用不正确的型号的电池替代会引起爆炸（例如某些锂电池），则应符合下列要求：

如果电池是安装在操作人员接触区内，则应在电池邻近处有标记或同时在操作说明书和维修说明中说明；

如果电池安装在设备的其他地方，则应在电池邻近处有标记或在维修说明书中说明。这类标记或说明应包括下述或类似的语句：

注意

用错误型号电池更换会有爆炸危险

务必按照说明处置用完的电池

华为公司通用警告标签名细表（2000.02.15）

名称	图例	项目编号	尺寸规格	图号
当心触电标签		29040417	16mm X 16mm	Q/DKBA 8.817.0804
		29040447	12mm X 12mm	Q/DKBA 8.817.0850
		29040448	8mm X 8mm	Q/DKBA 8.817.0851
当心腐蚀标签		29040418	16mm X 16mm	Q/DKBA 8.817.0810
		29040449	12mm X 12mm	Q/DKBA 8.817.0852
		29040450	8mm X 8mm	Q/DKBA 8.817.0853
光辐射警告标签		29040275	16mm X 16mm	Q/DKBA 8.817.0693
		29040278	10mm X 10mm	Q/DKBA 8.817.0692
		29040359	8mm X 8mm	Q/DKBA 8.817.0694
防静电标签		29040276	16mm X 18mm	Q/DKBA 8.817.0695
		29040461	12mm X 13mm	Q/DKBA 8.817.0861
		29040462	8mm X 8mm	Q/DKBA 8.817.0862
警告标签		29040544	20mm X 20mm	Q/DKBA 8.817.0940
		29040545	12mm X 12mm	Q/DKBA 8.817.0941
		29040546	8mm X 8mm	Q/DKBA 8.817.0942
工作接地标签		29040276	16mm X 16mm	Q/DKBA 8.817.0624
		29040463	12mm X 12mm	Q/DKBA 8.817.0855
		29040464	8mm X 8mm	Q/DKBA 8.817.0856
保护接地标签		29040628	16mm X 16mm	Q/DKBA 8.817.1004
防拆标签			50mm X 12mm	Q/DKBA 8.817.1003
			项目编号: 29040626	

1.3 爬电距离与电气间隙

PCB板上的布线应该满足对电气间隙和爬电距离的要求。参见下面的表1和表2。

表1 输入150V-300V电源最小电气间隙及爬电距离

一次侧				二次侧			
线与保护地间距 mm	工作电压直流值或有效值V	空气间隙 mm	爬电距离 mm	工作电压直流值或有效值V	空气间隙 mm	爬电距离 mm	线与保护地间距 mm
4.0	50V	1.0	1.2	71V	0.7	1.2	2.0
	150V	1.4	1.6	125V	0.7	1.5	
	200V		2.0	150V	0.7	1.6	
	250V		2.5	200V	0.7	2.0	
	300V	1.7	3.2	250V	0.7	2.5	
	400V		4.0				
	600V	3.0	6.3				

表2 输入300V-600V电源最小空气间隙及爬电距离

一 次 侧				二 次 侧			
线与保护地间距 mm	工作电压直流值或有效值V	空气间隙 mm	爬电距离 mm	工作电压直流值或有效值V	空气间隙 mm	爬电距离 mm	线与保护地间距 mm
6.3	50V		1.2	71V		1.2	2.5
	150V		1.6	125V		1.5	
	200V	2.0	2.0	150V	1.7	1.6	
	250V	2.0	2.5	200V	1.7	2.0	
	300V	2.5	3.2	250V	1.7	2.5	
	400V	3.5	4.0				
	600V	5.8	6.3				

1.4 涂覆印制板

关于涂覆印制板的以下各项，事实上涉及印制板材料的特性和生产厂家生产质量控制问题，不是硬件工程师和CAD工程师所能够控制的。但又的确是PCB设计中，影响安全的重要项目。这里仅列出一些推荐值供参考。

1.4.1 PCB板的机械强度

PCB板应该具有一定的强度。

单板在插拔的过程中，会使单板本身和母板承受一定应力的作用，当单板或母板尺寸较大时，会产生一系列未知的性能与安全问题。

目前没有标准对本身承受应力作用的单板或母板的机械强度提出限值，这方面也没有总结过经验值，需要进一步论证。

1.4.2 印制板材料的阻燃等级

印制板应该具有一定的阻燃等级。推荐的阻燃等级为V-2。

1.4.3 热循环试验与热老化试验

涂覆印制板应该能够通过GB4943-2000或IEC60950中规定的热循环和热老化试验。

1.4.4 抗电强度试验

涂覆印制板应该能够通过GB4943-2000或IEC60950中规定的抗电强度试验。

1.4.5 耐划痕试验

涂覆印制板应该能够通过GB4943-2000或IEC60950中规定的耐划痕试验。

1.5 布线和供电

PCB板上的供电电源线应该具备足够的通流能力。下表给出了走线宽度与通流能力的关系。通流能力不够可能会引起单板过热，引发一系列的安全问题。

Trace Carrying Capacity per mil std 275

Temp Rise	10 C			20 C			30 C		
Copper	1/2 oz.	1 oz.	2 oz.	1/2 oz.	1 oz.	2 oz.	1/2 oz.	1 oz.	2 oz.
Trace Width	Maximum Current Amps								
.010	.5	1.0	1.4	0.6	1.2	1.6	.7	1.5	2.2
.015	.7	1.2	1.6	0.8	1.3	2.4	1.0	1.6	3.0
.020	.7	1.3	2.1	1.0	1.7	3.0	1.2	2.4	3.6
.025	.9	1.7	2.5	1.2	2.2	3.3	1.5	2.8	4.0
.030	1.1	1.9	3.0	1.4	2.5	4.0	1.7	3.2	5.0
.050	1.5	2.6	4.0	2.0	3.6	6.0	2.6	4.4	7.3
.075	2.0	3.5	5.7	2.8	4.5	7.8	3.5	6.0	10.0
.100	2.6	4.2	6.9	3.5	6.0	9.9	4.3	7.5	12.5
.200	4.2	7.0	11.5	6.0	10.0	11.0	7.5	13.0	20.5
.250	5.0	8.3	12.3	7.2	12.3	20.0	9.0	15.0	24.5

表3 线宽与通流能力的关系

对表3的说明

参考MIL-STD-275 Printed Wiring for Electronic Equipment给出

线宽的单位是: Inch