

CDMA 事业部设计开发部 电路设计规范

版本：2.0
修订日期：2005 年 11 月

中兴通讯股份有限公司

版本变更说明

版本号	变更日期	变更内容简述	备注
1.0	2003.11	《Schematic Checklist》初稿	
2.0	2005.11	重新整理编撰	

关于本文档

中兴通讯股份有限公司 CDMA 事业部设计开发部《电路设计规范》(以下简称《规范》)为原理图设计规范文档。本文档规定和推荐了 CDMA 设计开发部在原理图设计中需要注意的一些事项,目的是使设计规范化,并通过将经验固化为规范的方式,避免设计过程中错误的发生,最终提高产品质量。

使用方法

《规范》制图部分以 Cadence 平台 Concept HDL 原理图工具为依据,但其大部分内容不局限于该工具的约束。

《规范》总体上由检查条目、详细说明、附录 3 部分构成。“检查条目”部分浓缩了各种规范条款和经验,以简明扼要的形式加以描述。对部分条目内容,在“详细说明”部分进行了解释和举例,通过 Ctrl-左键点击可以跟踪到相应位置。建议在阅读条目的同时,对详细说明进行阅读,理解检查项的意义,并主动避免异常出现。

《规范》中检查项共有三种等级:“**规定**”,“**推荐**”和“**提示**”。

标记为“**规定**”的条目在设计中必须遵守,如果因为设计实际需要不能遵守其中某些条款,则必须进行说明并经过评审确认。说明文档同原理图评审异常记录、原理图一同基线。

标记为“**推荐**”的条目为根据一般情况推荐遵守的内容。建议开发工程师在设计时阅读推荐该部分的内容和说明,根据实际设计情况选择恰当的设计实现。

标记为“**提示**”的条目,一般是难以从原理图角度检查的问题和很难有结论的问题,不做规范约束,提醒开发工程师在设计中注意相关问题,避免出错。

《规范》只能涵盖硬件原理图设计中已知的常见问题,所以在开发过程和评审/走查过程中不排除《规范》之外的设计异常,开发/评审人员应该根据经验对这些问题进行处理。

在开发过程中使用

硬件开发工程师必须了解《规范》的内容并在开发中遵循《规范》的指导,在设计完成之后要进行自查。

在同行评审/走查过程中使用

规范的检查条目部分抽出单独成为《原理图检查单》,评审人员必须了解《规范》并按照《检查单》的每一条目对原理图进行检查。

培训中使用

《规范》中包含了大量设计开发部积累的硬件开发知识和经验,可以作为学习使用。硬件工程师可以学习并掌握检查条目的内容以及对条目的详细说明,学习部门经验。

修订

本文档在编写和积累过程中不可避免的有疏漏和错误之处,同时产品开发、归档的规范也可能发生变化。如果发现本文档中有**错误、遗漏、不可实施**等各类问题,应在 ClearQuest 上直接提出故障项(提变更库中提文档故障,选择 3G 硬件平台),跟踪解决。

目 录

第一部分 检查条目.....	5
1. 原理图制图规范.....	5
2. 电路设计.....	7
2.1 通用要求.....	7
2.2 逻辑器件应用.....	8
2.3 时钟设计.....	9
2.4 保护器件应用.....	10
2.5 可编程逻辑器件.....	10
2.6 电源设计.....	11
2.7 其他应用经验.....	12
3. 可靠性设计.....	14
4. 信号完整性/电源完整性设计.....	15
5. 系统相关设计.....	16
6. 可生产性设计.....	17
7. 可测试性设计.....	17
7.1 JTAG.....	17
7.2 测试点.....	18
7.3 电路可测试性.....	18
7.4 系统可测试性.....	18
第二部分 详细说明.....	19
1. 原理图制图规范.....	19
2. 电路设计.....	25
2.1 通用要求.....	25
2.2 逻辑器件应用.....	30
2.3 时钟设计.....	41
2.4 保护器件应用.....	46
2.5 可编程逻辑器件.....	48
2.6 电源设计.....	51
2.7 其他应用经验.....	55
3. 可靠性设计.....	58
4. 信号完整性/电源完整性设计.....	59
5. 系统相关设计.....	62
6. 可生产性设计.....	65
7. 可测试性设计.....	66
7.1 JTAG.....	66
7.2 测试点.....	66
7.3 电路可测试性.....	66
7.4 系统可测试性.....	66
附录.....	66
附录 1 部门相关资源列表.....	66
参考文献.....	66
编后记.....	66

第一部分 检查条目

1. 原理图制图规范

编号	级别	条目内容	备注
1	规定	原理图必须采用公司统一原理图库。	
2	规定	原理图应采用 0.100 栅格	
3	规定	原理图正文字体设置参照原理图设计规范,采用默认设置。说明文字为 82mil,管脚号为 66mil。	
4	规定	原理图封面字体应调整到与栏目字体基本等大(建议使用 180mil 字体)。	
5	规定	原理图首页放置 ZTE_Cover_A4 做为封面,不加图框。	模块电路不加封面
6	规定	原理图除首页之外,一律采用 ZTE_frameA4 或者 ZTE_frameA4plus 图框。只有在元器件符号很大,无法在图框中摆放的情况下方可以选用 ZTE_frameA3 图框。	
7	规定	原理图首页封面 Checked, Normalized 和 Approved 三项不填写,其他条目需要正确填写。	模块电路无封面
8	规定	原理图各页图框上除了 Checked 一项外,均须正确填写。填写的内容和页码、总页数等信息应以规定的用户变量 (Customer Text) 进行标注。	模块电路除外
9	规定	除封面页,每一页左下角应该采用环境变量注明修改日期;除封面和目录页之外,每页的左下角标注本页的功能说明。	
10	规定	原理图必须署名。多人设计原理图应在相应页码署各自的名字;封面签署单板负责人姓名。署名采用汉语拼音,大写字母,姓在前,名在后,以一个英文空格符隔开。对于改版、借鉴的原理图,签署最后一次修改者的姓名并由其对原理图质量负责。	
11	提示	放置一个 Standard 库中的 ZTE_frameA4plus 图框,以用户变量的形式正确填写所有内容,包括说明、日期等信息,其他页拷贝该页内容可以加快工作速度,并使各页保持一致。	
12	推荐	目录页放置 2 个 Contents 框,左侧为目录,右侧为模块调用情况。两框应水平方向应对齐。如果原理图页数较多,目录页只写目录,增加目录页说明模块调用情况。	
13	推荐	原理图各页内容依次为:封面、目录、电源、时钟、CPU、存储器、逻辑、背板(母板)接口等。	
14	规定	每页内容紧凑但不杂乱、拥挤。	
15	规定	原理图上所有的文字方向应该统一,文字的上方应该朝向原理图的上方(正放文字)或左方(侧放文字)。	
16	规定	原理图上的各种标注应清晰,不允许文字重叠。	交叉标注另行规定
17	规定	各个芯片的局部去耦电容应和芯片布在同一页面或者就近放在下一页面上,并增加说明;多个器件的去耦电容共用一页图纸时,应标注去耦电容是为哪个器件放置;全局去耦(旁路)电容可以在电源部分或者原理图最后部分放置,并增加“GLOBE DECOUPLING”字样说明。	
18	规定	仅和芯片相关的上拉或下拉电阻等器件,建议放置在芯片附近。	
19	规定	电阻(电阻网络除外)、电容(电容网络除外)、电感的管脚标注,器件的 path	

		信息等不必要信息不要显示。	
20	规定	元器件的位号要显示在该元件的附近位置，不应引起歧义。	
21	规定	芯片的型号和管脚标注，精密电阻、大功率电阻、极性电容、高耐压电容、共模电感、变压器、晶振，保险丝等有特殊要求的器件参数要显示出来，LED 应标示型号或颜色。	
22	规定	<u>差分信号规定使用“+/-”符号，“+/-”可以在网络名的中间或末尾。</u>	
23	推荐	<u>无特殊要求（例如系统方案命名需求）差分信号以“+/-”结尾。</u>	
24	规定	E1 信号线采用 TIP 来表示同轴电缆芯线（双绞线的+），用 RING 来表示同轴电缆屏蔽层（双绞线的-）。	
25	规定	有确定含义的低电平有效信号采用*或者_N（引入逻辑的需要用_N）后缀结尾。“有确定含义”包括但不限于如下信号：片选，读写，控制，使能。	
26	规定	<u>所有的时钟网络要有网络标号，以 CLK 字符结尾，以便于 SI 分析、PCB 布线和检查；非时钟信号禁止以 CLK 等时钟信号命名后缀结尾。时钟信号命名应体现出时钟频率信息。</u>	
27	规定	<u>采用串联端接的信号（包括时钟），串阻在原理图上应就近放置于驱动器的输出端。串阻和驱动器之间不放置网络标号，串阻后的网络进行命名（时钟信号必须命名并满足时钟信号的命名规范）。</u>	
28	规定	<u>所有单板内部电源网络的命名都必须采用“VCC”开头，单板接口电源的定义和系统定义保持一致。</u>	
29	规定	<u>经过滤波的电源必须命名，命名也必须以“VCC”开头。</u>	
30	规定	<u>在 PCB 布线时有特殊要求的网络要定义网络名，推荐在原理图上注明要求。</u>	
31	推荐	全局电源和地应调用原理图库中的符号。	
32	规定	<u>确认多个部分组成的器件原理图库，在打包过程中位号正确，没有出现错位等现象。</u>	
33	推荐	不推荐使用“Location”硬属性解决位号错位问题。	
34	规定	<u>使用 Alias 连接的网络，必须使用网络标号的方式进行连接，不能使用连线(wire)进行连接。</u>	
35	规定	<u>禁止使用 SIZE 属性放置多个器件，例如测试点、去耦电容、光学定位点等。</u>	
36	规定	所有出页网络应放置出页符 offpage/offpg，出页符的方向应和信号流向一致。原理图必须进行交叉标注。除总线等字符太多无法调整的网络之外，交叉标注的字符不应重叠。	
37	规定	<u>offpage/offpg 符号的调用，应根据信号流向采用正确的符号，不应将符号进行翻转、镜像后使用。</u>	
38	推荐	Offpage/offpg 符号和交叉标注文字应尽量对齐。	
39		器件管脚上的引线，应引出后再分叉，不得直接在器件管脚上分叉。	
40	规定	兼容设计、料单可配置部分、调试用最终不安装部分器件，应在原理图上注明。	
41	规定	原理图中的实现与设计说明中的描述一致。信号的命名应有意义。逻辑芯片管脚命名与设计说明、逻辑设计说明文档一致。建议信号命名尽量和有意义的芯片管脚命名一致。	
42	规定	<u>提供各单点网络列表和未连接管脚列表，并一一确认</u>	
43	提示	<u>采用 Cadence 提供的工具对原理图和 PCB 的网表一致性进行检查。</u>	
44	推荐	原理图打印为 PDF 文件时，推荐使用 Arial 字体。	

45	规定	模块电路不加封面和目录页。	
46	规定	模块电路内部位号禁止使用硬属性。	
47	规定	模块电路使用 Standard 库中的 inport, outport 和 ioport 和顶层相连。	
48	规定	模块电路设计其他规范待添加	
	规定		

2. 电路设计

2.1 通用要求

编号	级别	条目内容	备注
1	规定	单板网络的连接必须正确无误。(个人自查)	
2	规定	器件之间的接口电平匹配。	
3	规定	PECL 到 LVPECL 的接口使用交流耦合（直流平衡情况）或 3 电阻端接。采用交流耦合作热拔插时需注意防止因电容积累电荷放电导致器件损伤，可在电容与单板输入/输出接口采用大电阻下拉。	
4	规定	单板热拔插对外接口器件选型必须能够满足热拔插要求。	
5	规定	热拔插接口设计，选用的器件内部不允许有从端口对电源的二极管钳位保护网络。	
6	提示	在不同电平接口时利用钳位二极管实现接口，需要考虑限制电流。	
7	规定	差分信号应考虑 Failsafe 功能。	
8	提示	了解 CMOS 器件的闩锁现象，选用不易发生闩锁的器件。(一般要求 Latch-Up Performance Exceeds 100 mA Per JESD 78, Class II.)	
9	规定	器件工作速率符合设计要求。	
10	推荐	在满足系统性能要求的情况下，尽量降低信号的速率，采用慢速器件。	
11	规定	凡公司、事业部、部门有模块电路、通用电路，能够满足设计要求者，无特殊原因一律采用模块电路。优先选用公司级模块电路。	
12	规定	无模块电路可以调用，但是产品约定设计方式或者器件者，无特殊原因一律按照产品约定进行设计。	
13	规定	相同功能的电路，如无特殊要求应采用相同的电路和器件。	
14	规定	使用同一个物料代码下有多个器件，确认每一种器件的能够满足应用要求。	
15	规定	单板上所有有复位管脚的芯片，要求复位脚软件可控。	
16	推荐	CPU 等的控制信号应使用上/下拉电阻保证上电时的状态确定。	
17	推荐	初次设计 CPU、DSP 和 ASIC 的配置管脚的上拉或下拉状态尽量设计成可调。	
18	提示	阅读器件手册时，应该到器件厂商网站上寻找最新版本，并了解其版本变更历史和查阅最新版本勘误表。	
19	规定	对于设计中的可配置部分（包括为调试设计而最终不安装的部分），必须注明本板在线运行和调试使用的所有配置方式。	
20	规定	要考虑器件输出或驱动器输出的驱动能力，等效负载不能超过器件的驱动能	

		力的 80%。	
21	规定	MCU 串口信号经芯片驱动后，将收发信号和地引到预留的 3Pin 插座	
22	规定	单板 3Pin RS-232 串口插座统一定义为：Pin1—本地发送 Tx；Pin2—地线；Pin3—本地接收 Rx。	
23	规定	通用件率满足事业部通用件率的要求：新板满足 90%，改版满足 80%。优先选用部门推荐的公用器件。	
24	规定		
25	规定		

2.2 逻辑器件应用

编号	级别	条目内容	备注
1	规定	<u>不带内部上下拉和总线保持功能的 CMOS/BiCMOS 器件，未用输入端严禁悬空，必须通过电阻进行上拉或下拉处理。</u>	
2	规定	单板带有可以裁减部分，原理图中部分器件可能不焊接时，需要确保这些器件不焊接不会导致其他器件的输入端悬空。	
3	规定	<u>逻辑器件不用的引脚或者固定电平的信号如需预置电平处理，必须通过电阻上拉或者下拉，不允许直接接电源或地。</u>	
4	规定	<u>对器件未用输入端进行上拉或下拉处理，必须满足可测试性设计要求。</u>	
5	规定	中断信号要通过上拉或下拉来使中断信号处在默认的非触发态。	器件手册规定优先
6	规定	<u>多级具有上电 3 态的器件级联驱动信号时，如果信号上电过程要求确定电平，则各级输入端都必须采用上拉或下拉电阻确定状态。</u>	
7	规定	<u>采用具有上电 3 态的器件驱动背板输入控制信号，如果该信号上电后立刻需要读取且不受上电复位控制（例如单片机 ISP 模块中的背板复位信号和下载使能信号），则必须采用电阻置初始电平。</u>	
8	规定	<u>信号线上的上拉或下拉电阻能够满足可靠预置电平要求。</u>	
9	推荐	<u>对于 CMOS 器件，如无特殊要求单个管脚的上拉或下拉可以取 10k，多个管脚或其他具体情况可以参见下面的条目和以及进行计算确定。</u>	
10	规定	<u>对使能内部上拉的 ISP MACH 4000 型 EPLD，以及和 Cyclone 型 FPGA 通用 IO 管脚连接的网络，下拉电阻采用 1K，上拉电阻可选择 10K。</u>	
11	推荐	数据总线的下拉不宜使用太大的电阻，推荐使用 1K。	
12	规定	OSC 的 ST_N 管脚应该加上拉电阻（推荐值为 1k，建议直接调用晶振滤波模块电路）。	
13	规定	<u>对背板输出的驱动器，如果其 OE 端需要控制，应采用电阻设置为输出无效状态。对于常见的 244 器件，OE*应该采用电阻上拉。</u>	
14	规定	参照器件的 Datasheet 将所有控制脚通过电阻进行上拉或下拉，特别是芯片的 OE/CE 端。	
15	规定	Enable、Set、Reset、Clear 和三态器件输出的上拉、下拉正确	
16	推荐	上下拉电阻放在接收端器件处。对于 1 个驱动多个接收的网络，非特殊需要只放置 1 个上下拉电阻。若接收器件全部放置在同一页面，在接收器页面放置上下拉电阻；若接收器件分布在不同页面上，在驱动器端放置上下拉电阻。	
17	规定	<u>避免使用一个排阻同时对信号进行上拉和下拉。</u>	

18	规定	<u>如果总线可能处于浮空状态，那么总线需要有上拉电阻或下拉电阻，保证在没有器件占用总线时，总线能处于一个有效电平，以降低器件功耗和干扰。</u>	
19	规定	<u>UART 器件 16C55X，如果不使用其 DSR、DCD、CTS 信号，需要进行下拉，使信号为有效状态，避免自动流控制的器件不能正常工作。</u>	
20	规定	PCI 的三态和 OD、OC 信号要有上拉。	
21	规定	<u>PCI 总线设计中 FRAME#、TRDY#、IRDY#、DEVSEL#、STOP#、SERR#、PERR#、LOCK#、INTx#、REQ64#和 ACK64#等信号需要采用合适的电阻进行上拉处理。上拉的阻值须依照负载情况计算。</u>	
22	规定	<u>避免输入信号的缓慢变化(如按键复位信号)，对缓慢变化的信号需要使用施密特触发器输入的器件进行驱动。</u>	
23	规定	<u>设计中应防止上电及正常工作时出现总线冲突。对于可能出现冲突的情况，应采用互斥设计，确保不会因为软件问题导致冲突。</u>	
24	规定	<u>和背板直接相连的驱动器必须满足热拔插要求（我们要求有 OE 端控制，上电三态、关断电流控制）。</u>	
25	推荐	<u>MCS-51 单片机的总线及端口需要加驱动。驱动器选型禁止采用总线保持器件或者内置下拉电阻的器件。</u>	
26	推荐	<u>原则上不推荐使用总线保持器件或者启用可编程器件的总线保持功能。</u>	
27	推荐	<u>具有 BUS-HOLD 特性的器件，通过外接上拉或下拉电阻实现状态预置时，电阻取值不宜过多于 3K，推荐采用 1K 电阻。</u>	
28	提示	<u>BUS HOLD 器件，不论其输出端口处于何种状态，其输入端口的 BUS HOLD 特性一直有效。对于双向器件，其两个方向端口在输出高阻态下输入 Bus Hold 特性一直有效。</u>	
29	规定	<u>与背板相连的普通逻辑电平信号，如非特别要求，需要采用串接电阻；背板输入的信号，为防止当发送端关断、未插、掉电时悬空，应采用上拉或下拉电阻，选择上拉还是下拉的原则是一块板的局部失效不会对其他板产生严重影响。</u>	信号完整性优先
30	推荐	<u>一般情况下背板接口输出串联电阻选取 33.2 欧姆（或 33 欧姆排阻），输入串联电阻选择 100 欧姆电阻或者排阻。对于既有输出又有输入的信号，如果单板布线布局困难，可以考虑采用一个 33 欧姆电阻；对于总线型拓扑负载多于 4 个时，应根据 SI 仿真测试结果选取电阻；对于需要把发送到背板的信号收回来的拓扑，必须在 33 驱动器输出端直接输入，不得在 33 欧姆电阻后接收。</u>	信号完整性优先
31	推荐	<u>背板输入信号缓冲器应用下拉电阻和串阻。背板输入信号缓冲器下拉电阻取 10K，串阻取 100 欧姆。背板输入信号缓冲器输入先下拉再经过串阻，设计上会具有更大的灵活性。设计中应严格遵守产品设计约定。</u>	
32	推荐	对于总线保持器件或者输入内置上下拉的器件，未用输入管脚悬空处理。	

2.3 时钟设计

编号	级别	条目内容	备注
1	规定	<u>对于输出多于 5 个的时钟驱动芯片，电源推荐采用磁珠滤波，磁珠后应该添加电解电容和足够的陶瓷去耦电容，布局时推荐局部铺一小块铜皮。</u>	
2	推荐	时钟芯片的电源和地参考器件手册处理。对锁相环电源采用磁珠滤波的，磁	

		珠后应该采用多级陶瓷去耦电容以保证电源低阻抗。	
3	推荐	<u>单板 50MHz 以上时钟驱动器未用管脚，备用放置不大于 15pF 的电容接地平面。该电容缺省不焊，如果 EMC 测试高频辐射超标，可以焊上调试。</u>	参见说明
4	推荐	<u>时钟驱动器未用管脚对平面电阻/电容采用分立器件，不得使用排阻排容。</u>	
5	规定	<u>时钟信号网络必须采用合适的端接方式。</u>	
6	推荐	<u>时钟网络推荐采用点对点，源端端接方式。</u>	
7	规定	<u>当接口标准或器件对时钟网络等布线有要求时，依照接口标准或器件要求执行。</u>	
8	规定	<u>锁相环串联使用，须注意不会引发谐振。</u>	
9	推荐	<u>不推荐使用多通道输入时钟驱动器驱动不同时钟。</u>	
10	推荐	<u>板间传输的时钟信号，上单板后在时钟的输入端备用去回钩电容。</u>	
11	推荐	<u>子卡与母板间传输的时钟，应保证子卡不在位时，时钟输入不悬空，时钟的输出有匹配。</u>	
12	推荐	<u>对于 VCXO，如果要求宽的牵引范围(如±90ppm)，不要选用 3 次泛音晶振。</u>	

2.4 保护器件应用

编号	级别	条目内容	备注
1	规定	<u>TVS 管的最大钳位电压 V_{CMAX} 应不大于电路的最大允许安全电压。</u>	
2	规定	TVS 管的最大反向工作电压 V_{RWM} 应不低于电路的最大工作电压，一般可选 V_{RWM} 为电路最高工作电压的 1.1~1.2 倍。	
3	规定	TVS 管的额定最大脉冲功率必须大于电路中出现的最大瞬态浪涌功率。	
4	规定	对于高速链路，需要考虑 TVS 管结电容的要求	
5	规定	注意单向和双向 TVS 管的选择。	
6	规定	在 RS-232 链路中必须采用双向 TVS 管。TVS 管放在信号线串联电阻外侧，单板入口处；串联电阻靠近 232 接口器件放置。	
7	规定	TVS 器件的选型时要考虑器件的响应时间满足要求。	
8	规定	当 TVS 和压敏电阻联合使用进行浪涌保护时，压敏电阻的压敏电压要低于 TVS 的钳位电压 V_C 。	
9	规定	<u>保护器件应与被保护器件接在相同的地平面。如采用变压器隔离，隔离变压器初次级两侧的器件要分别接对应的参考地。</u>	
10	规定	<u>PTC 与 TVS 配合使用时，PTC 要能及时动作，对 TVS 进行过流保护，同时，PTC 本身也要能够满足工作电压的要求。</u>	
11	规定	对于需要出机框的信号线（例如勤务电话、网线、E1 线、232、485 等等），需要添加保护电路或者进行隔离；对于在机架内部的信号线一般不需要添加保护电路。	

2.5 可编程逻辑器件

编号	级别	条目内容	备注
1	推荐	<u>FPGA 的 LE 资源利用率要保证在 50%~80%之间，EPLD 的 MC 资源的利用率要保证在 50%~90%之间。对于 FPGA 中的锁相环、RAM、乘法器、DSP</u>	

		<u>单元、CPU 核等资源，经过精确预算，允许使用到 100%。</u>	
2	推荐	预留一定数量的测试 IO (一般推荐不小于实际使用的 IO 数的 10%)，测试 IO 中要有一定量 (不少于 40%) 要连接在测试针上。根据逻辑的复杂程度和管脚占用情况、版面紧凑程度可以斟酌安排。第一版测试针可以多留一些，稳定之后的版本可以少一些。	
3	规定	<u>可编程逻辑器件的输入时钟至少有一个本地的不间断时钟。CPU 接口等部分的设计，必须采用本地时钟完成。</u>	
4	规定	对于逻辑芯片的输入时钟，如果使用内部锁相环，必须保证时钟的输入频率、占空比、抖动、输出频率满足锁相环要求。锁相环电路尽量按照芯片提供的参考电路设计。	
5	规定	<u>对于可编程逻辑器件的悬空管脚 (包括测试管脚、设计裁减导致的悬空输入等)，必须确认其在正常工作中不能悬空。</u>	
6	推荐	<u>Lattice ISP Mach4000 系列器件，建议使能内部上拉，外部上拉采用 10K，下拉采用 1K 设计。</u>	参考上下拉部分规范
7	推荐	一般情况下，Cyclone 器件外围上拉可采用 10K，下拉采用 1K 设计，避免下载之前出现不定态电平。	参考上下拉部分规范
8	提示	Cyclone 器件设计时应应对可能悬空的输出管脚使能内部上拉。	
9	规定	<u>PLD 设计中，不推荐使用可编程的总线保持功能。</u>	
10	规定	EPLD/FPGA 的专用输入管脚 (时钟输入管脚) 不要悬空	
11	规定	<u>FPGA 的 Done 指示管脚 (包括 Conf_Done 和 Init_Done 信号) 需要被监控。</u>	
12	规定	<u>不要用特殊管脚当做普通的 IO 使用。</u>	
13	规定	FPGA 全局时钟输入必须从全局时钟输入管脚引入；其他时钟信号也应尽量从专用时钟输入管脚引入；全局复位以及其他全局信号尽量从专用的全局引脚引入。	
14	规定	逻辑芯片的 nConfig、Conf_Done 和 nStatus 管脚应上拉，电阻选择参考手册规定。	
15	推荐	为了防止 FPGA 的 nConfig 信号受到毛刺干扰，导致逻辑芯片异常掉逻辑，可在 nConfig 管脚加一个 RC 电路。RC 电路靠近 FPGA 防止	
16	规定	对于采用 AS 模式下载的设计，要保证 nConfig 的上升沿落在 3.3V 电源稳定之后。	
17	提示	可能的话提供一定的慢速时钟给 EPLD/FPGA，在长定时时可以节省资源。	

2.6 电源设计

编号	级别	条目内容	备注
1	规定	<u>热拔插系统必须使用电源缓启动设计。</u>	
2	推荐	<u>在压差较大或者电流较大的降压电源设计中，建议采用开关电源，避免使用 LDO 作为电源。对纹波要求较高的场合中，可以采用开关电源和 LDO 串联使用的方法。</u>	
3	规定	<u>LDO 输出端滤波电容选取时注意参照手册要求的最小电容、电容的 ESR/ESL 等要求确保电路稳定。推荐采用多个等值电容并联的方式，增加可靠性以及提高性能。</u>	

4	推荐	电源滤波可采用 RC、LC、π 型滤波。电源滤波建议优选磁珠，然后才是电感。同时电阻、电感和磁珠必须考虑其电阻产生的压降。	
5	规定	大容量电容应并联小容量陶瓷贴片电容使用。	
6	规定	电源必须有限流保护。	
7	推荐	升压电源 (BOOST) 使用必须增加一个保险管以防止负载短路时，电源直通而导致整个单板工作掉电。保险的大小由模块的最大输出电流或者负载最大电流而定。	
8	规定	单板输入电源要有防反接处理，输入电流超过 3A，输入电源反接只允许损坏保险丝；低于或等于 3A 输入电源反接不允许损坏任何器件。	
9	规定	电源禁用磁饱和电路；禁止选用采用磁饱和电路的电源模块。	
10	规定	对于多工作电源的器件，必须满足其电源上掉电顺序要求。	
11	提示	多个芯片配合工作，必须在最慢上电器件初始化完成后开始操作。	
12	推荐	采用 SO-8 封装的 LDO (如 MIC5209BM)，用于密封环境时，为保证热应力降额满足要求，通常热耗不应超过 0.3W。	以可靠性工程师热设计为准
13	提示	电源控制芯片 JTAG 下载口单独引出。	
14	推荐	在存在分板工艺，以及需要过波峰焊的单板上，-48V 电源滤波尽量避免使用贴片陶瓷电容，必须使用的要保证布局时避免电容受到过多机械应力。	
15	规定	单板电源引出单板使用，应该添加限流保护措施，避免外部负载短路造成单板无法正常工作。	
16	推荐	电源模块/芯片感应端在布局时应采用开尔文方式。	
17	提示	三端稳压器输出到输入应该有反向泄放二极管，防止掉电时损坏器件。	
18	提示	不允许出现过大大压差的不同电源之间，可用二极管限制压差。	

2.7 其他应用经验

编号	级别	条目内容	备注
1	规定	使用 CY2302 时钟驱动器，应注意如果对输入输出时钟的相位要求一致，那么必须选择 OUT2 反馈、OUT1 输出。	
2	规定	有极性的耦合电容注意其直流偏置电压，尤其是串联电感使用时应防止反向电压的产生。	
3	规定	电容的耐压和温度降额都必须满足公司降额要求。工作温度升高，电压的降额程度要增大。	
4	规定	电阻的功率和温度降额都必须满足公司降额要求。工作温度升高，功率的降额程度要增大。	
5	规定	ADM706R 在使用中应该将 PFI 直接接电源，避免器件上电时进入测试模式。公司通用电路采用上下拉设计。在 ADM706 更改设计之前，我部门指定不使用 ADM706R 器件，采用 MAX706 避免此问题。	
6	规定	MPC860 的 TRST*设计时接/PRESET，避免器件上电时进入测试模式。	
7	规定	860 的 TA 上拉要 1K，不能太大。	
8	规定	在使用 MPC860 的设计中，如果只对 MPC860 硬件复位配置字用到的部分数据线通过硬件复位配置字驱动器进行驱动，其他数据线默认为 MPC860 内部下拉，那么 MPC860 的数据总线不能使用带总线保持功能的驱动器。	

9	规定	系统应对指示灯颜色、状态进行规定。指示灯设计，绿灯亮/灭表示正常或者工作状态，红灯亮表示有告警，灭表示无告警。特殊情况下允许采用黄灯指示。除非外观需要，不推荐采用其他颜色的指示灯。	
10	规定	<u>面板灯必须经过驱动器进行驱动，应该采用低电平有效方式点灯（纯电源板另外考虑）。</u>	
11	规定	<u>面板指示灯/输入输出外部信号不与单板内重要信号共用驱动器。</u>	
12	规定	<u>面板灯 5V 使用 510 欧姆左右的电阻，3.3V 使用 330 欧姆左右的电阻。电阻应在公司通用件库中选取常用器件。</u>	
13	规定	<u>单板内部 3.3V 指示灯推荐统一采用 1K 限流电阻。</u>	
14	规定	<u>内部电源指示灯，如果电源电压低于 2V，必须经过三极管驱动发光二极管。</u>	
15	规定	<u>面板灯（拨码开关、按钮）等上串接的电阻必须接在驱动器和指示灯（开关、按钮）之间，电阻靠近驱动器放置，避免外界干扰对驱动器的冲击。</u>	
16	推荐	<u>单板内部指示灯推荐使用低电平驱动指示灯，驱动能力足够时可以采用高电平点灯，选择主要从节省成本角度出发。</u>	
17	规定	单板内必须有电源指示，逻辑下载指示灯	
18	规定	ADC 和 DAC 的模拟地和数字地引脚，在外面应该用最短的连线接到同一个低阻抗的接地平面上。	
19	提示	以太网非点对点连接时。PHY 器件的驱动能力在器件的允许范围内要调到最大。	
20	规定	正确配置 CPU 的上电配置管脚，配置管脚通过电阻上拉或下拉。（配置的内容主要包括：BOOT 的数据宽度、FLASH 的数据宽度、时钟的工作模式、地址映射模式、PCI 的主从模式、PCI 仲裁使能、BOOT 是从 LOCATION BUS 还是 PCI 上启动、锁相环时钟配置、输出阻抗等）	
21	规定	<u>MOSFET 的栅极（Gate）串 10 欧姆电阻可有效抑止振荡；MOSFET 并联使用时，每个 MOSFET 的栅极要分别串 10 欧姆电阻。电阻尽量靠近栅极放置。</u>	
22	规定	<u>与 MOSFET 栅极并联的 ZENER 二极管可能会引发振荡，要将其连接到栅极串阻的外侧。</u>	
23	规定	<u>与 MOSFET 栅极并联的电容可能会引发振荡，要将其连接到栅极串阻的外侧。注意并联电容减慢了开关的速度，增加了 MOSFET 并联应用时的不平衡。</u>	
24	提示	保证 MOSFET 的栅极驱动类似一个电压源，具有尽可能小的阻抗。	
25	提示	漏极和源极间并联阻容缓冲器或并联齐纳二极管和电容的串联吸收电路，这样在管子关断时漏极电流较快减小，使漏源极之间的电压在击穿电压值之下，起到保护管子的作用。	
26	提示	应减小 MOSFET 栅极电压的上升时间，使 MOSFET 尽量少的时间处于负温度系数区域，从而降低热失控的危险。	
27	提示	MT9040、IDT82V3001A 等锁相环上电后或输入参考频率改变后必须复位锁相环。	
28	规定	<u>继电器线圈、风扇电机绕组等感性负载必须有续流二极管。</u>	
29	规定	<u>继电器线圈工作电压不允许降额使用，继电器在应用中应注意是线圈是否有极性要求，避免退磁。</u>	
30	提示	继电器电路在设计中，应尽量让继电器长期处于释放状态，减小功耗，并减小线圈温升降低寿命的概率。	
31	提示	<u>要保证光电耦合器能可靠地工作在开关状态，IF 取值不能太小（可取值 CTR</u>	

		最大值对应 IF 的 40%左右)，并且集电极负载电阻要满足如下的关系式： $(VCC - V_{IL}) / (CTR(\min) * I_F - I_I) \leq R_L \leq (VCC - V_{IH}) / (I_{CEO} + I_I)$ 。	
32	规定	按键、跳线、拨码开关与 IC 端口之间串接小电阻（推荐 100 欧姆）或并接 TVS 管做 ESD 防护。推荐采用电阻以节省成本。对于上下拉都有电阻的设计方式，可将电阻放在跳线和器件之间作为保护。	
33	规定	运算放大器设计为放大器时，同相输入和反相输入端的输入等效电阻要一致，减小输入偏置电流和误差电流引起的的误差和噪声。	
34	规定	ADC、DAC 如果使用外部电压参考，应注意参考电压的精度和稳定性，只有在要求不高的情况下才可以采用电源作为参考电压，并且必须经过滤波。	
35	推荐	单板上有多多个处理器或高速器件，并且各处理器/高速器件对时钟同相工作无要求时，各器件的时钟相位尽量错开，减少同时动作的逻辑门数量，降低瞬态工作电流，从而降低单板或系统的 EMI。	
36	提示	三态/OC/OD 时分数据/状态总线释放时应注意释放速度的问题。	
37	规定	非变压器隔离的差分信号，例如 RS-485 信号，LVDS 信号等，发送和接收侧必须采用相同的参考地。	
38			

3. 可靠性设计

编号	级别	条目内容	备注
1	规定	钽电容的耐压要降额到 1/3 以下。	
2	推荐	纹波电流大和冲击电流大可能引起钽电容失效，故冲击电流场合慎用钽电容，热插拔等电源瞬变场合谨慎选用钽电容。	
3	推荐	避免使用大容量钽电容；可用并联的形式。	
4	规定	钽电容失效易产生明火，故避免明火的场合慎用钽电容。	
5	规定	电源模块选型时，应确保电源模块上的钽电容符合降额标准。	
6	规定	工业级及商业级器件在实际使用中，结温降额应采用同样的降额标准，以确保实际使用中具有较高的可靠性水平。	
7	规定	面板监控线缆必须加入防静电保护电路（调用部门模块电路）。	
8	推荐	单板上关键芯片、功耗较大 IC，附近预留接地插座以备未来加装散热器接地用	
9	规定	散热器尽量多点、低阻抗、短距离接工作地平面。散热器与支柱、螺钉等的连接处采用星月孔与工作地平面连接；	
10	规定	LDO 等芯片的散热体如果是接在电源脚上时，与之接触的散热器应该多点接到该电源上。	
11	规定	器件或模块对散热器接地有明确要求时，按要求接地。如：带铝基板电源模块的基板和安装孔及散热器要接保护地。	
12	规定	单板上无法实现将散热器接地方式处理时，散热器可以采用浮空方式。	
13	规定	同轴电缆的外屏蔽层，屏蔽电缆的屏蔽层可以通过接口接保护地	
14	规定	明确标注金属壳体的处理方式	
15	推荐	器件带有金属壳体的引脚，将引脚连接到相应的地上。 ESD 防护器件接地端、金属外壳的元器件的金属外壳、屏蔽装置接到静电防护与屏蔽地；	

		具有金属壳体而人手又经常接触的部件如接插件等部件，其金属壳体应与接地的机壳或底板紧密相连。内部电路在靠近这些部件的部位，应采用大面积接地。	
16	推荐	如果上面的规则实现困难，推荐金属壳体接地的优先顺序：通过泄放电阻连接到屏蔽地>保护地>工作地	
17	提示	<u>对于一些敏感电路，设计中应进行容限分析，以确认器件选型满足电路容限要求。</u>	
18	规定	单板保险丝降额合理（额定电流降额至少 50%，标称熔断热降额至 20%），应放在保护器件的前面。对于可能工作于温度较高环境的设计，必须充分考虑保险丝降额。	
19	提示	对于冲击电流很大的场合，保险丝不能按照标称的熔断热计算。有案例表明，即使很大降额，仍然不能满足要求。厂家不能解释。增加缓启动是根本方法，不能加缓起可以考虑不用保险丝。	
20	规定	尽量不采用无锁定装置的连接器的，必须使用时需评审。	
21	提示	跳线帽和拨码开关等机械器件存在可靠性，腐蚀等多方面问题，且失效模式通常容易使系统进入不正常的分支。尽量避免使用，通过电阻的方式用料单区分。	

4. 信号完整性/电源完整性设计

编号	级别	条目内容	备注
1	提示	<u>选择更不易造成信号完整性问题的接口方式/器件。</u>	
2	规定	关键路径经过时序设计，具备时序分析报告。凡涉及时序控制的电路，比如 CPU/FPGA/专用 IC 访问外挂存储器等必须进行时序分析。	时序设计另行规定
3	规定	满足以下任意一项或多项的网络必须附带信号完整性前仿真分析报告： 时钟信号；频率较高；有较严格的时序要求；对边沿单调性有要求（边沿敏感信号）；网络拓扑复杂（带有多个分支和负载）；对过冲等敏感（参见器件手册）；相关标准对信号质量有要求。	SI 仿真另行规定
4	推荐	<u>采用 16244 驱动器驱动变化信号，建议在驱动器输出添加 33.2 欧姆电阻或者 33 欧姆排阻。</u>	
5	提示	<u>有一些可编程逻辑器件可以设置输出的驱动强度、电流等参数，通过合理设置可以改善信号完整性。</u>	
6	提示	<u>如果时序允许，应将可编程逻辑器件的输出摆率设置为慢摆率。</u>	
7	推荐	<u>读写信号的驱动拓扑应尽量简化，必要应采用多个驱动器的方法简化拓扑，并进行信号完整性仿真，采用合适的端接。</u>	
8	推荐	可编程逻辑器件，输出交变信号时应进行端接。不便端接的信号应采用设置电流、摆率等方式改善信号完整性。	
9	提示	单向的片选等信号，可以采用源端端接。	
10	规定	EPLD/FPGA 输出的 UART 时钟等交变信号，必须进行端接。	
11	规定	<u>电源上电解电容的数目应该满足电源完整性要求。</u>	
12	规定	去耦电容的设计满足对工作电源的目标阻抗的要求，并按 PI 分析报告实施。	PI 设计另行规定
13	推荐	考虑为换层、穿越平面割裂的信号配置旁路电容。	

14	推荐	<u>在需要对电源完整性进行测试的位置，放置电源完整性测试点。</u>	
15	规定	对处理器等大规模关键器件，必须放置电源完整性测试点。	

5. 系统相关设计

编号	级别	条目内容	备注
1	规定	单板接口设计要和设计规范保持完全一致。	
2	规定	背板插座上本板没有使用的 PIN，不要连接到单板内的任何网络。	
3	规定	<u>热插拔系统的接口不应采用不支持插拔的标准。</u>	
4	规定	热插拔系统避免使用 I2C 总线。如因历史原因使用 I2C 总线，电源须采用二极管防止电流反灌。	
5	规定	<u>背板输入的 TTL/CMOS 控制信号应该设置成高电平有效，一般情况下处于低电平。</u>	
6	规定	单板输出到背板的总线信号以及主备单板公用的信号，在单板上电前、单板异常状态下处于高阻态，各控制和状态信号符合设计方案约束。	
7	规定	单板在局部掉电时不应出现器件损坏，不影响其他单板总线信号。	
8	推荐	在基本不增加成本的情况下，在第一版设计时，建议保留可调部分设计，并增加可调部分的设计和冗余设计，要尽量多的增加可调部分的设计。如，通过电阻或跳线实现灵活的功能选择、尽量多的引出测试点、合理使用器件的空闲管脚增加器件之间的冗余通道（特别是逻辑器件之间），不同器件方案验证的兼容设计等。	
9	规定	<u>单板运行时不需要进行调节的地方一律不用可调器件。</u>	
10	推荐	<u>设计应保证所有测试使用的跳线帽、跳线针在最终产品中不需安装。</u>	
11	规定	<u>系统设计阶段必须进行系统级信号完整性设计，尽量避免复杂拓扑，对每块单板接口的拓扑进行约束，时钟等关键信号尽量采用点对点方式传送。</u>	
12	规定	<u>系统设计阶段必须进行系统接口时序设计，考虑连接器、变化负载、温度、信号完整性等带来的波动，留出充分时序裕量，并规定各单板接口时序。</u>	
13	规定	RS-485 应考虑 Fail Safe 设计，在空闲时差分电平应为 200mV 以上。	
14	提示	RS-485 上拉或下拉偏置电阻的选择要注意器件的驱动能力。	
15	提示	RS-485 总线要考虑总线上多块单板并联时总线上负载的影响。	
16	推荐	单板能够检测自己输出的数据、时钟，方便故障定位。	
17	规定	应能够承受可能出现的最大电流（包括热插拔时的电流）。插座有额定电流的参数，插座电源的针承受最大电流不得超过其额定电流，并要求有一定的降额。例如欧式 48PIN 的插座，每根针通过的电流不得超过 1A。	
18	推荐	面板的 RUN，ALARM 灯用软件来控制，其他灯由硬件控制点亮。	
19	推荐	子卡连接器定义时，不用的插针接地，分布分配，减小信号线间互感串扰。	
20	推荐	E1 接口 RING 接地遵守公司惯例，发端接地，收端建议可配置为直接接地或者通过电容接地。可以套用公司模块电路的，依照公司模块电路实施。	
21	规定	需要热插拔的接口，在连接器选型时必须保证工作地先于信号和电源连接。推荐的顺序为地线-电源-信号。	
22	规定	用于电缆互连的连接器，设计时注意信号引脚之间定义足够的地信号，以减小回流路径，降低信号之间的串扰，特别是电缆中的时钟信号和小信号要用地线与其它信号隔离。	

23	推荐	系统设计时主控单板和受控单人间增加少量备用的信号线，在背板上予以设计，以提高系统的可升级性。	
24	提示	资源板用量较大，尤其要考虑成本因素，尽量采用可裁剪配置的设计方法。综合器件平滑升级设计的原则，尽量选择成本较低器件。	
25	推荐	单板应采用面板扳手状态监控电路监控面板扳手状态，并定义背板连接器左上角、右上角、左下角、右下角四根针为查拔到位指示信号。面板监控电路应采用防静电模块避免静电骚扰。	
26	提示	<u>主备单板切换应尽量减少对系统的影响；负责时钟分发单板应考虑时钟不丢失，不错误；复位、拔出主用单板应考虑尽量检测到操作并在复位、拔插前发起主备倒换；拔出、插入备用单板不应影响主板上工作产生影响。</u>	参见说明分析
27			
28			
29			
30			

6. 可生产性设计

编号	级别	条目内容	备注
1	规定	<u>选用的器件必须满足公司生产工艺要求，布局须通过公司工艺技术人员审核。</u>	
2	规定	<u>静电敏感器件慎用，如果采用要加防静电保护措施。</u>	
3	规定	<u>放置数量恰当的 Mark 点，数量参考原理图设计规范确定。</u>	
4	规定	<u>双面贴焊的单板，在选择器件时尽量使用贴片器件，不使用插装器件。尽量使单板采用双面回流焊工艺。</u>	
5	规定	<u>除非信号完整性特殊要求，背板上一般不应放置串阻等器件。背板尽量采用压接连接器，避免焊接连接器。</u>	
6	提示	<u>选用器件应注意器件的潮敏等级，必要时注明以保证生产加工可靠性；其间选型时避免选择潮敏等级高的器件。</u>	
7	推荐	<u>因为焊接温度不同，尽量避免板内有铅无铅工艺器件混用。</u>	
8			

7. 可测试性设计

7.1 JTAG

编号	级别	条目内容	备注
1	规定	含 JTAG 口的器件都需要使用事业部规定的 JTAG 接口电路，单板提供 JTAG 插座。	
2	规定	芯片的 JTAG 口管脚 TDI, TMS, TCK, TRST (若有) 可控，不能悬空或直接拉低/拉高 (注意芯片内部的上/下拉电阻)。	
3	规定	芯片的 TCK, TMS 的驱动能力满足扫描链路的要求。	
4	规定	芯片的 BSDL 文件要齐全、完整和正确。	

5	推荐	多个同样的芯片，设计 JTAG 串行链路。	
6	规定	不同芯片，单独设计 JTAG 链路。	
7	提示	设计中 TRST*管脚注意正确上拉或下拉，确保测试模式不被启动。	
8	提示	电源控制芯片 JTAG 下载口单独引出。	
9	提示	Xilinx Spartan III 器件的 JTAG 接口为 2.5V，设计中须防止过压。	

7.2 测试点

编号	级别	条目内容	备注
1	规定	测试点满足康讯的可测试性要求。应设置充分的内部和外部测试点，以便给测量、故障检测和故障隔离提供手段。测试点应有尽量明显的标记。	
2	规定	<u>电源和地必须有足够的通孔测试点，要求每一种电源都至少有一个测试点，地的测试点至少每 10cm 一个，要求平均分布在单板上。</u>	
3	推荐	<u>高频时钟信号或高速信号的测试点旁边应放置接地测试点；信号的测试点应该放在接收端。</u>	
4	规定	<u>时序较为复杂的信号要求每个信号都引出测试点，以便单板测试。布局时必须注意测试点（包括 ICT 测试点）引入的分岔尽量短，不得影响信号的信号完整性。对速度很高的信号，必须考虑测试点引入的阻抗不连续对信号的影响。</u>	
5	推荐	<u>多针测试点，空余的管脚应接地处理。</u>	
6	规定	<u>向 PCB 提供不焊接插装器件清单。</u>	

7.3 电路可测试性

编号	级别	条目内容	备注
1	规定	时钟电路或振荡器电路的输出可控。	
2	规定	数字器件特殊引脚需要全部独立处理。	
3	推荐	反馈回路可以断开。	

7.4 系统可测试性

编号	级别	条目内容	备注
1	规定	对输入单板内的时钟进行检测。	
2	规定	对从背板输入或输出至背板的数字 I/O 信号线的可以控制	
3	推荐	CPU 能够检测输入单板的信号状态，便于实现系统互联时的测试。	

第二部分 详细说明

1. 原理图制图规范

1.1.1 原理图必须使用公司统一原理图库

在原理图设计中，必须采用公司统一原理图库，以保证设计的一致性和打包后封装、料单等结果的一致性。不使用公司统一原理图库造成的连接、封装错误个人承担责任。

注意使 cds.lib 中的路径指向库服务器 eda-svr1 的路径。库服务器每天会和公司统一库服务器同步 2 次确保最新。

在改版设计中尤其要注意这个问题，因为打包时会将部分库备份到本地，可能造成本地库和公司库不一致。

对于历史遗留的未采用统一图库的设计，可以豁免此项检查。但是如果经历改版，必须将原理图库切换至公司统一库，以保证料单的正确性和后续的可维护性。

[返回](#)

1.1.2 原理图应采用 0.100 栅格

该栅格设置为一般器件库管脚间距的设置，采用非标准设置的栅格可能会导致其他人员重用原理图时无法对齐。

如果出现原理图库中的元件处于 0.050 栅格，无法对齐者，应和原理图库管理人员沟通解决。

[返回](#)

1.1.3 图框大小

部门要求，除非器件符号太大无法在图面内放置，一律采用 A4 幅面的图框进行设计。部门一般均采用 A4 幅面进行打印，在 A3 幅面上绘制的原理图在 A4 幅面纸页上打印后字符无法分辨，难以进行走查、评审。故规定无特殊需要一律采用 A4 幅面图框进行设计。

[返回](#)

1.1.4 图框上填写的内容和页码、总页数等信息应以用户变量（Customer Text）进行标注

采用用户变量方式标注，可以每页的内容一致，避免出错。如果因为填写错误修改，也只需修改一处即可完成整个原理图的修订，故要求所有原理图的图框信息应采用用户变量进行标注。

用户变量定义方法如下：

菜单中选择 Tools – Options，选择 Custom Variables 标签。在表格中定义如下环境变量：



Name	Value
AMODELNAME	ZXC10 BDSE
ATITLE	RIM3
AVERSION	0501
ADRAWINGNUMBER	ZX912.16.5044.DL.A
ADRAWN	GUO DANDAN

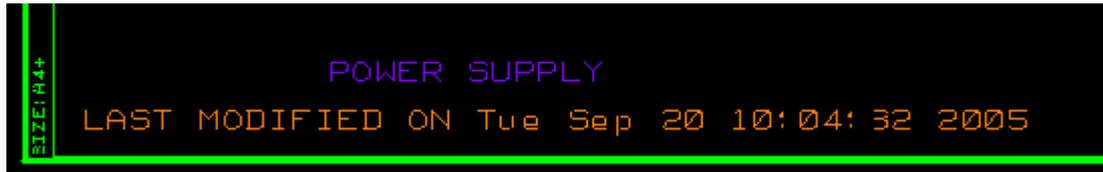
其中前面 4 项分别为产品类型、单板类型、单板版本、单板原理图文件编号，应向项目负责人和标准化管理人员咨询正确的内容。**ADRAWN** 为绘图者的姓名，采用汉语拼音标示，全部使用大写字母，姓在前，名在后，以一个空格隔开。

定义变量后，采用菜单的 Text – Custom Text 选项可以在封面、各页图框放置变量。当前页码和总页数采用变量 CURRENT_DESIGN_SHEET 和 TOTAL_DESIGN_SHEETS 变量放置。

[返回](#)

1.1.5 每一页左下角标注功能注释和修改日期

如下图所示，采用普通文本标注功能，采用 CON_LAST_MODIFIED 变量标注最后修改日期标注日期。



原公司原理图规范采用 Drawing 符号对原理图第二页进行标注。我们在实际应用中发现，采用每页标注可以知晓每页最后被修改的时间，所以部门要求每页都要标注最后修改时间。

采用环境变量的优点是可以直接将属性附着在图框上，拷贝图框的同时就可以拷贝最后修改时间记录。而采用 Drawing 符号必须规定一个组拷贝才能一起拷贝。故部门要求采用环境变量进行标注，如图例所示。

如果产品有特定规范，则采用何种方式标注以产品统一规范为准。

[返回](#)

1.1.6 原理图必须署名。多人设计原理图应在相应页码署各自的姓名，封面署单板负责人的姓名。

如果一份原理图由多人完成，每个人完成其中一个部分，应在定义环境变量时定义多个环境变量，如 ADRAWN1, ADRAWN2……以此类推。在分配任务时事先约定，在各自完成的部分分开填写相应的用户变量，实现分开署名。封面页的署名为单板负责人的署名。

对于改版、借鉴、调用的原理图，应署最后一次修改者本人姓名，而不是原作者姓名。原理图最后一次修改者对调用、借鉴后的结果负责。

[返回](#)

1.1.7 原理图上所有的文字方向应该统一，文字的上方应该朝向原理图的上方（正放文字）或左方（侧放文字）

下图分别为符合规范和不符合规范的例子。

范允许+/-号放在中间。

无特殊情况推荐将+/-符号放在信号名最后。

[返回](#)

1.1.11 时钟信号的命名

为了方便信号完整性分析和布线约束制定，并保证不引起歧义，时钟信号必须以规定的 CLK 后缀结束。其他信号，例如时钟使能信号等，一律禁止以该信号命名后缀结束。时钟信号命名还应体现出时钟频率。根据绘图者的习惯，可以体现出时钟的流向、用途、来源等信息。

例如：FPGA1_8K_CLK, FPGA2_33M_CLK, OIB0_52CHIP_TCLK 都是符合规范的命名。

串联端接时钟网络的命名参见[串联端接网络的绘制和命名](#)

注：CHIP 为 CDMA 中常用的时钟速率，1xCHIP 为 1.2288MHz。

[返回](#)

1.1.12 串联端接网络的绘制和命名

对于源端端接网络，正确的画法应该是将串阻直接画在驱动器件的输出端，串阻和驱动器件之间的网络可以不进行命名，串阻之后的网络进行命名。如下图所示为一个正确的范例。



如果将串阻放在接收端，或者在串阻之前的信号进行命名，串阻之后的信号不进行命名，都会使得布线的分析和检查困难，甚至会造成串阻被放置在接收端而未被查出的结果，导致信号完整性较差。如下图是不正确的范例。



[返回](#)

1.1.13 电源及有特殊要求的网络命名

对于电源网络和有特殊要求的网络（例如阻抗控制，电流较大，布线层、过孔数有限制等），必须加以命名，这样在 PCB 进行布线布局时，就可以对相应网络进行特定的约束和检查，确保布线满足设计要求。

对于单板接口电源信号，应该和系统设计保持一致，不强制规范添加 VCC 前缀。但是《PCB 设计说明》中必须明确申明，确保布线符合设计实际需要。

对于一些器件（例如时钟驱动器、锁相环等），其电源单独通过磁珠等进行滤波，往往忘记添加网络标号直接相连，或者添加普通的网络标号。这样的结果很可能导致该网络未按照电源进行布线，走线较细或者走较长线，带来性能上的降低。

[返回](#)

1.1.14 原理图库多部分构成的器件打包问题

一些器件因为管脚很多，在原理图库中被分成了几个部分，例如部分背板连接器、FPGA、CPU 等。这些器件在绘图过程中很可能被放置在不同的页上。

在打包过程中，很可能出现一个器件的不同部分被分以不同的位号，成为多个器件；以及多个器件位号相互交错的问题。

一般避免此问题有如下方法：

- 对同一个器件的不同部分，设置属性“Group”，定义为同一个组名（例如“FPGA1”）；
- 设置位号硬属性“Location”后打包。（反标产生的为“\$Location”软属性。）

以上两种方法不能同时使用，否则会出现错误信息（参见 Package XL 手册）。

一般情况下，为了避免打包时或者修改属性时出现其他问题，兼顾模块设计的需要，我们不推荐使用“Location”指定硬属性的方法解决此问题，建议定义“Group”属性。

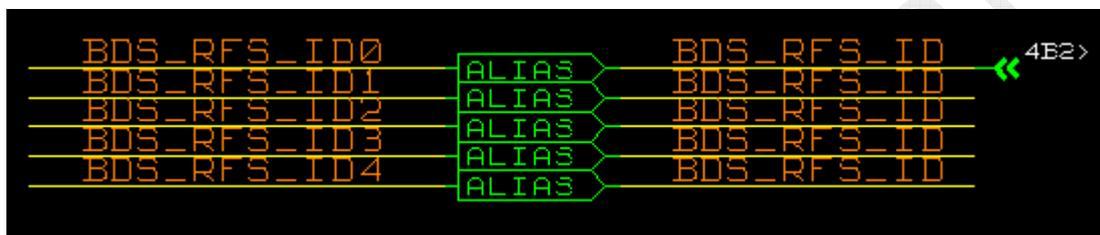
[返回](#)

1.1.15 Alias 符号的使用

我们有时使用 Alias 来连接网络，以实现同一个物理网络，需要不同名称的场合。例如对于一个网络信号名定义为 PLUG-S，实际和 GNDD 相连，就可以使用 Alias 进行连接，不会发生错误。

使用 Alias 连接的网络，必须使用网络标号的方式进行连接，不能使用连线(wire)进行连接，否则会导致连接失败。

正确的画法为：



错误的画法为：



两种连接方式看起来完全一样，但是实际上第二种方式在打包时不能形成正确的连接。

[返回](#)

1.1.16 禁止使用 SIZE 属性放置多个器件

在参考文献《Q/ZX 04.104.2-2002 电路原理图设计规范——基于 CADENCE 平台的设计要求》中，说明了一种采用定义 SIZE 属性放置多个相同连接关系器件的方法，例如去耦电容、MARK 点等。

采用此种方法虽然方便了原理图绘制，但是导致位号难以控制的问题。当布局布线要求需要调整数量时，很可能出现调整掉已经布局好位号等问题，所以本部门规定，禁止使用 SIZE 放置多个相同连接关系的器件。

[返回](#)

1.1.17 Offpage/offpg 符号的调用

Offpage 符号在原理图库中一共有六种，如下图所示：



这六种符号分别表示出了输入、输出和双向信号从左右两个方向进入页面。垂直的出页符号由水平的

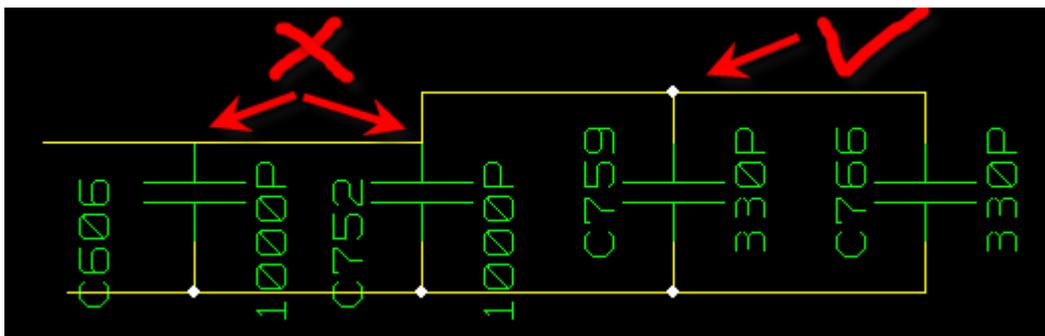
出页符翻转实现。

需要注意的是出页符在使用中不能通过镜像、翻转的方式作为相反方向的出页符使用，例如将左侧入页符 1 翻转、镜像后作为右侧入页符 4 使用，否则会出现文字位置、方向错误的现象，违反[关于文字方向的规范](#)。

[返回](#)

1.1.18 器件管脚上的引线，应引出后再分叉，不得直接在器件管脚上分叉

在绘图时，如果遇到 T 型的网络，必须将引线引出后连接，不得直接在器件管脚连出分叉，如下图所示。



采用上图中左侧的方式，在原理图打印后，无法确认网络连接。故不推荐使用。

[返回](#)

1.1.19 关于单节点网络和浮空管脚的检查

可以通过 Cadence 附带的原理图规则检查工具 Rules Checker（也称 Checkplus HDL）对原理图进行规则检查。我们最常用的是单节点（Single_node_net）和浮空管脚（Unconnected_instance）检查。

启动 Rules Checker 的方法是选择 Allegro Project Manager 的菜单 Tools – Rules Checker。在 Logic Rules 一项中选择 net_name_checks.rle 中的 single_node_net 和 Property_checks.rle 中的 unconnected_instance 选项（根据需要可以继续选择 nets_shorted 等选项），运行 Rules Checker。

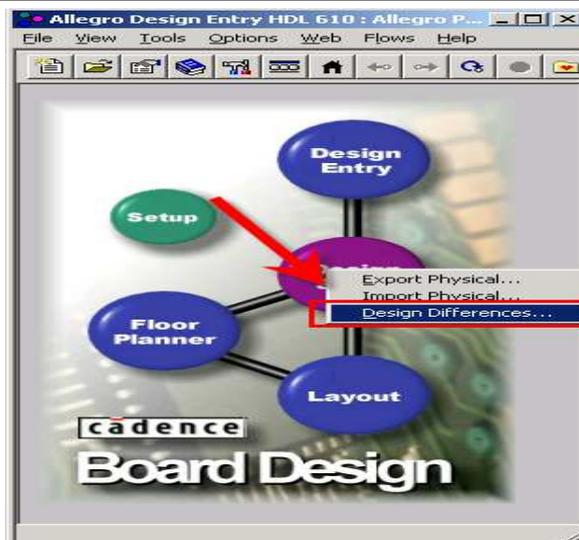
运行完成的结果可以通过读取文本文件的方式检查，也可以通过 View Marker 直接在原理图上定位确认。

在设计中出现单节点和浮空管脚是很正常的事情，例如单板静电泄放模块中有很多单节点。本条目要求的是对所有的单节点和未连接管脚进行确认，确保没有漏接网络或者遗留未处理的 CMOS 输入管脚、器件控制管脚。

[返回](#)

1.1.20 采用 Cadence 提供的工具对原理图和 PCB 的网表一致性进行检查

Cadence 提供的工具可以对原理图和 PCB 中的网表一致性进行检查，不需要人工进行。



调用该工具只需要在 Project Manager 窗口中点击 Design Sync 图标，选择 Design Difference 条目即可。

1.1.21 保留

2. 电路设计

2.1 通用要求

2.1.1. 器件接口电平匹配

器件接口之间的电平应该匹配，尤其要注意不同电压/电平类型逻辑进行接口的场合。

例如我们常用的 LVTTTL 信号输入低电平阈值和高电平阈值分别为 0.8V 和 2.0V。虽然器件实际反转电平处于 0.8~2.0V 中间的某一个电压，但是设计必须保障输入电平不会处于两个阈值之间。

对于差分线，要考虑逻辑的共模电压和差分电压范围是否都能够满足要求。

在不同标准、不同电压的逻辑电平进行接口时，尤其要注意这个问题，并避免器件工作在安全工作范围之外。

例如某单板中曾使用 3.3V 的 PCI 时钟驱动器 CDCV304 分发射频时钟，时钟来源于 1 颗 5V 的压控晶体振荡器（VCXO），该振荡器为 CMOS 输出。VCXO 的输出电压范围超出了 CDCV304 输入的电压范围，长期工作可能对 CDCV304 的钳位电路或 VCXO 的驱动电路造成损伤。

Xilinx 的 SpartanIII 器件采用 2.5V 的电源 V_{ccaux} 作为下载接口电源，直接连接下载线会对器件造成损伤。厂家推荐的做法是采用电阻限流保护下载管脚中的钳位二极管，并在 V_{ccaux} 上接对地的电阻泄放电流。我们在设计中可以采用 2.5V 的驱动器转换省去这些麻烦，但是选择 2.5V 驱动器时必须考虑能够承受高于电源电压的输入。

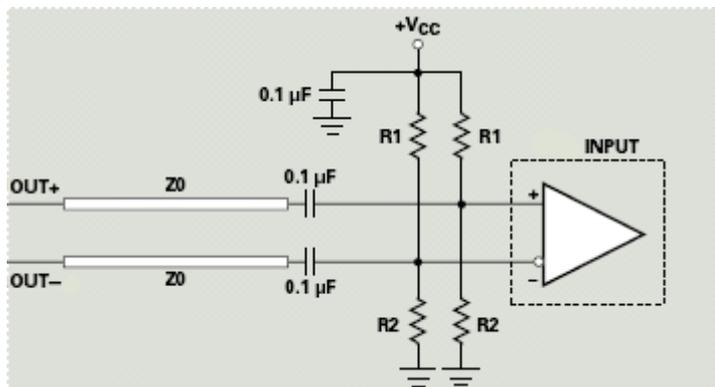
对钳位电路的介绍参见“[对电源有二极管钳位保护的器件](#)”。

随着工艺的进步，线宽减小，很多逻辑器件的内置保护电路变得非常脆弱，不能长期承受过应力，器件对过冲等指标也提出了要求。在设计中应予以甄别。

差分信号也存在同样的问题。系统中可能出现的高速差分电平包括 PECL, LVPECL, CML, LVDS (MLVDS, BLVDS) 等等。这些电平之间也有可能需要进行接口。这些电平的共模电平和差模电平各不相同。需要在这些电平之间切换时，可以采用专用的转换芯片，也可以采用戴维宁定理、分压电路等基本电路实现接口，例如 5V 的 PECL 信号和 3.3V 的 LVPECL 信号接口采用的 3 电阻端接电路。

采用交流耦合消除了直流共模电压的不同，方便了接口设计。但是需要注意的是**交流耦合只能在数据流直流平衡的方式下使用**，否则无法正常工作。Agilent 公司 1032/1034 芯片组的 CIMT 编码、802.3 规定的 8B/10B 编码等都属于直流平衡编码。通常的时钟占空比在 50% 左右，也可认为是直流平衡的。

交流耦合的参考电路如下图所示：R1 和 R2 为接收器提供正确的直流偏置电平，并为传输线提供端接。传输线上的 0.1 μ F 电容隔离直流分量。



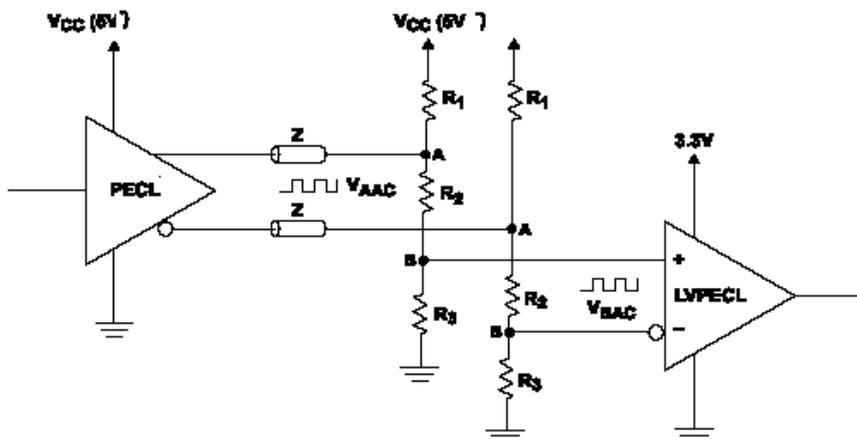
各种耦合方式的介绍可以参见 TI 公司文档 SCAA056, SCAA059, SCAA062 以及其他参考文档。

[返回](#)

2.1.2. PECL-LVPECL 接口

PECL 信号电源电压为 5V，在和 LVPECL 接收器进行接口时直流偏置工作点不满足要求。对于数据流经过直流编码的应用，可以采用交流耦合方式，即在信号线上串联电容隔断直流，两边分别采用上下拉电阻设置工作点。交流耦合电容如直接对单板外部接口，则存在对对方单板输入器件的 ESD 损伤隐患。采用上面提到的，在耦合电容另外一边对地接大电阻防止静电积累是可以的，但要考虑对信号的影响，所以需要对该电路进行实际验证才可以下结论。

对于必须采用直流接口的场合，应采用公司的 3 电阻端接参考设计。电路原理图如下图所示。



设计说明参见公司模块化资源库中“硬件设计指南—专题技术部分”专题中“PECL 电平匹配设计指南”文档。因为该文档成文较早，电阻的选取不一定能够在公司通用件库中找到对应的阻值。实际应用中应在通用件库中选择阻值相近的常用通用材料。

[返回](#)

2.1.3. 单板对外接口器件选型必须能够满足热拔插要求

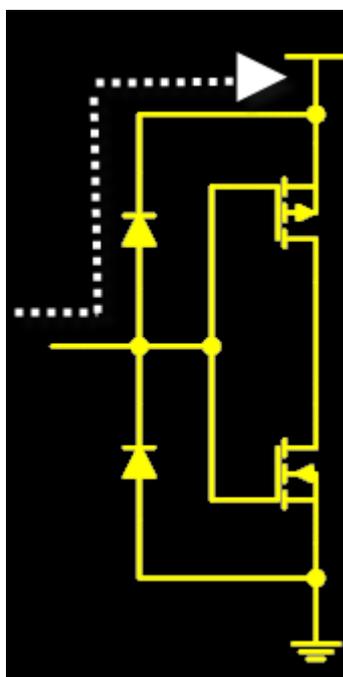
在单板对外接口器件选型时，应确保器件可以经受热拔插。对于普通逻辑电平器件，应考虑采用支持 OE 控制、Ioff、PU3S 的器件。这部分可以参考[逻辑器件应用章节关于热拔插要求的说明](#)。

对于其他器件也应充分考虑器件在电源为 0 的情况下，是否会导致器件损坏、信号线被拉死情况，

当单板上电且输入悬空的情况下，是否会出现输出乱码或错误电平、器件损坏等情况，并进行相应处理。对差分信号的热拔插要求参见“[差分信号应考虑 Failsafe 功能](#)”章节。

[返回](#)

2.1.4. 对电源有二极管钳位保护的器件



[返回](#)

当器件内部存在对电源钳位的二极管时，输入电压高于电源电压（或者在热拔插场合电源电压被关闭、还没有启动），则输入电压会被二极管钳制，对其他信号造成影响，并很可能造成驱动器件或者钳位二极管的过应力损坏。

如果器件的电源没有吸纳电流的能力，且该电源本身电流很小，则输入有可能通过钳位二极管拉高电源电压，造成局部电源过压，对器件造成损坏。

在有些情况下，我们利用钳位二极管来实现高电平到低电平的接口，例如 Xilinx 的 FPGA 应用于 PCI 总线的场合、Xilinx SpartanIII 应用 3.3V 电平下载的场合等，这是一般必须采用串联电阻或经过仔细计算，确保保护二极管和输入极门的栅极不会受到过压损坏。计算的范例可以参考 Xilinx 文档 XAPP653 《3.3V PCI Design Guidelines》。

2.1.5. 差分信号应考虑 Failsafe 功能

差分线的 Failsafe 功能包括当驱动器断电，接收器断电，驱动器未连接，差分线开路，差分线短路（或者通过匹配电阻连接）等状况下，器件不应该损坏。更高的要求是当因为上述各种原因，差分线处在中间电平时，接收器应该输出一个固定的状态。接收器输出乱码很可能导致器件的时序不满足要求而导致状态机跑飞等故障。

我们的 3G 系统中大量使用 MLVDS 器件发放时钟，可以参考 TI 公司 SLLD009 等文档了解 MLVDS 器件的 Failsafe 功能。I 型 MLVDS 器件在我们系统应用中，在无驱动状态下会因为干扰而输出乱码，采用 II 型器件可以解决；我们系统中的 RS-485 器件，当接收端接有端接电阻且无驱动的情况下，输出低电平，造成 UART 接收到错误的码，需要进行上拉或下拉处理。

我们系统中 RS-485 总线的处理也是考虑到 Failsafe 功能和器件驱动能力之后综合考虑的结果。

[返回](#)

2.1.6. 了解 CMOS 器件的闩锁现象，选用不易发生闩锁的器件

CMOS 器件的闩锁（Latch-up）现象是由 CMOS 工艺结构所造成的。CMOS 器件在生产过程中，会寄生 PNP 结构，相当于一个 SCR（Silicon Controlled Rectifier）。当因为电源电压异常、输入电压/输出电压高于电源或者低于地、ESD 放电等情况出现时，就有可能触发闩锁。

当闩锁发生时，器件内部的寄生 SCR 被触发，形成从电源到地的电流直通通路，产生大量热导致器件烧毁。

一般触发源消失后闩锁仍然保持，只有断电能够退出闩锁状态。为了降低器件发生闩锁的概率，我们在设计中应该理解并选择不易发生闩锁的器件。在一些器件手册上会说明，闩锁性能满足 JESD78 规定的某一级要求，均可作为参考。

同时，我们在应用中应该尽量避免触发闩锁的条件，例如：

- 热拔插过程中保证地线首先接触，然后是电源，最后才是信号
- 在背板接口上采用串联电阻的方法限制电流，减少闩锁发生的概率
- 多电源器件，严格遵守手册规定的上电和断电顺序
- 避免信号和电源出现过压等情况：一方面应该采取措施避免信号线上出现浪涌，一方面应该避免因为二极管钳位电路将浪涌泻放到电源而造成局部电源过压。

关于闩锁原理的详细介绍，可以找到很多参考文档。TI 公司的文档 SLYA014 《Latch-up, ESD, and other Phenomena》介绍了闩锁和一些类似的现象，ZARLINK 公司的文档《Understanding and Eliminating Latch-up in CMOS Applications》JEDEC 标准 EIA/JESD-78 《IC Latch-up Test》介绍了闩锁测量的术语和方法，刘春杰的技术文档《普通电平逻辑器件应用指导书》中也有对闩锁的成因进行介绍。

[返回](#)

2.1.7. 器件工作速率符合设计要求

器件和引入信号的交流特性应该匹配，例如 EPLD 是否支持引入的高速时钟信号以保证逻辑能够正确采样；时钟 BUFFER 是否用来驱动比其所能支持的频率更高的时钟信号等。例如 SN65MLVD200 器件，其数据手册上的速率为 100bps，折算成时钟频率为 50MHz，如果我们用来驱动 60MHz 的信号，虽然可以工作，但是性能不能再得到数据手册上的保证。

使用边沿速率很低的信号驱动高速器件，可能在边沿上产生毛刺或者振荡，参见“[对缓慢变化的信号需要使用带施密特输入的器件进行驱动](#)”。

同时也不推荐使用高速器件驱动低速信号，因为高速器件对毛刺信号敏感，且容易使得系统的 EMC 性能恶化。

我们在设计中有时会遇到 PP2S 或者 8KHz 的时钟信号，单板工作实际上并不以之为时钟信号，而是采用更高速的时钟对这些信号进行采样，不要求这些信号边沿单调，时序相对也较为宽松。在设计中采用时钟驱动器驱动这些信号会使得系统的信号完整性问题恶化。根据系统时序裕量，可以根据需求采用普通的驱动器驱动，作为普通数据信号处理。

需要注意的是，时钟的占空比发生变化、系统热拔插过程中时钟上的毛刺信号都相当于使得时钟频率升高，从而导致逻辑跑飞。在设计中必须注意这样的问题，保证系统能够可靠工作。

[返回](#)

2.1.8. 在满足系统性能要求的情况下，尽量降低信号的速率，采用慢速器件

高速器件主要指信号切换速率高的器件。因为切换速率高对应着工作频率也能增加，所以两者有一定的联系。

高速器件和高时钟速率对系统带来了多方面的影响：

- 信号完整性问题。即使是很短的导线，也必须作为传输线处理，进行恰当的端接，否则就会发生振铃、过冲。这不仅仅和频率相关，频率很低而切换速度很高的器件也必须考虑！
- 切换速率的提高使得电源完整性劣化，需要更多的考虑电源系统的设计。
- 有可能造成成本的上升。例如曾经采购 EP20K160EFC484 型 FPGA，快一个等级的器件价格上要高出数百元人民币。
- 更多的 EMC 问题。
- 设计时序要求更加严格。
- 功耗更大，为系统散热带带来挑战。

当不必要的时候，我们可以尽量选用便宜、满足要求的慢速器件。

[返回](#)

2.1.9. 模块电路、通用电路和参考设计

设计的重用可以大大简化设计工作，提高设计效率，提高工作质量。公司内部统一使用相同功能电

路还能够减少器件选型种类，降低管理成本，并通过扩大单一器件采购量的方式降低采购成本。

模块电路/参考设计一般都由相关领域经验丰富的员工开发，经过了较多的应用验证和严格的设计评审，电路成熟，可靠性较高。没有特殊的情况，能够采用模块电路实现功能者一律要求使用模块电路。如果认为模块电路在成本上不具优势，或者模块电路存在设计问题，应提请模块电路进行修正，不要私自重新设计电路。

[返回](#)

2.1.10. 产品设计约定

对于部分尚未来得及模块化、通用电路化的电路，以及只和产品相关的电路设计、器件选型，部门在产品开发的特定阶段会针对产品进行约定。例如在 3G 系统中选定了部分器件作为公用器件，约束了接口逻辑器件的上拉或下拉方式，规定了 0.1uF 去耦电容的选取等。这些约束在产品范围内和模块电路、通用电路等有同等效力，必须遵守。

[返回](#)

2.1.11. 同一物料代码下多种器件的使用

为了降低采购成本，并避免因为供应商出现商务纠纷、财务问题、质量问题等导致公司生产受到影响，一般的物料都会要求有两家以上的供应商可以供货。物料代码的初次申请往往是为特定应用场合考虑，所以两种物料很可能各种参数不完全兼容。对同一代码物料的采购，是综合价格、供货能力等各项因素考虑的结果，

例如某应用需要 3.3V 工作 100MHz 的视频模拟开关，为两种物料申请了代码，一种的工作电压为 3.3V，另外一种可以工作在 3.3V 或者 5V 的环境下。当设计进行器件选型时，必须要求对一个代码下所有的物料都进行分析，确保可用。在调试和试生产过程中对各种物料单独使用、混合使用等各种情况进行试验，确保设计工作正常。

另外例如 16C554 型 4 路 UART，同一代码下有 ST16C554 和 TL16C554A 两种型号，后者比前者增加了自动流控制功能。两种物料一般情况下都是可以通用的。某事业部一批单板，研发过程采用了 ST16C554 型 UART 进行调试，未发现硬件设计未处理流控制相关输入管脚和软件设计中未正确初始化流控制相关寄存器的问题，验证不充分，导致生产中出现大量单板不能正常工作。所有单板返回生产线替换器件解决问题，耗费了大量时间、人力和成本。

如果通用库中的器件均无法满足要求，可申请进行器件代码拆分或者指定品牌生产。

[返回](#)

2.1.12. 单板上所有有复位管脚的芯片，要求复位管脚软件可控

UART、专用芯片很多都有专用的复位管脚，FPGA 在设计中一般也会设计复位管脚用来对全片进行复位。这些管脚应该软件可控，以保证当单板一部分工作不正常的时候，可以通过软件对该部分复位，不需要复位整块单板。

例如某接口单板，有多片 FPGA 存在。如果部分 FPGA 已经下载并开始工作，而其他没有正常工作时，会导致系统输出一些错误的数。通过让已下载的 FPGA 处于复位状态可以避免这个问题。如果软件不能控制 FPGA 的复位端，系统将无法正常工作。又例如某单板上 FLASH 的复位引脚连接到上电复位信号上，如果写 FLASH 过程中程序跑飞或被后台复位，则 FLASH 不能再次写入，必须前台断电复位才能正常工作。

[返回](#)

2.1.13. 初次设计 CPU、DSP 和 ASIC 的配置管脚的上拉或下拉状态尽量设计成可调

在初次设计中，设计者对 CPU、DSP、ASIC 等器件的实际应用情况并不了解，完全依赖于器件厂商提供的器件手册，配置管脚的上拉或下拉状态很容易设计错误。对于很多专用的集成电路，其工艺、硅片版本也都处于升级之中，[数据手册经常会存在错误](#)。

在初次设计中，将 CPU、DSP、ASIC 等器件的配置管脚设置为可调，可以通过选焊电阻的方法避

免飞线，提高一次成功率。

[返回](#)

2.1.14. 器件手册，更正历史和勘误表

器件厂商在开发器件的过程中，不可避免的会出现错误。有些错误是因为设计问题引起的，有些问题是因为硅片工艺问题引起的。器件手册本身在编写过程中，也会出现一些遗漏和错误。因此，器件厂商会对器件手册进行升级，或发布器件手册的勘误表（Errata）。

例如某型号 DSP 器件，对器件手册的勘误表有多次升级，说明了在芯片当前版本中的各种问题，了解这些问题可以避免在设计中重复已经发现的错误。再例如 SPARTAN 3 型 FPGA，2003 年的厂商的器件手册和 2004 从网上下载的器件手册在一些说明中存在差异。

860 型处理器，最初的手册中推荐将 TRST*接在 HRESET 上，后续的勘误表要求不能这样连接，否则会导致无法启动，在我们的设计中也出过这样的案例。（参见参考文献《CDMA 事业部 2004 年度可靠性经验案例集》）

我们常用的时钟驱动器最高工作频率在不同版本的手册中可能会有差异。系统中大量使用的 TI 公司 LVT 型总线驱动器，在 1998 年之前是含有总线保持功能的。1998 年开始 TI 将总线保持器件改名为 LVTH（SCEA010 LVT to LVTH Conversion），2003 年开始 TI 重新推出的 LVT 器件不含总线保持特性，但是其他很多厂商采用 LVT 命名总线保持器件。这些信息都需要注意，避免设计和实际出现偏差。

TMS320C6414T 型 DSP，在 2005 年 5 月份之后的 Errata（E 版）中，说明了当 DVDD 比 CVDD 上电早时，可能出现 PCI/HPI 数据错的问题。虽然后续的硅芯片应能够解决这个问题，但是设计中必须予以考虑。

这些变更信息一般是不会直接传达到研发人员手中的，所以研发人员在单板开发过程中，应该直接向供应商索要或者直接到器件厂商网站上下载最新版本的数据手册、勘误表等资料，避免按照错误的信息进行设计。

[返回](#)

2.1.15. 对于设计中的可配置部分（包括为调试设计而最终不安装的部分），必须注明本板在线运行和调试使用的所有配置方式

单板上经常会设计可配置的方式，例如[初版未确定配置方式而设计的上拉或下拉](#)、为了器件兼容设计的上下拉电阻和 0 欧姆跳线电阻、为了同一块 PCB 实现不同配置设计的可调部分，为避免风险而设计多种器件方案，最终只采用 1 种的情况、为了调试方便设计的一些跳线和上下拉等。

当这些情况出现时，原理图上会存在多种方案，最终设计在料单上体现。这样会给阅读、走查等带来很大的困难。

所以我们规定，可配置部分必须在器件旁边注明配置方式。

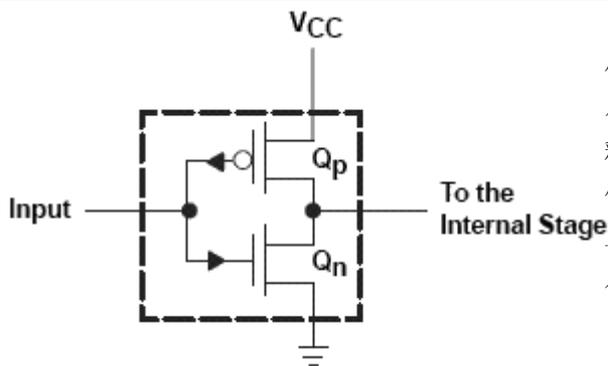
[返回](#)

2.1.16. 保留

2.2 逻辑器件应用

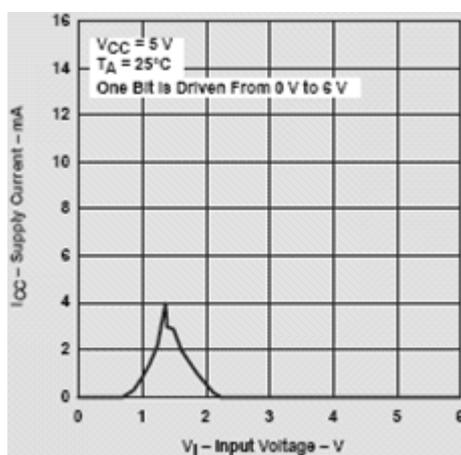
2.2.1. 未用 CMOS/BICMOS 器件管脚不得悬空，需要通过电阻接电源或者接地

CMOS 器件的输入端一般为一对互补的 MOSFET 的栅极。



LVT/LVC DEVICES

另外，悬空的 CMOS 输入端可能处于任意电平，也就导致了器件可能处于 PMOS 和 NMOS 直通的状态，甚至处于震荡状态消耗更多功率，减少器件寿命。



左上图就是当器件中一个驱动器输入电平和电流的关系。（来自 TI 文档 SCBA004。）可以看到，当器件输入处于非确定电平（0.8V~2.0V）时，器件消耗了更多的电流，约为 4mA 左右。这个电流看起来并不大，但是需要注意的是，这个电流完全耗散在器件上，每个门的功耗大约为 13mW。

右上图是 ISP Mach 4000 系列输出电流和电压的关系。假设输出电流为 10mA，从曲线上可以看到，器件上的电压降约为 0.2V 左右，每个门的功耗约为 2mW。

相比而言，器件处于中间电平将耗散数倍于正常工作状态时的功率。如果 16 个门同时处于中间状态，器件上将产生 0.2W 的功率，影响器件寿命。关于震荡状态的机理介绍，请参考“[对缓慢变化的信号需要使用带施密特输入的器件进行驱动](#)”一节。

为了避免这种情况的发生，我们需要对不用的 CMOS/BiCMOS 器件管脚进行处理，通过一个电阻将管脚接电源或者接地处理。电阻的选择在“[上下拉电阻的选择](#)”一节进行介绍，另外可以参见 TI 公司的文档 SCBA004《Implications of Slow or Floating CMOS Inputs》和刘春杰的文档《普通逻辑器件输入端口偏置电阻的选取》。

关于总线保持器件在后面“[原则上不推荐采用总线保持器件或者启动可编程器件的总线保持功能](#)”一节介绍。

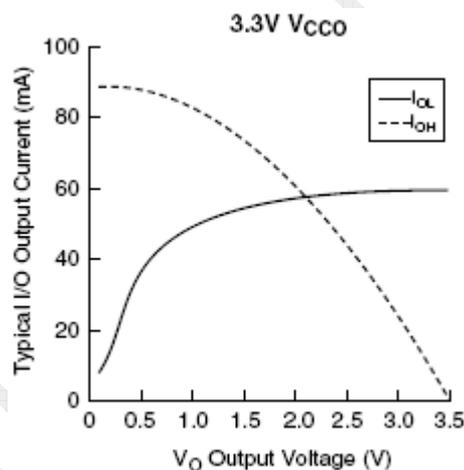
[返回](#)

2.2.2. 悬空、固定电平的管脚管脚采用电阻接电源或者接地，禁止直接连接

上节已经说明了 CMOS 器件输入禁止悬空的问题。另外，还有一些控制信号，我们在设计中只要其出于常‘0’或者常‘1’状态。在有的设计中，将不使用的器件直接连接在电源或者地上。

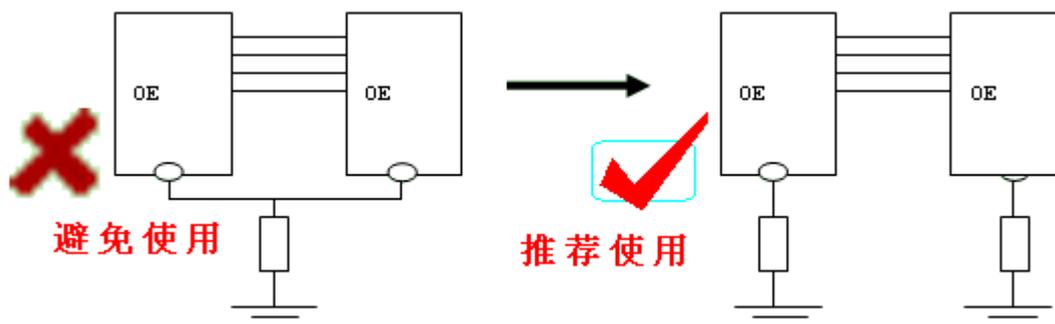
在公司的生产过程中，单板都需要进行 ICT 测试，需要通过探针对单板上的器件施加激励并测量响应，确定单板是否正常。直接将器件的输入端接地将导致器件该部分无法测试，所以从可测试性考虑，

MOSFET 的栅极一般是在一层非常薄的硅氧化物绝缘层上制造的，具有非常高的电阻和一个小电容。当悬空时，管脚上微弱的感应电荷很难释放，就会在栅极上建立很高的电压，导致栅氧化物击穿而损坏器件。ESD 防护二极管的可以防止避免器件损坏，但是我们要求采用电阻降低输入端阻抗，实现可靠的设计。



严禁将此类输入管脚直接接电源或者地，必须通过电阻连接。

对器件悬空管脚进行处理时，应考虑测试需要，例如器件的 OE 和输入信号不应使用同一个电阻进行上下拉，否则在测试中因为有一个电平会关断器件而无法测试；多个器件不应使用公用的复位、控制或使能，否则无法隔离各个器件定位问题，如下图所示。

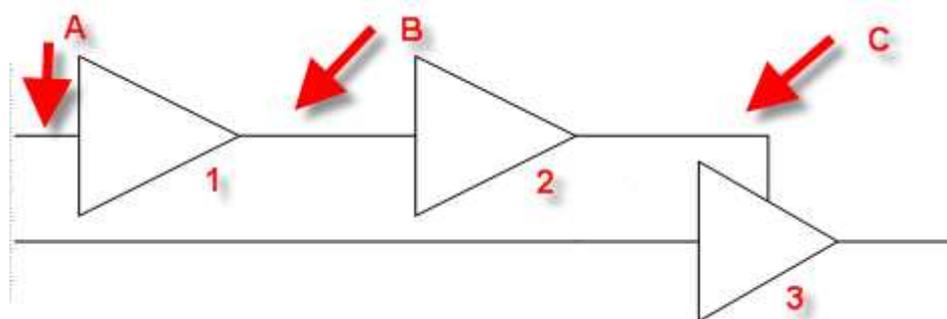


[返回](#)

2.2.3. 多级具有上电 3 态的器件级联驱动信号时，如果信号上电过程要求确定电平，则各级输入端都必须采用上拉或下拉电阻确定状态

有时我们可能采用上电三态的器件驱动驱动器的 OE 端等信号。这些信号在上电过程中对其电平有要求，如果上电过程中驱动器被打开，则可能引起总线冲突而导致系统工作不正常，甚至烧毁器件。此时因为不能确定各个驱动器脱离三态的顺序，各点都需要用上拉或下拉确定电平。

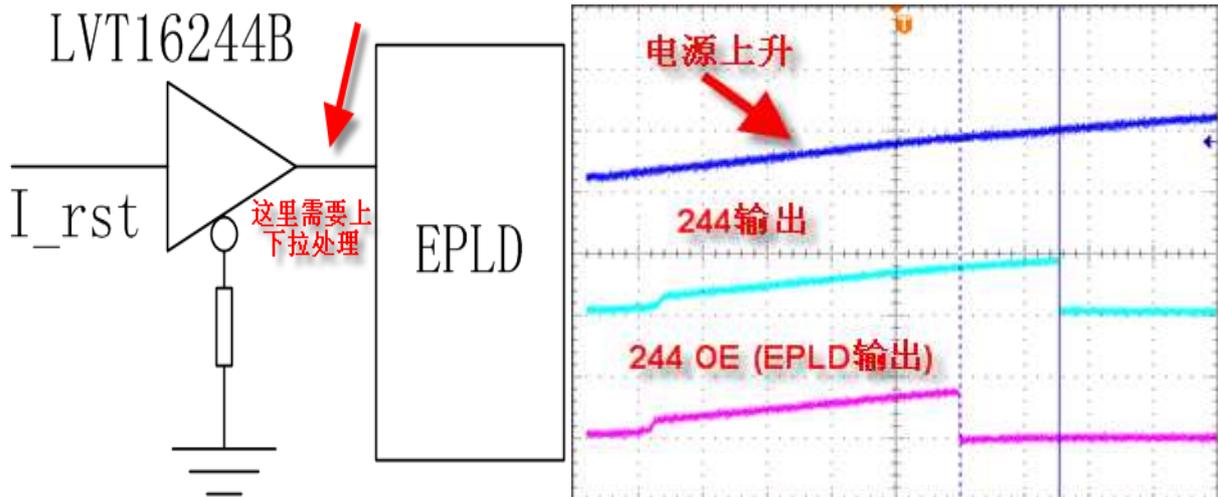
例如下图中的电路，为避免驱动器 3 最先脱离上电 3 态后向背板输出数据，C 点必须采用上拉或下拉确定为无效电平。如果驱动器 2 先于 1 脱离上电三态，它可能将 C 点驱动为有效电平，所以 B 点必须进行上拉或下拉处理。同样道理，如果 A 点由一个上电时三态的器件驱动，那么 A 点也必须上拉或下拉。



[返回](#)

2.2.4. 采用具有上电 3 态的器件驱动背板输入控制信号，如果该信号上电后立刻需要读取且不受上电复位控制（例如单片机 ISP 模块中的背板复位信号和下载使能信号），则必须采用电阻置初始电平。

本条和上一条目内容基本一致。我们的系统中一般都采用了 LVT16244 或者类似的器件对背板输入信号进行缓冲，提高单板的可靠性。器件的选择一般和驱动输出到背板信号的驱动器一致，故都具有上电三态特性。我们不能确定器件脱离 3 态或者完成上电开始工作的顺序，故必须采用一定的手段确定系统在上电过程中状态可控。



在 3G 的系统中，MCU ISP 模块采用背板输入的 I_{rst} 和 $I_{downloaden}$ 信号启动单片机的软件版本下载，这两个信号经过 LVT16244 缓冲后送给 EPLD 处理。某单板在调试过程中出现，主控板并未使能下载模式，但是单板进入下载模式的故障。（在编译中，启动了 EPLD 的内部上拉使能。）

经过测试，得到如右上图的波形。在整个过程中，输入的 I_{rst} 信号一直为低电平，随着电源上升，EPLD 的 IO 在上拉电阻作用下缓慢上升。当电源电压上升到阈值时，EPLD 开始工作，244 的 OE 端被拉低，此时 244 仍然受到上电三态电路的控制，处于 3 态，EPLD 的输入继续在上拉电阻的作用下上升，导致 EPLD 采样到错误的高电平。大约 150uS 之后，244 脱离上电三态，EPLD 输入端呈现出正确的低电平。

为了避免这种情况的发生，需要在 244 的输出端添加 1K 的下拉电阻（采用 1K 电阻是为了保证在 EPLD 内部上拉的作用下，仍然能够保证下拉的可靠，请参考[上下拉电阻的选择](#)的部分。），确保上电过程的正确性。对于 EPLD 中受到复位信号控制的输入，因为 706 芯片会输出上电复位信号，所以可以不作如上处理。

[返回](#)

2.2.5. 对背板输出的驱动器，如果其 OE 端需要控制，应采用电阻设置为输出无效状态

对背板输出的驱动器，应该避免在上电未完成时对背板输出，以防止出现系统异常的数据或者总线冲突。如果背板驱动器 OE 端通过 EPLD、FPGA、CPU 等控制，则需要系统在这些器件没有上电之前，背板驱动器处于关闭状态，故应改对 OE 端进行上拉或下拉处理，采用电阻设置为输出无效状态。

对于常用的 16244 等驱动器，对 OE 端采用电阻上拉。

[返回](#)

2.2.6. 避免使用一个排阻同时用作信号上拉和下拉

有些单板设计中，设计者为了节省排阻，采用 1 个排阻，其中部分电阻对信号进行上拉，部分电阻对信号进行下拉。

因为在加工过程中，排阻焊接容易产生搭锡短路，采用 1 个排阻同时作为上拉和下拉电阻，发生搭锡很可能导致电源地之间的短路，此类故障极难查找定位。另外在调试过程中，测量时示波器探头易导致排阻相邻管脚短路而造成探头烧蚀和单板损坏。

为避免麻烦，规定避免使用一个排阻同时用作信号上拉和下拉。

[返回](#)

2.2.7. UART 器件 16C55X，如果不使用其 DSR、DCD、CTS 信号，需要进行下拉，使信号为有效状态，避免自动流控制的器件不能正常工作

UART 器件的 DSR、DCD、CTS 信号，分别表示数据设备就绪（Data Set Ready）、数据载波检测到

(Data Carrier Detected)、数据设备准备好发送 (Clear To Send)，其有效电平为低电平。

在具有自动流控制功能的器件 (TL15C55xA) 中，如果使能自动流控制功能，CTS 将决定 UART 的发送器是否允许发送。某事业部的某种单板，因为这几个信号悬空未处理，管脚表现为高电平，加之软件处理不当，导致了数百块待发货单板回生产线返修。

为了确保在各种状态下器件工作正常，我们如果采用 3 线制串口通讯 (TX, RX, GND)，应将这几个信号采用电阻下拉到地。

RI (Ring Indicator) 振铃检测信号，在我们的系统中未使用，暂时规定要求下拉处理。

[返回](#)

2.2.8. PCI 总线信号的上拉

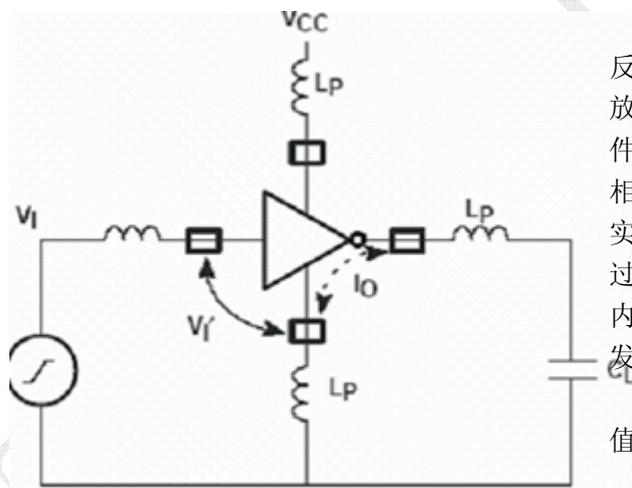
对 PCI 总线信号的上拉要求，在 PCI 规范中给出了详细说明，请参见 PCI Local Bus Specification 中的 4.3.3 节说明。该章节给出了详细的说明和计算公式。

[返回](#)

2.2.9. 对缓慢变化的信号需要使用带施密特输入的器件进行驱动

我们使用的普通 LVTTTL 逻辑器件输入给出的 V_{IL} 和 V_{IH} 一般为 0.8V 和 2.0V，处于这两个值之间的部分被认为是不确定区域。实际上，信号的切换处于 0.8V 和 2.0V 之间的某一个电平附近。信号处于 0.8V 和 2.0V 之间，驱动器的电流和功率消耗都会增大，不利于器件寿命（参见“[未用 CMOS/BICMOS 器件管脚不得悬空，需要通过电阻接电源或者接地](#)”一节介绍），但是较缓慢边沿对器件寿命的影响，例如总线上通过上拉或下拉电阻对总线电容充放电导致的缓慢上升下降时间对器件寿命的影响，目前我们还没有数据说明。

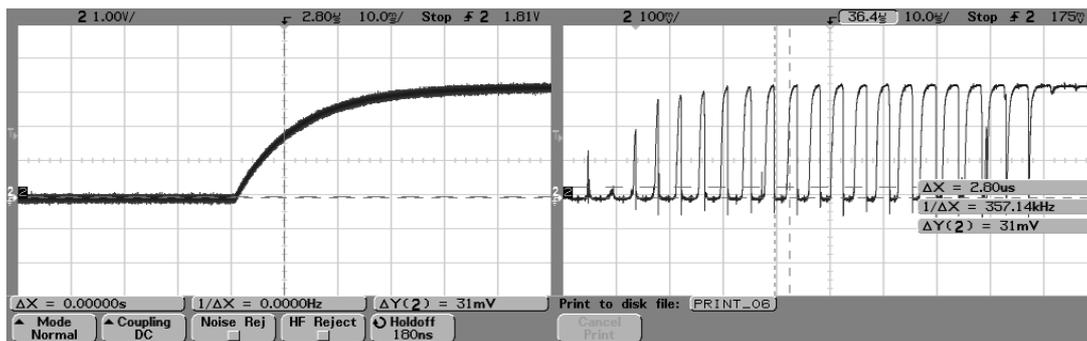
当对器件施加缓慢变化信号（例如采用 RC 和按钮开关产生复位脉冲的电路）时，处于切换期内的时间较长，在切换阈值附近的时间也比较长。现在我们使用的大部分逻辑器件开关速度都比较快，这时器件的寄生电感、电容等特性就会体现出来。



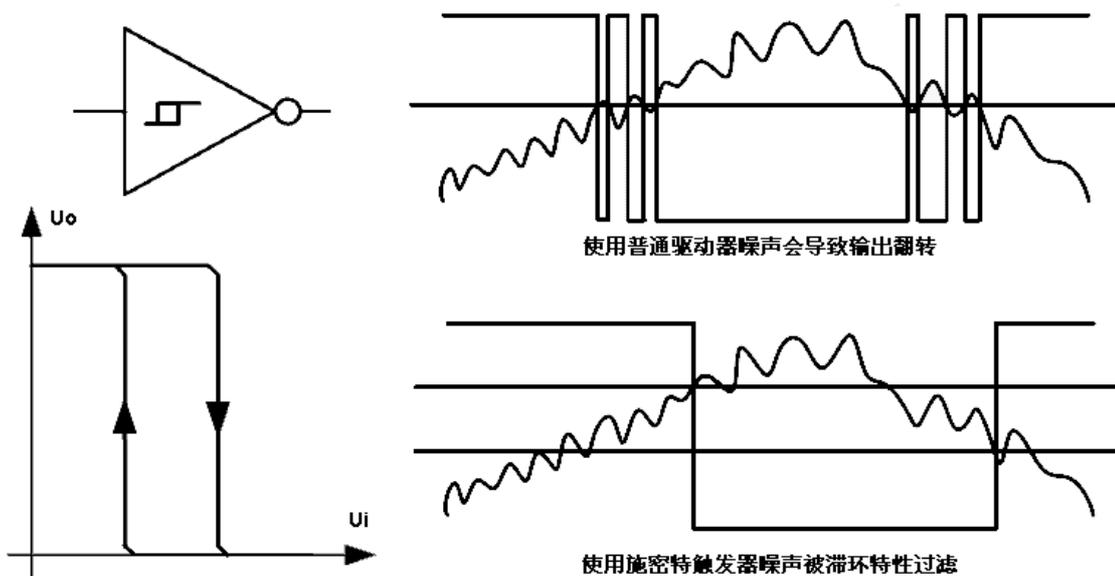
例如当输入电压缓慢上升到达阈值，驱动器反转时，负载电容 C_L 会通过引脚电感 L_p 向地上放电。快速的放电导致 L_p 上产生一个电压降，器件内部的电位实际上被抬高至高于地。内部阈值相对地升高。因为输入信号上升缓慢，此时阈值实际已经高于信号，器件再次发生翻转， V_{CC} 通过 L_p 对 C_L 进行充电，在 L_p 上产生压降，器件内部的 V_{CC} 降低，导致翻转阈值降低，器件再次发生翻转，如此往复。

电源地上的噪声在这种情况下也可能引起阈值变化而产生振荡。

下图就是实测的 LCX 系列驱动器在输入缓慢上升波形时的输出特性。可以看到输出的确发生了振荡（来自于某单板按键复位电路）。



解决输入缓变信号导致输出振荡或者毛刺的方法，就是使用施密特触发器对信号进行整形。施密特触发器的输入有滞环特性，能够滤除信号上的干扰，也能够有效防止振荡的发生。

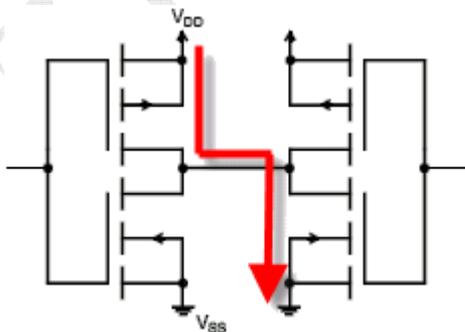


当采用了施密特触发器后证实，按键复位电路的震荡被消除。该电路已成为公司模块。

[返回](#)

2.2.10. 设计中应防止上电及正常工作时出现总线冲突。对于可能出现冲突的情况，应采用互斥设计，确保不会因为软件问题导致冲突

总线上往往挂着很多器件，分时传送数据。每一个时刻只有一个器件能够驱动总线，其他器件应处于高阻状态。

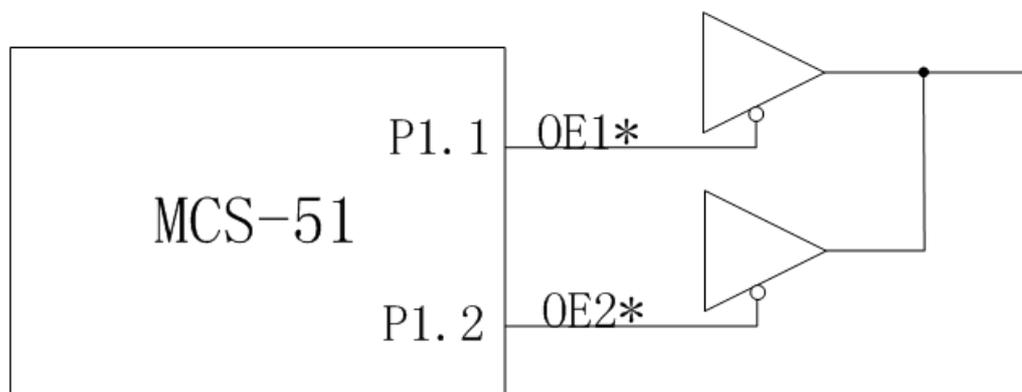


当总线产生冲突时，多于一个器件同时导通，当两个器件的输出的电平不一致时，将会有较大的电流通过器件的输出级直接从电源流到地，器件将耗散很大的功率，严重影响器件的寿命，并且干扰总线上的数据。

为了避免总线冲突导致系统数据错误甚至器件损毁，硬件设计应该保证类似情况下控制端互斥，即硬件设计保证不多于 1 个驱动器的 OE 端使能。一方面是使用上下拉电阻等确保在 EPLD、FPGA 未下载时单板上各驱动器关闭不发生冲突，一方面是在 EPLD、FPGA 逻辑代码中确保控制信号的互斥，即

软件不可能使得驱动器同时打开导致硬件损坏。

如下图的设计是存在问题的，当软件调试过程中，可能出现 OE1*和 OE2*同时打开导致驱动器发生冲突的风险。



在设计中，我们应当避免总线冲突的出现。不仅仅是避免正常工作中任何时刻两个以上的驱动器同时驱动总线，也要避免在单板/系统上电过程中、单板上电后逻辑下载完成之前或者初始化完成之前同时驱动总线。

某单板设计中，对 LVTH 器件的 OE 端处理不当，在单板上电后 FPGA 未下载时，多个 LVTH 器件 OE 可能同时有效，发生总线冲突。在采用 TI 的 LVTH16244 器件的单板中偶发驱动器失效，采用 Fairchild 公司的 LVTH16244 器件，发生多起失效。失效样品表现为中心鼓起甚至烧裂。对驱动器 OE 进行正确的上拉或下拉处理之后故障解决。

对于工作中的总线冲突，需要设计者仔细检查避免，包括硬件在各使能信号的控制时序上避免冲突，软件在对系统进行配置时避免出错导致同时两个设备驱动一根总线等。对于上电过程和逻辑下载前、初始化完成前可能出现的总线冲突，一般考虑通过对各器件的 OE 端进行上拉或下拉处理来避免冲突，另外就是在逻辑编写和约束设定中，正确设置复位初始值，确保不会发生冲突。

在 3G 项目中，7 块 (6+1) DIF 单板共享背板总线，通过 24 选 4 进行总线选择，选中其中的 4 个扇区进行数据传输。如果上电的时候，还没有来得及进行 24 选 4，就要关闭驱动器，防止发生总线冲突。还有在正常工作的时候，如果有一块单板复位了，或者是插入新的单板的时候，都要关闭驱动器输出避免总线竞争，不能够影响总线上其他单板正常工作。

有一些总线允许多个驱动器同时输出数据而不会损坏设备，例如采用 OC/OD 门的 I2C 总线，MLVDS 标准总线等（请参考 TI 公司文档 SLLD009 《LVDS Application and Data Handbook》）。一般情况下，多个驱动器同时输出不会造成器件的损坏，但是可能干扰总线上数据的正确性，一般不允许出现。

有时我们的系统中也会利用两个驱动器的同时输出。例如主备配置某单板承担系统时钟分发的功能，采用 MLVDS 分发系统时钟。该单板主备板的时钟都来自同一个源头，其相位基本一致。在主备倒换设计中采用了重叠倒换，即主板发起主备倒换时，等待备用单板取得主用后才放弃对系统输出时钟。在主备倒换时背板时钟线会出现短时的两块单板同时驱动的情况，但是不会影响器件可靠性，并且能够实现无缝切换。

[返回](#)

2.2.11. 和背板直接相连的驱动器必须满足热拔插要求

我们的系统为热拔插系统，在系统工作的同时需要能够插上或者拔出单板，而且当单板在位的时候，可能会关闭单板电源。这就要求单板在拔出、插上或者断电的时候，不应该造成器件损坏，不应该对系统功能造成影响。

系统中采用的 MLVDS 器件均可以承受热拔插，National Semiconductor 公司的 BLVDS 标准也能够确保热拔插过程中不会导致系统出现器件损坏以及误码，这部分可以参考本文的“[差分信号应考虑](#)

[Failsafe 功能](#)”一节的说明, 并请参考 National Semiconductor 公司文档《LVDS Owner's Manual》, SLLD009 《LVDS Application and Data Handbook》, TIA/EIA899 标准的相关部分。

对于常用的 TTL 等器件, 我们要求必须有 OE 端控制、上电三态 (PU3S, Power up tri-state)、关断电流控制 (I_{off}) 等功能 (达到热拔插 2 级, 热插拔等级的定义来自于 TI 的技术文档 SCEA026 《Logic in live insertion applications with a focus on GTLP》)。我们一般推荐普通 TTL/CMOS 电平的驱动推荐采用 LVT 驱动器。对于这些功能以及对热拔插的影响, 请参考文档 SCEA026 及刘春杰文档《普通逻辑器件输入端口偏置电阻的选取》。

达到 2 级热拔插的器件在拔插过程中可能因为电容充电对数据造成短时干扰, 但是不易导致系统正常工作受到影响, 且即使产生影响系统也能快速从影响中恢复。我们的应用中罕见插拔单板因为器件充电造成异常的报道。

对于更高要求的应用, 可以考虑能够满足热拔插标准 3 级的器件, 例如 GTLP 等。该类器件在 2 级热拔插器件的基础上添加了预充电特性, 能够减少插拔过程中电容充电的干扰。

[返回](#)

2.2.12. MCS-51 单片机总线和端口需要加驱动

MCS-51 单片机的端口和总线驱动能力较弱, 尤其是 P1~P3 端口, 其输出上拉结构由 3 个 MOS 构成, 输出由低跳高的前 2 个时钟周期中, 上拉较强, 其余时候上拉较弱。如果总线上具有类似下拉电阻的负载 (输入高电平时需要流入电流的负载), 将可能无法正常驱动。

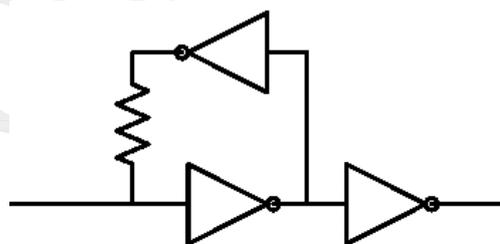
所以我们规定, 对于 MCS-51 单片机总线和端口, 需要加驱动。因为总线保持器件存在的保持电阻可能使单片机端口被拉死为低电平, 所以禁止在 MCS-51 单片机外围电路使用总线保持器件驱动。

关于 MCS-51 单片机端口特性的分析, 可以参考早期技术文档《51 单片机 IO 口上的“高电平总线保持”特性》和 Intel 的 MCS-51 单片机手册。

[返回](#)

2.2.13. 原则上不推荐采用总线保持器件或者启动可编程器件的总线保持功能

总线保持器件 (TI 公司的 LVTH 器件, 其他一些公司的 LVT 器件, 以及部分 LVCH 器件等) 在输入端添加了一个从输出端反馈的回路, 等效电路如图所示。



采用总线保持器件, 输入信号断开时, 因为正反馈的存在, 会保持最后输入的电平, 避免输入悬空, 可以省略驱动器上的上下拉电阻, 节省电路板空间和成本。

但是总线保持器件会使得我们的设计复杂化, 出现很多问题, 因为总线保持电阻的存在, 如果需要对信号输入预置电平, 将需要采用较小的电阻。前级驱动器要提供更大的电流; 当总线上多个总线保持器件并联时, 总线上的保持电阻将很小, 预置电平电阻将更小, 前级驱动负载更大; 在热拔插系统中, 如果接口器件总线保持了高电平, 当电流很小时, 还可能通过保持电阻向断电的单板供电; 在热拔插系统中, 多个总线保持器件并联如果保持的电平不同, 可能处于不确定状态等。

我们有过 LVTH 器件导致 MPC860 不能启动的案例, 请参见参考文献《CDMA 事业部 2004 年度可靠性经验案例集》。

MCU 驱动较弱, 不得采用 LVTH 器件驱动 MCU 输出信号。

为了避免问题复杂化, 我们的系统中不推荐选用总线保持功能的器件, 在可编程逻辑器件设计中, 不推荐打开可编程的总线保持功能。

关于总线保持器件更详细的介绍, 请见参考文献《普通逻辑器件输入端口偏置电阻的选取》。

[返回](#)

2.2.14. 总线保持器件通过电阻预置状态时的上下拉电阻推荐采用 1K

如果经过评估,认为在设计中可以使用总线保持器件,那么如果要对某一个驱动器置初始电平,该电阻必须能够提供器件反转所需要的最小反转电流。从另外的角度上看,外接的上下拉电阻必须要在和器件内部的保持电阻分压之后,提供正常的电平来让器件翻转。

推荐每个输入采用 1K 电阻进行上拉或下拉,确保总线保持器件在无驱动状态总能被可靠的置为需要的电平。如果多个器件并联使用,需要相应的减小电阻以确定可靠的上拉或下拉。

详细的上下拉电阻计算方法请参见[上下拉电阻的选择](#)一节。

[返回](#)

2.2.15. BUS HOLD 器件, 不论其输出端口处于何种状态, 其输入端口的 BUS HOLD 特性一直有效。

对于双向器件, 其两个方向端口在输出高阻态下输入 Bus Hold 特性一直有效

Bus Hold 特性是对于器件输入端而言的,当器件 OE 使能信号无效,输出为高阻态时, Bus Hold 特性依然存在。对于 LVTH16245 这样的双向器件,不论其 OE 和 DIR 信号为何状态,两个端口都有 Bus Hold 特性,这一点在应用中需要注意。

为了避免总线情况复杂化,我们一般[不推荐使用 Bus Hold 器件](#)。

[返回](#)

2.2.16. 上下拉电阻的选择

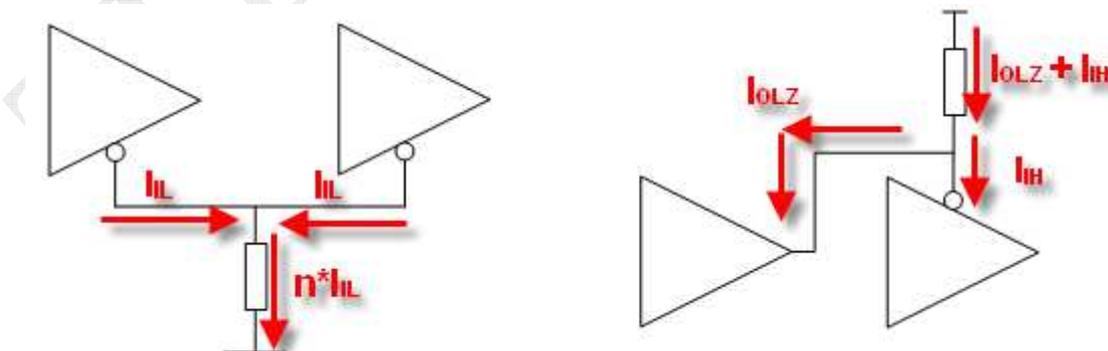
上拉或下拉电阻的选择必须具备以下条件:

- 可靠的为信号确定电平
- 不会显著的为系统增加过多额外的功耗
- 能够提供器件所需要的上升下降时间要求
- 阻值常用,价格便宜,供货充足

要可靠的为器件设置电平,要求网络上的漏电流流过电阻时,电阻上产生的压降不会太大。对于 LVTTTL 信号,应保证器件输入高电平不低于 2.4V,低电平不高于 0.4V。也就是说,当选择上拉电阻时,电阻上的压降不能多于 $3.3V-2.4V=0.9V$,选择下拉电阻时,电阻上的压降不能多于 0.4V。

对于早先的 TTL 器件,其输入端的结构决定其 I_{IH} 较小,而 I_{IL} 较大,加之输入低电平时电阻上允许的压降也较小,决定了 TTL 器件下拉电阻选择小于上拉电阻的经验。对于现在我们常用的 CMOS 和 BiCMOS 器件, I_{IH} 和 I_{IL} 的区别一般不大,而且电流往往都处于 μA 级,对于我们一般选择的 1K 到 10K 的电阻,压降不大,所以不需要过多考虑。

当一个电阻对多个输入管脚设置电平时,必须将 I_{IH} 和 I_{IL} 乘以输入管脚的个数。



以常用的 LVT16244B 为例,其控制输入管脚的静态电流不超过 $1\mu A$,以允许 400mV 和 900mV 的压降计算,单一管脚的下拉电阻可以选择至 400K,上拉电阻可以选择至 900K。对于一个器件 4 个 OE 端同时下拉,可以选择 100K 的电阻,上拉可以选择 200K 的电阻。对于普通输入管脚,高电平的情况一样,低电平的电流达到了 $5\mu A$ 。这样,每个管脚容许的最大下拉电阻为 80K,上拉电阻 180K。

I_i	Control inputs	$V_{CC} = 3.6 \text{ V}$,	$V_i = V_{CC} \text{ or GND}$	± 1	μA
	Data inputs	$V_{CC} = 3.6 \text{ V}$	$V_i = V_{CC}$	1	
			$V_i = 0$	-5	

实际上，我们都选择 10K 的电阻就能够对 1 个或者多个器件的 OE 端实现非常可靠的上拉或下拉。对不用的输入管脚进行下拉处理时，少于 8 个管脚的处理都可以通过一个 10K 电阻实现。

当网络上挂有驱动器，需要采用上拉或下拉电阻的，除了负载的漏电流之外，还要考虑驱动器在高阻时的漏电流，例如 LVT16244B 器件，其管脚输出漏电流为 5uA。

I_{OZH}	$V_{CC} = 3.6 \text{ V}$,	$V_O = 3 \text{ V}$	5	μA
I_{OZL}	$V_{CC} = 3.6 \text{ V}$,	$V_O = 0.5 \text{ V}$	-5	μA

当预置电平时，必须将这个电流考虑在内。例如 1 个 244 驱动 1 个 244 的 4 个 OE 端，需要进行上拉，那么漏电流应以 $5\mu\text{A} + 4\mu\text{A} = 9\mu\text{A}$ 计算，上拉电阻取值不得大于 100K。

通常，我们采取 10K 的电阻，都留有足够大的裕量。

对于接口部分，还应当考虑当局部（不论输入输出）掉电时的情况，这时候漏电流由 I_{OFF} 或者 PU3S 状态下的漏电流决定。16244 的手册中以上参数达到了 100uA。我们采用单板接口下拉设计，在总线三态且有器件未上电时，总线处于低电平，和断电部分没有电位差，应能够从很大程度上避免此问题。进一步的分析尚待试验确定。

对于 MLVD206 驱动器，其 D、DE 输入电流为 0~10uA，RE 输入电流为 -10~0uA。即对于 D 和 DE，电流只会流入管脚（内部弱下拉），采用下拉电阻将没有电流，下拉电阻可以取得很大，上拉电阻每个管脚不大于 40K；对于 RE，电流只会流出管脚（内部弱上拉），上拉电阻可以很大，下拉电阻每个管脚不应大于 40K。多个器件共用上拉或下拉电阻，参照上面的计算进行计算。

在设计上拉或下拉电阻时，还需要考虑器件内部的上下拉特性，例如 EPLD 和 FPGA 内部都可能存在上拉或下拉电阻，导致 I_{IH} 和 I_{IL} 比较大。这些内部上拉或下拉电阻可能会根据温度、电压等有很大变化，在选择上下拉电阻时必须保证当漏电流最大的情况下上拉或下拉的可靠。

总线保持器件在静态时 I_{IH} 和 I_{IL} 比较小，但是在翻转的过程中需要额外的电流，上下拉电阻必须能够提供这些额外的电流保证电平设置的正确。

从上面看来，电阻选择得小一些，可以确保状态预置的正确性，避免计算。但实际上，还需要考虑不显著增加驱动电流，增加电路的功耗。

在 3.3V 系统中，1 个 1K 的上拉或下拉电阻，当网络被驱动时将消耗 3.3mA 左右的电流，消耗 0.011W 左右的功率。在复杂的系统中，100 个这样的电阻将消耗 1.1W 的功率，还是相当可观的。我们在设计中倾向于选取稍微大一些的电阻，减少功率消耗。

当有多个可去除的负载存在时（背板接口上经常出现），这个问题尤其需要注意。例如某系统中有多块单板需要从背板读取一个 ID，该 ID 在被背板上采用拨码开关接地，每块单板上都采用了上拉电阻，电阻的大小为 1K 欧姆。当 10 块单板共存时，拨码开关上的电流为 33mA（3.3V 电源），且随着板的拔插波动，造成拨码开关在长期工作中不可靠。对于一般的驱动器，多块并联造成 33mA 的电流也可能影响驱动器的可靠性，甚至导致系统工作不正常。

上下拉电阻还要考虑器件对上升下降沿斜率的要求。对于目前的高速器件，缓慢的上升沿会导致器件停留在不确定电平的时间增加，为系统带来不好的影响（参见“[未用 CMOS/BICMOS 器件管脚不得悬空，需要通过电阻接电源或者接地](#)”和“[对缓慢变化的信号需要使用带施密特输入的器件进行驱动](#)”的分析）。上下拉电阻连接在一个网络上，当网络上驱动器停止驱动时，开始对所有门输入端、驱动器输出端和走线上的电容进行充电。充电的特性可以用一个一阶 RC 电路模型来分析。（请参见刘春杰文档《普通逻辑器件输入端口偏置电阻的选取》。）要求 RC 电路的上升时间满足器件手册的要求，则可以根据上升下降时间的要求和已知的 C，求得最大的阻值 R。参考文档中给出了计算的方法，并给出了上拉对于 LVT16244B 器件 1 驱 1 的情况下小于 1.32K，下拉小于 860 欧姆的计算值。

实际上，这个值的要求会更小，因为内层 5 mil 宽走线每英寸就可能带来 5pF 的电容，而网络上如

果挂有多个器件，会要求电阻值更低，导致驱动功率太大。当采用 10K 欧姆左右的电阻时，上升斜率不能满足器件手册要求，达到 μS 级，但是在测试中未见振荡等异常出现， μS 级的上升下降时间对器件寿命及可靠性是否有影响，缺乏数据说明。

一般情况下，我们的上拉或下拉电阻可以统一选择 10K（针对普通器件的 OE 端、悬空管脚等）；对于总线这样的可能浮空并且负载较重的情况，可以选择 1K 左右的上拉或下拉电阻；当需要预置的管脚较多或者器件内部有上拉或下拉，我们预置的电平和内部上下拉电阻相反时，可以选择 1K 电阻（对于挂有 FPGA/EPLD 的总线和控制信号）；对于总线保持器件，我们要求预置上下拉电阻不大于 3K，推荐选择 1K。

[返回](#)

2.2.17. ISP MACH 4000 系列 EPLD 和 Cyclone FPGA 外围的下拉电阻

对于 ISP MACH 4000 型 EPLD，我们推荐使能全局上拉以简化设计。

Cyclone 型 FPGA 在未加载时，内部弱上拉使能。内部上拉强度随着温度的变化会有较大的变化，当温度低时上拉电流较大。在某主控单板上 Cyclone 输出其他单板的复位控制信号，采用了 10K 的电阻下拉，确保未下载逻辑时输出低电平（复位无效）。在低温试验中，复位该主控单板会导致全框受控单板复位，经分析确定为低温下内置上拉电流增大，导致 10K 电阻不能够将信号线拉低。

在某接口板中，低温下复位备用单板会导致主用单板工作异常，也定位为 Cyclone 输出的状态信号采用 10K 电阻下拉，在 FPGA 重新配置时内置上拉电阻导致主备状态信号输出高电平所致。

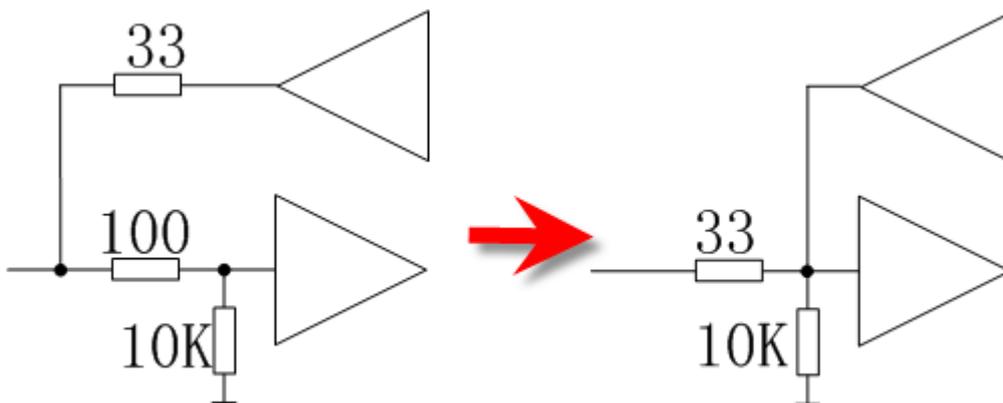
[返回](#)

2.2.18. 与背板相连的普通逻辑电平信号，如非特别要求，需要采用串接电阻

我们一般采用 [LVT 器件驱动/缓冲背板输入和输出的数据](#)。为了减小 [闩锁](#) 发生的可能性，在和背板相连端口串联电阻。从信号完整性和防止闩锁两个方面综合考虑，一般情况下推荐输出串联 33.2 欧姆电阻或者 33 欧姆排阻，输入串联 100 欧姆电阻或者排阻。33 欧姆的串阻在点对点传输的情况下，可以提供良好的源端端接，得到良好的信号质量，在因配置错误导致总线发生冲突时，还可以限制器件上流过的电流，保护器件。100 欧姆电阻在输入端会对上升沿的速度产生影响，如果信号对输入沿要求很高，可以通过仿真综合考虑。

对于总线型应用等场合或者信号完整性特殊要求的场合，对电阻的取值和串联与否可以灵活处理，以信号完整性优先。例如对于驱动很多负载的总线型应用，串联 33 欧姆电阻导致信号上升沿缓慢，系统时序裕量小，可以考虑串联 5~10 欧姆的电阻提高一次波的幅度和上升斜率；在 3G 系统基带射频接口中，为了保证主备配置下的信号完整性问题，将 33 欧姆串阻放在了背板上，在射频接口板中驱动器靠近连接器放置而未加串阻。

对于双向的信号，如果本身器件布局很近且版面空间不允许，可以考虑将串阻合成为 1 个电阻处理，如下图所示。



如果单板本身要接收自己发送到背板上的信号，接收信号必须在 33 欧姆串阻之前获得（上右图的

电路), 不得在 33 欧姆串阻之后取 (上左图的电路)。因为输出驱动器进行源端端接之后, 输出后串阻后面得到的上升沿只会有正常幅值的一半左右, 等到反射波从目的端传播回来, 才会达到正常电平。即在 33 欧姆串阻后得到的是一个台阶波, 台阶持续的时间大约为 2 倍的信号传输线延迟(参见《High Speed Digital Design – A Handbook of Black Magic》第六章“端接”)。

[返回](#)

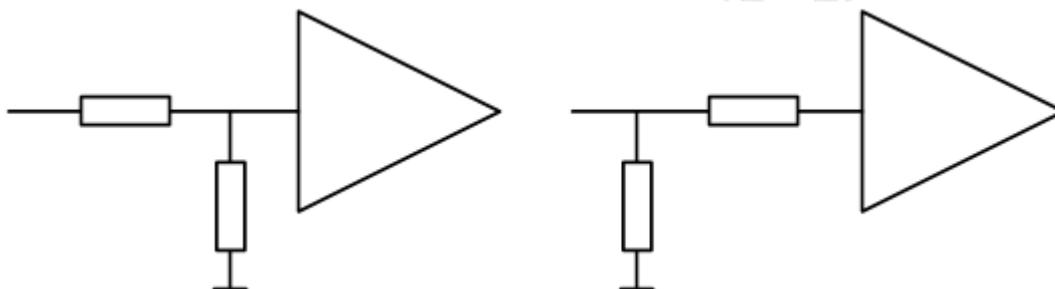
2.2.19. 背板输入 TTL/CMOS 信号缓冲器须应用下拉电阻和串阻

从 3G 第二版开始, 背板输入信号规定必须添加[防止闩锁的串阻](#)和[防止信号线浮空的下拉电阻](#)。串阻的大小为 100 欧姆, 下拉电阻的大小为 10K。

采用 10K 欧姆下拉电阻是因为对于单个的 LVT 输入管脚, 10K 电阻可以提供足够的电流保证输入低电平, 而对于总线型的信号, 即使 10 块单板同时连接时, 并联形成 1K 的下拉电阻对于驱动端不会造成很大的负载。

采用下拉电阻而不是上拉电阻, 是为了防止当本单板上电而其他单板未上电时, 通过上拉电阻向其他单板提供电流, 或者当信号线高电平而本单板未上电时, 信号通过上拉电阻向本单板供电而造成指示灯微亮等异常现象。

最初的[产品设计约定](#)规定为信号先过串阻, 然后通过电阻下拉, 如下图左所示。在系统调试中, 我们认为采用如下图右所示的电路连接更加具有优势。在一些较复杂拓扑中, 易于通过下拉电阻的调整实现对信号线的端接, 具有更大的灵活性, 并且不会产生两个电阻对输入信号分压的情况。



上图左边连接方式在布局时, 必须注意两个电阻都必须靠近驱动器输入端放置, 在右边的连接方式中, 串联电阻必须靠近驱动器输入端防止, 而下拉电阻放置位置没有特殊的要求, 可以靠近连接器或者驱动器放置, 放置时需要注意不造成传输线明显的不连续点。

有一些情况是例外, 不能采用下拉电阻: 槽位号, 插板到位指示, 各种背板的 ID 号设置。因为背板无源, 所以这些信号在背板上只能采用悬空和接地的方式进行设置, 这样单板上只能采用上拉电阻, 当背板信号线为悬空时, 输入 ‘1’, 当背板接地时, 输入 ‘0’。

[返回](#)

2.2.20. 保留

2.3 时钟设计

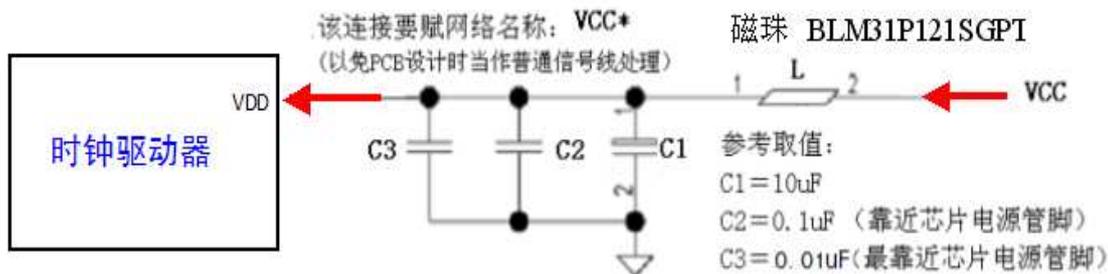
2.3.1. 时钟芯片的电源处理

时钟芯片的电源处理直接关系到系统时钟的性能和 EMI 指标。

对于时钟驱动器而言, 比较好的方法是直接通过过孔就近将电源和地连接到平面上去, 充分利用平面电容和电源去耦提供良好的电源。但是这样做的同时, 将时钟驱动器这一强脉冲电流源引入全板供电系统, 进而可能导致整个单板的 EMI 指标恶化。

所以我们一般采取折中的方法, 对于输出管脚较多的时钟芯片, 其电源滤波采用一颗磁珠 (推荐选

用 120 欧姆@100M, BLM31P121SGPT, 根据系统 EMC 实际情况可以调整), 磁珠后应接 10uF 钽电解电容, 0.1uF 陶瓷电容和 1000pF 陶瓷电容提供较宽频段内的低阻抗。



多电源管脚时钟驱动器每对电源地管脚之间的电源去耦可以照常进行。建议在器件下方铺设一块铜皮作为电源，减低电源回路的电感。

[返回](#)

2.3.2. 单板 50MHz 以上时钟驱动器未用管脚，通过 75 欧姆电阻接平面

单板时钟驱动器当输出悬空时，有可能会引起辐射的增强（目前少见实际案例）。添加 75 欧姆电阻到地可以减少输出管脚电流高频谐波分量。对悬空管脚处放置电流探头进行仿真的结果发现部分频率谐波会有所增强，部分频率（500MHz 以上）谐波成分减少。对电源的冲击是否有改善尚待验证。

在《Perfect Timing Book》上，对未用管脚推荐采用一个 5~10pF 的对地电容端接，主要目标是减少驱动器内部 Bank 之间电流的差异，避免产生过多的时钟偏斜。现代驱动器中，这样的偏斜是很小的，对于我们的大多数应用，基本可以忽略不计。

添加 75 欧姆电阻会消耗较多的静态功耗，例如一个 3807，输出占空比 50 的方波，10 个电阻将消耗 0.7W 的功率，而如果错误的对基本上恒为高的 PP2S 对地处理，功耗将达到 1.4W。从 EMI 测试的角度来看，实际上是对一段时间内的 EMI 进行测试，低频信号切换频率低，相应的辐射也会较小。该方法主要针对 500MHz 以上的分量，故低频时钟不需要考虑。

综上所述，我们建议在输出管脚添加电阻/电容到平面，选择电源还是地需要由时钟占空比确定。该电阻/电容正常情况下并不引入料单，只有当 EMI 问题出现时试验能够解决问题时才进入料单。该电阻的放置应该紧靠器件放置，并且就近通过过孔连接平面。如果引线长了有可能会使问题恶化。

本规范采用电容，是防止单板设计人员因为疏漏而采用了排阻，导致无法单独焊接电阻解决问题，同时功耗较小。实际根据 EMI 情况可进行调整。

[返回](#)

2.3.3. 驱动器未用管脚接平面电阻，推荐使用分立电阻

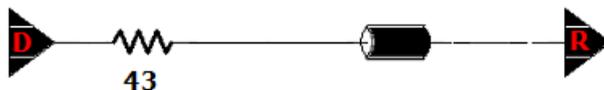
驱动器未用管脚的接平面电阻，因为涉及功耗和 EMI 等多种问题，实际应用中可能焊接也可能不焊接。我们期望能够添加尽量少的电阻，以减少电路工作时的功耗。为了能够灵活处理各种状况，建议使用分立电阻，不推荐使用排阻对未用管脚进行处理。

[返回](#)

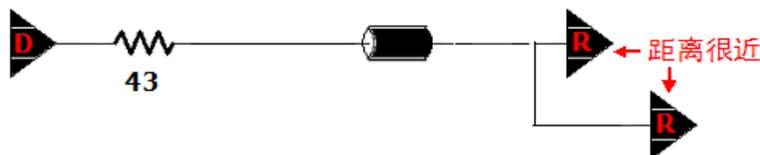
2.3.4. 时钟信号网络的端接

时钟信号在系统中至关重要，时钟网络往往是 EMI 的主要源头，所以时钟信号的网络必须恰当的规划拓扑并进行恰当的端接，确保信号质量，减少 EMI。

时钟信号最常用的拓扑和端接方式为点对点传输，源端端接。我们推荐采用这种方式。这种方式实现简单，端接恰当就可以在接收端得到一个非常好的波形。该拓扑如下图所示，其中电阻阻值推荐根据仿真和测试结果确定



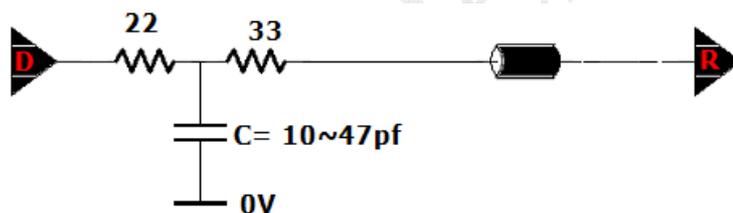
对于一个驱动器必须驱动多个负载的情况，当负载离得很近时，可以作为一个负载处理，如下图所示。使用这样的拓扑，必须进行仿真验证，确保接收端不会出现上升沿不单调等信号完整性问题。这个方案和下面的各种两个负载的方案相比，类似于点对点的传送，更容易保证信号质量。



对点到点时钟还有采用如下图的 T 型源端端接方式。该端接方式会使得接收端的波形变缓，在对时钟边沿上升时间最小值有要求的场合（例如器件要求 $T_r > 3\text{nS}$ ），可以使用该电路延缓上升沿。

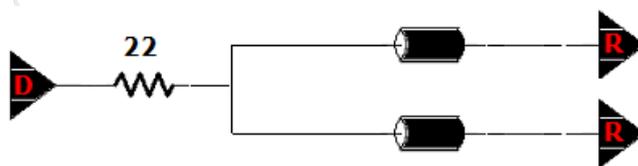
在时钟上升沿减缓的同时，发送端的负载可能变重，发送端瞬态电流增大。因为发送端增大的电流环路较小，而整个时钟传输路径环路较大，所以信号上升沿变缓从总体看来能够改善信号完整性问题和 EMI 问题。

该方案需要 3 个器件实现端接，比较麻烦，在初版中一般不需要采用。如果采用一个电阻的源端端接方式单板出现 EMI 超标，试验验证在超标的时钟网络上采用此方案能够解决 EMI 问题时，可采用此方案。该方法应通过仿真和试验确定电阻和电容的参数。

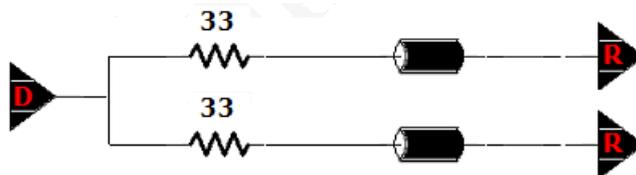


另外还有下面的一些一驱二端接方式。

当两负载完全相同，走线完全等延迟时，可以采用下面的端接方式。为了能够得到一个良好的一次波翻转源端电阻的选取一定要小。如果负载相同，且走线相同，分叉上的反射波会同时到达源端，并且重新向两个分叉上反射。在两个接收端上，都会有多次反射波出现。如果两个分叉上有轻微的差异，则可能会产生强烈的不衰减振荡。所以**这个拓扑不推荐使用**。

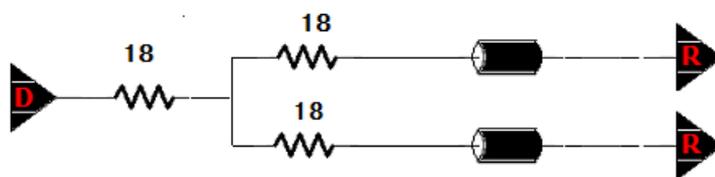


当两负载不同，走线等长时可以采取如下的拓扑。这个拓扑比较起上面的拓扑要好得多，当两个分叉不对称时仍旧可以工作，只是出现一些反射和振铃现象。在单片机模块电路中，我们采用了这种拓扑。一般我们也认为**在不得不驱动两个距离较远负载的情况下，可以选择这种拓扑**。这种拓扑当两个分叉对称性很差时，也可能出现一些反射造成的毛刺等，建议通过仿真选择器件参数。

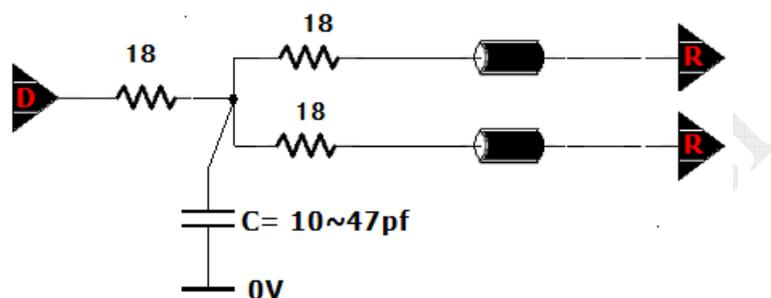


两个负载可以不同，走线基本等长。三个电阻要求放在一起，离驱动端的距离控制在 0.25nS 之内，

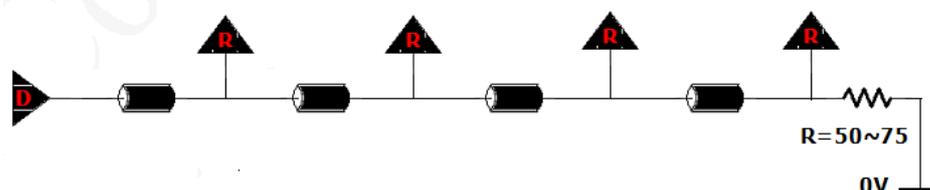
可以采用下面的拓扑。直接连接在驱动器上的端接电阻相当于在上面一个拓扑中增大了驱动器的内阻，后面的两个电阻相当于上面图中的端接电阻减小。在这个拓扑中信号会反射产生多个台阶，要选择合适的电阻确保一次波翻转。**该拓扑要必须进行仿真后才可以使用。**



再考虑时钟线减少高次谐波的情况，在中间结点接一个电容，和前面的源端端接方案添加电阻很类似。**该方案要求经过仿真后使用。**



当需要驱动多个负载时，可以采用如下的菊花链拓扑。这个器件相当于一个终端端接方案。网络上每个点的分叉应该尽量减小，尽量均匀分布负载。必要时，各个负载上可以串联一个电阻，减少对整根传输线的影响。这样，多个相同负载均匀挂在传输线上相当于减少了传输线的阻抗，需要注意终端端接电阻的选取，正确的端接传输线。**该方案必须经过仿真后才能使用。**



[返回](#)

2.3.5. 当接口标准或器件对时钟网络等布线有要求时，依照接口标准或器件要求执行

对于 DDR、QDR 等网络，对时钟网络的布线有严格的要求。一般我们可以依照器件或者接口标准规划网络的拓扑方案，确保器件的时序裕量和信号质量。

一般推荐对于信号质量，都进行信号完整性仿真再次确认。

[返回](#)

2.3.6. 锁相环串联使用，须注意不会引发谐振

锁相环是一个闭合控制回路，它在跟踪信号相位时，对部分频率成分敏感，部分频率成分不敏感。其环路滤波器、VCO 和鉴相器几个部分的传递函数都可能存在零极点。此时整个锁相环的传递函数中可能存在谐振点，即对某些频率分量的增益大于 1，该频率分量上的相噪将被放大。

如果多个锁相环串联使用，如果存在共同的谐振点，将会导致输出的时钟信号该频率上相噪大，所以在锁相环串联使用时，须避免谐振的产生。

这里要注意的是，零延迟缓冲器、倍频器等一般都有锁相环构成，都要受本条规则约束。

关于这方面更详细的说明，请参考《Perfect Timing Book》。

[返回](#)

2.3.7. 不推荐使用多通道输入时钟驱动器驱动不同时钟

采用多通道时钟驱动器驱动多路时钟，各路时钟之间会发生相互干扰。一方面是由于容性或者感性耦合，一方面是因为电源和地的扰动。

当一路时钟发生切换时，因为时钟缓冲器一般输出数量多，瞬态电流比较大，将会在地引脚或者电源引脚上产生压降（Vcc Sag 或者 Ground Bounce），造成芯片的参考电位波动。如果芯片在设计过程中接地不合理，那么一路时钟切换在电源引脚上产生的波动将可能导致其他时钟切换的不确定性，甚至导致毛刺。

为了避免此类情况的发生，我们一般**不推荐采用多通道输入的时钟驱动器驱动不同时钟**。

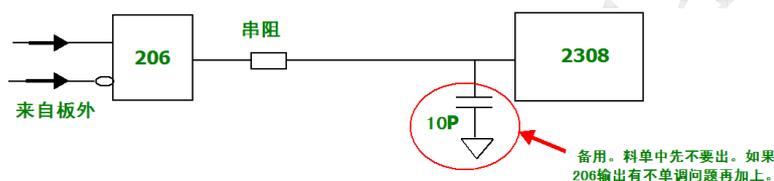
如果因为空间、成本等原因，必须采用多通道时钟驱动器，必须注意驱动器的接地信号处理，以及输出走线的布局，器件的接地管脚应该就近直接连接地平面，电源一般应该单独去耦并连接到电源，一定**不能将所有管脚连接到一起之后通过同一个过孔接到地或者电源**，这样很容易引起问题。不同的时钟信号应相互避让，避免时钟之间互相干扰。

[返回](#)

2.3.8. 板间传输的时钟信号，上单板后在时钟的输入端备用去回钩电容

时钟对边沿单调性有要求，在板间传输的信号，当网络拓扑复杂的时候，可能出现回钩。如果对板内时钟质量没有把握时，也可以加备用去回钩电容。该电容过滤了小的毛刺，但是也增加了传输线末端的容性负载，所以需要经过试验确定是否需要添加。

示例：



如果在样板测试时，发现进板的差分信号质量不好，可以使用去回钩电容。

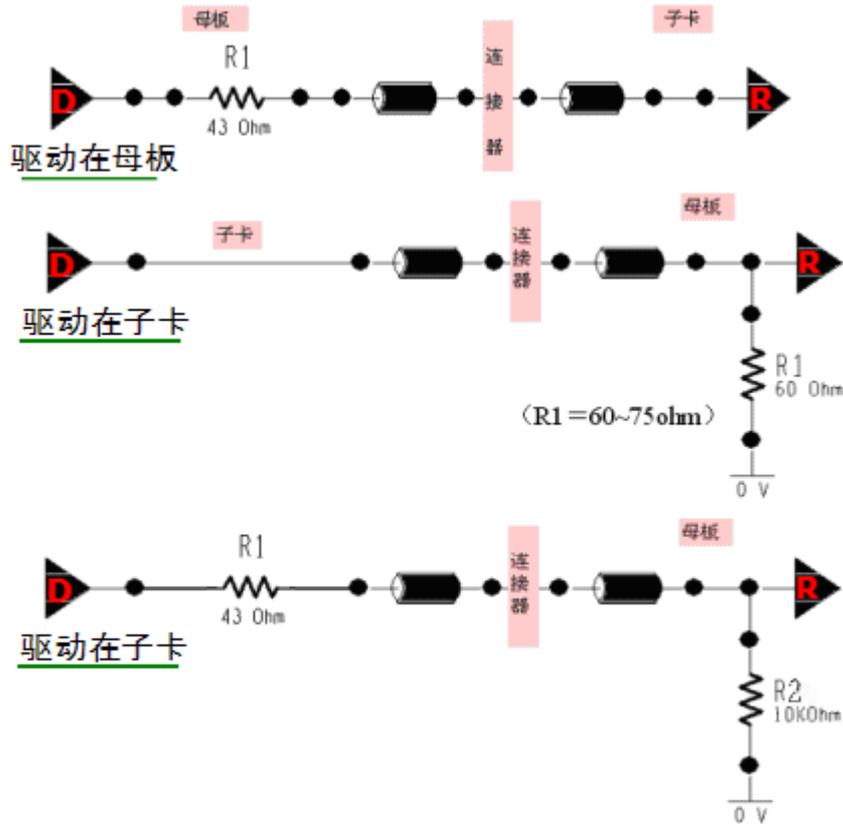
例如 PECL 器件质量故障，如果在样板测试时发现 PECL 信号质量差，使用了该电容过滤回钩，问题可以化解。

必须注意的是，我们应该在系统设计中通过良好的拓扑设计、对批次不良器件进行筛选来确保信号质量良好，而不应依赖备用的电容解决设计和器件质量问题。这个电容的设置只是为了应对不时之需，不能代替拓扑设计和信号系统级完整性分析。

[返回](#)

2.3.9. 子卡与母板间传输的时钟，应保证子卡不在位时，时钟输入不悬空，时钟的输出有匹配

驱动在母板时，采用源端串阻匹配；驱动在子卡时，采用终端电阻匹配，或者在子卡上采用远端匹配，在母板上通过上拉或下拉电阻确保当子卡不插时接收端不会悬空。



[返回](#)

2.3.10. VCXO 选型

请参考《ECO 63.8976M VCXO 失效分析报告》。

[返回](#)

2.3.11. 保留

2.4 保护器件应用

2.4.1. TVS 器件的应用

TVS 器件即 Transient Voltage Suppressor，是专门设计用来吸收信号线或者电源上出现的瞬态过压的器件。

选用 TVS 器件前，应对它的参数有所了解，这些参数主要有：

- 击穿电压 V_{BR} ：指器件在发生击穿的区域内，在规定的试验电流条件下所测得的器件两端的电压值。
- 最大钳位电压 $V_{C_{MAX}}$ ：在峰值脉冲电流下测得的最大电压值称为最大钳位电压。最大钳位电压与击穿电压之比称为钳位系数。一般钳位系数取值为 1.33（在总的额定功率下）或 1.20（在 50% 的额定功率下）。

• 最大反向工作电压 V_{RWM} : 该电压是指器件反向工作时, 在规定的漏电流下, 器件两端的电压值。通常取: $V_{RWM}=(0.8\sim 0.9)V_{BR}$, 在这个电压下, 器件的功率消耗很小。

在瞬变和浪涌防护电路中使用 TVS 时, 一般应该遵循以下选择原则:

1. 最大嵌位电压 $V_{C_{MAX}}$ 应不大于电路的最大允许安全电压。
2. 最大反向工作电压 V_{RWM} 应不低于电路的最大工作电压, 一般可选 V_{RWM} 等于或略高于电路的工作电压。
3. 额定的最大脉冲功率必须大于电路中出现的最大瞬态浪涌功率。
4. 对于高速链路, 需要考虑结电容的要求;
5. 注意单向和双向 TVS 管的选择;
6. TVS 器件的选型时要考虑器件的响应时间满足要求。

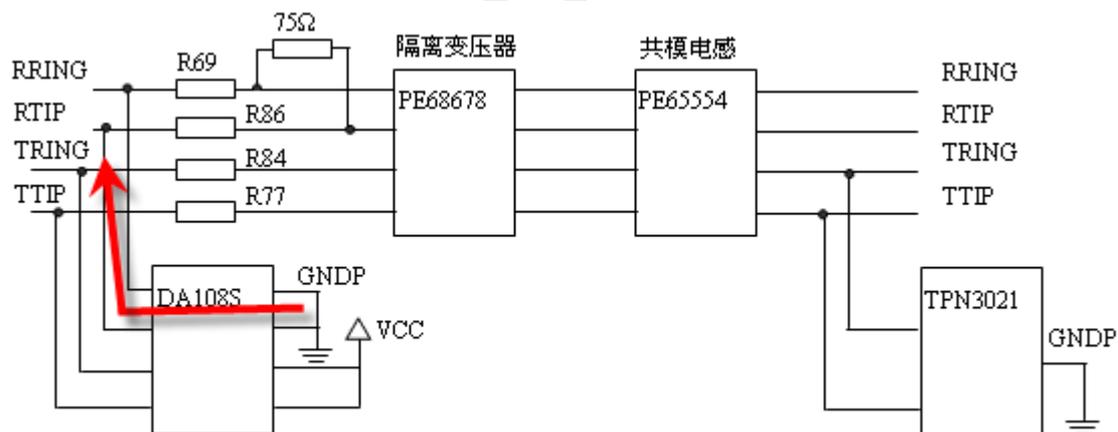
[返回](#)

2.4.2. 保护器件应与被保护器件接在相同的地平面, 如采用变压器隔离, 为保证隔离特性, 隔离变压器初次级两侧的器件要分别接对应的参考地

我们常用的保护器件内部一般为 TVS 管或者钳位二极管阵列。当电压高于击穿电压时或者正向导通电压时, 器件就会击穿或者导通。如果保护器件和被保护器件接在不同的地平面上, 就形成了一个潜通路 (参见参考文档《潜在通路分析技术及其在通信系统故障调查中的应用》, 刘春杰, 景焕强)。当两个参考点之间的电位差异比较大时, 保护器件导通, 导致被保护器件过应力损坏。

例如某单板的 E1 保护采用如下图的电路。注意变压器器件侧的 DA108S 错误的接在保护地上。当 GNDP 和 GNDD 之间存在较大的电位差时, DS108S 直接将 GNDP 上面的过压泻放到信号线上, 导致被保护器件损坏。在这里, DS108S 不应连接在 GNDP 上, 而应该和被保护的器件一起连接在 GNDD 上。

该案例的详细介绍, 请参见参考文献《CDMA 事业部 2004 年度可靠性经验案例集》。



对于机框内部的连接, 即使采用变压器隔离, 因为整个机框都采用数字地作为参考, 所以隔离变压器初次级两侧都应该向数字地进行保护 (如果需要保护的话)。对于出框的连接, 隔离变压器器件侧以数字地作为参考地进行保护, 线路侧以保护地作为进行保护。

[返回](#)

2.4.3. PTC 与 TVS 配合使用时, PTC 要能及时动作, 对 TVS 进行过流保护, 同时, PTC 本身也要能够满足工作电压的要求

PTC 的意思为正温度系数热敏电阻器, 主要厂商为 Polychem 等厂商。当温度较低时, PTC 呈现很小的电阻, 随着温度的升高, 电阻变大。

当 PTC 与 TVS 配合使用进行保护时, 过压出现时 TVS 导通钳制电压, 电流较大, PTC 温度上升,

电阻变大，限制了电流的增大，避免 TVS 损坏。如果 PTC 动作过缓，会导致 TVS 在 PTC 动作之前过应力损坏。而 PTC 在动作之后，呈现很大的电阻，将承受过压的大部分电压，所以必须考虑 PTC 能否承受这么高的电压。

公司广泛参考的 E1/T1 防雷保护电路中（参见范大祥《E1/T1 接口雷击浪涌保护电路》），通过静电试验验证，采用了 RUSB120/RUSB185 型 PTC 配合 TPN3021 型 TVS 管进行第一级保护。RUSB120/RUSB185 是为 USB 保护设计的 PTC，耐压为 6V，设计未考虑电源搭接等异常情况。

在 3G 某单板设计中，出于可加工性考虑，通过静电试验验证，采用了贴片型 miniSMD075 型 PTC 作为 E1/T1 防护器件，并沿用到其它单板上。在设计中并未考虑电源搭接等异常情况。在某试验局发货环境调试中，因为结构件问题，出现电源接错，静电防护电路直接承受-48V 直流过压。在 PTC 动作之前 TVS 即已经失效。对于失效模式呈短路态的电路，miniSMD075 型 PTC 在承受过压一段时间后烧毁（关于此故障的详细分析请参见刘春杰、周恒箴《挪威局调试 SIM0、RDTB 上器件失效分析报告》，硬件讨论园地可靠性专栏）。

这个案例说明，我们目前的 E1/T1 模块电路不能防止电源搭接（包括-48V 搭接和）等异常情况，如果需要避免这种情况的发生，需要重新考虑选取 PTC。如果不需要考虑此种异常（认为在工程现场可以排除此类异常出现的可能），则可以从成本考虑，经过试验选取 PTC 器件。

[返回](#)

2.4.4. 保留

2.5 可编程逻辑器件

2.5.1. 逻辑资源的利用率

逻辑资源的利用率应该保存在 50%~80%之间。资源包括内置的 RAM、乘法器或者 DSP 资源、逻辑资源（包括组合逻辑和寄存器、布线资源）、IO 资源等。对于能够精确估计使用情况的资源，如乘法器或 DSP 单元，占用率允许到达 100%。对于低于 50%则推荐采用低容量器件降低成本，高于 80%则推荐采用更大的器件，避免出现修正错误、功能升级后无法完成布线或者不能保证性能的情况出现。

一般说来，在新板设计中，为了保证未来维护升级的方便，应保证资源有一定裕量；在改版设计中，如果逻辑已经稳定，资源相对固定，允许资源占用率更高一些。

如果因为逻辑功能简单，已经选择选型范围内容量最小的 FPGA，或者考虑芯片通用性好，公司使用量较大，导致该型号逻辑器件价格低廉时，允许在资源利用率较低的情况下选择该器件。

对于资源板

在逻辑选型时，推荐在管脚兼容的系列器件中，有容量较小（如果选型器件为最小）和容量更大的器件可以替换。这样在量产阶段，可能通过替换器件减少成本，或者在调试阶段，如果选型时估计不足，可以通过焊接更大容量的逻辑进行弥补。

当需要通过两片逻辑完成某一功能，存在容量为 2 倍，管脚资源充足的逻辑器件时，推荐选择一片容量为 2 倍的逻辑器件完成。例如计划使用 2 片 4128 完成功能，则推荐优选一片 4256，这样可以节省逻辑之间的交互，减少出错概率和资源浪费，而且有通过将逻辑优化而选用一片逻辑降低成本的机会。长远看来，因为器件降价而降低成本的概率也会高一些。

[返回](#)

2.5.2. 可编程逻辑器件的输入时钟至少有一个本地时钟

FPGA 的输入必须要有一个本地时钟，保证在热插拔、系统故障的时候，逻辑还有时钟可以工作。当单板或者时钟板进行拔插时，外部输入的时钟可能消失或者出现毛刺。这时候逻辑可能出现跑飞、跑死等异常。必须采用一个不间断的时钟，对外部时钟和逻辑的运行情况进行检测，确保时钟异常或者逻

辑跑飞的时候能够恢复，不产生破坏性的影响（通过外部时钟通过倍频器、零延迟缓冲器、锁相环路产生的时钟不算本地时钟）。

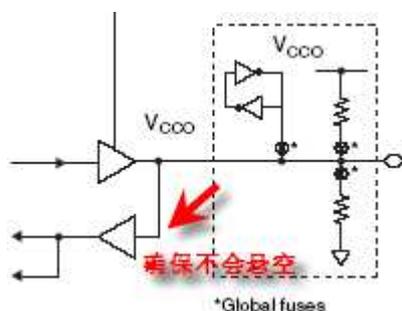
某单板出现过掉版本的故障，在系统断电、系统某些单板插拔的过程中，单板的软件版本会被错误的擦除。经过定位，确认是当系统在断电等特殊状况时，会出现时钟异常，但是单板供电仍然持续的情况。这时候逻辑会异常运行，导致出现擦写版本的错误操作。

[返回](#)

2.5.3. 对于可编程逻辑器件的悬空管脚（包括测试管脚、设计裁减导致的悬空输入等），必须确认其在正常工作中不能悬空

在设计中，可编程逻辑器件 IO 有剩余的情况很容易出现，对大量的多余 IO 进行上拉或下拉处理会占用版面空间并增加成本。单板设计中留出的测试管脚，在实际应用中也会处于悬空状态。当管脚悬空时，编译器会将管脚处理成恒‘0’、恒‘1’、高阻等状况。

还有一种情况会造成管脚悬空：我们的 3G 设计中有很多 1 块 PCB 对应多种料单，实现不同功能的情况。这样就可能产生为某一种实现定义为输入的逻辑管脚，在另外一种情况下悬空。例如射频接口单板，在不配拉远光口时，逻辑的光口数据输入管脚就会全部悬空。



对于逻辑的 IO 管脚，一般有一个可以输出三态的输出缓冲器和一个输入缓冲器构成。当定义为高阻态时，输入缓冲器仍然连接在管脚上。所以上述各种情况，必须确保这些管脚在实际应用中不会产生浮空的高阻态，[避免输入缓冲器悬空](#)。

对于不用的 IO 管脚和测试管脚，可以定义为输出管脚驱动至确定电平。对于可能因为设计裁减导致悬空的信号，应采用添加外部上拉或下拉电阻或者使能器件内部 IO 管脚上下拉的方法，避免输入管脚悬空。

有一些可编程逻辑器件具有每个管脚单独可编程的下拉设置，例如 Altera 公司的 Cyclone 系列每个管脚的可以编程为上拉或者悬空；有一些逻辑器件具有全局可编程的设置，例如 Lattice 公司的 ISP MACH 4000 系列可以编程为上拉、下拉、悬空或者总线保持（[不推荐使用总线保持功能](#)），但是所有的管脚上下拉设置是一样的。

在使用内部上拉或下拉时，需要注意内部上下拉的一些限制，例如 Cyclone 只有内部上拉，即输入管脚悬空时状态为‘1’，设计中是否确定输入‘1’系统正常工作？如果外部有下拉电阻，能否确保在全温度范围确保稳定的低电平输入？ISP MACH 4000 系列只有全局可编程的上拉或下拉，一旦编程则所有的管脚都具有相同的上拉或下拉。例如编程为上拉，那么对于一些采用外接下拉电阻的管脚（例如 3G 总线统一规定使用下拉电阻），内置上拉电阻和外接下拉电阻将形成分压，能否确保在各种情况下都能确保悬空时的确定电平？

[返回](#)

2.5.4. Lattice ISP Mach4000 系列器件，建议使能内部上拉，外部上拉采用 10K，下拉采用 1K 设计

我们的系统中大量应用 Lattice ISP Mach4000 系列 EPLD。

如上一节所属，Lattice ISP Mach4000 系列器件只有全局可编程的上下拉熔丝。我们推荐使用全局上拉设置。采用全局上拉设置的原因有：

- 全局上拉使能，可以避免对悬空管脚的处理。
- ISP Lever 软件中缺省设置中一般内部上拉为使能状态，推荐使用全局内部上拉设置可以避免旧设计中未设置该项目而带来的兼容性问题。
- 使用内部上拉，接口特性类似 TTL 特性，不连接为高电平，低电平时需要给管脚提供更大的

电流，符合很多工程师上拉电阻选取比较大，下拉电阻选取比较小的习惯。

- 对于很多器件，从 TTL 时代继承的习惯，采用了内部上拉设置。例如 Altera Cyclone 型 FPGA，未配置时为 IO 高阻态，内部上拉；Xilinx Spartan III 型 FPGA，可以通过一个管脚设置未配置时 IO 为高阻态或者高阻态内部上拉。在这些器件和 EPLD 相连时，EPLD 统一采用上拉设置能够保证当未配置时网络为确定电平。

Lattice ISP Mach4000 器件的 IO 特性如下：

Symbol	Parameter	Condition	Min.	Typ.	Max.	Units
I_{IL}, I_{IH}^1	Input Leakage Current	$0 < V_{IN} \leq 3.6V, T_J = 105^\circ C$	—	—	10	μA
		$0 < V_{IN} \leq 3.6V, T_J = 130^\circ C$	—	—	15	μA
I_{IH}^2	Input High Leakage Current	$3.6V < V_{IN} \leq 5.5V, T_J = 105^\circ C$ $3.0V \leq V_{CC0} \leq 3.6V$	—	—	20	μA
		$3.6V < V_{IN} \leq 5.5V, T_J = 130^\circ C$ $3.0V \leq V_{CC0} \leq 3.6V$	—	—	50	μA
I_{PU}	I/O Weak Pull-up Resistor Current	$0 \leq V_{IN} \leq 0.7V_{CC0}$	30	—	150	μA
I_{PD}	I/O Weak Pull-down Resistor Current	$V_{IL} (MAX) \leq V_{IN} \leq V_{IH} (MIN)$	30	—	150	μA

对于需要外部上拉的场合，上拉电阻采用 10K，需要外部下拉的场合，下拉采用 1K 设计。可以保证高电平接近 VCC，低电平约为 0.2V。对于负载情况更加复杂的情况，可以参考[上下拉电阻的选择](#)部分。

[返回](#)

2.5.5. FPGA 的 Done 指示管脚（包括 Conf_Done 和 Init_Done）需要被监控

通过监控 FPGA 的 Done 管脚，可以知道 FPGA 下载是否正常完成。Conf_Done 跳高表示逻辑已经配置完成，而 Init_Done 跳高表示逻辑内部配置完成，进入用户模式，可以开始工作。应该监控这两个信号，如果配置完成之后这两个信号没有跳变到高电平，说明配置失败，需要重新进行配置。

在一些 FPGA 中，Init_Done 信号可能还可以用作 IO 信号，该管脚不推荐作为用户 IO 处理。详细的设置请参见器件手册以及开发软件使用手册。（对信号说明的一个例子可以参考 Cyclone FPGA 手册 Section VI Configuration。）

[返回](#)

2.5.6. 不要用特殊管脚当做普通的 IO 使用

在 EPLD 和 FPGA 中，有些管脚，是作为特殊管脚使用的，但是，也可以作为普通 I/O。在一般情况下，可以当 IO 用的特殊管脚尽量不要用作 IO。这些管脚需要按照器件手册仔细对待。下面给出一些例子。

ALTERA 的 EPLD, MAX7000 为例。其 JTAG 管脚,如果不做 JTAG 接口,可以作为普通 I/O,但是建议都要保留，作为下载。

XILINX 的 FPGA,以 SPARTAN-II 为例。

- GCLK0~3，这些管脚是连接到全局时钟缓冲器上，如果不用时钟，可以作为普通的输入。一般都有全局时钟。
- INIT_N，在配置结束后，可以作为普通 I/O。建议保留。
- DIN, D1~D7，在配置结束后，可以作为普通 I/O。建议保留。
- WRITE_N, CS_N，如果“从并”不需要保留时，在配置结束后，可以作为普通 I/O。建议保留。
- Vref, 如果不需要外部阈值电压时，可以作为用户的 I/O。这个对于一般用于 LVTTTL 电平的系统，不需要外部阈值电压。可以作为普通 I/O。
- IRDY, TRDY，如果 XILINX 的 PCI 核不用，可以作为用户 I/O。

[返回](#)

2.5.7. 保留

2.6 电源设计

2.6.1. 热拔插系统必须使用电源缓启动设计

热拔插系统在单板插入瞬间，单板上的电容开始充电。因为电容两端的电压不能突变，会导致整个系统的电压瞬间跌落。同时因为电源阻抗很低，充电电流会非常大，快速的充电会对系统中的电容产生冲击，易导致钽电容失效。

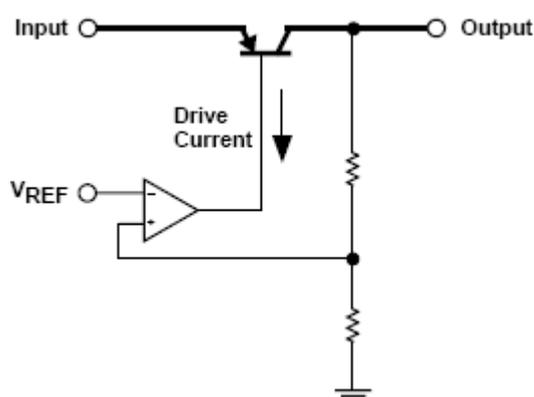
如果系统中采用保险丝进行过流保护，瞬态电流有可能导致保险丝熔断，而选择大电流的保险丝会使得在系统电流异常时可能不熔断，起不到保护作用。

所以，在热拔插系统中电源必须采用缓启动设计，限制启动电流，避免瞬态电流过大对系统工作和器件可靠性产生影响。

[返回](#)

2.6.2. 在压差较大或者电流较大的降压电源设计中，建议采用开关电源，避免使用 LDO 作为电源

采用线性电源（包括 LDO）可以得到较低的噪声，而且因为使用简单，成本低，所以在单板上应用较多。FPGA 内核电源、某单板上射频时钟部分的电源等都使用线性电源从更高电压的电源上调整得到。



线性电源的基本原理如图所示。输出电压经过采样后和参考电源（由晶体管带隙参考源或者齐纳二极管提供）进行减法运算，差值经过放大后控制推动管上的电压降 $V_{dropout} = V_{output} - V_{input}$ ，使得当 V_{input} 变化或者负载电流变化导致 V_{output} 变化时，通过 $V_{dropout}$ 的变化保证 V_{output} 的稳定。

由图中可见，负载电流全部流过调整管，而输入电压和输出电压之间的差异全部都加在调整管上。调整管上耗散的功率为 $V_{dropout} * I$ 。当电压差较大时，或者负载电流较大时，稳压器将承受较大的功率耗散。

另外，输入的电源提供的功率为 $V_{input} * I$ ，即采用线性电源时电源功率的计算不能使用负载电压和电流的乘积计算，必须采用线性电源输入电压和负载电流的乘积计算。

必须经过计算和热仿真确保系统的正常工作。

例如采用 1 只 TO-263 封装的 LDO 将电压从 3.3V 降到 1.2V，负载电流为 1.5A，负载上耗散的功率为 1.8W。此时 LDO 上承担了 2.1V 压降，耗散的功率 3.15W，3.3V 电源提供的功率为 4.95W！封装的热阻约为 40°C/W，则如果不采取任何散热措施，则温升能够达到约 120°C。对 LDO 必须通过热仿真确定合适的散热措施，并且在 3.3V 电源在预算中必须能够提供 1.5A 的电流（或者 5W 以上的功率），保证系统的工作正常。（对于线性电源的原理参见参考文档《The Art of Electronics 2nd Edition》，《Linear Regulators: Theory of Operation and Compensation》。对于 LDO 的设计请参考相关器件手册及 Micrel 公司的参考文档《Designing With Low-Dropout Voltage Regulators》。）

采用开关电源能够达到很高的效率，对大电流及大压差的场合，推荐采用开关电源进行转换。如果电路对纹波要求较高，可以采用开关电源和线性电源串联使用的方法，采用线性电源对开关电源的噪声

进行抑制。

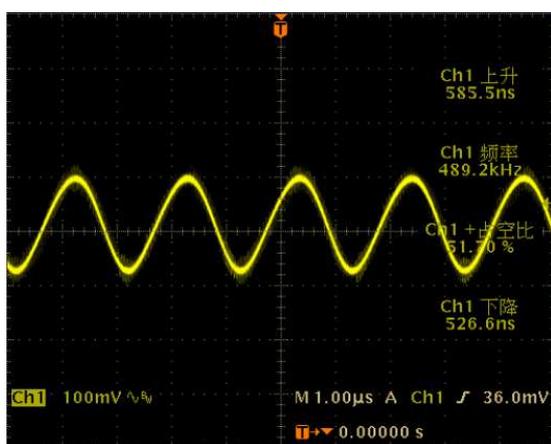
[返回](#)

2.6.3. LDO 输出端滤波电容选取时注意参照手册要求的最小电容、电容的 ESR/ESL 等要求确保电路稳定。推荐采用多个等值电容并联的方式，增加可靠性以及提高性能

LDO 输出电容为负载的变化提供瞬态电流，同时因为输出电容处于电压反馈调节回路之中，在部分 LDO 中，对该电容容量有要求以确保调节环路稳定。该电容容量不满足要求，LDO 可能发生振荡导致输出电压存在较大纹波。

多个电容并联，以及对大容量电解电容并联小容量的陶瓷电容，有利于减少 ESR 和 ESL，提高电路的高频性能，但是对于某些线性稳压电源，输出端电容的 ESR 太低，也可能会诱发环路稳定裕量下降甚至环路不稳定。

在设计中应该仔细依照手册的要求进行设计，保证电源稳定。



[返回](#)

在某试验板中，采用 MIC39300-2.5BU 型 LDO，输出电容为 20μF，不满足手册规定的 47μF 保证环路稳定的最小值要求，导致 2.5V 电源发生振荡，存在较大纹波，如右图所示。

该试验板产生了高速 SERDES 芯片在光纤较短时自环正常，光纤较长时无法锁定数据的异常。增加输出电容后问题解决。

如果对环路稳定性感兴趣，可以参考自动控制理论相关文献。

2.6.4. 电源滤波可采用 RC、LC、π 型滤波。电源滤波建议优选磁珠，然后才是电感。同时电阻、电感和磁珠必须考虑其电阻产生的压降

对电源要求较高的场合以及需要将噪声隔离在局部区域的场合，可以采用无源滤波电路。在采用无源滤波电路时，推荐采用磁珠进行滤波。

磁珠和电感的主要区别是，电感的 Q 值较高，而磁珠在高频情况下呈阻性，不易发生谐振等现象。电感加工精度较高，而磁珠加工精度相对较低，成本也较便宜。在选择滤波器件时，优选磁珠。

选择电阻和电容构成无谐振的一阶 RC 低通滤波器，但是该电路只能应用于电流很小的情况。负载电流将在电阻上形成压降，导致负载电压跌落。

无论是采用何种滤波器，都需要考虑负载电流在电感、磁珠或者电阻上的压降，确认滤波后的电压能够满足后级电路工作的要求。例如在某单板锁相环路设计中采用了一阶 RC 滤波器，滤波电阻选择 12 欧姆。锁相环中 VCXO 的工作电流约为 30mA，在滤波电阻上产生 300mV 的压降，额定电压 3.3V 的 VCXO 实际工作电压只有不到 3V，易发生停振等现象。在某光口子卡上，发生过某型号光模块当光纤插上时 SD（光检测）信号上升缓慢，不能正确反映实际情况的问题。经过检查发现滤波电感的直流电阻约为 3 欧姆，光模块工作电流约为 100mA，电感上的压降导致光模块的工作电压只有约 2.9V 左右，在该型号光模块上会出现 SD 上升缓慢的故障。

另外，对于滤波电路，应保证电感、磁珠或者电阻后的电容网络能够保证关心的所有频率下，都能够保证低阻抗。必要时应采用多种容量的电容并联，并局部铺铜的方式达到目标阻抗。（[参见时钟驱动芯片滤波电路设计部分](#)）。在某单板上，采用了磁珠和 0.1μF 电容为时钟驱动芯片提供滤波。经过测试，时钟驱动芯片管脚上的纹波高达 1V 以上。采用多电容并联的方式可以有效地为时钟芯片提供去耦。

[返回](#)

2.6.5. 大容量电容应并联小容量陶瓷贴片电容使用

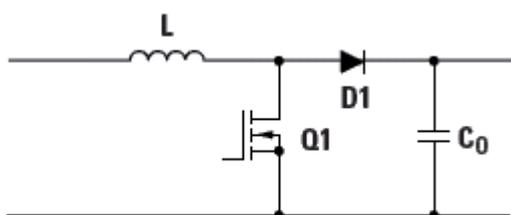
大容量电容一般为电解电容，其体积较大，引脚较长，经常为卷绕式结构（钽电容为烧结的碳粉和二氧化锰）。这些电容的等效串联电感较大，导致这些电容的高频特性较差，谐振频率大约在几百 KHz 到几 MHz 之间（参见 Sanyo 公司 OSCON 器件手册和 AVX 公司钽电容器件手册）。小容量的陶瓷贴片电容具有低的 ESL 和良好的频率特性，其谐振点一般能够到达数十至数百 MHz（参见参考文献《High-speed Digital Design》以及 AVX 等公司陶瓷电容器件手册），可以用于给高频信号提供低阻抗的回流路径，滤除信号上的高频干扰成分。

因此，在应用大容量电容（电解电容）时，应在电容上并联小容量瓷片电容使用。

[返回](#)

2.6.6. 升压电源（BOOST）使用必须增加一个保险管以防止负载短路时，电源直通而导致整个单板工作掉电。保险的大小由模块的最大输出电流或者负载最大电流而定

升压电源（Boost）的基本拓扑如下图所示：



当 Q1 导通时两端电阻很小，电源电压加在 L 两端，电能转化为磁场存储在 L 中，此时 D1 截止，避免 C0 上的电压向 Q1 流动。当 Q1 关断时，L 中的电流不能突变，电源和 L 一起通过 D1 向 C0 充电并向负载供电，得到一个高于输入电压的输出电压。

由图中拓扑可以看出，我们不能通过控制 Q1 的通断来切断输入和输出之间的通路或者控制输出电流。当输出电源短路时，输入电源（一般是单板主电源）通过 L 和 D1 直接短路到地。导致的结果将是 L 或者 D1 烧毁且失效模式为开路。在 L 或者 D1 烧毁之前，单板电源处于短路状态，如果 L 和 D1 电流降额较大，可能导致单板电源保护而不能上电。

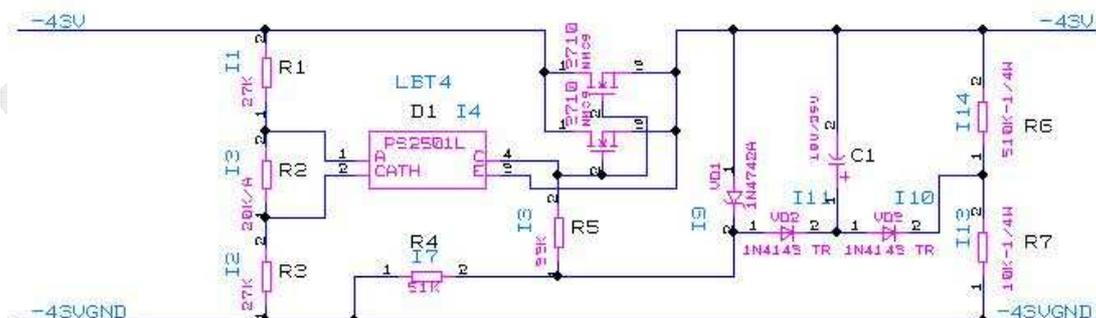
为了避免上述问题，建议为升压电源添加一个保险管防止负载短路，保险的大小依照模块的最大输出电流或者负载的最大电流而定。

[返回](#)

2.6.7. 电源要有防反接处理，输入电流超过 3A，输入电源反接只允许损坏保险丝；低于或等于 3A，输入电源反接不允许损坏任何器件

电源要有防反接处理，输入电流超过 3A，输入电源反接只允许损坏保险丝；低于或等于 3A，输入电源反接不允许损坏任何器件。

回路电流较大时，直流电源反接处理可以按照以下方法处理。原理图如下所示：



直流电源正常接入时，光耦 D1 由于输入二极管反偏置，所以输出 C-E 不能导通，这时并联的 NMOS 管将由于 G-S 电压的稳压至 12V，使 D-S 导通。这样电源回路将能顺利形成。电容 C1 是起到缓启动作用的，这样可以起到防浪涌的目的。电阻 R6、二极管 VD3 构成电容 C1 的放电回路。当电源反接的时候，由于光耦输入二极管正偏置，输出 C-E 导通，使并联的 NMOS 管截止。这样回路就切断了，起

到了防反接保护的作用。由于并联 NMOS 管的 R_{DS} 比较小，损耗小，比较适合于低压大电流的场合。

回路电流较小时，可以直接在输入回路中串联二极管。反接时，由于二极管的单向导电性，电源被阻断。

[返回](#)

2.6.8. 禁用磁饱和和电路；禁止选用采用磁饱和电路的电源模块

禁用磁饱和电路，因为：

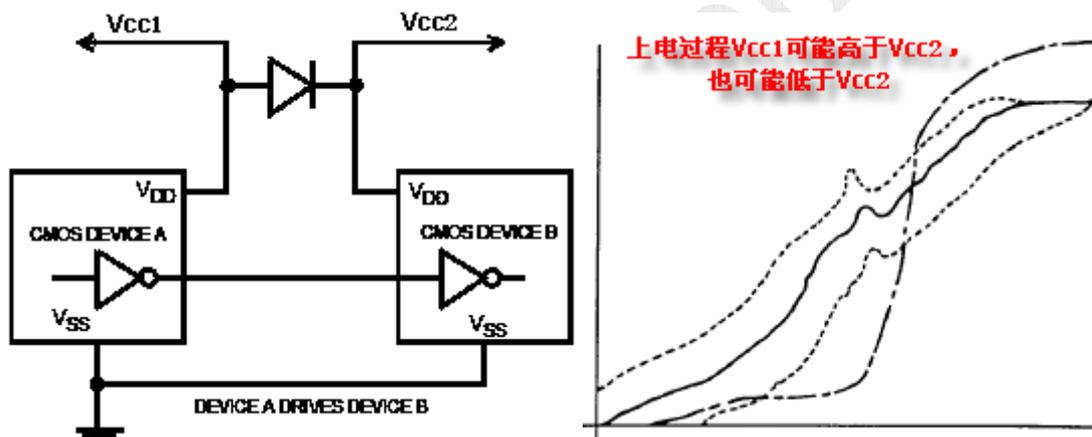
- 磁饱和电路因为所用磁环的原因对温度比较敏感，易在高温工作时不稳定。
- 动态负载能力差，在磁饱和路负载最小时工作最恶劣，易形成输出不稳定。

[返回](#)

2.6.9. 对于多工作电源的器件，必须满足其电源上掉电顺序要求

对于有核电压、IO 电压等多种电源的器件，必须满足其上电和掉电顺序的要求。这些条件不满足，很有可能导致器件不能够正常工作，甚至触发闩锁导致器件烧毁。例如 TMS320C6414T 型 DSP，2005 年 5 月之后的 Errata 中说明，当 DVDD 较 CVDD 早上电时，可能出现 PCI/HPI 数据错的问题。对于 QDR、DDR 内存，其上电顺序也有要求，否则可能导致闩锁，造成器件烧毁的后果。

当有多个电源时，如必要可采用专用的上电顺序控制器件确保上电顺序。**设计中应保证在器件未加载烧结文件时，电源处于关断状态。**也可以通过在不同的电源之间连接肖特基二极管确保上电掉电过程中不会违反上掉电顺序要求。



因为电源模块、电源上的电容都会对电源上电顺序产生影响，可能出现上电过程中违反电压要求的情况，如上右图所示，所以必须进行测试验证。

[返回](#)

2.6.10. 多个芯片配合工作，必须在最慢上电器件初始化完成后开始操作

当多个芯片配合工作时，必须在最慢的期间完成初始化后才能开始操作，否则可能造成不可预料的结果。

例如 LVT16244 驱动器具有上电 3 态功能，即使 OE 端被下拉到地，也需要等到电源电压上升到一定阈值才会脱离高阻态，而此前 EPLD 等器件可能已经开始工作，这样就可能导致 EPLD 读到错误的状态。参见[前面的说明](#)。

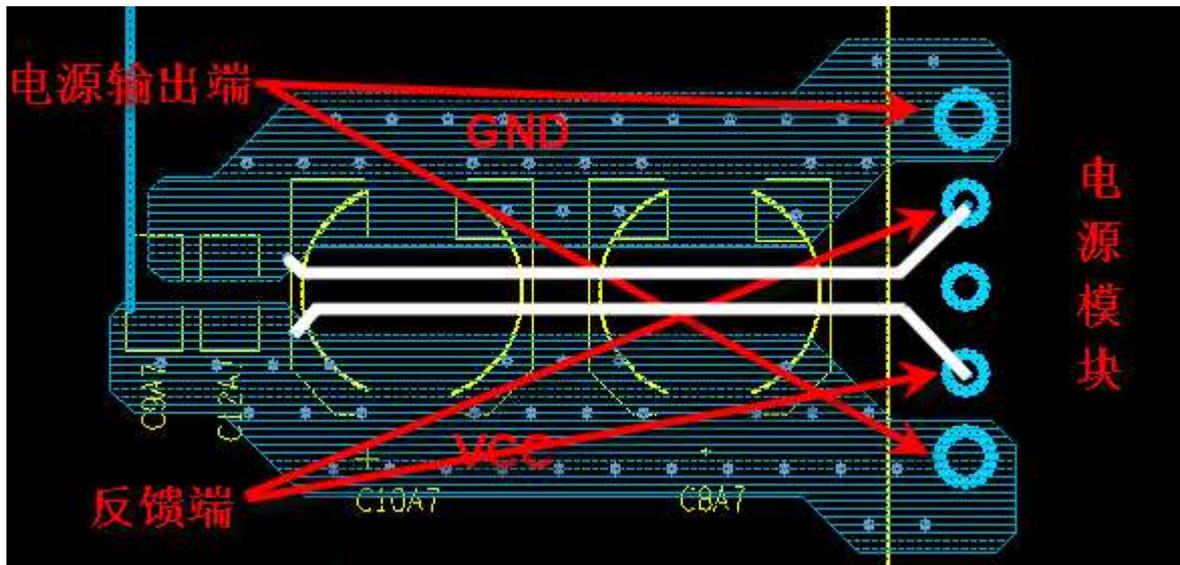
对于某些 ROM 等器件，在上电后一段时间才能开始工作，如果在此之前就开始读取，也可能导致数据错误。

[返回](#)

2.6.11. 电源模块/芯片感应端在布局时应采用开尔文方式

很多电源模块和电源芯片在设计时，采用了独立的 Sense 管脚，作为对输出电压的反馈输入。这个 Sense 信号应该从取用电源的位置引给电源模块，而不应该在电源模块输出端直接引给电源模块，这样

可以通过电源模块内部的反馈补偿掉从电源模块输出传输到实际使用电源处路径带来的衰减。如下图中白色走线所示。



对于电源监控电路等，也应该遵守相同的原理，即从实际需要监控点将电源引给监控电路，而不是从监控电路最近处引给监控电路，以确保精确性。

模拟电路设计中也有类似的情况，在此暂不说明。

[返回](#)

2.6.12. 在存在分板工艺，以及需要过波峰焊的单板上，-48V 电源滤波尽量避免使用贴片陶瓷电容

请参见《EPCOS 0.1 μ 100V MLCC 电容（33160047）失效分析报告》。电源滤波电容存在于单板电源入口处，安装和波峰焊过程中易受到应力从而产生微裂纹。在使用中可能产生短路等失效。

我事业部在 RFE 单板上发生多起失效案例，其他单板尚未见报道。

[返回](#)

2.6.13. 保留

2.7 其他应用经验

2.7.1. 使用 CY2302 时钟驱动器，应注意如果对输入输出时钟的相位要求一致，那么必须选择 OUT2 反馈、OUT1 输出

系统中常用 CY2302 进行倍频。如果对输入输出时钟的相位要求一致，那么必须选择 OUT2 反馈、OUT1 输出。如果选中 OUT1 反馈，OUT2 输出，则相位有可能对齐，也可能不对齐，随机出现。

因为 OUT2 是 OUT1 的 1/2 分频时钟，两者同相位，选择 OUT2 反馈时，OUT2 与输入时钟同相位，自然 OUT1 就与输入时钟同相位；如果选择 OUT1 反馈，则自能保证 OUT1 与输入同相，OUT2 与输入时钟可能同相也可能不同相。

[返回](#)

2.7.2. ADM706R 在使用中应该将 PFI 直接接电源，避免器件上电时进入测试模式

CCM/CDSU 单板在插入机框时有时无法正常启动，其比率达到 18% 左右。测量复位芯片 ADM706R 的复位信号输出，发现单板插入机框时 ADM706R 输出恒定为低电平或恒定为高电平，从而使单板不能正常启动。分析结论是：ADM706R 上电时进入了测试模式。其解决措施是如果不使用 Power Fail 功能，将 PFI 上拉。参见参考文献《CDMA 事业部 2004 年度可靠性经验案例集》。（后有案例反映，将 PFI

通过电阻上拉仍然可能导致 ADM706R 进入测试模式，复位输出方波，推荐将 PFI 直接接电源。详情咨询刘春杰)

[返回](#)

2.7.3. MPC860 的 TRST*设计时接/PRESET，避免器件上电时进入测试模式

CCM 单板调试过程中发现当使用热拔插电路上电时，MPC860 多数情况不能正常启动（有的单板不能启动的几率高达 80% 以上）。分析结论是：由于 TRST*接到了/HRESET，所以当电源上电缓慢时，MPC860 进入了 JTAG 模式，不能正常启动。将单板上的 TRST*改为接/PRESET，单板上电使用热拔插电路，开关电 100 次，MPC860 都能正常启动。该案例参见参考文献《CDMA 事业部 2004 年度可靠性经验案例集》。

[返回](#)

2.7.4. 在使用 MPC860 的设计中，如果只对 MPC860 硬件复位配置字用到的部分数据线通过硬件复位配置字驱动器进行驱动，其他数据线默认为 MPC860 内部下拉，那么 MPC860 的数据总线不能使用带总线保持功能的驱动器

数据总线使用带总线保持功能的驱动器可能会导致 MPC860 无法启动，详情请见参考文档《CDMA 事业部 2004 年度可靠性经验案例集》和“[原则上不推荐采用总线保持器件或者启动可编程器件的总线保持功能](#)”一节。

[返回](#)

2.7.5. 面板灯和指示灯

在面板灯设计中，我们规定必须经过驱动器驱动点灯。原因有两个：避免点灯器件（如 CPU 和 FPGA）驱动能力不足；避免静电干扰直接冲击点灯器件造成单板工作异常。同样是为了防止静电干扰重要信号，规定面板灯信号不与重要信号公用驱动器。设计中可以将面板灯、面板状态信号合用一个驱动器。

发光二极管一般在点亮时两端的电压降基本恒定，发光亮度和通过的电流相关。电流用公式

$$I = (V_{CC} - V_{AK}) / R$$

进行计算。其中 V_{CC} 为电源电压， V_{AK} 为发光管上的电压降， R 为限流电阻。

我们统一规定，对于面板灯，3.3V 统一采用 330 欧姆左右的限流电阻，5V 统一采用 510 欧姆左右的电阻。对电阻精度要求不高，可以根据产品设计约定，在通用件库中选取近似的阻值。对于板内的信号，3.3V 和 5V 统一采用 1K 的限流电阻。更高的电压根据情况自行选择常用的电阻值或者参照产品设计约定。

对于低于 2V 的电源指示灯，可能已经无法点亮发光二极管。我们要求用三极管进行驱动后采用主电源点灯。发光二极管和限流电阻连接在三极管集电极上，基极通过限流电阻连接需要点灯的电源，发射极直接接地。

对于面板灯，要求其限流电阻连接在驱动器和发光二极管之间，并靠近驱动器放置。电阻不得放置于发光二极管和电源之间。当静电干扰时，该电阻可以起到限流电阻的作用，避免损坏驱动器。

另外，可以考虑在面板灯上并联小陶瓷电容，可以吸收静电能量，进一步保护驱动器。但是在没有该电容的情况下，尚未发现因为静电实验导致面板灯驱动器损坏的案例，可以不加。

一般驱动器的低电平驱动能力较强，另一方面，相当部分器件内置上拉电阻，例如 FPGA 未下载时内部有弱上拉，可能会造成网络没有驱动的情况下 LED 中有电流流过，故我们推荐使用低电平点灯。因为实际上板内指示灯电流非常小，所以如果驱动能力足够不需要采用驱动器，也可以采用高电平点灯。MCU 只允许采用低电平方式点灯，否则必须经过驱动。

[返回](#)

2.7.6. MOSFET 的应用

MOSFET 在应用时，推荐在栅极串联一个 10 欧姆左右的电阻。在双管并联使用时，应该对每个 MOSFET 分别串联电阻，避免在开关过程中造成振荡，在 MOSFET 上耗散过多的功率导致器件烧毁。

本条目来自于参考文献《CDMA 事业部 2004 年度可靠性经验案例集》，请参考其中的案例分析。

[返回](#)

2.7.7. 继电器线圈、风扇电机绕组等感性负载必须有续流二极管

继电器线圈、风扇绕组为感性负载。电流不能突变。当控制开关断开时会强行续流，产生的感应电压有可能导致开关元件击穿损坏，故继电器线圈必须添加续流二极管。

[返回](#)

2.7.8. 继电器线圈工作电压不允许降额使用，继电器在应用中应注意是线圈是否有极性要求，避免退磁

继电器额定电压下才能保证可靠吸合，故继电器线圈工作电压不允许降额使用。

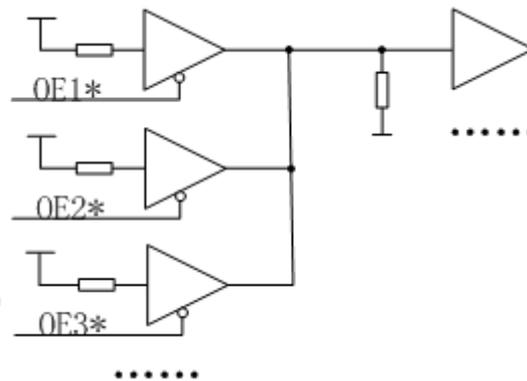
现在的小型密封继电器有一些是极化继电器，其线圈有极性要求，连接反了会导致退磁，必须严格按照说明书设计。

继电器的触点应降额使用。当驱动感性负载的时候，也需要添加续流保护电路避免触点烧蚀。

[返回](#)

2.7.9. 三态/OC/OD 时分数据/状态总线释放时应注意释放速度的问题

有时系统设计中会采用时分复用的方式让多个单板或器件共享一根/一组信号线。当一个设备需要占用总线时，向总线驱动有效电平，当不需要占用总线时，关闭输出以释放总线。这时总线总是在下拉电阻的作用下恢复默认无效电平。



当驱动器占用总线时，因为驱动能力一般会比较强，总线会快速跳变到有效电平。但是当驱动器释放总线时，要通过上下拉电阻对整个走线、所有负载的电容进行充放电，上升过程相对比较缓慢。如果需要一个快速的上升沿，那么可以控制驱动器的输入端，每次释放总线为无效之前，先让驱动器将总线驱动为无效电平一小段时间，然后再释放总线。**如果采用这种方案，必须注意严格让驱动器驱动总线的时间分开，不得让个驱动器有输出冲突的可能。**

[返回](#)

2.7.10. 光耦应用

请参见《PSB-M 单板光耦 ILD211T 失效分析报告》，暂时不作更多说明。

[返回](#)

2.7.11. 保留

[返回](#)

3. 可靠性设计

3.1.1. 工业级及商业级器件在实际使用中，结温降额应采用同样的降额标准，以确保实际使用中具有较高的可靠性水平

根据供应商提供的信息，一般工业级器件和商业级器件生产工艺基本相同，区别只是在于工业及器件通过额外的测试，能够在扩展温度范围内使用。所以在应用工业级器件时，节温降额应采取同样的标准，以确保实际应用中有较高的可靠性水平。

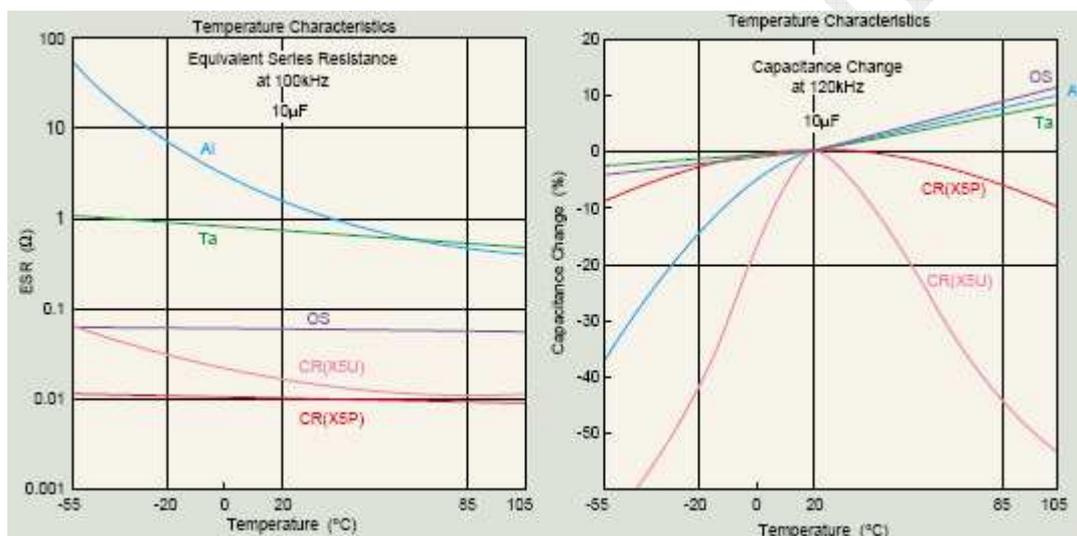
[返回](#)

3.1.2. 对于一些敏感电路，设计中应进行容限分析，以确认器件选型满足电路容限要求

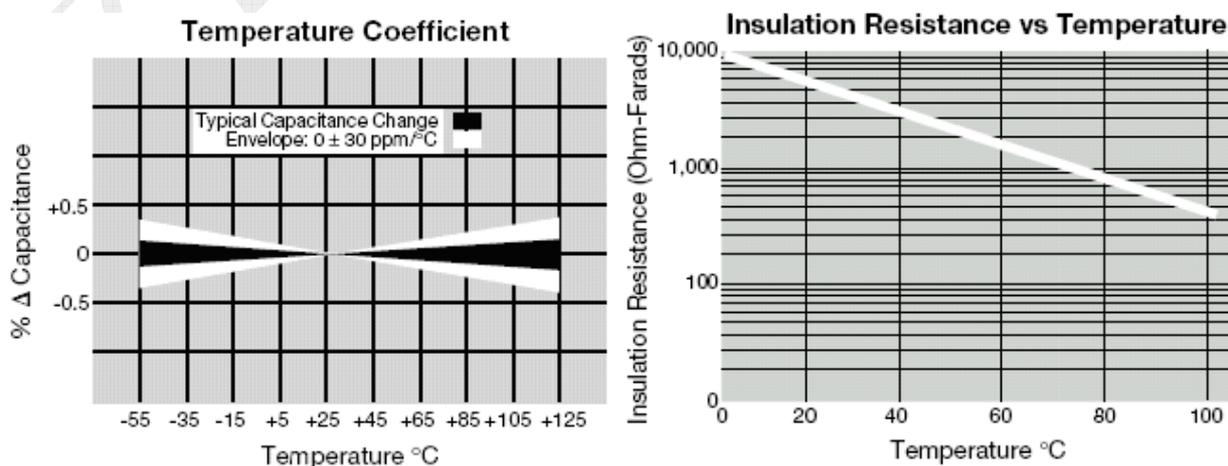
我们在教科书中学习的各种知识，很多都是基于理想器件的。而实际上，世界是不完美的，我们使用的器件都具有其自己的特性。

器件本身的参数都是标称值，实际值实际上是在标称值附近一定容限范围内的一个数值，而且，随着温度、电应力、老化、潮湿、振动等的影响，参数还会发生变化。

例如电容，随着温度的变化，其容量、ESR 等参数都会有很大的变化，下面是 Sanyo OSCON 电容手册中提供的一张图：



随着介质的不同，电容的容量变化范围甚至多达容量的 80% (X5U 介质陶瓷电容)。即使是稳定度很高的 COG 介质陶瓷电容，其电容量也会随温度变化轻微变化。而其绝缘电阻率也会随着温度变化。甚至，随着加在电容两端的电压变化，电容的容量也会发生变化。对于陶瓷电容，机械振动会导致电容两端噪声电压的产生。



对于我们常用的电阻，也有阻值随温度变化的问题，电阻值本身就有 1% 或者 5% 之内的误差，而且阻值会随着温度变化，温度系数约为数十 ppm/°C。

对于我们常用的运算放大器，其增益并不是无穷大，而是随着频率变化的值。有的运放当输入很接近电源轨时，可能出现输出反向的问题。

在敏感电路设计中（例如精密的模拟电路，射频电路），必须考虑各种器件的非理想因素，经过计算确定器件在有容差的情况下仍然能够使用。

关于本条的案例，请参考文献《CDMA 事业部 2004 年度可靠性经验案例集》。

[返回](#)

3.1.3. 散热器的接地

本规范条目中对散热器接地进行的规定基本上来自于 2003 年版原理图检查单。条目中有矛盾之处，是因为部分内容实施有一些困难。

对于单板内部的散热器，接保护地、静电泻放地都有将浪涌等信号引入单板内部的危险。所以应就近接工作地。接地的方式还需要讨论。采用 1M 欧姆电阻接地，可以缓慢泻放积累的静电电荷，但是高频情况下可能 EMI 会超标。采用 0.1u 或者更小的陶瓷电容接地可以提供高频回流路径，EMI 改进，但是静电没有直流泻放通路。所以我们也考虑采用并联的 RC 进行接地抑或是直接连接工作地。进一步的规范在部门有定论之后给出。

[返回](#)

3.1.4. 保留

4. 信号完整性/电源完整性设计

4.1.1. 选择更加不易引起信号完整性的接口方式和器件

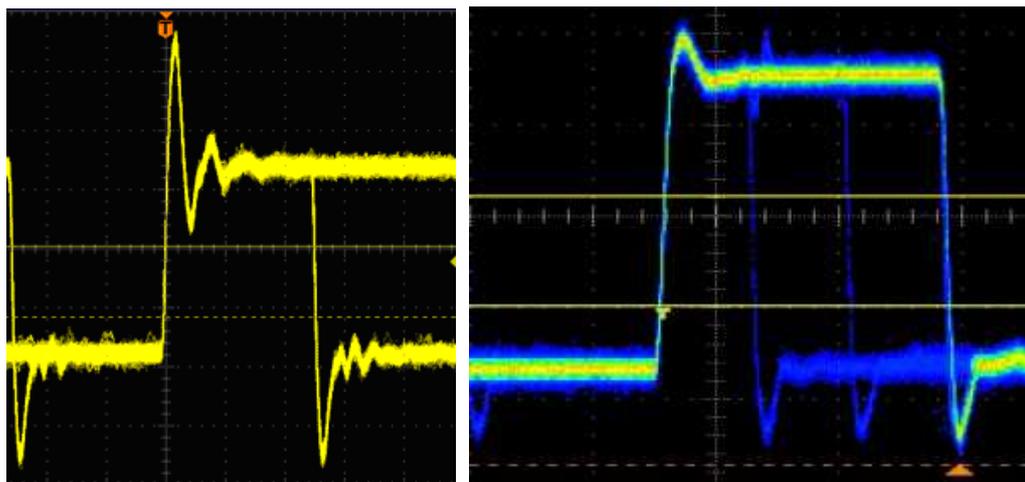
在满足速度要求的前提下，应该选择更加不易引起信号完整性问题的接口方式和器件。电压摆幅较低的器件相对于电压摆幅较高的器件，较少引发 EMI 的问题。差分信号较之单端信号，较少引发 EMI 的问题。另外，低速器件（边沿摆率低的器件）比起高速器件（边沿摆率高的器件）较少引发信号完整性和 EMI 问题。点到点的传送比起总线、分叉等复杂的拓扑，较少引发信号完整性问题。

例如单端信号 SSTL/HSTL 信号比起 TTL 和 CMOS 信号，摆幅较低，应用于 DDR 和 QDR RAM 等高速接口场合。LVDS、PECL 等差分接口方式在高速度情况下比起 TTL 更加有优势。相对于 BLVDS 而言，限制摆率的 MLVDS 速率较低，但是信号完整性的问题相对好一些，被 ATCA 架构采用。

[返回](#)

4.1.2. 采用 16244 驱动器驱动变化信号，建议在驱动器输出添加 33.2 欧姆电阻或者 33 欧姆排阻

我们系统中经常采用的 16244 已经属于高速器件，其输出端应该进行端接。简单的方法就是添加 33 欧姆左右串阻。例如某单板通过 16244 缓冲后的数据，末端接即连接到 FPGA 上，接收信号呈现很大的过冲和振铃，上冲、下冲峰值分别达到了 5.62V 和 -1.66V（下左图）。添加 33 欧姆串阻之后，上冲和下冲下降到 3.906V 和 -0.934V，明显下降并且低于 FPGA 的电压容限。同时无明显振铃。



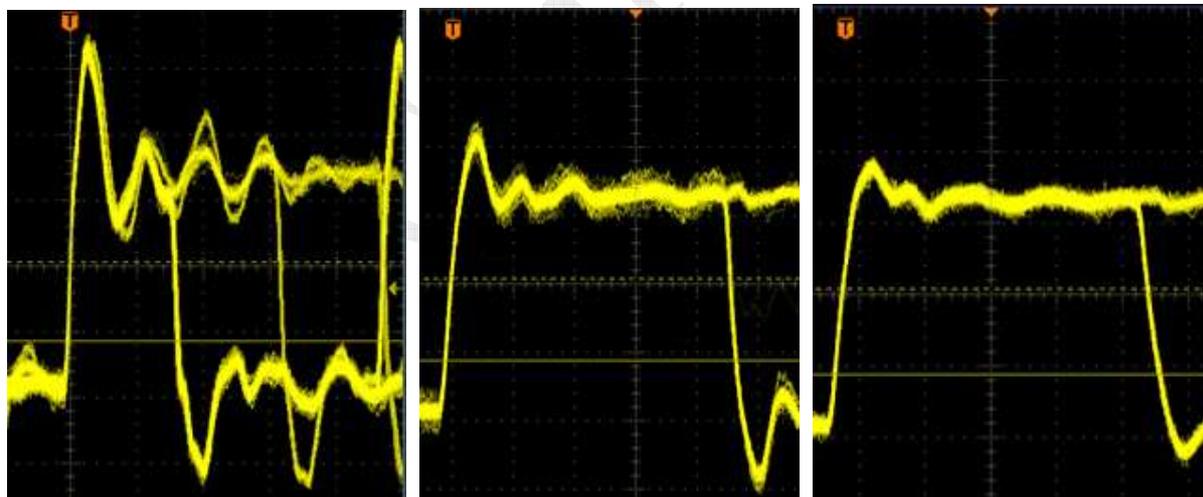
如果认为信号振铃仍不可接受，可以通过增加源端电阻的方法抑制。

[返回](#)

4.1.3. 有一些可编程逻辑器件可以设置输出的驱动强度、电流等参数，通过合理设置可以改善信号完整性

一般我们系统中使用的 EPLD/FPGA 都有管脚摆率（Slew Rate）设置。Cyclone FPGA 还可以对驱动电流进行设置。如果系统时序裕量允许较低的摆率，推荐将 Slew Rate 设置为 Slow，减少信号完整性和 EMI 问题。

当信号较多，不易进行端接时，也可以采取对摆率和电流设置的方法改善信号完整性。例如某单板，采用 Cyclone 输出，当采用默认的快摆率，不设置电流约束时，信号质量较差，上冲、下冲分别达到 5.34V 和 -1.44V。设置约束为慢摆率，电流限制为 8mA 和 4mA，过冲和振铃明显减小。过冲分别为 4.08V，-1.06V 以及 3.78V，-0.34V，如下中、右图示。



[返回](#)

4.1.4. 读写信号的驱动拓扑应尽量简化，必要应采用多个驱动器的方法，并进行信号完整性仿真

总线读写信号一般都是单方向信号（存在 DMA 的系统例外），经常变化，对于某些器件，对其沿的单调性有要求，所以在拓扑设计时需要注意。

一般设计时，我们常常采用一个驱动器驱动整个总线上所有器件的读写，导致网络复杂。有的时候某些接收端还会出现信号沿不单调的情况，导致系统工作异常。（参考文献马峰超《3G 统一平台单板 PSN4V WE# 信号情况分析》）

在设计中，如果时序裕量允许，可以采用多个驱动器驱动的方法，简化每一个网络的拓扑，易于端接以实现较好的信号完整性。

[返回](#)

4.1.5. 电源上电解电容的数目应该满足电源完整性要求

电源上的电解电容应能够提供电路工作瞬态需要的电流。从直观上看，当器件工作时，切换产生的高频瞬间电流由平面间杂散电容和陶瓷去耦电容滤除。但是器件从待机到开始工作，或者不同工作情况之间的瞬态电流，需要由稳压电源和电解电容来提供。稳压电源响应时间相对慢一些，这时就需要电解电容提供稳压电源未来得及响应时器件工作的瞬态电流，保证这段时间器件的工作电压满足要求。

从频率域来看，我们期望在工作关心的整个频段上，电源具有小的内阻（期望阻抗），这样当负载电流变化时，不会导致电源上过大的噪声电压。小容量小 ESL 的陶瓷电容提供了数 MHz 到数百 MHz 频率范围的低阻抗，电源提供了低频直至数十 KHz 的低动态阻抗，在数十 KHz 至数 MHz 范围上，需要电解电容提供足够低的阻抗。

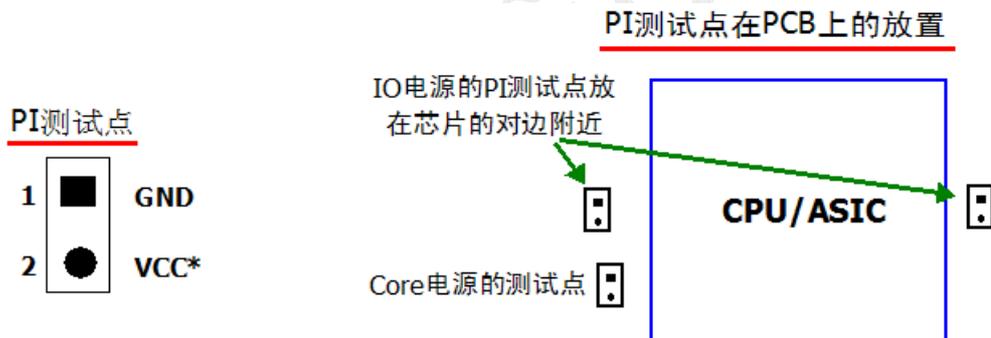
电解电容选取的原则是，针对特定的电源器件，当负载突变时，电源输出端电压波动不超过器件正常工作范围。电解电容的计算请参照部门 PI 计算表选择，或者根据电源器件手册的负载特性部分选取。

[返回](#)

4.1.6. 在需要对电源完整性进行测试的位置，放置电源完整性测试点

原理图中应增加关键芯片（如大规模的处理器和 ASIC 等）的 I/O 电源和 Core 电源的 PI 测试点。用示波器对芯片的电源进行纹波测试时，使用 PI 测试点，配上自制的电源测试探头，可以避免地回路较大带来的测试误差。

每个关键芯片的 I/O 电源加 2 个 PI 测试点，Core 电源加 1 个。PI 测试点不入料单，使用库 TP1X2_1，第 1 脚接 GND，第 2 脚接需要测试的电源网络。PI 测试点在 PCB 上放在被测芯片附近，I/O 电源测试点分别放在芯片的对边。

[返回](#)

4.1.7. 时序设计

时序设计在本检查单中不列出，但要求关键路径必须有时序计算表。计算可以采用时序计算表或者工具计算（例如 SynaptCAD Timing Diagrammer Pro 和 Forte Timing Designer 等）。注意器件上 TCO 参数测试方法，当负载不同时，TCO 和手册上可能有差异，当时序裕量很小时，可能带来时序问题。

这部分可以参考 Xilinx 的文档《For Synchronous Signals, Timing is Everyting》和 Philip Nowe 的短文《Timing (Analysis) is Everything》。

[返回](#)

4.1.8. 保留

5. 系统相关设计

5.1.1. 热插拔系统的接口不应采用不支持插拔的标准

我们的系统一般要求单板支持热拔插。在接口标准选取时，应该仔细了解该电平原理上是否支持热拔插，选取在热拔插系统中可行的标准。

例如 I2C 总线使用了上拉电阻，当一块单板掉电时其电源为 0V，总线上通过该单板上的上拉电阻给该单板供电。因为 I2C 总线本身是通过上拉电阻来置高电平的，上拉本身就较弱，所以总线很容易被拉死。对这种情况，可以考虑在上拉电阻处添加一个肖特基二极管防止局部掉电拉死总线。

对于具有保护二极管的器件，也需要注意，信号线可能会通过其保护二极管在单板断电或者拔插过程中给单板供电，造成信号线被拉死甚至器件损坏。

对于一般接口特性的讨论和设计中的常见问题，请参考以下小节：

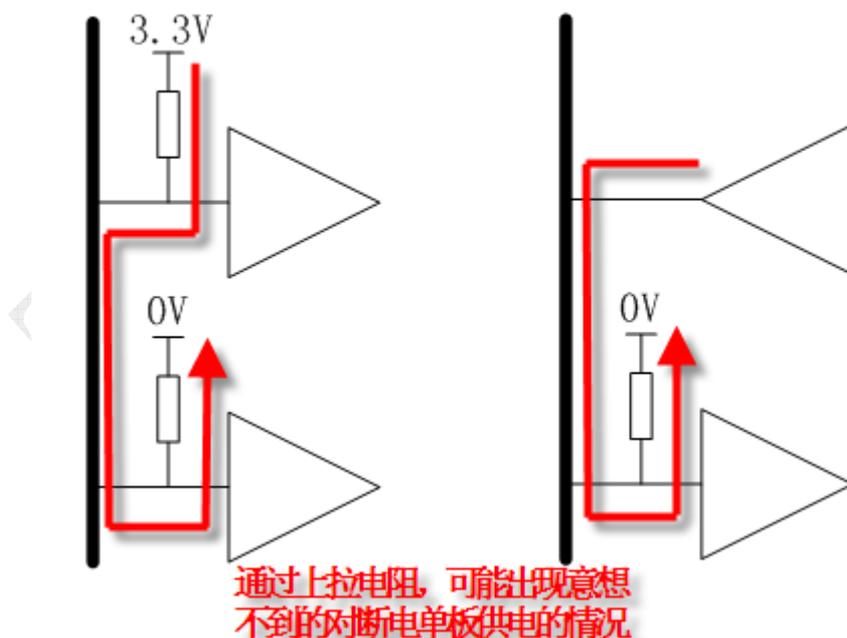
- [单板对外接口器件选型必须能够满足热拔插要求](#)
- [对电源有二极管钳位保护的器件](#)
- [差分信号应考虑 Failsafe 功能](#)
- [设计中应防止上电及正常工作时出现总线冲突](#)
- [和背板直接相连的驱动器必须满足热拔插要求](#)

[返回](#)

5.1.2. 背板输入的 TTL/CMOS 控制信号应该设置成高电平有效，一般情况处于低电平

在 3G 第一版设计中，接口控制信号电平的定义并没有考虑必须高电平有效，而是根据 TTL 时代的惯例，低电平表示信号有效（TTL 器件当管脚悬空时认为是高电平）。在接收器上，一般采用上拉处理，确保当发送器断电呈现高阻态时，接收端收到的是固定的无效状态。

实际使用中，出现了断电单板指示灯微亮的异常现象。经过检查分析，发现是因为信号线或者其他单板上的上拉电阻给单板供电造成的。当信号线很多时，通过上拉电阻点灯甚至给单板部分电路供电时很可能的。



I2C 总线也是一个例子，当一块单板掉电时，其上拉电阻往往会起到下拉电阻的作用，导致整根总线被拉死，并可能导致断电单板部分电路有电。

为了避免这种情况发生，要求一般信号线定义，以高电平为有效电平，采用下拉电阻确定当发送器断电或者不存在、高阻时，信号处于固定低电平。

[返回](#)

5.1.3. 背板信号在上电之前处于三态

背板信号在上电前应处于高阻态，避免总线冲突或者输出错误的状态。对于 TTL/CMOS 器件，这一点可以通过具有 PU3S 的驱动器，以及采用 OE 端的上下拉电阻确保在单板上电，OE 控制信号有效之前，驱动器处于高阻状态。

[返回](#)

5.1.4. 单板运行时不需要进行调节的地方一律不用可调器件

可调器件的可靠性和稳定性较低。例如电位器、可调电容等都可能由于震动导致设置值发生变化。电位器还可能因为电刷接触不良导致故障。另外，对可调元器件进行调节增加了生产的复杂性，也增加了生产的成本。

我们规定，在不需要调节的地方一律不用可调器件。因调试需要，在样板中采用可调器件调节，在最终版本中应采用固定元件替代。

[返回](#)

5.1.5. 设计应保证所有测试使用的跳线帽、跳线针在最终产品中不需安装

安装调线帽增加了成本和安装工序，因为需要人工安装，增加了出错机会。跳线帽在运输中可能脱落，受到污染可能接触不良，增加了系统的不稳定因素，所以设计应保证跳线帽只在调试中使用，最终产品不需要调线帽，不需要焊接跳线针。

在电路设计中，应保证所有模式设置使用的调线帽只有在测试模式需要安装，正常工作模式默认调线帽不需要安装。所有为调试方便设置的调线，应该有 0 欧姆电阻并联，确保在最终产品中，可以通过 0 欧姆电阻实现跳线的功能，不需要安装跳线帽。

对于机架号设置等使用，可以采用跳线或者拨码开关方式。必要时须采用点胶等方式紧固，防止运输过程松脱、遗失带来故障。

[返回](#)

5.1.6. 系统级信号完整性设计和系统级时序设计

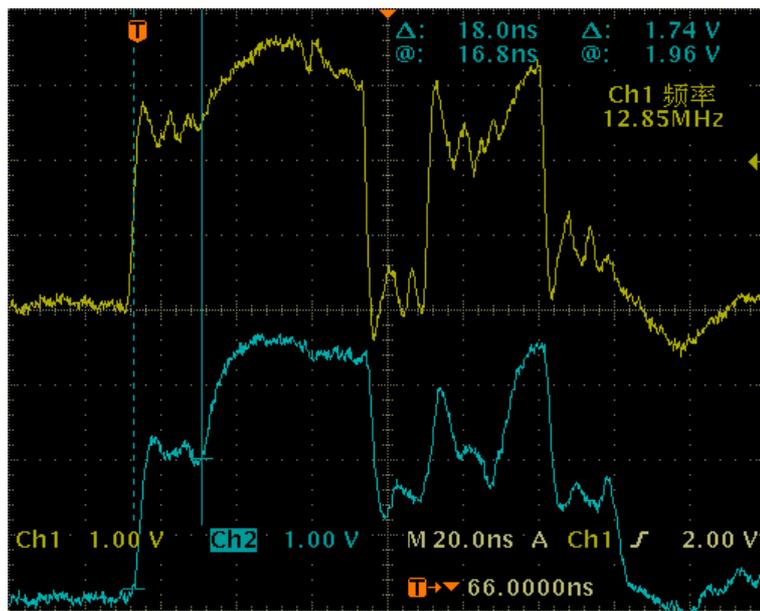
我们的移动通讯基站系统都很多单板构成，由背板互连线和电缆等实现单板间的连接关系。在单板上，我们一般都会很注意的规划拓扑，注意 PCB 走线延迟的控制，确保各个芯片接口的建立保持时间。但是对于单板间接口和背板的信号完整性关注不够。

在我们 BTS 中，基带-射频接口链路采用了源端端接，同时源端还要接收发出去的数据，拓扑如下图所示：



A 作为主用单板，通过一根电缆向 B 发送数据，同时和 A 和 A' 还要从背板上（标记处）收回发送出去的数据。实际应用中，A 和 A' 可能配备任何一个，也可能同时配备；B 也可能配备主备。电缆较

长且分段，连接器很多，串扰严重。实际上在该点数据质量非常差，如下图蓝色波形所示。具体的分析可以参照《High-speed Digital Design – A Handbook of Black Magic》中源端端接的分析。



作为补救，发送数据的串阻被移到了背板上，A 和 A'共用串阻，并对整个链路的电缆、子卡等进行了很多改动。这样部分上解决了问题，但信号质量仍然较差，信号电平裕度较小。这是系统设计阶段，没有仔细对系统级信号完整性进行规划，采用复杂拓扑造成的。

在 BTS 中，采用了 MLVDS 信号传递背板时钟，总线方式，总线两端在背板上端接。系统中可能插入不同数量的单板，槽位可能不同，单板类型也可能不同。总线型拓扑较为复杂，在可变负载情况下传送时钟信号完整性较差。总体上对每个单板的时钟拓扑并没有进行约束，在各单板上走线不尽相同。在实际测试中，发现时钟差分信号振铃非常严重，差分电平无裕量。在对单板进行全面改版之后，信号质量有所提高。对于一些点对点传送的信号，当端接放在背板上，而单板布局时驱动器离连接器较远时，形成点对点传送，中间连接小分叉并端接的拓扑。所以，时钟信号更应该避免复杂拓扑，尽量采用点到点或类似的简单传输，并进行信号完整性分析。对于必须采用总线型拓扑的网络，应进行仿真分析，并针对每块单板接口部分走线进行约束。

在系统设计中，系统方案设计者同样还需要对系统中单板接口间的时序进行分析和设计。在分析中，应该考虑四角原则，即时钟和数据路径均为最大延迟，时钟和数据均为最小延迟，时钟和数据一个为最大延迟、另外一个为最小延迟的 4 种情况都必须分析到并保证系统能够稳定工作。分析过程应考虑整个温度范围，并考虑当系统负载变化时，例如插板数量不同、复杂拓扑和分叉导致的信号完整性劣化使时序裕量进一步减少。这一点必须和上面的信号完整性仿真分析一起进行。在分析的基础上，系统设计者应规定每块单板接口的时序要求，即建立保持时间要求、走线延迟等，并对背板延迟进行规划。

在 BTS 中，基带框的时序裕量未按照最大最小值分析，并且没有对每块单板接口的建立保持时间进行约束。单板研发人员各自独立开发，导致后期时序裕量不足。因为拓扑复杂导致信号完整性恶化，进一步使得系统时序裕量减小，理论上为负值。经过全面改版和反复实验才能解决。

[返回](#)

5.1.7. 主备设计

为了保证系统的可靠性，系统中对某些重要的单元进行了备份设计。在主备设计中，应该注意以下一些原则：

- 备用单板在插入过程中，应该禁止主备竞争，并且关闭所有输出，避免对主板的数据产生影响。这一点一般可以通过器件的选型和上下拉电阻的设计、上电复位信号等实现。
- 对于分发时钟的单板，应保持两块单板时钟相位基本一致，避免在切换时系统的时钟发生大的

扰动。这样对于采用 MLVDS 分发时钟的单板，在主备切换的过程中可以让两块单板同时输出时钟，实现无缝切换。这样并不会给驱动器寿命和可靠性带来影响。例如 3G BTS 中 RIM0/3 负责基带时钟分发。当主备切换时，如果系统时钟发生扰动，5000 信道板将复位导致电话掉话。为避免此情况发生，RIM0 采用了主备同时打开驱动器的方法避免时钟扰动。对于系统时钟板 GCM，也应采用主备互锁的设计，当发生正常切换时，系统不会发生时钟扰动。当发生异常倒换时，不论 GCM 是否互锁，都会发生系统时钟扰动，所以不在考虑范围之内。

- 对于系统时钟分发单板，为了防止对主板复位、断电等操作对系统带来影响，可以硬件捕获单板的复位信号，当发现单板复位时强行发起主备倒换后再复位，避免复位导致时钟扰动。
- 当拔备用板时，可能出现主备竞争信号先被拔断，之后数据线才会中断的情形。这时被拔出的单板可能认为对板已经不存在，竞争成为主用导致系统数据链路受到扰动。在这个过程中，因为电容的作用，单板的电源还会维持一段时间。所以单板应该能够监测到自己被拔出的操作并禁止主备竞争和输出驱动器的使能。
- 当拔主用单板时，因为备用单板不清楚主用单板上发生的操作，所以只有主用单板主备竞争信号消失才会竞争主用，这时主用单板的各种控制信号、数据、时钟可能已经中断，对系统带来扰动。这种操作应该是严格禁止的。对于时钟分发单板，这种操作的影响尤其恶劣。如能检测到拔板操作并提前进行一次主备倒换，则可以把系统的骚扰减低至最小。
- 对拔板操作的检测可以通过两种途径实现：面板状态微动开关，背板插拔指示信号。考虑到系统在面板状态微动开关失效、个别非关键信号断针的情况下仍然需要能够工作，所以应该检测上述信号的跳变，而不应该直接使用电平。对面板微动开关的监控最先能够检测到拔板的意图，所以推荐采用。对背板连接器插拔到位指示信号的检测可作为最后的保护。因为**单板背板连接器断开顺序是一个概率问题，并且采用插拔到位指示信号不能检测到拔板操作的概率很高**，所以一般将重要的信号全部安排在连接器的中间较好。
- 推荐在可能的情况下实现如下的长短针设计：地线-电源-主备竞争输入信号-一般数据信号-插拔到位指示信号。

对单板主备部分的设计，可以搜寻相关专利。参考部门的故障解决文档《RIM0 主备故障解决报告》、《关于单板主备问题的报告》等。

[返回](#)

5.1.8. 保留

[返回](#)

6. 可生产性设计

6.1.1. 选用的器件必须满足公司生产工艺要求

现在康讯的表贴器件最小能够做到 0402 封装，则器件封装小于 0402 的则不能选择，否则康讯无法生产；QFP 器件引线中心距不得小于 0.4mm，BGA 器件的点距不得小于 0.5mm，器件重量不能超过 25g，尺寸不得大于 55x55mm。否则康讯无法加工生产。对于一般的数字单板，推荐选用 0603 封装的器件。

静电放电（ESD）对电子元器件可能产生很大的损害。当选用器件时，应充分考虑康讯生产线静电等级，尽量选用防静电等级高的器件。

双面贴焊的单板，在选择器件时尽量使用贴片器件，减少插装器件的数量，尽量采用双面回流工艺，避免为插装器件焊接带来不便。双面回流工艺的单板，一般对其 B 面（放置小器件面）先进行回流焊接，然后反过来对 A 面进行装配焊接。在 A 面焊接时 B 面器件的焊剂同时熔化，靠表面张力粘附器件。为了焊接时不掉片，在 B 面不要放置尺寸大于 12x10x5mm 且引脚数小于 8 个的器件（数据来自于 05 年新员工培训教材可生产性部分）。一般认为，B 面的器件应满足单位面积上所承受的重量不超过一定

的值方可保证加工质量：对于 BGA 封装的器件，每平方米上不得超过 0.13 克，对于 QFP 封装，每平方米上不得超过 0.3 克。在 PCB 布局时，请咨询公司工艺技术人员保证单板的可加工性

[返回](#)

6.1.2. 静电敏感器件慎用，如果采用要加防静电保护措施

明确生产组装现场的 ESD 控制水平，并由此提出器件 ESD 等级要求，作为选型及 ESD 防护设计的依据。射频器件 ESD 特敏感，一般必须专线生产。

随着技术的发展，高密度集成电路已成为电子工业中不可缺少的器件。这种器件具有线间距短、线细、集成度高，运算速度快，低功率、低耐压和输入阻抗高的特点，因而导致这类器件对静电越来越敏感，称之为静电敏感（ESDS）器件。静电放电（ESD）的能量，对传统的电子元件的影响甚微，人们不易觉察，但是这些高密度集成电路元件中，不论是 MOS 器件，还是双极型器件都可能因静电电场和静电放电电流引起失效，或者造成难以被人们发现的“软击穿”现象，给单板或系统留下潜在的隐患，直接影响着电子产品的质量，寿命，可靠性和经济性。下面简单地谈谈我们在设计中对静电敏感元件应该如何处理。

在器件和产品的设计中，应充分体现静电防护的思想，在器件内部设置静电防护元件(ESD)，尽量使用对静电不敏感的器件以及对所使用的静电放电敏感(ESDS)器件提供适当的输入保护，使其更合理地避免 ESD 的伤害。MOS 工艺是集成电路制造的主导技术，以金属-氧化物-半导体场效应管为基本构造元件。由于 MOS 器件中场效应管的栅、源极之间是一层亚微米级的绝缘栅氧化层，故其输入阻抗通常大于 1000M Ω ，并且具有 5pF 左右的输入电容，极易受到静电的损害。因此，在 MOS 器件的输入级中均设置了电阻-二极管防护网络，串联电阻能够限制尖峰电流，二极管则能限制瞬间的尖峰电压。器件内常见的防护元件还有：电容、双极晶体管、可控硅整流器（SCR）等。ESD 发生时，它们在受保护器件之前迅速作出反应，将 ESD 的能量吸收、释放，使被保护器件所受冲击大为降低。正常情况下，防护元件在其一次崩溃(First Breakdown)区内工作，不会受到 ESD 损伤，一旦外加电压或电流过量(Overstress)，进入二次崩溃(Secondary Breakdown)区的防护元件将受到不可逆转的损害，失去对器件的保护作用。整机产品设计时，可在 ESDS 器件最易受损的管脚处（例如 Vcc 和 I/O 管脚），根据被保护电路的电特性、可用的电路板空间决定加入抑制电路或隔离电路，例如 TVS 器件、光耦等。

硬件研发人员应该了解静电放电的三种模型：人体模型，器件放电模型，机器模型，并注意避免 ESD 对器件的伤害。

静电敏感器件在保存、运输等过程中，必须采用恰当的措施进行保护，采用防静电袋保存。

此外,生产环境的防静电设计也是 ESD 控制的关键所在。公司已经专门建立一条射频生产线，具有较高的静电防护水平。

下面的表格为公司对静电敏感度等级的说明，资料来源于《Q/ZX 12.209-2005 无铅元器件认证技术要求》。

ZTE 静电敏感等级说明

特(I)级	0~500V
特(II)级	500~1000V
I 级	1000~2000V
II 级	2000~4000V
III 级	4000~8000V
无	> 8000V

对于防静电要求过于严格的器件,即静电门限电压在 100V 以下，一般建议不选用，特殊情况，务必通知中兴通讯相关部门，采取特殊的防静电措施。

下表来自于《Q/ZX07.219-2005 元器件应用工艺技术要求》附录 1，该附录为参考性附录，供参考，不作为规范。具体情况以元器件手册说明为准。

器件类型	静电敏感度（单位：V）	级别和静电敏感度范围
MOSFET	100~200	1 级
JFET	140~1000	1 级
CaAsFET	100~300	1 级
CMOS	250~2000	1 级
HMOS	50~500	1 级
E/D MOS	200~1000	1 级
VMOS	30~1800	1 级
PROM	100	1 级
EP-ROM	100~500	1 级
SCHOTTKY DIODES	300~2500	1 级/2 级*
SAW	150~500	1 级
OPAMP	190~2500	1 级/2 级*
N-MOS	60~500	1 级
ECL 电路	300~2500	1 级/2 级*
SCL（可控硅）	680~1000	1 级
ECL	500~2000	1 级
S-TTL	300~2500	1 级/2 级*
DTL	380~7000	1 级/2 级/3 级*
石英及压电晶体	<10000	3 级

注：*为多种可能，具体静电敏感程度，要由厂家给出。

[返回](#)

6.1.3. 光学定位点（MARK 点）的放置（来源于参考文献《Q/ZX 04.104.2-2002 电路原理图设计规范——基于 CADENCE 平台的设计要求》。）

贴片机需要为了在 PCB 文件中能够输出光学定位点的坐标，应根据 BGA、TQFP 等封装器件个数，在原理图的末页放适量的 mark（光学定位点）符号。

mark 符号个数的估算如下：

mark 个数 = $K + 2 * (\text{管脚中心距} \leq 0.5 \text{ mm (20 mil) 的 QFP 个数} + \text{中心距} \leq 0.8 \text{ mm (31 mil) 的 BGA 个数器件})$

其中：单面贴装器件时，K 取 3；

双面贴装器件时，K 取 6。

[返回](#)

6.1.4. 尽量采用贴装器件，双面回流工艺。尽量不使用插装器件。

采用表面贴装器件生产，能够使得单板生产的自动化程度提高，提高生产效率。

插装元件来料封装与 PCB 焊接孔尺寸一般都是一致的，比如说常见的分立插件电阻、二极管，其来料都是编带，两引脚在同一水平线上，如果要插装在印制电路板上，必须对引脚进行弯脚成型（立式或卧式），所以就很直接的得出它的生产工艺流程：

元件成型——插件——波峰焊——检验或元件成型——手工焊接——检验

而 SMD 料，因来料与 PCB 焊盘封装一致，直接贴装焊接即可，其生产工艺流程为：

贴片——回流焊——检验或手工焊接——检验

从以上生产工艺流程可以看出，分立插装元件焊接要比贴片元件多一道成型工序，增加了生产工艺流程和单板生产周期（也就意味着增加了人力、物力、财力等成本）；

另外，因分立元件目前每个元器件厂家做的标准都不一样，就算同一个代码下的物料可能有的厂家做的元器件引脚长或粗，有的引脚短或细，有的厂家封装体积大，有的封装体积小，给材料选型、生产工艺过程带来比较多的麻烦。

如果采用少量插装元器件，单板这部分需要进行人工焊接。如果插装器件较多，人工焊接效率较低。当插装器件较多时，将采用波峰焊接工艺。波峰焊接工艺对单板B面元器件的封装、摆放都提出了要求，例如不能摆放排阻、四周出引脚、BGA封装、管脚间距小的器件，器件摆放方向必须一致等。

下面是回流加波峰与双面回流的优缺点，供大家参考。

举一块双面都有SMD、A面有分立插装元件的单板为例，其生产工艺流程如下：

回流加波峰：A面贴片—回流焊接—B面点胶—回流固化—插件—波峰—检验

双面回流：B面贴片—回流焊接—A面贴片—回流焊接—手工焊接分立插装元件—检验

回流加波峰的优点：

- 可针对分立插装元件较多的单板一次性完成焊接工作，效率较高；

缺点：

- 单板上部分器件三次受热冲击，对器件性能、寿命有较大影响，特别是A面的IC；
- 波峰焊焊点不合格PPM值要比回流焊的PPM值要高很多，波峰焊接后的焊点问题比较多；
- 如果插装元件不多的话，增加了一道插件工序，增加了生产工艺流程和单板生产周期；
- B面点胶使用了实现器件与PCB板机械连接的辅助材料胶水，增加了制造成本。

双面回流焊的优点：

- 因先生产B面，A面的IC只受一次热冲击，对器件性能、寿命降低了损坏的几率；
- 回流焊焊点不合格PPM值较低，焊接合格率高；
- 没有插件工序，对焊点较少的PCBA制造提高了生产效率，间接缩短了合同交货周期；
- 辅助材料成本较低，不会增加额外成本。

缺点：

- 分立插装元件较多的PCBA制造，手工焊接的效率比一次性波峰焊效率低，容易造成员工操作疲劳。

由上面的对比可以看出，采用SMD元件，尽量不使用插件，会提高生产效率和可靠性，我部门推荐这样设计。

[返回](#)

6.1.5. 除非信号完整性特殊要求，背板上一般不应放置串阻等器件；背板尽量采用压接连接器，避免焊接连接器

大量压接器件加工过程中容易使单板变形，对器件造成损伤。并且压接模具如果在加工过程中压到器件，可能会导致器件损坏。所以除非信号完整性等特殊要求，背板上不应放置串阻等器件。

背板厚度很厚，加工不便，所以背板上的插装、表面贴装连接器经常需要手工焊接，为了提高效率，背板尽量采用压接连接器，避免焊接连接器。

[返回](#)

6.1.6. 潮敏器件

潮湿敏感器件在生产中必须要注意，在保存、生产中注意遵循相应的规范。

潮湿敏感等级	拆封后存放条件	拆封后存放期限
1	≤30°C/85%RH	无限制
2	≤30°C/60%RH	一年
2a	≤30°C/60%RH	4周

3	≤30°C/60%RH	168 小时
4	≤30°C/60%RH	72 小时
5	≤30°C/60%RH	48 小时
5a	≤30°C/60%RH	24 小时
6	≤30°C/60%RH	标签时间（6 小时）

潮敏器件应该保存在干燥箱中或者密封袋内。开包后应在规定时间内焊接完成。如果拆包时间超过规定时间，在生产之前，应对潮敏器件进行干燥处理。否则在焊接过程中温度迅速上升，封装中吸收的水分迅速气化膨胀，就会导致器件内部裂纹、剥离等“爆米花”效应，导致器件损坏。

[返回](#)

6.1.7. 有铅工艺和无铅工艺

2003 年 2 月 13 日，欧盟发布了 WEEE《关于报废电子电气设备指令》(2002/96/EC)、RoHS《关于在电子电气设备中限制使用某些有害物质指令》(2002/95/EC) 两项指令。在两项指令中，限制铅和一些有害化学物质的使用。

至本文撰写时，我司目前已经开始无铅化生产的研究。对于高锡无铅焊料，存在低温相变、晶须生长等问题。这些问题因为专业不同，对于硬件开发人员影响并不是很大。而对于生产来说，Sn-Ag-Cu 焊料的熔点为 217 度，较 Sn-Pb 焊料的 183 度高 34 度，对器件提出了更高的要求。所以，一般不能够使用无铅焊料焊接有铅元器件。

实际上现在很多采用有铅、无铅器件，用有铅焊膏混合使用的情况和试验也在进行。**对于无铅的 BGA 和 CSP 封装的器件，不得使用有铅焊料进行焊接。**即如果采用无铅的 BGA、CSP 封装的器件，则必须采用相应的焊料，这是其他器件不能采用有铅工艺器件以保证生产中的可靠性。

我们不推荐一起混合使用有铅和无铅器件。

[返回](#)

6.1.8. 保留

7. 可测试性设计

7.1 JTAG

7.1.1. 多个同样的芯片，设计 JTAG 串行链路

多个同样的芯片推荐设计 JTAG 串行链路。为了调试过程方便，可以通过 0 欧姆电阻跳线，使得 JTAG 可以单独引出，也可以成链引出。

[返回](#)

7.1.2. Xilinx Spartan III 器件的 JTAG 接口为 2.5V，设计中须防止过压

Xilinx Spartan III 器件使用了 2.5V 的 V_{ccAux} 为 JTAG 和下载部分供电。当采用 3.3V 电源的信号接口进行下载时，可能会导致管脚过压。这些管脚内部内置了保护用的**钳位二极管**，为了避免过电流，应该在信号线上串联电阻以避免钳位二极管过应力。手册要求限制每个管脚的电流不要超过 10mA。

另外，由于钳位二极管会将输入的信号引到 2.5V 的 V_{ccAux} 上，如果 2.5V 电源上没有其他负载或者负载电流很小，且电源不具备电流回灌的能力，则 2.5V 电源会被拉高，可能对器件造成损伤。为了避免这种情况发生，器件商推荐在 2.5V 电源和地之间连接一个电阻，确保当所有输入管脚都是高电平时，电流流过 2.5V 电源上的负载电阻，其电压不会超过 2.5V 的额定电压。这个电阻增加了额外的功耗。

我们可以采用能够工作在 2.5V 电压下，且能够和 3.3V 信号接口的器件（例如 LCX 器件）对信号

进行缓冲。

[返回](#)

7.1.3. 保留

7.2 测试点

7.2.1. 地测试点

板上应该分布地测试点，方便测试。现在我们的信号速率都较高，地测试点距离较远可能导致信号完整性测量的不准确，在测试时应该保证示波器探头能够就近接地。例如某单板的信号完整性测试，当采用示波器探头就近采用小飞线接地和采用普通接地线接地时，信号的过冲差异有数百毫伏。

一般情况下我们单板提供的地测试点能够满足一般调试时示波器能够方便的接地，在信号完整性测试时，还需要在离信号最近的地方（往往是电容上）飞出地线测试点，采用尽可能短的探头接地线连接。

[返回](#)

7.2.2. 多针测试点，空余的管脚应接地处理

在设计中，可能出现放置一个 8pin 测试点，只用了其中 6 个 PIN 的情况。这种情况下，应该将测试点多余的管脚接地。这样可以方便数字探头的就近接地，为测量提供方便。不要将空余的管脚悬空。

[返回](#)

7.2.3. 向 PCB 提供不焊接插装器件清单

如果提供了不安装的插装器件清单，将来 PCB 设计时就可以避免测试点打在插装器件的管腿上。否则如果将插装器件的管腿作为一个测试点的话，如果生产时不安装此器件，有可能造成测试点丢失和漏测。

[返回](#)

7.2.4. 测试点带来的信号完整性问题

重要的信号线添加测试点能够方便调试，例如一组时序复杂的总线，每根信号线都有测试点就可以方便的采用逻辑分析仪进行分析。

但是测试点本身也可能带来信号完整性问题，需要注意测试点不能使信号线引入长的分叉，避免影响信号的信号完整性。例如某单板在高温下 FPGA 下载失败，分析为加测试点导致信号线分岔，影响信号完整性问题所致。

对于速率很高的信号，例如高速串行链路，信号线上的测试点、过孔都会为传输线带来阻抗不连续点，引起信号的反射，导致信号质量恶化。对于这样的电路，有可能有必要采用高频场分析工具对过孔、表贴 ICT 测试点进行建模分析，确保电路工作正常。

[返回](#)

7.2.5. 保留

[返回](#)

7.3 电路可测试性

7.3.1. 保留

[返回](#)

7.4 系统可测试性

7.4.1. 保留

[返回](#)

附录

附录 1 部门相关资源列表

可靠性 2005 年之前相关文档及案例分析（含 2005 年部分文档）请见[硬件讨论园地-可靠性室专栏](#)。部分参考文档可以在[硬件讨论园地技术讨论区](#)、[硬件讨论园地自由讨论区](#)找到。较新的可靠性及电路积累文档请见 [CDMA 硬件技术共享平台](#)。

对本检查单中的内容有任何疑问，可以咨询：

信号完整性/电源完整性问题：睦诗菊

可靠性类知识：景焕强

普通逻辑器件应用可靠性：刘春杰

可编程逻辑器件：梁敏超，唐雄

电路基础知识：郭丹丹，刘春杰

电源类知识：冷迪，万黎

生产工艺相关问题：谭柱（康讯），吴德荣（康讯）

参考文献

1. Q/ZX 04.104.2-2002 电路原理图设计规范——基于 CADENCE 平台的设计要求
2. CDMA 设计开发部 《Schematic Checklist V1.0》
3. CDMA 设计开发部 《Schematic Checklist V1.0 参考文档》
4. CDMA 设计开发部可靠性室 《CDMA 事业部 2004 年度可靠性经验案例集》
5. Cadence Allegro SPB15.2 在线参考文档
6. Paul Horowitz, Winfield Hill 《The Art Of Electronics》, 2nd Edition
7. ANSI/TIA/EIA-644-A-2001 《Electrical Characteristics of Low Voltage Differential Signaling (LVDS) Interface Circuits》
8. Texas Instrument 资料 SLLD009 《LVDS Application and Data Handbook》
9. National Semiconductor 资料 《LVDS Owner's Manual》
10. Texas Instrument 资料（准 TIA/EIA889 标准） 《Electrical Characteristics of Multipoint-Low-Voltage Differential Signaling (M-LVDS) Interface Circuits for Multipoint Data Interchange》
11. Texas Instrument 白皮书 《Specification, SI Simulations, Design and Implementation of an M_LVDS Demonstration Chassis with Backplane and Logic Cards》
12. Texas Instrument 资料 SCAA056 《Interfacing Between LVPECL, LVDS, and CML》
13. Texas Instrument 资料 SCAA059 《AC Coupling Between Differential LVPECL, LVDS, HSTL and

- CML》
14. Texas Instrument 资料 SCAA062 《DC-Coupling Between Differential LVPECL, LVDS, HSTL, and CML》
 15. Texas Instrument 资料 SLLA120 《Interfacing Between LVPECL, VML, CML and LVDS Levels》
 16. 公司技术文档 《硬件设计指南—专题技术部分—PECL 电平匹配设计指南》公司模块化资源库中
 17. Xilinx 文档 XAPP653 《3.3V PCI Design Guidelines》
 18. Texas Instrument 资料 SLYA014 《Latch-up, ESD, and other Phenomena》
 19. ZARLINK 公司资料 《Understanding and Eliminating Latch-up in CMOS Applications》
 20. JEDEC 标准 EIA/JESD-78 《IC Latch-up Test》
 21. Texas Instrument 资料 SCEA010 《LVT to LVTH Conversion》
 22. CDMA 设计开发部 刘春杰 《普通电平逻辑器件应用指导书》
 23. Texas Instrument 资料 SZZA036 《Understanding and Interpreting Standard Logic Data Sheets》
 24. Texas Instrument 资料 SCBA004 《Implications of Slow or Floating CMOS Inputs》
 25. CDMA 设计开发部 郭丹丹 《通过案例学技巧》课件
 26. CDMA 设计开发部 郭丹丹 《高速器件和低速信号-RMM 单板复位电路的探讨》
 27. Texas Instrument 资料 SCEA026 《Logic in live insertion applications with a focus on GTLP》
 28. CDMA 设计开发部 郭丹丹 《51 单片机 IO 口上的“高电平总线保持”特性》
 29. Intel Corporation 《MCS-51 User Manual》
 30. CDMA 设计开发部 刘春杰 《普通逻辑器件输入端口偏置电阻的选取》
 31. CDMA 设计开发部 张明华 《RMM0 低温启动过程引起 TRX0 复位分析》
 32. Howard Johnson, Martin Graham 《High-speed Digital Design – A Handbook of Black Magic》
 33. Howard Johnson, Martin Graham 《High-speed Signal Propagation – Advanced Black Magic》
 34. Cypress Semiconductor, 《Perfect Timing Book》
 35. CDMA 设计开发部 刘春杰, 景焕强 《潜在通路分析技术及其在通信系统故障调查中的应用》
 36. 范大祥 《E1/T1 接口雷击浪涌保护电路》(公司技术文档)
 37. CDMA 设计开发部 刘春杰, 黄睿, 周恒箴 《挪威局调试 SIM0、RDTB 上器件失效分析报告》
 38. Micrel 公司文档 《Designing With Low-Dropout Voltage Regulators》
 39. National Semiconductor 文档 《Linear Regulators: Theory of Operation and Compensation》
 40. Texas Instrument 资料 SLUV001 《Power Supply Topologies》
 41. CDMA 设计开发部 马峰超 《3G 统一平台单板 PSN4V WE# 信号情况分析》
 42. Philip Nowe 《Timing (Analysis) Is Everything》, Circuit Cellar
 43. Bill Hargin 《For Synchronous Signals, Timing Is Everything》, Xilinx
 44. 康讯工艺技术部 《康讯工艺能力》课件
 45. 康讯研究所 《在线测试——DFT 设计》课件
 46. 器件手册包括
 - Cyclone FPGA 手册
 - Xilinx Spartan III FPGA 手册
 - Lattice ISP Mach 4000 EPLD 系列手册
 - Sanyo OSCON 电解电容手册
 - AVX 陶瓷电容手册
 - AVX 钽电解电容手册和应用注记
 - ROHM 电阻手册
 - SN74LVT16244 手册
 - SN65MLVD200 手册
 47. Ohmite Application Note 《Resistor Selection》

48. PCI Local Bus Specification Rev2.3
49. Q/ZX07.219-2005 《元器件应用工艺技术要求》
50. Q/ZX 12.209-2005 《无铅元器件认证技术要求》
51. CDMA 设计开发部 郭丹丹 《关于单板主备问题的报告》
52. CDMA 设计开发部 郭丹丹 《RIM0 主备故障解决报告》
53. CDMA 设计开发部 刘春杰 《ECO 63.8976M VCXO 失效分析报告》
54. CDMA 设计开发部 戴红生 《PSB-M 单板光耦 ILD211T 失效分析报告》
55. CDMA 设计开发部 刘春杰 《EPCOS 0.1u 100V MLCC 电容（33160047）失效分析报告》

编后记

本规范是在 CDMA 设计开发部 2003 年《Schematic Checklist》和《schematic checklist 参考文档》的基础上，结合《CDMA 事业部 2004 年度可靠性经验案例集》部分内容以及部门其它经验扩充整理，重新编写而成。

2003 年 CDMA 设计开发部发起由各个技术小组和各科室对大家的经验、教训和知识点进行总结，提供素材，由黄健和张加民编写了《Schematic Checklist》和《schematic checklist 参考文档》两个部门规范性文件。这两个文档在 3G BTS 第二版研发中起到了很大的指导性作用，但是也反映出了部分检查条目不易实行，有一些大家常见的疑问没有作出规范等问题。

两年中，部门的器件失效分析与应用、信号完整性、设计规范性都有了很大的进步，部门技术水平有了很大提高，积累了大量的经验和教训，原有的规范已经不能满足要求。对部门电路规范性文件进行重新整理显得十分紧迫而必要。

从 2005 年 8 月开始，部门以各科室为单位，对大家的经验进行了收集。9 月份至 11 月份，由郭丹丹执笔进行了整理。此次整理对原来的 Checklist 结构进行了全面的调整，对表格的内容进行了简化，并采用了前半部分为规范条目，采用超链接直接指向后半部分说明文字的方式，方便阅读。前半部分规范条目直接提取出形成原理图检查单，可以用来直接对原理图进行评审和走查确认。从内容上来看，对原理图绘制规范、上下拉电阻设计、器件可靠应用等多方面，本规范都尽量给出了明确的要求和详细的说明，供开发人员参考。

编写过程参考了很多文档，都随同本规范一起提供，让大家可以进一步的学习和理解规范要求的含义，提高对知识点的掌握程度和设计水平。

在修订过程中，各个科室都对原有的《Schematic Checklist》提出了很多建议。以下同事提出了修订意见和增补意见：虞华艳，张明华，黄成清，王志坚，程三海，李建，金辉，陈岗，张狄，张加民，张远权，周鹏鹏，黄健，盛武斌，常娥，孙涛，周恒箴，郭翔，毛明，郭丹丹，万黎，睦诗菊等。以下各位评委参加了对本文档的评审：舒峰，辛勤，张加民，睦诗菊，郭丹丹，冷迪，杜清彦，刘春杰，景焕强，唐雄，梁敏超，王志坚，黄睿，马文光，李占富，熊乐进，李晓彤。各位评审专家花费很多精力审阅了本文档，一共提出了 200 多条意见和建议，指正了文档中的大量疏漏和不当之处。在编写过程中，还得到吴德荣、谭柱、刘哲等同事的指点。

在这里对这些积极分享经验的热心同事表示衷心的感谢。

因为编者知识范围和水平十分有限，所以本规范对于很多方面，例如 DSP 等内容没有涉及，对于可靠性等内容涉及十分浅显，对生产工艺等部分、可靠性部分很多内容都没有进行细致的修订，可能存在很多疏漏，还待以后逐渐补充。而且规范中详细讨论的部分也可能存在不当之处。如果大家在学习使用中发现问题，以及不可操作的地方，还请不吝指出，大家一起提高。

郭丹丹

2005-11-21